

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-79956

(P2010-79956A)

(43) 公開日 平成22年4月8日(2010.4.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/406 (2006.01)	G 1 1 C 11/34 3 6 3 N	5 M O 2 4
G 1 1 C 11/404 (2006.01)	G 1 1 C 11/34 3 6 3 H	
	G 1 1 C 11/34 3 6 3 K	
	G 1 1 C 11/34 3 5 2 C	

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2008-244454 (P2008-244454)
 (22) 出願日 平成20年9月24日 (2008. 9. 24)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100118843
 弁理士 赤岡 明

最終頁に続く

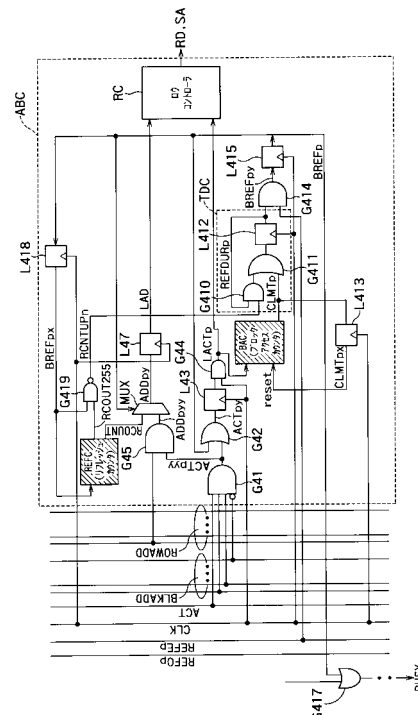
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】データ読み出し/書き込みのアクセスによるディスクトップに対処し、消費電力を低減させたメモリを提供する。

【解決手段】メモリは、ワード線とビット線との交点に対応して設けられたメモリセルを含み、データ読み出しまたは書き込みの単位であるメモリアレイブロックと、ワード線を駆動するロウデコーダと、ビット線を介してデータを検出するセンスアンプと、メモリセルブロックごとに設けられ、データ読み出しまたは書き込みのために該メモリアレイブロックへアクセスされた回数をカウントし、該アクセス回数が所定回数に達した場合にリフレッシュ要求信号を活性化するアクセスカウンタとを備え、アクセスカウンタのリフレッシュ要求信号が活性化されている期間中に、ロウデコーダは、該アクセスカウンタに対応するメモリアレイブロックのワード線を周期的に順番に活性化し、センスアンプは、活性化されたワード線に接続されたメモリセルをリフレッシュする。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数のワード線と、

複数のビット線と、

前記ワード線と前記ビット線との交点に対応して設けられたメモリセルを含み、データ読出し動作またはデータ書込み動作の単位であるメモリアレイブロックと、

前記ワード線を選択的に駆動するロウデコーダと、

前記ビット線を介して前記メモリセルからのデータを検出し、あるいは、前記メモリセルへデータを書き込むセンスアンプと、

前記メモリセルブロックごとに設けられ、データ読出しまたはデータ書込みのために該メモリアレイブロックへアクセスされた回数をカウントし、該アクセス回数が所定回数に達した場合にリフレッシュ要求信号を活性化するアクセスカウンタとを備え、

前記アクセスカウンタの前記リフレッシュ要求信号が活性化されている期間中に、前記ロウデコーダは、該アクセスカウンタに対応する前記メモリアレイブロックの前記ワード線を周期的に順番に活性化し、前記センスアンプは、活性化された前記ワード線に接続された前記メモリセルの劣化したデータを回復させるリフレッシュ動作を実行することを特徴とする半導体記憶装置。

10

【請求項 2】

前記メモリアレイブロックへのアクセスされた回数は、前記メモリセルブロック内のワード線が活性化された回数であることを特徴とする請求項 1 に記載の半導体記憶装置。

20

【請求項 3】

或るメモリアレイブロックの前記リフレッシュ動作において、前記ワード線ごとに実行されるリフレッシュサイクルの回数をカウントするリフレッシュカウンタをさらに備え、

前記リフレッシュカウンタは、前記リフレッシュサイクルの回数が所定値に達したとき、前記リフレッシュ動作を終了させるために前記リフレッシュ要求信号を不活性化させることを特徴とする請求項 1 または請求項 2 のいずれかに記載の半導体記憶装置。

【請求項 4】

前記メモリアレイブロックに対応して設けられ、前記ワード線ごとに前記リフレッシュ動作が実行されるときに活性化されるリフレッシュ命令を受けて、該リフレッシュ命令が活性状態であるときに、前記メモリセルへのアクセスを禁止するビジー信号を当該装置の外部へ出力するゲート回路をさらに備えたことを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体記憶装置。

30

【請求項 5】

前記リフレッシュ要求信号が活性化されたときに、前記ロウデコーダは、該アクセスカウンタに対応する前記メモリアレイブロックの前記ワード線を連続して活性化し、前記センスアンプは、活性化された前記ワード線に対して前記リフレッシュ動作を実行することを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体記憶装置に関する。

40

【背景技術】**【0002】**

揮発性メモリおよび不揮発性メモリに関わらず、データ読出しまたはデータ書込み時に、非選択メモリセルのデータに対してディスタ urb が生じる。例えば、選択ワード線に接続された選択メモリセルのデータを検出する場合、センスアンプに接続されたビット線の電位は、非選択ワード線に接続された非選択メモリセルにも印加される。この場合、この非選択メモリセルに格納されたデータは、ビット線の電位によってディスタ urb を受ける。ここで、ディスタ urb は、選択メモリセルへのアクセス時に、非選択メモリセルに格納されたデータを劣化させる現象である。ディスタ urb はデータ “ 0 ” と “ 1 ” との信号差

50

を低下させる原因の1つである。また、揮発性メモリでは、アクセスの無いデータ保持時においても、データ“0”と“1”との信号差が次第に劣化する。

【0003】

このようなディスタ urb 特性およびデータ保持特性によるデータの劣化に対処するために、リフレッシュ動作を実行する。リフレッシュ動作は、データ保持時に劣化したデータ、あるいは、ディスタ urb により劣化したデータを回復させる動作である。

【0004】

しかし、データ読出しまたはデータ書込みによるアクセスは不定期に実行されるため、ディスタ urb に対処するためのリフレッシュ動作は、ワーストケースを考慮して実際のアクセス頻度に関わらず、頻繁に実行しなければならなかった。これは、消費電力の増大を招致していた。

【非特許文献1】Takashi Ohsawa et. al. "An 18.5ns 128Mb SOI DRAM with a Floating Body Cell", ISSCC2005 Digest of Technical Papers, pp.458-459

【発明の開示】

【発明が解決しようとする課題】

【0005】

データ読出しまたはデータ書込みのアクセスによるディスタ urb に対処しつつ、消費電力を低減させた半導体記憶装置を提供する。

【課題を解決するための手段】

【0006】

本発明に係る実施形態に従った半導体記憶装置は、複数のワード線と、複数のビット線と、前記ワード線と前記ビット線との交点に対応して設けられたメモリセルを含み、データ読出し動作またはデータ書込み動作の単位であるメモリアレイブロックと、前記ワード線を選択的に駆動するロウデコーダと、前記ビット線を介して前記メモリセルからのデータを検出し、あるいは、前記メモリセルへデータを書き込むセンスアンプと、前記メモリセルブロックごとに設けられ、データ読出しまたはデータ書込みのために該メモリアレイブロックへアクセスされた回数をカウントし、該アクセス回数が所定回数に達した場合にリフレッシュ要求信号を活性化するアクセスカウンタとを備え、

前記アクセスカウンタの前記リフレッシュ要求信号が活性化されている期間中に、前記ロウデコーダは、該アクセスカウンタに対応する前記メモリアレイブロックの前記ワード線を周期的に順番に活性化し、前記センスアンプは、活性化された前記ワード線に接続された前記メモリセルの劣化したデータを回復させるリフレッシュ動作を実行することを特徴とする。

【発明の効果】

【0007】

本発明による半導体記憶装置は、データ読出しまたはデータ書込みのアクセスによるディスタ urb に対処しつつ、消費電力を低減させることができる。

【発明を実施するための最良の形態】

【0008】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

【0009】

(第1の実施形態)

図1は、本発明に係る実施形態に従ったFBCメモリの構成を示すブロック図である。FBCメモリは、複数のビット線BLと、複数のワード線WLと、メモリアレイブロックとしてのメモリセルアレイを備えておりそのうちの3つMCA0~MCA2を図示している。ビット線BLとワード線WLとは、互いに直交している。複数のメモリセルMCが、ビット線BLとワード線WLとの交点に対応して設けられている。複数のメモリセルMCがマトリクス状に二次元配置されメモリセルアレイMCA0~MCA2を構成している。メモリセルアレイMCA0~MCA2は、データ読出し動作またはデータ書込み動作の単

位である。よって、データ読出し動作またはデータ書込み動作（以下、アクセスともいう）において、メモリセルアレイ MCA_i （ i は整数）に格納されたデータが 1 単位として読み出され、あるいは、書込みデータはメモリセルアレイ MCA_i を 1 単位として書き込まれる。

【0010】

ロウデコーダ RD がロウ方向に延伸するワード線 WL に接続されている。ロウデコーダ RD は、アクセス時に受け取ったローカルロウアドレスに従ってワード線 WL を選択し、これを活性化させる。

【0011】

センスアンプ SA がビット線 BL に接続されている。センスアンプ SA は、ビット線 BL を介してメモリセル MC からのデータを検出し、あるいは、メモリセル MC へデータを書き込む。選択ワード線 WL に接続されたメモリセル MC のデータはそれぞれに接続されたビット線 BL を介してセンスアンプ SA に伝達される。センスアンプ SA は、これらのメモリセル MC のデータを検出する。

10

【0012】

センスアンプコントローラ SAC は、メモリセルアレイ MCA_i ごとにセンスアンプ SA を制御する。センスアンプコントローラ SAC は、アクセス時に入力されたカラムアドレスに従って或るカラムを選択し、この選択カラムのセンスアンプ SA にラッチされたデータを入出力回路 I/O へ伝達する。尚、チップ面積削減のために、センスアンプ SA およびセンスアンプコントローラ SAC は、互いに隣接する 2 つのメモリセルアレイ MCA と共有されていることがある。

20

【0013】

アレイブロックコントローラ ABC は、メモリセルアレイ MCA_i ごとに設けられ、アクセス時に入力されたカラムアドレスに従って、各メモリセルアレイ MCA_i に対応するロウデコーダ RD およびセンスアンプ SA を制御する。

【0014】

メモリマクロコントローラ MMC は、外部からのコマンド、アドレス、クロックを受けて、それらの信号をアレイブロックコントローラ ABC へ配信する。アレイブロックコントローラ ABC は、メモリマクロコントローラ MMC からのアドレスに基づいて、対応するブロックのセンスアンプコントローラ SAC およびロウデコーダ RD を活性化させる。さらに、活性化されたセンスアンプコントローラ SAC およびロウデコーダ RD は、コマンドに応じて読出し動作または書込み動作を、ロウデコーダ RD およびセンスアンプ SA に実行させる。ロウデコーダ RD およびセンスアンプ SA は、クロックに基づいて読出し動作または書込み動作を実行する。クロック（ CLK ）は、読出し、書込み、または、リフレッシュ動作のタイミングを決定するパルス信号である。

30

【0015】

メモリマクロコントローラ MMC は、メモリと外部とのデータのやり取りのために、入出力回路 I/O を制御する。入出力回路 I/O はメモリマクロコントローラ MMC の制御を受けて、選択メモリセル MC のデータをメモリ外部へ出力し、あるいは、メモリ外部からの書込みデータを受け取って、選択カラムのセンスアンプ SA へデータを配信するように構成されている。

40

【0016】

メモリマクロコントローラ MMC は、信号 $REFOp$ および $REFEp$ をアレイブロックコントローラ ABC へ配信する。信号 $REFOp$ および $REFEp$ は、リフレッシュサイクルを規定する信号である。例えば、信号 $REFOp$ が活性状態である場合、奇数ブロック（ $2n+1$ ）に対応するアレイブロックコントローラ ABC が動作し、メモリセルアレイ $MCA(2n+1)$ がリフレッシュされる。ここで、 n は、整数である。信号 $REFEp$ が活性状態である場合、偶数ブロック $2n$ に対応するアレイブロックコントローラ ABC が動作し、メモリセルアレイ $MCA(2n)$ がリフレッシュされる。

【0017】

50

リフレッシュ動作中において、アレイブロックコントローラABCは、ローカルビジー信号LBUSY_{p<i>i</i>}を活性化させる。ORゲートG417は、複数のアレイブロックコントローラABCのいずれかが活性状態であるときに、ビジー信号BUSYを活性化させる。これにより、メモリセルアレイMCAのいずれかがリフレッシュされている場合に、他のアクセスを排除することができる。

【0018】

尚、活性化とは素子または回路をオンまたは駆動させることを意味し、不活性化とは素子または回路をオフまたは停止させることを意味する。従って、HIGH（高電位レベル）の信号が活性化信号である場合もあり、LOW（低電位レベル）の信号が活性化信号である場合もある。例えば、NMOSTランジスタは、ゲートをHIGHにすることによって活性化する。一方、PMOSTランジスタは、ゲートをLOWにすることによって活性化する。

【0019】

図2は、メモリセルアレイMCA_iおよびその周辺部の構成を示す概略図である。本実施形態では、ビット線BL_{t<k>}、BL_{c<k>}がビット線対を構成している。ここで、例えば、k = 0 ~ 1023である。ワード線は、WL0 ~ WL255だけ設けられている。

【0020】

ビット線BL_{t<k>}とBL_{c<k>}とは互いに相補のデータを伝達する。即ち、本実施形態によるFBCメモリは、2セル/ビット方式を採用している。2セル/ビットとは、2つのメモリセルMCが互いに相補のデータを格納しており、その一方のデータをリファレンスデータとして他方のデータを検出する方式である。メモリセルMCは単一FETで構成されているため、FBCメモリは、2セル/ビット方式を採用したとしても、チップサイズにおいてDRAM等に対して有利である。

【0021】

メモリセルMC_{jkt}、MC_{jk c}を選択する場合、ロウデコーダRDはワード線WL_jを活性化させる。メモリセルMC_{jkt}とMC_{jk c}とは、互いに相補のデータ（“0”、“1”）が書き込まれているので、ビット線対BL_{t<k>}、BL_{c<k>}には相補データが伝達される。センスアンプSAは、BL_{t<k>}に伝達されたデータをリファレンスデータとして、BL_{c<k>}に伝達されたデータを検出し、BL_{c<k>}に伝達されたデータをリファレンスデータとして、BL_{t<k>}に伝達されたデータを検出する。

【0022】

図2では、256ビット×1023 256キロビットに対応するセルブロックをメモリセルアレイMCAとした。しかし、メモリセルアレイMCAのデータ容量は、256キロビット以上であってもよく、また、それ以下であってもよい。

【0023】

図3は、アレイブロックコントローラABCの内部構成の一例を示すブロック図である。図3では、リフレッシュ信号REFE_pを受ける偶数ブロック（2n）のアレイブロックコントローラABCを示している。奇数ブロックのアレイブロックコントローラABCは、図3から容易に推測できるので、その説明を省略する。アレイブロックコントローラABCは、ブロックアクセスカウンタBACおよびリフレッシュカウンタREFCを備えている。

【0024】

リフレッシュカウンタREFCは、各ワード線WLに実行されるリフレッシュ回数をカウントする。例えば、メモリセルアレイMCAをワード線WL0 ~ WL255の順番にリフレッシュするときに、リフレッシュカウンタREFCは、1本のワード線WLに接続されたメモリセルMCをリフレッシュするごとにリフレッシュ回数を1だけインクリメントする。リフレッシュ回数が256になったとき、メモリセルアレイMCA全体のリフレッシュ動作が完了する。この場合、リフレッシュカウンタREFCは、リフレッシュ対象のワード線WLのアドレスナンバをカウントしていると言ってもよい。

10

20

30

40

50

【 0 0 2 5 】

ここで、リフレッシュ動作は、メモリセルM Cの論理データの劣化を回復させる動作である。

【 0 0 2 6 】

ブロックアクセスカウンタB A Cは、アレイブロックコントローラA B Cに対応するメモリセルアレイM C Aへのアクセス回数をカウントする。例えば、データ読出し、データ書込み、リフレッシュ動作において、メモリセルアレイM C Aにアクセスする場合、ブロックアクセスカウンタB A Cは、その内部に保持されたアクセス回数を1だけインクリメントする。アクセスは、不定期かつ任意のアドレスのワード線を活性化させる動作である。このアクセス回数が所定回数に達した場合に、ブロックアクセスカウンタB A Cは、リフレッシュ命令としての信号B R E F pを活性化させる。信号B R E F pの活性化後、次のサイクルでリフレッシュ動作を開始する。

10

【 0 0 2 7 】

このように、アレイブロックコントローラA B Cは、対応するメモリセルアレイM C Aへのアクセス回数が所定回数に達した場合に、リフレッシュ動作を実行し、該メモリセルアレイM C A全体をリフレッシュするようにロウデコーダR DおよびセンスアンプS Aを制御する。即ち、アレイブロックコントローラA B Cは、アクセス回数に依存したリフレッシュ動作を実行するように構成されている。

【 0 0 2 8 】

アレイブロックコントローラA B Cの構成をさらに詳細に説明する。A N DゲートG 4 1は、ブロックごとに割り当てられたブロックアドレスB L K A D Dおよび活性化信号A C Tを受け取る。A N DゲートG 4 1は、ブロックアドレスB L K A D Dが所定のアドレスであった場合に、信号A C T p y yを活性化させる。A N DゲートG 4 1は、ブロックアドレスB L K A D Dに従って各ブロックごとに異なる構成を有する。これにより、A N DゲートG 4 1は、ブロックアドレスB L K A D Dで示された特定のブロックのメモリセルアレイM C Aを、信号A C Tの活性化のタイミングで選択することができる。このように、A N DゲートG 4 1は、ブロックアドレスB L K A D Dのデコーダとして機能する。

20

【 0 0 2 9 】

O RゲートG 4 2は、信号A C T p p yまたは信号B R E F pの活性化を受けて、信号A C T p yを活性化する。ラッチ回路L 4 3およびA N DゲートG 4 4は、信号A C T p yの活性化後、次のサイクルで信号A C T p yを信号L A C T pとして出力する。信号L A C T pの活性化によってロウコントローラR Cが活性化される。これにより、メモリセルアレイM C AへのアクセスがローカルロウアドレスL A Dに従って実行される。

30

【 0 0 3 0 】

信号L A C T pは、ブロックアクセスカウンタB A Cにも入力される。信号L A C T pはクロック信号C L Kと同期して活性化されるので、ブロックアクセスカウンタB A Cは、信号L A C T pの活性化回数（立ち上がり回数）をカウントする。これにより、アクセス回数がカウントされ得る。

【 0 0 3 1 】

アクセス回数が所定値に達したときに、リフレッシュ要求信号としての信号C L M T pが活性化される。リフレッシュ期間決定回路T D C（以下、決定回路T D Cという）が、信号C L M T pの活性化を受けて、リフレッシュ期間決定信号R E F D U R pを活性化させる。A N DゲートG 4 1 4は、リフレッシュサイクルを規定する信号B R E F pに基づいて、信号R E F D U R pを周期的に通過させる。ラッチ回路L 4 1 5は、クロック信号C L Kに基づいて信号B R E F pのパルス幅を決定する。即ち、A N DゲートG 4 1 4は信号B R E F pの活性化するタイミングを決定し、ラッチ回路L 4 1 5は信号B R E F pの活性化期間（パルス幅）を決定する。これにより、信号B R E F pは、クロック信号C L Kと同じ幅を有し、かつ、リフレッシュサイクルごとに活性化されるパルス信号となる（条件1）。尚、リフレッシュサイクルは、或るワード線W L jの活性化から次のワード線W L j + 1の活性化までのリフレッシュ周期である。

40

50

【 0 0 3 2 】

信号 R E F D U R p は、フィードバック回路としてのラッチ回路 4 1 2 によって A N D ゲート G 4 1 0 にフィードバックされる。A N D ゲート G 4 1 0 は、リフレッシュカウンタ R E F C からの信号 R C N T U P n が論理ロウに活性化されるまで、信号 R E F D U R p を通過させる。信号 R C N T U P n は、リフレッシュ期間（例えば、リフレッシュ回数が 0 から 2 5 4 までの期間）、不活性状態（論理ハイ）を維持しており、リフレッシュ回数が所定値（例えば、2 5 5）に達したときに、活性状態になる信号である。

【 0 0 3 3 】

アクセス回数が所定値に達し、ブロックアクセスカウンタ B A C が信号 C L M T p を活性化した後（リフレッシュ動作にエンターした後）、次のリフレッシュサイクルでは、ラッチ回路 4 1 3 がブロックアクセスカウンタ B A C に格納されたアクセス回数をリセットする。しかし、一旦、信号 C L M T p が活性化されると、決定回路 T D C は、信号 R E F D U R p を活性状態にラッチする。決定回路 T D C におけるこのラッチ状態は、リフレッシュ期間の終了を示す信号 R C N T U P n が論理ロウに活性化されるまで維持される。即ち、信号 R E F D U R p は、信号 C L M T p の活性化を契機に活性化され、メモリセルアレイ M C A 全体の一連のリフレッシュ期間が終了するまで活性状態に維持される。これにより、信号 B R E F p は、リフレッシュ期間において活性化され得る（条件 2）。

【 0 0 3 4 】

条件 1 および条件 2 を合わせると、信号 B R E F p は、リフレッシュ期間の間（R E F D U R p が活性化されている期間）、リフレッシュサイクルごとに（R E F p が活性化されるごとに）活性化されるパルス信号である。

【 0 0 3 5 】

信号 B R E F p は、ラッチ回路 L 4 1 8 を介してリフレッシュカウンタ R E F C へ信号 B R E F p x として転送される。リフレッシュカウンタ R E F C は、信号 B R E F p x （信号 B R E F p ）のパルス数をカウントする。リフレッシュカウンタ R E F C は、リフレッシュ回数を信号 R C O U N T としてマルチプレクサ M U X へ送る。尚、ラッチ回路 L 4 1 8 は、リフレッシュ命令信号 B R E F p の活性化後の次のサイクルでリフレッシュ回数をカウントする。これにより、1つのワード線 W L のリフレッシュが終了するごとに、リフレッシュカウンタ R E F C が次のアドレスを出力することができる。

【 0 0 3 6 】

マルチプレクサプレクサ M U X は、信号 B R E F p が活性状態のときに信号 R C O U N T を出力し、信号 B R E F p が不活性状態のときに信号 A D D p y y を出力する。つまり、リフレッシュ時において、マルチプレクサ M U X は、ワード線 W L を順番に選択するために信号 R C O U N T を A D D p y として出力する。このとき、選択ワード線 W L を示すロウアドレス R O W A D D は無効状態である。リフレッシュ以外の動作では、マルチプレクサ M U X は、ロウアドレス R O W A D D を示す信号 A D D p y y を A D D p y として出力する。

【 0 0 3 7 】

マルチプレクサ M U X の出力信号 A D D p y は、クロック C L K と同期して、ラッチ回路 L 4 7 に取り込まれる。ラッチ回路 L 4 7 は、クロック C L K に基づいて、出力信号 A D D p y をローカルロウアドレス L A D としてロウコントローラ R C へ転送する。リフレッシュ動作では、ローカルロウアドレス L A D は、リフレッシュ回数を示す信号である。

【 0 0 3 8 】

リフレッシュカウンタ R E F C からの信号 R C O U T 2 5 5 は、A N D ゲート G 4 1 9 に入力される。A N D ゲート G 4 1 9 は、信号 B R E F p x および信号 R C O U T 2 5 5 の N A N D 演算結果を信号 R C N T U P n として出力する。信号 B R E F p x は、クロック信号 C L K と同期された信号 B R E F p である。信号 R C O U T 2 5 5 は、リフレッシュ回数が所定値（例えば、2 5 5）に達したときに、活性化される信号である。よって、信号 R C N T U P n は、リフレッシュ回数が所定値に達したときに論理ロウに活性化され、それ以外では論理ハイに不活性化されている。終期決定信号としての信号 R C N T U P

10

20

30

40

50

n は、リフレッシュ期間の終期を示し、活性化された信号 R E F D U R p を不活性状態にリセットする。

【 0 0 3 9 】

ロウデコーダ R D は、ローカルロウアドレス L A D に基づいて、ワード線 W L をリフレッシュサイクルごとに順番に活性化する。センスアンプ S A は、活性化されたワード線 W L に接続されたメモリセル M C の劣化したデータを回復させる。リフレッシュ要求信号 C L M T p の活性化後、最初のリフレッシュサイクルでは、R C O U N T が 0 である。よって、ローカルロウアドレス L A D として 0 が出力され、ワード線 W L 0 が選択される。その後、信号 B R E F p が活性化されるごと（リフレッシュサイクルごと）に、R C O U N T がインクリメントされるので、ワード線は、W L 1、W L 2、W L 3・・・と順番に選択される。リフレッシュの終了後、アクセス回数が所定値に達するまで、A N D ゲート G 4 1 4 は信号 R E F E p を不活性状態とする。

10

【 0 0 4 0 】

信号 B R E F p は、O R ゲート 4 1 7 にも転送されている。O R ゲート 4 1 7 は、信号 B R E F p の活性化によって、ビジー信号 B U S Y を出力する。ビジー信号 B U S Y が活性状態の間、メモリ外部からのアクセスは禁止される。

【 0 0 4 1 】

尚、図 3 において、A N D ゲート G 4 5、マルチプレクサ M U X、リフレッシュカウンタ R E F C、ラッチ回路 4 7 は、1 ビット分のみ示されている。しかし、実際には、これらは、ロウアドレス R O W A D D のビット数分だけ設けられている。例えば、ワード線 W L が 2 5 6 本ある場合、A N D ゲート G 4 5、マルチプレクサ M U X、リフレッシュカウンタ R E F C、ラッチ回路 4 7 は 8 ビット分設けられる。

20

【 0 0 4 2 】

図 4 は、マクロメモリコントロール M M C の部分的な構成を示すブロック図である。図 4 は、信号 R E F E p および R E F O p を生成する回路を示す。クロックカウンタ C C は、クロック信号 C L K をカウントし、所定数のクロックを受けるごとに信号 C C O p を活性化させる。E O カウンタ E O C は、クロック信号 C L K と同期して信号 E p と O p とを交互に活性化させる。

【 0 0 4 3 】

A N D ゲート G 5 3 は、信号 E p および C C O p を受け取り、信号 C C O p の活性化ごとに、信号 E p の論理状態を出力する。D ラッチ回路 D L 5 4 および A N D ゲート G 5 5 は、クロック信号 C L K に同期して信号 E p を信号 R E F E p として出力する。

30

【 0 0 4 4 】

A N D ゲート G 5 6 は、信号 O p および C C O p を受け取り、信号 C C O p の活性化ごとに、信号 O p の論理状態を出力する。D ラッチ回路 D L 5 7 および A N D ゲート G 5 8 は、クロック信号 C L K に同期して信号 O p を信号 R E F O p として出力する。

【 0 0 4 5 】

D ラッチ回路 D L 5 4、D L 5 7 は、クロック C L K が論理ハイのときに入力信号をラッチし、論理ロウのときにラッチされた信号をスルーさせる。よって、クロック数が所定値に達するごとに、信号 R E F E p または R E F O p のいずれか一方が 1 クロックの期間だけ活性化される。

40

【 0 0 4 6 】

図 5 は、本実施形態による F B C メモリの動作の具体例を示すタイミング図である。図 5 に示す破線の間隔は、クロック信号 C L K の周期（例えば、3 n s）を示す。

【 0 0 4 7 】

[データ読出し、データ書込み（通常動作）]

t 1 において、読出し命令または書込み命令が入力される。これにより、ブロック活性化信号 A C T が活性化される。ブロックアドレスで示されたブロックの A N D ゲート G 4 1 が信号 A C T p y y を活性化させる。信号 A C T p y y の活性化に伴い、A N D ゲート G 4 5 がロウアドレス R O W A D D を通過させる。また、信号 A C T p y y の活性化によ

50

って、次のクロックで信号 $LACTp$ が活性化される。信号 $LACTp$ は、ラッチ回路 $L43$ でラッチされる。

【0048】

通常動作では、リフレッシュ命令 $BREFp$ は、不活性状態（論理ロウ）であるので、マルチプレクサ MUX は、信号 $ADDpyy$ を $ADDpy$ として出力する。よって、ラッチ回路 $L47$ は、ローカルロウアドレスを信号 LAD としてロウコントローラ RC へ出力する。これにより、ロウコントローラ RC は、ロウアドレス $ROWADD$ で特定されたワード線 WL を選択し、読出し動作または書込み動作を実行することができる。

【0049】

信号 $LACTp$ の活性化により、ブロックアクセスカウンタ BAC は、アクセス回数を1だけ増加させる。

【0050】

[リフレッシュ動作]

アクセス回数が所定値に達した場合、 $t2$ に示すように、リフレッシュ要求信号 $CLMTp$ が活性化される。 $t2$ から1クロック後の $t3$ において、信号 $REFDURp$ および信号 $CLMTpx$ が活性化される。尚、信号 $REFDURp$ および信号 $CLMTpx$ の動作は、ラッチ回路 $L412$ および $L413$ によりリフレッシュ要求信号 $CLMTp$ よりも1クロック遅延される。信号 $REFDURp$ の活性状態は、ラッチ回路 $L412$ でラッチされる。信号 $REFDURp$ が活性である期間がリフレッシュ期間である。

【0051】

信号 $CLMTpx$ はブロックアクセスカウンタ BAC のアクセス回数をリセットするため、信号 $CLMTpx$ の活性化直後に、信号 $CLMTp$ が不活性化される。このとき、信号 $REFE p$ がまだ活性化されていないので、実際のリフレッシュ動作はまだ実行されていない。リフレッシュカウンタ $REFC$ のリフレッシュ回数（信号 $RCOUNT$ ）は0のままである。

【0052】

$t4$ において、信号 $REFE p$ が活性化されている。信号 $REFE p$ はリフレッシュサイクルごとに活性化される。これにより、ANDゲート $G414$ がリフレッシュサイクルごとに信号 $REFDURp$ を通過させる。よって、信号 $BREFpy$ およびリフレッシュ命令 $BREFp$ が活性化される。リフレッシュ命令 $BREFp$ は、ラッチ回路 $L415$ によって信号 $BREFpy$ の1クロック後に活性化される。リフレッシュ命令 $BREFp$ の活性化とほぼ同時に、ビジー信号 $BUSY$ が活性化され、外部からのアクセスを禁止する。

【0053】

マルチプレクサ MUX は、信号 $BREFp$ を受けて、信号 $RCOUNT$ を信号 $ADDpy$ として出力する。この時点で、 $RCOUNT$ は0であるので、 $ADDpy$ は0となる。よって、ローカルロウアドレス LAD として0が出力され、ワード線 $WL0$ が選択される。

【0054】

リフレッシュ命令 $BREFp$ のさらに1クロック後に（ワード線 $WL0$ の活性化と同時にまたはその直後に）信号 $BREFpx$ が活性化される。これにより、リフレッシュカウンタ $REFC$ は、リフレッシュ回数を1だけインクリメントする。

【0055】

ワード線 WL の数が256である場合、リフレッシュ動作は、リフレッシュ回数がワード線 WL の本数と等しくなるまで繰り返される。

【0056】

$t5$ において、リフレッシュ回数が255に達したとき、リフレッシュカウンタ $REFC$ が信号 $RCOUNT255$ を活性化させる。これにより、信号 $RCNTUPn$ が論理ロウに活性化される。それに伴い、リフレッシュ要求信号 $REFDURp$ が不活性化され、リフレッシュ期間が終了する。

10

20

30

40

50

【 0 0 5 7 】

図 5 において、ワード線 W L の活性状態 R A 0 ~ R A 2 5 5 がリフレッシュ動作によるアクセス（リフレッシュアクセス）を示す。N A は、通常の読出しまたは書込みによるアクセス（ノーマルアクセス）を示す。リフレッシュ動作の実行時（ビジー信号 B U S Y が活性状態であるとき）には、通常の読出しまたは書込みによるアクセスは禁止される。しかし、リフレッシュ期間中であっても、リフレッシュ動作を実行していない期間（ビジー信号 B U S Y が不活性状態であるとき）には、通常の読出しまたは書込みによるアクセスは可能である。

【 0 0 5 8 】

図 6 は、リフレッシュサイクルを決定する R E F E p および R E F O p の活性化周期を示すタイミング図である。本実施形態において、クロック信号 C L K の立ち上がり周期は 3 n s とする。信号 R E F E p および R E F O p は、6 0 n s ごとに交互に活性化される。即ち、図 4 に示すクロックカウンタ C C は、2 0 個のクロック信号 C L K を受けるごとに信号 C C O p を 1 クロック期間だけ活性化させる。これにより、信号 R E F E p は 1 2 0 n s ごとに 1 クロック期間だけ活性化され、信号 R E F O p も 1 2 0 n s ごとに 1 クロック期間だけ活性化される。

【 0 0 5 9 】

偶数アドレスのメモリセルアレイ M C A のリフレッシュ動作と奇数アドレスのメモリセルアレイ M C A のリフレッシュ動作とは、リフレッシュサイクルの半周期だけずらした状態で実行される。このため、偶数アドレスのメモリセルアレイ M C A および奇数アドレスのメモリセルアレイ M C A がセンスアンプ S A を共有していたとしても、リフレッシュ動作を滞りなく実行することができる。

【 0 0 6 0 】

図 7 (A) および図 7 (B) は、本実施形態による F B C メモリのリフレッシュビジーレートを示した概念図である。例えば、各メモリセルアレイ M C A は、1 0 2 4 本のビット線 B L および 2 5 6 本のワード線 W L を設けたセルアレイを 8 個有するものとする。この場合、各メモリセルアレイ M C A のメモリ容量は、約 2 メガビットとなる。

【 0 0 6 1 】

或るブロックのメモリセルアレイのリフレッシュ動作に約 3 0 . 7 2 μ s (2 5 6 × 1 2 0 n s) ずつの時間が掛かる。また、リフレッシュ期間において、ビジー信号 B U S Y が非活性状態のときには、通常動作のアクセスが可能である。従って、リフレッシュ期間において、或るワード線 W L にアクセスが集中した場合、最大アクセス回数は、約 1 0 , 2 4 0 回 (= 3 0 . 7 2 μ s / 3 n s) になる。或るリフレッシュ期間の終了後、すぐに、次のリフレッシュ期間にエンターしたとしても、ワード線 W L はアドレス順にリフレッシュされるので、アクセスが集中したワード線 W L がすぐにリフレッシュされるとは限らない。このため、ディスタープによるデータ不良が生じないために、メモリセル M C の許容アクセス回数は、2 つのリフレッシュ期間にアクセスされる最大アクセス回数以上でなければならない。この具体例では、2 つのリフレッシュ期間にアクセスされる最大アクセス回数は、約 2 0 , 4 8 0 である。

【 0 0 6 2 】

これに対処するために、従来の F B C メモリでは、2 つのリフレッシュ期間を 1 つの周期 (6 0 μ s) としてリフレッシュ動作を実行していた。即ち、従来の F B C メモリは、リフレッシュ動作の実行を時間で制御していた。これは、或るメモリセルアレイ M C A にアクセスが集中するというワーストケースを考慮し、ディスタープによるデータ不良が生じないようにするためである。このような従来技術の場合、実際のアクセス回数に関係なく、所定の周期 (6 0 μ s) でメモリセルアレイ M C A をリフレッシュしなければならない。この具体例では、ビジーレートは、2 . 5 6 % (5 1 2 * 3 n s / 6 0 μ s) である。ここで、奇数ブロックのリフレッシュと偶数ブロックのリフレッシュとが別のタイミングで実行されるので、ワード線数を 2 5 6 とすると、リフレッシュ期間内のリフレッシュサイクルは 5 1 2 回である。

【 0 0 6 3 】

これに対し、本実施形態による F B C メモリでは、ブロックごとのアクセス回数をカウントして、このアクセス回数によってリフレッシュ動作を実行する。この場合、リフレッシュ期間における最大アクセス回数（この具体例では、約 1 0 , 2 4 0 ）に達したときに、リフレッシュ期間が開始される。

【 0 0 6 4 】

例えば、図 7 (A) に示すように、アクセスがブロック 6 にのみに集中した場合、ブロック 6 に対応するブロックアクセスカウンタ B A C のアクセス回数は、リフレッシュ期間（ 3 0 μ s ）の間に約 1 0 , 2 4 0 に達する。よって、ブロック 6 に対して或るリフレッシュ期間が終了後、すぐに次のアクセス期間が開始される。しかし、他のブロック 0 ~ 5 および 7 は、リフレッシュされない。よって、消費電力は、従来例のその 1 / 4 になる。ただし、この場合、ビジーレートは、 5 . 1 2 % （ 5 1 2 / 1 0 , 2 4 0 ）となる。

10

【 0 0 6 5 】

図 7 (B) に示すように、アクセスが各ブロックに均等にあった場合、各ブロックへのアクセス回数は、8 つのリフレッシュ期間（ 2 4 0 μ s ）の間に約 1 0 , 2 4 0 に達する。よって、消費電力は、従来例のその 1 / 4 になる。また、ビジーレートは、図 7 (A) に示す例のビジーレートの 1 / 2 となる。従って、図 7 (B) に示す例のビジーレートは、 0 . 6 4 % となる。

【 0 0 6 6 】

メモリセルアレイのブロック数が多いほど、本実施形態の効果がより良く発揮される。例えば、ブロック数が 6 4 である場合、図 7 (A) に示すように、1 ブロックにアクセスが集中した場合、消費電力は、従来例のその 1 / 3 2 になる。図 7 (B) のようにアクセスが各ブロックに均等にあった場合、消費電力は、従来例のその 1 / 4 であり、ブロック数が 8 の場合の消費電力と変わらない。

20

【 0 0 6 7 】

本実施形態では、ブロックアクセスカウンタ B A C が、データ読出し動作またはデータ書込み動作の単位ブロックであるメモリセルアレイ M C A ごとに、読出しまたは書込みのアクセス回数をカウントする。本実施形態は、このアクセス回数に応じて、メモリセルアレイ M C A ごとにリフレッシュ動作を実行する。即ち、本実施形態は、リフレッシュ動作の周期をアクセス回数によって制御する。これにより、消費電力を低減させることができる。また、アクセスが単一メモリセルアレイ M C A に集中せずに、複数のブロックに分散する場合には、リフレッシュビジーレートが低減する。

30

【 0 0 6 8 】

本実施形態は、リフレッシュ動作の周期を時間で制御する従来例に組み合わせることもしることができる。アクセス回数による制御方式はディスタープによるデータ不良を防止することができ、時間による制御方式はデータ保持時におけるリテンション不良を防止することができる。これにより、さらに信頼性の高い F B C メモリを提供することができる。

【 0 0 6 9 】

（第 2 の実施形態）

図 8 は、本発明に係る第 2 の実施形態に従ったアレイブロックコントローラ A B C の構成を示すブロック図である。第 2 の実施形態は、A N D ゲート G 4 1 4 が設けられていない点で第 1 の実施形態と異なる。第 2 の実施形態のその他の構成は、第 1 の実施形態の構成と同様でよい。従って、第 2 の実施形態は、信号 R E F E p および R E F O p に依らず、アクセス回数が所定値に達したときに、そのメモリセルアレイ M C A 内のワード線 W L を連続して選択してリフレッシュ動作を実行する。このとき、連続した一連のクロック信号 C L K に合わせて、ワード線 W L がアドレス順に連続的に駆動され、かつ、そのワード線 W L に接続されたメモリセル M C がリフレッシュされる。

40

【 0 0 7 0 】

図 9 は、第 2 の実施形態による F B C メモリの動作の具体例を示すタイミング図である。図 9 に示す破線の間隔は、図 5 と同様にクロック信号 C L K の周期（例えば、 3 n s ）

50

を示す。

【 0 0 7 1 】

通常動作については、図 5 を参照して説明したとおりである。図 9 に示すワード線 W L の活性化ピークのうち、通常アクセス N A は、通常動作における読出または書込み時のアクセスを示す。それ以外のリフレッシュアクセス R A 0 ~ R A 2 5 5 がリフレッシュ時のアクセスである。

【 0 0 7 2 】

第 2 の実施形態では、リフレッシュアクセス R A 0 ~ R A 2 5 5 が連続して実行されている。この連続したリフレッシュ期間の間ほとんど、リフレッシュ命令 B R E F p、ビジー信号 B U S Y および信号 B R E F p x は、活性状態を維持する。即ち、リフレッシュ要求信号 R E F D U R p が活性状態であるほとんどの期間、リフレッシュ命令 B R E F p、ビジー信号 B U S Y および信号 B R E F p x も活性状態にある。ただし、リフレッシュ命令 B R E F p、ビジー信号 B U S Y および信号 B R E F p x は、リフレッシュ要求信号 R E F D U R p とタイミングが少しずれているため、これらは完全に一致しているわけではない。

【 0 0 7 3 】

第 2 の実施形態のその他の動作は、第 1 の実施形態の動作と同様でよい。

【 0 0 7 4 】

図 1 0 は、第 2 の実施形態のリフレッシュサイクルを示すタイミング図である。リフレッシュは、連続した一連のクロック信号 C L K に合わせて実行される。クロック信号 C L K の幅が 3 0 n s であり、ワード線数が 2 5 6 である場合、奇数ブロックまたは偶数ブロックのいずれかのリフレッシュ期間は、7 6 8 n s となる。奇数ブロックおよび偶数ブロックの両方のリフレッシュ期間は、7 6 8 n s * 2 となる。このリフレッシュ期間の間、通常動作のアクセスは禁止される。

【 0 0 7 5 】

メモリセル M C への許容アクセス回数を 2 0 , 4 8 0 回とした場合、リフレッシュ要求信号 R E F D U R p が活性化されるときアクセス回数は 2 0 , 4 8 0 回でよい。第 2 の実施形態では、連続してリフレッシュが実行されるからである。従って、第 2 の実施形態のビジーレートは、第 1 の実施形態のその半になる。その結果、第 2 の実施形態のビジーレートは、従来例のビジーレート以下に抑えることができる。

【 0 0 7 6 】

第 2 の実施形態のビジーレートが第 1 の実施形態のそれと比べて半になるということは、第 2 の実施形態の消費電流も第 1 の実施形態のその半になることを意味する。よって、第 2 の実施形態の消費電流は、第 2 の実施形態のその 1 / 8 になる。

【 0 0 7 7 】

以上の実施形態は、2 セル / ビット方式を採用していた。しかし、上記実施形態は、1 セル / ビット方式を採用してもよい。1 セル / ビットは、センスアンプ S A に接続されたビット線対のうち、一方のビット線 B L にメモリセル M C からの情報データを伝達し、他方のビット線 B L に参照データを伝達する方式である。この他方のビット線 B L は、メモリセル M C に接続されず、データ “ 0 ” と “ 1 ” との中間状態を示す参照データを伝達する。

【 図面の簡単な説明 】

【 0 0 7 8 】

【 図 1 】 本発明に係る実施形態に従った F B C メモリの構成を示すブロック図。

【 図 2 】 メモリセルアレイ M C A i およびその周辺部の構成を示す概略図。

【 図 3 】 アレイブロックコントローラ A B C の内部構成の一例を示すブロック図。

【 図 4 】 マクロメモリコントロール M M C の部分的な構成を示すブロック図。

【 図 5 】 本実施形態による F B C メモリの動作の具体例を示すタイミング図。

【 図 6 】 リフレッシュサイクルを決定する R E F E p および R E F O p の活性化周期を示すタイミング図。

10

20

30

40

50

【図 7】本実施形態による F B C メモリのリフレッシュビジーレートを示した概念図。

【図 8】本発明に係る第 2 の実施形態に従ったアレイブロックコントローラ A B C の構成を示すブロック図。

【図 9】第 2 の実施形態による F B C メモリの動作の具体例を示すタイミング図。

【図 10】第 2 の実施形態のリフレッシュサイクルを示すタイミング図。

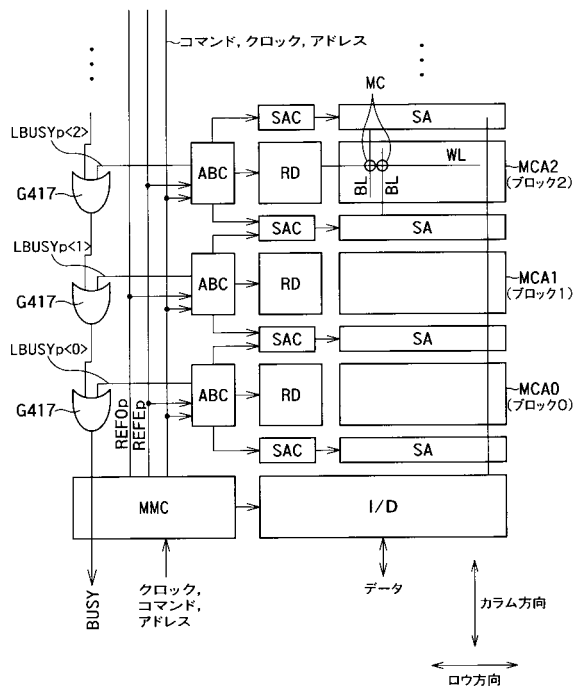
【符号の説明】

【0079】

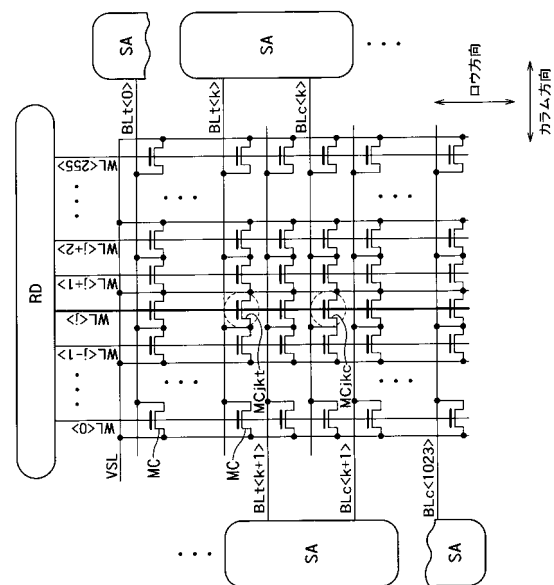
B L ... ビット線、W L ... ワード線、M C A 0 ~ M C A 2 ... メモリアレイブロック、S A ... センスアンプ、R D ... ロウデコーダ、M M C ... メモリマクロコントローラ、A B C ... アレイブロックコントローラ、S A C ... センスアンプコントローラ、G 4 1 7 ... O R ゲート、B A C ... ブロックアクセスカウンタ、R E F C ... リフレッシュカウンタ

10

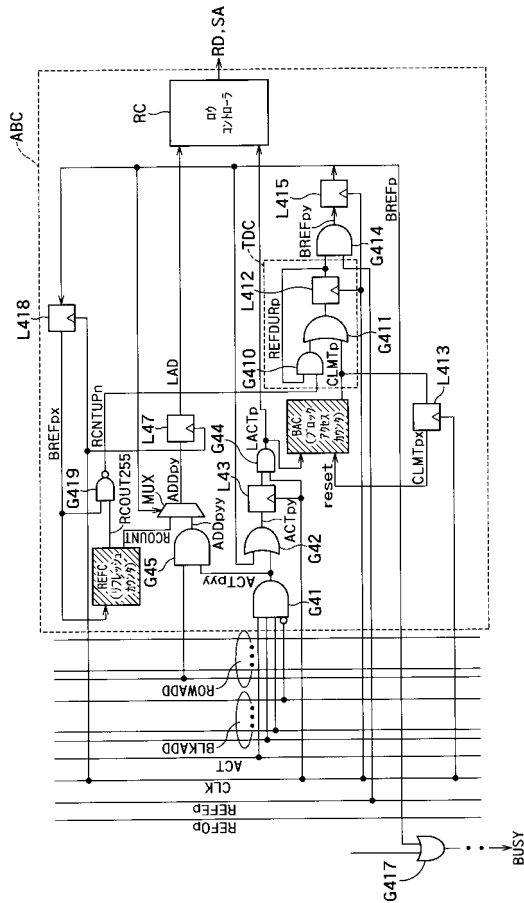
【図 1】



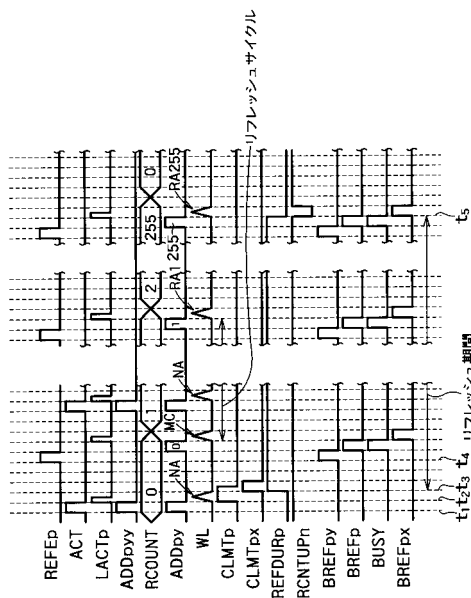
【図 2】



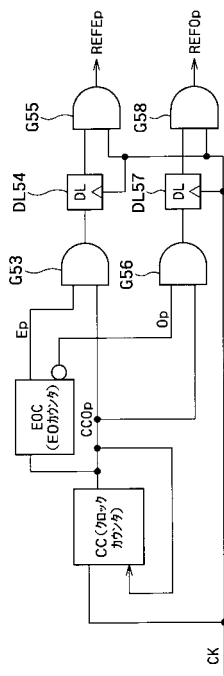
【図 3】



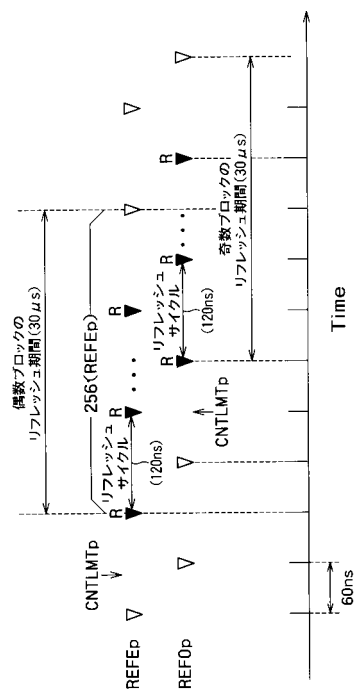
【図 5】



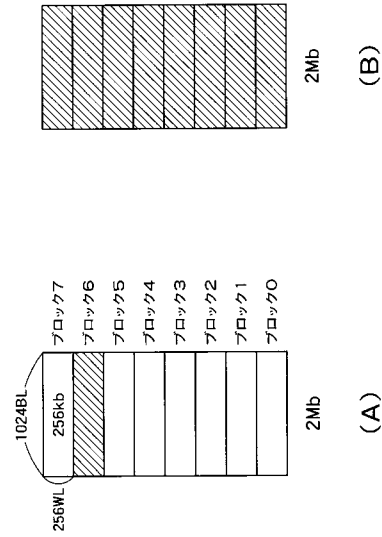
【図 4】



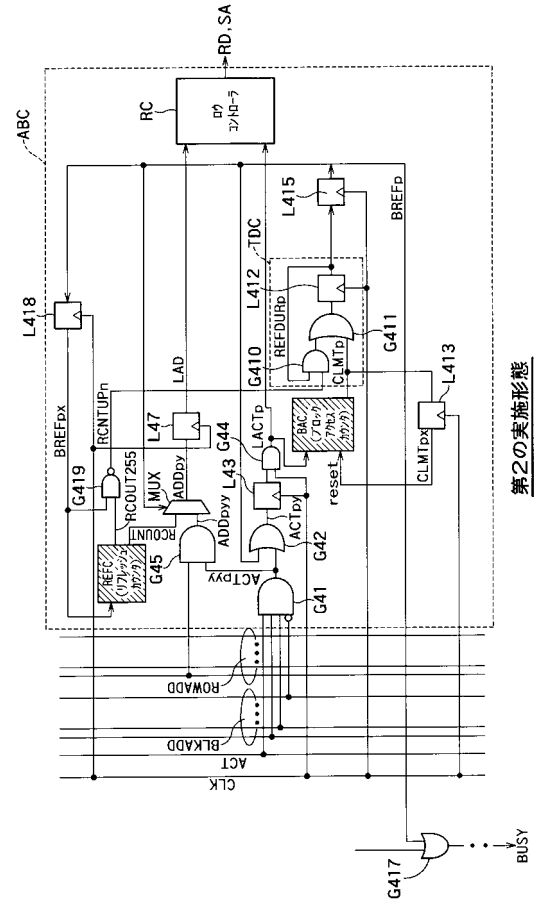
【図 6】



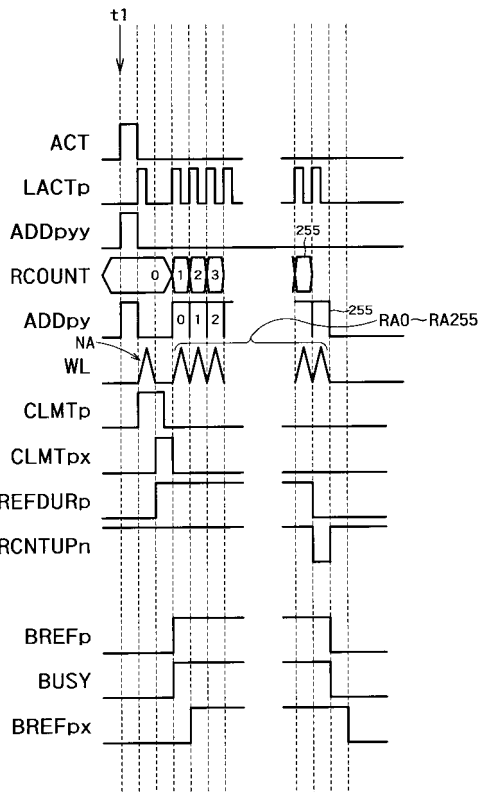
【図 7】



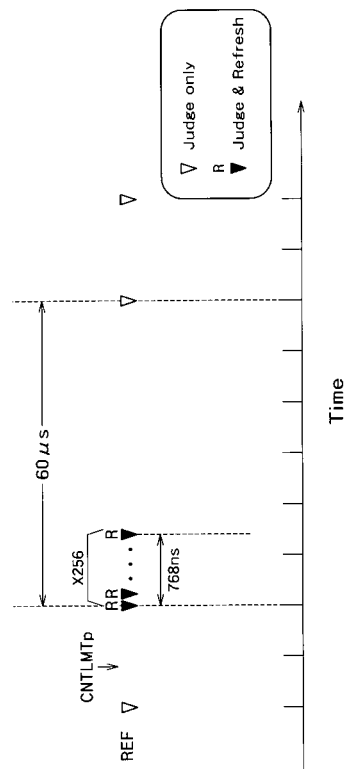
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 福 田 良
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

(72)発明者 渡 辺 陽 二
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 5M024 AA04 AA40 BB22 BB39 CC20 EE05 EE12 EE15 EE22 EE29
GG06 PP01 PP02 PP03 PP07