(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 7 月 16 日 (16.07.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/143024 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01)

(21) 国际申请号: PCT/CN2019/071347

(22) 国际申请日: 2019 年 1 月 11 日 (11.01.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: 李栋 (**LI, Dong**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 李小龙 (**LI, Xiaolong**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 李良坚 (**LI, Liangjian**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 田宏伟 (**TIAN, Hongwei**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING SAME, AND DISPLAY PANEL

(54) 发明名称: 阵列基板及其制作方法、显示面板

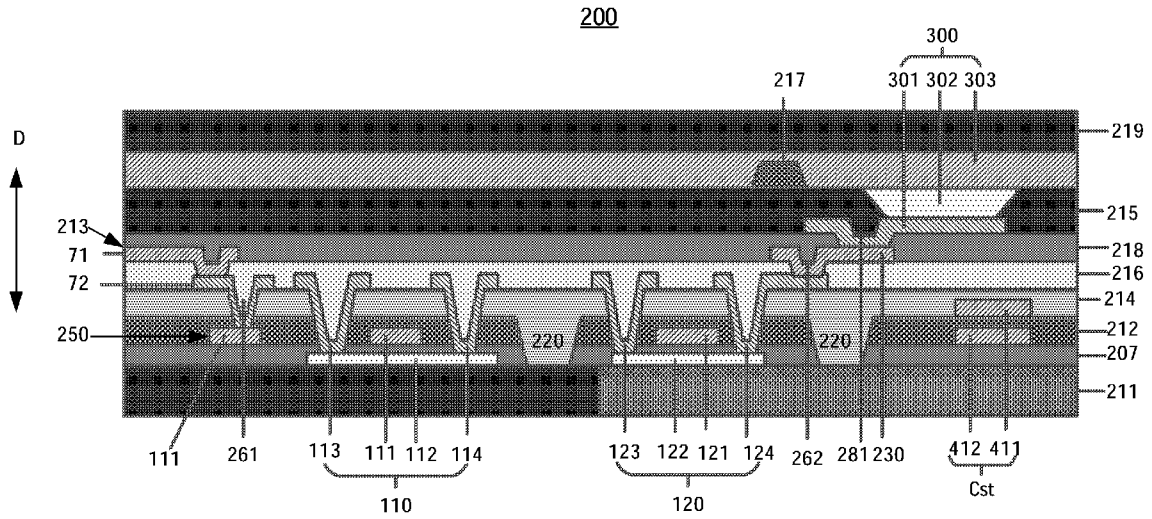


图3

(57) **Abstract:** Disclosed are an array substrate and a method for manufacturing same. The array substrate (200) comprises a display pixel area (210) for providing pixel units (201) which are arranged in an array; and the array substrate (200) further comprises: a base substrate (211), a first insulation layer (212), a second insulation layer (214), and a first conductive pattern layer (213). The first insulation layer (212) is provided on the base substrate (211), and a groove (220) is provided in the first insulation layer (211); the groove (220) is provided in the display pixel area (210); the second insulation layer (214) is provided on the first insulation layer (211),

WO 2020/143024 A1

[见续页]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

and the second insulation layer (214) further fills the groove (220); and the first conductive pattern layer (213) is provided on the second insulation layer (214). By means of providing the groove (220), the array substrate (200) can have better impact resistance performance and bending resistance performance.

(57) 摘要：一种阵列基板及其制作方法，该阵列基板(200)包括用于提供阵列排布的像素单元(201)的显示像素区(210)，所述阵列基板(200)还包括：衬底基板(211)、第一绝缘层(212)、第二绝缘层(214)和第一导电图案层(213)。第一绝缘层(212)设置于衬底基板(211)上，且第一绝缘层(211)中设置有凹槽(220)，该凹槽(220)设置于该显示像素区(210)；第二绝缘层(214)设置在第一绝缘层(211)上，且第二绝缘层(214)还填充入凹槽(220)中；第一导电图案层(213)设置在第二绝缘层(214)上。该阵列基板(200)通过设置该凹槽(220)可以具有更好的抗冲击性能和耐弯折性能。

阵列基板及其制作方法、显示面板

技术领域

本公开实施例涉及一种阵列基板及其制作方法、显示面板。

背景技术

在显示领域，有机发光二极管（OLED）显示面板具有自发光、对比度高、能耗低、视角广、响应速度快、可用于挠曲性面板、使用温度范围广、制造简单等特点，具有广阔的发展前景。随着柔性电子技术的发展，具有可折叠性能的柔性显示装置逐渐受到人们的青睐。例如，为了实现显示装置的窄边框甚至无边框显示，可以对显示装置的非显示区进行弯折处理；或者为了便于携带，也可以对显示装置进行弯曲处理。如何优化显示面板的制作工艺是本领域关注的问题。

发明内容

本公开的一些实施例提供一种阵列基板，包括用于提供阵列排布的像素单元的显示像素区，所述阵列基板还包括：衬底基板，第一绝缘层，设置于所述衬底基板上，且所述第一绝缘层中设置有凹槽，所述凹槽设置于所述显示像素区；第二绝缘层，设置在所述第一绝缘层上，且所述第二绝缘层还填充入所述凹槽中；第一导电图案层，设置在所述第二绝缘层上。

在至少一个示例中，所述第二绝缘层为有机绝缘层。

在至少一个示例中，所述凹槽暴露所述衬底基板。

在至少一个示例中，所述第一导电图案层包括用于所述显示像素区的栅线或所述栅线的部分。

在至少一个示例中，所述凹槽包括第一部分，所述凹槽的第一部分平行于所述栅线或与所述栅线在垂直于所述衬底基板的方向上重叠。

在至少一个示例中，所述像素单元包括第一晶体管，所述第一晶体管包括第一栅极，所述第一栅极在所述第二绝缘层靠近所述衬底基板的一侧，且通过所述第二绝缘层中的第一过孔与所述栅线电连接。

在至少一个示例中，所述阵列基板还包括栅连接电极，所述栅连接电极位于所述第二绝缘层与所述第一导电图案层之间，所述第一栅极通过所述栅连接电极与所述栅线电连接。

在至少一个示例中，所述第一晶体管还包括第一源极和第一漏极，所述第一源极和所述第一漏极与所述栅连接电极同层设置且材料相同。

在至少一个示例中，所述阵列基板还包括用于所述显示像素区的数据线，所述数据线与所述第一源极及所述第一漏极同层设置且材料相同；所述凹槽还包括第二部分，所述凹槽的第二部分与所述数据线平行或在垂直于所述衬底基板的方向与所述数据线重叠。

在至少一个示例中，所述像素单元还包括第二晶体管，所述第二晶体管包括第二栅极，所述第二栅极与所述第一晶体管的第一源极或第一漏极连接。

在至少一个示例中，所述凹槽围绕所述第二栅极分布。

在至少一个示例中，所述凹槽还包括第三部分，所述第三部分与所述第二栅极平行且对应设置；在所述第三凹槽的长度方向上，所述第三部分的长度大于所述第二栅极的长度。

在至少一个示例中，所述第二晶体管包括第二源极和第二漏极，在垂直于所述衬底基板的方向上，所述第二源极和第二漏极位于所述第二绝缘层与所述第一导电图案层之间。

在至少一个示例中，所述阵列基板还包括第三绝缘层，在垂直于所述衬底基板的方向上，所述第三绝缘层位于所述第二源极和第二漏极与所述第一导电图案层之间。

在至少一个示例中，所述阵列基板还包括层叠设置于所述第一导电图案层之上的第四绝缘层和像素电极，所述第二源极或第二漏极通过所述第四绝缘层中的第二过孔与所述像素电极电连接。

在至少一个示例中，所述第一导电图案层还包括驱动连接电极，所述第二源极或第二漏极通过所述驱动连接电极与所述像素电极连接。

在至少一个示例中，所述阵列基板还包括第一电容电极，在垂直于所述衬底基板的方向上，所述第一电容电极设置于所述第一绝缘层和所述第二绝缘层之间。

在至少一个示例中，所述阵列基板还包括第二电容电极，所述第二电容电极与所述第一栅极同层设置且与所述第一电容电极正对形成电容。

本公开的一些实施例还提供一种显示面板，包括上述阵列基板。

本公开的一些实施例还提供一种阵列基板的制作方法，所述阵列基板包括用于提供阵列排布的像素单元的显示像素区，所述制作方法包括提供衬底基板；在所述衬底基板上形成第一绝缘层，并在所述第一绝缘层上形成凹槽，所述凹槽形成于所述显示像素区；在所述第一绝缘层上形成第二绝缘层，且所述第二绝缘层还填充入所述凹槽中；在所述第二绝缘层上形成第一导电图案层。

在至少一个示例中，所述第一绝缘层为有机绝缘层。

在至少一个示例中，形成所述第一导电图案层包括：形成用于所述显示像素区的栅线或形成所述栅线的部分。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 是本公开一实施例提供的一种阵列基板的平面示意图；

图 2 是本公开一实施例提供的阵列基板的局部放大示意图；

图 3 是图 2 沿剖面线 A-A’ 的剖面示意图；

图 4 是本公开一实施例提供的一种显示面板的示意图；

图 5 是本公开一实施例提供的一种阵列基板的制作方法的流程图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造

性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

用于显示装置的阵列基板或具有该显示装置的电子装置在外界应力作用下容易发生损伤。另外，随着技术的发展以及消费者的需求的变化，厂商将推出具有可折叠显示屏的柔性电子装置。例如，柔性电子装置包括柔性基板以及在该柔性基板上制备的各种电路结构以及电子器件等。根据需要，柔性电子装置的一些部分（例如显示区、焊盘区等）可被折叠并固定，或者在使用过程中根据需要弯折以调整不同部分之间的位置关系（例如多屏手机）。由于弯折应力，衬底基板上的层结构容易发生断裂而脱落，从而引发器件结构发生不良的风险。

本公开的一些实施例提供一种阵列基板，包括衬底基板和显示像素区，所述显示像素区用于提供阵列排布的像素单元，且包括：第一绝缘层、第二绝缘层和第一导电图案层，其中，第一绝缘层设置于所述衬底基板上，且第一绝缘层中设置有凹槽；第二绝缘层设置在所述第一绝缘层上，且第二绝缘层还填充入凹槽中；第一导电图案层设置在所述第二绝缘层上。

本公开的一些实施例，通过在阵列基板的显示像素区中的第一绝缘层中设置凹槽，并使得第二绝缘层填充入该凹槽中，可以增加第二绝缘层与第一绝缘层的接触面积，从而释放了在阵列基板被弯曲的过程中发生在第二绝缘层中易于导致断裂的内应力，并使得应力作用下的应变主要发生在该凹槽区域（应变吸收区）；此外，如果在阵列基板被弯曲的

过程中，如果在阵列的叠层结构中产生裂纹，该凹槽还可以阻隔裂纹的延展。因此，本公开上述实施例的这种设置可以减少或者消除该第二绝缘层以及其上结构（如第一导图案层）在阵列基板弯曲过程中的脱落风险，提高了阵列基板显示像素区的器件的抗冲击性能和耐弯折性能，从而提高了产品的性能和良率。

需要说明的是，该凹槽结构是指根据需要而设置的结构，区别于常规的制作方法中无法避免而出现的表面不平整结构，也区别于起连接作用的过孔结构。

图 1 为本公开一些实施例提供的一种阵列基板的平面示意图。如图所示，阵列基板 200 包括显示像素区 210，显示像素区 210 用于提供阵列排布的多个像素单元 201。该阵列基板还包括沿第一方向 D1 延伸的多条栅线 71、沿第二方向 D2 延伸的多条数据线 61，该多条栅线和数据线彼此交叉定义出多个像素区，多个像素单元 201 一一对应分布于多个像素区内。

例如，该阵列基板还可以包括数据驱动电路 6 和栅极驱动电路 7，该数据驱动电路用于为像素单元 201 提供数据信号；该栅极驱动电路用于为像素单元 201 提供扫描信号；此外，该阵列基板还可以包括其他电路或器件以进一步用于提供其他各种控制信号。该数据驱动电路和栅极驱动电路分别通过数据线 61 和栅线 71 与像素单元 201 连接，每个像素单元 201 与栅线 71、数据线 61 等连接以接收相应的电信号以进行发光，实现显示操作。

例如，该阵列基板可以是有机发光二极管（OLED）阵列基板，也可以是用于液晶显示的阵列基板。以下以该阵列基板为有机发光二极管阵列基板为例对本公开的实施例进行具体描述，但本公开实施例对此不作限制。

例如，每个像素单元 201 包括发光元件（即 OLED）以及驱动该发光元件发光的像素电路。例如，该像素电路可以包括常规的 2T1C 像素电路，即包括两个晶体管和一个电容，该两个晶体管一个为开关晶体管，另一个为驱动晶体管。又例如，该像素电路还可以为其他结构的像素电路，例如基于前述 2T1C 像素的 3T1C 或进一步包括补偿功能、复位功

能等的像素电路等，本公开的实施例对此不作限制。

图 2 是一个实施例的具体示例的阵列基板中一个像素单元的布图的部分放大示意图；图 3 为图 2 沿剖面线 A-A’ 的剖面示意图。为了清楚起见，图 2 仅示意出了阵列基板中的半导体层 240、栅极层 250 以及凹槽区域，并示意性地示意出栅线 71 和数据线 61，图 3 中仅示出了像素单元中的发光元件 300、第一晶体管 110 和第二晶体管 120。例如，第一晶体管 110 为开关晶体管，主要起开关作用，在栅线 71 的控制下控制数据信号的传输；第二晶体管 120 为驱动晶体管，主要起驱动作用，为作为发光元件的阴极或阳极的像素电极提供驱动电流。

需要说明的是，本公开的实施例对第一晶体管和第二晶体管以及发光元件之间的具体连接方式不作限制。

请一并参照图 2 和图 3，阵列基板 200 包括衬底基板 211、以及依次层叠设置于衬底基板 211 上的第一绝缘层 212、第二绝缘层 214 和第一导电图案层 213。第一绝缘层 212 中设置有凹槽 220，该凹槽 220 设置于该像素显示区 210，且第二绝缘层 214 还填充入该凹槽 220 中；例如，更进一步，第二绝缘层 214 可以具有平坦表面，起到平坦化的作用。

例如，第二绝缘层 214 为有机绝缘层。有机绝缘材料相对于无机绝缘材料具有更好的柔韧性，因而可以更进一步提高阵列基板 200 的抗冲击性能和耐弯折性能。

例如，第二绝缘层 214 的材料为聚甲基丙烯酸甲酯、聚碳酸酯、聚苯乙烯、环氧树脂、聚酰亚胺、聚乙烯中的至少一种。

例如，第一绝缘层 212 可以是有机绝缘材料，如聚酰亚胺等树脂材料；也可以是无机绝缘材料，如硅的氧化物、硅的氮化物或硅的氮氧化物或金属氧化物绝缘材料。

例如，第一导电图案层 213 的材料可以包括金（Au）、银（Ag）、铜（Cu）、铝（Al）、钼（Mo）、镁（Mg）、钨（W）以及以上金属组合而成的合金材料；或者导电金属氧化物材料，例如氧化铟锡（ITO）、氧化铟锌（IZO）、氧化锌（ZnO）、氧化锌铝（AZO）等。

例如，该凹槽 220 可以设置于该第一绝缘层 212 中任何没有设置过孔。本公开实施例对于凹槽 220 的设置区域不作限制，也即不影响器件

结构的形成即可。例如，在至少一个实施例中，凹槽 220 可以向下延伸直至暴露出衬底基板 211，即衬底基板 211 的表面通过凹槽 220 暴露。

例如，本公开对该凹槽 200 在在平行于衬底基板 211 的方向上的平面形状不作限制，包括圆形、三角形、矩形、椭圆形、T 形、条状、折线状，或者其它由周边器件结构所限定的形状。例如，该凹槽 220 的长度方向与阵列基板 200 的弯折轴（未示出）平行，从而当阵列基板 200 沿着该弯折轴弯折时，可以提高阵列基板 200 的耐弯折性能。

在至少一个实施例中，例如，如图 2 所示，相对于衬底基板所在的平面，凹槽 220 的至少一部分环绕第二晶体管 120 分布。例如，凹槽 220 环绕第二晶体管 120 的第二栅极 121 分布，也即所述第二栅极 121 的四周都分布有该凹槽 220 的至少部分。例如，凹槽 220 设置于第二栅极 121 的至少两侧，例如在衬底基板上，凹槽 220 的延伸方向与第二栅极 121 的延伸方向彼此平行。在本实施例中，第二晶体管 120 作为像素单元的驱动晶体管，通常而言，驱动晶体管在像素单元中所占的面积较大，而且其性能相比于开关晶体管对于显示效果有更为重要的影响，因此保持其性能的稳定也较为重要，上述设置可以有效保护第二晶体管 120 在外力作用或弯折下不易受损。例如，如图 2 所示，相对于衬底基板所在的平面，凹槽 220 的至少一部分还可以设置在第一晶体管 110 和第二晶体管 120 之间，例如设置在第一晶体管 110 的第一有源层 112 和第二晶体管 120 的第二有源层 122 之间；或者凹槽 220 设置在第一晶体管 110 的第一栅极 111 和第二晶体管 120 的第二栅极 121 之间。

例如，第一导电图案层 213 包括用于显示像素区 210 的栅线 71 或栅线 71 的部分。将栅线 71 设置在第二绝缘层 214 远离衬底基板 211 的一侧，因而使得凹槽 220 的设置不受栅线 71 的限制，由此凹槽 220 的设置位置可以更加灵活以及设置面积可以更大。

第一绝缘层 212 和第二绝缘层 214 依次层叠设置于衬底基板 211 与该第一导电层 213 之间，可以根据具体的阵列基板结构进行布局，而并不限定于特定的绝缘层结构。

例如，该第二绝缘层 214 为最靠近该衬底基板 211 的有机绝缘层。在凹槽 220 暴露衬底基板 211 的情形下，这种设置可以使得在垂直于衬

底基板 211 的方向上、对应于凹槽 220 的位置的绝缘材料均为有机绝缘材料，因而可以更好地提高阵列基板 200 的抗冲击性能和耐弯折性能。

例如，凹槽 220 包括第一部分 221，该第一部分 221 平行于栅线 71（如图 2）或与栅线 71 在垂直于衬底基板 211 的方向上重叠。例如，该第一部分 221 的长度方向与栅线的延伸方向平行。需要说明的是，本公开中图案的延伸不限于沿直线延伸，还可以沿曲线延伸，如蛇形延伸。

例如，栅极层 250 包括第一晶体管 110 的第一栅极 111。

例如，栅极层 250 还包括第二晶体管 120 的第二栅极 121。

例如，半导体层 240 位于栅极层 250 靠近衬底基板 211 的一侧，包括第一晶体管 110 的第一有源层 112 和第二晶体管 120 的第二有源层 122。

例如，如图 2 所示，该凹槽 220 还包括第三部分 223，第三部分 223 与第二晶体管的第二栅极 121 平行且对应设置，在第三凹槽 223 的长度方向（即第一方向 D1）上，该第三部分 223 的长度大于与该第二栅极 121 的长度，从而对作为像素驱动晶体管的第二晶体管 120 形成有效保护。例如，由于半导体层 240 中被栅极覆盖的区域通常作为晶体管的沟道区，因此，将该凹槽的第三部分 223 设置为在第一方向 D1 上的长度大于该第二栅极 121 的长度，也即大于该第二晶体管 120 的沟道区长度，可以有效保护该沟道区。

例如，凹槽 220 的不同部分可以具有不同的深度，可以根据实际可用空间灵活设计，本公开实施例对此不作限制。

在一些示例中，例如，凹槽 220 可以围绕第二栅极 121 形成口字状。由于半导体层 240 的存在，凹槽 220 可以在与半导体层 240 重叠（相对于衬底基板）的位置的深度较浅，例如凹槽 220 在纵向上贯穿至半导体层 240 的表面，这样可以避免对半导体层 240 造成损伤。

以上对凹槽的描述主要以第二晶体管为示例，在基板中空间允许的情形下，可以对每个像素中的每个晶体管作类似的设置，例如，每个晶体管的栅极周围都对应设置有上述凹槽。

例如，栅极层 250 在第二绝缘层 214 靠近衬底基板 211 的一侧。

例如，第一晶体管 110 的第一栅极 111 通过第二绝缘层 214 中的第

一过孔 241 与栅线 71 电连接。

例如，在垂直于衬底基板的方向（参见图 3 中的方向 D）上，栅极层 250 也可以位于第一绝缘层 212 和第二绝缘层 214 之间，例如第一绝缘层 212 充当第一晶体管 110 和第二晶体管 120 的栅极绝缘层。本公开的实施例对此不作限制。

例如，栅极层 250 的材料可以包括金（Au）、银（Ag）、铜（Cu）、铝（Al）、钼（Mo）、镁（Mg）、钨（W）以及以上金属组合而成的合金材料；或者导电金属氧化物材料，例如氧化铟锡（ITO）、氧化铟锌（IZO）、氧化锌（ZnO）、氧化锌铝（AZO）等。

例如，半导体层 240 的材料包括但不限于硅基材料（非晶硅 a-Si、多晶硅 p-Si 等）、金属氧化物半导体（IGZO、ZnO、AZO、IZTO 等）以及有机物材料（六噻吩，聚噻吩等）。

在本公开的一些实施例中，第一晶体管 110 和第二晶体管 120 均为顶栅型结构，在其它一些实施例中，第一晶体管 110 和第二晶体管 120 也可以是底栅结构。例如，第一晶体管 110 为顶栅结构，第二晶体管 120 为底栅结构。顶栅型结构的晶体管具有较小的寄生电容从而能具有更快的开启速度；底栅型结构的晶体管具有较大的开态电流和电学稳定性能，从而具有更强的驱动能力。例如，第一晶体管 110 和第二晶体管 120 为薄膜晶体管。本公开实施例对于第一晶体管 110 和第二晶体管 120 的具体结构和类型不作限制。

例如，第一晶体管 110 包括第一源极 113 和第一漏极 114。例如，第一源极 113 或第一漏极 114 与第二晶体管 120 的第二栅极 121 电连接。

例如，第一源极 113、第一漏极 114 与数据线 61 同层设置且材料相同，由此可以通过同一构图工艺得到。例如，第一源极 113 或第一漏极 114 与数据线 61 电连接以接收用于发光的数据信号。例如，第一源极 113 和第一漏极 114 中不与第二晶体管 120 的第二栅极 121 电连接的电极与数据线 61 电连接。

例如，凹槽 220 还可以包括第二部分 222，第二部分 222 与数据线 61 平行或在垂直于衬底基板 211 的方向上与数据线重叠。例如，第二部分 222 的长度方向与数据线 61 的延伸方向平行（如图 2）。

例如，阵列基板 200 还包括栅连接电极 72，栅连接电极 72 位于栅极层 250 与第一导电图案层 213 之间，用于连接第一栅极 111 和栅线 71。由于过孔深度过大容易使得填充入过孔中的导电材料产生褶皱或发生断裂（尤其是在弯折状态下）而导致接触电阻过大或接触不良，通过设置栅连接电极连接第一栅极 111 和栅线 71，可以避免直接连接第一栅极 111 和栅线 71 的连续过孔的深度过深，有助于提高阵列基板的良率和耐弯折性能。

例如，栅连接电极 72 可以与栅极层 250 与第一导电图案层 213 之间的任一导电层同层设置且材料相同，由此可以通过同一构图工艺得到。

例如，栅连接电极 72 位于第二绝缘层 214 与第一导电图案层 213 之间；例如，阵列基板还包括设置于栅连接电极 72 与第一导电图案层 213 之间的第三绝缘层 216。例如，栅连接电极 72 通过第二绝缘层 214 中的第一过孔 241 与第一栅极 111 电连接，并通过第三绝缘层 216 中的第二过孔 261 与栅线 71 电连接，从而使得栅线 71 与第一栅极 111 电连接。

例如，栅连接电极 72 与第一晶体管 110 的第一源极 113、第一漏极 114 同层设置且材料相同，由此可以通过同一构图工艺得到。例如，在垂直于衬底基板的方向上，第三绝缘层 216 位于第二源极 123 和第二漏极 124 以及第一导电图案层 213 之间。

例如，第二晶体管 120 还包括第二源极 123 和第二漏极 124。例如，第二源极 123 和第二漏极 124 位于第二绝缘层 214 与第一导电图案层 213 之间。例如，第二源极 123 和第二漏极 124 与第一源极 113、第一漏极 114 同层设置且材料相同，由此可以通过同一构图工艺得到。

例如，发光元件 300 包括第一电极 301、发光层 302 和第二电极 303。这里第一电极 301 为像素电极，而第二电极 303 为公共电极。第一电极 301 和第二电极 303 之一为阳极，另一个为阴极。例如，在至少一个示例中，发光元件 300 除了发光层 302 之外还可以包括空穴注入层、空穴传输层、电子注入层、电子传输层等至少之一。

例如，第二晶体管 120 的第二源极 123 或第二漏极 124 与发光元件

300 的第一电极 301（像素电极）电连接。

例如，发光元件 300 位于第一导电图案层 213 远离衬底基板 211 的一侧。例如，阵列基板 200 还包括位于第一导电图案层 213 上的第四绝缘层 218，发光元件 300 形成于第四绝缘层 218 上，第二晶体管 120 的第二源极 123 或第二漏极 124 与发光元件 300 的第一电极 301 通过第四绝缘层 218 中的第三过孔 281 电连接。

例如，阵列基板 200 还包括驱动连接电极 230，驱动连接电极 230 位于第二晶体管 120 的第二源极 123（或第二漏极 124）与发光元件 300 的像素电极之间，并连接第二晶体管 120 的第二源极 123（或第二漏极 124）与发光元件 300 的像素电极。该驱动连接电极 230 除了具有类似于栅连接电极 72 的降低过孔深度的效果，还可以提高阵列基板 200 的像素分布密度并降低第二晶体管 120 与像素电极之间的电阻。

例如，如图 3 所示，驱动连接电极 230 与凹槽 220 在垂直于衬底基板 221 的方向重叠。

例如，如图 2 所示，驱动连接电极 230 与栅线 71 同层设置且材料相同，由此可以通过同一构图工艺得到，也即第一导电图案层 213 还包括驱动连接电极 230。驱动连接电极 230 通过第三绝缘层 216 中的第四过孔 264 与第二晶体管 120 的第二源极 123 或第二漏极 124 电连接，并通过第三过孔 281 与发光元件 300 的第一电极 301 电连接。

例如，发光元件 300 可以为顶发射、底发射或双面发射结构。例如，发光元件 300 为顶发射结构，第一电极 301 具有反射性而第二电极 303 具有透射性或半透射性，例如第一电极 301 为氧化铟锡（ITO）等透明导电氧化物材料。例如，第一电极 301 为高功函数的材料以充当阳极，例如为 ITO/Ag/ITO 叠层结构；第二电极 303 为低功函数的材料以充当阴极，例如为半透射的金属或金属合金材料，例如为 Ag/Mg 合金材料。

例如，该第三绝缘层 216 和第四绝缘层 218 为平坦化层。例如，该第三绝缘层 216 和第四绝缘层 218 均为有机材料，例如为聚酰亚胺（PI）等树脂。

例如，该阵列基板 200 还包括存储电容 Cst，例如用于在像素电路的工作过程中存储数据信号。该存储电容的设置方式和连接方式可以根

据具体的像素电路结构进行调整。例如，如图 3 所示，在垂直于衬底基板的方向上，该存储电容的第一电容电极 411 设置于第一绝缘层 212 和第二绝缘层 214 之间；第二电容电极 412 例如与第一晶体管 110 的第一栅极 111 同层设置且材料相同，由此可以通过同一构图工艺得到，第一电容电极 411 和第二电容电极 412 正对设置构成该存储电容 Cst。

例如，相对于衬底基板所在的平面，凹槽 220 的至少一部分设置于第二晶体管 120 和存储电容 Cst 之间。

例如，阵列基板 200 还包括设置于发光元件 300 的第一电极 301 上的像素界定层 215，用于隔离相邻的发光元件的发光层，从而在显示操作中防止串色。像素界定层 215 在对应于第一电极 301 的位置形成开口以至少部分暴露出第一电极 301，在该开口中形成发光层 302。在发光层 302 以及像素界定层上形成第二电极 303。例如，该像素界定层 215 为树脂等有机材料或氧化硅等无机材料。

例如，阵列基板 200 还包括设置于像素界定层 215 上的隔垫层 217。例如，隔垫层 217 用于在蒸镀形成有机发光层 302 时支撑蒸镀掩膜板，从而将像素界定层 215 与蒸镀掩膜板进行隔离以对像素界定层 215 形成保护；隔垫层 217 还可以起到进一步隔离相邻有机发光层的作用。隔垫层 217 通常包括由间隔的多个隔垫物（Spacer），隔垫物的形状通常为长方体、柱状、球状、半球状或不限于此。

例如，阵列基板 200 还包括设置于该第二电极 303 之上的保护层 219。保护层 219 例如为无机保护层或有机保护层，或无机保护层和有机保护层的叠层。此外，保护层 219 中还可以包括还原性材料和/或吸湿性材料，以避免氧/水汽对发光元件 300 的不利影响。

例如，阵列基板 200 还包括设置于栅极层 250 与半导体层 240 之间的栅极绝缘层 207。

例如，栅极绝缘层 207 的材料为硅的氧化物、硅的氮化物或硅的氮氧化物。

例如，在至少一个实施例中，凹槽 220 还贯穿栅极绝缘层 207 以暴露衬底基板 211。

例如，在垂直于衬底基板的方向上，阵列基板 200 还包括设置于衬

底基板 211 与半导体层 240 之间的缓冲层（未示出）。该缓冲层用于使的衬底基板 211 的表面更为平整，还可以防止衬底基板 211 中的有害杂质进入像素电路。例如，该凹槽 220 可暴露该缓冲层而不再穿过该缓冲层以暴露衬底基板。

例如，该阵列基板 200 为柔性阵列基板。例如，该衬底基板 211 为有机柔性材料，例如聚酰亚胺（PI）、聚乙烯对苯二甲酸乙二醇酯（PET）、聚碳酸酯、聚乙烯、聚丙烯酸酯、聚醚酰亚胺、聚醚砜等。

如图 4 所示，本公开的一些实施例还提供一种显示面板 20，该显示面板 20 包括上述阵列基板 200。例如，该显示面板为 OLED 显示面板，相应地其包括的阵列基板为 OLED 阵列基板，像素单元包括的发光元件为 OLED。例如，该显示面板还包括设置于阵列基板 200 上的封装层 501 和盖板 502，该封装层 501 配置为对发光元件 300 进行密封以防止外界的湿气和氧向该发光元件及像素电路的渗透而造成对器件的损坏。例如，封装层 501 包括有机薄膜或者包括有机薄膜及无机薄膜交替层叠的结构。例如，该封装层 501 与阵列基板 200 之间还可以设置吸水层（未示出），配置为吸收发光元件 300 在前期制作工艺中残余的水汽或者溶胶。盖板 502 例如为玻璃盖板。例如，盖板 502 和封装层 501 可以为一体的结构。

在另一个示例中，显示面板 20 为液晶显示面板，该显示面板 20 还包括与该阵列基板对置的彩膜基板以及设置于该阵列基板与彩膜基板之间的液晶层。

本公开的一些实施例还提供一种显示装置，包括上述阵列基板或显示面板。该显示装置例如可以为液晶显示装置、OLED 显示装置或电子纸、数码相框、智能手环、智能手表、手机、平板电脑、显示器、笔记本电脑、导航仪等具有任何显示功能的产品或者部件。

本公开的一些实施例还提供一种阵列基板的制造方法，所述阵列基板包括用于提供阵列排布的像素单元的显示像素区。所述制作方法包括：提供衬底基板；在所述衬底基板上形成第一绝缘层，并在所述第一绝缘层上形成凹槽，所述凹槽形成于所述显示像素区；在所述第一绝缘层上形成第二绝缘层，且所述第二绝缘层还填充入所述凹槽中；在所述

第二绝缘层上形成第一导电图案层。

图 5 为本公开一实施例提供的阵列基板的制作方法的流程图。以下将结合图 1、图 3 和图 5 对本公开实施例提供的阵列基板的制作方法进行示例性说明，形成该阵列基板的制作方法至少包括步骤 S51 至步骤 S53。

步骤 S51：提供衬底基板，并在所述衬底基板上形成第一绝缘层，并在所述第一绝缘层上形成凹槽，所述凹槽形成于所述显示像素区；

步骤 S52：在所述第一绝缘层上形成第二绝缘层，且所述第二绝缘层还填充入所述凹槽中；以及

步骤 S53：在所述第二绝缘层上形成第一导电图案层。

在步骤 S51 的一个示例中，先提供衬底基板 211，然后在衬底基板 211 上形成第一绝缘层 212 并在第一绝缘层 212 中形成凹槽 220。例如，在形成第一绝缘层 212 之前在衬底基板 211 上依次形成半导体层 240、栅极绝缘层 207 以及栅极层 250。

例如，衬底基板 211 为有机柔性材料，例如聚酰亚胺（PI）、聚乙烯对苯二甲酸乙二醇酯（PET）、聚碳酸酯、聚乙烯、聚丙烯酸酯、聚醚酰亚胺、聚醚砜等。

例如，形成栅极层包括形成第一导电层并对该导电层进行构图工艺形成第一晶体管 110 的栅极 111 和第二晶体管 120 的第二栅极 121。

例如，该第一导电层的材料为金属材料，例如为铜、铝、镁、钼、铬以及上述金属的合金等。

例如，形成凹槽 220 包括对第一绝缘层 212 进行刻蚀。

例如，凹槽 220 与半导体层 240 及栅极层 250 在垂直于衬底基板 211 的方向上均不重叠。

例如，凹槽 220 还贯穿栅极绝缘层 207 以暴露衬底基板 211。

例如，第一绝缘层 212 可以是有机绝缘材料，如聚酰亚胺等树脂材料；也可以是无机绝缘材料，如硅的氧化物、硅的氮化物或硅的氮氧化物或者金属氧化物绝缘材料。

例如，在形成过程中可以采用常规的例如溅射工艺的物理气相沉积（例如形成导电层）、化学气相淀积工艺（例如形成绝缘层）、旋涂工

艺（例如形成有机层）、光刻工艺（例如进行构图工艺）等。

在步骤S52的一个示例中，第二绝缘层212的材料为有机绝缘材料，例如为聚甲基丙烯酸甲酯、聚碳酸酯、聚苯乙烯、环氧树脂、聚酰亚胺、聚乙烯中的至少一种。例如，第二绝缘层212的形成方法包括旋涂或喷墨打印。例如，第二绝缘层212的形成方法还包括固化。

有机绝缘材料相对于无机绝缘材料具有更好的柔韧性，因而可以更进一步提高阵列基板200的抗冲击性能和耐弯折性能。

例如，步骤S52还包括对第二绝缘层214进行刻蚀以形成第一过孔241以及第一晶体管110和第二晶体管120的源漏极接触孔。该第一过孔241还贯穿第一绝缘层212以暴露出栅极层250的至少部分。该源漏极接触孔还贯穿第一绝缘层212以及栅极绝缘层207以分别暴露出半导体层240的至少部分。

在步骤S53的一个示例中，该步骤还包括在形成第一导电图案层213之前在第二绝缘层214上依次形成第二导电层以及第三绝缘层216。例如，对该第二导电层进行构图工艺形成第一晶体管110的第一源极113和第一漏极114、第二晶体管120的第二源极123和第二漏极124。例如，对该第二导电层进行构图工艺还形成栅连接电极72和数据线61，栅连接电极72经第一过孔241并与第一栅极111电连接。第一晶体管110的第一源极113和第一漏极114分别经源漏极接触孔与第一有源层112接触形成电连接，第二晶体管120的第二源极123和第二漏极124分别经源漏极接触孔与第二有源层122接触形成电连接。

例如，步骤S53还包括对第三绝缘层216进行构图工艺形成第二过孔261和第四过孔262。第二过孔261暴露出栅连接电极72的至少部分；第四过孔262暴露出第二晶体管120的第二源极123或第二漏极124的至少部分。

例如，形成第一导电图案层213包括形成第三导电层并对该第三导电层进行构图工艺形成栅线71及驱动连接电极230。栅线71经第二过孔261与栅连接电极72电连接。驱动连接电极230经第四过孔262与第二晶体管120的第二源极123或第二漏极124电连接。

例如，该阵列基板的制作方法还包括在第一导电图案层213上形成

发光元件 300，形成发光元件 300 包括依次形成第一电极 301、发光层 302 和第二电极 303，该第一电极 301 与驱动连接电极 230 电连接。

例如，该阵列基板的制作方法还包括形成第四绝缘层 218、像素界定层 215、隔垫层 217 和保护层 219。此处不再赘述。

例如，上述导电层的材料可以包括金（Au）、银（Ag）、铜（Cu）、铝（Al）、钼（Mo）、镁（Mg）、钨（W）以及以上金属组合而成的合金材料；或者导电金属氧化物材料，例如氧化铟锡（ITO）、氧化铟锌（IZO）、氧化锌（ZnO）、氧化锌铝（AZO）等。

以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括显示像素区，所述显示像素区用于提供阵列排布的像素单元，所述阵列基板还包括：

衬底基板，

第一绝缘层，设置于所述衬底基板上，且所述第一绝缘层中设置有凹槽， 所述凹槽设置于所述显示像素区；

第二绝缘层，设置在所述第一绝缘层上，且所述第二绝缘层还填充入所述凹槽中；

第一导电图案层，设置在所述第二绝缘层上。

2、如权利要求 1 所述的阵列基板，其中，所述第二绝缘层为有机绝缘层。

3、如权利要求 1 或 2 所述的阵列基板，其中，所述凹槽暴露所述衬底基板。

4、如权利要求 1-3 任一所述的阵列基板，其中，所述第一导电图案层包括用于所述显示像素区的栅线或所述栅线的部分。

5、如权利要求 4 所述的阵列基板，所述凹槽包括第一部分，其中，所述凹槽的第一部分平行于所述栅线或与所述栅线在垂直于所述衬底基板的方向上重叠。

6、如权利要求 4 或 5 所述的阵列基板，所述像素单元包括第一晶体管，所述第一晶体管包括第一栅极，所述第一栅极在所述第二绝缘层靠近所述衬底基板的一侧，且通过所述第二绝缘层中的第一过孔与所述栅线电连接；

所述阵列基板还包括栅连接电极，其中，所述栅连接电极位于所述第二绝缘层与所述第一导电图案层之间，所述第一栅极通过所述栅连接电极与所述栅线电连接。

7、如权利要求 6 所述的阵列基板，其中，所述第一晶体管还包括第一源极和第一漏极，所述阵列基板还包括用于所述显示像素区的数据线，

所述第一源极和所述第一漏极及所述数据线与所述栅连接电极同层设置且材料相同。

8、如权利要求 7 所述的阵列基板，

所述凹槽还包括第二部分，所述凹槽的第二部分与所述数据线平行或在垂直于所述衬底基板的方向与所述数据线重叠。

9、如权利要求 8 所述的阵列基板，其中，所述像素单元还包括第二晶体管，

所述第二晶体管包括第二栅极，所述第二栅极与所述第一晶体管的第一源极或第一漏极连接。

10、如权利要求 9 所述的阵列基板，其中，所述凹槽围绕所述第二栅极分布。

11、如权利要求 9 或 10 所述的阵列基板，其中，所述凹槽还包括第三部分，所述第三部分与所述第二栅极平行且对应设置；

在所述第三凹槽的长度方向上，所述第三部分的长度大于所述第二栅极的长度。

12、如权利要求 9-11 任一所述的阵列基板，所述第二晶体管包括第二源极和第二漏极，所述阵列基板还包括第三绝缘层；

其中，在垂直于所述衬底基板的方向上，所述第二源极和第二漏极位于所述第二绝缘层与所述第一导电图案层之间；在垂直于所述衬底基板的方向上，所述第三绝缘层位于所述第二源极和第二漏极与所述第一导电图案层之间。

13、如权利要求 12 所述的阵列基板，还包括层叠设置于所述第一导电图案层之上的第四绝缘层和像素电极，

其中，所述第二源极或第二漏极通过所述第四绝缘层中的第二过孔与所述像素电极电连接。

14、如权利要求 11-13 任一所述的阵列基板，其中，所述第一导电图案层还包括驱动连接电极，

所述第二源极或第二漏极通过所述驱动连接电极与所述像素电极连接。

15、如权利要求 6-14 任一所述的阵列基板，还包括第一电容电极，其中，在垂直于所述衬底基板的方向上，所述第一电容电极设置于所述第一绝缘层和所述第二绝缘层之间。

16、如权利要求 15 所述的阵列基板，还包括第二电容电极，其中，所述第二电容电极与所述第一栅极同层设置且与所述第一电容电极正对形成电容。

17、一种显示面板，包括如权利要求 1-16 任一所述的阵列基板。

18、一种阵列基板的制作方法，所述阵列基板包括用于提供阵列排布的像素单元的显示像素区，

其中，所述制作方法包括：

提供衬底基板，

在所述衬底基板上形成第一绝缘层，并在所述第一绝缘层上形成凹槽，所述凹槽形成于所述显示像素区中；

在所述第一绝缘层上形成第二绝缘层，且所述第二绝缘层还填充入所述凹槽中；

在所述第二绝缘层上形成第一导电图案层。

19、如权利要求 18 所述的制作方法，其中，所述第一绝缘层为有机绝缘层。

20、如权利要求 18 或 19 所述的制作方法，其中，形成所述第一导电图案层包括：形成用于所述显示像素区的栅线或形成所述栅线的部分。

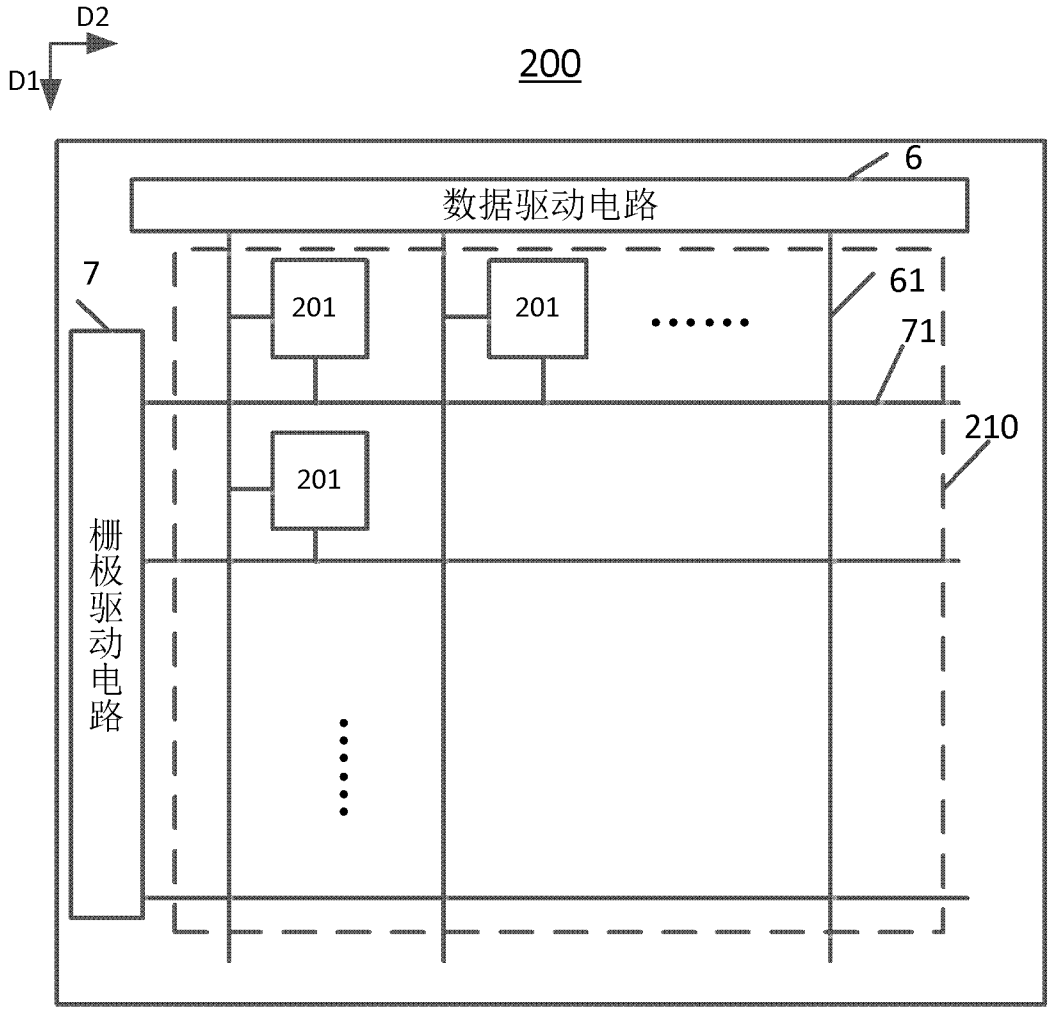


图 1

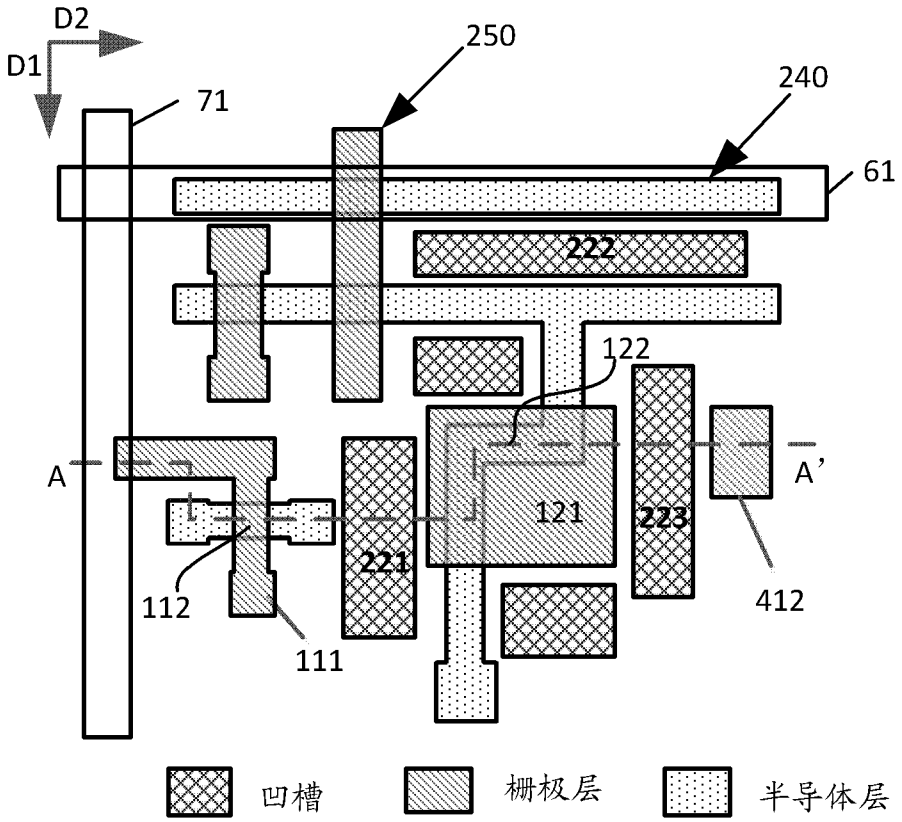


图 2

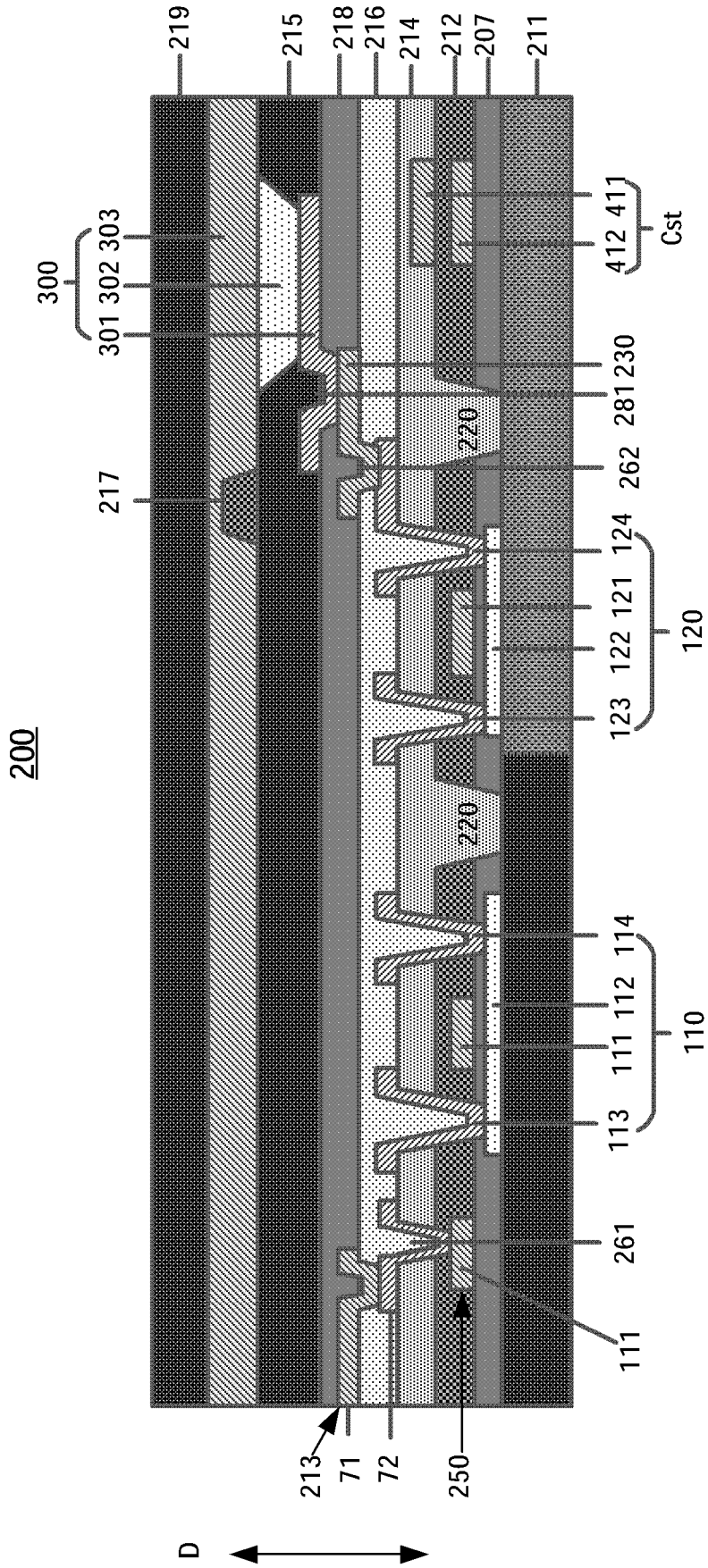

200
219
215
218
216
214
212
207
211
300
301 302 303
217
412 411
Cst
281 230
262
220
124
121
122
123
120
220
114
112
111
113
110
261
111
213
71
72
250
D

图 3

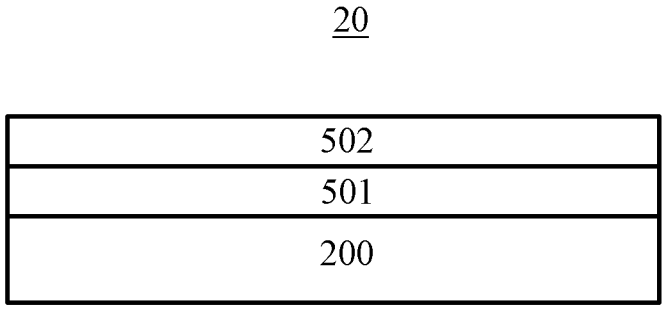

20
502
501
200

图 4

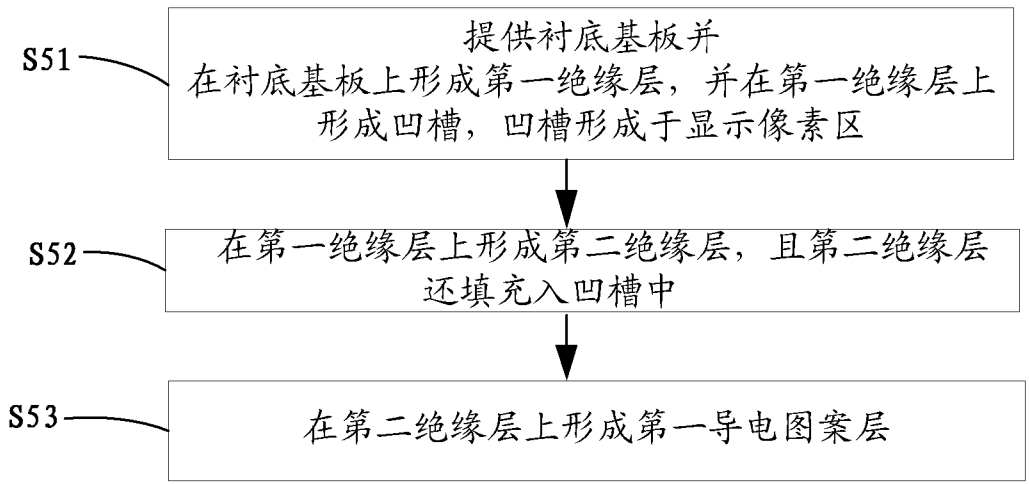

S51
提供衬底基板并
在衬底基板上形成第一绝缘层，并在第一绝缘层上形成凹槽，凹槽形成于显示像素区
S52
在第一绝缘层上形成第二绝缘层，且第二绝缘层还填充入凹槽中
S53
在第二绝缘层上形成第一导电图案层

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/071347

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; CNKI; CNPAT; IEEE: 阵列, 基板, 衬底, 基底, 显示, 面板, 绝缘, 介质, 介电, 凹, 陷, 沟, 槽, 开口, 导电, 电极, 栅线, 栅极, 电容, array, substrate?, display+, panel?, screen?, dielectric, insulat+, recess+, groove?, trench?, hole?, opening, conduct +, electrode?, gate?, capacit+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107658333 A (BOE TECHNOLOGY GROUP CO., LTD.) 02 February 2018 (2018-02-02) description, paragraphs [0050]-[0090], and figures 1, 2, and 4	1-3, 17-19
Y	CN 107658333 A (BOE TECHNOLOGY GROUP CO., LTD.) 02 February 2018 (2018-02-02) description, paragraphs [0050]-[0090], and figures 1, 2, and 4	4-16, 20
Y	CN 103325792 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 25 September 2013 (2013-09-25) description, paragraphs [0042]-[0077], and figures 1-11	4-16, 20
Y	CN 109166896 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 08 January 2019 (2019-01-08) description, paragraphs [0049]-[0075], and figures 1 and 4	9-16
A	CN 108598113 A (YUNGU (GU'AN) TECHNOLOGY CO., LTD.) 28 September 2018 (2018-09-28) entire document	1-20

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 September 2019	**10 October 2019**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/071347

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018315809 A1 (SAMSUNG DISPLAY CO., LTD.) 01 November 2018 (2018-11-01) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/071347

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107658333	A	02 February 2018	US	2019131368	A1	02 May 2019
				CN	207409491	U	25 May 2018
CN	103325792	A	25 September 2013	WO	2014187113	A1	27 November 2014
				US	2015214253	A1	30 July 2015
CN	109166896	A	08 January 2019		None		
CN	108598113	A	28 September 2018		None		
US	2018315809	A1	01 November 2018	KR	20180120310	A	06 November 2018

国际检索报告

国际申请号
PCT/CN2019/071347

A. 主题的分类

H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

WPI;CNKI;CNPAT;IEEE: 阵列，基板，衬底，基底，显示，面板，绝缘，介质，介电，凹，陷，沟，槽，开口，导电，电极，栅线，栅极，电容，array, substrate?, display+, panel?, screen?, dielectric, insulat+, recess+, groove?, trench?, hole?, opening, conduct+, electrode?, gate?, capacit+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 107658333 A (京东方科技集团股份有限公司) 2018年 2月 2日 (2018-02-02) 说明书第[0050]-[0090]段，图1、2、4	1-3，17-19
Y	CN 107658333 A (京东方科技集团股份有限公司) 2018年 2月 2日 (2018-02-02) 说明书第[0050]-[0090]段，图1、2、4	4-16，20
Y	CN 103325792 A (合肥京东方光电科技有限公司 等) 2013年 9月 25日 (2013-09-25) 说明书第[0042]-[0077]段，图1-11	4-16，20
Y	CN 109166896 A (深圳市华星光电半导体显示技术有限公司) 2019年 1月 8日 (2019-01-08) 说明书第[0049]-[0075]段，图1、4	9-16
A	CN 108598113 A (云谷固安科技有限公司) 2018年 9月 28日 (2018-09-28) 全文	1-20
A	US 2018315809 A1 (SAMSUNG DISPLAY CO., LTD.) 2018年 11月 1日 (2018-11-01) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 9月 12日	2019年 10月 10日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 赖风平 电话号码 86-(10)-53961228

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/071347

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107658333	A	2018年 2月 2日	US	2019131368	A1	2019年 5月 2日
				CN	207409491	U	2018年 5月 25日
CN	103325792	A	2013年 9月 25日	WO	2014187113	A1	2014年 11月 27日
				US	2015214253	A1	2015年 7月 30日
CN	109166896	A	2019年 1月 8日		无		
CN	108598113	A	2018年 9月 28日		无		
US	2018315809	A1	2018年 11月 1日	KR	20180120310	A	2018年 11月 6日