(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
7 juillet 2016 (07.07.2016)

WIPO | PCT

(10) Numéro de publication internationale
WO 2016/107870 A1

(51) Classification internationale des brevets :
H01L 29/778 (2006.01) *H01L 23/31* (2006.01)
H01L 23/29 (2006.01) *H01L 29/20* (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2015/081346

(22) Date de dépôt international :
29 décembre 2015 (29.12.2015)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
1403025 30 décembre 2014 (30.12.2014) FR

(71) Déposants : **THALES** [FR/FR]; TOUR CARPE DIEM, Place des Corolles, Esplanade Nord, 92400 Courbevoie (FR). **COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES** [FR/FR]; 25 rue Leblanc, Bâtiment "Le Ponant D", 75015 Paris (FR).

(72) Inventeurs : **AUBRY, Raphaël**; THALES RESEARCH AND TECHNOLOGY, Route Départementale 128, 91767 Palaiseau (FR). **JACQUET, Jean-Claude**; THALES RESEARCH AND TECHNOLOGY, Route Départementale 128, 91767 Palaiseau (FR). **PATARD, Olivier**; THALES RESEARCH AND TECHNOLOGY, Route Départementale 128, 91767 Palaiseau (FR). **MICHEL, Nicolas**; THALES RESEARCH AND TECHNOLOGY, Route Départementale 128, 91767 Palaiseau (FR). **OUALLI, Mourad**; THALES RESEARCH AND TECHNOLOGY, Route Départementale 128, 91767 Palaiseau (FR). **DELAGE, Sylvain**; THALES RESEARCH AND TECHNOLOGY, Route Départementale 128, 91767 Palaiseau (FR).

(74) Mandataires : **PRIORI, Enrico** et al.; MARKS & CLERK France, Conseils en Propriété Industrielle, Immeuble "Visium", 22 avenue Aristide Briand, 94117 Arcueil Cedex (FR).

(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title : MULTILAYER PASSIVATION OF THE UPPER FACE OF THE STACK OF SEMICONDUCTOR MATERIALS OF A FIELD-EFFECT TRANSISTOR

(54) Titre : PASSIVATION MULTICOUCHE DE LA FACE SUPÉRIEURE DE L'EMPILEMENT DE MATÉRIAUX SEMICONDUCTEURS D'UN TRANSISTOR À EFFET DE CHAMP

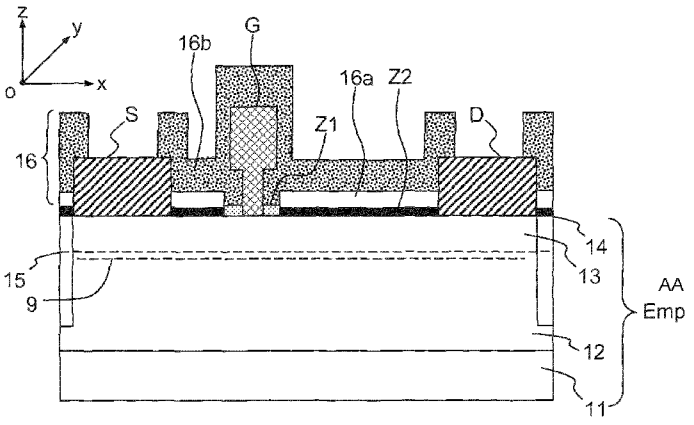


FIG.6

AA Stack

(57) Abstract : The invention relates to a field-effect transistor comprising a stack (Emp) of semiconductor materials, the upper face (14) of the stack being covered with a passivation layer (16) comprising two sub-layers: a first sub-layer (16a) extending over a second low-intensity zone (Z2), comprising a first material with an electric breakdown field Ecl1, the load of said first sub-layer (16a) being strictly lower than the load of said upper face (14) of the stack; and a second sub-layer (16b) extending over a first high-intensity zone (Z1) and covering the first sub-layer (16a), the second sub-layer (16b) comprising a second material with an electric breakdown field Ecl2 which is strictly higher than Ecl1.

(57) Abrégé :

[Suite sur la page suivante]

WO 2016/107870 A1

(84) États désignés *(sauf indication contraire, pour tout titre de protection régionale disponible)* : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée :

— *avec rapport de recherche internationale (Art. 21(3))*

— *avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues (règle 48.2.h))*

L'invention concerne un transistor à effet de champ comprenant un empilement (Emp) de matériaux semi-conducteurs, la face supérieure (14) de l'empilement étant recouverte d'une couche de passivation (16) comprenant deux sous-couches : - une première sous-couche (16a) s'étendant sur une deuxième zone (Z2) de faible intensité comprenant un premier matériau de champ électrique de claquage Ecl1, la charge de ladite première sous-couche (16a) étant strictement inférieure à la charge de ladite face supérieure (14) de l'empilement, - une deuxième sous-couche (16b) s'étendant sur une première zone (Z1) de forte intensité et recouvrant la première sous-couche (16a), la deuxième sous-couche (16b) comprenant un deuxième matériau de champ électrique de claquage Ecl2 strictement supérieur à Ecl1.

Passivation multicouche de la face supérieure de l'empilement de matériaux semi-conducteurs d'un transistor à effet de champ

La présente invention concerne les transistors à effet de champ à haute mobilité électronique dénommés transistors HEMT, acronyme de « High Electron Mobility Transistor », en langue anglaise.

La présente invention concerne plus précisément les empilements à partir desquels sont fabriqués les transistors HEMT utilisés comme amplificateur faible bruit ou de puissance, comme commutateur ou comme oscillateur et couvrant la gamme de fréquences comprise typiquement entre 1 MHz et 100 GHz. Et plus particulièrement, la couche protectrice de la face supérieure de l'empilement appelée « couche de passivation ».

On entend par « couche de passivation » une couche de matériau disposée sur la face supérieure de l'empilement destinée à protéger le composant contre la corrosion, l'usure mécanique, les attaques chimiques et conditionner les états de charges électriques de surface.

La figure 1 représente une vue en coupe de la structure d'un système de transistor HEMT élémentaire classique, dans un plan xOz, réalisé sur un substrat 11. Classiquement, on utilise un substrat 11 isolant ou semi-conducteur comprenant, par exemple, du silicium (Si), du carbure de Silicum (SiC) ou du Saphir (Al_2O_3), sur lequel est réalisé un empilement Emp selon l'axe z d'au moins deux couches de semi-conducteur qui s'étendent dans le plan xOy.

Une première couche 12, dénommée couche tampon, ou, plus connu, sous le terme anglo-saxon « buffer », présente une large bande interdite, on parle de matériau semi-conducteur dit « à grand gap ». La couche tampon 12 comprend, par exemple, un matériau comprenant un composé binaire de l'azote, tel le GaN ou un composé ternaire de nitrure d'éléments III, dénommé III-N, tel que l'AlGaN, ou plus précisément l'$Al_xGa_{1-x}N$. Typiquement, l'épaisseur de la couche tampon 12 selon l'axe z est comprise entre 0,2 µm et 3 µm.

Une seconde couche, dénommée couche barrière 13, présente une bande interdite plus grande que celle de la couche tampon 12.

Cette couche barrière 13 comprend un matériau à base de composé quaternaire, ternaire ou binaire de nitrure d'éléments III, dénommé III-N, à base de Al, Ga, In ou B. Typiquement, l'épaisseur de la couche barrière 13 est comprise entre 5 nm et 40 nm.

Par exemple, avec une couche tampon 12 en GaN, la couche barrière 13 peut comprendre de l'$Al_xGa_{1-x}N$ ou de l'$In_{1-x}Al_xN$, ou une séquence $In_{1-x}Al_xN/AlN$ ou $Al_xGa_{1-x}N/AlN$. Selon la teneur x en aluminium, les largeurs de bandes interdites de l'$Al_xGa_{1-x}N$ et de l'$In_{1-x}Al_xN$ varient entre 3.4eV (GaN) et 6.2eV (AlN) et entre 0.7eV (InN) et 6.2eV (AlN), respectivement. A titre d'exemple, on peut citer une couche tampon 12 à base de GaN avec une couche barrière à base d'AlGaN ou d'InAlN, et plus précisément à base d'$Al_xGa_{1-x}N$ ou d'$In_zAl_{1-z}N$, avec x compris typiquement entre 15% et 35%, et, z compris typiquement entre 15% et 25%.

La couche tampon 12 et la couche barrière 13 sont classiquement réalisées par épitaxie en phase vapeur aux organométalliques plus connue sous le terme MOCVD acronyme de « Metalorganic Vapor Phase Epitaxy », en langue anglaise, ou par épitaxie par jet moléculaire, plus connu sous le terme « MBE », acronyme de « Molecular Beam Epitaxy », en langue anglaise.

Des couches supplémentaires peuvent être présentes sur la face supérieure 14 de l'empilement Emp notamment une couche de passivation 16.

La jonction entre la couche tampon 12 et la couche barrière 13 constitue une hétérojonction 15 qui s'étend également dans le plan xOy, l'origine O du repère (O, x, y, z) étant choisie dans ce plan.

Un transistor HEMT comprend classiquement une source S, un drain D et une grille G déposés sur la face supérieure 14 de l'empilement Emp. Une grille G est déposée entre la source S et le drain D et permet de commander le transistor.

La conductance entre la source S et le drain D est modulée par l'action électrostatique de la grille G, classiquement de type Schottky ou de type MIS,

acronyme de métal/isolant/semi-conducteur, et la tension V_{GS} appliquée entre la grille G et la source S commande le transistor.

Un gaz bidimensionnel d'électrons 9, dénommé 2DEG pour « Two-Dimensional Electron Gas », en langue anglaise, est localisé au voisinage de l'hétérojonction 15. Ces électrons sont mobiles dans le plan xOy et ont une forte mobilité électronique μe, typiquement la mobilité électronique μe est supérieure à 1000 cm^2/Vs.

Dans un fonctionnement normal du transistor ces électrons ne peuvent pas circuler selon la direction z car ils sont confinés dans le puits de potentiel se formant dans le plan xOy au voisinage de l'hétérojonction 15. Le gaz d'électrons 9 confiné dans ce qui est dénommé le canal du transistor, est donc apte à transporter un courant I_{DS} circulant entre le drain D et la source S.

Classiquement, une différence de potentiel V_{DS} est appliquée entre la source S et le drain D, avec typiquement une source S à la masse, et la valeur du courant I_{DS} est une fonction de la tension appliquée V_{GS} entre la grille G et la source S.

L'effet transistor est basé sur la modulation de la conductance gm entre les contacts de la source S et du drain D par l'action électrostatique de l'électrode de commande G. La variation de cette conductance est proportionnelle au nombre de porteurs libres dans le canal, et donc au courant entre la source S et le drain D.

C'est l'effet d'amplification transistor qui permet de transformer un faible signal appliqué sur la grille G en un signal plus fort récupéré sur le drain D.

La figure 2 représente la répartition des charges électriques au voisinage de l'hétérojonction 15.

En l'occurrence, les couches tampon 12 et barrière 13 comprennent des matériaux de la famille des III-N fortement électronégatifs. Lors de la mise en contact de deux composés différents de cette famille une charge électrique fixe apparaît à leur interface pouvant être positive σ+ telle que représentée sur la figure 2, ou négative σ-. Cette charge fixe attire des charges mobiles : les électrons lorsqu'elle est positive telle que sur la figure 2, ou les trous lorsqu'elle est négative. Ce sont ces

charges mobiles em qui créent un courant lorsqu'une tension est appliquée entre le drain D et la source S.

En effet, la structure HEMT comprenant une couche tampon 12 de type GaN notamment, présente la particularité d'avoir le gaz bidimensionnel 9 proche de la face supérieure 14 de l'empilement Emp, typiquement, à une distance comprise entre 2 et 30 nm.

Ce gaz bidimensionnel 9 est généré par l'équilibre des charges électriques dans l'empilement Emp. Il est, par voie de conséquence, complètement dépendant des charges électriques présentes sur la face supérieure 14 de l'empilement Emp, et, plus précisément, des charges électriques présentes à l'interface 17 entre la face supérieure 14 de l'empilement Emp et la couche de passivation 16.

En d'autres termes, le gaz bidimensionnel 9 comprend des charges électriques, en l'espèce des électrons, ces charges électriques sont en partie l'image des charges présentes à la surface de l'empilement Emp. En l'espèce, le gaz bidimensionnel 9 présente une densité surfacique de charge de 10^{13} électrons. cm^{-2}, et qui correspond aussi à la densité de charge de surface de la face supérieure de l'empilement Emp.

Aussi, une fonction de la couche de passivation 16 est de figer l'état de surface sur la face supérieure 14 de l'empilement Emp, et ce quelles que soient les conditions d'utilisation du transistor, la tension appliquée entre la source S et la grille G, dans une configuration minimisant les pièges dans les centres électriques profonds de manière à obtenir un courant proche du courant maximal pendant toute la durée de fonctionnement du transistor.

On appelle centre profond une impureté dont le niveau d'énergie est situé à plus de 2 à 3 fois l'énergie d'activation thermique ($3/2\ k_b*T$) du minimum de la bande de conduction pour une impureté de type N, ou, du maximum de la bande de valence pour une impureté de type P. A température ambiante, l'énergie d'activation thermique est de l'ordre de 40 meV. Un centre sera donc considéré comme profond lorsqu'il sera situé à plus de 100 meV de l'un de ces extrema, ce qui est le cas pour le GaN dopé en impuretés de type accepteur. Ces centres se chargent négativement lorsque le transistor est mis sous tension et comme ils sont profonds

ne se déchargent pas aux fréquences de fonctionnement supérieures au mégahertz. Cela a pour effet de réduire le nombre de charges mobiles em présent dans le canal conducteur, ce qui réduit le courant.

Il s'ensuit que cette approche a pour principal inconvénient en sus de générer de la dispersion, de réduire le rendement du transistor et la puissance qu'il peut émettre. Cette dégradation des performances est d'autant plus prononcée que la tension V_{DS} de fonctionnement du transistor est élevée, typiquement supérieure à 20V.

Aujourd'hui, la couche de passivation 16 comprend une monocouche de matériau, comprenant, typiquement, du nitrure de silicium (SiN) ou de l'oxyde de silicium (SiO_2) permettant de diminuer les effets de piégeage à l'interface 17 entre la face supérieure 14 de l'empilement Emp et la couche de passivation 16. Cette passivation protège l'empilement Emp de matériaux semi-conducteurs, pour des conditions de fonctionnement agressives, comme pour des champs électriques élevés, supérieurs à 6.10^6 V/cm et des températures de fonctionnement élevées, supérieures à 300°C.

La figure 3a représente un profil d'un transistor comprenant une monocouche de passivation 16 selon l'art connu à la surface de la face supérieure 14 de l'empilement Emp et la figure 3b est un agrandissement de la base de la grille G ou encore appelée pied de grille encadrée sur la figure 3a.

La face supérieure 14 de l'empilement comprend une source S, une grille G, et un drain D.

En l'espèce, la face supérieure 14 de l'empilement Emp est recouverte d'une monocouche continue de passivation 16 selon l'art connu comprenant typiquement du nitrure de silicium SiN.

La figure 4a correspond à une cartographie des intensités du champ électrique sur le profil représenté sur la figure 3b au voisinage du pied de grille G lorsqu'on applique une tension V_{DS} de 20V et que l'on mesure un courant de drain I_{DS} de 200 mA par mm de longueur de grille Lg. Autrement dit, lorsque le gaz bidimensionnel 9 circule.

En l'espèce, les valeurs de l'intensité du champ électrique sont représentées par des niveaux de gris, les zones pour lesquelles l'intensité des champs électriques est importante sont représentées en gris clair et les zones de plus faible intensité de champs électriques sont représentées en gris foncé. En d'autres termes, plus l'intensité du champ électrique est importante et plus la zone considérée est représentée en clair.

En l'occurrence, deux zones Z1 ; Z2 peuvent être mises en évidence : une première zone Z1 de forte intensité de champ électrique disposée au pied de la grille G entre la grille G et le drain D sur une distance d'environ 0,15 µm à partir de la base de la grille G, l'intensité du champ électrique sur cette première zone Z1 de forte intensité électrique étant comprise entre $3,75.10^6$ V.cm^{-1} et 5.10^6 V.cm^{-1}, et, une deuxième zone Z2 de plus faible intensité de champ électrique s'étendant à partir de la première zone Z1 de forte intensité et s'étendant sur le reste de la face supérieure 14 sur laquelle l'intensité du champ électrique est inférieure à 1.10^6 V.cm^{-1}.

La figure 4b est une cartographie de la figure 3b mettant en évidence l'intensité du champ électrique lorsqu'on applique une polarisation négative sur la grille G empêchant le gaz bidimensionnel 9 de circuler. En l'espèce, la différence de potentiel électrique V_{GS} entre la grille G et la source est de -6 V. Comme sur la figure 4a, il est aussi possible de distinguer une première Z1 et une deuxième Z2 zone, respectivement de forte et de faible intensité de champ électrique
La première zone Z1 de forte intensité est plus étendue que précédemment, elle est située à partir de la base de la grille G et s'étend sur une distance de 0,25 µm. La partie de la première zone Z1 de forte intensité en contact direct avec la grille G présente une intensité de champ électrique supérieure à 5.10^6 V.cm^{-1}. L'intensité du champ électrique diminue ensuite progressivement à mesure qu'on s'éloigne de la base de la grille G pour atteindre des valeurs inférieures à $2,5.10^6$ V.cm^{-1} à une distance de 0,12 µm de la base de la grille G. Le reste de la couche de passivation 16 présente des intensités de champ électriques inférieures à $2,5.10^6$ V.cm^{-1}.
Cette première zone Z1 de forte intensité de champ électrique subit aussi une forte *élévation de température pouvant atteindre jusqu'à 400°C.*

Les figures 5 sont des simulations de l'évolution du champ électrique en fonction de la distance par rapport au pied de grille G.

La figure 5a représente les courbes 31 et 32 simulées d'intensité du champ électrique en fonction de la distance par rapport à la base de la grille à 5 nm de la surface de l'empilement Emp, c'est à dire à l'intérieur de la monocouche de passivation réalisée selon l'art connu, respectivement pour un transistor pincé ne laissant pas circuler les charges mobiles du gaz bidimensionnel 9, et, pour un transistor ouvert laissant circuler les électrons.

La courbe 31 est une représentation graphique simulée de l'intensité du champ électrique en fonction de la distance pour une tension V_{DS} nulle et une tension V_{GS} égale à -5V. En d'autres termes, il s'agit de l'estimation du champ électrique lorsque le transistor est pincé, c'est-à-dire, lorsque le gaz bidimensionnel est dépeuplé sous la grille. L'intensité du champ électrique (courbe 31) décroit à mesure que l'on s'éloigne de la grille G. Elle décroit rapidement à proximité du pied de grille puis décroit plus lentement. En effet, au contact de la grille G, l'intensité du champ électrique est de $7{,}2.10^6$ V/cm, l'intensité est réduite de moitié à une distance de 0,025 µm par rapport au pied de grille G. A une distance de 0,3 µm du pied de grille, l'intensité du champ électrique n'est plus que de 10^6 V/cm.

La courbe 32 est une représentation graphique simulée de l'intensité du champ électrique en fonction de la distance pour une tension V_{DS} nulle et une tension V_{GS} nulle, le courant I_{DS} mesuré étant de 200 mA/mm. En d'autres termes, le gaz bidimensionnel 9 circule dans le canal. La courbe 32 a une allure similaire à la courbe 31. Au contact du pied de grille, l'intensité du champ électrique est de 5.10^6V/cm puis décroît rapidement lorsqu'on s'éloigne du pied de grille.

La figure 5b représente les courbes simulées 33 et 34 d'intensité du champ électrique en fonction de la distance par rapport au pied de grille G à l'intérieur du canal.

La courbe 33 est une représentation graphique simulée de l'intensité du champ électrique à l'intérieur du canal, c'est-à-dire selon un plan enfoui dans l'empilement contrairement aux cas des courbes 31 et 32 de la figure 5b. Cette simulation du

champ électrique est en fonction de la distance à partir du pied de grille G pour une tension V_{DS} nulle et une tension V_{GS} égale à -5 V lorsque le transistor est pincé.

L'intensité du champ électrique dans le canal en vis-à-vis du pied de grille atteint une valeur de $3{,}5.10.^{6}$ V/cm. Cette valeur est deux fois moins importante que la valeur estimée en extrême surface (figure 5a). Cette valeur diminue ensuite rapidement avec la distance.

De la même manière que précédemment, la courbe 33 est une estimation des intensités de champ électrique dans le canal lorsque le gaz bidimensionnel circule. L'intensité du champ électrique dans le canal en vis-à-vis du pied de grille atteint une valeur de $2{,}5.10.^{6}$ V/cm.

Ces simulations montrent que les intensités de champ électrique dans le voisinage immédiat du pied de grille, c'est-à-dire sur la première zone Z1, sont très élevées pouvant atteindre jusqu'à 7.10^{6} V/cm et diminuent très rapidement à mesure que l'on s'éloigne du pied de grille. Le reste de la face supérieure 14 de l'empilement Emp constitue la deuxième zone Z2 de plus faible intensité.

Ces conditions agressives de fort champ électrique, supérieures à 7MV/cm, de températures élevées, supérieures à 350°C peuvent altérer la couche de passivation 16 réalisée selon l'art connu.
L'état de surface de la face supérieure 14 de l'empilement Emp peut alors être modifié notamment par les ions hydroxydes présents dans l'atmosphère environnante.

Aussi, un but de l'invention est de proposer une couche de passivation permettant notamment d'améliorer les performances du transistor.

Selon un aspect de l'invention, il est proposé un transistor à effet de champ comprenant :

- un empilement (Emp) selon l'axe z de matériaux semi-conducteurs comprenant un composé binaire ou ternaire ou quaternaire de nitrure ;
- un drain (D), une source (S) et une grille (G) ;

- une couche de passivation (16) disposée au-dessus de la face supérieure (14) dudit empilement (Emp), ladite couche de passivation (16) comprenant deux sous-couches (16a ; 16b) ;

caractérisé en ce que ledit drain (D), ladite source (S) et ladite grille (G) définissent :

- une première zone (Z1) de forte intensité de champ électrique à la base de la grille (G) entre la grille (G) et le drain (D) ou entre la grille (G) et la source (S) lorsqu'une différence de tension électrique (V_{DS}, respectivement V_{GS}), est appliquée entre le drain (D) et la source (S) ou entre la grille (G) et la source (S), et
- une deuxième zone (Z2) de faible intensité de champ électrique ;

et en ce que :

- *ladite première sous-couche (16a) s'étend sur la deuxième zone (Z2)*, comprend un premier matériau (Mat1) de champ électrique de claquage E_{cl1}, la charge électrique de ladite première sous-couche (16a) étant strictement inférieure à la charge électrique de ladite face supérieure (14) de l'empilement (Emp) ;
- ladite deuxième sous-couche (16b) s'étend sur la première zone (Z1), recouvre la première sous-couche (16a), et comprend un deuxième matériau (Mat2) de champ électrique de claquage E_{cl2} strictement supérieur à E_{cl1}.

Avantageusement, le champ électrique de claquage du deuxième matériau Mat2 est supérieur au champ électrique maximal à la base du pied de grille.

Avantageusement, la température de synthèse T_{synth} du deuxième matériau Mat2 est supérieure à la température maximale T_{Z1} atteinte sur la première zone Z1 lors du fonctionnement du transistor.

Avantageusement, la charge de ladite première sous-couche 16a du transistor est inférieure ou égal à 1% de la charge de ladite face supérieure 14.

On entend par température de synthèse du deuxième matériau, la température atteinte lors de l'élaboration du matériau.

La réalisation d'une couche de passivation comprenant au moins deux sous-couches permet de remplir les fonctions de stabilisation de l'état de surface, et, de protection de la surface de l'empilement contre les conditions d'utilisation agressives telles qu'un champ électrique élevé ou des températures élevées.

Avantageusement, la densité de charge résiduelle du premier matériau est inférieure ou égale à 1% de la densité surfacique de charge de la face supérieure.

Avantageusement, l'épaisseur de la première sous-couche selon la direction de l'axe z est supérieure ou égale à 20 nm.

Avantageusement, le premier matériau comprend du nitrure de silicium SiN ou de l'alumine Al_2O_3. Préférentiellement le premier matériau est obtenu par dépôt physique en phase vapeur-plasma couplé par induction (ICP-CVD) ou dépôt de couches atomiques (*ALD*).

Cette méthode de fabrication permet de déposer le nitrure de silicium couche atomique par couche atomique ce qui permet d'obtenir un matériau de grande pureté, pauvre en oxygène, notamment, ce qui limite la réactivité en surface de la première sous-couche. La première sous-couche ainsi formée est stable dans le temps.

Avantageusement, le deuxième matériau comprend du nitrure de silicium SiN ou de l'oxyde de silicium ou du nitrure d'aluminium obtenu par dépôt chimique en phase vapeur-assisté par plasma (PECVD) ou par pulvérisation cathodique ou par dépôt de couches atomiques (ALD).

Ces méthodes permettent l'obtention d'un matériau résistant à des champs électriques élevés, supérieurs à la valeur seuil $10^5 V.cm^{-1}$ et à des températures supérieures à 300°C.

Avantageusement, l'épaisseur de la deuxième sous-couche selon la direction de l'axe z est supérieure ou égale à 50 nm de manière à encapsuler la première sous-couche et à éloigner la surface de la première sous-couche de l'atmosphère environnante.

Selon un autre aspect de l'invention, il est proposé un procédé de fabrication d'une couche de passivation sur un empilement d'un transistor selon l'une des revendications précédentes comprenant :

- une première étape de synthèse de la première sous-couche comprenant un premier matériau sur la deuxième zone.

- une deuxième étape de synthèse de la deuxième sous-couche comprenant le deuxième matériau sur la sous-couche et sur la première zone.

Avantageusement, la synthèse du premier matériau est réalisée par une méthode modifiant uniquement la première et deuxième couche atomique de la face supérieure de l'empilement.

Avantageusement, la synthèse du premier matériau est réalisée par dépôt physique en phase vapeur-plasma couplé par induction (ICP-CVD) ou dépôt de couches atomiques (ALD).

Avantageusement, la température de synthèse du deuxième matériau est supérieure à la température maximale observée sur la première zone lorsque le transistor est en fonctionnement.

Avantageusement, la synthèse du deuxième matériau est réalisée par une méthode de dépôt physique en phase vapeur-assisté par plasma (PECVD).

L'invention sera mieux comprise et d'autres avantages apparaîtront à la lecture de la description qui va suivre donnée à titre d'exemple non limitatif, et, grâce aux figures annexées parmi lesquelles :

- la figure 1 déjà citée représente schématiquement une coupe de la structure d'un transistor HEMT classique,

- la figure 2 déjà citée représente la répartition des charges au voisinage de l'hétérojonction du transistor HEMT classique,

- la figure 3a représente schématiquement un profil de l'empilement Emp et la figure 3b est un agrandissement de la zone encadrée sur la figure 3a située à la base de la grille,

- les figures 4a et 4b sont des cartographies des intensités de champ électrique à la base de la grille, respectivement, lorsque le transistor est en fonctionnement (courbes 32 et 34) et lorsque le transistor est pincé (courbes 31 et 33).

- les figures 5a et 5b représentent des courbes simulées de l'intensité du champ électrique en fonction de la distance,

- la figure 6 est une représentation schématique de la couche de passivation, selon l'invention,

- les figures 7a et 7b représentent des courbes de caractérisation des transistors respectivement, avec une couche de passivation selon l'art connu, et, avec une couche de passivation, selon l'invention.

La figure 6 est une représentation schématique du profil d'un empilement comprenant une couche de passivation selon l'invention.

L'empilement Emp comprend une superposition de couches de matériaux semi-conducteurs. L'empilement Emp comprend notamment un substrat 11, une couche tampon 12 et une couche barrière 13. Sur la face supérieure 14 de l'empilement Emp sont disposés une source S, une grille G et un drain D. La face supérieure 14, la grille G, la source S et le drain D sont recouverts d'une couche de passivation 16 selon l'invention. En l'espèce, la couche barrière 13 peut comprendre de l'InAlGaN, de l'AlGaN ou de l'AlN. Or, les atomes d'indium, de gallium et d'azote sont particulièrement instables et peuvent aisément réagir avec les molécules de l'atmosphère environnante, ce qui modifie l'état de surface de la face supérieure 14 de l'empilement Emp, et, qui, par voie de conséquence, modifie la circulation du gaz bidimensionnel 9 dans le canal. En effet, comme nous l'avons déjà évoqué précédemment, le gaz bidimensionnel 9 est dépendant de l'état de surface de la face supérieure 14 de l'empilement Emp, notamment.

L'idée de l'invention consiste donc à disposer une couche de passivation à la surface de la face supérieure 14. La couche de passivation comprenant deux matériaux différents de manière à remplir les deux fonctions différentes de la couche de passivation 16.

La couche de passivation 16 comprend deux sous-couches 16a ; 16b : une première sous-couche 16a comprenant un premier matériau Mat 1 disposée sur la deuxième zone Z2 de la face supérieure 14 de l'empilement Emp destinée à encapsuler la surface de l'empilement de manière à figer l'état de surface, et, une deuxième sous-couche 16b disposée sur la première zone Z1 de la face supérieure 14 de l'empilement Emp et sur la première sous-couche 16a, la deuxième sous-couche 16b comprenant un deuxième matériau Mat 2 destiné à protéger la face supérieure 14 de l'empilement des fortes intensités de champ électrique, notamment.

En l'espèce le premier matériau Mat 1 comprend du nitrure de silicium SiN, ou de l'Al_2O_3 obtenus par des méthodes de dépôt tel que l'ALD, acronyme pour « Atomic Layer Deposition », en langue anglaise, et dépôt de couche atomique, en langue française.

Cette méthode permet notamment de réaliser un dépôt couche atomique par couche atomique permettant d'obtenir un dépôt du premier matériau Mat 1 dense et peu réactif. Néanmoins, l'emploi d'ALD n'implique pas l'obtention d'un matériau dense et peu réactif : ces caractéristiques peuvent être variables en fonction du paramétrage du dépôt, choisi dans les modes de réalisation de l'invention pour être adaptés à la fabrication d'un matériau dense et peu réactif.

Toutefois, d'autres méthodes de dépôt qualifiées de « douces » permettant de réaliser un dépôt dense, peu réactif peuvent être envisagées telle que l'ICP-CVD acronyme de dépôt chimique en phase vapeur-plasma couplé par induction.

On entend par méthode de dépôt douce des méthodes qui modifient au plus l'extrême surface du matériau sur lequel est réalisé le dépôt. Typiquement l'extrême surface correspond à une, voire deux, couches atomiques. Préférentiellement, une méthode de dépôt douce ne modifie pas la surface du matériau sur lequel est réalisé le dépôt.

Ces méthodes ne présentent généralement pas d'étapes de bombardements électroniques ou ioniques de la surface sur laquelle est réalisé le dépôt. On peut citer à titre d'exemple, une méthode de dépôt par enduction centrifuge, plus connue sous le nom de « spin coating », en langue anglaise.

La sous-couche 16a ainsi réalisée présente une charge électrique strictement inférieure à la charge électrique de la face supérieure 14 de l'empilement Emp (c'est-à-dire une charge surfacique) et plus précisément à la charge électrique de la surface supérieure 14 en contact avec ladite sous-couche 16a. Avantageusement, la charge électrique de la sous-couche 16a est inférieure à quelques pourcents de la charge électrique du gaz bidimensionnel 9, et, plus précisément, inférieure ou égale à 10 % et préférentiellement inférieure à 1%. La charge électrique du gaz bidimensionnel 9 est une fonction de la charge électrique la surface supérieure 14 et est sensiblement égale à la charge électrique la surface supérieure 14. Avantageusement, la charge de la dite première sous-couche est inférieure ou égal à 10% de la charge de ladite face supérieure 14 et préférentiellement inférieure ou égal à 1% de la charge de ladite face supérieure 14. Ainsi, en assimilant la sous-couche 16a à une surface, la densité surfacique de charge δ_{mat1} de la sous-couche 16a est préférentiellement comprise entre 10^{10} et 10^{12} charges.cm^{-2}.

Avantageusement, l'épaisseur de la première sous-couche 16a selon la direction de l'empilement Emp est supérieure à 20 nm de manière à figer l'état de surface de la face supérieure 14 de l'empilement Emp.

En l'espèce, la deuxième sous-couche 16b comprend un deuxième matériau Mat 2 résistant aux fortes intensités de champ électrique et aux températures élevées supérieures à 200°C, la deuxième sous-couche 16b étant disposée sur la première zone Z1 de forte intensité et sur la première sous-couche 16a.

Avantageusement, le deuxième matériau Mat2 comprend du nitrure de silicium SiN, de l'oxyde de silicium SiO_2 ou du nitrure d'aluminium AlN obtenu par PECVD, acronyme de dépôt chimique en phase vapeur assisté par plasma ou par pulvérisation cathodique ou par dépôt de couches atomiques ALD et traitement thermique. Les paramètres d'un dépôt par ALD d'une couche de matériau Mat2 seront différents de ceux potentiellement utilisés pour le dépôt d'une couche de matériau Mat1.

Ces matériaux ainsi réalisés sont plus résistants aux températures élevées et aux fortes intensités de champs électriques. Dans les modes de réalisation de l'invention, le champ électrique de claquage E_{cl2} de la seconde sous-couche 16b est strictement supérieur au champ électrique de claquage E_{cl1} de la première sous-

couche 16a. Les méthodes de dépôt des sous-couches 16 sont choisies pour permettre entre autre cette inégalité.

Avantageusement, l'épaisseur au-dessus de la première sous-couche 16a selon la direction de l'empilement Emp de la deuxième sous-couche 16b est supérieure à 50 nm de manière à éloigner la surface de la première sous-couche 16a de l'atmosphère environnante.

Les figures 7a et 7b représentent les courbes de caractérisation des transistors pour différentes valeurs de tension de grille, respectivement pour un transistor comprenant une monocouche de passivation selon l'art connu et une couche de passivation selon l'invention.

La figure 7a représente les courbes caractéristiques de transistor comprenant une monocouche de passivation selon l'art connu. Les mesures pulsées réalisées pour différents points de repos permettent de quantifier les effets de charges.

Les courbes (représentées en trait épais) 41a ; 42a ; 43a ; 44a ; 45a, 46a et 47a représentent le courant de drain I_D en fonction de la tension pulsée appliquée entre le drain et la source V_{DS} pour un point de repos V_{GS}=0 V et V_{DS}=0 V et pour différentes tension de grille allant de +1 V à -5 V.
Ces courbes correspondent au mode nominal V_{GS}=0V et V_{DS}=0V lorsque le transistor est utilisé pour la première fois, ou en d'autres termes, lorsqu'aucune polarisation n'a été appliquée au préalable sur le transistor.

Les courbes (trait simple) 41b ; 42b ; 43b ; 44b ; 45b ; 46b et 47b représentent le courant de drain I_D en fonction de la tension appliquée V_{DS} entre le drain D et la source S pour un point de repos V_{GS}=-Vp et V_{DS}=0 V, et, pour différentes tensions de grille allant de +1V à -5V.

Les courbes (pointillée) 41c ; 42c ; 43c ; 44c ; 45c ; 46c et 47c représentent le courant de drain I_D en fonction de la tension pulsée appliquée entre le drain D et la source S pour un point de repos V_{GS}=-Vp et V_{DS}=25V pour différentes tensions de grille allant de +1 V à -5V.

Les conditions correspondant aux points de repos V_{GS}=-Vp et V_{DS}=0V et V_{GS}=-Vp et V_{DS}=25V sont équivalentes aux conditions de polarisation du transistor en fonctionnement hyperfréquence.

Au cours de la première utilisation, et pour une tension de grille de +1V (courbe 41a), c'est-à-dire pour une tension laissant passer les électrons, le courant augmente de manière linéaire avant d'atteindre un plateau à une valeur de 1,1 A/mm. Après une polarisation V_{DS}=25V et V_{GS}=–Vp (courbe 41c), et pour une tension de grille de +1 V, la valeur du courant atteint un plateau à une valeur de 0, 75 A/mm.

En l'espèce, une chute importante du courant maximal est observée entre la mesure du courant de drain I_D d'un transistor comprenant une monocouche de passivation *selon l'art connu : d'une part lors d'une utilisation avec un point de repos Vgs=0 et* Vds=0 (courbe 41a), et, d'autre part lors d'une utilisation avec un point de repos simulant un transistor en fonctionnement à V_{GS}= -Vp et V_{DS}= 25V (courbe 41c). Cette chute de courant est estimée à environ 37% et peut être attribuée au piégeage des électrons em dans des centres profonds.

Pour les autres ensembles de courbes (42a ; 42b ; 42c) à (47a ; 47b ; 47c), il existe aussi une diminution du courant de drain maximal I_D est entre les courbes 42a à 47a pour un transistor en première utilisation et les courbes 42c à 47c simulant un transistor en fonctionnement.

Par ailleurs, lorsque la tension de grille V_{GS} descend vers des valeurs négatives plus importantes en valeur absolue, le courant de drain I_D maximal diminue. En effet la tension de grille peut être assimilée à une tension de pincement du canal ou de fermeture du canal. En d'autres termes, plus la tension de grille augmente en valeur absolue et moins les électrons circulent dans le canal, et, par voie de conséquence, plus la courant de drain I_D est faible jusqu'à atteindre une valeur sensiblement égale à zéro pour une tension de grille égale à la tension de pincement. En l'occurrence, la tension de grille V_G est de -5V.

La figure 7b représente les courbes caractéristiques de transistor comprenant une multicouche de passivation selon l'invention.

Les courbes 51a ; 52a ; 53a ; 54a ; 55a ; 56a et 57a représentent le courant de drain I_D en fonction de la tension pulsée appliquée entre le drain et la source V_{DS} pour un point de repos V_{GS}=0V et V_{DS}=0V et pour différentes tension de grille allant de +1V à -5V.

Les courbes 51a ; 52a ; 53a ; 54a ; 55a ; 56a et 57a correspondent à la première utilisation V_{GS}=0V et V_{DS}=0V lorsque le transistor est utilisé pour la première fois, ou, en d'autres termes, lorsqu'aucune polarisation n'a été appliquée au préalable sur le transistor.

Les courbes 51b ; 52b ; 53b ; 54b ; 55b ; 56b et 57b représentent le courant de drain en fonction de la tension pulsée appliquée entre le drain et la source pour un point de repos V_{GS}=-Vp et V_{DS}=0V, pour différentes tensions de grille allant de +1V à -5V.

Les courbes 51c ; 52c ; 53c ; 54c ; 55c ; 56c et 57c représentent le courant de drain I_D en fonction de la tension pulsée appliquée V_{DS} entre le drain et la source pour un point de repos V_{GS}=-Vp et V_{DS}=25V pour différentes tensions de grille allant de +1 V à -5V.

Les conditions correspondant aux points de repos V_{GS} =-Vp et V_{DS}=0V et V_{GS} =-Vp et V_{DS}=25V sont équivalentes aux conditions de polarisation du transistor en fonctionnement hyperfréquence.

En mode nominal, c'est-à-dire, au cours de sa première utilisation sans polarisation préalable, et pour une tension de grille de +1V (courbe 51a), c'est-à-dire pour une tension de grille V_{GS} laissant passer les électrons, le courant augmente de manière linéaire avant d'atteindre un plateau à une valeur de 1,6 A/mm.

Lors de la première utilisation sans polarisation préalable, le courant de drain I_D maximal d'un transistor comprenant une couche de passivation multicouche selon l'invention est supérieur au courant de drain d'un transistor comprenant une couche de passivation monocouche au selon l'art connu.

On peut donc conclure que même en mode nominal, une partie des électrons em est piégée dans l'empilement et que l'utilisation d'une couche de passivation 16 multicouche selon l'invention permet de limiter le piégeage des électrons.

Par ailleurs, avec un point de repos V_{GS} = Vp et V_{DS}=25V et pour une tension de grille de +1 V, la valeur du courant I_D atteint un plateau à une valeur de 1,5 A/mm soit une chute de courant d'environ 7%.

La réalisation d'une couche de passivation selon l'invention permet donc de figer l'état de surface de la face supérieure de l'empilement et donc de confiner le gaz bidimensionnel dans le canal en évitant le piégeage des électrons dans des centres profonds.

Par ailleurs, la couche de passivation selon l'invention permet de protéger l'empilement des fortes intensités de champ électriques et des fortes températures. Ainsi, les performances d'un transistor comprenant une couche de passivation selon l'invention sont améliorées.

REVENDICATIONS

1. Transistor à effet de champ comprenant :

- un empilement (Emp) selon l'axe z de matériaux semi-conducteurs comprenant un composé binaire ou ternaire ou quaternaire de nitrure ;
- un drain (D), une source (S) et une grille (G) ;
- une couche de passivation (16) disposée au-dessus de la face supérieure (14) dudit empilement (Emp), ladite couche de passivation (16) comprenant deux sous-couches (16a ; 16b) ;

caractérisé en ce que ledit drain (D), ladite source (S) et ladite grille (G) définissent :

- une première zone (Z1) de forte intensité de champ électrique à la base de la grille (G) entre la grille (G) et le drain (D) ou entre la grille (G) et la source (S) lorsqu'une différence de tension électrique (V_{DS}, respectivement V_{GS}), est appliquée entre le drain (D) et la source (S) ou entre la grille (G) et la source (S), et
- une deuxième zone (Z2) de faible intensité de champ électrique ;

et en ce que :

- ladite première sous-couche (16a) s'étend sur la deuxième zone (Z2), comprend un premier matériau (Mat1) de champ électrique de claquage E_{cl1}, la charge électrique de ladite première sous-couche (16a) étant strictement inférieure à la charge électrique de ladite face supérieure (14) de l'empilement (Emp),
- ladite deuxième sous-couche (16b) s'étend sur la première zone (Z1), recouvre la première sous-couche (16a) et comprend un deuxième matériau (Mat2) de champ électrique de claquage E_{cl2} strictement supérieur à E_{cl1}.

2. Transistor selon la revendication 1 dans lequel la charge de ladite première sous-couche (16a) est inférieure ou égal à 1% de la charge de ladite face supérieure (14).

3. Transistor selon la revendication 1 ou 2 dans lequel l'épaisseur de la première sous-couche (16a) selon la direction de l'axe z est supérieure ou égale à 20 nm.

4. Transistor selon l'une des revendications précédentes dans lequel le premier matériau (Mat1) comprend du nitrure de silicium ou de l'alumine (Al_2O_3).

5. Transistor selon la revendication 4 dans lequel le premier matériau (Mat1) est réalisé par dépôt chimique en phase vapeur-plasma couplé par induction (ICP-CVD) ou par dépôt de couches atomiques (ALD).

6. Transistor selon l'une des revendications précédentes dans lequel le deuxième matériau (Mat2) comprend du nitrure de silicium (SiN) ou de l'oxyde de silicium (SiO_2) ou du nitrure d'aluminium (AlN).

7. Transistor selon la revendication 6 dans lequel le deuxième matériau est obtenu par dépôt chimique en phase vapeur assisté par plasma (PECVD) ou par pulvérisation cathodique ou par dépôt de couches atomiques (ALD) avec traitement thermique.

8. Transistor selon l'une des revendications précédentes dans lequel l'épaisseur de la deuxième sous-couche (16b) selon la direction de l'axe z est supérieure ou égale à 50 nm.

9. Procédé de fabrication d'une couche de passivation (16) sur un empilement (Emp) d'un transistor selon l'une des revendications précédentes comprenant :

- une première étape de synthèse de la première sous-couche (16a) comprenant le premier matériau (Mat1) sur la deuxième zone (Z2).

- une deuxième étape de synthèse de la deuxième sous-couche (16b) comprenant le deuxième matériau (Mat2) sur la sous-couche (16a) et sur la première zone (Z1).

10. Procédé selon la revendication 9 dans lequel la synthèse du premier matériau (Mat1) est réalisée par une méthode modifiant uniquement la première et deuxième couche atomique de la face supérieure (14) de l'empilement (Emp).

11. Procédé selon la revendication 10 dans lequel la synthèse du premier matériau (Mat1) est réalisée par dépôt chimique en phase vapeur-plasma couplé par induction (ICP-CVD) ou dépôt de couches atomiques (ALD).

12. Procédé selon l'une des revendications 9 à 11 dans lequel la température de synthèse (T_{synth}) du deuxième matériau (Mat2) est supérieure à la température maximale observée sur la première zone (Z1) lorsque le transistor est en fonctionnement.

13. Procédé selon la revendication 12 dans lequel la synthèse du deuxième matériau (Mat 2) est réalisée par une méthode de dépôt physique en phase vapeur assisté par plasma (PECVD) ou par pulvérisation cathodique ou par dépôt de couches atomiques (ALD) avec traitement thermique.

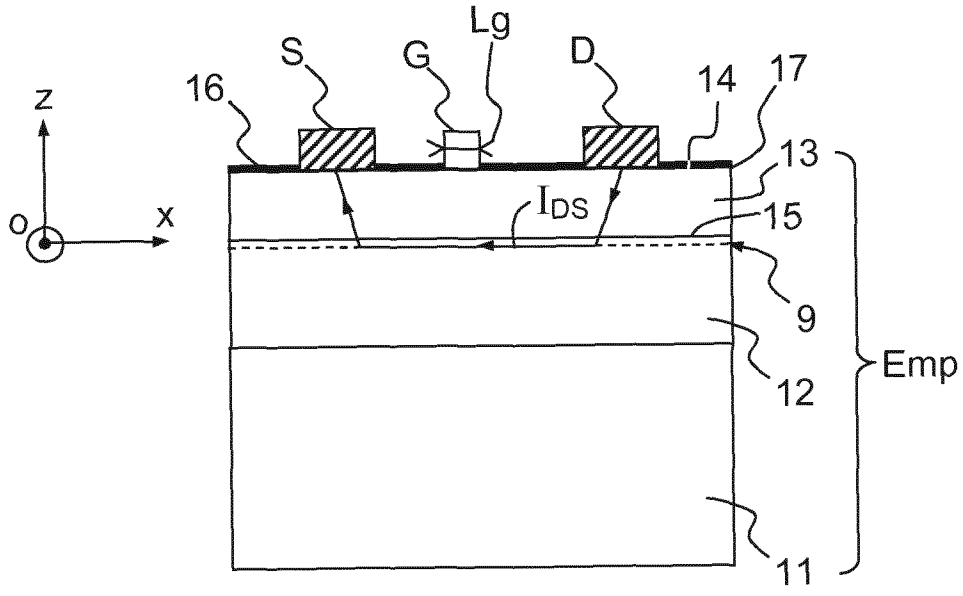


FIG.1

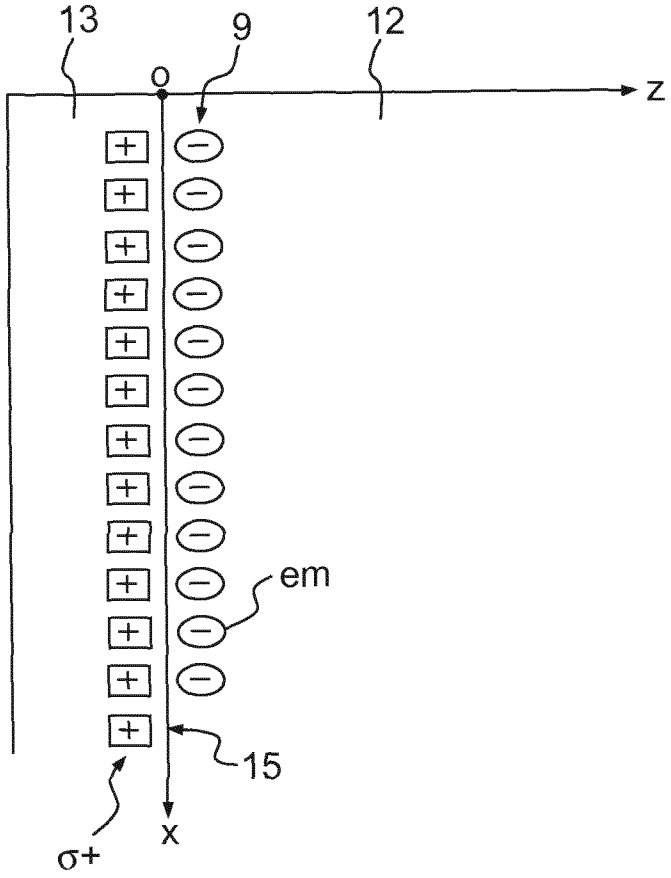


FIG.2

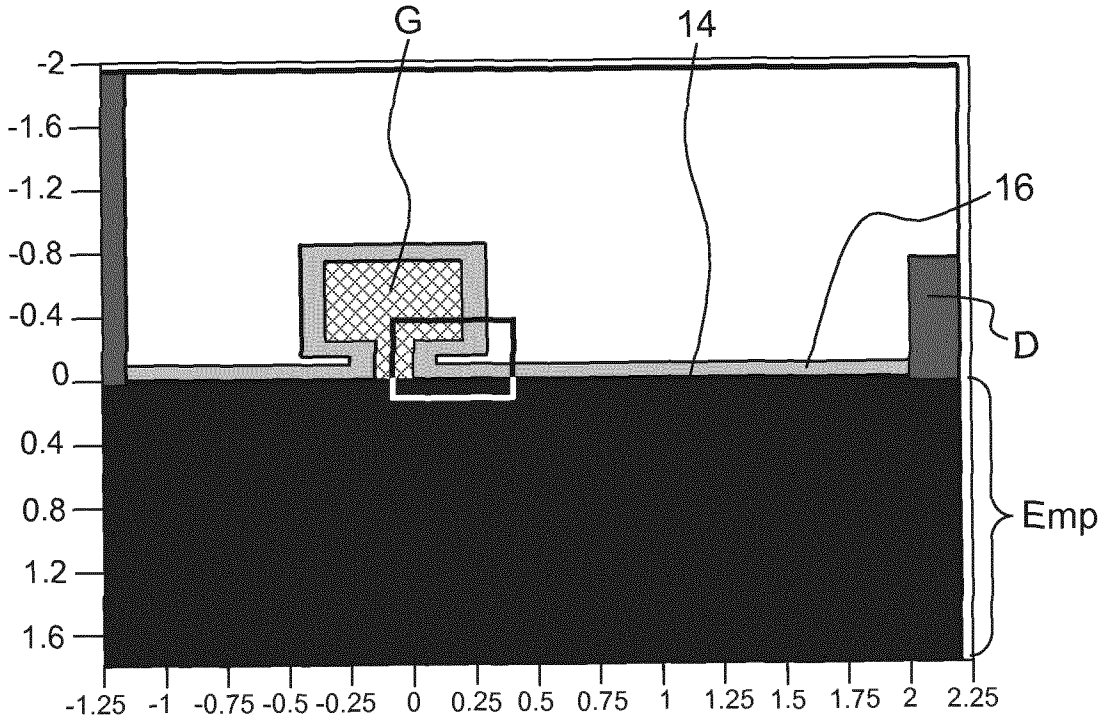

G
14
16
D
Emp
-2
-1.6
-1.2
-0.8
-0.4
0
0.4
0.8
1.2
1.6
-1.25 -1 -0.75 -0.5 -0.25 0 0.25 0.5 0.75 1 1.25 1.5 1.75 2 2.25

FIG.3a

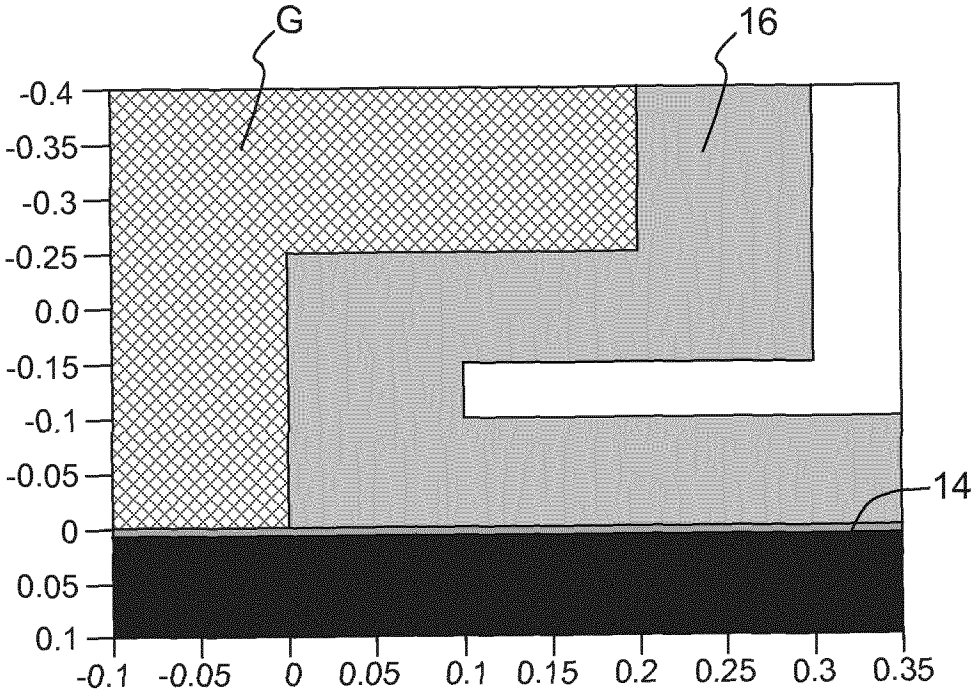

G
16
14
-0.4
-0.35
-0.3
-0.25
0.0
-0.15
-0.1
-0.05
0
0.05
0.1
-0.1 -0.05 0 0.05 0.1 0.15 0.2 0.25 0.3 0.35

FIG.3b

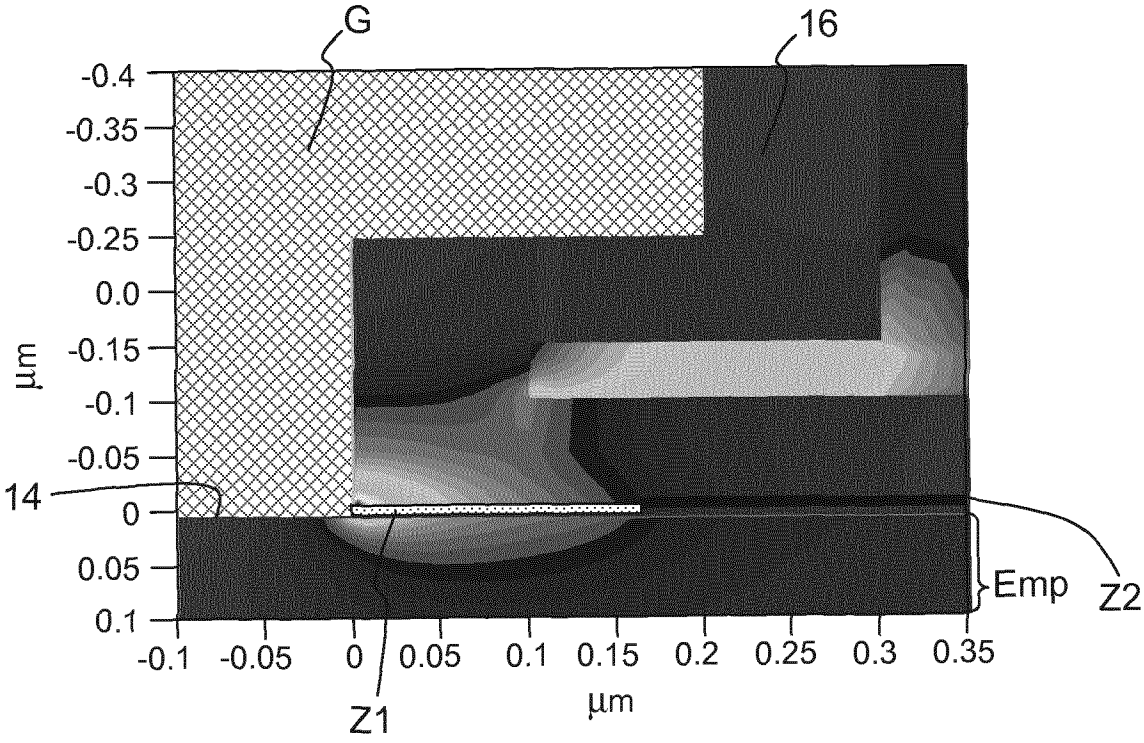

G
16
-0.4
-0.35
-0.3
-0.25
0.0
-0.15
-0.1
-0.05
0
0.05
0.1
µm
14
Emp
Z2
-0.1
-0.05
0
0.05
0.1
0.15
0.2
0.25
0.3
0.35
µm
Z1

FIG.4a

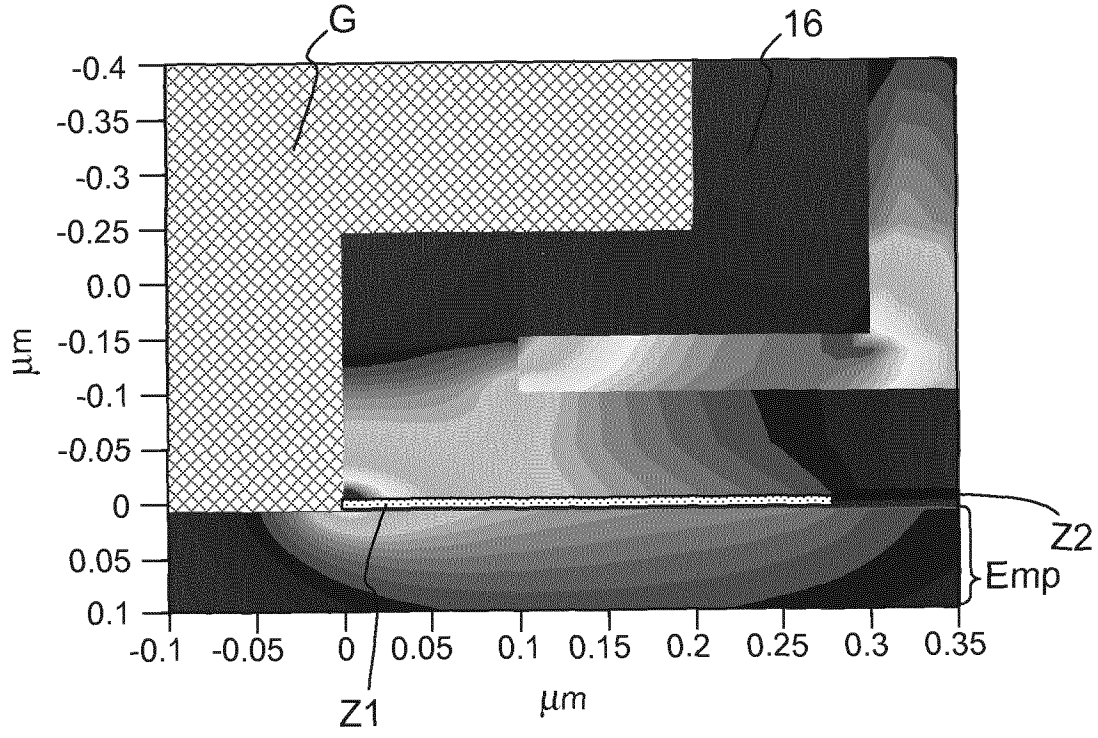

G
16
-0.4
-0.35
-0.3
-0.25
0.0
-0.15
-0.1
-0.05
0
0.05
0.1
µm
Z2
Emp
-0.1
-0.05
0
0.05
0.1
0.15
0.2
0.25
0.3
0.35
µm
Z1

FIG.4b

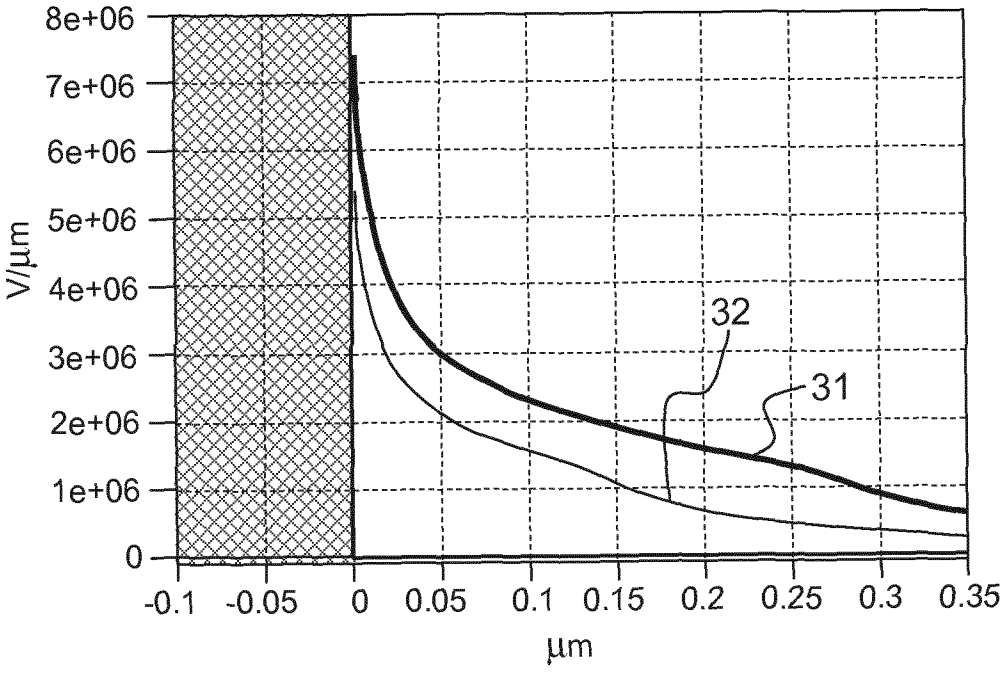

8e+06
7e+06
6e+06
5e+06
4e+06
3e+06
2e+06
1e+06
0
V/µm
32
31
-0.1
-0.05
0
0.05
0.1
0.15
0.2
0.25
0.3
0.35
µm

FIG.5a

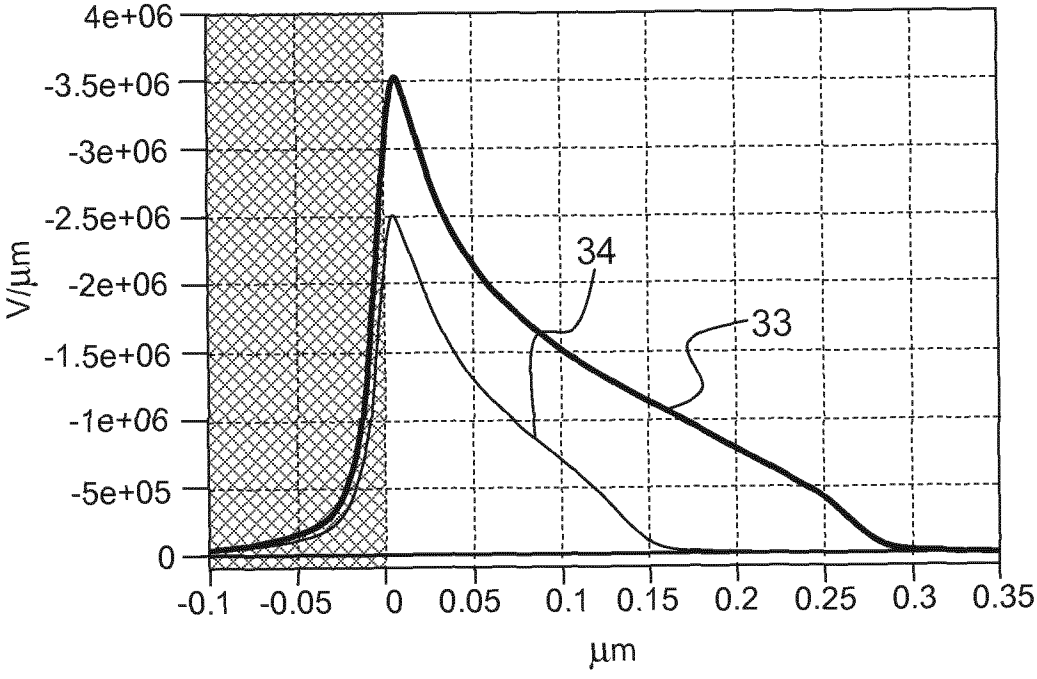

4e+06
-3.5e+06
-3e+06
-2.5e+06
-2e+06
-1.5e+06
-1e+06
-5e+05
0
V/µm
34
33
-0.1
-0.05
0
0.05
0.1
0.15
0.2
0.25
0.3
0.35
µm

FIG.5b

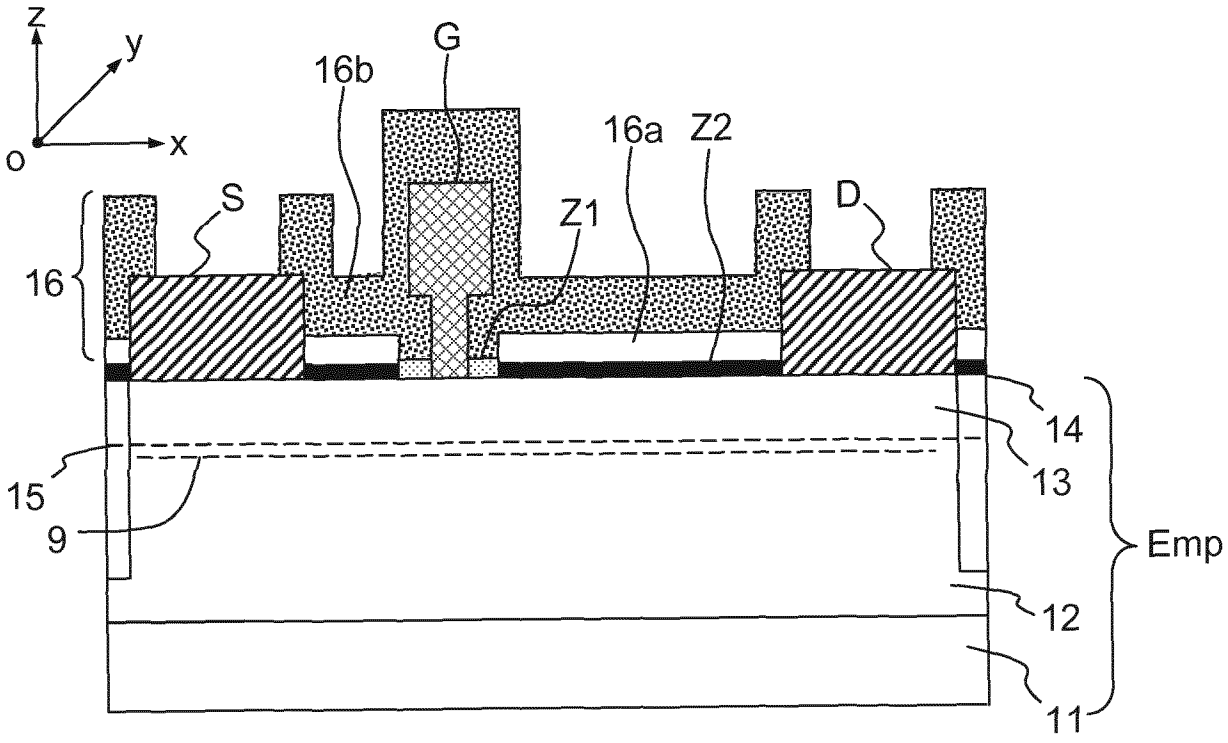


FIG.6

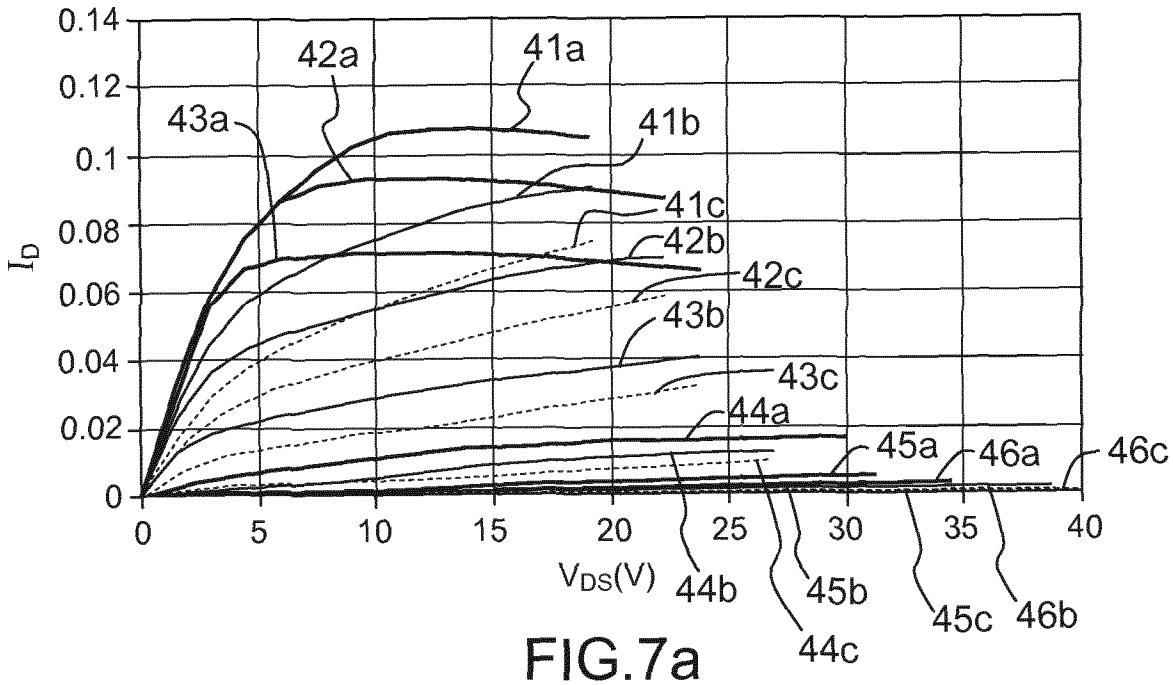

0.14
0.12
0.1
0.08
0.06
0.04
0.02
0
I_D
0
5
10
15
20
25
30
35
40
V_{DS}(V)
42a
41a
43a
41b
41c
42b
42c
43b
43c
44a
45a
46a
46c
44b
45b
45c
46b
44c

FIG.7a

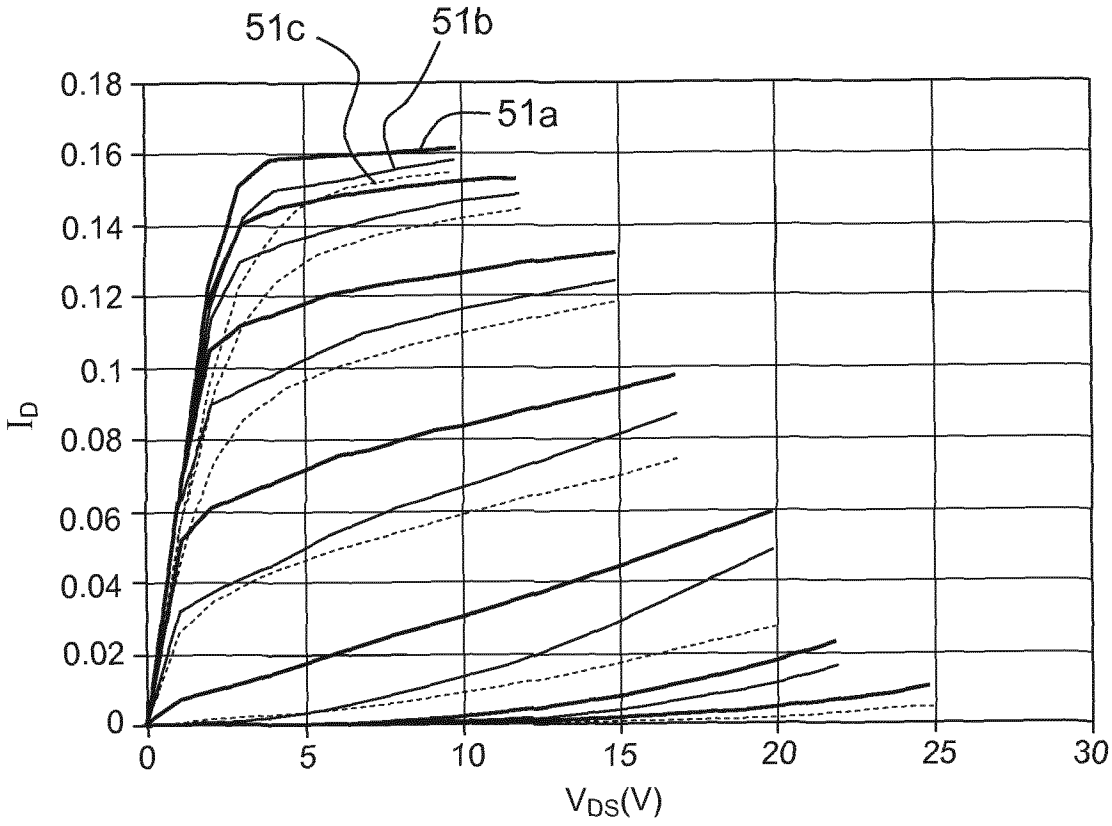

0.18
0.16
0.14
0.12
0.1
0.08
0.06
0.04
0.02
0
I_D
0
5
10
15
20
25
30
V_{DS}(V)
51c
51b
51a

FIG.7b

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2015/081346

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L29/778 H01L23/29
ADD. H01L23/31 H01L29/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data, INSPEC, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/277680 A1 (GREEN BRUCE M [US] ET AL) 24 October 2013 (2013-10-24) figure 23 et texte associé	1-13
X	US 2014/264364 A1 (KANAMURA MASAHITO [JP]) 18 September 2014 (2014-09-18) figures 1, 6 et texte associé	1-13

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
4 May 2016	19/05/2016

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Moehl, Sebastian

1

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2015/081346

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WANG MAOJUN ET AL: "Investigation of Surface- and Buffer-Induced Current Collapse in GaN High-Electron Mobility Transistors Using a Soft Switched Pulsed \(I-V\) Measurement", IEEE ELECTRON DEVICE LETTERS, IEEE SERVICE CENTER, NEW YORK, NY, US, vol. 35, no. 11, November 2014 (2014-11), pages 1094-1096, XP011562392, ISSN: 0741-3106, DOI: 10.1109/LED.2014.2356720 [retrieved on 2014-10-21] paragraphe II -----	5,10,11

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2015/081346

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013277680 A1	24-10-2013	US 2013277680 A1	24-10-2013
		US 2015295075 A1	15-10-2015
US 2014264364 A1	18-09-2014	CN 104064592 A	24-09-2014
		JP 2014183125 A	29-09-2014
		TW 201438237 A	01-10-2014
		US 2014264364 A1	18-09-2014

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2015/081346

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. H01L29/778 H01L23/29
ADD. H01L23/31 H01L29/20

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data, INSPEC, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2013/277680 A1 (GREEN BRUCE M [US] ET AL) 24 octobre 2013 (2013-10-24) figure 23 et texte associé	1-13
X	US 2014/264364 A1 (KANAMURA MASAHITO [JP]) 18 septembre 2014 (2014-09-18) figures 1, 6 et texte associé	1-13

-/--

[X] Voir la suite du cadre C pour la fin de la liste des documents

[X] Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
4 mai 2016	19/05/2016

Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Moehl, Sebastian

1

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	WANG MAOJUN ET AL: "Investigation of Surface- and Buffer-Induced Current Collapse in GaN High-Electron Mobility Transistors Using a Soft Switched Pulsed \(I-V\) Measurement", IEEE ELECTRON DEVICE LETTERS, IEEE SERVICE CENTER, NEW YORK, NY, US, vol. 35, no. 11, novembre 2014 (2014-11), pages 1094-1096, XP011562392, ISSN: 0741-3106, DOI: 10.1109/LED.2014.2356720 [extrait le 2014-10-21] paragraphe II -----	5,10,11

1

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°
PCT/EP2015/081346

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2013277680 A1	24-10-2013	US 2013277680 A1	24-10-2013
		US 2015295075 A1	15-10-2015
US 2014264364 A1	18-09-2014	CN 104064592 A	24-09-2014
		JP 2014183125 A	29-09-2014
		TW 201438237 A	01-10-2014
		US 2014264364 A1	18-09-2014