

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 12 月 15 日 (15.12.2016)



(10) 国际公布号
WO 2016/197724 A1

- (51) 国际专利分类号:
G11C 7/00 (2006.01)
- (21) 国际申请号: PCT/CN2016/080179
- (22) 国际申请日: 2016 年 4 月 25 日 (25.04.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510323324.3 2015 年 6 月 12 日 (12.06.2015) CN
- (71) 申请人: 深圳市中兴微电子技术有限公司 (ZTE MICROELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (72) 发明人: 崔海良 (CUI, Hailiang); 中国广东省深圳市盐田区大梅沙 1 号厂房, Guangdong 518085 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: CONTROL APPARATUS AND METHOD FOR REALIZING HIGH-VOLTAGE READ/WRITE POWER SUPPLY

(54) 发明名称: 一种实现高压读写电源的控制装置及方法

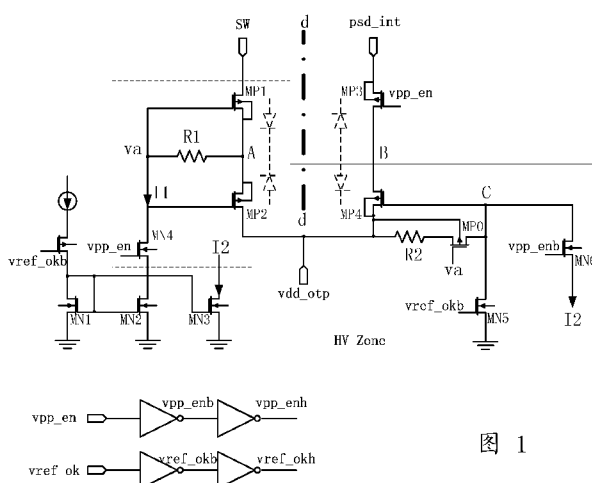


图 1

(57) Abstract: A control apparatus and method for realizing a high-voltage read/write power supply. The apparatus comprises: a write branch, which is configured to switch an output voltage into a high voltage that meets a first pre-set condition and is input by an external reuse PIN according to a detected control signal in a write operation, and is connected to a power bus vdd_otp in the control apparatus as a write operation high-voltage power supply output by the control apparatus; a read branch, which is configured to switch an output voltage into an internal normal voltage that meets a second pre-set condition in a read operation, and is connected to the vdd_otp as a read operation low-voltage power supply output by the control apparatus.

(57) 摘要: 一种实现高压读写电源的控制装置及方法, 其中, 所述装置包括: 写支路, 配置为在写操作时, 根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压, 且连通到所述控制装置中的电源总线 vdd_otp, 以作为所述控制装置输出的写操作高压电源; 读支路, 配置为在读操作时, 根据侦测的控制信号切换输出电压为符合第二预设条件的内部常规电压, 且连通到所述 vdd_otp, 以作为所述控制装置输出的读操作低压电源。

一种实现高压读写电源的控制装置及方法

技术领域

本发明涉及读写控制技术，尤其涉及一种实现高压读写电源的控制装置及方法。

5 背景技术

本申请发明人在实现本申请实施例技术方案的过程中，至少发现相关技术中存在如下技术问题：

包括可擦写可编程只读存储器（EPROM，Erasable Programmable Read-Only Memory）或电可擦除可编程只读存储器（EEPROM，Electrically Erasable Programmable Read-Only Memory）等模块在内的电可擦除存储器，属于掉电后数据不丢失的存储芯片范畴，其工作状态包括 standby、读状态和写状态，其 standby 以及读状态要求的电源为常规电源比如 5V 工艺下要求电源是 5V，而其在写状态由于其工作机理所要求的电源通常为高压电源，此时芯片的内部低压电源已经不能直接用来为可擦除存储器提供写操作所需的高压电源，需要单独的高压输入电源来满足该器件的写电源需求。这样就需要将内部的高压输入和低压输入电源在读、写操作时，分别输送到可擦除存储器的电源总线，分别作为电可擦除存储器单元的写操作电源和读操作电源。

综上所述可知：standby 以及读状态需要的电压为常规电源，而写状态需要的电压为高压电源，也就是说，进行读操作、写操作时需要不同的电源，能否在一个可擦除存储器的芯片上实现读操作或写操作时提供不同的电源是要解决的技术问题，然而，对于这个技术问题，相关技术并未存在有效的解决方案。

发明内容

有鉴于此，本发明实施例希望提供一种实现高压读写电源的控制装置及方法，至少解决了上述技术问题，能在一个可擦除存储器的芯片上实现在读操作或写操作时提供不同的电源。

5 本发明实施例的技术方案是这样实现的：

本发明实施例的一种实现高压读写电源的控制装置，所述装置包括：

写支路，配置为在写操作时，根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压，且连通到所述控制装置中的电源总线 vdd_otp，以作为所述控制装置输出的写操作高压电源；

10 读支路，配置为在读操作时，根据侦测的控制信号切换输出电压为符合第二预设条件的内部常规电压，且连通到所述 vdd_otp，以作为所述控制装置输出的读操作低压电源。

上述方案中，所述写支路与所述读支路采用背靠背模式的结构；

15 所述写支路与所述读支路以分时输出方式，分时输出所述写操作高压电源或读操作低压电源。

上述方案中，所述写支路包括：第一 PMOS 管 MP1 和第二 PMOS 管 MP2；

由所述 MP1 和所述 MP2 形成写操作的开关管支路。

20 上述方案中，所述写支路还包括：第一负载 R1，第二 NMOS 管 MN2、第四 NMOS 管 MN4；

所述 R1 通过第一连接点 A 与所述 MP1 相连，所述 A 通过所述 MP2 与所述电源总线 vdd_otp 相连；

所述 R1 通过第二连接点 va 与所述 MN4 相连，所述 MN4 与所述 MN2 相连；

25 由所述 R1、所述 MN2、所述 MN4 提供的写操作控制，形成写操作高

压电源的电源轨。

上述方案中，所述装置还包括：第一 NMOS 管 MN1、第三 NMOS 管 MN3；

所述 MN1 与所述 MN2 相连；

5 在所述 MN4 作用有写电源使能信号 vpp_en 的情况下，在所述 A 与所述 va 之间形成相对的安全 VGS 电压，使得在所述 va 得到的电压值 V_{va} 比在所述 A 得到的电压值 V_A 要低，且在工艺规定的安全范围内，在所述 A 得到的电压值 V_A 与写电压 SW 相同；

通过所述相对的安全 VGS 电压来控制所述写支路中所述 MP1 和所述
10 MP2 的导通和关断，以控制写支路的开启与关断。

上述方案中，所述读支路包括：第三 PMOS 管 MP3 和第四 PMOS 管 MP4；

由所述 MP3 和所述 MP4 形成读操作的开关管支路。

上述方案中，所述读支路还包括：第二负载 R2，第五 NMOS 管 MN5、
15 第六 NMOS 管 MN6、第零 PMOS 管 MP0；

所述 MP4 通过第三连接点 C 与所述 MP0 相连；

所述 MP4 与所述 R2 相连，所述 R2 还与所述 MP0 相连；

所述 MN6 通过所述 C 与所述 MP0 相连。

本发明实施例的一种实现高压读写电源的控制方法，所述方法包括：

20 写支路上，在写操作时根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压，且连通到所述控制装置中的电源总线以作为所述控制装置输出的写操作高压电源；

读支路上，在读操作时根据侦测的控制信号切换输出电压为符合第二预设条件的内部常规电压，且连通到所述控制装置中的电源总线以作为所述
25 述控制装置输出的读操作低压电源。

上述方案中，所述写支路与所述读支路采用背靠背模式的结构；

所述写支路与所述读支路以分时输出方式，分时输出所述写操作高压电源或读操作低压电源。

上述方案中，所述方法还包括：

- 5 执行所述写操作前提前给出写电源使能信号 vpp_en ，通过所述 vpp_en 开启所述写支路。

上述方案中，所述通过所述 vpp_en 开启所述写支路，包括：

- 通过所述 vpp_en 将第四 NMOS 管 MN4 管打开，电流 $I1$ 经第一负载 R1、所述 MN4 和第二 NMOS 管 MN2 到地，使得在第一连接点 A 与第二
10 连接点 v_a 之间形成相对的安全 VGS 电压；

所述 v_a 得到的电压值 V_{va} 比在所述 A 得到的电压值 V_A 要低，且在工艺规定的安全范围内，在所述 A 得到的电压值 V_A 与写电压 SW 相同；

通过所述相对的安全 VGS 电压打开第一 PMOS 管 MP1 和第二 PMOS 管 MP2，以将所述 SW 输出给所述控制装置中的电源总线 vdd_otp 。

- 15 上述方案中，所述方法还包括：通过所述 vpp_en 关断所述读支路。

上述方案中，所述通过所述 vpp_en 关断所述读支路，包括：

设置 vpp_en 为高以关掉 MP3 管，此时 $vpp\_enb=vref\_okb=0$ ，关掉第五 NMOS 管 MN5 和第六 NMOS 管 MN6；

- 采用所述相对的安全 VGS 电压导通第零 PMOS 管 MP0，此时
20 $V_c=vdd\_otp=SW$ ，关掉所述 MP0；

所述 MN5 和所述 MN6 采用高压管实现。

上述方案中，所述方法还包括：

第三 NMOS 管 MN3、所述 MN5、所述 MN6 在所述读操作时，需要打开第四 PMOS 管 MP4；

- 25 检测到在 POR 阶段需要读寄存器时，此时基准没有建立，没有电流产

生, $vref\_ok=0$;

$vref\_okb$ 为高电位将所述 MN5 打开, 将第三连接点 C 点拉低, 使读支路的所述 MP4 导通, 同时 vpp_en 为低, 将第三 PMOS 管 MP3 打开, 将所述控制装置的内部电源 psd_int 输出到所述 vdd_otp , 为所述控制装置在 POR
5 阶段提供的读电源。

上述方案中, 所述方法还包括:

检测到在工作阶段需要读寄存器, 此时基准已经建立, 给出 $vref\_ok$ 为高的信号, 此时所述 MN5 关断, 所述 MN6 打开;

所述 MN3 接收来自基准的流过 MN1 的电流并作为下拉电流, 通过所
10 述下拉电流将所述 C 拉低, 使所述读支路的所述 MP4 导通;

所述 MP3 在所述 vpp_en 为低时仍然导通, 由所述 MP3 和所述 MP4 形成读操作的开关管支路将所述 psd_int 输出到所述 vdd_otp , 为所述控制装置在工作阶段提供的读电源。

上述方案中, 所述方法还包括: 所述 MP0 与第二负载 R2 相连, 所述
15 MP4 与所述 R2 相连, 所述 MP4 还通过所述 C 与所述 MP0 相连;

针对所述 MP0 与所述 R2 相连的接法, 包括:

如果内部电源 psd_int 为高而 SW 为地电位, 此时 MP3 和 MP4 管打开, $V_{va}=V_A=vdd\_otp-V_T=psd\_int-V_T$, 其中, 所述 V_T 为所述 MP2 的体二极管的导通压差, V_{va} 会使 MP0 弱导通;

20 如果有电流流过所述 R2 和所述 MP0, 则经过 R2 的压降, MP0 的导通程度进一步的缩小, 直至关掉, 而且 MP0 的衬底接 vdd_otp 增大 MP0 的衬底偏置效应, 增大 MP0 的阈值电压使得此时 MP0 更难导通, 使电路在此时不会出现通过 MP0 的漏电流。

本发明实施例的一种实现高压读写电源的控制装置包括写支路和读支
25 路, 所述写支路配置为在写操作时, 根据侦测的控制信号切换输出电压为

外部复用管脚 PIN 输入的符合第一预设条件的高电压，且连通到所述控制装置中的电源总线 vdd_otp，以作为所述控制装置输出的写操作高压电源；读支路，配置为在读操作时，根据侦测的控制信号切换输出电压为符合第二预设条件的内部常规电压，且连通到所述 vdd_otp，以作为所述控制装置

5 输出的读操作低压电源。

采用本发明实施例，通过写支路和读支路分别实现输出高电压和低电压，从而能在一个可擦除存储器的芯片上实现读操作或写操作时提供不同的电源。

附图说明

10 图 1 为应用本发明实施例一应用场景的装置实例的结构示意图。

具体实施方式

下面结合附图对技术方案的实施作进一步的详细描述。

本发明实施例的一种实现高压读写电源的控制装置，所述装置包括：

写支路，配置为在写操作时，根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压，比如 7V，且连通到所述控制装置中的电源总线 vdd_otp，以作为所述控制装置输出的写操作高压电源；读支路，配置为在读操作时，根据侦测的控制信号切换输出电压为符合第二预设条件的内部常规电压，比如 5V 且连通到所述 vdd_otp，以作为所述控制装置输出的读操作低压电源。

15

20 在本发明实施例一实施方式中，所述写支路与所述读支路采用背靠背模式的结构；所述写支路与所述读支路以分时输出方式，分时输出所述写操作高压电源或读操作低压电源。

在本发明实施例一实施方式中，所述写支路包括：第一 PMOS 管 MP1 和第二 PMOS 管 MP2；

由所述 MP1 和所述 MP2 形成写操作的开关管支路。

在本发明实施例一实施方式中，所述写支路还包括：第一负载 R1，第二 NMOS 管 MN2、第四 NMOS 管 MN4；所述 R1 通过第一连接点 A 与所述 MP1 相连，所述 A 通过所述 MP2 与所述电源总线 vdd_otp 相连；所述 R1 通过第二连接点 va 与所述 MN4 相连，所述 MN4 与所述 MN2 相连；由所述 R1、所述 MN2、所述 MN4 提供的写操作控制，形成写操作高压电源的电源轨。

在本发明实施例一实施方式中，所述装置还包括：第一 NMOS 管 MN1、第三 NMOS 管 MN3；所述 MN1 与所述 MN2 相连；在所述 MN4 作用有写电源使能信号 vpp_en 的情况下，在所述 A 与所述 va 之间形成安全的 VGS 电压，使得在所述 va 得到的电压值 V_{va} 比在所述 A 得到的电压值 V_A 要低，且在工艺规定的安全范围内，在所述 A 得到的电压值 V_A 与写电压 SW 相同；通过所述安全的 VGS 电压来控制所述写支路中所述 MP1 和所述 MP2 的导通和关断，以控制写支路的开启与关断。

在本发明实施例一实施方式中，所述读支路包括：第三 PMOS 管 MP3 和第四 PMOS 管 MP4；由所述 MP3 和所述 MP4 形成读操作的开关管支路。

在本发明实施例一实施方式中，所述读支路还包括：第二负载 R2，第五 NMOS 管 MN5、第六 NMOS 管 MN6、第零 PMOS 管 MP0；所述 MP4 通过第三连接点 C 与所述 MP0 相连；所述 MP4 与所述 R2 相连，所述 R2 还与所述 MP0 相连；所述 MN6 通过所述 C 与所述 MP0 相连。

本发明实施例的一种实现高压读写电源的控制方法，所述方法包括：

写支路上，在写操作时根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压，且连通到所述控制装置中的电源总线以作为所述控制装置输出的写操作高压电源；

读支路上，在读操作时根据侦测的控制信号切换输出电压为符合第二

预设条件的内部常规电压，且连通到所述控制装置中的电源总线以作为所述控制装置输出的读操作低压电源。

在本发明实施例一实施方式中，所述写支路与所述读支路采用背靠背模式的结构；所述写支路与所述读支路以分时输出方式，分时输出所述写
5 操作高压电源或读操作低压电源。

在本发明实施例一实施方式中，所述方法还包括：

执行所述写操作前提前给出写电源使能信号 vpp_en ，通过所述 vpp_en 开启所述写支路。

在本发明实施例一实施方式中，所述通过所述 vpp_en 开启所述写支路，
10 包括：

通过所述 vpp_en 将第四 NMOS 管 MN4 管打开，电流 I_1 经第一负载 R_1 、所述 MN4 和第二 NMOS 管 MN2 到地，使得在第一连接点 A 与第二连接点 v_a 之间形成安全的 VGS 电压；

所述 v_a 得到的电压值 V_{va} 比在所述 A 得到的电压值 V_A 要低，且在工
15 艺规定的安全范围内，在所述 A 得到的电压值 V_A 与写电压 SW 相同；

通过所述相对的安全 VGS 电压打开第一 PMOS 管 MP1 和第二 PMOS 管 MP2，以将所述 SW 输出给所述控制装置中的电源总线 vdd_otp 。

在本发明实施例一实施方式中，所述方法还包括：通过所述 vpp_en 关断所述读支路。

在本发明实施例一实施方式中，所述通过所述 vpp_en 关断所述读支路，
20 包括：

设置 vpp_en 为高以关掉 MP3 管，此时 $vpp\_enb=vref\_okb=0$ ，关掉第五 NMOS 管 MN5 和第六 NMOS 管 MN6；

采用所述相对的安全 VGS 电压导通第零 PMOS 管 MP0，此时
25 $V_c=vdd\_otp=SW$ ，关掉所述 MP0；

所述 MN5 和所述 MN6 采用高压管实现。

在本发明实施例一实施方式中，所述方法还包括：

第三 NMOS 管 MN3、所述 MN5、所述 MN6 在所述读操作时，需要打开第四 PMOS 管 MP4；

5 检测到在 POR 阶段需要读寄存器时，此时基准没有建立，没有电流产生，vref_ok=0；

vref_okb 为高电位将所述 MN5 打开，将第三连接点 C 点拉低，使读支路的所述 MP4 导通，同时 vpp_en 为低，将第三 PMOS 管 MP3 打开，将所述控制装置的内部电源 psd_int 输出到所述 vdd_otp，为所述控制装置在 POR
10 阶段提供的读电源。

在本发明实施例一实施方式中，所述方法还包括：

检测到在工作阶段需要读寄存器，此时基准已经建立，给出 vref_ok 为高的信号，此时所述 MN5 关断，所述 MN6 打开；

所述 MN3 接收来自基准的流过 MN1 的电流并作为下拉电流，通过所述下拉电流将所述 C 拉低，使所述读支路的所述 MP4 导通；
15

所述 MP3 在所述 vpp_en 为低时仍然导通，由所述 MP3 和所述 MP4 形成读操作的开关管支路将所述 psd_int 输出到所述 vdd_otp，为所述控制装置在工作阶段提供的读电源。

在本发明实施例一实施方式中，就 R2 和 MP0 的接法而言，如果内部
20 电源 psd_int 为高而 SW 为地电位，此时 MP3 和 MP4 管打开， $V_{va}=V_A=v_{dd\_otp}-V_T=psd\_int-V_T$ ，这里 V_T 是 MP2 的体二极管的导通压差， V_{va} 会使 MP0 弱导通，如果有电流流过 R2 和 MP0，则经过 R2 的压降，MP0 的导通程度进一步的缩小，直至关掉。而且 MP0 的衬底接 vdd_otp 增大 MP0 的衬底偏置效应，增大 MP0 的阈值电压使得此时 MP0 更难导通，
25 使电路在此时不会出现通过 MP0 的漏电流。

以一个现实应用场景为例对本发明实施例阐述如下：

本应用场景涉及电可擦除存储器范畴的芯片及类似的数模混合芯片中在电源管理方面的控制技术，对例如 EPROM 或 EEPROM 等模块在进行读写操作时需要采用不同电压电源的供电问题进行解决。

5 由于电可擦除存储器单元通常多作为 IP 核，集成到集成电路芯片内部，其电源总线通过芯片 PIN 接到外部来提供电可擦除存储器单元的读写电源。这种方法在 ASIC 设计中由于芯片 PIN 较多可以提供单独的电源 PIN，而在电源管理等数模混合芯片中，为了减少芯片 PIN 的数量，通常将电可擦除存储器单元的读电源选择为芯片的工作电源，其写电源通常采用复用引脚
10 或称为管脚（PIN）输入，这样可以减少所需的专用 PAD 来引入读写电源，增加芯片一个 PAD，在芯片的 banding、封装等环节会增加芯片的成本，使芯片的竞争力下降。这里需要指出的是，PIN 是从集成电路（芯片）内部电路引出与外围电路的接线，所有的引脚就构成了这块芯片的接口功能，PIN 芯片封装好后的管脚，是用户看到的管脚；而 PAD 是硅片的管脚，是封装
15 在芯片内部的，用户看不到的管脚。

如此一来，综合考虑，为了满足电可擦除存储器单元读写电源的要求，即：需要对实现读操作或写操作时提供不同的电源，还要避免增加芯片成本，本应用场景采用本发明实施例，是用于解决可擦除存储器高压读写电源设计的方案，可以根据控制信号来切换输出电压为内部电源（5v）或是
20 外部复用 PIN 角输入的高压电源。

本应用场景中，为了实现满足上述电可擦除存储器单元读写电源的要求的电源设计方案，从这几个方面进行考虑：1）可擦除存储器单元，其内部有读操作的低电压和写操作的高电压，为了实现读写电源的分时输出，电路需要采用两路开关来分时输出读电源或是写电源，而为了避免两个电
25 源间的漏电和干扰，需要考虑每路电源开关的实现方式；2）写电源为高压

电源，而在现在的工艺下高压器件的耐压端在 D 和 S 端，而 VGS 的耐压通常为工艺的常规电压，这就需要方案提供相对电源轨，产生相对的“地电位”来控制读写支路的开启与关断；3）可擦除存储器单元，其在写操作时需要高电压输出；在读操作时需要低电压输出，这就需要方案提供控制逻辑的控制机理，控制电路在读写状态分别输出不同的操作电压到可擦除存储器单元的电源总线。

图 1 为应用本发明实施例一应用场景的装置实例的结构示意图，结合图 1 所述，基于上述三个方面的考虑，本发明的具体实施方案包括如下内容：

一、为了避免两个电源间的漏电和干扰，对于读支路和写支路来说，每路电源开关的实现采用了背靠背的开关管支路。MP1 和 MP2 形成写操作的开关管支路，而 MP3 和 MP4 形成读操作的开关管支路。这样两路背靠背实现的开关可以避免两个电源之间的漏电。这里，读支路和写支路通过图 1 中的 d-d 粗点划线来划分，整个芯片中位于 d-d 粗点划线左边的部分为写支路，整个芯片中位于 d-d 粗点划线右边的部分为读支路。

二、本方案的电源轨提供电路采用了 $V_{WRITE} - I \cdot R$ 的方法得到高压写电源的相对“地电位”，从而安全的控制高压写支路的关断和开启。图 1 中，R1、MN2、MN4 提供写操作的控制，其产生了写高压电源的电源轨。具体产生方法是：

当芯片执行写操作前会提前给出写电源使能信号 vpp_en ， vpp_en 将 MN4 管打开，电流 I_1 经 R1、MN4 和 MN2 到地。这样 va 点的电压为 $V_{va} = V_A - I_1 \cdot R_1$ ，设置 $I_1 \cdot R_1 = 5V$ ，SW 的电压为可擦除存储器高压写电压 7V，这样 va 点即得到一个比 A 点低 5V 的“相对地”电位。这样，写电压 SW 和“相对地”的绝对 5V 压差可以安全的打开 MP1 和 MP2 管将写电源 SW 输出给可擦除存储器的电源 vdd_otp 。

本发明实施例一实施方式中，写电源使能信号也需要关断读支路，具体操作是 vpp_en 为高关掉 MP3 管，而此时 $vpp\_enb=vref\_okb=0$ ，关掉 MN5 和 MN6，同时 V_{va} 的“相对地”电位使得 MP0 管导通使得 $V_c=vdd\_otp=SW$ 关掉 MP0 管，因而此时的 V_c 为高压写电源，需要 MN5 和 MN6 采用高压管实现。

MN3、MN5、MN6 在读操作是打开 MP4 的。如果在芯片 POR 阶段需要读寄存器，由于基准没有建立，没有电流产生， $vref\_ok=0$ ， $vref\_okb$ 为高电位将 MN5 打开将 C 点拉低使读支路的开关管 MP4 导通，同时 vpp_en 为低将 MP3 管打开将内部电源 psd_int 输出到 vdd_otp ，为可擦除存储器单元在芯片的 POR 阶段提供读电源。

如果在芯片工作阶段需要读寄存器，此时，芯片里面基准已经建立给出 $vref\_ok$ 为高的信号，此时 MN5 关断，MN6 打开，同时 MN3 镜像来自基准的流过 MN1 的电流，此下拉电流将 C 点拉低使读支路的开关管 MP4 导通，MP3 管由于 vpp_en 为低仍然导通，MP3 和 MP4 组成的读开关支路将内部电源 psd_int 输出到 vdd_otp ，为可擦除存储器单元在芯片工作阶段提供读电源。

这里电阻 R2 和 MP0 的接法主要考虑如下情形，如果内部电源 psd_int 为高而 SW 为地电位，此时 MP3 和 MP4 管打开， $V_{va}=V_A=vdd\_otp-V_T=psd\_int-V_T$ ，这里 V_T 是 MP2 的体二极管的导通压差， V_{va} 会使 MP0 弱导通，如果有电流流过 R2 和 MP0，则经过 R2 的压降，MP0 的导通程度进一步的缩小，直至关掉。而且 MP0 的衬底接 vdd_otp 增大 MP0 的衬底偏置效应，增大 MP0 的阈值电压使得此时 MP0 更难导通，使电路在此时不会出现通过 MP0 的漏电流。

本应用场景采用本发明实施例，具备以下优势：

1、本应用场景采用本发明实施例所实现的电路结构简单，芯片面积小，

所用器件均采用 PDK 的 basic 层, 不会增加多余的 mask 层减小芯片的整体成本。

2、本应用场景采用本发明实施例所采取电源切换控制逻辑简单, 控制机理清晰, 可以安全可靠的控制读写电源的切换。

5 3、本应用场景采用本发明实施例, 在 POR 阶段依靠 MN5 下拉 C 点可以实现此时的零功耗, 可以集成到对芯片 standby 功耗要求苛刻的电源管理, 开关充电及类似的数模混合芯片中。

4、本应用场景采用本发明实施例所提出的电源轨实现方式简单可靠, 可以方便的控制高压支路的关断和开启操作, 使器件工作在安全可靠的电压范围内。
10

5、本应用场景采用本发明实施例提出的背靠背的实现方案可以实现在不同的读、写电压下两个电源的相对独立不会出现电流倒灌等现象。

6、本应用场景采用本发明实施例, 对 R2 和 MP0 的巧妙接法可以避免在 psd_int 为高, SW 为地的情形下通过 MP0 的漏电。

15 本发明实施例所述集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用, 也可以存储在一个计算机可读取存储介质中。基于这样的理解, 本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来, 该计算机软件产品存储在一个存储介质中, 包括若干指令用以使得一台计算机设备 (可以是个人计算机、服务器、或者网络设备等) 执行本发明各个实施例所述方法的全部或部分。而前述的存储介质包括: U 盘、移动硬盘、只读存储器 (ROM, Read-Only Memory)、随机存取存储器 (RAM, Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。这样, 本发明实施例不限制于任何特定的硬件和软件结合。
20

25 相应的, 本发明实施例还提供一种计算机存储介质, 其中存储有计算

机程序，该计算机程序用于执行本发明实施例的实现高压读写电源的控制方法。

以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

5 工业实用性

采用本发明实施例，将写支路配置为在写操作时，根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压，且连通到所述控制装置中的电源总线 vdd_otp，以作为所述控制装置输出的写操作高压电源；将读支路配置为在读操作时，根据侦测的控制信号切换
10 输出电压为符合第二预设条件的内部常规电压，且连通到所述 vdd_otp，以作为所述控制装置输出的读操作低压电源。通过写支路和读支路分别实现输出高电压和低电压，从而能在一个可擦除存储器的芯片上实现读操作或写操作时提供不同的电源。

权利要求书

1、一种实现高压读写电源的控制装置，所述装置包括：

写支路，配置为在写操作时，根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压，且连通到所述控制装置中的电源总线 vdd_otp，以作为所述控制装置输出的写操作高压电源；

读支路，配置为在读操作时，根据侦测的控制信号切换输出电压为符合第二预设条件的内部常规电压，且连通到所述 vdd_otp，以作为所述控制装置输出的读操作低压电源。

2、根据权利要求 1 所述的装置，其中，所述写支路与所述读支路采用背靠背模式的结构；

所述写支路与所述读支路以分时输出方式，分时输出所述写操作高压电源或读操作低压电源。

3、根据权利要求 2 所述的装置，其中，所述写支路包括：第一 PMOS 管 MP1 和第二 PMOS 管 MP2；

由所述 MP1 和所述 MP2 形成写操作的开关管支路。

4、根据权利要求 3 所述的装置，其中，所述写支路还包括：第一负载 R1，第二 NMOS 管 MN2、第四 NMOS 管 MN4；

所述 R1 通过第一连接点 A 与所述 MP1 相连，所述 A 通过所述 MP2 与所述电源总线 vdd_otp 相连；

所述 R1 通过第二连接点 va 与所述 MN4 相连，所述 MN4 与所述 MN2 相连；

由所述 R1、所述 MN2、所述 MN4 提供的写操作控制，形成写操作高压电源的电源轨。

5、根据权利要求 4 所述的装置，其中，所述装置还包括：第一 NMOS 管 MN1、第三 NMOS 管 MN3；

所述 MN1 与所述 MN2 相连;

在所述 MN4 作用有写电源使能信号 v_{pp_en} 的情况下, 在所述 A 与所述 v_a 之间形成相对的安全 VGS 电压, 使得在所述 v_a 得到的电压值 V_{va} 比在所述 A 得到的电压值 V_A 要低, 且在工艺规定的安全范围内, 在所述 A 得到的电压值 V_A 与写电压 SW 相同;

通过所述相对的安全 VGS 电压来控制所述写支路中所述 MP1 和所述 MP2 的导通和关断, 以控制写支路的开启与关断。

6、根据权利要求 2 所述的装置, 其中, 所述读支路包括: 第三 PMOS 管 MP3 和第四 PMOS 管 MP4;

由所述 MP3 和所述 MP4 形成读操作的开关管支路。

7、根据权利要求 6 所述的装置, 其中, 所述读支路还包括: 第二负载 R2, 第五 NMOS 管 MN5、第六 NMOS 管 MN6、第零 PMOS 管 MP0;

所述 MP4 通过第三连接点 C 与所述 MP0 相连;

所述 MP4 与所述 R2 相连, 所述 R2 还与所述 MP0 相连;

所述 MN6 通过所述 C 与所述 MP0 相连。

8、一种实现高压读写电源的控制方法, 所述方法包括:

写支路上, 在写操作时根据侦测的控制信号切换输出电压为外部复用管脚 PIN 输入的符合第一预设条件的高电压, 且连通到所述控制装置中的电源总线以作为所述控制装置输出的写操作高压电源;

读支路上, 在读操作时根据侦测的控制信号切换输出电压为符合第二预设条件的内部常规电压, 且连通到所述控制装置中的电源总线以作为所述控制装置输出的读操作低压电源。

9、根据权利要求 8 所述的方法, 其中, 所述写支路与所述读支路采用背靠背模式的结构;

所述写支路与所述读支路以分时输出方式, 分时输出所述写操作高压

电源或读操作低压电源。

10、根据权利要求 9 所述的方法，其中，所述方法还包括：

执行所述写操作前提前给出写电源使能信号 vpp_en ，通过所述 vpp_en 开启所述写支路。

5 11、根据权利要求 10 所述的方法，其中，所述通过所述 vpp_en 开启所述写支路，包括：

通过所述 vpp_en 将第四 NMOS 管 MN4 管打开，电流 I1 经第一负载 R1、所述 MN4 和第二 NMOS 管 MN2 到地，使得在第一连接点 A 与第二连接点 va 之间形成相对的安全 VGS 电压；

10 所述 va 得到的电压值 V_{va} 比在所述 A 得到的电压值 V_A 要低，且在工艺规定的安全范围内，在所述 A 得到的电压值 V_A 与写电压 SW 相同；

通过所述相对的安全 VGS 电压打开第一 PMOS 管 MP1 和第二 PMOS 管 MP2，以将所述 SW 输出给所述控制装置中的电源总线 vdd_otp 。

15 12、根据权利要求 11 所述的方法，其中，所述方法还包括：通过所述 vpp_en 关断所述读支路。

13、根据权利要求 12 所述的方法，其中，所述通过所述 vpp_en 关断所述读支路，包括：

设置 vpp_en 为高以关掉 MP3 管，此时 $vpp\_enb=vref\_okb=0$ ，关掉第五 NMOS 管 MN5 和第六 NMOS 管 MN6；

20 采用所述相对的安全 VGS 电压导通第零 PMOS 管 MP0，此时 $V_c=vdd\_otp=SW$ ，关掉所述 MP0；

所述 MN5 和所述 MN6 采用高压管实现。

14、根据权利要求 13 所述的方法，其中，所述方法还包括：

25 第三 NMOS 管 MN3、所述 MN5、所述 MN6 在所述读操作时，需要打开第四 PMOS 管 MP4；

检测到在 POR 阶段需要读寄存器时, 此时基准没有建立, 没有电流产生, $vref\_ok=0$;

$vref\_okb$ 为高电位将所述 MN5 打开, 将第三连接点 C 点拉低, 使读支路的所述 MP4 导通, 同时 vpp_en 为低, 将第三 PMOS 管 MP3 打开, 将所述控制装置的内部电源 psd_int 输出到所述 vdd_otp , 为所述控制装置在 POR 阶段提供的读电源。

15、根据权利要求 14 所述的方法, 其中, 所述方法还包括:

检测到在工作阶段需要读寄存器, 此时基准已经建立, 给出 $vref\_ok$ 为高的信号, 此时所述 MN5 关断, 所述 MN6 打开;

10 所述 MN3 接收来自基准的流过 MN1 的电流并作为下拉电流, 通过所述下拉电流将所述 C 拉低, 使所述读支路的所述 MP4 导通;

所述 MP3 在所述 vpp_en 为低时仍然导通, 由所述 MP3 和所述 MP4 形成读操作的开关管支路将所述 psd_int 输出到所述 vdd_otp , 为所述控制装置在工作阶段提供的读电源。

15 16、根据权利要求 15 所述的方法, 其中, 所述方法还包括: 所述 MP0 与第二负载 R2 相连, 所述 MP4 与所述 R2 相连, 所述 MP4 还通过所述 C 与所述 MP0 相连;

针对所述 MP0 与所述 R2 相连的接法, 包括:

20 如果内部电源 psd_int 为高而 SW 为地电位, 此时 MP3 和 MP4 管打开, $V_{va}=V_A=vdd\_otp-V_T=psd\_int-V_T$, 其中, 所述 V_T 为所述 MP2 的体二极管的导通压差, V_{va} 会使 MP0 弱导通;

如果有电流流过所述 R2 和所述 MP0, 则经过 R2 的压降, MP0 的导通程度进一步的缩小, 直至关掉, 而且 MP0 的衬底接 vdd_otp 增大 MP0 的衬底偏置效应, 增大 MP0 的阈值电压使得此时 MP0 更难导通, 使电路在此时不会出现通过 MP0 的漏电流。

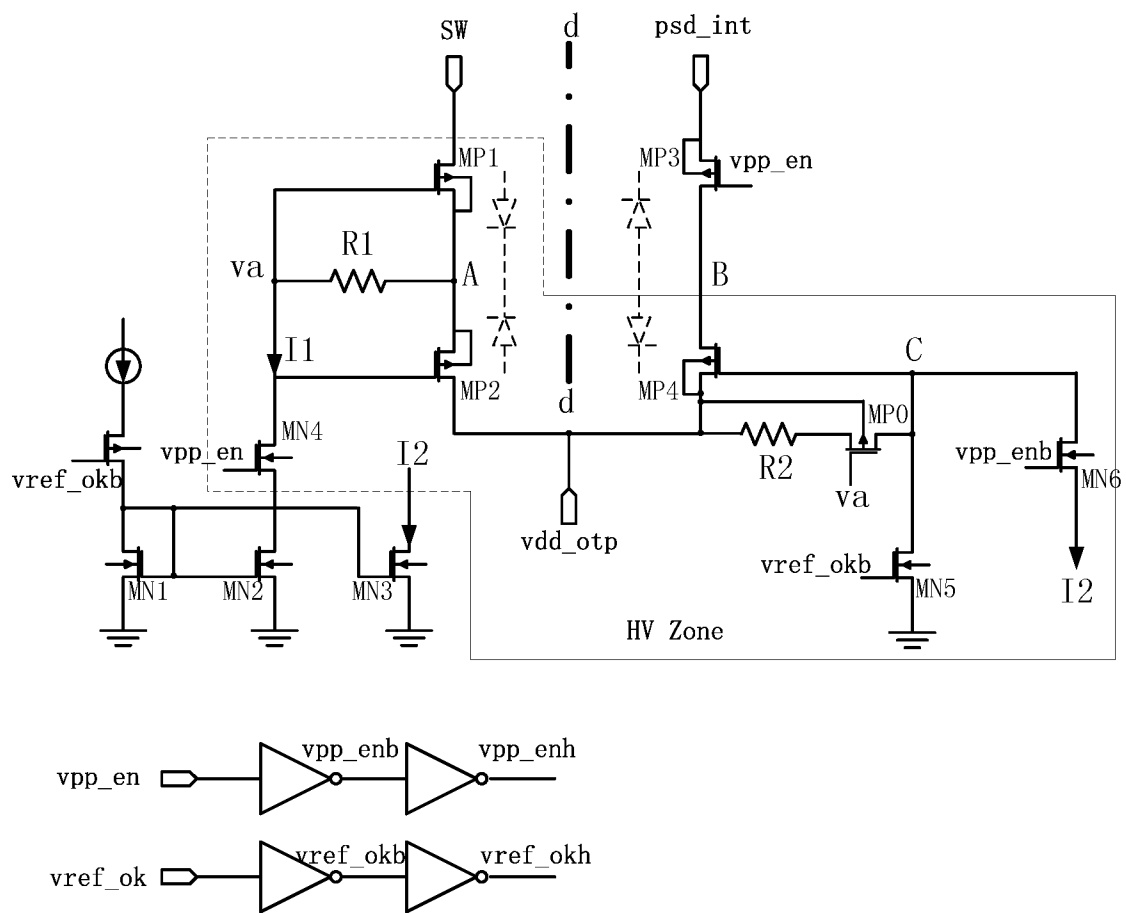


图 1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/080179

A. CLASSIFICATION OF SUBJECT MATTER

G11C 7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE, GOOGLE: EEPROM, EPROM, inside, inner, outside, exterior, voltage, high, low, change, switch, memory, write, read

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102110483 A (SHANGHAI HUAHONG INTEGRATED CIRCUIT CO., LTD.), 29 June 2011 (29.06.2011), description, paragraphs [0004], [0037] and [0042], and figures 1-2	1-3, 6, 8-10
A	CN 103021458 A (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY), 03 April 2013 (03.04.2013), the whole document	1-16
A	CN 102243890 A (HANNSTAR DISPLAY CORPORATION), 16 November 2011 (16.11.2011), the whole document	1-16
A	KR 20050073205 A (SAMSUNG ELECTRONICS CO., LTD.), 13 July 2005 (13.07.2005), the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 July 2016 (02.07.2016)	Date of mailing of the international search report 21 July 2016 (21.07.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHOU, Zheng Telephone No.: (86-10) 01062413664

International application No.
PCT/CN2016/080179

Form PCT/ISA/210 (patent family annex) (July 2009)

A. 主题的分类 G11C 7/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, EPDOC, CNKI, IEEE, GOOGLE; EEPROM, EPROM, inside, inner, outside, exterior, voltage, high, low, change, switch, 内, 外, 电压, 存储器, 写, 读, 切换, 变换, 改变																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 102110483 A (上海华虹集成电路有限责任公司) 2011年 6月 29日 (2011 - 06 - 29) 说明书第[0004]、[0037]、[0042]段、图1-2</td> <td>1-3、6、8-10</td> </tr> <tr> <td>A</td> <td>CN 103021458 A (华中科技大学) 2013年 4月 3日 (2013 - 04 - 03) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 102243890 A (瀚宇彩晶股份有限公司) 2011年 11月 16日 (2011 - 11 - 16) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>KR 20050073205 A (SAMSUNG ELECTRONICS CO., LTD.) 2005年 7月 13日 (2005 - 07 - 13) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 102110483 A (上海华虹集成电路有限责任公司) 2011年 6月 29日 (2011 - 06 - 29) 说明书第[0004]、[0037]、[0042]段、图1-2	1-3、6、8-10	A	CN 103021458 A (华中科技大学) 2013年 4月 3日 (2013 - 04 - 03) 全文	1-16	A	CN 102243890 A (瀚宇彩晶股份有限公司) 2011年 11月 16日 (2011 - 11 - 16) 全文	1-16	A	KR 20050073205 A (SAMSUNG ELECTRONICS CO., LTD.) 2005年 7月 13日 (2005 - 07 - 13) 全文	1-16
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 102110483 A (上海华虹集成电路有限责任公司) 2011年 6月 29日 (2011 - 06 - 29) 说明书第[0004]、[0037]、[0042]段、图1-2	1-3、6、8-10															
A	CN 103021458 A (华中科技大学) 2013年 4月 3日 (2013 - 04 - 03) 全文	1-16															
A	CN 102243890 A (瀚宇彩晶股份有限公司) 2011年 11月 16日 (2011 - 11 - 16) 全文	1-16															
A	KR 20050073205 A (SAMSUNG ELECTRONICS CO., LTD.) 2005年 7月 13日 (2005 - 07 - 13) 全文	1-16															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2016年 7月 2日		国际检索报告邮寄日期 2016年 7月 21日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 周正 电话号码 (86-10) 01062413664															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/080179

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	102110483	A	2011年 6月 29日	无	
CN	103021458	A	2013年 4月 3日	无	
CN	102243890	A	2011年 11月 16日	无	
KR	20050073205	A	2005年 7月 13日	无	