



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0042465
(43) 공개일자 2016년04월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) C23C 14/08 (2006.01)
H01L 21/02 (2006.01) H01L 29/04 (2006.01)
H01L 29/24 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
C23C 14/086 (2013.01)
(21) 출원번호 10-2016-7008650(분할)
(22) 출원일자(국제) 2013년10월30일
심사청구일자 2016년04월01일
(62) 원출원 특허 10-2015-7012004
원출원일자(국제) 2013년10월30일
(85) 번역문제출일자 2016년04월01일
(86) 국제출원번호 PCT/JP2013/080062
(87) 국제공개번호 WO 2014/073585
국제공개일자 2014년05월15일
(30) 우선권주장
JP-P-2012-245992 2012년11월08일 일본(JP)
(뒷면에 계속)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
다카하시 마사히로
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
히로하시 다쿠야
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
양영준, 박충범

전체 청구항 수 : 총 11 항

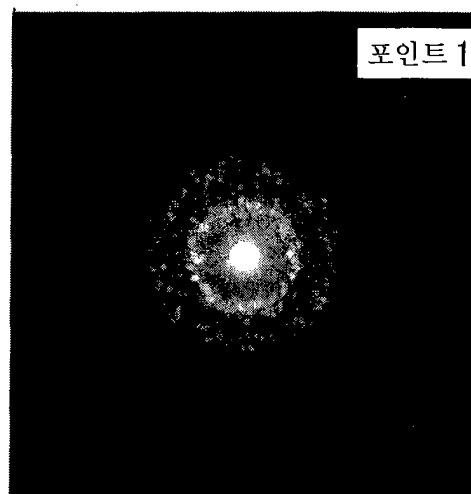
(54) 발명의 명칭 반도체 장치

(57) 요약

결정부를 포함하고 매우 안정한 물성을 갖는 금속 산화물 막이 제공된다. 결정부의 크기는 10 nm 이하이고, 이는 측정 범위가 5 nmφ 이상 10 nmφ 이하인 경우 금속 산화물 막의 단면의 나노빔 전자 회절 패턴에서 원주상으로 배치된 스폿의 관찰을 가능하게 한다.

대표도

도 1의 (B)



(52) CPC특허분류

H01L 21/0237 (2013.01)
H01L 21/02422 (2013.01)
H01L 21/02554 (2013.01)
H01L 21/02565 (2013.01)
H01L 21/02631 (2013.01)
H01L 29/04 (2013.01)
H01L 29/24 (2013.01)
H01L 29/66969 (2013.01)
H01L 29/78693 (2013.01)

(72) 발명자

츠부쿠 마사시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

이시하라 노리타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

오오타 마사시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2013-016242 2013년01월30일 일본(JP)
JP-P-2013-056768 2013년03월19일 일본(JP)

명세서

청구범위

청구항 1

게이트 전극과,

절연막을 개재하여 상기 게이트 전극과 중첩되는 영역을 포함하는 산화물 반도체 막과,

상기 게이트 전극 위, 상기 절연막 위, 및 상기 산화물 반도체 막 위의 산화물 절연막을 포함하고,

상기 산화물 반도체 막은 인듐, 갈륨 및 아연을 포함하고,

상기 산화물 반도체 막은 결정부를 포함하고,

상기 결정부의 크기는 10 nm 이하이고,

상기 산화물 반도체 막은 X선 회절(XRD) 측정에서 상기 결정부에 기인하는 피크가 관찰되지 않는 영역을 포함하고,

상기 산화물 절연막은 열 탈착 분광법(TDS)에서 산소 원자로 환산된 산소 방출량이 1.0×10^{18} 원자/cm³ 이상이고,

상기 산화물 반도체 막에 1 nmφ로 수렴시킨 전자 빔을 조사하기 전의 나노빔 전자 회절 패턴과 상기 산화물 반도체 막에 상기 전자 빔을 1분 동안 조사한 후의 나노빔 전자 회절 패턴이 같은 형태인 것을 특징으로 하는, 반도체 장치.

청구항 2

게이트 전극과,

절연막을 개재하여 상기 게이트 전극과 중첩되는 영역을 포함하는 산화물 반도체 막과,

상기 게이트 전극 위, 상기 절연막 위, 및 상기 산화물 반도체 막 위의 산화물 절연막을 포함하고,

상기 산화물 반도체 막은 인듐, 갈륨 및 아연을 포함하고,

상기 산화물 반도체 막은 결정부를 포함하고,

상기 결정부의 크기는 10 nm 이하이고,

상기 산화물 반도체 막은 XRD 측정에서 상기 결정부에 기인하는 피크가 관찰되지 않는 영역을 포함하고,

상기 산화물 반도체 막은 나노빔 전자 회절 패턴에서 원주상으로 복수의 스폿이 관찰되는 영역을 포함하고,

상기 산화물 절연막은 열 탈착 분광법에서 산소 원자로 환산된 산소 방출량이 1.0×10^{18} 원자/cm³ 이상이고,

상기 산화물 반도체 막에 1 nmφ로 수렴시킨 전자 빔을 조사하기 전의 나노빔 전자 회절 패턴과 상기 산화물 반도체 막에 상기 전자 빔을 1분 동안 조사한 후의 나노빔 전자 회절 패턴이 같은 형태인 것을 특징으로 하는, 반도체 장치.

청구항 3

게이트 전극과,

절연막을 개재하여 상기 게이트 전극과 중첩되는 영역을 포함하는 산화물 반도체 막과,

상기 게이트 전극 위, 상기 절연막 위, 및 상기 산화물 반도체 막 위의 산화물 절연막을 포함하고,

상기 산화물 반도체 막은 인듐, 갈륨 및 아연을 포함하고,

상기 산화물 반도체 막은 결정부를 포함하고,

상기 결정부의 크기는 10 nm 이하이고,

상기 산화물 반도체 막은 XRD 측정에서 상기 결정부에 기인하는 피크가 관찰되지 않는 영역을 포함하고,

상기 산화물 반도체 막은 나노빔 전자 회절 패턴에서 원주상으로 복수의 스폿이 관찰되는 영역을 포함하고,

상기 산화물 반도체 막은 제한 시야 전자 회절 패턴(selected-area electron diffraction pattern)에서 할로 패턴이 관찰되는 영역을 포함하고,

상기 산화물 절연막은 열 탈착 분광법에서 산소 원자로 환산된 산소 방출량이 1.0×10^{18} 원자/cm³ 이상이고,

상기 산화물 반도체 막에 1 nmφ로 수렴시킨 전자 빔을 조사하기 전의 나노빔 전자 회절 패턴과 상기 산화물 반도체 막에 상기 전자 빔을 1분 동안 조사한 후의 나노빔 전자 회절 패턴이 같은 형태인 것을 특징으로 하는, 반도체 장치.

청구항 4

게이트 전극과,

절연막을 개재하여 상기 게이트 전극과 중첩되는 영역을 포함하는 산화물 반도체 막을 포함하고,

상기 산화물 반도체 막은 인듐, 갈륨 및 아연을 포함하고,

상기 산화물 반도체 막은 결정부를 포함하고,

상기 결정부의 크기는 10 nm 이하이고,

상기 산화물 반도체 막은 XRD 측정에서 상기 결정부에 기인하는 피크가 관찰되지 않는 영역을 포함하고,

상기 산화물 반도체 막에 1 nmφ로 수렴시킨 전자 빔을 조사하기 전의 나노빔 전자 회절 패턴과 상기 산화물 반도체 막에 상기 전자 빔을 1분 동안 조사한 후의 나노빔 전자 회절 패턴이 같은 형태인 것을 특징으로 하는, 반도체 장치.

청구항 5

게이트 전극과,

절연막을 개재하여 상기 게이트 전극과 중첩되는 영역을 포함하는 산화물 반도체 막을 포함하고,

상기 산화물 반도체 막은 인듐, 갈륨 및 아연을 포함하고,

상기 산화물 반도체 막은 결정부를 포함하고,

상기 결정부의 크기는 10 nm 이하이고,

상기 산화물 반도체 막은 XRD 측정에서 상기 결정부에 기인하는 피크가 관찰되지 않는 영역을 포함하고,

상기 산화물 반도체 막은 나노빔 전자 회절 패턴에서 원주상으로 복수의 스폿이 관찰되는 영역을 포함하고,

상기 산화물 반도체 막에 1 nmφ로 수렴시킨 전자 빔을 조사하기 전의 나노빔 전자 회절 패턴과 상기 산화물 반도체 막에 상기 전자 빔을 1분 동안 조사한 후의 나노빔 전자 회절 패턴이 같은 형태인 것을 특징으로 하는, 반도체 장치.

청구항 6

게이트 전극과,

절연막을 개재하여 상기 게이트 전극과 중첩되는 영역을 포함하는 산화물 반도체 막을 포함하고,

상기 산화물 반도체 막은 인듐, 갈륨 및 아연을 포함하고,

상기 산화물 반도체 막은 결정부를 포함하고,

상기 결정부의 크기는 10 nm 이하이고,

상기 산화물 반도체 막은 XRD 측정에서 상기 결정부에 기인하는 피크가 관찰되지 않는 영역을 포함하고,

상기 산화물 반도체 막은 나노빔 전자 회절 패턴에서 원주상으로 복수의 스폿이 관찰되는 영역을 포함하고,

상기 산화물 반도체 막은 제한 시야 전자 회절 패턴에서 할로 패턴이 관찰되는 영역을 포함하고,

상기 산화물 반도체 막에 1 nm ϕ 로 수렴시킨 전자 빔을 조사하기 전의 나노빔 전자 회절 패턴과 상기 산화물 반도체 막에 상기 전자 빔을 1분 동안 조사한 후의 나노빔 전자 회절 패턴이 같은 형태인 것을 특징으로 하는, 반도체 장치.

청구항 7

제2항, 제3항, 제5항 및 제6항 중 어느 한 항에 있어서,

상기 나노빔 전자 회절 패턴의 측정 범위는 10 nm ϕ 이하인 것을 특징으로 하는, 반도체 장치.

청구항 8

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 결정부의 크기는 5 nm 이하인 것을 특징으로 하는, 반도체 장치.

청구항 9

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 결정부의 크기는 1 nm 이상인 것을 특징으로 하는, 반도체 장치.

청구항 10

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 XRD 측정은 면외(out-of-plane) 방법을 이용하는 것을 특징으로 하는, 반도체 장치.

청구항 11

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 산화물 반도체 막은 상기 절연막을 개재하여 상기 게이트 전극 위에 위치하는 것을 특징으로 하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명의 한 실시의 형태는, 예를 들어, 반도체 장치, 표시 장치, 발광 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다. 본 발명의 한 실시의 형태는 특히 금속 산화물 막 및 금속 산화물 막의 형성 방법에 관한 것이다. 또한, 본 발명의 한 실시의 형태는 금속 산화물 막을 포함하는 반도체 장치에 관한 것이다.

[0002] 본 명세서 등에서, 반도체 장치는, 반도체 특성을 이용하여 기능할 수 있는 임의의 장치를 지칭하고, 예를 들어, 전기-광학 장치, 반도체 회로, 및 전자 기기가 모두 반도체 장치임을 인지한다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 얇은 막을 사용하여 트랜지스터를 형성하는 기술이 주목받고 있다. 이러한 트랜지스터는 집적 회로(IC) 및 화상 표시 장치(또한 간단히 표시 장치로서 언급됨)와 같은 광범위한 전자 기기에 적용된다. 트랜지스터에 적용가능한 반도체 막으로서, 실리콘계 반도체 재료가 폭넓게 공지되어 있고; 또한, 또 다른 재료로서는 반도체 특성을 나타내는 금속 산화물(산화물 반도체)이 주목받고 있다.

[0004] 예를 들어, 특허 문헌 1에는, 산화물 반도체로서 In, Zn, Ga, Sn 등을 함유하는 비정질 산화물을 사용하여 트랜지스터를 제조하는 기술이 개시되어 있다.

[0005] [참고 문헌]

[0006] [특허 문헌]

[0007] [특허 문헌 1] 일본 특허 출원 공개 번호 2006-165529

발명의 내용

해결하려는 과제

[0008] 본 발명의 한 실시의 형태의 한 목적은, 결정부를 포함하는 금속 산화물 막을 제공하는 것이다.

[0009] 본 발명의 한 실시의 형태의 또 다른 목적은, 매우 안정한 물성을 갖는 금속 산화물 막을 제공하는 것이다.

[0010] 본 발명의 한 실시의 형태의 또 다른 목적은, 상기 금속 산화물 막을 포함하는 신뢰성 높은 반도체 장치를 제공하는 것이다.

[0011] 본 발명의 한 실시의 형태의 또 다른 목적은, 신규한 반도체 장치를 제공하는 것이다. 이들 목적의 기재는, 다른 목적의 존재를 배제하지 않음을 인지한다. 본 발명의 한 실시의 형태에서, 모든 목적을 달성할 필요는 없음을 인지한다. 다른 목적은 본 명세서, 도면, 청구범위 등의 기재로부터 명백할 것이며, 본 명세서, 도면, 청구범위 등의 기재로부터 다른 목적들이 도출될 수 있음을 인지한다.

과제의 해결 수단

[0012] 개시된 발명의 한 실시의 형태는, 거시적으로는 주기적 원자 배열이 나타나지 않는, 또는 거시적으로는 원자 배열에서 장거리 질서가 나타나지 않는 극미세 결정부를 포함하는 금속 산화물 막이다. 본 발명의 한 실시의 형태의 금속 산화물 막은 평면의 제한 시야 전자 회절 패턴(selected-area electron diffraction pattern)에서 비정질 상태를 나타내는 할로 패턴이 관찰되는 영역을 포함한다. 한편, 단면의 나노빔 전자 회절 패턴에서는, 할로 패턴이 관찰되지 않고, 특정 면으로 배향된 결정부를 나타내는 규칙성을 갖는 스폿과 상이한, 방향성이 없는 스폿이 관찰된다. 구체적으로, 개시된 발명의 한 실시의 형태는, 예를 들어, 임의의 하기 구성을 갖는 금속 산화물 막이다.

[0013] 본 발명의 한 실시의 형태는, 단면의 나노빔 전자 회절 패턴에서 원주상으로 분포된 복수의 스폿이 관찰되는 영역을 포함하는 금속 산화물 막이다.

[0014] 본 발명의 또 다른 실시의 형태는, 단면의 나노빔 전자 회절 패턴에서 원주상으로 분포된 복수의 스폿이 관찰되고, 평면의 제한 시야 전자 회절 패턴에서 할로 패턴이 관찰되는 영역을 포함하는 금속 산화물 막이다.

[0015] 상기에서, 제한 시야 전자 회절의 측정 범위는 바람직하게는 300 nm ϕ 이상이다.

[0016] 상기에서, 나노빔 전자 회절의 측정 범위는 바람직하게는 5 nm ϕ 이상 10 nm ϕ 이하이다. 빔 직경을 1 nm ϕ 로 수렴시킨 전자 빔을 조사함으로써 5 nm ϕ 이상 10 nm ϕ 이하의 측정 범위를 갖는 나노빔 전자 회절 패턴을 얻을 수 있음을 인지한다.

[0017] 상기에서, 나노빔 전자 회절 패턴은 10 nm 초과 50 nm 이하로 얇게 만든 시료의 단면의 나노빔 전자 회절 패턴인 것이 바람직하다.

[0018] 상기에서, 금속 산화물 막은 바람직하게는 결정부를 포함하고, 결정부의 크기는 바람직하게는 10 nm 이하이다. 다르게는, 결정부의 크기는 바람직하게는 1 nm 이상 10 nm 이하이다.

[0019] 본 발명의 한 실시의 형태는, 하기 특징을 갖는 영역을 포함하는 결정부를 포함하는 금속 산화물 막이다: 5 nm ϕ 이상 10 nm ϕ 이하의 측정 범위의 나노빔 전자 회절에서 10 nm 초과 50 nm 이하로 얇게 만든 금속 산화물 막의 단면으로부터 원주상으로 분포된 복수의 스폿의 관찰이 가능하며, 10 nm 이하로 얇게 만든 금속 산화물 막의 단면으로부터 특정 면으로 배향된 결정부를 나타내는 규칙성을 갖는 스폿이 관찰된다.

[0020] 상기 금속 산화물 막 중 임의의 하나는 바람직하게는 적어도 인듐, 갈륨, 또는 아연을 함유한다.

[0021] 본 발명의 또 다른 실시의 형태는, 단면의 나노빔 전자 회절 패턴에서 원주상으로 분포된 복수의 스폿이 관찰되는 영역을 포함하는 금속 산화물 막의 형성 방법이다. 실온에서 산소를 함유하는 분위기에서 산화물 타겟을 사용하여 스퍼터링법에 의해 금속 산화물 막을 형성한다.

[0022] 상기 금속 산화물 막의 형성 방법에서, 분위기에서의 산소의 분압은 바람직하게는 33% 이상이다.

발명의 효과

[0023] 본 발명의 한 실시의 형태는 결정부를 포함하는 금속 산화물 막을 제공할 수 있다.

[0024] 또한, 본 발명의 한 실시의 형태는 매우 안정한 물성을 갖는 금속 산화물 막을 제공할 수 있다. 또한, 금속 산화물 막을 반도체 장치에 사용함으로써, 반도체 장치가 높은 신뢰성을 가질 수 있다.

도면의 간단한 설명

[0025] 도 1의 (A)는 본 발명의 한 실시의 형태의 금속 산화물 막의 단면 TEM 상이고, 도 1의 (B) 내지 도 1의 (D)는 그의 나노빔 전자 회절 패턴이다.

도 2의 (A)는 본 발명의 한 실시의 형태의 금속 산화물 막의 평면 TEM 상이고, 도 2의 (B)는 그의 제한 시야 전자 회절 패턴이다.

도 3의 (A) 내지 도 3의 (C)는 전자 회절 강도 분포의 개념도이다.

도 4는 석영 유리 기판의 나노빔 전자 회절 패턴이다.

도 5의 (A) 및 도 5의 (B)는 본 발명의 한 실시의 형태의 금속 산화물 막의 단면 TEM 상이다.

도 6은 본 발명의 한 실시의 형태의 금속 산화물 막의 X선 회절 분석 결과를 나타낸다.

도 7은 본 발명의 한 실시의 형태의 금속 산화물 막의 나노빔 전자 회절 패턴이다.

도 8은 본 발명의 한 실시의 형태의 금속 산화물 막의 나노빔 전자 회절 패턴이다.

도 9의 (A) 내지 도 9의 (C)는 각각 한 실시의 형태에서의 트랜지스터의 구성예를 나타낸다.

도 10의 (A) 내지 도 10의 (D)는 한 실시의 형태에서의 트랜지스터의 형성 방법의 예를 나타낸다.

도 11의 (A) 내지 도 11의 (C)는 각각 한 실시의 형태에서의 트랜지스터의 구성예를 나타낸다.

도 12의 (A) 내지 도 12의 (C)는 각각 한 실시의 형태에서의 표시 패널의 구성을 나타낸다.

도 13은 한 실시의 형태에서의 전자 기기의 블록도이다.

도 14의 (A) 내지 도 14의 (D)는 각각 한 실시의 형태에서의 전자 기기의 외관도이다.

도 15의 (A)는 본 발명의 한 실시의 형태의 금속 산화물 막의 단면 TEM 상이고, 도 15의 (B) 내지 도 15의 (E)는 그의 나노빔 전자 회절 패턴이다.

도 16은 이온 밀링법에 의해 시료를 얇게 만드는 방법을 나타내는 개념도이다.

도 17의 (A) 내지 도 17의 (D)는 각각 본 발명의 한 실시의 형태의 금속 산화물 막의 나노빔 전자 회절 패턴이다.

도 18의 (A) 및 도 18의 (B)는 비교예 및 한 실시의 형태에서의 금속 산화물 막의 SIMS 분석 결과를 나타낸다.

도 19의 (A) 내지 도 19의 (D)는 각각 액상법에 의해 제조된 시료의 X선 회절 분석 결과를 나타낸다.

도 20의 (A) 내지 도 20의 (C)는 비교예에서의 시료의 단면 TEM 상이다.

도 21의 (A) 내지 도 21의 (C)는 비교예에서의 시료의 나노빔 전자 회절 패턴이고, 도 21의 (D)는 본 발명의 한 실시의 형태의 금속 산화물 막의 나노빔 전자 회절 패턴이다.

도 22는 계산에 사용된 산화물 반도체 층의 결정 구조를 나타낸다.

도 23의 (A) 내지 도 23의 (D)는 결정 상태에 대한 수소 첨가의 영향을 나타내는 계산 결과를 나타낸다.

도 24의 (A) 내지 도 24의 (D)는 본 발명의 한 실시의 형태의 금속 산화물 막 및 비교예에서의 시료의 XPS에 의한 결합 에너지의 측정 결과를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0026] 발명을 실시하기 위한 최선의 형태

[0027] 이하에서는, 본 발명의 실시의 형태를 첨부 도면을 참조로 하여 상세히 설명한다. 본 발명은 하기 설명으로 제한되지 않음을 인지하며, 그의 형태 및 양태는 다양한 방식으로 변경될 수 있다는 것이 관련 기술분야의 숙련자

에 의해 용이하게 이해된다. 따라서, 본 발명은 하기 실시의 형태의 기재로 제한되는 것으로 해석되어선 안된다.

[0028] (실시의 형태 1)

[0029] 본 실시의 형태에서는, 본 발명의 한 실시의 형태의 금속 산화물 막을 도 1의 (A) 내지 도 1의 (D), 도 2의 (A) 및 도 2의 (B), 도 3의 (A) 내지 도 3의 (C), 도 4, 도 5의 (A) 및 도 5의 (B), 도 6, 도 7, 도 15의 (A) 내지 도 15의 (E), 도 16, 도 17의 (A) 내지 도 17의 (D), 도 18의 (A) 및 도 18의 (B), 도 19의 (A) 내지 도 19의 (D), 도 20의 (A) 내지 도 20의 (C), 및 도 21의 (A) 내지 도 21의 (D)를 참조로 하여 설명한다.

[0030] <금속 산화물 막의 결정부>

[0031] 본 실시의 형태의 금속 산화물 막은, 거시적으로는 주기적 원자 배열이 나타나지 않는, 또는 거시적으로는 원자 배열에서 장거리 질서가 나타나지 않는 극미세 결정부를 포함한다. 따라서, 일부 경우, 측정 범위가 여기에 포함된 결정부보다 더 큰 (더 폭넓은) 전자 회절에 의해서는 결정 상태를 나타내는 규칙성을 갖는 스폿이 나타나지 않는다.

[0032] <<단면 TEM 상 및 나노빔 전자 회절 패턴>>

[0033] 도 1의 (A)는 본 실시의 형태의 금속 산화물 막의 단면 투과형 전자 현미경검사 (TEM) 상이다. 도 1의 (B), 도 1의 (C), 및 도 1의 (D)는 각각 도 1의 (A)의 포인트 1, 2, 및 3에서의 나노빔 전자 회절에 의해 관찰된 전자 회절 패턴이다.

[0034] 금속 산화물 막의 일례로서, 50-nm 두께의 In-Ga-Zn계 산화물 막을 석영 유리 기판 위에 형성하였다. 금속 산화물 막을 하기 조건 하에 형성하였다: 1:1:1의 원자수비로 In, Ga, 및 Zn을 함유하는 산화물 타겟을 사용하였고; 산소 분위기 (45 sccm의 유량)를 사용하였고; 압력은 0.4 Pa이었고; 직류 (DC) 전원은 0.5 kW였고; 기판 온도는 실온이었음. 이어서, 형성된 금속 산화물 막을 약 50 nm (예를 들어, 40 nm \pm 10 nm)로 얇게 만들고, 나노빔 전자 회절 패턴의 단면 TEM 상을 관찰하였다.

[0035] 금속 산화물 막의 단면 TEM 상은 투과형 전자 현미경 (히다치 하이-테크놀로지스 코퍼레이션(Hitachi High-Technologies Corporation)에서 제조된 "H-9000NAR")을 사용하여 300 kV의 가속 전압 및 2000000배의 배율로 관찰하였다. 나노빔 전자 회절은 투과형 전자 현미경 (히다치 하이-테크놀로지스 코퍼레이션에서 제조된 "HF-2000")을 사용하여 200 kV의 가속 전압 및 약 1 nm ϕ 의 빔 직경으로 수행하였다. 나노빔 전자 회절의 측정 범위는 5 nm ϕ 이상 10 nm ϕ 이하였음을 인지한다.

[0036] 도 1의 (B)에 나타난 바와 같이, 본 실시의 형태의 금속 산화물 막의 나노빔 전자 회절에서는, 원주상으로 배치된 스폿 (회점(light spot))이 관찰되었다. 이는, 본 실시의 형태의 금속 산화물 막의 경우, 원주상으로 분포된 복수의 스폿이 관찰됨을 의미한다. 또한, 원주상으로 분포된 복수의 스폿에 의해 복수의 동심원이 형성된다고 할 수 있다.

[0037] 또한, 두께 방향으로의 금속 산화물 막의 중앙부를 나타내는 도 1의 (C)에서도, 또한 석영 유리 기판과의 계면 부근을 나타내는 도 1의 (D)에서도, 도 1의 (B)와 유사하게 원주상으로 분포된 복수의 스폿이 관찰된다. 도 1의 (C)에서, 제1 원의 반경 (메인 스폿으로부터 원주까지의 거리)는 3.88 /nm 내지 4.93 /nm, 또는 중간격으로 환산시 0.203 nm 내지 0.257 nm의 범위이다.

[0038] 도 1의 (B) 내지 도 1의 (D)에 나타난 나노빔 전자 회절 패턴에서는, 비정질 상태를 나타내는 할로 패턴과 별도로, 복수의 스폿이 관찰된다. 이로부터, 본 실시의 형태의 금속 산화물 막이 결정부를 포함한다는 것이 확인된다. 그러나, 도 1의 (B) 내지 도 1의 (D)에 나타난 나노빔 전자 회절 패턴에서는, 특정 면으로 배향된 결정부를 나타내는 규칙성을 갖지 않는, 방향성이 없는 스폿이 관찰된다. 따라서, 본 실시의 형태의 금속 산화물 막은 면 방위가 랜덤하고 크기가 서로 상이한 복수의 결정부를 포함한다고 추측된다.

[0039] 도 5의 (A) 및 도 5의 (B)는 도 1의 (A)의 단면 TEM 상의 부분 확대도이다. 도 5의 (A)는, 8000000배의 관찰 배율로 관찰된 도 1의 (A)의 포인트 1 (금속 산화물 막의 표면) 부근의 단면 TEM 상이다. 도 5의 (B)는, 8000000배의 관찰 배율로 관찰된 도 1의 (A)의 포인트 2 (두께 방향으로의 금속 산화물 막의 중앙부) 부근의 단면 TEM 상이다.

[0040] 도 5의 (A) 및 도 5의 (B)에 나타난 본 실시의 형태의 금속 산화물 막의 단면 TEM 상에서는, 결정 구조를 명확히 관찰할 수 없다.

- [0041] <<평면 TEM 상 및 제한 시야 전자 회절 패턴>>
- [0042] 도 2의 (A)는 본 실시의 형태의 금속 산화물 막의 평면 TEM 상이다. 도 2의 (B)는, 제한 시야 전자 회절에 의해 관찰되는, 도 2의 (A)에서의 원으로 둘러싸인 영역의 전자 회절 패턴을 나타낸다.
- [0043] 금속 산화물 막의 일례로서, 50-nm 두께의 In-Ga-Zn계 산화물 막을 석영 유리 기판 위에 형성하였다. 금속 산화물 막을 하기 조건 하에 형성하였다: 1:1:1의 원자수비로 In, Ga, 및 Zn을 함유하는 산화물 타겟을 사용하였고; 산소 분위기 (45 sccm의 유량)를 사용하였고; 압력은 0.4 Pa이었고; 직류 (DC) 전원은 0.5 kW였고; 기판 온도는 실온이었음. 이어서, 형성된 금속 산화물 막을 약 50 nm (예를 들어, 40 nm \pm 10 nm)로 얇게 만들고, 평면 TEM 상 및 제한 시야 전자 회절 패턴을 관찰하였다.
- [0044] 도 2의 (A) 및 도 2의 (B)에서의 상은 투과형 전자 현미경 (히다치 하이-테크놀로지스 코포레이션에서 제조된 "H-9000NAR")을 사용하여 300 kV의 가속 전압으로 얻었다. 금속 산화물 막의 평면을 500000배의 관찰 배율로 관찰하여, 도 2의 (A)의 상을 얻었다. 도 2의 (B)는 제한 시야 전자 회절에 의해 얻어진 도 2의 (A)에서의 원 내 영역의 회절 결과를 나타낸다. 도 2의 (B)에서의 패턴은 제한 시야 영역을 300 nm ϕ 로 하여 전자 회절에 의해 얻었다. 전자 빔 확장 (약 수 나노미터)을 고려하여, 측정 범위는 300 nm ϕ 이상이다.
- [0045] 도 2의 (B)에 나타난 바와 같이, 본 실시의 형태의 금속 산화물 막의 경우, 나노빔 전자 회절의 측정 범위보다 폭넓은 측정 범위의 제한 시야 전자 회절에 의해 관찰된 전자 회절 패턴에서는 나노빔 전자 회절에 의해 관찰된 복수의 스폿이 관찰되지 않았고 할로 패턴이 관찰되었다. 따라서, 본 실시의 형태의 금속 산화물 막은, 거시적으로는 (예를 들어 측정 범위가 300 nm ϕ 이상인 경우에는) 주기적 원자 배열이 나타나지 않는, 또는 거시적으로는 원자 배열에서 장거리 질서가 나타나지 않는 극미세 결정부를 포함하는 금속 산화물 막으로서 간주될 수 있다.
- [0046] <<전자 회절 강도 분포의 개념도>>
- [0047] 도 3의 (A) 내지 도 3의 (C)는 도 1의 (B) 내지 도 1의 (D) 및 도 2의 (A) 및 도 2의 (B)의 전자 회절 패턴에서의 회절 강도 분포를 개념적으로 나타낸다. 도 3의 (A)는 도 1의 (B) 내지 도 1의 (D)의 나노빔 전자 회절 패턴에서의 회절 강도 분포의 개념도이다. 도 3의 (B)는 도 2의 (B)의 제한 시야 전자 회절 패턴에서의 회절 강도 분포의 개념도이다. 도 3의 (C)는 이상적인 다결정 구조의 전자 회절 패턴에서의 회절 강도 분포의 개념도이다.
- [0048] 도 3의 (A) 내지 도 3의 (C) 각각에서, 종축은 전자 회절 강도 (임의 단위)를 나타내고, 횡축은 메인 스폿으로부터의 거리를 나타낸다.
- [0049] 이상적인 다결정 구조에 대한 도 3의 (C)에서는, 결정부가 배향되는 면의 면간격 (d 값)에 따라 메인 스폿으로부터의 특정 거리에서 피크가 관찰된다. 이 경우, 전자 회절 패턴에서는, 메인 스폿으로부터의 특정 거리에서 작은 선폭을 갖는 링이 명확히 관찰된다.
- [0050] 한편, 도 1의 (B) 내지 도 1의 (D)에 나타난 바와 같이, 본 실시의 형태의 금속 산화물 막의 나노빔 전자 회절 패턴에서 관찰된 복수의 스폿으로 형성된 원주상 영역은 비교적 큰 선폭을 갖는다. 따라서, 도 3의 (A)에 나타난 바와 같이, 그의 전자 빔 회절 강도는 개별적으로 분포되고, 이는 피크가 분포된 복수의 대역 (피크 대역)을 포함한다. 나노빔 전자 회절 패턴에서 원주상으로 배치된 복수의 영역 사이에 소수의 스폿이 관찰됨을 인지한다. 이는, 도 3의 (A)에 나타난 바와 같이, 회절 피크가 2개의 피크 대역 사이에 존재함을 의미한다.
- [0051] 한편, 도 3의 (B)에 나타난 바와 같이, 본 실시의 형태의 금속 산화물 막의 제한 시야 전자 회절 패턴에서의 전자 빔 회절 강도 분포는 연속적이다. 도 3의 (B)는 도 3의 (A)에 나타난 전자 빔 회절 강도 분포를 광범위 관찰함으로써 얻어진 결과에 근사할 수 있기 때문에, 도 3의 (A)의 피크 대역이 적분되고, 연속적 강도 분포가 얻어지는 것으로 고려될 수 있다.
- [0052] 도 3의 (A) 내지 도 3의 (C)는, 본 실시의 형태의 금속 산화물 막이, 면 방위가 랜덤하고 크기가 서로 상이한 복수의 결정부를 포함하고, 결정부는, 제한 시야 전자 회절 패턴에서 스폿이 관찰되지 않도록 매우 극미세하다는 것을 나타낸다.
- [0053] 도 1의 (B) 내지 도 1의 (D)에 나타난 바와 같이 나노빔 전자 회절 패턴에서 복수의 스폿을 제공하는 금속 산화물 막은 약 50 nm로 얇게 만든다. 또한, 전자 빔의 빔 직경이 1 nm ϕ 로 수렴하기 때문에, 측정 범위는 5 nm 이상 10 nm 이하이다. 따라서, 본 실시의 형태의 금속 산화물 막에 포함된 결정부의 크기는 적어도 50 nm 이하,

예를 들어 10 nm 이하 또는 5 nm 이하인 것으로 추측된다.

[0054] <<매우 얇은 시료의 나노빔 전자 회절 패턴>>

[0055] 본 실시의 형태의 금속 산화물 막에 포함된 결정부의 크기가 10 nm 이하 또는 5 nm 이하인 경우, 금속 산화물 막을 약 50 nm로 얇게 만든 시료에서는 깊이 방향으로의 측정 범위가 결정부의 크기보다 크고; 그 결과, 일부 경우에, 측정 범위 내에서 복수의 결정부가 관찰된다. 따라서, 10 nm 이하로 얇게 만든 금속 산화물 막을 형성 하였고, 그의 단면을 나노빔 전자 회절에 의해 관찰하였다.

[0056] 시료의 형성 방법은 하기와 같다. 50-nm 두께의 In-Ga-Zn계 산화물 막을 석영 유리 기판 위에 형성하였다. 막 을 하기 조건 하에 형성하였다: 1:1:1의 원자수비로 In, Ga, 및 Zn을 함유하는 산화물 타겟을 사용하였고; 산소 분위기 (45 sccm의 유량)를 사용하였고; 압력은 0.4 Pa이었고; 직류 (DC) 전원은 0.5 kW였고; 기판 온도는 실온 이었음. 금속 산화물 막을 형성한 후, 450℃에서 질소 분위기에서 1시간 동안 제1 가열 처리를 수행하였고, 450℃에서 질소 및 산소를 함유하는 분위기에서 1시간 동안 제2 가열 처리를 수행하였다.

[0057] 제2 가열 처리를 수행한 금속 산화물 막을, Ar 이온을 사용한 이온 밀링법에 의해 더욱 얇게 만들었다. 먼저, 보강을 위해, 금속 산화물 막이 형성된 석영 유리 기판을 더미(dummy) 기판에 부착하였다. 이어서, 막을 절단 및 연마에 의해 약 50 μm 로 얇게 만들었다. 그 후, 도 16에 나타난 바와 같이, 석영 유리 기판 (200) 및 더미 기판 (202)에 제공된 금속 산화물 막 (204)에 대하여 낮은 각도 (약 3°)로 아르곤 이온을 조사하여 이온 밀링 을 수행하여, 약 50 nm (40 nm \pm 10 nm)로 얇게 만든 영역 (210a) 및 10 nm 이하, 예를 들어, 5 nm 내지 10 nm로 얇게 만든 영역 (210b)을 형성하였다. 이어서, 각각의 영역의 단면을 관찰하였다.

[0058] 도 15의 (A)는, 영역 (210a)에 상응하는 약 50 nm로 얇게 만든 시료의 단면 TEM 상이다. 도 15의 (B) 내지 도 15의 (E)는, 도 15의 (A)에 나타난 단면의 나노빔 전자 회절에 의해 관찰된 전자 회절 패턴을 나타낸다. 도 15의 (B)는, 빔 직경을 1 nm ϕ 로 수렴시킨 전자 빔을 사용하여 관찰된 전자 회절 패턴을 나타낸다. 도 15의 (C) 는, 빔 직경을 10 nm ϕ 로 수렴시킨 전자 빔을 사용하여 관찰된 전자 회절 패턴을 나타낸다. 도 15의 (D)는, 빔 직경을 20 nm ϕ 로 수렴시킨 전자 빔을 사용하여 관찰된 전자 회절 패턴을 나타낸다. 도 15의 (E)는, 빔 직경을 30 nm ϕ 로 수렴시킨 전자 빔을 사용하여 관찰된 전자 회절 패턴을 나타낸다.

[0059] 도 15의 (B)에 나타난 바와 같이, 가열 처리를 수행한 금속 산화물 막에서도, 도 1의 (B) 내지 도 1의 (D)에서 의 것들과 유사한 원주상으로 분포된 복수의 스폿 (회절점)이 관찰된다. 또한, 도 15의 (C) 내지 도 15의 (E)에 나타난 바와 같이, 전자 빔의 빔 직경을 증가시켜 보다 폭넓은 측정 범위를 관찰하는 경우, 스폿이 점차 흐릿해 진다.

[0060] 도 17의 (A) 내지 도 17의 (D)는, 영역 (210b)에 상응하는 10 nm 이하로 얇게 만든 시료에서 주어진 4개 포인트 에서의 나노빔 전자 회절 패턴을 나타낸다. 나노빔 전자 회절 패턴은, 빔 직경을 1 nm ϕ 로 수렴시킨 전자 빔을 사용하여 관찰된다.

[0061] 도 17의 (A) 및 도 17의 (B)에서는, 특정 면으로 배향된 결정부를 나타내는 규칙성을 갖는 스폿이 관찰된다. 이는, 본 실시의 형태의 금속 산화물 막이 확실하게 결정부를 포함함을 나타낸다. 한편, 도 17의 (C) 및 도 17의 (D)에서는, 원주상으로 분포된 복수의 스폿 (회절점)이 관찰된다.

[0062] 상기에 기재된 바와 같이, 본 실시의 형태의 금속 산화물 막에 포함된 결정부의 크기는 극미세하고, 적어도 50 nm 이하, 예를 들어, 10 nm 이하 또는 5 nm 이하이다. 따라서, 시료를 10 nm 이하로 얇게 만들고, 전자 빔의 직경을 1 nm ϕ 로 수렴시켜 측정 범위를 예를 들어 1개의 결정부의 크기보다 작게 한 경우, 측정 영역에 따라, 특정 면으로 배향된 결정부를 나타내는 규칙성을 갖는 스폿이 관찰될 수 있다. 관찰 영역에 복수의 결정부가 포함되는 경우, 결정부를 통해 투과된 전자 빔이 깊이 방향으로 존재하는 또 다른 결정부로 추가로 조사되고, 이는 복수의 나노빔 전자 회절 패턴이 관찰되게 한다.

[0063] <<석영 기판의 나노빔 전자 회절 패턴>>

[0064] 도 4는 석영 유리 기판의 나노빔 전자 회절 패턴을 나타낸다.

[0065] 측정 조건은 도 1의 (B) 내지 도 1의 (D)에 나타난 산화물 반도체 막에 대한 것들과 동일하다.

[0066] 도 4에 나타난 바와 같이, 비정질 구조를 갖는 석영 유리 기판의 경우에는, 회절에 의해 특정 스폿이 주어지지 않고, 메인 스폿으로부터 휘도가 점차 변화하는 할로 패턴이 관찰된다. 따라서, 비정질 구조를 갖는 막에서는 극미세 영역에 대하여 전자 회절을 수행하는 경우에도 본 실시의 형태의 금속 산화물 막에서 관찰된 것들과 같

은 원주상으로 배치된 스폿이 관찰되지 않는다. 이로부터, 도 1의 (B) 내지 도 1의 (D)에서 관찰된 원주상으로 배치된 스폿은 본 실시의 형태의 금속 산화물 막 특유의 것임이 확인된다.

[0067] <<나노빔 연속 조사 후의 전자 회절 패턴>>

[0068] 도 8은, 도 1의 (A)에서 포인트 2에 빔 직경을 약 1 nm ϕ 로 수렴시킨 전자 빔을 1분 동안 조사한 후에 관찰된 전자 회절 패턴을 나타낸다.

[0069] 도 1의 (C)에 나타난 전자 회절 패턴과 유사하게, 도 8에 나타난 전자 회절 패턴에서 원주상으로 분포된 복수의 스폿이 관찰되고, 도 1의 (C)와 도 8의 전자 회절 패턴 사이에 유의한 차이가 존재하지 않는다. 이는, 도 1의 (C)에 의해 확인된 결정부가 본 실시의 형태의 금속 산화물 막이 형성될 때에 형성되는 것이며, 이는 수렴된 전자 빔의 조사로부터 형성되는 것이 아님을 의미한다.

[0070] <<X선 회절에 의한 분석>>

[0071] 도 1의 (A) 내지 도 1의 (D) 및 도 2의 (A) 및 도 2의 (B)에서 사용된, 석영 유리 기관 위에 형성된 본 실시의 형태의 금속 산화물 막의 시료를 X선 회절 (XRD)에 의해 분석하였다. 도 6은 면외(out-of-plane) 방법에 의해 측정된 XRD 스펙트럼을 나타낸다.

[0072] 도 6에서, 종축은 X선 회절 강도 (임의 단위)를 나타내고, 횡축은 회절각 2θ (도)이다. XRD 스펙트럼은 브루커 에이엑스에스(Bruker AXS)에서 제조된 X선 회절계, 디8 어드밴스(D8 ADVANCE)를 사용하여 측정하였음을 인지한다.

[0073] 도 6에 나타난 바와 같이, $2\theta = 20^\circ$ 내지 23° 부근에서 석영에 상응하는 피크가 보이지만; 금속 산화물에 포함된 결정부에 상응하는 피크는 확인할 수 없다.

[0074] 도 6에서의 결과는 본 실시의 형태의 금속 산화물 막에 포함된 결정부가 극미세 결정부임을 나타낸다.

[0075] 상기 결과에 따라, 본 실시의 형태의 금속 산화물 막은 면 방위가 랜덤한 결정부가 응집된 막인 것으로 추측할 수 있다.

[0076] 추가로, 본 실시의 형태의 금속 산화물 막에 포함된 결정부의 크기는, 예를 들어, 10 nm 이하 또는 5 nm 이하인 것으로 추측된다. 본 실시의 형태의 금속 산화물 막은, 예를 들어, 크기가 1 nm 이상 10 nm 이하인 결정부 (나노결정 (nc))를 포함한다.

[0077] <금속 산화물 막의 형성 방법>

[0078] 본 실시의 형태의 금속 산화물 막의 형성 방법을 하기에 기재한다. 상기에 기재된 바와 같이, 본 실시의 형태의 금속 산화물 막은 실온에서 산소를 함유하는 분위기에서 스퍼터링법에 의해 형성된다. 산소를 함유하는 분위기를 사용하여, 금속 산화물 막 중의 산소 공백을 감소시킬 수 있고, 결정부를 포함하는 막이 형성될 수 있다.

[0079] <<산소 공백의 감소>>

[0080] 본 실시의 형태의 금속 산화물 막 중의 산소 공백의 감소는 안정한 물성을 갖는 막의 형성을 가능하게 한다. 특히, 본 실시의 형태의 금속 산화물 막과 같은 산화물 반도체 막을 사용하여 반도체 장치를 형성하는 경우, 산화물 반도체 막 중의 산소 공백은 캐리어를 생성시키고; 그 결과, 반도체 장치의 전기적 특성이 변한다. 따라서, 산소 공백이 감소된 산화물 반도체 막을 사용하여 형성된 반도체 장치는 높은 신뢰성을 가질 수 있다.

[0081] 성막 분위기에서의 산소 분압을 증가시키는 것은, 본 실시의 형태의 금속 산화물 막 중의 산소 공백을 더욱 감소시킬 수 있기 때문에 바람직함을 인지한다. 예를 들어, 성막 분위기에서의 산소 분압은 바람직하게는 33% 이상이다.

[0082] 도 7은 33%의 산소 분압에서 형성된 본 실시의 형태의 금속 산화물 막의 나노빔 전자 회절 패턴을 나타낸다. 도 7에 나타난 본 실시의 형태의 금속 산화물 막은, 성막 분위기로서 아르곤과 산소의 혼합물 (Ar 및 O₂의 유량은 각각 30 sccm 및 15 sccm임)을 사용한 것을 제외하고는, 도 1의 (A) 내지 도 1의 (D)에 나타난 금속 산화물 막의 것들과 유사한 조건 하에 형성하였다. 도 1의 (B) 내지 도 1의 (D)에 대해 설명된 것과 유사한 방식으로 나노빔 전자 회절을 수행하였다.

[0083] 33%의 산소 분압에서 형성된 본 실시의 형태의 금속 산화물 막에서는, 도 7에 나타난 나노빔 전자 회절 패턴에

서 원주상으로 배치된 스폿이 또한 관찰된다. 이로부터, 결정부를 포함하는 금속 산화물 막이 형성된 것이 확인된다.

[0084] <<스퍼터링법에 의한 성막>>

[0085] 본 실시의 형태의 금속 산화물 막의 형성에 사용될 수 있는 산화물 타겟은 In-Ga-Zn계 산화물로 제한되지 않고; 예를 들어, In-M-Zn계 산화물 (M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf임)이 사용될 수 있다.

[0086] 결정부를 포함하는 본 실시의 형태의 금속 산화물 막은, 바람직하게는, 복수의 결정 입자를 함유하는 다결정 산화물을 포함하는 스퍼터링 타겟을 사용하여 형성된다. 그 이유는 하기와 같다. 스퍼터링 타겟이 복수의 결정 입자를 함유하고, 복수의 결정 입자 사이의 약한 결합으로 인해 결정 입자가 벽개하기 쉬운 계면이 존재하는 경우에는, 이온이 스퍼터링 타겟과 충돌하면 결정 입자가 계면을 따라 벽개하여, 일부 경우에 평판형 스퍼터링 입자가 얻어질 수 있다. 얻어진 평판형 스퍼터링 입자가 기판 위에 퇴적되고; 따라서, 일부 경우에 나노결정 영역을 포함하는 금속 산화물 막이 형성된다. 본 실시의 형태의 금속 산화물 막을 형성하는 상기 메커니즘은 하나의 고찰임을 인지한다.

[0087] 상기한 본 실시의 형태의 금속 산화물 막은, 면 방위가 랜덤하고, 크기가 서로 상이한 복수의 결정부를 포함하고, 결정부는 제한 시야 전자 회절 패턴에서 스폿이 관찰되지 않도록 매우 극미세하다.

[0088] 또한, 본 실시의 형태의 금속 산화물 막은 결정부를 갖는 영역을 포함하고, 안정한 물성을 갖는다. 따라서, 본 실시의 형태의 금속 산화물 막을 반도체 장치에 사용함으로써, 반도체 장치가 높은 신뢰성을 가질 수 있다.

[0089] (비교예)

[0090] 본 비교예에서는, 액상법에 의해 형성된 금속 산화물 막의 결정성을 도면을 참조로 하여 설명한다.

[0091] 본 비교예의 금속 산화물 막의 형성 방법을 하기에 기재한다.

[0092] 먼저, In₂O₃ (5 wt%), Ga₂O₃ (3 wt%), ZnO (5 wt%), 및 코팅제를, 혼합물이 1:1:1의 조성비로 In, Ga, 및 Zn을 함유하도록 혼합하고, 혼합물을 스핀 코팅에 의해 유리 기판 위에 도포하였다. 스핀 코팅의 조건은 하기와 같았다: 스피너를 사용하였고; 스피닝 속도를 900 rpm으로부터 2000 rpm으로 단계적으로 변화시켰다.

[0093] 그 후, 핫 플레이트를 사용하여 공기 분위기에서 150℃에서 2분 동안 제1 가열 처리를 수행하였다.

[0094] 이어서, 공기 분위기에서 450℃에서 1시간 동안 제2 가열 처리를 수행하였다. 제2 가열 처리를 수행한 본 비교예의 금속 산화물 막 (액상법에 의해 형성됨)의 결합 상태, 및 도 7에 나타난 금속 산화물 막의 것들과 동일한 조건 하에 형성된 본 실시의 형태의 금속 산화물 막 (스퍼터링법에 의해 형성됨)의 결합 상태를 X선 광전자 분광법 (XPS)에 의해 분석하였다. 도 24의 (A) 내지 도 24의 (D)는 분석 결과를 나타낸다.

[0095] XPS 분석은, 분석 장치로서 피지컬 일렉트로닉스, 인코포레이티드(Physical Electronics, Inc.)에서 제조된 쿠안테라 에스엑스엠(Quantera SXM)을 사용하여 수행하였다. 도 24의 (A) 내지 도 24의 (D)는, 각각의 금속 산화물 막의 In의 3d(5/2) 궤도 (도 24의 (A) 참조), Ga의 3d 궤도 (도 24의 (B) 참조), Zn의 3p 궤도 (도 24의 (C) 참조), 및 O의 1s 궤도 (도 24의 (D) 참조)에 상응하는 영역의 스펙트럼을 나타낸다. 도 24의 (A) 내지 도 24의 (D)의 실선은, 액상법에 의해 형성된 본 비교예의 In-Ga-Zn 산화물 막의 분석 결과에 상응한다. 도 24의 (A) 내지 도 24의 (D)의 파선은, 스퍼터링법 (스퍼터링)에 의해 형성된 본 실시의 형태의 In-Ga-Zn 산화물 막의 분석 결과에 상응한다.

[0096] 도 24의 (A) 내지 도 24의 (D)에서, 결합 에너지 사이에는 약간의 차이가 존재하지만, 액상법에 의해 형성된 본 비교예의 금속 산화물 막 및 스퍼터링법에 의해 형성된 본 실시의 형태의 금속 산화물 막은 실질적으로 동일한 스펙트럼 형상을 갖는다. 따라서, 액상법에 의해 형성된 본 비교예의 금속 산화물 막은 In-Ga-Zn 산화물 막으로서 확인되었다.

[0097] 다음으로, 형성된 비교예의 시료를 XRD에 의해 분석하였다. 도 19의 (A) 내지 도 19의 (D)는 면의 방법에 의한 분석 결과를 나타낸다.

[0098] XRD 분석에는, 제1 가열 처리 후에 공기 분위기에서 350℃, 450℃, 또는 550℃에서 1시간 동안 제2 가열 처리를 수행한 In-Ga-Zn 산화물 막의 시료를 사용하였다.

[0099] 도 19의 (A) 내지 도 19의 (D)에서, 종축은 X선 회절 강도 (임의 단위)를 나타내고, 횡축은 회절각 2θ (도)를 나타낸다. XRD 측정은 브루커 에이엑스에스에서 제조된 X선 회절계, 디8 어드밴스를 사용하여 수행하였다.

[0100] 도 19의 (A)는 액상법에 의해 형성된 본 비교예의 시료의 측정 결과를 나타낸다. 가열 처리를 수행하지 않은 시료의 XRD 패턴은 "as-depo"로 나타낸 패턴이다. 도 19의 (B) 내지 도 19의 (D)는 액상법에 의해 형성되고 공기 분위기에서 350℃, 450℃, 또는 550℃에서 1시간 동안 가열 처리를 수행한 산화인듐 막, 산화갈륨 막, 및 산화아연 막의 측정 결과를 나타낸다.

[0101] 도 19의 (A) 내지 도 19의 (D)에서, 가열 처리 후의 산화인듐 막의 XRD 패턴에서는, In₂O₃ 결정 피크에 상응하는 피크가 확인된다. 추가로, 가열 처리 후의 산화아연 막의 XRD 패턴에서는, ZnO 결정 피크에 상응하는 피크가 확인된다. 한편, 임의의 온도에서 가열 처리된 본 비교예의 시료에서는, 산화인듐 막 및 산화아연 막에서와 달리 결정 피크가 확인되지 않는다.

[0102] 이어서, 공기 분위기에서 450℃에서 1시간 동안 제2 가열 처리를 수행한 각각의 시료의 막 밀도를 X선 반사율 측정법 (XRR)에 의해 측정하였다.

[0103] XRR은, 측정 시료에 대하여 X선을 입사하여 입사 X선의 임계각 및 진폭 파형의 변화를 측정하고, 임계각 및 진폭 파형을 사용하여 이론적 분석을 수행하는, 성막된 얇은 막의 밀도를 측정하기 위한 측정 방법임을 인지한다.

[0104] 표 1에 측정된 막 밀도를 나타내었다.

[표 1]

시료	결정성	막 밀도 (g/cm ³)	
		측정치	이론치
In-Ga-Zn 산화물 막 (In:Ga:Zn = 1:1:1)	피크 없음	3.27	6.35
산화인듐 막	In ₂ O ₃ 으로 지정가능한 피크	4.26	7.12
산화갈륨 막	피크 없음	3.61	5.94
산화아연 막	ZnO로 지정가능한 피크	4.06	5.67

[0106]

[0107] 표 1에 나타난 바와 같이, 액상법에 의해 형성된 막은, 단결정 구조에 기초하여 계산된 이론치와 비교하여 매우 낮은 밀도를 갖는다. 액상법에 의해 형성된 막은 큰 조도를 갖기 때문에 높은 정확도로 막 밀도를 측정하기가 어려움을 인지한다.

[0108] 다음으로, 본 비교예의 금속 산화물 막 및 본 실시의 형태의 금속 산화물 막 중에 함유된 불순물의 농도를 SIMS에 의해 측정하였다.

[0109] 도 18의 (A)는 비교예의 금속 산화물 막 및 본 실시의 형태의 금속 산화물 막 중의 수소 (¹H)의 농도 프로파일을 나타낸다. 도 18의 (B)는 비교예의 금속 산화물 막 및 본 실시의 형태의 금속 산화물 막 중의 탄소 (¹²C)의 농도 프로파일을 나타낸다. 도 18의 (A) 및 도 18의 (B)에서, 횡축은 깊이 (nm)를 나타내고, 종축은 수소 또는 탄소의 농도 (원자/cm³)를 나타낸다.

[0110] 도 18의 (A) 및 도 18의 (B)에서의 비교예의 금속 산화물 막으로서는, 상기에 기재된 것들과 유사한 조건 하에 액상법에 의해 형성된 시료를 사용하였다. 스핀 코팅 전에 물질에 대해 멤브레인 필터 (0.2 μm)를 사용한 여과를 수행하였다. 추가로, 공기 분위기에서 450℃, 500℃, 또는 550℃에서 1시간 동안 제2 가열 처리를 수행하였다. 다른 조건은 액상법에 의해 형성된 상기 금속 산화물 막의 것들과 동일하였다. 본 실시의 형태의 금속 산화물 막에는, 도 7에 나타난 금속 산화물 막의 것들과 동일한 조건 하에 스퍼터링법에 의해 형성된 시료를 사용하였다.

[0111] 도 18의 (A) 및 도 18의 (B)에 나타난 바와 같이, 비교예의 금속 산화물 막 중에는 본 실시의 형태의 금속 산화물 막에 비해 다량의 수소 및 탄소가 균일하게 존재한다.

[0112] 도 18의 (B)에 나타난 본 실시의 형태의 금속 산화물 막의 탄소 농도는 그의 표면으로부터 막 내부로 갈수록 점

차 감소한다. 이는, 본 실시의 형태의 금속 산화물 막 중의 탄소가 주로 표면 오염에 기인하는 것임을 시사한다.

[0113] 한편, 비교예의 임의의 조건 하에 형성된 금속 산화물 막은, 수소를 1×10^{22} (원자/cm³) 이상만큼 높은 밀도로, 또한 탄소를 4×10^{21} (원자/cm³) 이상만큼 높은 밀도로 균일하게 함유한다. 비교예의 금속 산화물 막 중의 탄소는 스핀 코팅 재료의 원료인 유기 산 염에 기인하는 것으로 추측된다.

[0114] 다음으로, 공기 분위기에서 450℃에서 1시간 동안 제2 가열 처리를 수행한 본 비교예의 시료의 단면 TEM 상을 도 20의 (A) 내지 도 20의 (C)에 나타내었다. 투과형 전자 현미경 (히다치 하이-테크놀로지스 코포레이션에서 제조된 "H-9000NAR")을 사용하여 300 kV의 가속 전압으로 단면을 관찰하였다. 도 20의 (A)는 배율 500000배의 단면 상이다. 도 20의 (B)는 배율 2000000배의 단면 상이다. 도 20의 (C)는 배율 8000000배의 단면 관찰 상이다.

[0115] 도 20의 (A) 및 도 20의 (B)에 나타난 바와 같이, 액상법에 의해 형성된 본 비교예의 시료의 대부분은 비정질 영역에 의해 점유된다. 추가로, 막 밀도의 차로 인한 농담 (명도의 변동)이 보일 수 있다.

[0116] 도 20의 (C)의 단면 TEM 상에서 영역 a에서는, 명도가 높고, 이는 영역 a가 낮은 막 밀도를 가짐을 의미한다. 도 20의 (C)의 단면 TEM 상에서 영역 b에서는, 명도가 낮고, 이는 영역 b가 높은 막 밀도를 가짐을 의미한다.

[0117] 도 20의 (C)의 영역 a 및 b를 나노빔 전자 회절에 의해 관찰하였다. 도 21의 (A) 내지 도 21의 (C)는 나노빔 전자 회절 패턴을 나타낸다.

[0118] 나노빔 전자 회절은 투과형 전자 현미경 (히다치 하이-테크놀로지스 코포레이션에서 제조된 "HF-2000")을 사용하여 200 kV의 가속 전압 및 약 1 nmφ의 빔 직경으로 수행하였다. 도 21의 (A)는 도 20의 (C)의 영역 a의 나노빔 전자 회절 패턴을 나타낸다. 도 21의 (B) 및 도 21의 (C)는 도 20의 (C)의 영역 b의 상이한 2개 부분 (b1 및 b2로 나타냄)의 나노빔 전자 회절 패턴을 나타낸다.

[0119] 도 21의 (D)는, 도 7에 나타난 금속 산화물 막의 것들과 동일한 조건 하에 형성되고 관찰된, 본 발명의 한 실시의 형태의 금속 산화물 막의 나노빔 전자 회절 패턴을 나타낸다.

[0120] 도 21의 (A) 내지 도 21의 (C)에 나타난 바와 같이, 액상법에 의해 형성된 본 비교예의 금속 산화물 막의 각각의 영역에서는, 도 21의 (D)에 나타난 본 발명의 한 실시의 형태의 금속 산화물 막에서 관찰된 원주상으로 배치된 스폿 (회절)과 상이한 패턴이 관찰되었다.

[0121] 도 21의 (A)에 나타난 영역 a의 나노빔 전자 회절 패턴은 비정질 상태를 나타내는 할로 패턴과 유사하다. 이러한 낮은 결정성을 갖는 영역의 존재는, 막의 낮은 밀도 및 높은 불순물 농도에 기인하는 것일 수 있다.

[0122] 도 21의 (B) 및 도 21의 (C)에 나타난 바와 같이, 영역 b의 나노빔 전자 회절 패턴에서는, 특정 면으로 배향된 결정부를 나타내는 규칙성을 갖는 스폿 (도 21의 (B) 및 도 21의 (C)에서 1 내지 3으로 나타냄)이 관찰된다. 이들 스폿의 회절 패턴의 분석 결과를 하기 표 2에 나타내었다.

[0123] [표 2]

영역	스폿	h	k	l	d 값 (nm)	
					이론치	실측치
b1	1	1	0	4	0.261	0.263
	2	2	2	4	0.139	0.138
	3	1	2	0	0.165	0.165
b2	1	0	0	9	0.290	0.288
	2	1	0	14	0.156	0.155
	3	1	0	5	0.250	0.250

[0124]

[0125] 표 2에 따르면, 도 21의 (B) 또는 도 21의 (C)에서의 스폿으로부터 추정되는 d 값의 실측치는 InGaZnO₄의 복수의 면 방위의 d 값의 이론치와 거의 동일하고, 이는 액상법에 의해 형성된 본 비교예의 In-Ga-Zn 산화물 막이

InZnGaO₄에 기인하는 결정 영역을 포함함을 의미한다.

[0126] 따라서, 엑상법에 의해 형성된 InZnGaO₄ 막에는, 불순물의 존재에도 불구하고, InZnGaO₄에 기인하는 주기적 원자 배열을 포함하는 영역 및 매우 낮은 결정성을 갖고 비정질 상태에 가까운 영역이 공존한다.

[0127] 다음으로, 금속 산화물 막의 결정성에 대한, 비교예의 금속 산화물 막 중의 수소 및 탄소 등의 불순물의 영향을 계산에 의해 평가하였다.

[0128] 하기 계산에서는, 금속 산화물의 결정화에 대한 수소의 효과를, 제1 원리 계산에 의해 조사하였다. 구체적으로, InGaZnO₄가 수소를 함유하지 않는 경우 및 InGaZnO₄가 수소를 6.67 원자%로 함유하는 경우 둘 다에 비정질 상태와 결정 상태 사이의 에너지차를 측정하였다. 도 18의 (A) 및 도 18의 (B)에 나타낸 8.54×10^{22} 원자/cm³의 In-Ga-Zn-O 결정의 원자 밀도 및 SIMS 분석 결과는, 이 수소 농도가 본 비교예의 금속 산화물 막의 수소 농도와 동일함을 나타낸다. 계산에서는 금속 산화물 막의 일례로서 In, Ga, 및 Zn을 1:1:1의 원자수비로 함유하는 In-Ga-Zn 산화물 막을 사용하였다.

[0129] 도 22는 계산에 사용된 112개의 원자를 포함하는 In-Ga-Zn-O 결정의 격자 구조를 나타낸다.

[0130] 계산에서는, 도 22에 나타낸 구조에 H 원자를 첨가하지 않은 구조 및 도 22에 나타낸 구조에 8개의 H 원자를 첨가한 구조를 제조하고, 구조를 최적화하였다. 이어서, 에너지를 계산하였다. 추가로, 최적화된 구조에 기초하여 하기 단계를 통해 비정질 구조를 형성하였다.

[0131] (1) 3000 K에서의 NVT 앙상블에 의한 분자 동역학 계산.

[0132] (2) 1000 K에서 2 psec 동안의 NVT 앙상블에 의한 분자 동역학 계산.

[0133] (3) 구조의 최적화.

[0134] 상기 계산 (1)에 의해 5 psec, 5.5 psec, 또는 6 psec 동안 3개의 구조를 얻고, 이어서 계산 (2) 및 최적화 (3)에 적용하여 3개의 구조 각각에 대해 3개의 비정질 구조를 형성하였다. 이어서, 에너지의 평균치를 얻었다. 계산에서는, 제1 원리 계산 소프트웨어 "비엔나 압이니시오 시뮬레이션 패키지(Vienna Ab initio Simulation Package (VASP))"를 사용하였다. 계산 조건을 표 3에 나타내었다.

[0135] [표 3]

수준	범함수	컷오프 에너지 (eV)	K 포인트
(1)	GGA-PBE	500	1 × 1 × 1
(2)	GGA-PBE	300	1 × 1 × 1
(3)	GGA-PBE	500	2 × 2 × 3

[0136]

[0137] 도 23의 (A) 내지 도 23의 (D)는 계산에 의해 얻어진 각각의 구조의 일부를 나타낸다. 표 4에 에너지차의 계산 결과를 나타내었다. 도 23의 (A)는 단결정 In-Ga-Zn 산화물 막에 H 원자가 첨가되지 않은 (0 원자%) 구조를 나타낸다. 도 23의 (B)는 단결정 In-Ga-Zn 산화물 막에 8개의 H 원자가 첨가된 (6.67 원자%) 구조를 나타낸다. 도 23의 (C)는 비정질 In-Ga-Zn 산화물 막에 H 원자가 첨가되지 않은 (0 원자%) 구조를 나타낸다. 도 23의 (D)는 비정질 In-Ga-Zn 산화물 막에 8개의 H 원자가 첨가된 (6.67 원자%) 구조를 나타낸다.

[0138] [표 4]

수소 농도 (원자%)	밀도 (g/cm ³)	에너지차 (비정질-단결정)
0	6.12	1.23
6.67	5.82	0.54

[0139]

[0140] 표 4에 따르면, In-Ga-Zn 산화물 막의 에너지는 막이 결정화되는 경우에 크게 감소한다. 또한, 막에 H 원자가

첨가된 경우, 결정화로 인한 안정화 에너지가 감소한다. 따라서, 액상법에 의해 형성된 본 비교예의 금속 산화물 막에서 주기적 원자 배열을 나타내는 스폿-함유 패턴과 함께 할로 패턴과 유사한 나노빔 전자 회절 패턴이 관찰되는 것은, 수소에 의한 결정 구조의 불안정화에 기인하는 것으로 추측된다.

[0141] 상기에 기재된 바와 같이, 금속 산화물 막이 불순물로서 수소를 함유하는 경우, 결정의 안정성이 감소한다. 이들 계산 결과는, 본 실시의 형태의 금속 산화물 막에 비해, 할로 패턴과 유사한 나노빔 전자 회절 패턴을 나타내는 비교예의 금속 산화물 막 중의 수소 및 산소 등의 불순물의 높은 농도와 일치하는 것이다.

[0142] 본 실시의 형태는 본 명세서에 기재된 실시의 형태와 적절히 조합하여 실시할 수 있다.

[0143] (실시의 형태 2)

[0144] 본 실시의 형태에서는, 실시의 형태 1에서 예로서 기재되고 반도체 특성을 나타내는 금속 산화물 막 (산화물 반도체 막)을 포함하는 트랜지스터의 구성예를 도면을 참조로 하여 설명한다.

[0145] <트랜지스터의 구성예>

[0146] 도 9의 (A)는 하기에 예로서 기재된 트랜지스터 (100)의 단면 개략도이다. 트랜지스터 (100)는 저부-게이트 트랜지스터이다.

[0147] 트랜지스터 (100)는 기판 (101) 위에 제공된 게이트 전극 (102), 기판 (101) 및 게이트 전극 (102) 위에 제공된 절연층 (103), 절연층 (103) 위에 게이트 전극 (102)과 중첩되어 제공된 산화물 반도체 층 (104), 및 산화물 반도체 층 (104)의 상면과 접촉된 한 쌍의 전극 (105a) 및 (105b)을 포함한다. 또한, 절연층 (103), 산화물 반도체 층 (104), 및 한 쌍의 전극 (105a) 및 (105b)을 피복하도록 절연층 (106)이 제공되고, 절연층 (106) 위에 절연층 (107)이 제공된다.

[0148] 본 발명의 한 실시의 형태의 산화물 반도체 막은 트랜지스터 (100)에서 산화물 반도체 층 (104)에 적용될 수 있다.

[0149] <<기판 (101)>>

[0150] 기판 (101)의 재료는, 적어도 이후에 수행되는 가열 처리를 견디기에 충분한 내열성을 갖는 한, 그의 재료 특성 등에 특별한 제한은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 또는 이트리아-안정화된 지르코니아 (YSZ) 기판이 기판 (101)으로서 사용될 수 있다. 다르게는, 실리콘, 탄화실리콘 등으로 제조된 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등으로 제조된 화합물 반도체 기판, SOI 기판 등이 기판 (101)으로서 사용될 수 있다. 또한 다르게는, 반도체 소자가 제공된 이들 임의의 기판이 기판 (101)으로서 사용될 수 있다.

[0151] 또한 다르게는, 기판 (101)으로서 플라스틱 기판 등의 가요성 기판이 사용될 수 있고, 가요성 기판 위에 직접 트랜지스터 (100)가 제공될 수 있다. 또한 다르게는, 기판 (101)과 트랜지스터 (100) 사이에 박리층이 제공될 수 있다. 박리층은, 박리층 위에 형성된 트랜지스터의 일부 또는 전부를 형성하고, 기판 (101)으로부터 분리하여 또 다른 기판으로 전달하는 경우에 사용될 수 있다. 따라서, 트랜지스터 (100)는 낮은 내열성을 갖는 기판 또는 가요성 기판으로 전달될 수 있다.

[0152] <<게이트 전극 (102)>>

[0153] 게이트 전극 (102)은, 알루미늄, 크로뮴, 구리, 탄탈럼, 티타늄, 몰리브데넘, 및 텅스텐으로부터 선택된 금속; 임의의 이들 금속을 성분으로서 함유하는 합금; 임의의 이들 금속을 조합하여 함유하는 합금 등을 사용하여 형성될 수 있다. 또한, 망가니즈 및 지르코늄으로부터 선택된 하나 이상의 금속이 사용될 수 있다. 또한, 게이트 전극 (102)은 단층 구조 또는 2개 이상의 층의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 함유하는 알루미늄 막의 단층 구조, 알루미늄 막 위에 티타늄 막이 적층된 2층 구조, 질화티타늄 막 위에 티타늄 막이 적층된 2층 구조, 질화티타늄 막 위에 텅스텐 막이 적층된 2층 구조, 질화탄탈럼 막 또는 질화텅스텐 막 위에 텅스텐 막이 적층된 2층 구조, 티타늄 막, 알루미늄 막, 및 티타늄 막이 순서대로 적층된 3층 구조 등이 주어질 수 있다. 다르게는, 알루미늄 및 티타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 금속을 함유하는 합금; 또는 합금 막의 질화물 막이 사용될 수 있다.

[0154] 게이트 전극 (102)은 산화인듐주석, 산화텅스텐을 함유하는 산화인듐, 산화텅스텐을 함유하는 산화인듐아연, 산화티타늄을 함유하는 산화인듐, 산화티타늄을 함유하는 산화인듐주석, 산화인듐아연, 또는 산화실리콘이 첨가된 산화인듐주석 등의 투광 도전성 재료를 사용하여 형성될 수도 있다. 상기 투광 도전성 재료 및 상기 금속을 사

용하여 형성된 적층 구조를 가질 수도 있다.

[0155] 또한, 게이트 전극 (102)과 절연층 (103) 사이에는 In-Ga-Zn계 산화질화물 반도체 막, In-Sn계 산화질화물 반도체 막, In-Ga계 산화질화물 반도체 막, In-Zn계 산화질화물 반도체 막, Sn계 산화질화물 반도체 막, In계 산화질화물 반도체 막, 금속 질화물 (예컨대 InN 또는 ZnN)의 막 등이 제공될 수 있다. 이들 막은 각각 5 eV 이상 또는 5.5 eV 이상의 일 함수를 갖고, 이는 산화물 반도체의 전자 친화력보다 더 높다. 따라서, 산화물 반도체를 포함하는 트랜지스터의 역치 전압이 양의 방향으로 이동될 수 있고, 소위 노르말리-오프(normally-off) 스위칭 소자가 달성될 수 있다. 예를 들어, 적어도 산화물 반도체 층 (104)보다 더 높은 질소 농도를 갖는 In-Ga-Zn계 산화질화물 반도체 막, 구체적으로, 7 원자% 이상의 질소 농도를 갖는 In-Ga-Zn계 산화질화물 반도체 막이 사용된다.

[0156] <<절연층 (103)>>

[0157] 절연층 (103)은 게이트 절연막으로서 기능한다. 산화물 반도체 층 (104)의 저면과 접촉된 절연층 (103)은 바람직하게는 비정질 막이다.

[0158] 절연층 (103)은, 예를 들어, 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘, 산화알루미늄, 산화하프늄, 산화갈륨, Ga-Zn계 금속 산화물, 질화실리콘 등 중 하나 이상을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0159] 절연층 (103)을, 하프늄 실리케이트 (HfSiO_x), 질소가 첨가된 하프늄 실리케이트 ($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄 알루미늄에이트 ($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화하프늄, 또는 산화이트륨 등의 고-k 재료를 사용하여 형성할 수 있고, 이에 따라 트랜지스터의 게이트 누설 전류를 감소시킬 수 있다.

[0160] <<한 쌍의 전극 (105a) 및 (105b)>>

[0161] 한 쌍의 전극 (105a) 및 (105b)은 트랜지스터의 소스 전극 및 드레인 전극으로서 기능한다.

[0162] 한 쌍의 전극 (105a) 및 (105b)은, 도전성 재료로서, 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 및 텅스텐 등의 임의의 금속, 또는 임의의 이들 금속을 함유하는 합금을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 예를 들어, 실리콘을 함유하는 알루미늄 막의 단층 구조, 알루미늄 막 위에 티타늄 막이 적층된 2층 구조, 텅스텐 막 위에 티타늄 막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금 막 위에 구리 막이 적층된 2층 구조, 티타늄 막 또는 질화티타늄 막, 알루미늄 막 또는 구리 막, 및 티타늄 막 또는 질화티타늄 막이 순서대로 적층된 3층 구조, 몰리브데넘 막 또는 질화몰리브데넘 막, 알루미늄 막 또는 구리 막, 및 몰리브데넘 막 또는 질화몰리브데넘 막이 순서대로 적층된 3층 구조 등이 주어질 수 있다. 산화인듐, 산화주석, 또는 산화아연을 함유하는 투명 도전성 재료가 사용될 수 있음을 인지한다.

[0163] <<절연층 (106), (107)>>

[0164] 절연층 (106)은, 바람직하게는 화학양론적 조성에서의 산소보다 더 높은 비율로 산소를 함유하는 산화물 절연막을 사용하여 형성된다. 이러한 산화물 절연막은 가열시 산소를 방출한다. 예를 들어, 이러한 산화물 절연막을 트랜지스터의 제조 공정에서의 가열 처리 온도 이상의 온도에서 가열하는 경우, 열 탈착 분광법 (TDS) 분석에서, 산소 원자로 환산된 산소 방출량은 1.0×10^{18} 원자/ cm^3 이상, 바람직하게는 3.0×10^{20} 원자/ cm^3 이상이다.

[0165] 절연층 (106)으로서는, 산화실리콘 막, 산화질화실리콘 막 등이 형성될 수 있다.

[0166] 절연층 (106)은 또한 이후에 절연층 (107) 형성시 산화물 반도체 층 (104)에 대한 손상을 완화시키는 막으로서 기능함을 인지한다.

[0167] 절연층 (106)과 산화물 반도체 층 (104) 사이에는 산소를 투과시키는 산화물 막이 제공될 수 있다.

[0168] 산소를 투과시키는 산화물 막으로서는, 산화실리콘 막, 산화질화실리콘 막 등이 형성될 수 있다. 본 명세서에서, "산화질화실리콘 막"은, 산소를 질소보다 더 높은 비율로 함유하는 막을 지칭하고, "질화산화실리콘 막"은 질소를 산소보다 더 높은 비율로 함유하는 막을 지칭함을 인지한다.

[0169] 절연층 (107)은 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막을 사용하여 형성될 수 있다. 절연층 (106) 위에 절연층 (107)을 제공함으로써, 산화물 반도체 층 (104)으로부터 외부로의 산소의 확산 및 외부로부

터 산화물 반도체 층 (104)으로의 수소, 물 등의 도입을 막을 수 있다. 이러한 절연막에 대해서는, 질화실리콘 막, 질화산화실리콘 막, 산화알루미늄 막, 산화질화알루미늄 막, 산화갈륨 막, 산화질화갈륨 막, 산화이트륨 막, 산화질화이트륨 막, 산화하프늄 막, 및 산화질화하프늄 막을 예로 들 수 있다.

[0170] <트랜지스터의 제조 방법예>

[0171] 다음으로, 도 9의 (A) 내지 도 9의 (C)에 나타난 트랜지스터 (100)의 제작 방법의 예를 설명한다.

[0172] 먼저, 도 10의 (A)에 나타난 바와 같이, 기판 (101) 위에 게이트 전극 (102)을 형성하고, 게이트 전극 (102) 위에 절연층 (103)을 형성한다.

[0173] 여기서, 기판 (101)으로서 유리 기판을 사용한다.

[0174] <<게이트 전극의 형성>>

[0175] 게이트 전극 (102)의 형성 방법을 하기에 기재한다. 먼저, 스퍼터링법, CVD법, 증착법 등에 의해 도전막을 형성하고, 이어서, 제1 포토마스크를 사용하여 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성한다. 이어서, 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 게이트 전극 (102)을 형성한다. 그 후, 레지스트 마스크를 제거한다.

[0176] 상기 형성 방법 대신에, 전해 도금법, 인쇄법, 잉크-젯법 등에 의해 게이트 전극 (102)이 형성될 수 있음을 인지한다.

[0177] <<게이트 절연층의 형성>>

[0178] 절연층 (103)은 스퍼터링법, CVD법, 증착법 등에 의해 형성된다.

[0179] 산화실리콘 막, 산화질화실리콘 막, 또는 질화산화실리콘 막을 사용하여 절연층 (103)을 형성하는 경우, 바람직하게는 원료 기체로서 실리콘을 함유하는 퇴적성 기체 및 산화성 기체가 사용된다. 실리콘을 함유하는 퇴적성 기체의 전형적 예는 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 및 이산화질소를 예로 들 수 있다.

[0180] 절연층 (103)으로서 질화실리콘 막을 형성하는 경우, 2-단계 형성 방법을 사용하는 것이 바람직하다. 먼저, 원료 기체로서 실란, 질소, 및 암모니아의 혼합 기체를 사용하는 플라즈마 CVD법에 의해 적은 수의 결함을 갖는 제1 질화실리콘 막을 형성한다. 이어서, 원료 기체를 실란 및 질소의 혼합 기체로 전환시킴으로써 수소 농도가 낮고 수소가 블록킹될 수 있는 제2 질화실리콘 막을 형성한다. 이러한 형성 방법에 의해, 절연층 (103)으로서 적은 수의 결함을 갖고 수소에 대한 블록킹성을 갖는 질화실리콘 막이 형성될 수 있다.

[0181] 또한, 절연층 (103)으로서 산화갈륨 막을 형성하는 경우에는, 금속 유기 화학 증착 (MOCVD)법이 사용될 수 있다.

[0182] <<산화물 반도체 층의 형성>>

[0183] 다음으로, 도 10의 (B)에 나타난 바와 같이, 절연층 (103) 위에 산화물 반도체 층 (104)이 형성된다.

[0184] 산화물 반도체 층 (104)의 형성 방법을 하기에 기재한다. 먼저, 실시의 형태 1에 기재된 방법을 사용하여 산화물 반도체 막을 형성한다. 이어서, 제2 포토마스크를 사용하여 포토리소그래피 공정에 의해 산화물 반도체 막 위에 레지스트 마스크를 형성한다. 이어서, 레지스트 마스크를 사용하여 산화물 반도체 막의 일부를 에칭하여 산화물 반도체 층 (104)을 형성한다. 그 후, 레지스트 마스크를 제거한다.

[0185] 그 후, 가열 처리를 수행할 수 있다. 이러한 경우, 가열 처리는 바람직하게는 산소 함유 분위기 하에 수행한다.

[0186] <<한 쌍의 전극의 형성>>

[0187] 다음으로, 도 10의 (C)에 나타난 바와 같이, 한 쌍의 전극 (105a) 및 (105b)이 형성된다.

[0188] 한 쌍의 전극 (105a) 및 (105b)의 형성 방법을 하기에 기재한다. 먼저, 스퍼터링법, CVD법, 증착법 등에 의해 도전막을 형성한다. 이어서, 제3 포토마스크를 사용하여 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성한다. 이어서, 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 한 쌍의 전극 (105a) 및 (105b)을 형성한다. 그 후, 레지스트 마스크를 제거한다.

- [0189] 도 10의 (B)에 나타난 바와 같이, 일부 경우에 도전막의 에칭에 의해 산화물 반도체 층 (104)의 상부가 부분적으로 에칭되고 얇게 만들어짐을 인지한다. 이러한 이유로, 산화물 반도체 층 (104)은 바람직하게는 두껍게 형성된다.
- [0190] <<절연층의 형성>>
- [0191] 다음으로, 도 10의 (D)에 나타난 바와 같이, 산화물 반도체 층 (104) 및 한 쌍의 전극 (105a) 및 (105b) 위에 절연층 (106)이 형성되고, 이어서 절연층 (106) 위에 절연층 (107)이 형성된다.
- [0192] 산화실리콘 막 또는 산화질화실리콘 막을 사용하여 절연층 (106)을 형성하는 경우, 원료 기체로서 바람직하게는 실리콘을 함유하는 퇴적성 기체 및 산화성 기체가 사용된다. 실리콘을 함유하는 퇴적성 기체의 전형적 예는 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 및 이산화질소를 예로 들 수 있다.
- [0193] 예를 들어, 하기와 같은 조건 하에 산화실리콘 막 또는 산화질화실리콘 막을 형성한다: 플라즈마 CVD 장치의 진공-배기 처리 챔버에 배치된 기판을 180℃ 이상 260℃ 이하, 바람직하게는 200℃ 이상 240℃ 이하의 온도에서 유지하고, 처리 챔버에 100 Pa 이상 250 Pa 이하, 바람직하게는 100 Pa 이상 200 Pa 이하의 압력에서 원료 기체를 충전시키고, 처리 챔버 내에 제공된 전극에 0.17 W/cm^2 이상 0.5 W/cm^2 이하, 바람직하게는 0.25 W/cm^2 이상 0.35 W/cm^2 이하의 고주파 전력을 공급한다.
- [0194] 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 기체의 분해 효율이 증가하고, 산소 라디칼이 증가하고, 원료 기체의 산화가 촉진되고; 따라서, 산화물 절연막 중에 산소가 화학양론적 조성에서의 산소보다 더 높은 비율로 함유된다. 그러나, 상기 언급된 기판 온도에서 제조된 막은, 이후 공정에서 수행되는 가열에 따라 그 안의 산소의 일부를 방출한다. 따라서, 화학양론적 조성에서의 산소보다 더 높은 비율로 산소를 함유하고, 그로부터 가열에 의해 산소의 일부가 방출되는 산화물 절연막을 형성할 수 있다.
- [0195] 또한, 산화물 반도체 층 (104)과 절연층 (106) 사이에 산화물 절연막을 제공하는 경우에는, 절연층 (106)의 형성 단계에서 산화물 절연막이 산화물 반도체 층 (104)의 보호막이 된다. 따라서, 산화물 반도체 층 (104)에 대한 손상을 감소시키면서 높은 전력 밀도를 갖는 고주파 전력을 사용하여 절연층 (106)을 형성할 수 있다.
- [0196] 예를 들어, 하기와 같은 조건 하에 산화물 절연막으로서 산화실리콘 막 또는 산화질화실리콘 막이 형성될 수 있다: 플라즈마 CVD 장치의 진공-배기 처리 챔버에 배치된 기판을 180℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 370℃ 이하의 온도에서 유지하고, 처리 챔버에 20 Pa 이상 250 Pa 이하, 바람직하게는 100 Pa 이상 250 Pa 이하의 압력에서 원료 기체를 충전시키고, 처리 챔버 내에 제공된 전극에 고주파 전력을 공급한다. 또한, 처리 챔버의 압력이 100 Pa 이상 250 Pa 이하인 경우, 산화물 반도체 층 (104)에 대한 손상이 감소될 수 있다.
- [0197] 바람직하게는 산화물 절연막의 원료 기체로서 실리콘을 함유하는 퇴적성 기체 및 산화성 기체가 사용된다. 실리콘을 함유하는 퇴적성 기체의 전형적 예는 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 및 이산화질소를 예로 들 수 있다.
- [0198] 절연층 (107)은 스퍼터링법, CVD법 등에 의해 형성될 수 있다.
- [0199] 질화실리콘 막 또는 질화산화실리콘 막을 사용하여 절연층 (107)을 형성하는 경우, 바람직하게는 원료 기체로서 실리콘을 함유하는 퇴적성 기체, 산화성 기체, 및 질소를 함유하는 기체가 사용된다. 실리콘을 함유하는 퇴적성 기체의 전형적 예는 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 및 이산화질소를 예로 들 수 있다. 질소를 함유하는 기체로서는, 질소 및 암모니아를 예로 들 수 있다.
- [0200] 상기 공정을 통해, 트랜지스터 (100)가 형성될 수 있다.
- [0201] <트랜지스터 (100)의 변형예>
- [0202] 트랜지스터 (100)와 부분적으로 상이한 트랜지스터의 구성예를 하기에 기재한다.
- [0203] <<변형예 1>>
- [0204] 도 9의 (B)는 하기에 예로서 기재된 트랜지스터 (110)의 단면 개략도이다. 트랜지스터 (110)은 산화물 반도체 층의 구성에 있어서 트랜지스터 (100)와 상이하다. 또한, 하기에서는, 다른 구성예의 것들과 유사한 구성 또는

기능을 갖는 구성요소는, 동일한 참조 번호로 나타내고, 이들의 기재는 생략한다.

- [0205] 트랜지스터 (110)에 포함된 산화물 반도체 층 (114)에서는, 산화물 반도체 층 (114a) 및 산화물 반도체 층 (114b)이 적층된다.
- [0206] 산화물 반도체 층 (114a)과 산화물 반도체 층 (114b) 사이의 경계는 일부 경우에 불명확하기 때문에, 도 9의 (B) 등에서 경계를 파선으로 나타내었다.
- [0207] 산화물 반도체 층 (114a) 및 (114b) 중 하나 또는 이들 둘 다에 본 발명의 한 실시의 형태의 산화물 반도체 막이 적용될 수 있다.
- [0208] 산화물 반도체 층 (114a)에 사용될 수 있는 재료의 전형적 예는 In-Ga 산화물, In-Zn 산화물, 및 In-M-Zn 산화물 (M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf임)이다. 산화물 반도체 층 (114a)에 In-M-Zn 산화물을 사용하는 경우, In 및 M의 합계를 100 원자%로 가정하고 Zn 및 산소를 고려에서 제외하면, In 및 M의 비율은 바람직하게는 각각 25 원자% 이상 75 원자% 미만이고, 또한 바람직하게는 각각 34 원자% 이상 66 원자% 미만이다. 또한, 예를 들어, 산화물 반도체 층 (114a)에는 2 eV 이상, 바람직하게는 2.5 eV 이상, 또한 바람직하게는 3 eV 이상의 에너지 갭을 갖는 재료가 사용된다.
- [0209] 예를 들어, 산화물 반도체 층 (114b)은 In 또는 Ga를 함유하고, 전형적으로는 In-Ga 산화물, In-Zn 산화물, 또는 In-M-Zn 산화물 (M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf임)을 함유한다. 추가로, 산화물 반도체 층 (114b)의 전도 밴드 하단의 에너지 준위는 산화물 반도체 층 (114a)의 경우보다 진공 준위에 더 가깝다. 산화물 반도체 층 (114b)의 전도 밴드 하단의 에너지 준위와 산화물 반도체 층 (114a)의 전도 밴드 하단의 에너지 준위 사이의 차는 바람직하게는 0.05 eV 이상, 0.07 eV 이상, 0.1 eV 이상, 또는 0.15 eV 이상 2 eV 이하, 1 eV 이하, 0.5 eV 이하, 또는 0.4 eV 이하이다.
- [0210] 예를 들어, In-M-Zn 산화물이 산화물 반도체 층 (114b)으로서 사용되는 경우, In과 M 사이의 원자수비는 바람직하게는 하기와 같다: In과 M의 합계를 100 원자%로 가정하고 Zn 및 산소를 고려에서 제외하면, In의 원자%는 50 원자% 미만이고, M의 원자%는 50 원자% 이상이고; 또한 바람직하게는, In의 원자%는 25 원자% 미만이고, M의 원자%는 75 원자% 이상이다.
- [0211] 산화물 반도체 층 (114a)에는, 예를 들어, 1:1:1 또는 3:1:2의 원자수비로 In, Ga, 및 Zn을 함유하는 In-Ga-Zn 산화물이 사용될 수 있다. 또한, 산화물 반도체 층 (114b)에는, 1:3:2, 1:6:4, 또는 1:9:6의 원자수비로 In, Ga, 및 Zn을 함유하는 In-Ga-Zn 산화물이 사용될 수 있다. 일부 경우에 산화물 반도체 층 (114a) 및 (114b)의 원자수비는 사용된 타겟의 것들과 상이할 수 있고, 이들간에 $\pm 20\%$ 의 차가 존재할 수 있음을 인지한다.
- [0212] 산화물 반도체 층 (114a) 위에 제공된 산화물 반도체 층 (114b)에 안정화제로서 기능하는 다량의 Ga를 함유하는 산화물이 사용되는 경우, 산화물 반도체 층 (114a) 및 (114b)으로부터 산소가 방출되는 것이 억제될 수 있다.
- [0213] 상기에 기재된 조성 및 재료로 제한되지 않으면서, 필요한 트랜지스터의 반도체 특성 및 전기 특성 (예를 들어, 계면-효과 이동도 및 역치 전압)에 따라 적절한 조성을 갖는 재료가 사용될 수 있음을 인지한다. 또한, 필요한 트랜지스터의 반도체 특성을 얻기 위해, 산화물 반도체 층 (114a) 및 (114b)의 캐리어 밀도, 불순물 농도, 결합 밀도, 금속 원소 대 산소의 원자수비, 원자간 거리, 밀도 등을 적절히 셋팅하는 것이 바람직하다.
- [0214] 산화물 반도체 층 (114)의 예로서 2개의 산화물 반도체 층이 적층된 구성을 기재하였지만, 3개 이상의 산화물 반도체 층이 적층된 구성이 사용될 수도 있다.
- [0215] <<변형예 2>>
- [0216] 도 9의 (C)는 하기에 예로서 기재된 트랜지스터 (120)의 단면 개략도이다. 트랜지스터 (120)는 산화물 반도체 층의 구성에 있어 트랜지스터 (100) 및 트랜지스터 (110)과 상이하다.
- [0217] 트랜지스터 (120)에 포함된 산화물 반도체 층 (124)에서는, 산화물 반도체 층 (124a), 산화물 반도체 층 (124b), 및 산화물 반도체 층 (124c)가 순서대로 적층되어 있다.
- [0218] 산화물 반도체 층 (124a) 및 (124b)은 절연층 (103) 위에 적층된다. 산화물 반도체 층 (124c)는, 산화물 반도체 층 (124b)의 상면 및 한 쌍의 전극 (105a) 및 (105b)의 상면 및 측면과 접촉하여 제공된다.
- [0219] 산화물 반도체 층 (124a), (124b), 및 (124c) 중 적어도 하나에 본 발명의 한 실시의 형태의 산화물 반도체 막이 적용될 수 있다.

- [0220] 예를 들어, 산화물 반도체 층 (124b)는 변형예 1에 예로서 기재된 산화물 반도체 층 (114a)의 구성과 유사한 구성을 가질 수 있다. 또한, 예를 들어, 산화물 반도체 층 (124a) 및 (124c)는 각각 변형예 1에 예로서 기재된 산화물 반도체 층 (114b)의 구성과 유사한 구성을 가질 수 있다.
- [0221] 예를 들어, 산화물 반도체 층 (124a) 및 산화물 반도체 층 (124c)에 안정화제로서 기능하는 다량의 Ga를 함유하는 산화물이 사용되는 경우, 산화물 반도체 층 (124a), 산화물 반도체 층 (124b), 및 산화물 반도체 층 (124c)으로부터 산소가 방출되는 것이 억제될 수 있다.
- [0222] 예를 들어, 산화물 반도체 층 (124b)에 주로 채널이 형성되는 경우, 산화물 반도체 층 (124b)에 다량의 In을 함유하는 산화물이 사용될 수 있고, 산화물 반도체 층 (124b)와 접촉하여 한 쌍의 전극 (105a) 및 (105b)이 제공되고; 따라서, 트랜지스터 (120)의 온 전류(on-state current)가 증가할 수 있다.
- [0223] <트랜지스터의 또 다른 구성예>
- [0224] 본 발명의 한 실시의 형태의 산화물 반도체 막이 적용될 수 있는 탑-게이트 트랜지스터의 구성예를 하기에서 설명한다.
- [0225] <<구성예>>
- [0226] 도 11의 (A)는 하기에 예로서 기재된 트랜지스터 (150)의 단면 개략도이다.
- [0227] 트랜지스터 (150)는 절연층 (151)이 위에 제공된 기판 (101) 위에 제공된 산화물 반도체 층 (104), 산화물 반도체 층 (104)의 상면과 접촉된 한 쌍의 전극 (105a) 및 (105b), 산화물 반도체 층 (104) 및 한 쌍의 전극 (105a) 및 (105b) 위에 제공된 절연층 (103), 및 절연층 (103) 위에 산화물 반도체 층 (104)과 중첩되어 제공된 게이트 전극 (102)을 포함한다. 또한, 절연층 (103) 및 게이트 전극 (102)을 피복하도록 절연층 (152)이 제공된다.
- [0228] 트랜지스터 (150)에서 산화물 반도체 층 (104)에 본 발명의 한 실시의 형태의 산화물 반도체 막이 적용될 수 있다.
- [0229] 절연층 (151)은 기판 (101)으로부터 산화물 반도체 층 (104)으로의 불순물의 확산을 억제하는 기능을 갖는다. 예를 들어, 절연층 (107)의 구성과 유사한 구성이 사용될 수 있다. 절연층 (151)이 반드시 제공되어야 하는 것은 아님을 인지한다.
- [0230] 절연층 (152)은 절연층 (107)의 경우와 유사한 방식으로 산소, 수소, 물 등에 대한 블록킹 효과를 갖는 절연막을 사용하여 형성될 수 있다. 절연층 (107)이 반드시 제공되어야 하는 것은 아님을 인지한다.
- [0231] <<변형예>>
- [0232] 트랜지스터 (150)와 부분적으로 상이한 트랜지스터의 구성예를 하기에 기재한다.
- [0233] 도 11의 (B)는 하기에 예로서 기재된 트랜지스터 (160)의 단면 개략도이다. 트랜지스터 (160)에서 산화물 반도체 층의 구성은 트랜지스터 (150)에서의 구성과 상이하다.
- [0234] 트랜지스터 (160)에 포함된 산화물 반도체 층 (164)에서는, 산화물 반도체 층 (164a), 산화물 반도체 층 (164b), 및 산화물 반도체 층 (164c)이 순서대로 적층되어 있다.
- [0235] 산화물 반도체 층 (164a), 산화물 반도체 층 (164b), 및 산화물 반도체 층 (164c) 중 적어도 하나에 본 발명의 한 실시의 형태의 산화물 반도체 막이 적용될 수 있다.
- [0236] 예를 들어, 산화물 반도체 층 (164b)는 변형예 1에 예로서 기재된 산화물 반도체 층 (114a)의 구성과 유사한 구성을 가질 수 있다. 또한, 예를 들어, 산화물 반도체 층 (164a) 및 (164c)는 각각 변형예 1에 예로서 기재된 산화물 반도체 층 (114b)의 구성과 유사한 구성을 가질 수 있다.
- [0237] 산화물 반도체 층 (164a) 및 산화물 반도체 층 (164c)에 안정화제로서 기능하는 다량의 Ga를 함유하는 산화물이 사용되고; 따라서, 산화물 반도체 층 (164a), 산화물 반도체 층 (164b), 및 산화물 반도체 층 (164c)으로부터 산소가 방출되는 것이 억제될 수 있다.
- [0238] 산화물 반도체 층 (164)은 하기 방식으로 형성될 수 있다: 산화물 반도체 층 (164c) 및 산화물 반도체 층 (164b)을 에칭에 의해 얻어, 산화물 반도체 층 (164a)가 되는 산화물 반도체 막을 노출시키고; 산화물 반도체 막을 건식 에칭법에 의해 산화물 반도체 층 (164a)으로 가공한다. 이 경우에는, 일부 경우에 산화물 반도체 막

의 반응 생성물이 산화물 반도체 층 (164b) 및 (164c)의 측면에 부착되어 측벽 보호층 (또한 래빗 이어서 언급됨)을 형성한다. 반응 생성물은 스퍼터링 현상에 의해 또는 건식 에칭시에 부착됨을 인지한다.

[0239] 도 11의 (C)는 상기 방식으로 산화물 반도체 층 (164)의 측면으로서 측벽 보호층 (164d)이 형성된 트랜지스터 (161)의 단면 개략도이다. 트랜지스터 (161)의 다른 구성요소는 트랜지스터 (160)의 것들과 동일함을 인지한다.

[0240] 측벽 보호층 (164d)은 주로 산화물 반도체 층 (164a)과 동일한 재료를 함유한다. 일부 경우에, 측벽 보호층 (164d)은 산화물 반도체 층 (164a)의 하부에 제공된 층 (여기서는 절연층 (151))의 구성성분 (예를 들어, 실리콘)을 함유한다.

[0241] 도 11의 (C)에 나타낸 바와 같이 산화물 반도체 층 (164b)의 측면이 측벽 보호층 (164d)으로 피복된 한 쌍의 전극 (105a) 및 (105b)와 접촉되지 않는 구성에 의해, 특히 산화물 반도체 층 (164b)에 주로 채널이 형성되는 경우에, 오프-상태에서의 트랜지스터의 의도하지 않은 누설 전류가 감소될 수 있고; 따라서, 유리한 오프-상태 특성을 갖는 트랜지스터가 제작될 수 있다. 또한, 측벽 보호층 (164d)에 안정화제로서 기능하는 다량의 Ga를 함유하는 재료가 사용되는 경우, 산화물 반도체 층 (164b)의 측면으로부터 산소가 방출되는 것이 억제될 수 있고; 따라서, 전기적 특성의 안정성이 우수한 트랜지스터가 제작될 수 있다.

[0242] 본 실시의 형태는 본 명세서에 기재된 실시의 형태와 적절히 조합하여 실시할 수 있다.

[0243] (실시의 형태 3)

[0244] 본 실시의 형태에서는, 본 발명의 한 실시의 형태의 표시 패널의 구성을 도 12의 (A) 내지 도 12의 (C)를 참조로 하여 설명한다.

[0245] 도 12의 (A)는 본 발명의 한 실시의 형태의 표시 패널의 상면도이다. 도 12의 (B)는 본 발명의 한 실시의 형태의 표시 패널의 화소에 액정 소자가 사용된 경우에 사용될 수 있는 화소 회로를 나타낸다. 도 12의 (C)는 본 발명의 한 실시의 형태의 표시 패널의 화소에 유기 EL 소자가 사용된 경우에 사용될 수 있는 화소 회로를 나타낸다.

[0246] 화소부 내의 트랜지스터는 실시의 형태 2에 따라 형성될 수 있다. 또한, 트랜지스터는 n-채널형 트랜지스터로서 용이하게 형성될 수 있고, 따라서 n-채널형 트랜지스터를 사용하여 형성될 수 있는 구동 회로의 일부를 화소부의 트랜지스터와 동일한 기관 위에 형성할 수 있다. 이러한 방식으로 실시의 형태 2에 기재된 트랜지스터를 화소부 또는 구동 회로에 사용함으로써, 신뢰성 높은 표시 장치가 제공될 수 있다.

[0247] 도 12의 (A)는 액티브 매트릭스 표시 장치의 블록도의 예를 나타낸다. 표시 장치에서는 기관 (500) 위에 화소부 (501), 제1 주사선 구동 회로 (502), 제2 주사선 구동 회로 (503), 및 신호선 구동 회로 (504)가 제공된다. 화소부 (501)에는, 신호선 구동 회로 (504)로부터 연신되는 복수의 신호선이 배치되고, 제1 주사선 구동 회로 (502) 및 제2 주사선 구동 회로 (503)로부터 연신되는 복수의 주사선이 배치된다. 주사선 및 신호선이 서로 교차하는 각각의 영역에는 표시 소자를 포함하는 화소가 매트릭스로 제공됨을 인지한다. 표시 장치의 기관 (500)은 연성 인쇄 회로 (FPC) 등의 접속부를 통해 타이밍 제어 회로 (또한 컨트롤러 또는 제어 IC로서 언급됨)에 접속된다.

[0248] 도 12의 (A)에서는, 제1 주사선 구동 회로 (502), 제2 주사선 구동 회로 (503), 및 신호선 구동 회로 (504)가 화소부 (501)와 동일한 기관 (500) 위에 형성된다. 따라서, 구동 회로 등의, 외부에 제공된 부품의 수가 감소할 수 있고, 따라서, 비용 감소가 달성될 수 있다. 또한, 기관 (500)의 외부에 구동 회로가 제공되는 경우, 배선을 연신시킬 필요가 있고, 배선간의 접속수가 증가하지만, 기관 (500) 위에 구동 회로가 제공되는 경우에는, 배선간의 접속수가 감소할 수 있다. 결과적으로, 신뢰성 또는 수율 향상이 달성될 수 있다.

[0249] <액정 패널>

[0250] 도 12의 (B)는 화소의 회로 구성의 예를 나타낸다. 여기서는, VA 액정 표시 패널의 화소에 적용가능한 화소 회로를 나타낸다.

[0251] 이러한 화소 회로는, 1개의 화소가 복수의 화소 전극 층을 포함하는 구성에 적용될 수 있다. 화소 전극 층은 상이한 트랜지스터에 접속되고, 트랜지스터는 상이한 게이트 신호로 구동될 수 있다. 따라서, 멀티-도메인 화소의 개개의 화소 전극 층에 인가되는 신호를 독립적으로 제어할 수 있다.

[0252] 트랜지스터 (516)의 게이트 배선 (512) 및 트랜지스터 (517)의 게이트 배선 (513)은, 상이한 게이트 신호가 이

들에 공급될 수 있도록 분리된다. 한편, 데이터선으로서 기능하는 소스 또는 드레인 전극 (514)은 트랜지스터 (516) 및 (517)에 의해 공유된다. 실시의 형태 2에 기재된 트랜지스터는 트랜지스터 (516) 및 (517) 각각으로서 적절히 사용될 수 있다. 따라서, 신뢰성 높은 액정 표시 패널이 제공될 수 있다.

- [0253] 트랜지스터 (516)에 전기적으로 접속된 제1 화소 전극 층 및 트랜지스터 (517)에 전기적으로 접속된 제2 화소 전극 층의 형상을 기재한다. 제1 화소 전극 층 및 제2 화소 전극 층은 슬릿에 의해 분리된다. 제1 화소 전극 층은 V자형이고, 제2 화소 전극 층은 제1 화소 전극 층을 둘러싸도록 제공된다.
- [0254] 트랜지스터 (516)의 게이트 전극은 게이트 배선 (512)에 접속되고, 트랜지스터 (517)의 게이트 전극은 게이트 배선 (513)에 접속된다. 게이트 배선 (512) 및 게이트 배선 (513)에 상이한 게이트 신호가 공급되면, 트랜지스터 (516) 및 트랜지스터 (517)의 동작 타이밍이 변할 수 있다. 그 결과, 액정의 배향이 제어될 수 있다.
- [0255] 또한, 용량 배선 (510), 유전체로서 기능하는 게이트 절연막, 및 제1 화소 전극 층 또는 제2 화소 전극 층에 전기적으로 접속된 용량 전극을 사용하여 축적 용량을 형성할 수 있다.
- [0256] 멀티-도메인 화소는 제1 액정 소자 (518) 및 제2 액정 소자 (519)를 포함한다. 제1 액정 소자 (518)는 제1 화소 전극 층, 대향 전극 층, 및 이들 사이의 액정 층을 포함한다. 제2 액정 소자 (519)는 제2 화소 전극 층, 대향 전극 층, 및 이들 사이의 액정 층을 포함한다.
- [0257] 본 발명의 화소 회로는 도 12의 (B)에 나타난 것으로 제한되지 않음을 인지한다. 예를 들어, 도 12의 (B)에 나타난 화소에 스위치, 저항 소자, 용량소자, 트랜지스터, 센서, 논리 회로 등을 추가할 수 있다.
- [0258] <유기 EL 패널>
- [0259] 도 12의 (C)는 화소부의 회로 구성의 또 다른 예를 나타낸다. 여기서는, 유기 EL 소자를 사용한 표시 패널의 화소 구조를 나타낸다.
- [0260] 유기 EL 소자에서는, 발광 소자에 전압을 인가함으로써, 발광성 유기 화합물을 함유하는 층으로, 한 쌍의 전극 중 하나로부터 전자가 주입되고, 한 쌍의 전극 중 다른 하나로부터 정공이 주입되고; 따라서, 전류가 흐른다. 전자 및 정공은 재결합되고, 따라서 발광성 유기 화합물이 여기된다. 발광성 유기 화합물이 여기 상태에서부터 기저 상태로 복귀됨에 따라 발광된다. 이러한 메커니즘으로 인해, 이러한 발광 소자는 전류-여기형 발광 소자로서 언급된다.
- [0261] 도 12의 (C)는 적용가능한 화소 회로의 예를 나타낸다. 여기서, 1개의 화소는 2개의 n-채널형 트랜지스터를 포함한다. 본 발명의 한 실시의 형태의 금속 산화물 막은 n-채널형 트랜지스터의 채널 형성 영역에 사용될 수 있음을 인지한다. 또한, 디지털 시간 계조 구동이 화소 회로에 사용될 수 있다.
- [0262] 적용가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 사용한 화소의 동작을 기재한다.
- [0263] 화소 (520)는 스위칭용 트랜지스터 (521), 구동용 트랜지스터 (522), 발광 소자 (524), 및 용량소자 (523)를 포함한다. 스위칭용 트랜지스터 (521)의 게이트 전극 층은 주사선 (526)에 접속되고, 스위칭용 트랜지스터 (521)의 제1 전극 (소스 전극 층 및 드레인 전극 층 중 하나)은 신호선 (525)에 접속되고, 스위칭용 트랜지스터 (521)의 제2 전극 (소스 전극 층 및 드레인 전극 층 중 다른 하나)은 구동용 트랜지스터 (522)의 게이트 전극 층에 접속된다. 구동용 트랜지스터 (522)의 게이트 전극 층은 용량소자 (523)를 통해 전원선 (527)에 접속되고, 구동용 트랜지스터 (522)의 제1 전극은 전원선 (527)에 접속되고, 구동용 트랜지스터 (522)의 제2 전극은 발광 소자 (524)의 제1 전극 (화소 전극)에 접속된다. 발광 소자 (524)의 제2 전극은 공통 전극 (528)에 상응한다. 공통 전극 (528)은 동일한 기판 위에 제공된 공통 전위선에 전기적으로 접속된다.
- [0264] 스위칭용 트랜지스터 (521) 및 구동용 트랜지스터 (522)로서, 실시의 형태 2에 기재된 트랜지스터가 적절히 사용될 수 있다. 이러한 방식으로, 신뢰성 높은 유기 EL 표시 패널이 제공될 수 있다.
- [0265] 발광 소자 (524)의 제2 전극 (공통 전극 (528))의 전위는 낮은 전원 전위로 설정된다. 낮은 전원 전위는 전원선 (527)에 공급된 높은 전원 전위보다 더 낮음을 인지한다. 예를 들어, 낮은 전원 전위는 GND, 0 V 등일 수 있다. 높은 전원 전위 및 낮은 전원 전위는 발광 소자 (524)의 순방향 역치 전압 이상으로 설정되고, 전위차를 발광 소자 (524)에 인가함으로써 발광 소자 (524)에 전류가 공급되어 발광이 일어난다. 발광 소자 (524)의 순방향 전압은 요망되는 휘도가 얻어지는 전압을 지칭하고, 이는 적어도 순방향 역치 전압보다 더 높다.
- [0266] 용량소자 (523)를 대신하여 구동용 트랜지스터 (522)의 게이트 용량이 사용될 수 있고, 따라서 용량소자 (523)는 생략될 수 있다. 구동용 트랜지스터 (522)의 게이트 용량은 채널 형성 영역과 게이트 전극 층 사이에 형성

될 수 있다.

- [0267] 다음으로, 구동용 트랜지스터 (522)에 대한 신호 입력을 기재한다. 전압-입력 전압 구동 방법의 경우, 구동용 트랜지스터 (522)를 확실히 온-상태 또는 오프-상태로 만드는 비디오 신호가 구동용 트랜지스터 (522)에 입력된다. 구동용 트랜지스터 (522)가 선형 영역에서 동작되기 위해, 전원선 (527)의 전압보다 더 높은 전압을 구동용 트랜지스터 (522)의 게이트 전극 층에 인가한다. 신호선 (525)에는, 전원선 전압 및 구동용 트랜지스터 (522)의 역치 전압 V_{th} 의 합계인 전압 이상의 전압이 인가됨을 인지한다.
- [0268] 아날로그 계조 구동을 수행하는 경우, 발광 소자 (524)의 순방향 전압 및 구동용 트랜지스터 (522)의 역치 전압 V_{th} 의 합계인 전압 이상의 전압이 구동용 트랜지스터 (522)의 게이트 전극 층에 인가된다. 구동용 트랜지스터 (522)가 포화 영역에서 동작되게 하는 비디오 신호가 입력되고, 따라서 발광 소자 (524)에 전류가 공급된다. 구동용 트랜지스터 (522)가 포화 영역에서 동작되기 위해, 전원선 (527)의 전위는 구동용 트랜지스터 (522)의 게이트 전위보다 더 높게 설정된다. 아날로그 비디오 신호가 사용되는 경우, 발광 소자 (524)에 비디오 신호에 따라 전류를 공급하여 아날로그 계조 구동을 수행할 수 있다.
- [0269] 본 발명의 화소 회로의 구성은 도 12의 (C)에 나타난 것으로 제한되지 않음을 인지한다. 예를 들어, 도 12의 (C)에 나타난 화소 회로에 스위치, 저장 소자, 용량소자, 센서, 트랜지스터, 논리 회로 등을 추가할 수 있다.
- [0270] (실시의 형태 4)
- [0271] 본 실시의 형태에서는, 본 발명의 한 실시의 형태의 금속 산화물 막을 포함하는 반도체 장치 및 전자 기기의 구성을 도 13 및 도 14의 (A) 내지 도 14의 (D)를 참조로 하여 설명한다.
- [0272] 도 13은 본 발명의 한 실시의 형태의 금속 산화물 막이 적용된 반도체 장치를 포함하는 전자 기기의 블록도이다.
- [0273] 도 14의 (A) 내지 도 14의 (D)는 각각 본 발명의 한 실시의 형태의 금속 산화물 막이 적용된 반도체 장치를 포함하는 전자 기기의 외관도이다.
- [0274] 도 13에 나타난 전자 기기는 RF 회로 (901), 아날로그 베이스밴드 회로 (902), 디지털 베이스밴드 회로 (903), 전지 (904), 전원 회로 (905), 어플리케이션 프로세서 (906), 플래쉬 메모리 (910), 디스플레이 컨트롤러 (911), 메모리 회로 (912), 디스플레이 (913), 터치 센서 (919), 음성 회로 (917), 키보드 (918) 등을 포함한다.
- [0275] 어플리케이션 프로세서 (906)는 CPU (907), DSP (908), 및 인터페이스 (IF) (909)를 포함한다. 또한, 메모리 회로 (912)는 SRAM 또는 DRAM을 포함할 수 있다.
- [0276] 실시의 형태 2에 기재된 트랜지스터를 메모리 회로 (912)에 적용함으로써, 데이터의 쓰기 및 읽기가 가능한 신뢰성 높은 전자 기기가 제공될 수 있다.
- [0277] 실시의 형태 2에 기재된 트랜지스터를 CPU (907) 또는 DSP (908)에 포함된 레지스터 등에 적용함으로써, 데이터의 쓰기 및 읽기가 가능한 신뢰성 높은 전자 기기가 제공될 수 있다.
- [0278] 실시의 형태 2에 기재된 트랜지스터의 오프-상태 누설 전류가 매우 작은 경우, 메모리 회로 (912)가 데이터를 장기간 동안 축적할 수 있고, 충분히 낮은 전력 소비를 가질 수 있음을 인지한다. 또한, CPU (907) 또는 DSP (908)은, 전력 게이팅이 수행되는 기간 동안 전력 게이팅 전의 상태를 레지스터 등에 축적할 수 있다.
- [0279] 또한, 디스플레이 (913)는 표시부 (914), 소스 드라이버 (915), 및 게이트 드라이버 (916)를 포함한다.
- [0280] 표시부 (914)는 매트릭스로 배치된 복수의 화소를 포함한다. 화소는 화소 회로를 포함하고, 화소 회로는 게이트 드라이버 (916)에 전기적으로 접속된다.
- [0281] 실시의 형태 2에 기재된 트랜지스터는 화소 회로 또는 게이트 드라이버 (916)에 적절히 사용될 수 있다. 따라서, 신뢰성 높은 디스플레이가 제공될 수 있다.
- [0282] 전자 기기의 예는 텔레비전 장치 (또한 텔레비전 또는 텔레비전 수신기로서 언급됨), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기 (또한 휴대 전화 또는 휴대 전화 장치로서 언급됨), 휴대형 게임기, 휴대형 정보 단말기, 음향 재생 장치, 파친코 기계 등의 대형 게임기이다.
- [0283] 도 14의 (A)는 본체 (1001), 하우징 (1002), 표시부 (1003a), 표시부 (1003b) 등을 포함하는 휴대형 정보 단말

기를 나타낸다. 표시부 (1003b)는 터치 패널을 포함한다. 표시부 (1003b)에 표시된 키보드 버튼 (1004)을 터치함으로써, 화면 조작이 수행될 수 있고, 문자를 입력할 수 있다. 물론, 표시부 (1003a)는 터치 패널로서 기능할 수 있다. 실시의 형태 2에 기재된 트랜지스터를 스위칭 소자로서 사용하여 액정 패널 또는 유기 발광 패널을 제작하고, 이를 표시부 (1003a) 또는 (1003b)에 적용함으로써, 신뢰성 높은 휴대형 정보 단말기가 제공될 수 있다.

[0284] 도 14의 (A)에 나타난 휴대형 정보 단말기는 각종 데이터 (예를 들어, 정지 상, 동영상, 및 텍스트 화상)를 표시하는 기능, 캘린더, 날짜, 시간 등을 표시부에 표시하는 기능, 표시부에 표시된 데이터를 조작 또는 편집하는 기능, 각종 소프트웨어 (프로그램)에 의한 처리를 제어하는 기능 등을 가질 수 있다. 또한, 외부 접속용 단자 (이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 하우징의 배면 또는 측면에 제공될 수 있다.

[0285] 도 14의 (A)에 기재된 휴대형 정보 단말기는 무선으로 데이터를 송수신할 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 요망되는 서적 데이터 등을 구입하고 다운로드할 수 있다.

[0286] 도 14의 (B)는 본체 (1021), 표시부 (1023), 휴대형 음악 플레이어를 귀에 장착할 수 있는 고정부 (1022), 스피커, 조작 버튼 (1024), 외부 메모리 슬롯 (1025) 등을 포함하는 휴대형 음악 플레이어를 나타낸다. 실시의 형태 2에 기재된 트랜지스터를 스위칭 소자로서 사용하여 액정 패널 또는 유기 발광 패널을 제작하고, 이를 표시부 (1023)에 적용함으로써, 신뢰성 높은 휴대형 음악 플레이어가 제공될 수 있다.

[0287] 또한, 도 14의 (B)에 나타난 휴대형 음악 플레이어가 안테나, 마이크 기능, 또는 무선 통신 기능을 갖고, 이것이 휴대 전화와 함께 사용되는 경우, 사용자는 자동차 등을 운전하는 동안 핸즈-프리로 무선 방식으로 전화 통화를 할 수 있다.

[0288] 도 14의 (C)는 하우징 (1030) 및 하우징 (1031)의 2개의 하우징을 포함하는 휴대 전화를 나타낸다. 하우징 (1031)은 표시 패널 (1032), 스피커 (1033), 마이크 (1034), 포인팅 장치 (1036), 카메라 렌즈 (1037), 외부 접속용 단자 (1038) 등을 포함한다. 하우징 (1030)에는 휴대 전화 충전을 위한 태양 전지 셀 (1040), 외부 메모리 슬롯 (1041) 등이 제공된다. 추가로, 안테나가 하우징 (1031) 내에 내장된다. 실시의 형태 2에 기재된 트랜지스터를 표시 패널 (1032)에 적용함으로써, 신뢰성 높은 휴대 전화가 제공될 수 있다.

[0289] 또한, 표시 패널 (1032)은 터치 패널을 포함한다. 도 14의 (C)에서 화상으로서 표시되는 복수의 조작 키 (1035)는 점선으로 나타내었다. 태양 전지 셀 (1040)로부터 출력된 전압을 각각의 회로에 대해 충분히 높게 되도록 증가시키는 승압 회로가 또한 포함된다.

[0290] 예를 들어, 또한 승압 회로 등의 전원 회로에 사용되는 전력 트랜지스터가, 실시의 형태 2에 기재된 트랜지스터의 금속 산화물 막이 2 μm 이상 50 μm 이하의 두께를 갖는 경우에 형성될 수 있다.

[0291] 표시 패널 (1032)에서는, 적용 방식에 따라 표시 방향이 적절히 변화된다. 또한, 휴대 전화에는 표시 패널 (1032)과 동일한 표면 위에 카메라 렌즈 (1037)가 제공되고, 따라서 이는 비디오 폰으로서 사용될 수 있다. 스피커 (1033) 및 마이크 (1034)는 음성 전화 뿐만 아니라 비디오폰 전화, 녹음, 및 음성 재생 등에 사용될 수 있다. 또한, 하우징 (1030) 및 (1031)은, 슬라이딩에 의해, 도 14의 (C)에 나타난 바와 같이 전개된 상태에서 서로 겹쳐진 상태로 전환될 수 있다. 따라서, 휴대 전화의 크기가 감소될 수 있고, 이는 휴대 전화를 휴대하기에 적합하게 한다.

[0292] 외부 접속용 단자 (1038)는 AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속될 수 있어, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯 (1041)에 기록 매체를 삽입함으로써, 보다 다량의 데이터가 축적 및 이동될 수 있다.

[0293] 또한, 상기 기능에 추가로, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0294] 도 14의 (D)는 텔레비전 장치의 예를 나타낸다. 텔레비전 장치 (1050)에서는, 표시부 (1053)가 하우징 (1051)에 삽입된다. 표시부 (1053)에 영상이 표시될 수 있다. 또한, 하우징 (1051)의 지지를 위해 스탠드 (1055) 내에 CPU가 내장된다. 실시의 형태 2에 기재된 트랜지스터를 표시부 (1053) 및 CPU에 적용함으로써, 텔레비전 장치 (1050)는 높은 신뢰성을 가질 수 있다.

[0295] 텔레비전 장치 (1050)는 하우징 (1051)의 조작 스위치 또는 별도의 원격 조정기로 조작될 수 있다. 또한, 원격 조정기에는 원격 조정기로부터 출력된 데이터를 표시하는 표시부가 제공될 수 있다.

[0296] 텔레비전 장치 (1050)에는 수신기, 모뎀 등이 제공될 수 있음을 인지한다. 수신기를 사용하여, 텔레비전 장치

(1050)는 일반적 TV 방송을 수신할 수 있다. 또한, 텔레비전 장치 (1050)가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속되는 경우, 단방향 (송신자로부터 수신자) 또는 쌍방향 (송신자와 수신자간 또는 수신자간) 정보 통신이 수행될 수 있다.

[0297] 또한, 텔레비전 장치 (1050)에는 외부 접속용 단자 (1054), 축적 매체 재생 녹화부 (1052), 및 외부 메모리 슬롯이 제공된다. 외부 접속용 단자 (1054)는 USB 케이블 등의 각종 케이블에 접속될 수 있어, 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 축적 매체 재생 녹화부 (1052) 내에 디스크형 축적 매체가 삽입되고, 축적 매체에 축적된 데이터의 읽기 및 축적 매체로의 데이터 쓰기가 수행될 수 있다. 추가로, 외부 메모리 슬롯 내에 삽입된 외부 메모리 (1056)에 데이터로서 축적된 화상, 영상 등이 표시부 (1053)에 표시될 수 있다.

[0298] 또한, 실시의 형태 2에 기재된 트랜지스터의 오프-상태 누설 전류가 매우 작은 경우, 트랜지스터를 외부 메모리 (1056) 또는 CPU에 적용하면, 텔레비전 장치 (1050)가 높은 신뢰성 및 충분히 감소된 전력 소비를 가질 수 있다.

부호의 설명

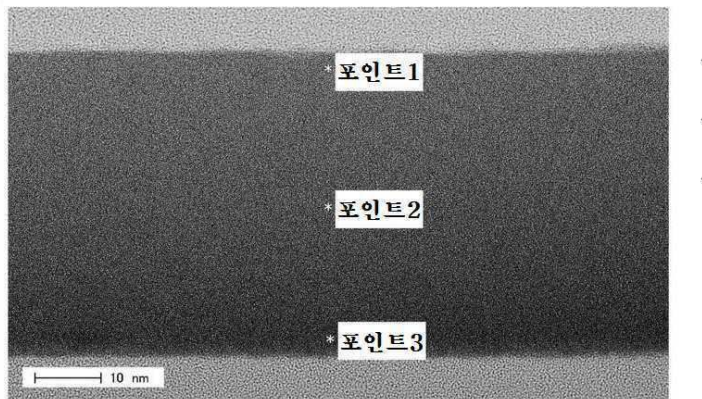
[0299] 100: 트랜지스터, 101: 기판, 102: 게이트 전극, 103: 절연층, 104: 산화물 반도체 층, 105a: 전극, 105b: 전극, 106: 절연층, 107: 절연층, 110: 트랜지스터, 114: 산화물 반도체 층, 114a: 산화물 반도체 층, 114b: 산화물 반도체 층, 120: 트랜지스터, 124: 산화물 반도체 층, 124a: 산화물 반도체 층, 124b: 산화물 반도체 층, 124c: 산화물 반도체 층, 150: 트랜지스터, 151: 절연층, 152: 절연층, 160: 트랜지스터, 161: 트랜지스터, 164: 산화물 반도체 층, 164a: 산화물 반도체 층, 164b: 산화물 반도체 층, 164c: 산화물 반도체 층, 164d: 측벽 보호층, 200: 석영 유리 기판, 202: 더미 기판, 204: 금속 산화물 막, 210a: 영역, 210b: 영역, 500: 기판, 501: 화소부, 502: 주사선 구동 회로, 503: 주사선 구동 회로, 504: 신호선 구동 회로, 510: 용량 배선, 512: 게이트 배선, 513: 게이트 배선, 514: 드레인 전극, 516: 트랜지스터, 517: 트랜지스터, 518: 액정 소자, 519: 액정 소자, 520: 화소, 521: 스위칭용 트랜지스터, 522: 구동용 트랜지스터, 523: 용량소자, 524: 발광 소자, 525: 신호선, 526: 주사선, 527: 전원선, 528: 공통 전극, 901: RF 회로, 902: 아날로그 베이스밴드 회로, 903: 디지털 베이스밴드 회로, 904: 전지, 905: 전원 회로, 906: 어플리케이션 프로세서, 907: CPU, 908: DSP, 910: 플래시 메모리, 911: 디스플레이 컨트롤러, 912: 메모리 회로, 913: 디스플레이, 914: 표시부, 915: 소스 드라이버, 916: 게이트 드라이버, 917: 음성 회로, 918: 키보드, 919: 터치 센서, 1001: 본체, 1002: 하우징, 1003a: 표시부, 1003b: 표시부, 1004: 키보드 버튼, 1021: 본체, 1022: 고정부, 1023: 표시부, 1024: 조작 버튼, 1025: 외부 메모리 슬롯, 1030: 하우징, 1031: 하우징, 1032: 표시 패널, 1033: 스피커, 1034: 마이크, 1035: 조작 키, 1036: 포인팅 장치, 1037: 카메라 렌즈, 1038: 외부 접속용 단자, 1040: 태양 전지 셀, 1041: 외부 메모리 슬롯, 1050: 텔레비전 장치, 1051: 하우징, 1052: 축적 매체 재생 녹화부, 1053: 표시부, 1054: 외부 접속용 단자, 1055: 스탠드, 및 1056: 외부 메모리.

본 출원은, 2012년 11월 8일자로 일본 특허청에 출원된 일본 특허 출원 일련 번호 2012-245992, 2013년 1월 30일자로 일본 특허청에 출원된 일본 특허 출원 일련 번호 2013-016242, 및 2013년 3월 19일자로 일본 특허청에 출원된 일본 특허 출원 일련 번호 2013-056768을 기초로 한 것이며, 이들 출원의 전체 내용은 본원에 참조로 포함된다.

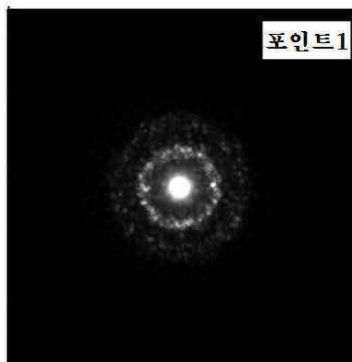
도면

도면1

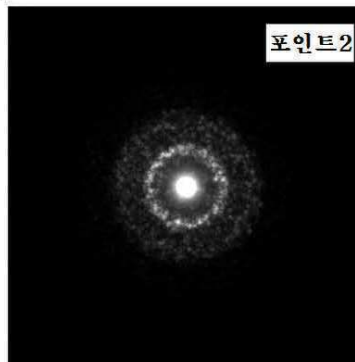
(A)



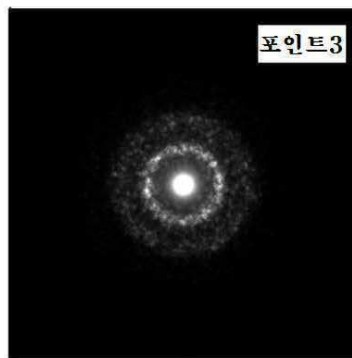
(B)



(C)

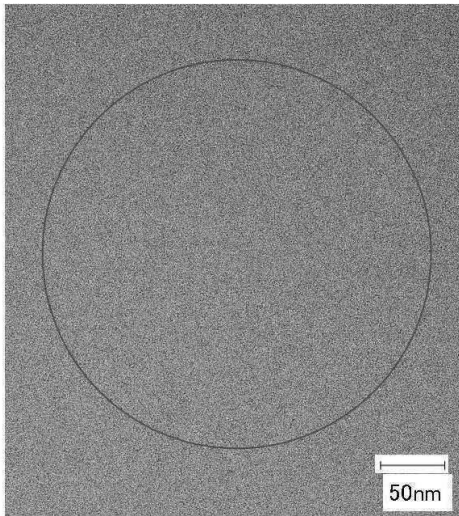


(D)

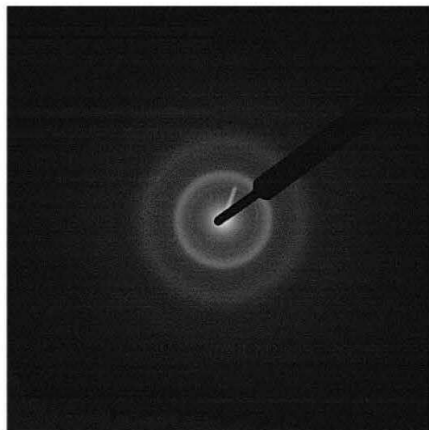


도면2

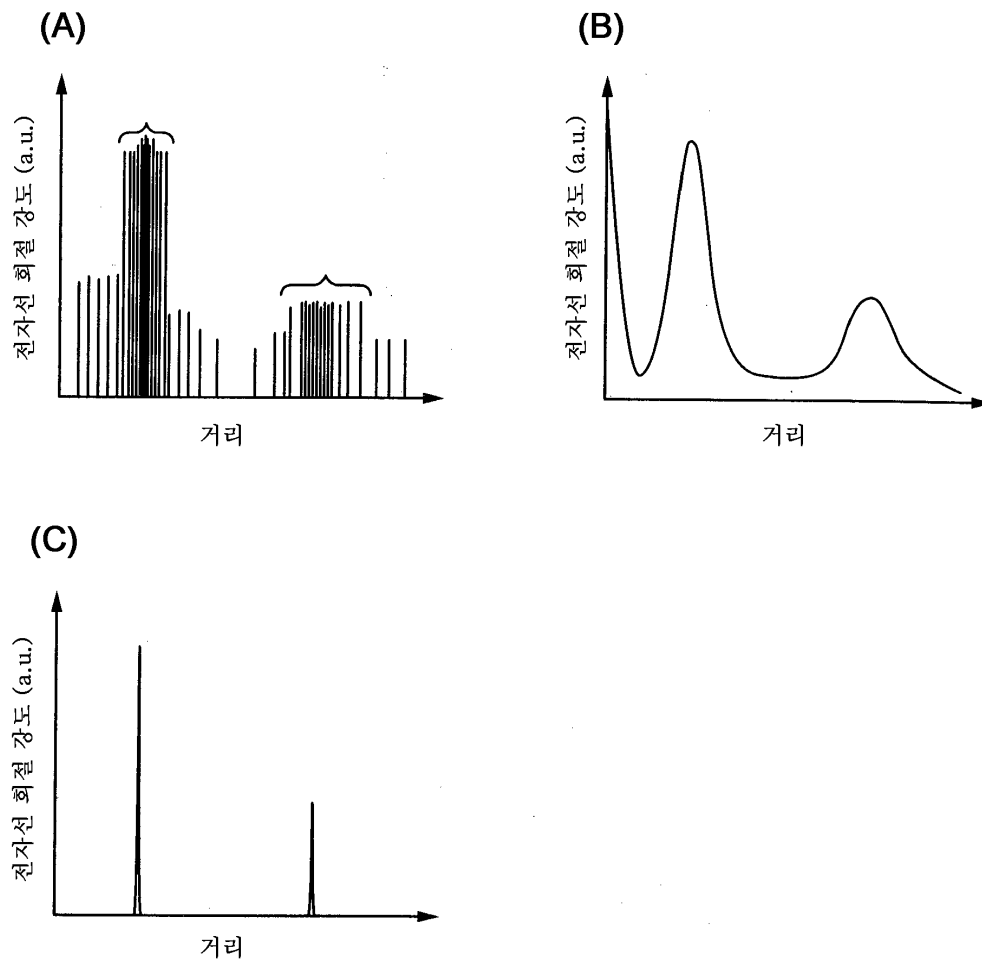
(A)



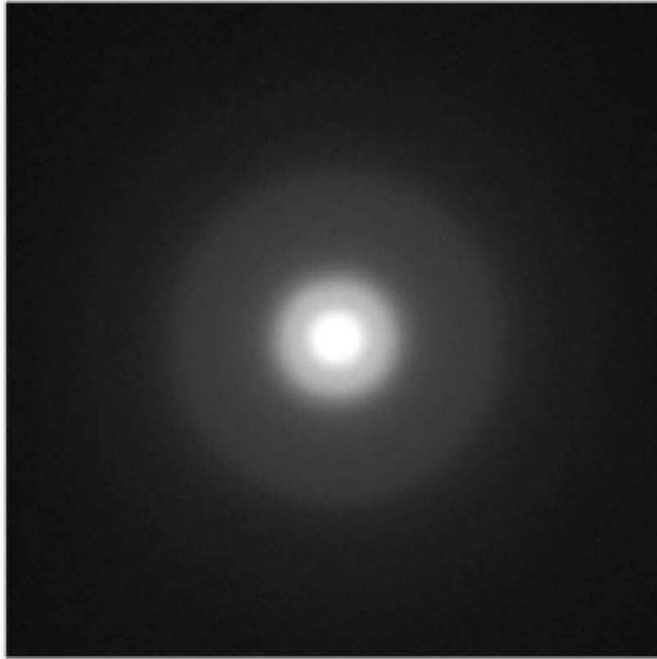
(B)



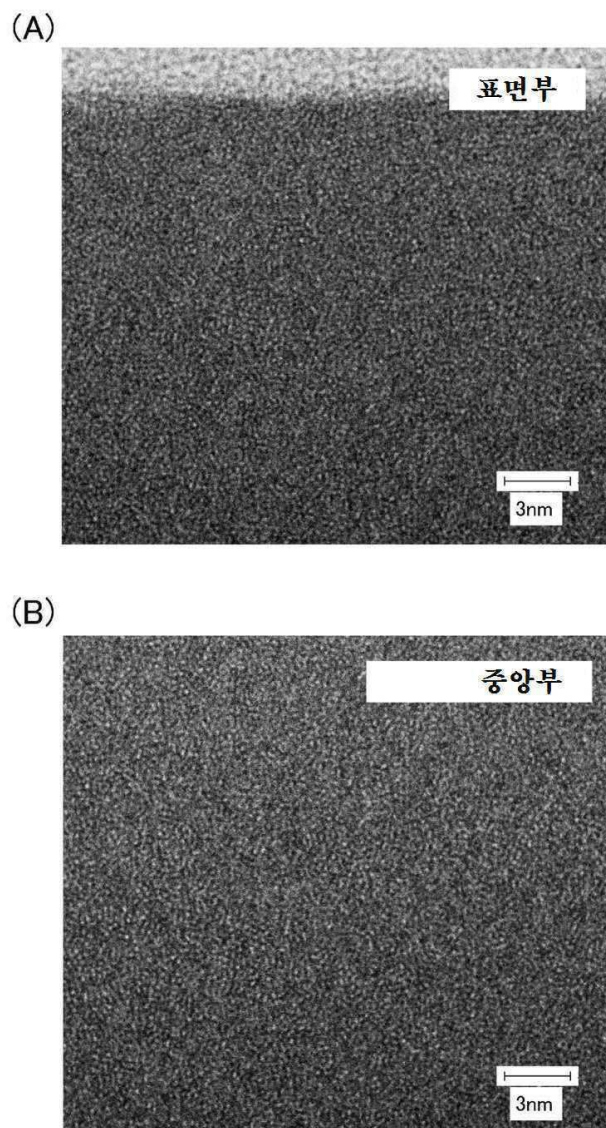
도면3



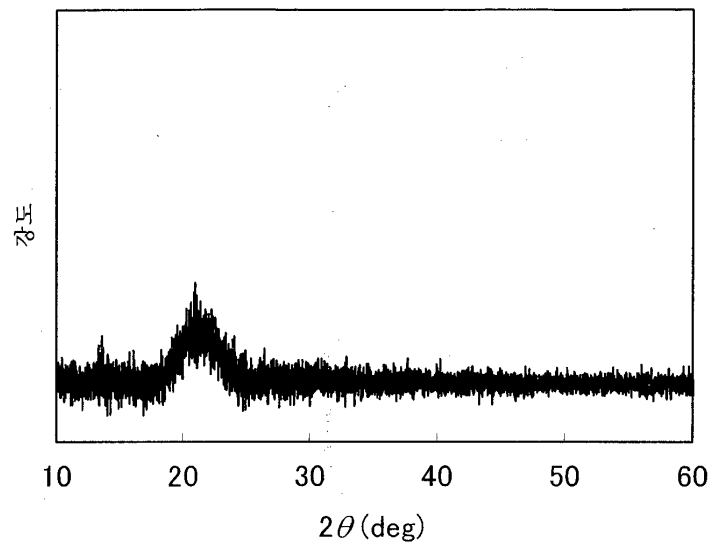
도면4



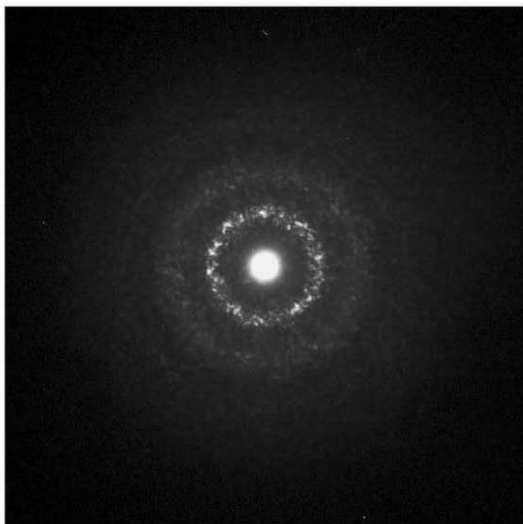
도면5



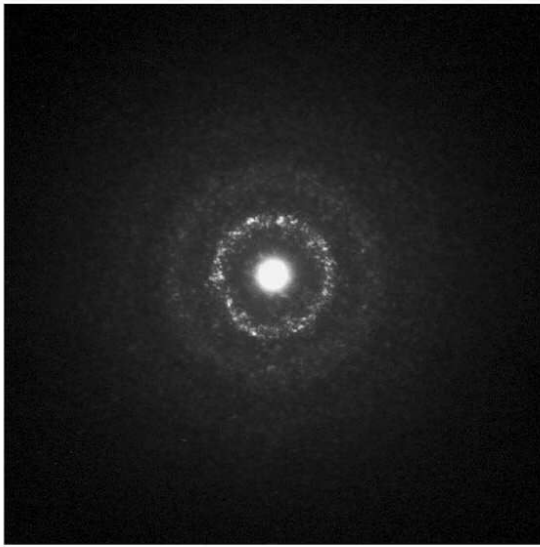
도면6



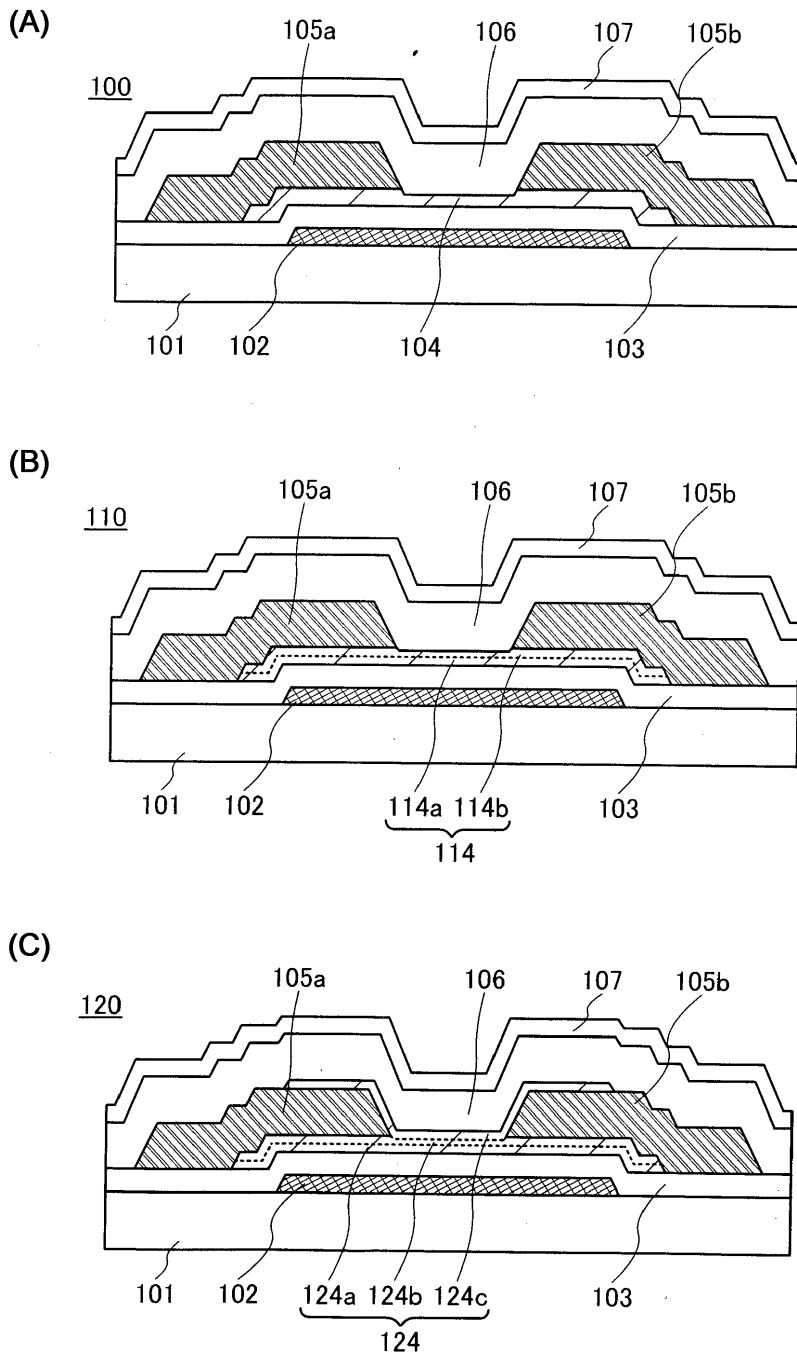
도면7



도면8

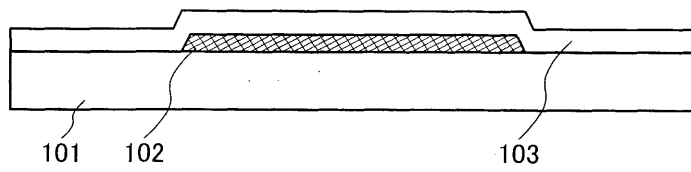


도면9

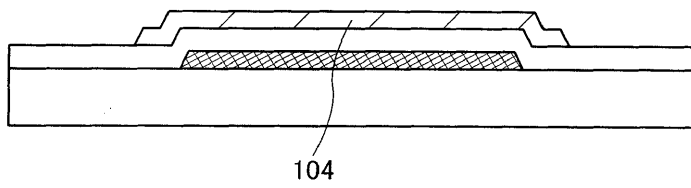


도면10

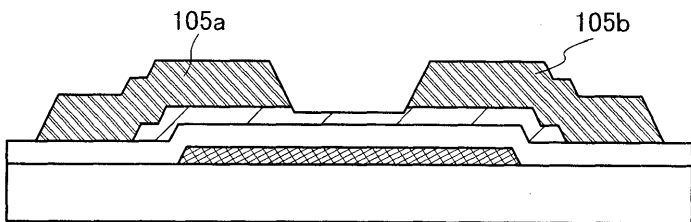
(A)



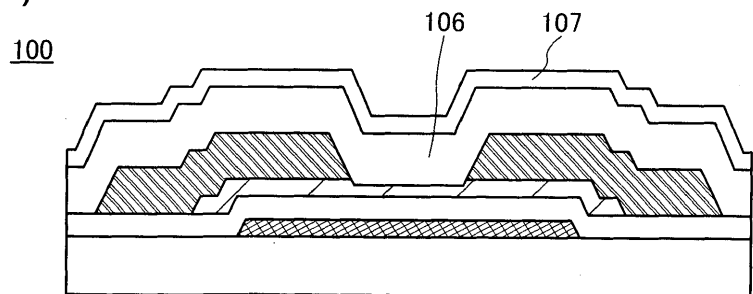
(B)



(C)



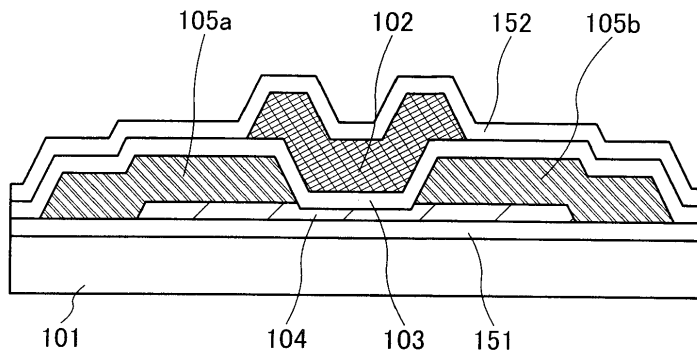
(D)



도면11

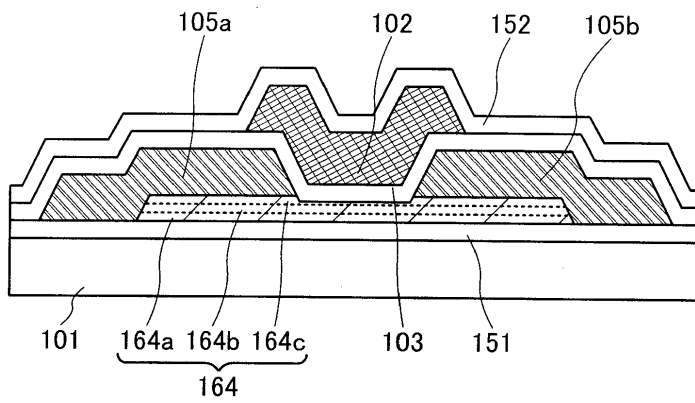
(A)

150



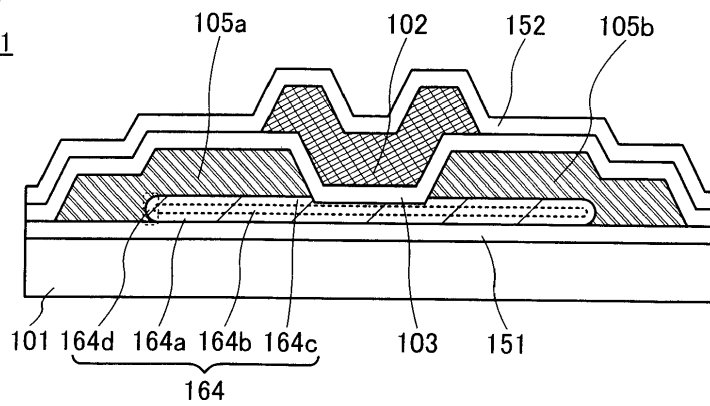
(B)

160



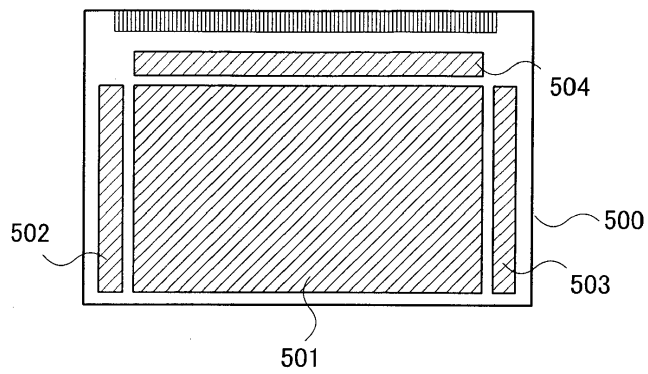
(C)

161

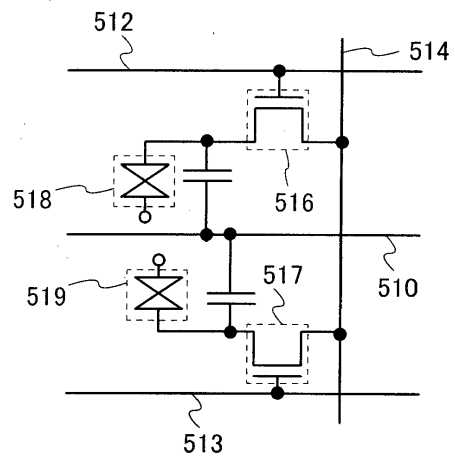


도면12

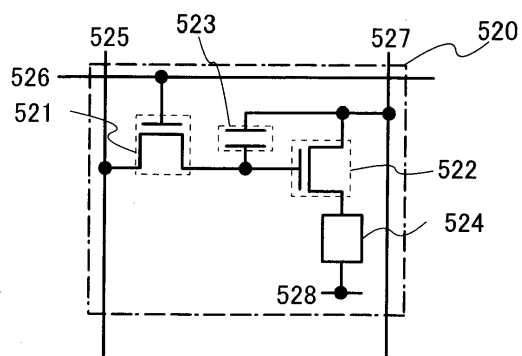
(A)



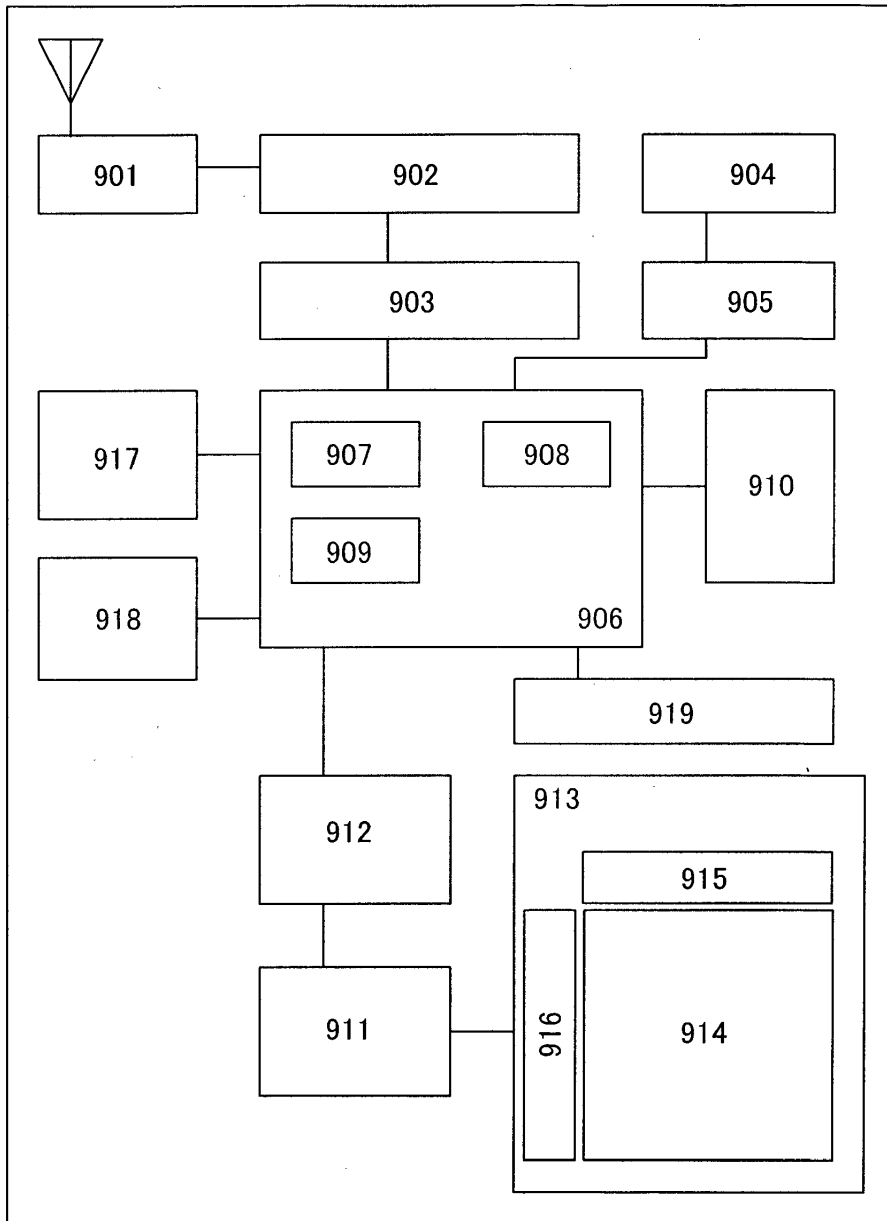
(B)



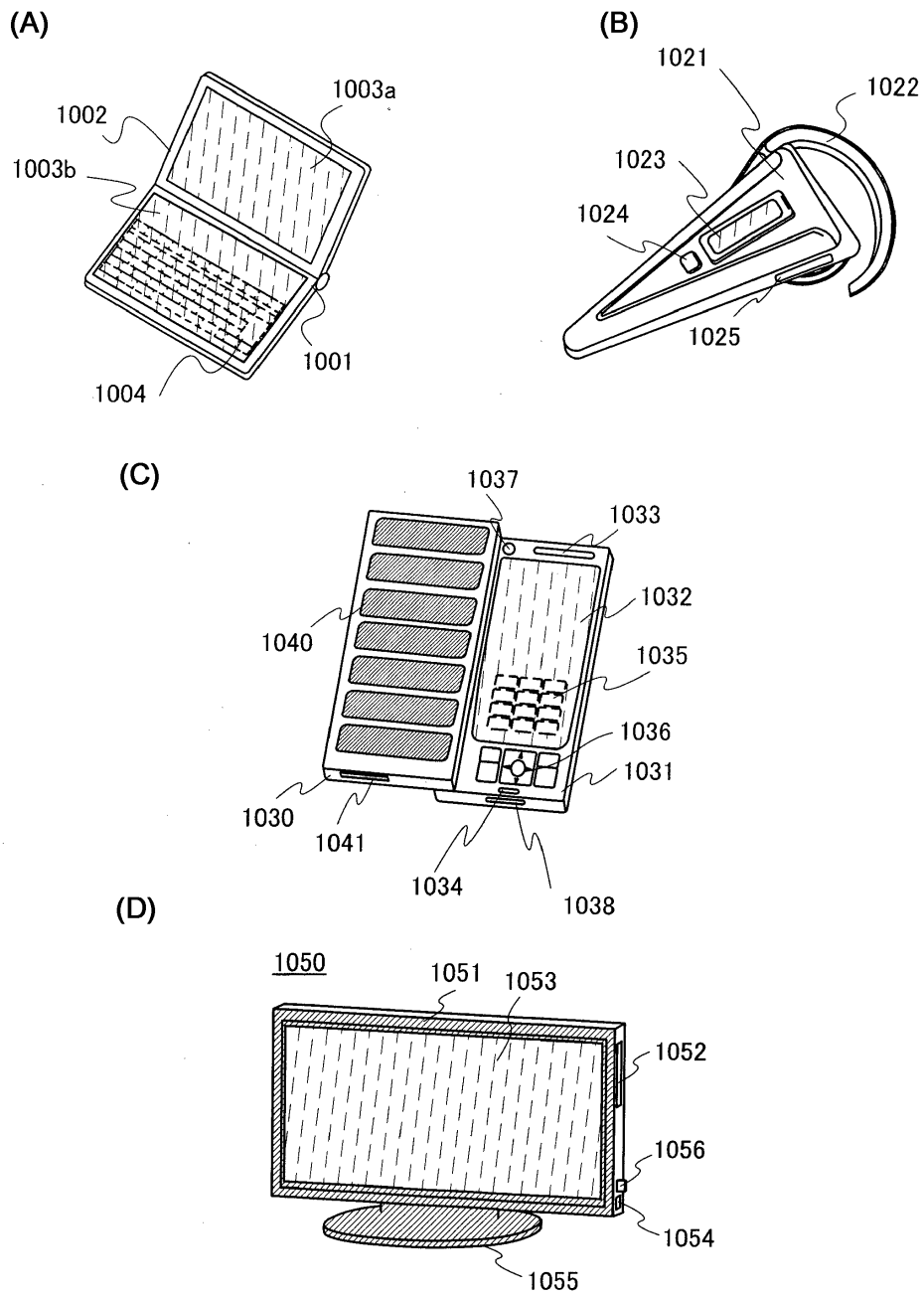
(C)



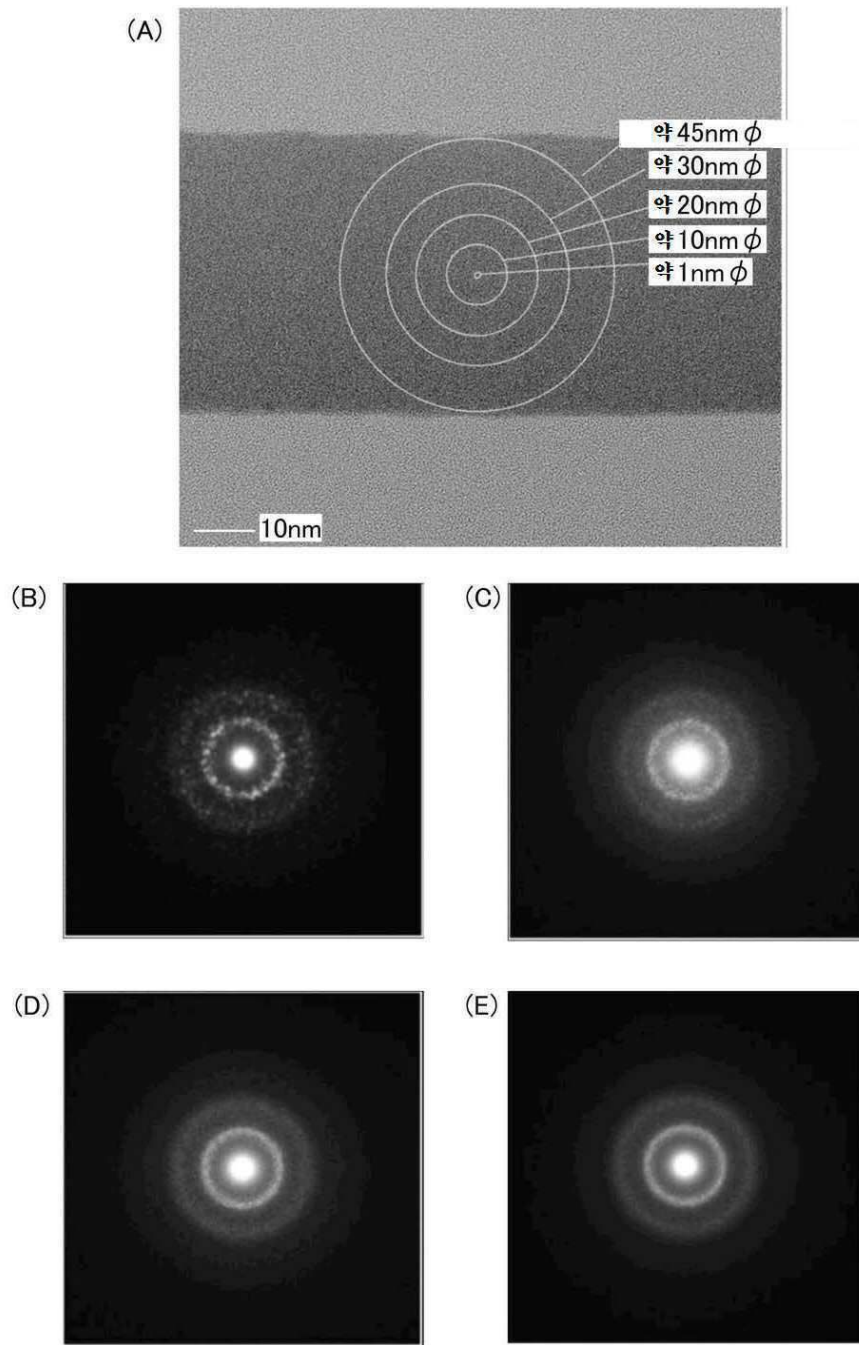
도면13



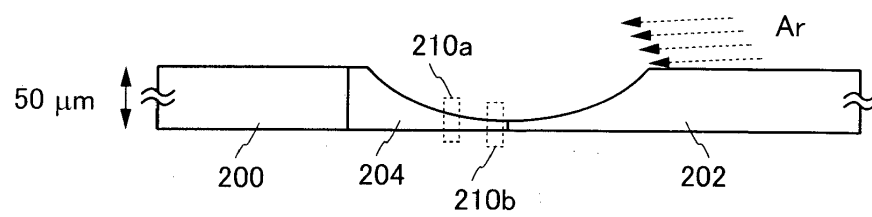
도면14



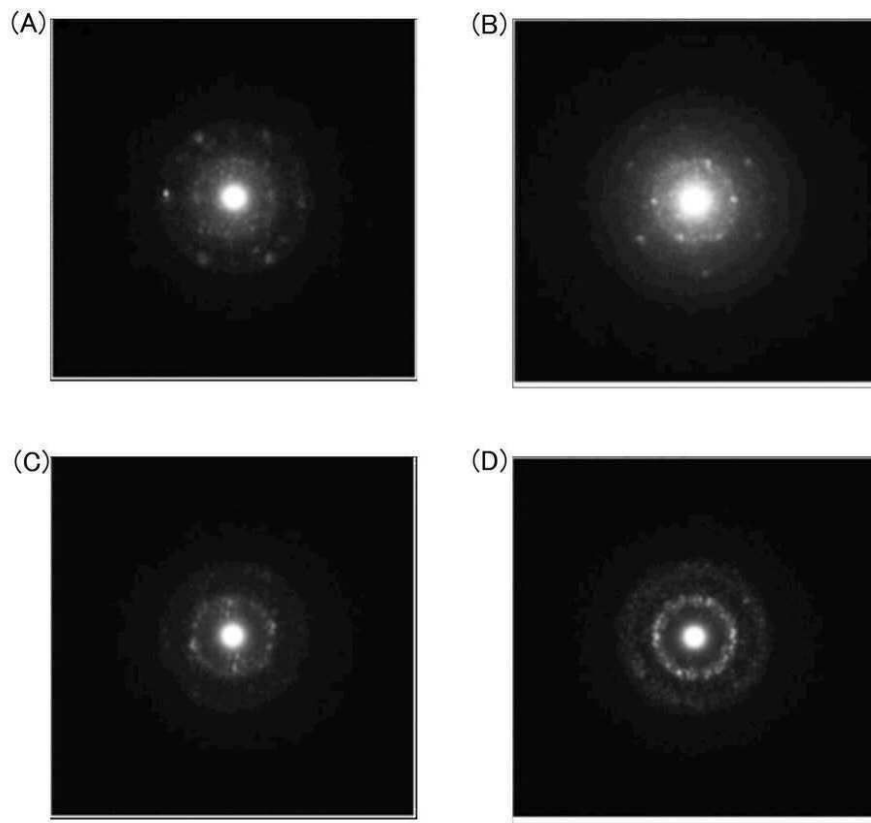
도면15



도면16

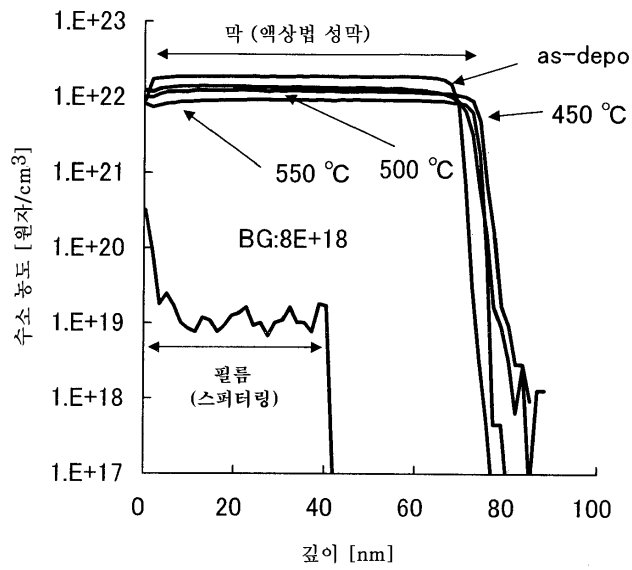


도면17

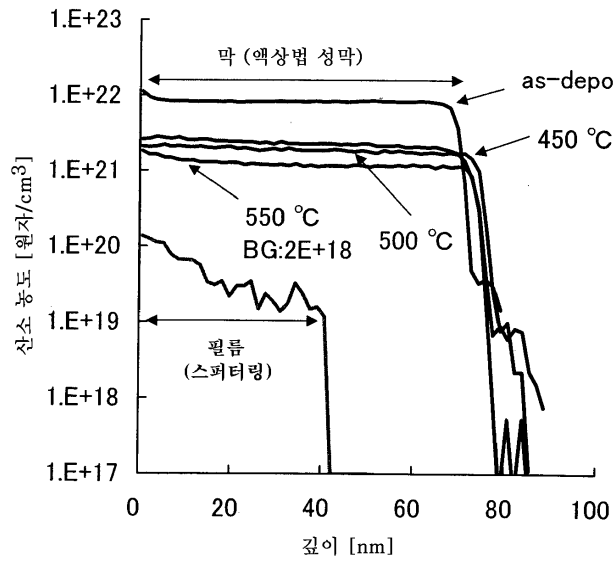


도면18

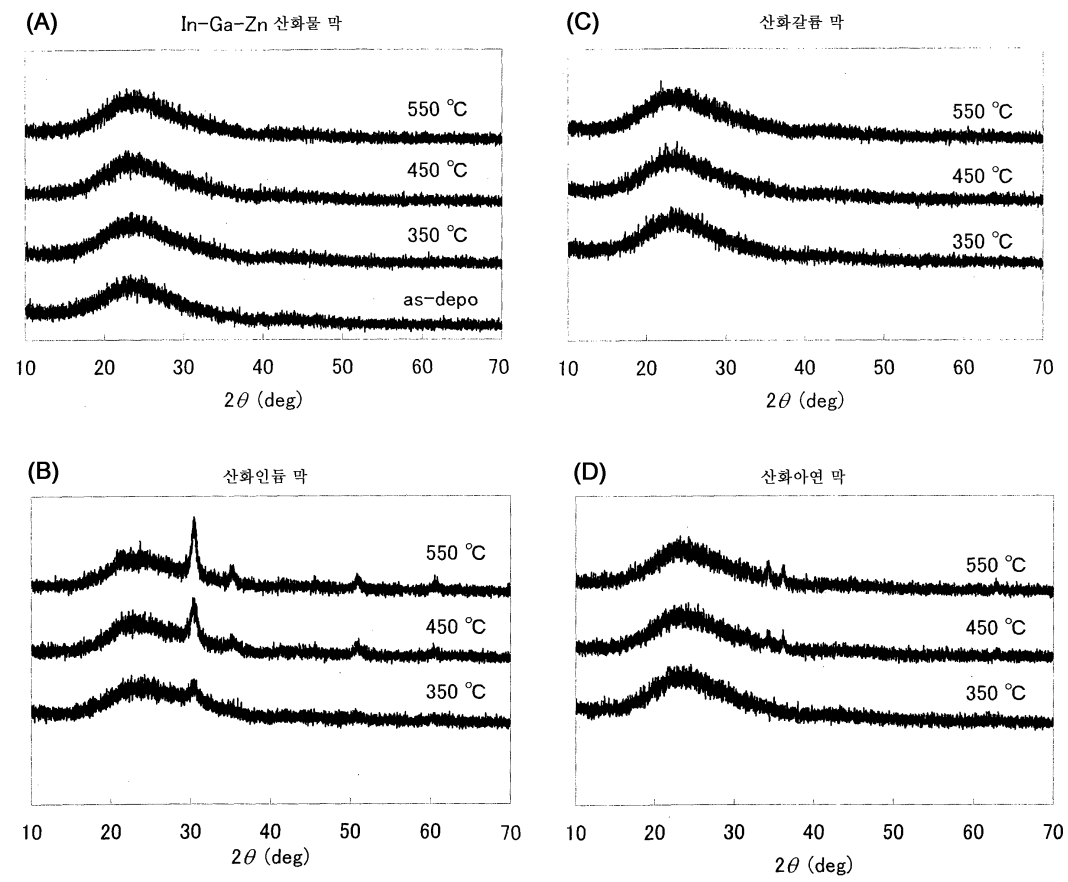
(A)



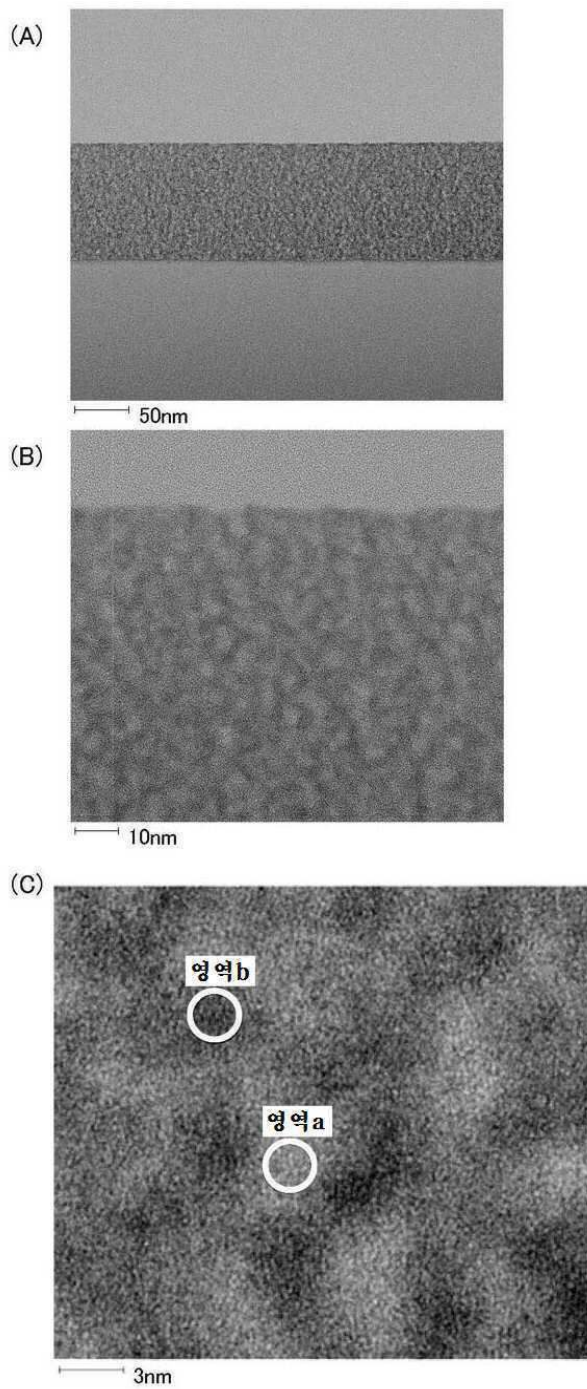
(B)



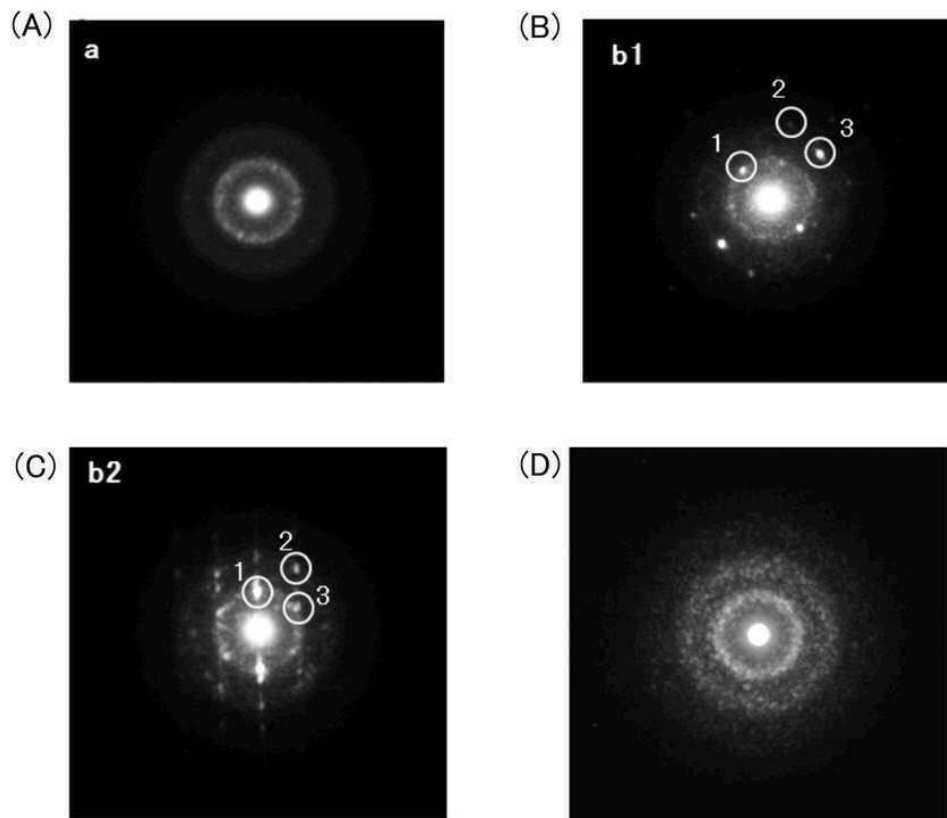
도면19



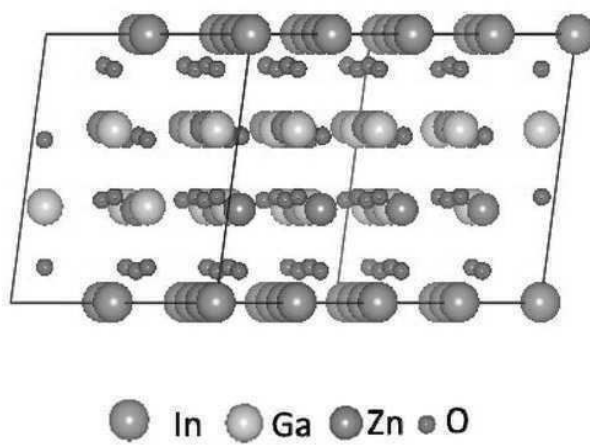
도면20



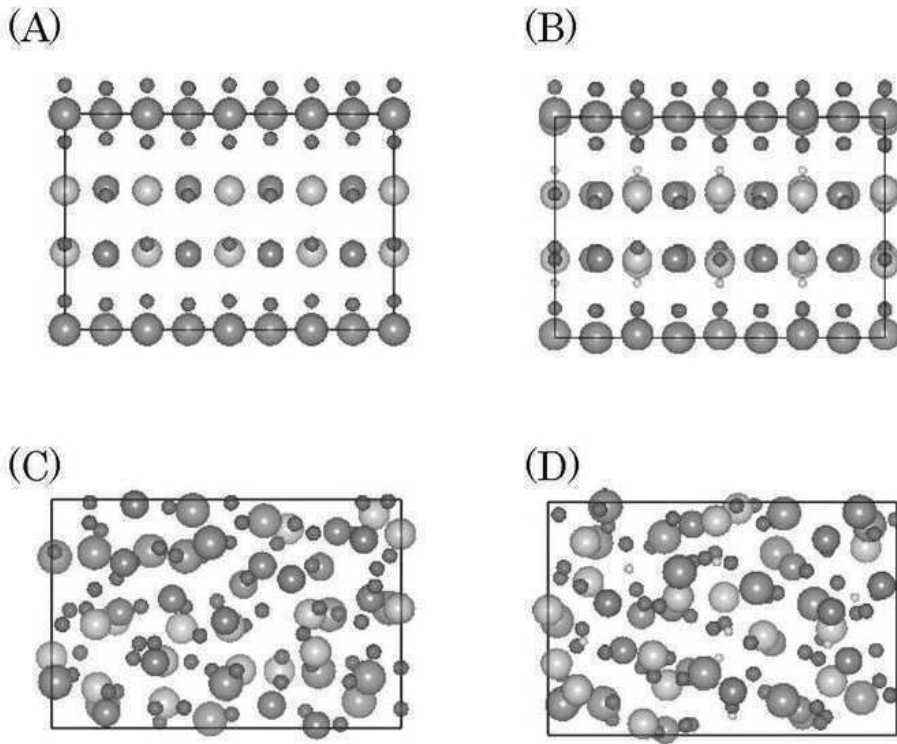
도면21



도면22



도면23



도면24

