



(12) 发明专利

(10) 授权公告号 CN 101017835 B

(45) 授权公告日 2011.04.06

(21) 申请号 200710092304.5

G02F 1/1362 (2006.01)

(22) 申请日 2007.02.07

(56) 对比文件

(30) 优先权数据

11459/06 2006.02.07 KR

18853/06 2006.02.27 KR

53883/06 2006.06.15 KR

CN 1274431 A, 2000.11.22, 全文 .

CN 1668148 A, 2005.09.14, 全文 .

JP 特开平 11-352511 A, 1999.12.24, 全文 .

JP 特开平 11-352503 A, 1999.12.24, 全文 .

US 6259495 B1, 2001.07.10, 全文 .

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

审查员 王娜

(72) 发明人 柳春基 金奉柱

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

H01L 27/12 (2006.01)

H01L 23/522 (2006.01)

H01L 21/84 (2006.01)

H01L 21/768 (2006.01)

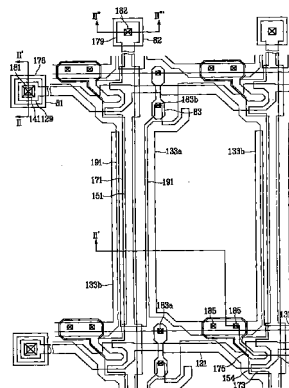
权利要求书 3 页 说明书 16 页 附图 46 页

(54) 发明名称

薄膜晶体管面板及其制造方法

(57) 摘要

一种薄膜晶体管 (TFT) 阵列面板, 包括: 基板; 第一信号线, 形成在该基板上; 栅绝缘层, 形成在该第一信号线上, 并具有露出该第一信号线一部分的第一接触孔; 第一半导体, 形成在该栅绝缘层上; 第二信号线, 形成在该第一半导体和该栅绝缘层上; 和漏极电极, 形成在该第一半导体上, 并与该第二信号线隔开。该 TFT 阵列面板还包括: 导体, 形成在该栅绝缘层上, 并通过该第一接触孔连接到第一信号线; 钝化层, 形成在该第二信号线、该漏极电极和该导体上, 并具有露出该漏极电极的第二接触孔; 和像素电极, 形成在该钝化层上, 并通过该第二接触孔连接到该漏极电极。



CN 101017835 B

1. 一种薄膜晶体管阵列面板,包括:
  - 基板;
  - 第一信号线,形成在该基板上;
  - 栅绝缘层,形成在该第一信号线上,该栅绝缘层具有露出该第一信号线一部分的第一接触孔;
  - 第一半导体,形成在该栅绝缘层上;
  - 第二信号线,形成在该第一半导体和该栅绝缘层上;
  - 漏极电极,形成在该第一半导体上,并与该第二信号线隔开;
  - 导体,形成在该栅绝缘层上,并通过该第一接触孔连接到该第一信号线;
  - 钝化层,形成在该第二信号线、该漏极电极和该导体上,该钝化层具有露出该漏极电极的第二接触孔;和
  - 像素电极,形成在该钝化层上,并通过该第二接触孔连接到该漏极电极。
2. 如权利要求 1 所述的薄膜晶体管阵列面板,其中该钝化层还包括露出该导体一部分的第三接触孔,
  - 该 TFT 阵列面板还包括通过该第三接触孔连接到该导体的接触辅助件,并且
  - 该第一信号线包括设置在该第一半导体下面的栅极。
3. 如权利要求 1 所述的薄膜晶体管阵列面板,还包括:
  - 第三信号线,形成在该栅绝缘层下面,并包括设置在该第一半导体下面的栅极;和
  - 栅极驱动电路,连接到该导体和该第三信号线。
4. 如权利要求 2 或 3 所述的薄膜晶体管阵列面板,还包括形成在该第一信号线的该露出部分和该导体之间的第二半导体,
  - 其中,该第二半导体具有与该第一接触孔对准的第四接触孔,该导体通过该第一接触孔和该第四接触孔连接到该第一信号线,并且该第二半导体除了该第四接触孔之外与该导体具有基本上相同的平面形状。
5. 如权利要求 4 所述的薄膜晶体管阵列面板,其中该第一半导体朝着该第二信号线和该漏极电极延伸,并与其下面的第一半导体具有基本上相同的平面形状。
6. 如权利要求 5 所述的薄膜晶体管阵列面板,还包括:
  - 存储电极,由与该第一信号线相同的层制成,并重叠该像素电极;和
  - 第三半导体,形成在设置于该栅绝缘层上的该存储电极上。
7. 如权利要求 2 或 3 所述的薄膜晶体管阵列面板,其中该第一信号线包括第一导电层,该第一导电层由选自于铝和铝合金组成的组中的材料制成。
8. 如权利要求 7 所述的薄膜晶体管阵列面板,其中该第一信号线还包括设置在该第一导电层下面的第二导电层,该第二导电层由选自于铬、钼、铬合金和钼合金组成的组中的材料制成。
9. 如权利要求 8 所述的薄膜晶体管阵列面板,其中通过该第一接触孔在该第一信号线的该露出部分处去除掉该第一导电层。
10. 如权利要求 9 所述的薄膜晶体管阵列面板,其中该第一接触孔露出该第一信号线的边界。
11. 一种薄膜晶体管阵列面板的制造方法,包括:

- 在基板上形成第一信号线；
- 在该第一信号线上沉积栅绝缘层；
- 在该栅绝缘层上沉积本征非晶硅层；
- 在该本征非晶硅层上沉积非本征非晶硅层；
- 在该非本征非晶硅层上形成光致抗蚀剂膜，该光致抗蚀剂膜具有取决于位置的厚度，并露出该非本征非晶硅层的第一部分；
- 使用该光致抗蚀剂膜作为掩模，通过对该非本征非晶硅层、该本征非晶硅层和该栅绝缘层构图，同时形成非本征半导体和本征半导体及露出该第一信号线一部分的第一接触孔；
- 在该非本征半导体上形成第二信号线和漏极电极，并同时形成通过该第一接触孔连接到该第一信号线的导体；
- 在该数据线、该漏极电极和该导体上形成具有露出该漏极电极一部分的第二接触孔的钝化层；并且
- 在该钝化层上形成通过该第二接触孔连接到该漏极电极的像素电极。
12. 如权利要求 11 所述的方法，其中形成该非本征半导体、该本征半导体和该第一接触孔包括：
- 使用该光致抗蚀剂膜作为掩模，蚀刻该非本征非晶硅层的第一部分、其下面的本征 a-Si 层和其下面的栅绝缘层；
- 使该光致抗蚀剂膜变薄，以露出该非本征非晶硅层的第二部分；
- 去除掉该非本征 a-Si 层的第二部分、其下面的本征非晶硅层和其下面的栅绝缘层；并且
- 去除掉剩余的光致抗蚀剂膜。
13. 如权利要求 12 所述的方法，其中形成该光致抗蚀剂膜包括：
- 涂敷光致抗蚀剂；并且
- 通过具有透光的透明区域、半透明区域和挡光的不透明区域的掩模曝光该光致抗蚀剂，
- 其中该透光的透明区域对应于该非本征非晶硅层的该第一部分，并且该半透明区域对应于该非本征非晶硅层的该第二部分。
14. 如权利要求 13 所述的方法，其中该第一接触孔设置在该非本征非晶硅层的该第一部分下面。
15. 如权利要求 11 所述的方法，其中该第一信号线包括由选自于铝和铝合金组成的组中的材料制成的第一导电层。
16. 如权利要求 15 所述的方法，其中该第一信号线还包括设置在该第一导电层下面的第二导电层，该第二导电层由选自于铬、钼、铬合金和钼合金组成的组中的材料制成，并且还包括在形成该第一接触孔之后，去除该第一导电层的该露出部分。
17. 如权利要求 14 所述的方法，其中该钝化层还包括露出该导体一部分的第三接触孔，并且
- 形成该像素电极包括形成通过该第三接触孔连接到该导体的接触辅助件。
18. 一种薄膜晶体管阵列面板的制造方法，包括：

在基板上形成第一信号线；  
在该第一信号线上沉积栅绝缘层；  
在该栅绝缘层上沉积本征非晶硅层；  
在该本征非晶硅层上沉积非本征非晶硅层；  
通过蚀刻该非本征非晶硅层、该本征非晶硅层和该栅绝缘层，形成露出该第一信号线一部分的第一接触孔；  
在该非本征非晶硅层上沉积导电层；  
形成具有取决于位置的厚度的光致抗蚀剂膜；  
使用该光致抗蚀剂膜作为掩模，通过对该导电层、该非本征非晶硅层和该本征非晶硅层构图，形成通过该第一接触孔连接到该第一信号线的导体、第二信号线、漏极电极和其下面的接触辅助件与半导体；  
在该数据线、该漏极电极和该导体上形成具有露出该漏极电极一部分的第二接触孔的钝化层；并且  
在该钝化层上形成通过该第二接触孔连接到该漏极电极的像素电极。

19. 如权利要求 18 所述的方法，其中该钝化层还包括露出该导体一部分的第三接触孔，并且形成该像素电极包括形成通过该第三接触孔连接到该导体的接触辅助件。

## 薄膜晶体管面板及其制造方法

### 技术领域

[0001] 本发明涉及一种用于液晶显示器的薄膜晶体管阵列面板及其制造方法。

### 背景技术

[0002] 液晶显示器 (LCD) 通常包括一对显示板, 其具有场发生电极、偏振板和介于两个显示板之间的液晶层。场发生电极在液晶层上产生电场。而且, 随着电场强度的变化, 液晶分子的排列也变化。例如, 当产生电场时, 液晶层的液晶分子改变他们的排列, 由此还改变穿过液晶层的光的偏振。另外, LCD 的偏振板阻断或者传输偏振光, 以适当地形成明亮和黑暗区, 由此产生要显示的所需图像。

[0003] 例如, LCD 包括显示板, 该显示板包括具有开关元件的多个像素、多个显示信号线和具有多级的栅极驱动器, 该栅极驱动器将栅极信号传输给显示信号线的栅极线, 以导通 / 截止像素的开关元件。

[0004] 栅极驱动器的每一级都连接到一个信号线。该级接收栅极导通 / 截止电压、时钟信号, 并将输入的栅极导通 / 截止电压和时钟信号传输给连接到其上的信号线。

[0005] 栅极驱动器可以与基板集成, 然后栅极线可以延伸成直接连接到栅极驱动器。在这种情况下, 为了连接栅极驱动器的栅极线和栅极驱动器的数据线, 形成露出栅极线的接触孔, 然后使用例如由氧化铟锡 (ITO) 制成的连接件, 通过接触孔使数据线和数据线接触。

[0006] 作为选择, 如果栅极驱动器形成在基板外面, 则使用将栅极导通 / 截止信号线连接到栅极驱动器的各级的焊盘部分, 以将栅极导通 / 截止电压传输到栅极驱动器的各级。在这种情况下, 为了将焊盘部分连接到信号线, 形成露出信号线的接触孔, 然后使用例如由 ITO 制成的连接件通过接触孔使信号线和栅极驱动器的各级相接触。

[0007] 而且, 当信号线的长度随着 LCD 的尺寸增加时, 信号线的电阻也增加。因此, 由于信号线的电阻增加导致出现信号延迟或者电压降。因此, 应当使用由具有低电阻率的材料例如铝 (Al) 制成的配线作为信号线。

[0008] 例如, 当在配线中使用铝 (Al) 时, 信号线可以具有包括 Al 层和另一层的多层结构。

[0009] 然而, 如果包括 Al 的信号线直接与 LCD 的像素电极或者连接件中使用的 ITO 接触, 则 Al 可能被氧化或者腐蚀。

### 发明内容

[0010] 根据本发明的示范性实施例, 提供了一种薄膜晶体管 (TFT) 阵列面板。该 TFT 阵列面板包括基板、形成在基板上的第一信号线、形成在第一信号线上并具有露出第一信号一部分的第一接触孔的栅绝缘层、形成在栅绝缘层上的第一半导体、形成在第一半导体和栅绝缘层上的第二信号线及形成在第一半导体上并与第二信号线隔开的漏极电极。TFT 阵列面板还包括形成在栅绝缘层上并通过第一接触孔连接到第一信号线的导体、形成在第二信号线、漏极电极和导体上并具有露出漏极电极的第二接触孔的钝化层及形成在钝化层上

并通过第二接触孔连接到漏极电极的像素电极。

[0011] 钝化层还可以包括露出导体一部分的第三接触孔,并且 TFT 阵列面板还可以包括通过第三接触孔连接到导体的接触辅助件。第一信号线可以包括设置在第一半导体下面的栅极。

[0012] TFT 阵列面板还可以包括形成在栅绝缘层下面并包括设置在第一半导体下面的栅极的第三信号线,以及连接到导体和第三信号线的栅极驱动电路。

[0013] TFT 阵列面板还可以包括形成在第一信号线的露出部分和导体之间的第二半导体。第二半导体可以具有和第一接触孔对准的第四接触孔,并且导体可以通过第一接触孔和第四接触孔连接到第一信号线。

[0014] 除了第四接触孔之外,第二半导体可以具有与导体基本上相同的平面形状。

[0015] 第一半导体可以朝着第二信号线和漏极电极延伸,并可以具有和下面的第一半导体基本相同的平面形状。

[0016] TFT 阵列面板还可以包括由与第一信号线相同的层制成并重叠像素电极的存储电极,以及形成在设置在栅绝缘层上的存储电极上的第三半导体。

[0017] 第一信号线可以包括由铝 (Al) 或者铝 (Al) 合金制成的第一导电层。

[0018] 第一信号线还可以包括设置在第一导电层下面的第二导电层,其包括铬 (Cr)、钼 (Mo)、铬 (Cr) 合金或者钼 (Mo) 合金。

[0019] 在第一信号线的露出部分可以通过第一接触孔去除第一导电层。

[0020] 第一接触孔可以露出第一信号线的边界。

[0021] 根据本发明的示范性实施例,提供一种 TFT 阵列面板的制造方法。该方法包括在基板上形成第一信号线、在第一信号线上沉积栅绝缘层、在栅绝缘层上沉积本征非晶硅 (a-Si) 层、在本征非晶硅层上沉积非本征非晶硅 (a-Si) 层、在非本征 a-Si 层上形成具有取决于位置的厚度并露出非本征 a-Si 层的第一部分的光致抗蚀剂膜,以及使用光致抗蚀剂膜作为掩模,同时对非本征 a-Si 层、本征 a-Si 层和栅绝缘层构图,来形成非本征半导体、本征半导体和露出第一信号线一部分的第一接触孔。该方法还包括在非本征半导体和通过第一接触孔连接到第一信号线的导体上形成第二信号线和漏极电极,同时在数据线、漏极电极和导体上形成具有露出漏极电极一部分的第二接触孔的钝化层,以及形成通过钝化层上的第二接触孔连接到漏极电极的像素电极。

[0022] 非本征半导体、本征半导体和第一接触孔的形成可以包括使用光致抗蚀剂膜作为掩模来蚀刻非本征 a-Si 层的第一部分、下面的本征 a-Si 层和下面的栅绝缘层,使光致抗蚀剂膜变薄以露出非本征 a-Si 层的第二部分,去除非本征 a-Si 层的第二部分、下面的本征 a-Si 层以及下面的栅绝缘层,并去除剩余的光致抗蚀剂膜。

[0023] 光致抗蚀剂膜的形成可以包括涂敷光致抗蚀剂,并曝光光致抗蚀剂,以通过具有透光的透明区域、半透明区域和阻光的不透明区域的掩模曝光光致抗蚀剂。透光的透明区域可以对应于非本征 a-Si 层的第一部分,而半透明区域可以对应于非本征 a-Si 层的第二部分。

[0024] 第一接触孔可以设置在非本征 a-Si 层的第一部分的下面。

[0025] 第一信号线可以包括由铝 (Al) 或者铝 (Al) 合金制成的第一导电层。

[0026] 第一信号线还可以包括设置在第一导电层下面的第二导电层,其包括铬 (Cr)、钼

(Mo)、铬 (Cr) 合金或者钼 (Mo) 合金,并且该方法还可以包括在形成第一接触孔之后去除第一导电层的露出部分。

[0027] 钝化层还可以具有露出导体一部分的第三接触孔,并且形成像素电极可以包括形成通过第三接触孔连接到导体的接触辅助件。

[0028] 根据本发明的示范性实施例,提供了一种 TFT 阵列面板的制造方法。该方法包括在基板上形成第一信号线、在第一信号线上沉积栅绝缘层、在栅绝缘层上沉积本征非晶硅 (a-Si) 层、在本征非晶硅层上沉积非本征非晶硅 (a-Si) 层、通过蚀刻非本征 a-Si 层、本征 a-Si 层和栅绝缘层形成露出一部分第一信号线的第一接触孔、在非本征 a-Si 层上沉积导电层并形成具有取决于位置的厚度的光致抗蚀剂膜。该方法还包括使用光致抗蚀剂膜作为掩模,通过对导电层、非本征 a-Si 层和本征 a-Si 层构图,形成通过第一接触孔连接到第一信号线的导体、第二信号线、漏极电极和下面的接触辅助件和半导体,在数据线、漏极电极和导体上形成具有露出漏极电极一部分的第二接触孔的钝化层,并且在钝化层上形成通过第二接触孔连接到漏极电极的像素电极。

[0029] 钝化层还可以具有露出导体一部分的第三接触孔,并且形成像素电极可以包括形成通过第三接触孔连接到导体的接触辅助件。

#### 附图说明

[0030] 结合附图,通过下面的描述可以更详细地理解本发明的示范性实施例,其中:

[0031] 图 1 是根据本发明示范性实施例的 TFT 阵列面板的布置图;

[0032] 图 2 是图 1 所示 TFT 阵列面板沿着线 II-II' -II''-II''' 剖取的截面图;

[0033] 图 3 是根据本发明示范性实施例的 TFT 阵列面板的布置图;

[0034] 图 4 是图 1 所示 TFT 阵列面板沿着线 IV-IV' -IV''-IV''' 剖取的截面图;

[0035] 图 5、图 7、图 10 和图 12 是根据本发明的示范性实施例,在其制造方法的中间步骤中,图 1 和图 2 所示 TFT 阵列面板的布置图;

[0036] 图 6 是图 5 所示 TFT 阵列面板沿着线 VI-VI' -VI''-VI''' 剖取的截面图;

[0037] 图 8 是图 7 所示 TFT 阵列面板沿着线 VIII-VIII' -VIII''-VIII''' 剖取的截面图;

[0038] 图 9A 到图 9F 是图 7 和图 8 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图;

[0039] 图 11 是图 10 所示 TFT 阵列面板沿着线 XI-XI' -XI''-XI''' 剖取的截面图;

[0040] 图 13 是图 12 所示 TFT 阵列面板沿着线 XIII-XIII' -XIII''-XIII''' 剖取的截面图;

[0041] 图 14 和图 17 是根据本发明示范性实施例,在其制造方法的中间步骤中,图 3 和图 4 所示 TFT 阵列面板的布置图;

[0042] 图 15 是图 14 所示 TFT 阵列面板沿着线 XV-XV' -XV''-XV''' 剖取的截面图;

[0043] 图 16A 到图 16F 是图 14 和图 15 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图;

[0044] 图 18 是图 17 所示 TFT 阵列面板沿着线 XVIII-XVIII' -XVIII''-XVIII''' 剖取的截面图;

[0045] 图 19 是根据本发明示范性实施例的 TFT 阵列面板的布置图;

- [0046] 图 20 是图 19 所示 TFT 阵列面板沿着线 XX-XX'-XX''-XX''' 剖取的截面图；
- [0047] 图 21、图 23 和图 26 是根据本发明的示范性实施例，在其制造方法的中间步骤中，图 19 和图 20 所示 TFT 阵列面板的布置图；
- [0048] 图 22 是图 21 所示 TFT 阵列面板沿着线 X XII-X XII'-X XII''-X XII''' 剖取的截面图；
- [0049] 图 24 是图 23 所示 TFT 阵列面板沿着线 X XIV-X XIV'-X XIV''-X XIV''' 剖取的截面图；
- [0050] 图 25A 到图 25F 是图 23 和图 24 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图；
- [0051] 图 27 是图 26 所示 TFT 阵列面板沿着线 X XVII-X XVII'-X XVII''-X XVII''' 剖取的截面图；
- [0052] 图 28 是根据本发明示范性实施例的 LCD 的框图；
- [0053] 图 29 是表示图 28 所示 LCD 一部分显示区域的布置图；
- [0054] 图 30 是表示图 28 所示 LCD 一部分驱动区域的布置图；
- [0055] 图 31 是图 30 所示 TFT 阵列面板沿着线 X XXI-X XXI'-X XXI''-X XXI''' 剖取的截面图；
- [0056] 图 32、图 33、图 35 和图 36 是根据本发明的示范性实施例，在其制造方法的中间步骤中，图 31 所示 TFT 阵列面板的布置图；
- [0057] 图 34A 到 34F 是图 33 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图；
- [0058] 图 37 是表示图 28 所示 LCD 一部分显示区域的另一布置图；
- [0059] 图 38 是表示图 28 所示 LCD 一部分显示区域的另一布置图；以及
- [0060] 图 39 是图 37 和图 38 所示 TFT 阵列面板沿着线 X XXI-X XXI'-XXI''-XXI''' 剖取的截面图。

### 具体实施方式

- [0061] 在下文，将参考附图具体描述本发明的示范性实施例。
- [0062] 如本领域的技术人员会认识到，所述的示范性实施例可以以多种不同的方式进行修改，而完全不脱离本发明的精神或者范围。
- [0063] 为了清楚起见，在图中夸大了层、膜、面板、区域等的厚度。在整个说明书中相同的附图标号表示相同的元件。应该理解的是，当称一个元件例如层、膜、区域或者基板在另一个元件上面时，他可以直接在其他元件之上，或者也可以存在插入元件。相反，当称一个元件“直接在另一元件之上”时，则不存在插入元件。
- [0064] 首先，参考图 1 和 2 具体描述根据本发明示范性实施例的薄膜晶体管 (TFT) 阵列面板。
- [0065] 图 1 是根据本发明示范性实施例的 TFT 阵列面板的布置图，而图 2 是图 1 所示 TFT 阵列面板沿着线 II-II'-II''-II''' 剖取的截面图。
- [0066] 在由例如透明玻璃或者塑料材料制成的绝缘基板 110 上形成多个栅极线 121 和多个存储电极线 131。
- [0067] 栅极线 121 传输栅极信号，并基本上以横向方向延伸。每一个栅极线 121 包括向



下突起的多个栅极电极 124 和具有与其他层或者外部驱动电路接触的大区域的栅极焊盘 129。用于产生栅极信号的栅极驱动电路可以安装在柔性印刷电路板 (FPC) 膜上,其可以连接到基板 110、直接安装在基板 110 上或者集成到基板 110 上面。栅极线 121 可以延伸,以连接到可以集成在基板 110 上的驱动电路。

[0068] 给存储电极线 131 提供预定的电压,并且每一个存储电极线 131 都包括基本上平行于栅极线 121 延伸的主干和从主干分叉的多个第一和第二存储电极对 133a 和 133b。每一个存储电极线 131 都设置在两个相邻栅极线 121 之间,并且主干靠近两个相邻栅极线 121 之一。存储电极 133a 和 133b 的每一个都具有连接到主干的固定端部分和与其相对设置的自由端部分。第一存储电极 133a 的固定端部分具有大区域,而其自由端部分分叉成线性的分支和弯曲的分支。然而,存储电极线 131 可以具有多种形状和布置。

[0069] 栅极线 121 和存储电极线 131 包括设置其上的两个导电膜,下膜和上膜,他们具有不同的物理特性。上层可以由低电阻率金属制成,包括含铝 (Al) 金属,例如铝 (Al) 和铝 (Al) 合金,例如钨化铝 (AlNd),用于减少信号延迟或者电压降。例如,下层可以由例如含钼 (Mo) 金属的材料制成,例如钼 (Mo) 或者钼 (Mo) 合金、铬 (Cr)、钽 (Ta) 或者钛 (Ti),其与其他材料例如氧化铟锡 (ITO) 和氧化铟锌 (IZO) 相比具有良好的物理、化学和电接触特性。然而,栅极线 121 和存储电极线 131 可以具有例如包括含 Al 金属的单层结构。

[0070] 在图 2 中,对于栅极电极 124、存储电极线 131 和存储电极 133a 和 133b,分别用附加字母 p 和 q 表示其下膜和上膜。

[0071] 栅极线 121 和存储电极线 131 的侧面相对于基板 110 的表面倾斜,其倾斜角在从大约 30 到大约 80 度的范围中。

[0072] 在栅极线 121 和存储电极线 131 上形成例如由氮化硅 (SiNx) 或者氧化硅 (SiOx) 制成的栅绝缘层 140。栅绝缘层 140 具有露出栅极焊盘 129 的多个接触孔 141。

[0073] 在栅绝缘层 140 上形成例如由氢化非晶硅 (缩写为“a-Si”) 或多晶硅制成的多个半导体带 151。每个半导体带 151 基本上以纵向方向延伸,并包括朝着栅极电极 124 分叉出去的多个突起 154。半导体带 151 在栅极线 121 和存储电极线 131 附近变宽,使得半导体带 151 覆盖栅极线 121 和存储电极线 131 的很大区域。

[0074] 在半导体带 151 上形成多个欧姆接触带 161 和岛 165。例如,欧姆接触 161 和 165 优选由重掺杂 n 型杂质例如磷的 n+ 氢化 a-Si 制成,或者他们可以由硅化物制成。每个欧姆接触带 161 包括多个突起 163,而突起 163 和欧姆接触岛 165 成对设置在半导体带 151 的突起 154 上。

[0075] 半导体带 151 和欧姆接触 161 和 165 的侧面相对于基板 110 的表面倾斜,其倾斜角度例如在大约 30 到大约 80 度的范围中。

[0076] 在欧姆接触 161 和 165 及栅绝缘层 140 上形成多个数据线 171、多个漏极电极 175 和多个互连件 178。

[0077] 数据线 171 传输数据信号,并基本上以纵向方向延伸,以与栅极线 121 交叉。每个数据线 171 还与存储电极线 131 交叉,并在存储电极 133a 和 133b 的相邻对之间延伸。每个数据线 171 包括朝着栅极电极 124 突起并弯曲成字母 J 形的多个源极电极 173 和与其他层或者外部驱动电路接触的数据焊盘 179。用于产生数据信号的数据驱动电路可以安装在 FPC 膜上,其可以连接到基板 110、直接安装在基板 110 上或者集成到基板 110 上。数据线

171 可以延伸成连接到可以集成到基板 110 上的驱动电路。

[0078] 漏极电极 175 和数据线 171 隔开,并相对于栅极线 124 与源极电极 173 相对地设置。每个漏极电极 175 包括宽的端部和窄的端部。宽的端部重叠存储电极线 131,而窄的端部被源极电极 173 部分地围绕。

[0079] 栅极电极 124、源极电极 173 和漏极电极 175 与半导体带 151 的突起 154 一起形成具有沟道的 TFT,该沟道形成在设置在源极电极 173 和漏极电极 175 之间的突起 154 中。

[0080] 互连件 178 覆盖通过栅绝缘层 140 的接触孔 141 露出的栅极焊盘 129,以接触栅极焊盘 129。

[0081] 栅极线 171、漏极电极 175 和互连件 178 可以由难熔金属例如 Cr、Mo、Ta、Ti 或者其合金制成。然而,他们可以具有例如包括难熔金属膜和低电阻率膜的多层结构。然而,数据线 171、漏极电极 175 和互连件 178 可以由多种金属或者导体制成。

[0082] 数据线 171、漏极电极 175 和互连件 178 具有倾斜的边缘外形,其倾斜角度的范围是从大约 30 到大约 80 度。

[0083] 欧姆接触 161 和 165 只插设在下面的半导体带 151 和其上面的重叠导体 171 和 175 之间,并减少其间的接触电阻。尽管半导体带 151 在大部分地方比数据线 171 要窄,但是如上所述,半导体带 151 的宽度在栅极线 121 和存储电极线 131 附近变大,以平滑表面的外形,由此避免数据线 171 断开。然而,半导体带 151 包括一些没有被数据线 171 和漏极电极 175 覆盖的露出部分,例如设置在源极电极 173 和漏极电极 175 之间的部分。

[0084] 在数据线 171、漏极电极 175、互连件 178 和半导体带 151 的露出部分上形成钝化层 180。钝化层 180 可以由例如无机绝缘体或者有机绝缘体制成,并且他可以具有平坦的顶表面。无机绝缘体的实例包括但不局限于氮化硅和氧化硅。有机绝缘体可以具有感光性和小于大约 4.0 的介电常数。钝化层 180 可以包括无机绝缘体的下膜和有机绝缘体的上膜,使得他可以获得有机绝缘体的良好绝缘特性,而避免半导体带 151 的露出部分被有机绝缘体破坏。而且,由有机绝缘体制成的上层可以具有平坦的表面,以使得钝化层具有平坦的顶表面。

[0085] 钝化层 180 具有分别露出互连件 178、数据线 171 的数据焊盘 179 和漏极电极 175 的多个接触孔 181、182 和 185。钝化层 180 和栅绝缘层 140 具有多个接触孔 183a 和多个接触孔 183b,多个接触孔 183a 露出第一存储电极 133a 固定端部分附近的存储电极线 131 的部分下膜 133ap,而多个接触孔 183b 露出第一存储电极 133a 自由端部分的线性分支的下膜 133bp。

[0086] 在钝化层 180 上形成多个像素电极 191、多个跨桥 83 和多个接触辅助件 81 和 82。例如,他们由透明导体如 ITO 或 IZO 或者反射导体如银 (Ag)、Al 或其合金制成。

[0087] 像素电极 191 通过接触孔 185 与漏极电极 175 物理连接并且电连接,使得像素电极 191 从漏极电极 175 接收数据电压。供给数据电压的像素电极 191 和供给公共电压的相对显示板的公共电极共同产生电场。产生的电场反过来决定设置在两个电极之间的液晶层的液晶分子的取向。像素电极 191 和公共电极形成被称作“液晶电容器”的电容器,其在 TFT 关断之后存储施加的电压。

[0088] 像素电极 191 和连接到其上的漏极电极 175 重叠包括存储电极 133a 和 133b 的存储电极线 131。像素电极 191、连接到其上的漏极电极 175 和存储电极线 131 形成被称作

“存储电容器”的附加电容器,其增加了液晶电容器的存储电容。

[0089] 跨桥 83 跨过栅极线 121,并分别通过接触孔 183a 和 183b 连接到存储电极线 131 的露出部分和存储电极 133b 自由端部分的露出的线性分支,他们相对于栅极线 121 彼此相对设置。包括存储电极 133a 和 133b 的存储电极线 131 及跨桥 83 可以用来修补栅极线 121、数据线 171 或者 TFT 中的缺陷。

[0090] 接触辅助件 81 和 82 分别通过接触孔 181 和 182 连接到互连件 178 和数据线 171 的数据焊盘 179。接触辅助件 81 和 82 保护互连件 178 和数据焊盘 179,并增强互连件 178 和数据焊盘 179 与外部装置之间的粘着力。

[0091] 互连件 178 插设在例如由含 Al 金属制成的下栅极焊盘 129 和由其上的透明导体例如 ITO 制成的上接触辅助件 181 之间,以避免由 ITO 导致的对 Al 的腐蚀。

[0092] 现在,将参考图 3 和图 4 具体描述根据本发明另一示范性实施例的 TFT 阵列面板。

[0093] 图 3 是根据本发明示范性实施例的 TFT 阵列面板的布置图,而图 4 是图 1 所示 TFT 阵列面板沿着线 IV-IV' -IV''-IV''' 剖取的截面图。

[0094] 如图 3 和图 4 所示,根据本发明示范性实施例的 TFT 阵列面板的层状结构基本上与图 1 和图 2 所示结构相同。

[0095] 在基板 110 上形成多个栅极线 121 和多个存储电极线 131。每个栅极线 121 包括栅极电极 124 和栅极焊盘 129,而每个存储电极线 131 包括存储电极 133a 和 133b。栅极线 121 和存储电极线 131 包括具有良好接触特性的下层和由含 Al 金属制成的上层。在图 3 和图 4 中,分别用附加的字母 p 和 q 表示栅极线 121 和存储电极线 131 的下层和上层。在栅极线 121 和存储电极线 131 上顺序形成具有多个接触孔 141 的栅极绝缘层 140、包括突起 154 的多个半导体带 151、包括突起 164 的多个欧姆接触带 161 和多个欧姆接触岛 165。

[0096] 在欧姆接触 161 和 165 及栅绝缘层 140 上形成包括源极电极 173 和数据焊盘 179 的多个数据线 171、多个漏极电极 175 和多个互连件 178,并在其上形成钝化层 180。栅绝缘层 140 和钝化层 180 具有多个接触孔 180、182、183a、183b 和 185。在钝化层 180 上形成多个像素电极 191、多个接触辅助件 81 和 82 及多个跨桥 83。

[0097] 然而,与图 1 和图 2 所示 TFT 阵列面板不同的是,去除了通过接触孔 141 露出的栅极焊盘 129 的上层 129q,以通过接触孔 141 露出下层 129p。而且,每个接触孔 141 的尺寸大于每个栅极焊盘 129 的尺寸,以露出栅极焊盘 129 周围的基板 110,并且露出的基板 110 和栅极焊盘 129 的下层 129p 被互连件 178 覆盖。

[0098] 在根据本示范性实施例的 TFT 阵列面板中,去除由含 Al 金属制成的栅极焊盘 129 的上层 129q,使得可以避免因接触 ITO 而导致对含 Al 金属的腐蚀。

[0099] 图 1 和图 2 中所示 TFT 阵列面板的很多特性可以应用到图 3 和图 4 所示 TFT 阵列面板中。

[0100] 现在,将参考图 5 到图 13 及图 1 和图 2 具体描述根据本发明示范性实施例的图 1 和图 2 所示 TFT 阵列面板的制造方法。

[0101] 图 5、图 7、图 10 和图 12 是根据本发明示范性实施例,在其制造方法的中间步骤中,图 1 和图 2 中所示 TFT 阵列面板的布置图。图 6 是图 5 所示 TFT 阵列面板沿着线 VI-VI' -VI''-VI''' 剖取的截面图,图 8 是图 7 所示 TFT 阵列面板沿着线 VIII-VIII' -VIII''-VIII''' 剖取的截面图,图 11 是图 10 所示 TFT 阵列面板沿着线

XI-XI'-XI''-XI''' 剖取的截面图,图 13 是图 12 所示 TFT 阵列面板沿着线 X III-X III'-X III''-X III''' 剖取的截面图,而图 9A 到图 9F 是图 7 和图 8 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图。

[0102] 参考图 5 和图 6,例如,通过溅射,在绝缘基板 110 上沉积下导电层,比如 Cr、氮化铬 (Cr-N) 或者 Mo,然后在其上沉积含 Al 金属的上导电层。通过光刻和腐蚀来图案上导电层和下导电层,以形成具有双层结构的多个栅极线 121 和多个存储电极线 131。每个栅极线 121 包括栅极电极 124 和栅极焊盘 129,而每个存储电极线 131 包括存储电极 133a 和 133b。在图中,分别用附加的字母 p 和 q 表示栅极线 121 和电极线 131 的下层和上层。

[0103] 接下来,如图 7 和图 8 所示,在具有栅极线 121 和存储电极线 131 的基板上形成具有多个接触孔 141 的栅绝缘层 140、包括突起 154 的多个(本征)半导体带 151 和包括突起 164 的多个非本征半导体带 161。

[0104] 现在,将参考图 9A 到 9F 更具体地描述栅绝缘层 140、非本征半导体带 161 和(本征)半导体带 151 的形成。

[0105] 参考图 9A,例如,通过等离子体增强化学气相沉积(PECVD),在基板上顺序沉积栅绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160,然后在其上涂敷光致抗蚀剂膜 400。

[0106] 接下来,通过曝光掩模 60 来曝光光致抗蚀剂膜 400,并在图 9A 的上侧示出了曝光掩模 60 的实例。

[0107] 曝光掩模 60 包括基板 61 和形成在其上的多个不透明件 62。根据曝光掩模 60 上不透明件 62 的分布,将曝光掩模 60 和基板 110 分割成透光的透明区域 A、半透明区域 B 和挡光的不透明区域 C。

[0108] 在半透明区域 B 中,不透明件 62 在其间设置有预定的间隔,其小于用于平版印刷术的曝光装置的分辨率,并被称作狭缝图案。在透光的透明区域 A 中没有不透明件 62,并在整个挡光的不透明区域 C 中都设置不透明件 62。

[0109] 半透明区域 B 可以具有格子图案,或者代替狭缝图案可以是具有中透射率或者中厚度的薄膜。

[0110] 通过掩模 60 曝光光致抗蚀剂膜 400,然后显影曝光的光致抗蚀剂膜 400。如图 9B 所示,显影的光致抗蚀剂膜 400 具有取决于位置的厚度,以便去除设置在透光的透明区域 A 中的光致抗蚀剂膜 400,减少了设置在半透明区域 B 中的光致抗蚀剂膜 400,而没有去除设置在挡光的不透明区域 C 中的光致抗蚀剂膜 400。

[0111] 这里,根据随后工艺步骤中的工艺条件调整设置在挡光的不透明区域 C 中的光致抗蚀剂膜 400 和设置在半透明区域 B 中的光致抗蚀剂膜 400 的厚度比例。例如,设置在半透明区域 B 中的光致抗蚀剂膜 400 的厚度可以等于或者小于设置在挡光的不透明区域 C 中的光致抗蚀剂膜 400 的厚度的一半。

[0112] 例如,借助于可回流的光致抗蚀剂还可以获得光致抗蚀剂膜 400 的取决于位置的厚度。具体地讲,一旦借助于只具有透明区域和不透明区域的通常曝光掩模形成由可回流材料制成的光致抗蚀剂图案,则要进行回流工艺,以流到没有光致抗蚀剂的区域,由此形成薄的部分。

[0113] 接下来,使用剩余的光致抗蚀剂膜 400 作为掩模,蚀刻非本征非晶硅(a-Si)层 160、本征 a-Si 层 150 和栅绝缘层 140,以去除设置在透光的透明区域 A 中的非本征 a-Si 层

160、本征 a-Si 层 150 和栅绝缘层 140,使得如图 9C 所示在栅绝缘层 140 中形成露出栅极焊盘 129 的接触孔 141。

[0114] 如图 9D 所示,对光致抗蚀剂膜 400 进行抛光,使得全部去除设置在透明区域 B 中的光致抗蚀剂膜 400,并使得设置在挡光的不透明区域 C 中的光致抗蚀剂膜 400 的厚度变薄。

[0115] 参考图 9E,使用设置在挡光的不透明区域 C 中的剩余光致抗蚀剂膜 400 作为掩模,蚀刻非本征 a-Si 层 160 和本征 a-Si 层 150,以形成非本征半导体带 161 和本征半导体带 151。

[0116] 最后,如图 9F 所示,例如,通过抛光去除设置在挡光的不透明区域 C 中的剩余光致抗蚀剂膜 400。

[0117] 如上所述,使用一个曝光掩模图案栅绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160,以在栅绝缘层 140 中形成露出栅极焊盘 129 的接触孔 141,并同时形成非本征半导体带 161 和本征半导体带 151,使得不需要附加的曝光掩模。因此,结果还降低了生产成本。

[0118] 在非本征半导体带 161 和 164 及栅绝缘层 140 上沉积金属层,然后通过光刻和蚀刻图案化该金属,以形成包括源极电极 173 和数据焊盘 179 的数据线 171、多个漏极电极 175 和多个互连件 178。

[0119] 其后,去除掉没有被数据线 171 和漏极电极 175 覆盖的非本征半导体带 164 的露出部分,以完成包括突起 163 的多个欧姆接触带 161 和多个欧姆接触岛 165,并露出本征半导体带 151 的部分。

[0120] 接下来,通过光刻(和蚀刻)沉积和图案化钝化层 180 和栅绝缘层 140,以形成分别露出互连件 178、数据线 171 的数据焊盘 179、第一存储电极 133a 的固定端部分附近的部分存储电极线 131、第一存储电极 133a 的自由端部分的线性分支部分和漏极电极 175 的多个接触孔 181、182、183a、183 和 185。

[0121] 参考图 1 和图 2,例如,通过溅射在钝化层 180 上沉积 ITO 或者 IZO,并通过光刻和腐蚀来图案化,以形成多个像素电极 191、多个接触辅助件 81 和 82 及多个跨桥 83。

[0122] 现在,将参考图 14 到图 18 及图 3 和图 4 具体描述根据本发明的本示范性实施例的图 3 和图 4 所示 TFT 阵列面板的制造方法。

[0123] 图 14 和图 17 是根据本发明另一示范性实施例的图 3 和图 4 所示 TFT 阵列面板在其制造方法的中间步骤中的布置图。图 15 是图 14 所示 TFT 阵列面板沿着线 X V-X V'-X V"-X V''' 剖取的截面图,图 18 是图 17 所示 TFT 阵列面板沿着线 XVIII-X VIII'-XVIII"-XVIII''' 剖取的截面图,而图 16A 到图 16F 是图 14 和图 15 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图。

[0124] 参考图 14 和图 15,在绝缘基板 110 上顺序沉积下导电层和上导电层,并通过光刻和腐蚀进行构图,以形成具有双层结构的多个栅极线 121 和多个存储电极线 131。每个栅极线 121 包括多个栅极电极 124 和栅极焊盘 129,而每个存储电极线 131 包括多个存储电极 133a 和 133b。在图中,分别用附加的字母 p 和 q 表示栅极线 121 和存储电极线 131 的下层和上层。

[0125] 其后,在具有栅极线 121 和存储电极线 131 的基板上形成具有多个接触孔 141 的栅绝缘层 140、包括突起 154 的多个(本征)半导体带 151 和包括突起 164 的多个非本征半

导体带 161。接下来,去除通过接触孔 141 露出的栅极焊盘 129 的上层 129q,以露出其下层 129p。

[0126] 现在,将参考图 16A 到 16F 更具体地描述图 14 和图 15 中所示栅绝缘层 140、非本征半导体带 161 和(本征)半导体带 151 的形成。

[0127] 参考图 16A,在基板上顺序沉积栅绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160,然后在其上涂敷光致抗蚀剂膜 400。

[0128] 如图 16B 所示,通过包括基板 61 和多个不透明件 62 的曝光掩模 60 曝光光致抗蚀剂膜 400,然后显影曝光的光致抗蚀剂膜 400,使得几乎去除掉设置在透光的透明区域 A 中的光致抗蚀剂膜 400,减少设置在半透明区域 B 中的光致抗蚀剂膜 400,而几乎不去除设置在挡光的不透明区域 C 中的光致抗蚀剂膜 400。

[0129] 这里,与图 9A 所示曝光掩模不同的是,图 16A 所示透光的透明区域 A 的宽度稍微大于栅极焊盘 129 的宽度。

[0130] 接下来,如图 16C 所示,使用剩余的光致抗蚀剂膜 400 作为掩模蚀刻非本征 a-Si 层 160、本征 a-Si 层 150 和栅绝缘层 140,以在透光的透明区域 A 中形成露出栅极焊盘 129 的接触孔 141。其后,去除通过接触孔 141 露出的栅极焊盘 129 的上层 129q,以露出栅极焊盘 129 的下层 129p 的部分。

[0131] 如图 16D 所示,对光致抗蚀剂膜 400 进行抛光,使得完全去除设置在半透明区域 B 中的光致抗蚀剂膜 400,并使得设置在挡光的不透明区域 C 中的光致抗蚀剂膜 400 的厚度变薄。

[0132] 如图 16E 所示,接下来,使用设置在挡光的不透明区域 C 中的剩余光致抗蚀剂膜 400 作为掩模蚀刻非本征 a-Si 层 160 和本征 a-Si 层 150,以形成非本征半导体带 161 和本征半导体带 151。

[0133] 最后,如图 16F 所示,例如,通过抛光去除设置在挡光的不透明区域 C 中的剩余光致抗蚀剂膜 400。

[0134] 如上所述,使用一个曝光掩模图案化栅绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160,以在栅绝缘层 140 中形成露出栅极焊盘 129 的接触孔 141,并同时形成非本征半导体带 161 和本征半导体带 151。而且,可以去除掉包含 Al 并容易被氧化或者腐蚀的栅极焊盘 129 的上层 129q,使得可以避免 Al 的腐蚀。

[0135] 通过光刻和腐蚀来沉积和图案化金属层,以形成包括源极电极 173 和数据焊盘 179 的多个数据线 171、多个漏极电极 175 和多个互连件 178。其后,去除没有被数据线 171 和漏极电极 175 覆盖的非本征半导体带 164 的露出部分,以完成包括突起 163 的多个欧姆接触带 161 和多个欧姆接触岛 165,并露出本征半导体带 151 的部分。

[0136] 接下来,通过光刻(和腐蚀)来沉积和图案化钝化层 180 和栅绝缘层 140,以形成如图 17 和 18 所示的多个接触孔 181、182、183a、183b 和 185。

[0137] 最后,在如图 3 和如 4 所示钝化层上形成多个像素电极 191、多个接触辅助件 81 和 82 及多个跨桥 83。

[0138] 现在,将参考图 19 和 20 具体描述根据本发明的另一示范性实施例的 TFT 阵列面板。

[0139] 图 19 是根据本发明另一示范性实施例的 TFT 阵列面板的布置图,而图 20 是图 19

所示 TFT 阵列面板沿着线 X X-X X' -X X"-X X"' 剖取的截面图。

[0140] 如图 19 和 20 所示,根据本示范性实施例的 TFT 阵列面板基本上类似于图 1 和图 2 所示的层状结构。

[0141] 在基板 110 上形成包括多个栅极电极 124 和多个栅极焊盘 129 的多个栅极线 121 和包括多个存储电极 133a 和 133b 的多个存储电极线 131。栅极线 121 和存储电极线 131 包括含 Al 金属,例如 Al 和 Al 合金。

[0142] 在栅极线 121 和存储电极线 131 上顺序形成具有多个接触孔 141 的栅绝缘层 140、包括突起 154 的多个半导体带 151、包括突起 164 的多个欧姆接触带 161 和多个欧姆接触岛。

[0143] 在欧姆接触 161 和 165 及栅绝缘层 140 上形成包括源极电极 173 和数据焊盘 179 的多个数据线 171、多个漏极电极 175 及多个互连件 178,并在其上形成钝化层 180。

[0144] 栅绝缘层 140 和钝化层 180 具有多个接触孔 181、182、183a、183b 和 185。

[0145] 在钝化层 180 上形成多个像素电极 191、多个接触辅助件 81 和 82 及多个跨桥 83。

[0146] 然而,与图 1 和图 2 所示 TFT 阵列面板不同的是,图 19 和图 20 所示 TFT 阵列面板包括设置在存储电极 133a 和 133b 上并由与数据线 171 的相同层制成的多个加强件 176a 和 176b。

[0147] 而且,多个欧姆接触岛 166a 和 166b 及多个半导体岛 156a 和 156b 设置在加强件 176a 和 176b 下面,并具有基本上和加强件 176a 和 176b 相同的平面形状。

[0148] 加强件 176a 和 176b 阻止含 Al 的存储电极 133a 和 133b 与欧姆接触岛 166a 和 166b 及半导体岛 156a 和 156b 露出和腐蚀。而且,多个欧姆接触岛 168 和多个半导体岛 158 设置在互连件 178 下面,并基本上具有和互连件 178 相同的平面形状。

[0149] 半导体带 151 还具有基本上与数据线 171 和漏极电极 175 及欧姆接触 161 和 165 相同的平面形状。然而,半导体带 151 的突起 154 包括一些没有被数据线 171 和漏极电极 175 覆盖的露出部分,例如设置在源极电极 173 和漏极电极 175 之间的部分。

[0150] 接触孔 141 通过彼此具有基本上相同的平面形状的半导体岛 158 和欧姆接触岛 168 延伸,使得设置在其上的互连件 178 连接到栅极焊盘 129。栅极线 121 和存储电极线 131 具有含 Al 的单层。而且,钝化层 180 具有包括下无机层 180p 和上有机层 180q 的双层结构。上有机层 180q 具有基本上平坦的表面。

[0151] 图 1 和图 2 所示 TFT 阵列面板的很多特性可以应用到图 19 和图 20 所示 TFT 阵列面板。

[0152] 现在,将参考图 21 到 27 及图 19 和图 20 具体描述根据本发明的另一示范性实施例的图 19 和图 20 所示 TFT 阵列面板的制造方法。

[0153] 图 21、图 23 和图 26 是根据本发明另一示范性实施例,在其制造方法的中间步骤中,图 19 和图 20 中所示 TFT 阵列面板的布置图。图 22 是图 21 所示 TFT 阵列面板沿着线 XXII-XXII' -XXII"-XXII"' 剖取的截面图,图 24 是图 23 所示 TFT 阵列面板沿着线 X X IV-X X IV' -X X IV"-X X IV"' 剖取的截面图,而图 27 是图 26 所示 TFT 阵列面板沿着线 X X VII-X X VII' -X X VII"-X X VII"' 剖取的截面图。图 25A 到图 25F 是图 23 和图 24 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图。

[0154] 例如,通过溅射在基板上沉积含 Al 金属层,例如 Al 和 Al 合金,然后图案金属层,

以形成包括多个栅极电极 124 和栅极焊盘 129 的多个栅极线 121 和包括多个存储电极 133a 和 133b 的多个存储电极线 131。

[0155] 参考图 23 和图 24, 形成栅绝缘层 140、包括突起 154 的多个半导体带 151、多个半导体岛 156a、156b 和 158、包括突起 163 的多个欧姆接触带 161 和多个非本征半导体岛 165、166a、166b、168 和 169, 并且通过一个平版印刷术步骤和几个蚀刻步骤同时形成包括多个源极电极 173 和数据焊盘 179 的多个数据线 171、多个漏极电极 175、多个互连件 178 和多个加强件 176a 和 176b。

[0156] 这里, 非本征半导体岛 168、半导体岛 158 和栅绝缘层 140 具有露出部分栅极焊盘 129 的多个接触孔 141。

[0157] 现在, 将参考图 25 到图 25F 更具体地描述图 23 和图 24 所示 TFT 阵列面板的形成。

[0158] 参考图 25A, 例如, 通过化学气相沉积 (CVD) 在基板上顺序沉积栅绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160。接下来, 蚀刻非本征 a-Si 层 160、本征 a-Si 层 150 和栅绝缘层 140, 以形成如图 25B 所示露出部分栅极焊盘 129 的多个接触孔 141。

[0159] 例如, 通过溅射沉积如图 25C 所示的数据金属层 170, 并在数据导电层 170 上形成如图 25D 所示光致抗蚀剂膜 410。

[0160] 这里, 光致抗蚀剂膜 410 具有取决于位置的厚度, 使得设置在挡光的不透光区域 F 中的光致抗蚀剂膜 410 的厚度最厚, 设置在半透明区域 E 中的光致抗蚀剂膜 410 的厚度比设置在挡光的不透明区域 F 中的光致抗蚀剂膜 410 的薄, 而设置在透光的透明区域 D 中的光致抗蚀剂膜 410 的厚度接近于零。

[0161] 参考图 25E, 通过使用光致抗蚀剂膜 410 作为掩模, 蚀刻透光的透明区域 D 中露出的数据金属层 170, 以形成多个数据导体 174、多个加强件 176a 和 176b 和多个互连件 178。其后, 蚀刻透光的透明区域 D 中露出的非本征 a-Si 层 160 和本征 a-Si 层 150, 以形成多个非本征半导体带 164、多个非本征半导体岛 166a、166b 和 168、包括多个突起 154 的本征半导体带 151 和多个本征半导体岛 156a、156b 和 158。

[0162] 接下来, 如图 25F 所示, 对光致抗蚀剂膜 410 进行抛光, 使得完全去除掉设置在半透明区域 E 中的光致抗蚀剂膜, 使得设置在挡光的不透明区域 F 中的光致抗蚀剂膜的厚度变薄。

[0163] 其后, 借助于挡光的不透明区域 F 中的剩余光致抗蚀剂膜 410 作为掩模蚀刻数据导体 174, 以形成包括多个源极电极 173 和多个漏极电极 175 的多个数据线 171, 并同时露出在源极电极 173 和漏极电极 175 之间的非本征半导体带 164 的下面部分。

[0164] 最后, 蚀刻源极电极 173 和漏极电极 175 之间露出的非本征半导体带 164, 以形成欧姆接触 161 和 165, 并露出本征半导体带 154 的部分。

[0165] 接下来, 通过光刻 (和腐蚀) 来沉积和图案化钝化层 180 和栅绝缘层 140, 以形成如图 26 和图 27 所示的多个接触孔 181、182、183a、183b 和 185。

[0166] 最后, 如图 19 和 20 所示, 在钝化层上形成多个像素电极 191、多个接触辅助件 81 和 82 及多个跨桥 83。

[0167] 现在, 将参考图 28 具体描述根据本发明另一示范性实施例的 LCD。

[0168] 图 28 是根据本发明示范性实施例的 LCD 的框图。

[0169] 如图 28 所示, 根据本发明示范性实施例的 LCD 包括液晶面板组件 300、连接到组件



300 的数据驱动器 500、连接到数据驱动器 500 的灰度电压发生器和控制组件 300 和数据驱动器 500 的信号控制器。

[0170] 液晶面板组件 300 包括彼此相对的 TFT 阵列面板和公共电极面板,以及介于两个显示板之间的 LC 层。TFT 阵列面板包括与图像显示直接相关的显示区域 DA 和与栅极驱动器相关的控制区域 CA。

[0171] 在显示区域 DA 中,形成多个栅极线 G1-Gn、多个数据线 D1-Dm、多个存储电极线、多个像素电极和多个 TFT。

[0172] 在控制区域 CA 中,栅极驱动器产生栅极信号,而多个信号传输线将来自外部的各种信号传输到栅极驱动器。栅极驱动器可以是包括多个顺序连接的级的移位寄存器。

[0173] 现在,将参考图 29 到图 31 具体描述图 28 所示 LCD 的 TFT 阵列面板。

[0174] 图 29 是表示图 28 所示 LCD 的显示区域的一部分的布置图,图 30 是表示图 28 所示 LCD 的驱动区域的一部分的布置图,而图 31 是图 30 所示 TFT 阵列面板沿着线 X X XI-X X XI'-X X XI"-X X XI'" 剖取的截面图。

[0175] 显示单元 DA 的层状结构基本上与图 1 和图 2 中所示的类似,因此主要描述控制区域 CA。

[0176] 参考图 30,控制区域 CA 包括对应于移位寄存器的一个级并产生栅极信号的多个电路部分 610 和传输各种信号的多个信号传输线。电路部分 610 包括多个 TFT 和多个连接线。TFT 通过连接线彼此连接,并且 TFT 通过连接线连接到信号传输线。

[0177] 现在,将描述 TFT 阵列面板的层状结构。

[0178] 显示区域 DA 中的多个栅极线 121 和多个存储电极线 131 及控制区域 CA 中的多个栅极层信号传输线形成在绝缘基板 110 上。

[0179] 每个栅极线 121 包括多个栅极电极 124,并延伸到控制区域 CA,以直接连接到那里,因此,没有栅极焊盘。

[0180] 栅极层信号传输线 125-128 传输信号,比如电压,其需要控制电路部分 610,并从外部输入,并基本上以纵向方向延伸。

[0181] 如图 1 和图 2 所示,栅极线 121、存储电极线 131 和栅极层信号传输线 125-128 具有包括下层和设置在下层上的上层的双层结构。在图 31 中,分别用附加字母 p 和 q 表示每个下膜和每个上膜。

[0182] 在栅极线 12、存储电极线 131 和栅极层信号传输线 125-128 上形成栅绝缘层 140。栅绝缘层 140 具有分别露出栅极层信号传输线 125、127 和 128 的部分的多个接触孔 142a、142b 和 142c。

[0183] 在栅绝缘层 140 上,形成多个半导体带 151,并在其上的显示区域 DA 中形成包括突起 163 的多个欧姆接触带 161 和多个欧姆接触岛 165。

[0184] 在欧姆接触 161 和 165 及栅绝缘层 140 上,在显示区域 DA 中形成多个数据线 171 和多个漏极电极 175,并在控制区域 CA 中形成多个数据层信号传输线 172a、172b 和 172c。

[0185] 每个数据线 171 包括多个源极电极 173 和数据焊盘 179。

[0186] 像栅极层信号传输线 125-128 一样,数据层信号传输线 172a-172c 传输信号,比如电压,其需要控制电路部分 610,并从外部输入,并基本上以纵向方向延伸。数据层信号传输线 172a-172c 包括延伸到接触孔 142a-142c 的多个突起 172a1、172b1 和 172c1,以通过接触

孔 142a-142c 被连接到栅极层信号传输线 125、127 和 128。数据层信号传输线 172a 和 172b 的部分包括朝着电路部分 610 延伸的多个延伸 172a2 和 172b2, 以被连接到电路部分 610。

[0187] 在数据线 171、漏极电极 175、数据层信号传输线 172a-172c 和半导体带 151 的露出部分上形成钝化层 180。钝化层 180 包括分别露出数据焊盘 179 和漏极电极 175 的多个接触孔 182 和 185。钝化层 180 和栅绝缘层 140 具有露出第一存储电极 133a 的固定端部分附近的存储电极线 131 的部分下膜 133ap 的多个接触孔 183a, 以及露出第一存储电极 133a 的自由端部分的线性分支的下膜 133bp 的多个接触孔 183b。

[0188] 在钝化层 180 上形成多个像素电极 191、多个跨桥 83 和多个接触辅助件 81 和 82。

[0189] 如上所述, 在电路部分 610 中形成 TFT 和连接线, TFT 具有和在显示区域 DA 中形成的 TFT 基本相同的层状结构, 而连接线由和栅极线 121 或者数据线 171 相同的层制成。栅极层连接线和数据层连接线可以通过形成在栅绝缘层 140 中的接触孔彼此连接。

[0190] 因此, 栅层信号传输线 125、127 和 128 及数据层信号传输线 172a-172c 通过接触孔 181a、181b 和 181c 彼此直接连接, 而没有由和像素电极 191 相同的材料制成的附加连接件连接。因此, 可以避免 ITO 或者 IZO 和 Al 或者 Al 合金直接接触产生的含 Al 金属的氧化和腐蚀。

[0191] 图 1 和图 2 所示 TFT 阵列面板的很多特性可以应用到图 29 到图 31 所示 TFT 阵列面板。

[0192] 现在将参考图 32 到图 36 和图 29 到图 31 具体描述根据本发明另一示范性实施例的图 29 到图 31 所示 TFT 阵列面板的制造方法。

[0193] 图 32、图 33、图 35 和图 36 是根据本发明示范性实施例, 在其制造方法的中间步骤中, 图 31 中所示 TFT 阵列面板的布置图, 而图 34A 到 34F 是图 33 所示 TFT 阵列面板在其制造方法的中间步骤中的截面图。

[0194] 参考图 32, 在绝缘基板 110 上形成包括多个栅极电极 124 和栅极焊盘 129 的多个栅极线 121、包括存储电极 133a 和 133b 的多个存储电极线和多个栅极层信号传输线 125、126、127 和 128。栅极线 121、存储电极线 131 和栅层信号传输线 125-128 具有包括上层和下层的双层结构, 在图中, 分别用附加字母 p 和 q 表示上层和下层。

[0195] 接下来, 如图 33 所示, 形成具有多个接触孔 141 的栅绝缘层 140、包括突起 154 的多个 (本征) 半导体带 151 和包括突起 164 的多个非本征半导体带 161。

[0196] 现在, 将参考图 34A 到 34F 更具体地描述图 33 所示 TFT 阵列面板的形成。

[0197] 参考图 34A, 例如, 通过等离子体增强化学气相沉积 (PECVD) 在基板上顺序沉积栅绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160, 然后在其上涂敷光致抗蚀剂膜 400。

[0198] 接下来, 通过曝光掩模 60 来曝光光致抗蚀剂膜 400, 并显影曝光的光致抗蚀剂膜 400。曝光和显影的光致抗蚀剂膜 400 具有如图 34B 所示取决于位置的厚度。光致抗蚀剂膜 400 包括透光的透明区域 A、半透明区域 B 和挡光的不透明区域 C。

[0199] 接下来, 使用光致抗蚀剂膜 400 作为掩模, 蚀刻非本征 a-Si 层 160、本征 a-Si 层 150 和栅绝缘层 140, 以形成露出的部分栅极层信号传输线 125、127 和 128 的接触孔 142a-142c, 如图 34C 所示。

[0200] 参考图 34D, 对光致抗蚀剂膜 400 进行抛光, 使得完全去除掉设置在半透明区域 B 中光致抗蚀剂膜 400, 并使得设置在挡光的不透明区域 C 中的光致抗蚀剂膜 400 的厚度变

薄。

[0201] 接下来,使用设置在挡光的不透明区域 C 中的剩余光致抗蚀剂膜 400 作为掩模蚀刻非本征 a-Si 层 160 和本征 a-Si 层 150,以形成包括突起 164 的非本征半导体带 161 和包括突起 154 的本征半导体带 151,如图 34E 所示。

[0202] 最后,例如通过抛光,去除掉设置在挡光的不透明区域 C 中的剩余光致抗蚀剂膜 400,如图 34F 所示。

[0203] 参考图 35,形成包括多个源极电极 173 和数据焊盘 179 的多个数据线 171、多个漏极电极 175 和栅极驱动器 600 的多个数据层信号传输线 172a、172b 和 172c。这里,通过接触孔 142a-142c 将数据线 171 的突起 172a1、172b1 和 172c1 连接到露出的栅极层信号传输线 125、127 和 128。

[0204] 其后,去除掉没有被数据线 171 和漏极电极 175 覆盖的非本征半导体带 164 的露出部分,以完成包括突起 163 的多个欧姆接触带 161 和多个欧姆接触岛 165,并露出本征半导体带 151 的部分。

[0205] 接下来,通过光刻(和腐蚀)来沉积和图案化钝化层 180 和栅绝缘层 140,以形成分别露出数据线 171 的数据焊盘 179、第一存储电极 133a 的固定端部分附近的存储电极线 131 的部分、第一存储电极 133a 的自由端部分的线性分支的部分和漏极电极 175 露出的多个接触孔 182、183a、183b 和 185,如图 36 所示。

[0206] 最后,如图 29 和图 31 所示,在钝化层 180 上形成多个像素电极 191、多个接触辅助件 81 和 82 及多个跨桥 83。

[0207] 现在,将参考图 37 到图 39 具体描述根据本发明另一示范性实施例的图 28 所示 TFT 阵列面板。

[0208] 图 37 是表示图 28 所示 LCD 的显示区域的一部分的另一布置图,图 38 是表示图 28 所示 LCD 的显示区域的一部分的另一布置图,而图 39 是图 37 和图 38 所示 TFT 阵列面板沿着线 X X XI X-X X XI X' -X X XI X"-X X XIX"' 剖取的截面图。

[0209] 如图 37 到图 39 所示,根据本示范性实施例的 TFT 阵列面板的层状结构基本上和图 29 到图 31 所示相同。

[0210] 控制区域 CA 包括产生栅极信号的多个电路部分 610 和传输各种信号的多个信号传输线。

[0211] 显示区域 DA 中的多个栅极线 121 和多个存储电极线 131 及控制区域 CA 中的多个栅层信号传输线形成在绝缘基板 110 上。

[0212] 例如,栅极线 121 和存储电极线 131 具有由含 Al 金属例如 Al 或者 Al 合金比如 AlNd 制成的单层结构,用于减少信号延迟或者电压降。

[0213] 在栅极线 121、存储电极线 131 和栅层信号传输线 125-128 上,形成具有露出栅层信号传输线 125、127 和 128 的部分的多个接触孔 141 的栅绝缘层 140。包括突起 163 的多个半导体带 151 和多个欧姆接触带 161 及多个欧姆接触岛 165 形成在其上的显示区域 DA 中。

[0214] 在显示区域 DA 中形成多个数据线 171 和多个漏极电极 175,并在欧姆接触 161 和 165 及栅绝缘层 140 上的控制区域 CA 中形成多个数据层信号传输线 172a、172b 和 172c。

[0215] 每个数据线 171 包括多个源极电极 173 和数据焊盘 179,并且数据层信号传输线

172a-172c 包括多个突起 172a1、172b1 和 172c1, 他们延伸到接触孔 142a-142c, 以通过接触孔 142a-142c 被连接到栅层信号传输线 125、127 和 128。

[0216] 在栅极线 171、漏极电极 175、数据层信号传输线 172a-172c 及半导体带 151 的露出部分上形成钝化层 180。钝化层 180 包括分别露出数据焊盘 179 和漏极电极 175 的多个接触孔 182 和 185。钝化层 180 和栅绝缘层 140 具有分别露出第一存储电极 133a 的固定端部分附近的部分存储电极线 131、第一存储电极 133a 的自由端部分的部分线性分支和漏极电极 175 的多个接触孔 183a 和 183b。

[0217] 钝化层 180 具有包括下无机层 180p 和上有机层 180q 的双层结构。上有机层 180q 具有基本上平坦的表面。然而, 钝化层 180 可以具有单层结构。

[0218] 在钝化层 180 上形成多个像素电极 191、多个跨桥 83 和多个接触辅助件 82。

[0219] 然而, 与图 29 到图 31 所示 TFT 阵列面板不同的是, 图 37 到图 39 所示 TFT 阵列面板包括设置在存储电极 133a 和 133b 上并由与数据线 171 相同的层制成的多个加强件 176a 和 176b、设置在加强件 176a 和 176b 下面并具有和加强件 176a 和 176b 基本上相同平面形状的多个欧姆接触岛 166a 和 166b 及多个半导体岛 156a 和 156b。半导体带 151 还具有与数据线 171、漏极电极 175 及欧姆接触 161 和 1651 基本上相同的平面形状。然而, 半导体带 151 的突起 154 包括一些没有被数据线 171 和漏极电极 175 覆盖的露出部分, 比如设置在源极电极 173 和漏极电极 175 之间的部分。

[0220] 图 29 到 31 中所示 TFT 阵列面板的很多特性可以应用到图 37 到图 39 所示 TFT 阵列面板。

[0221] 根据本示范性实施例的 TFT 阵列面板的制造方法基本与图 21 到图 27 所示 TFT 阵列面板的类似。

[0222] 以与栅极线 121 相同的步骤形成栅层信号传输线 125-128, 并以与数据线 171 相同的步骤形成数据层信号传输线 172a-172c。而且, 接触孔 142a-142c 形成为如图 14 和图 15 所示的接触孔 141。

[0223] 已经描述了本发明的示范性实施例, 还应当注意的是, 对本领域技术人员显而易见, 本发明可以作出各种修改, 而不脱离由所附权利要求的边界和界限所限定的本发明的精神和范围。

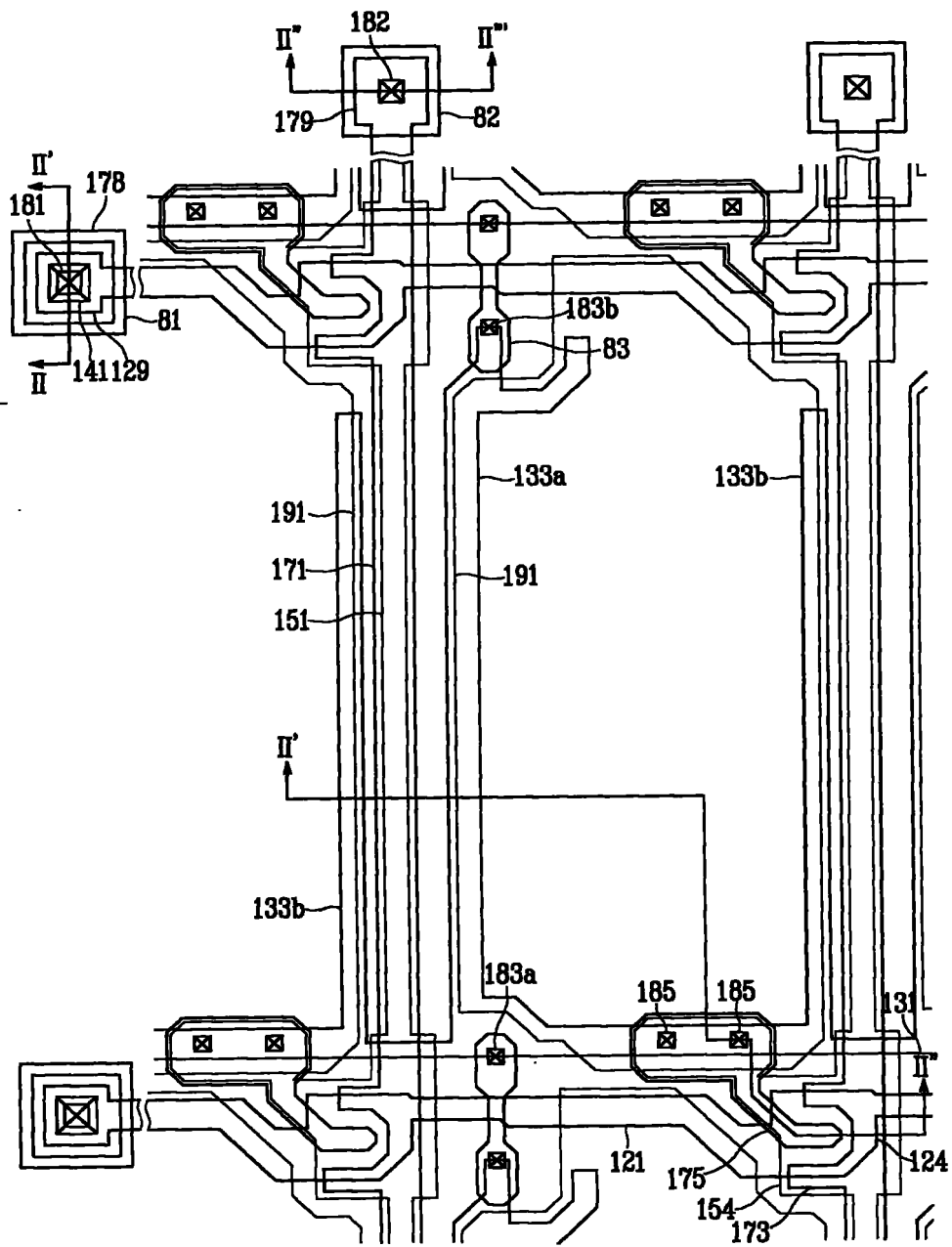


图 1

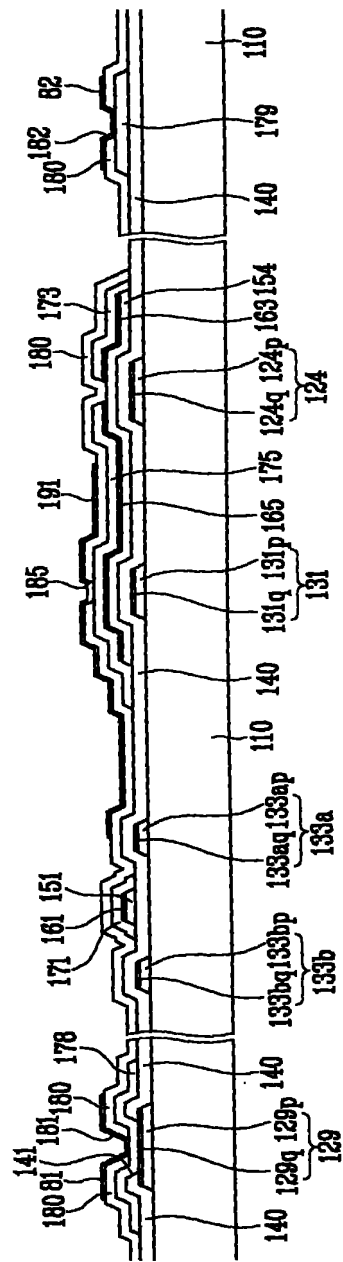


图 2

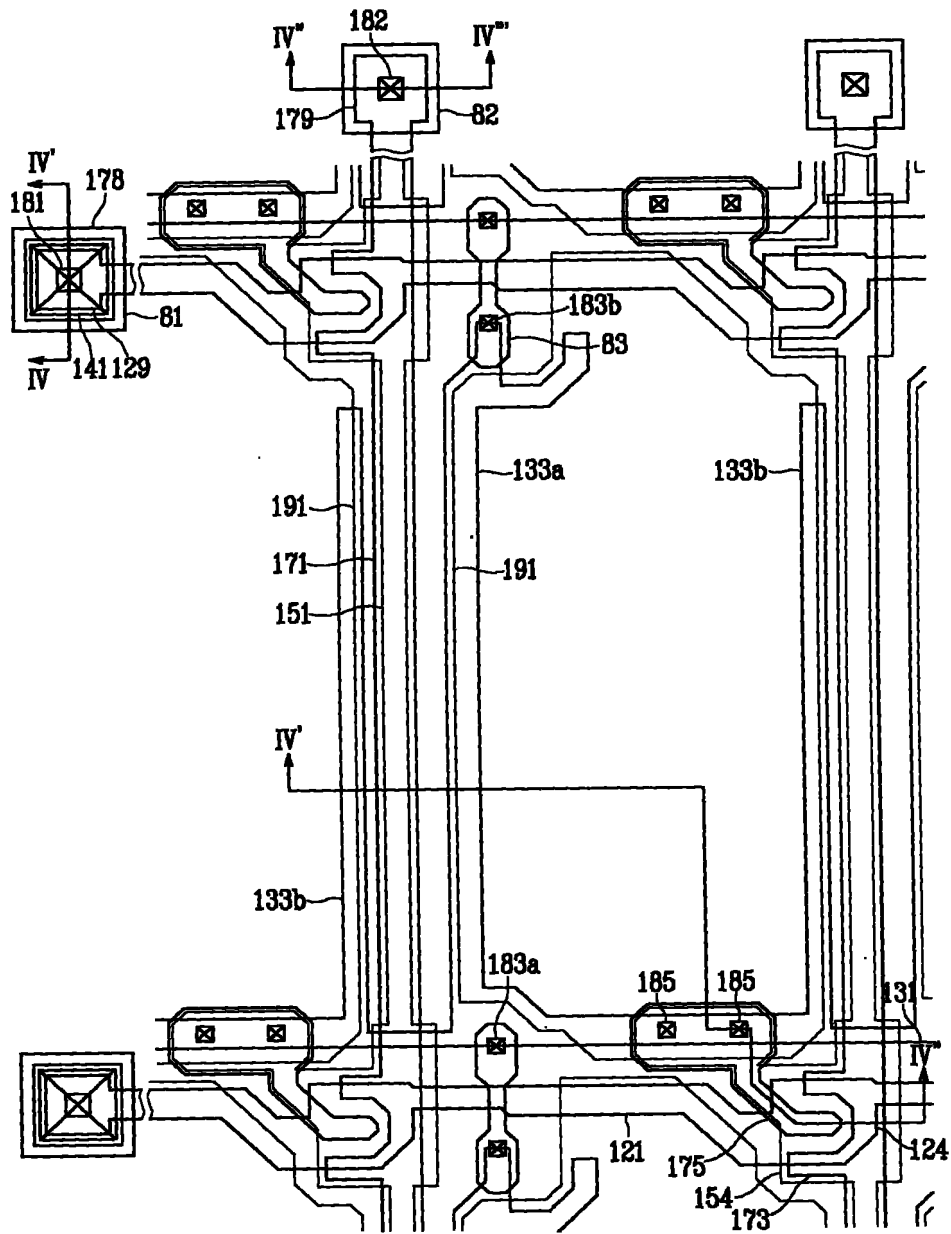


图 3

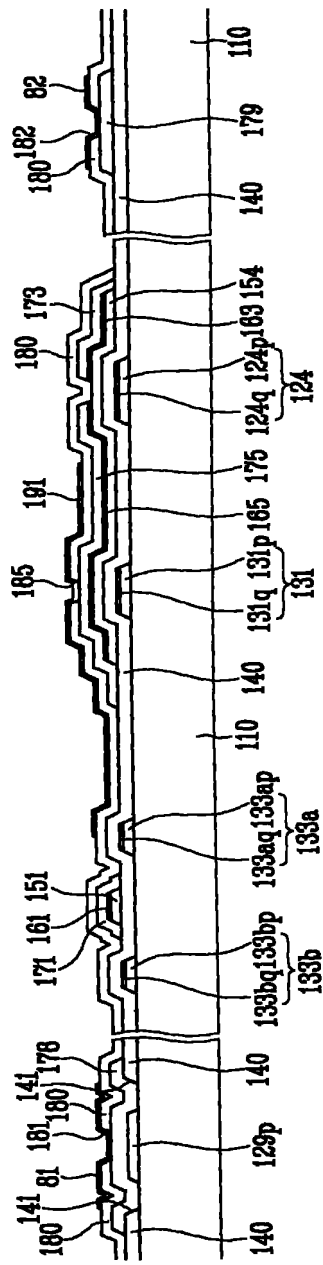


图 4



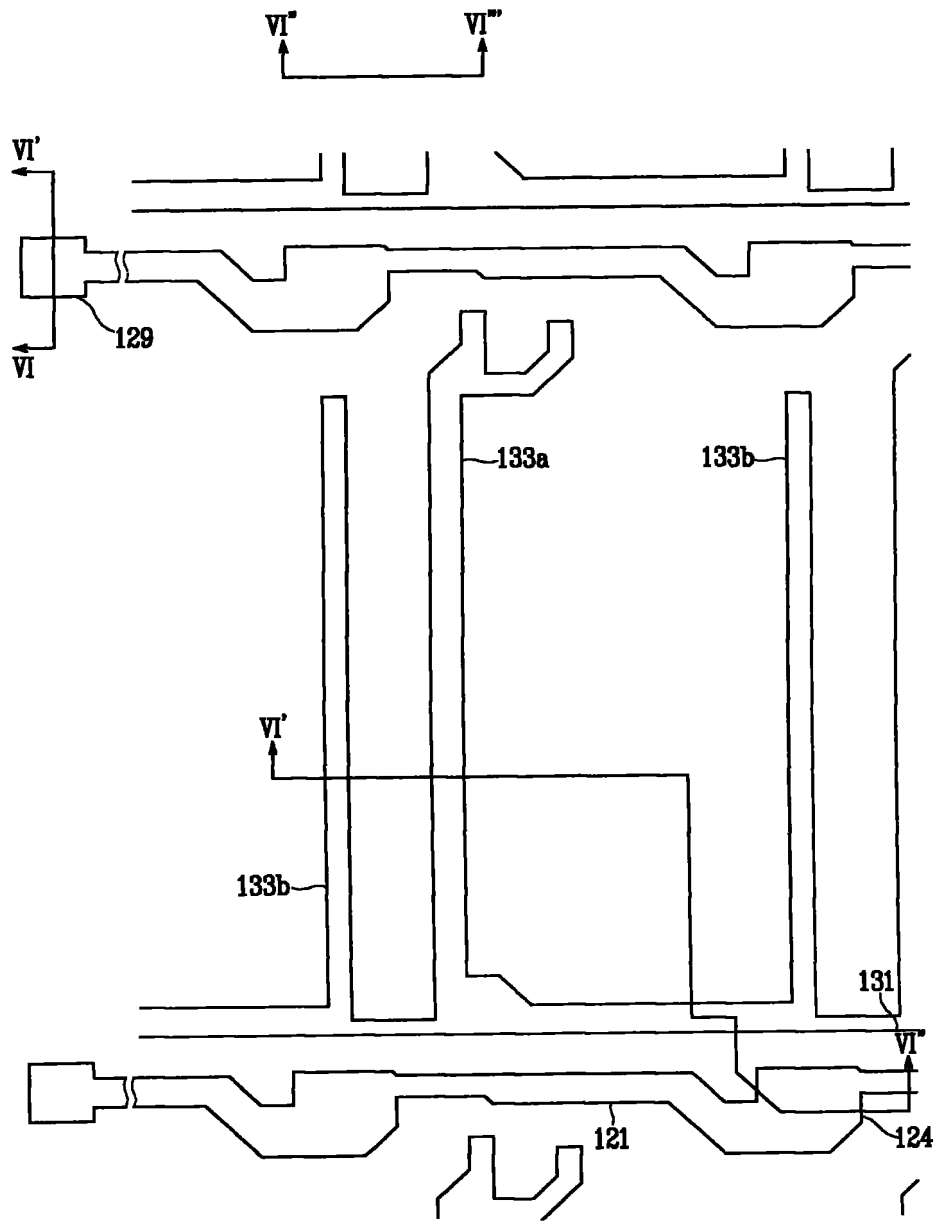


图 5

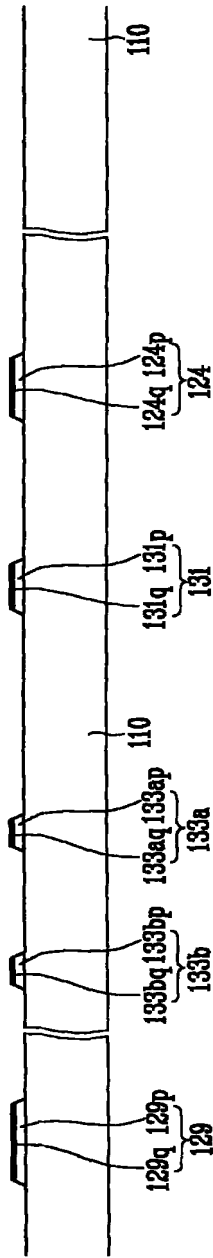


图 6

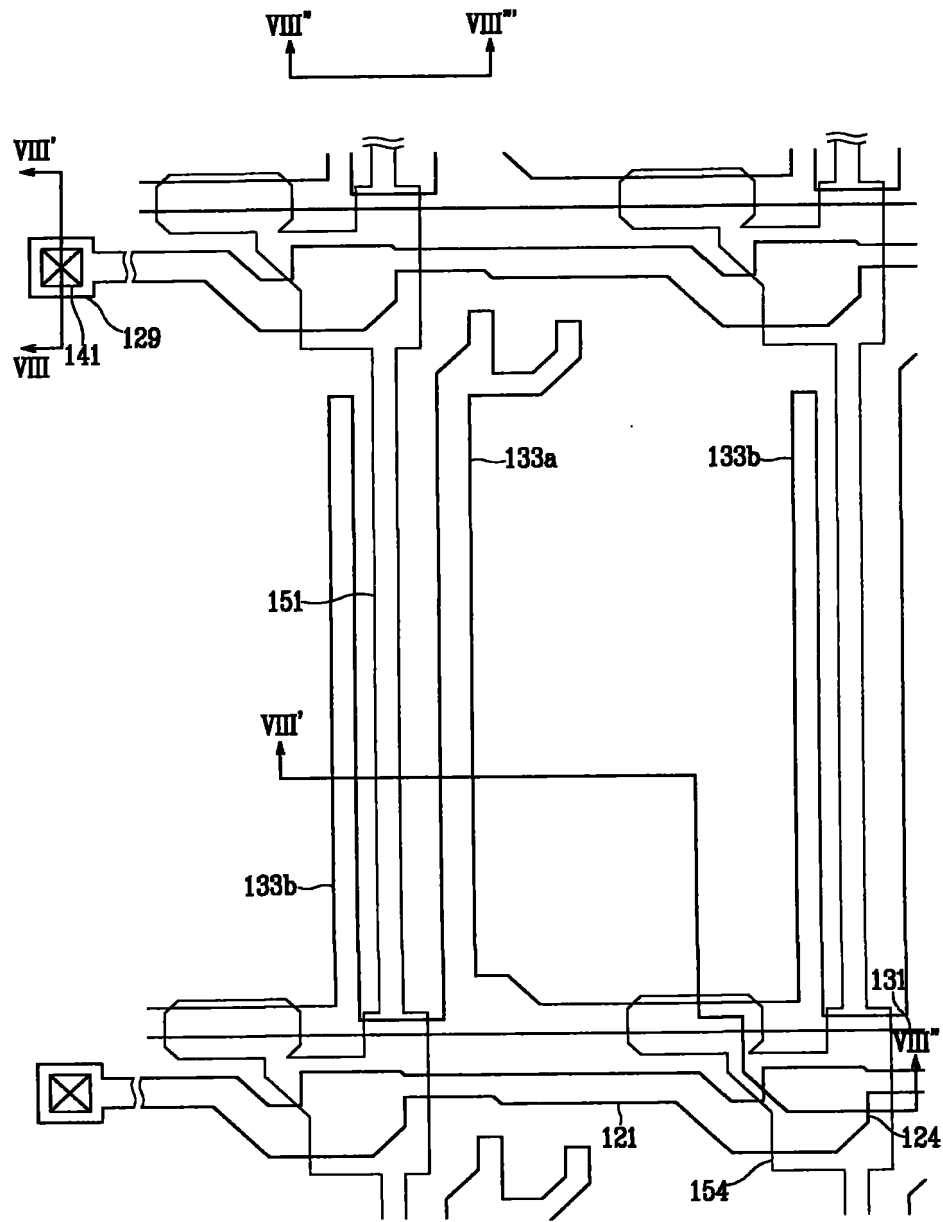


图 7

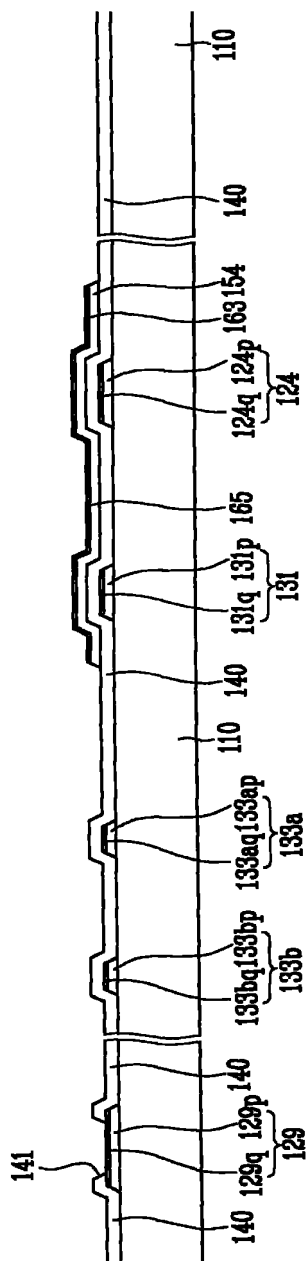


图 8

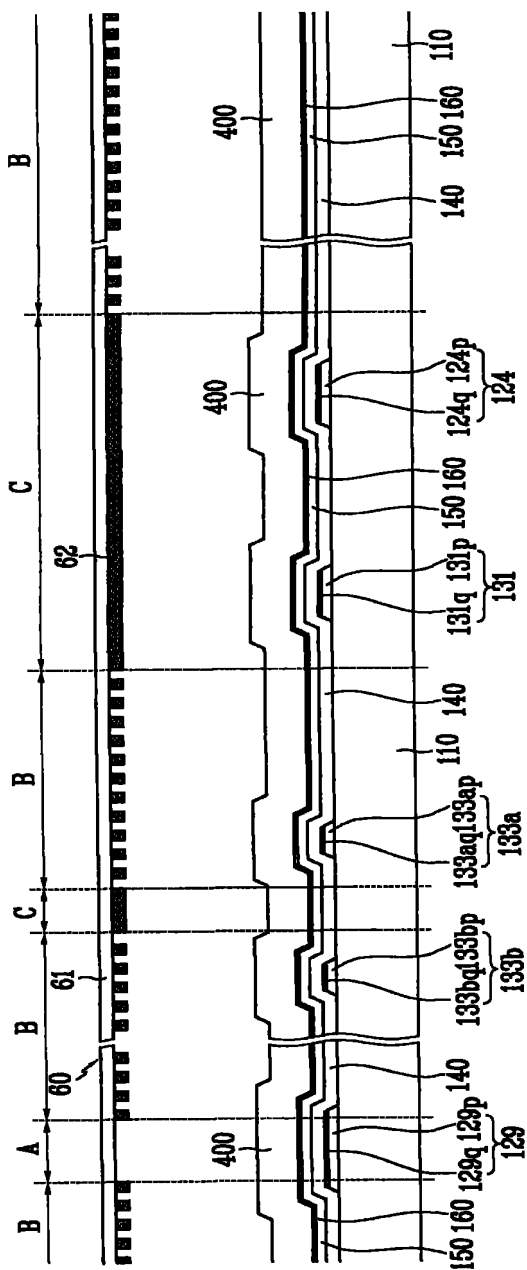


图 9A

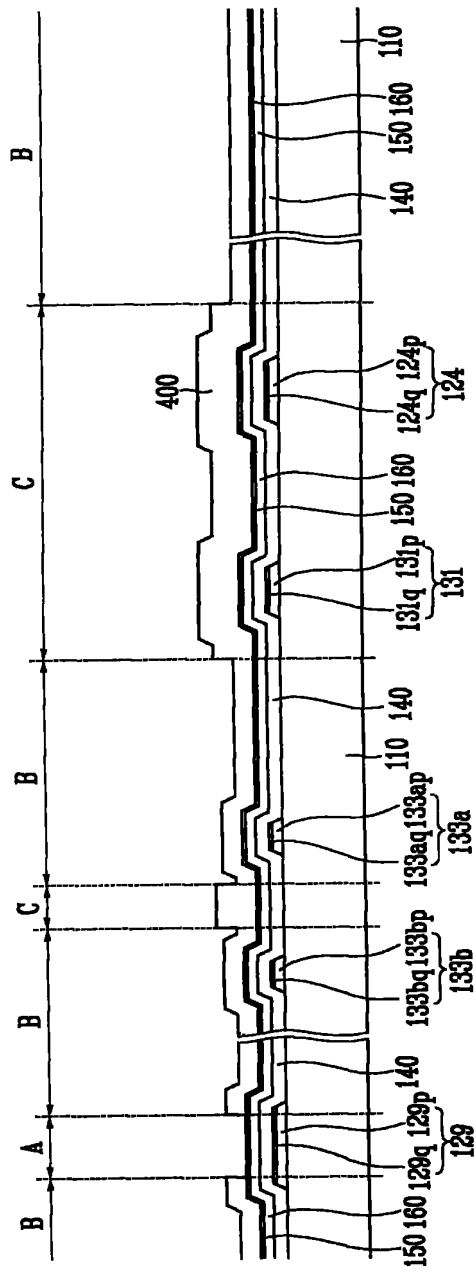


图 9B

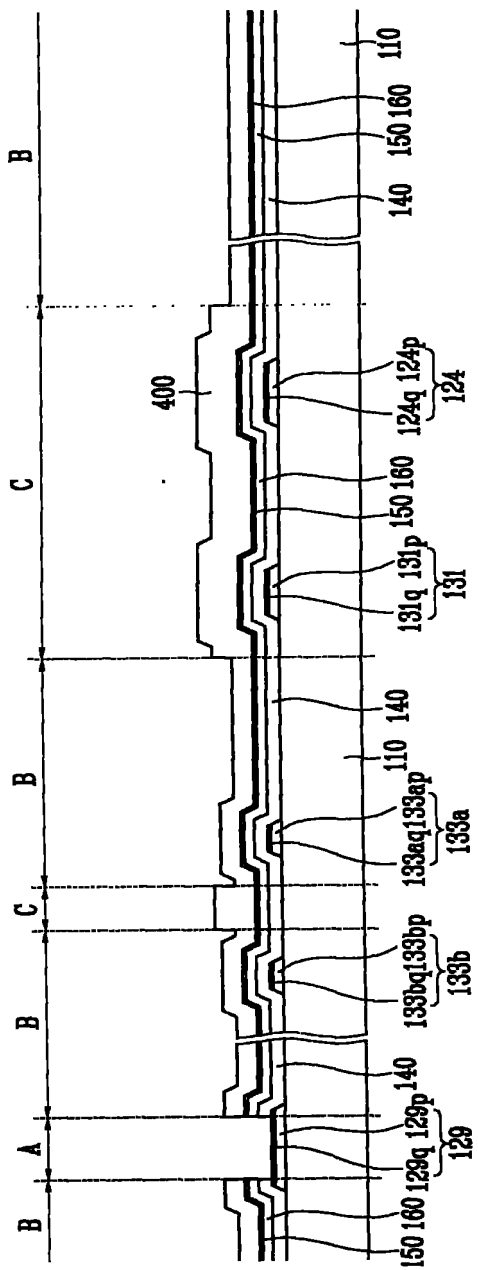


图 9C

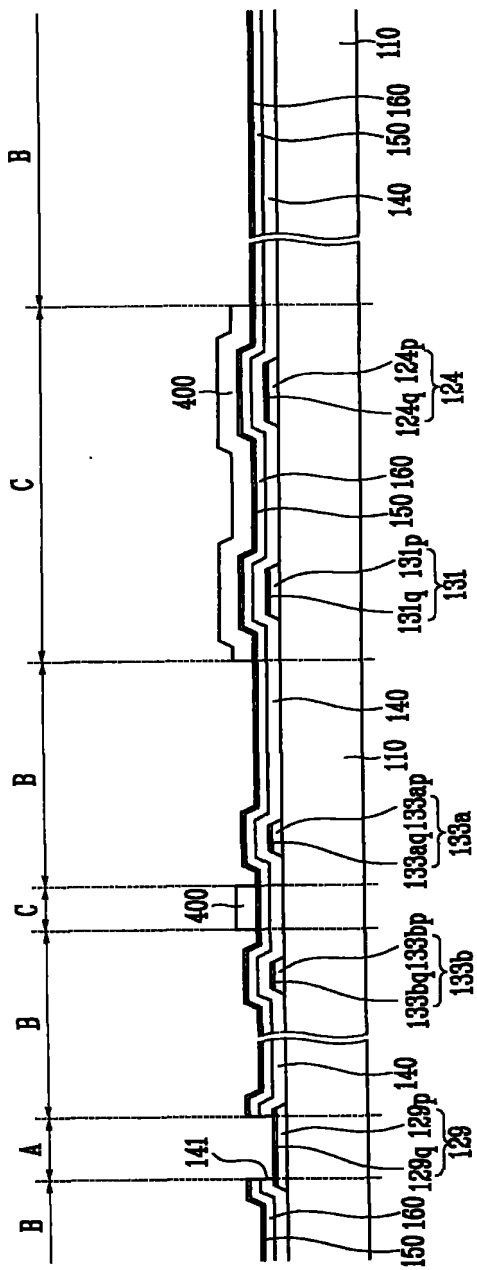


图 9D

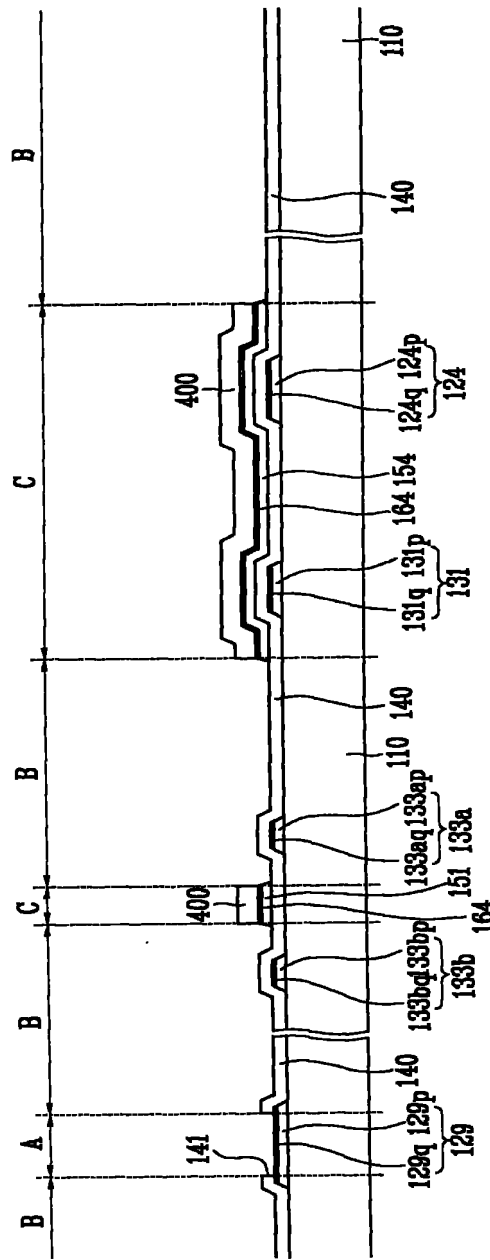


图 9E

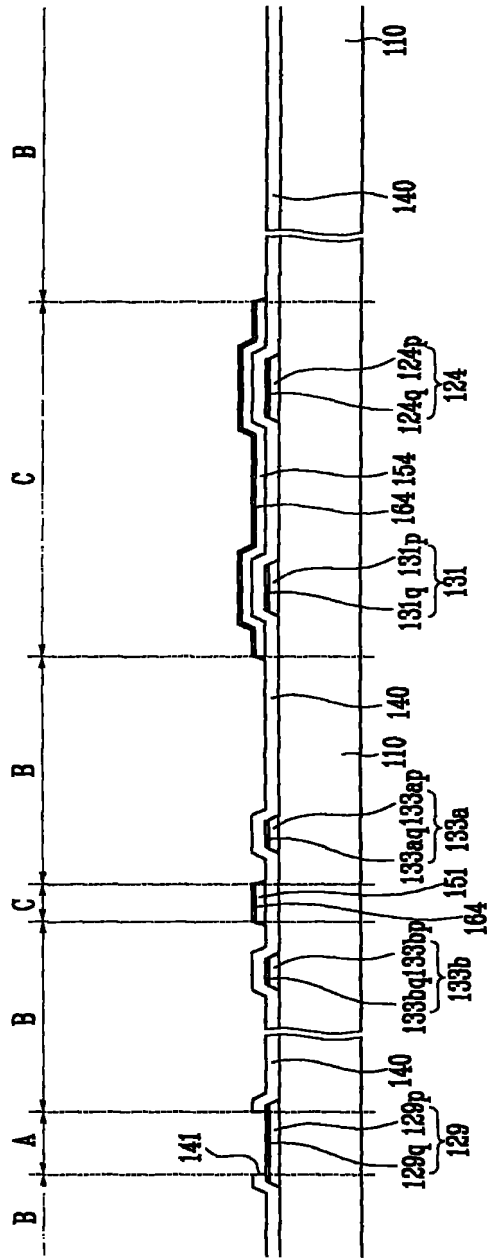


图 9F



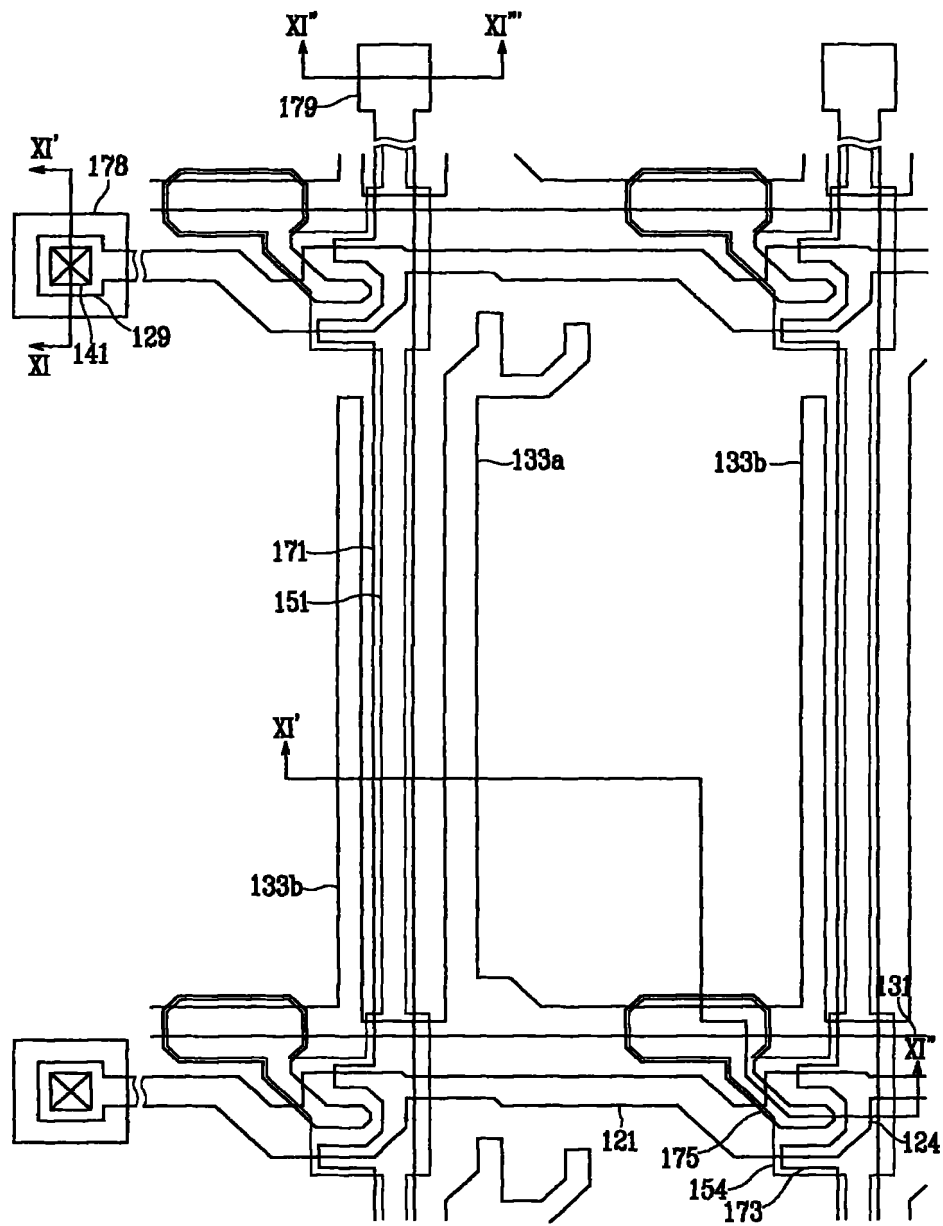


图 10

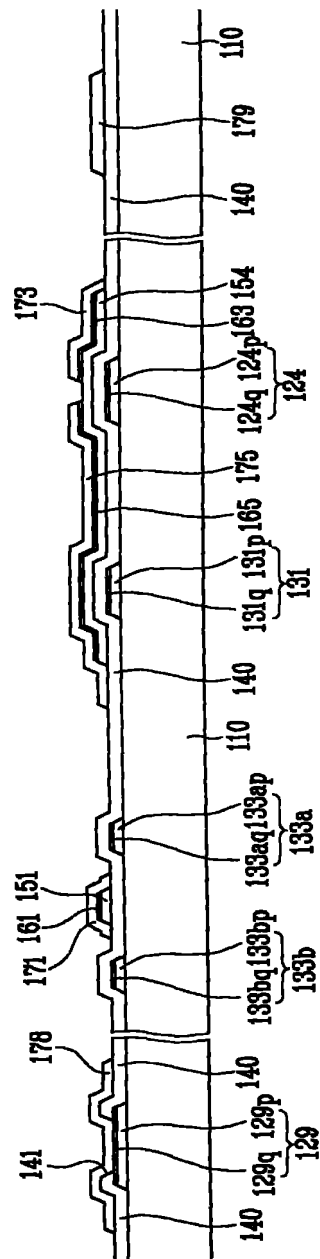


图 11

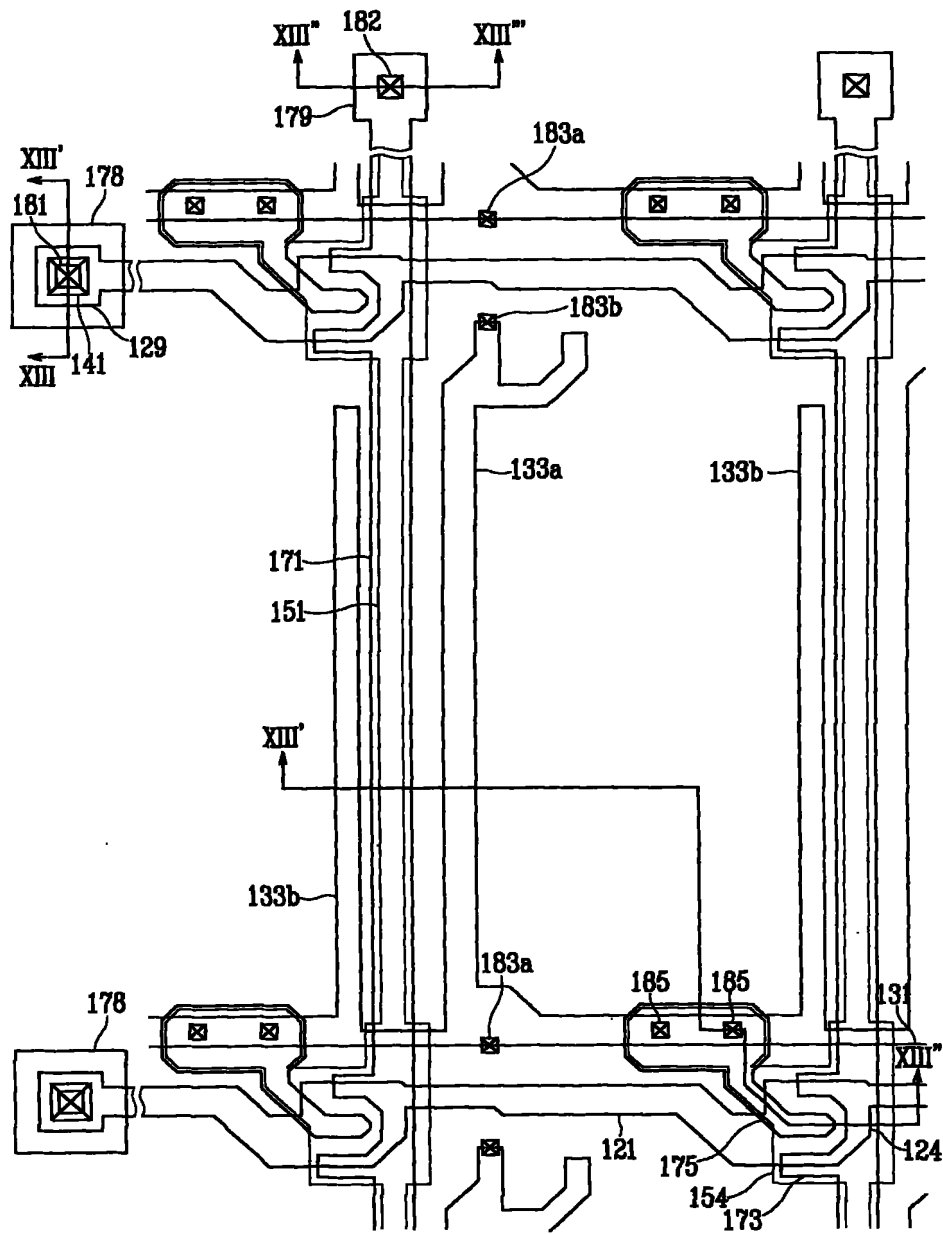


图 12

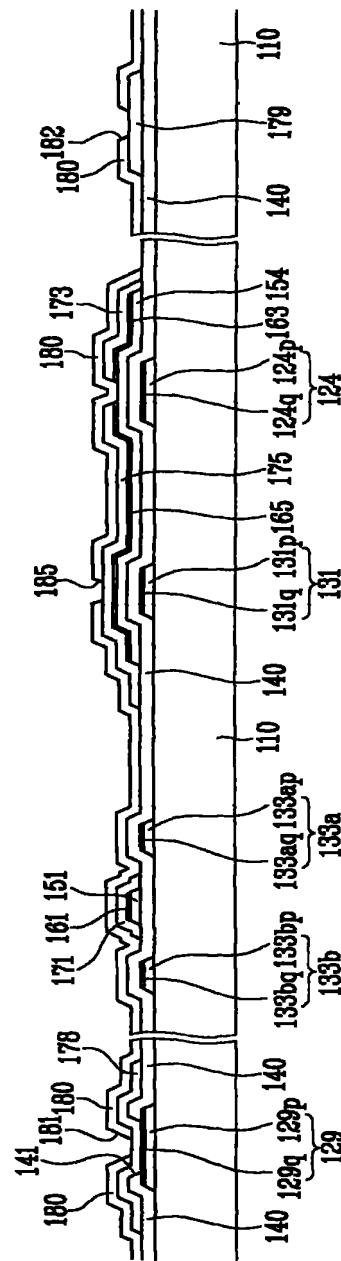


图 13

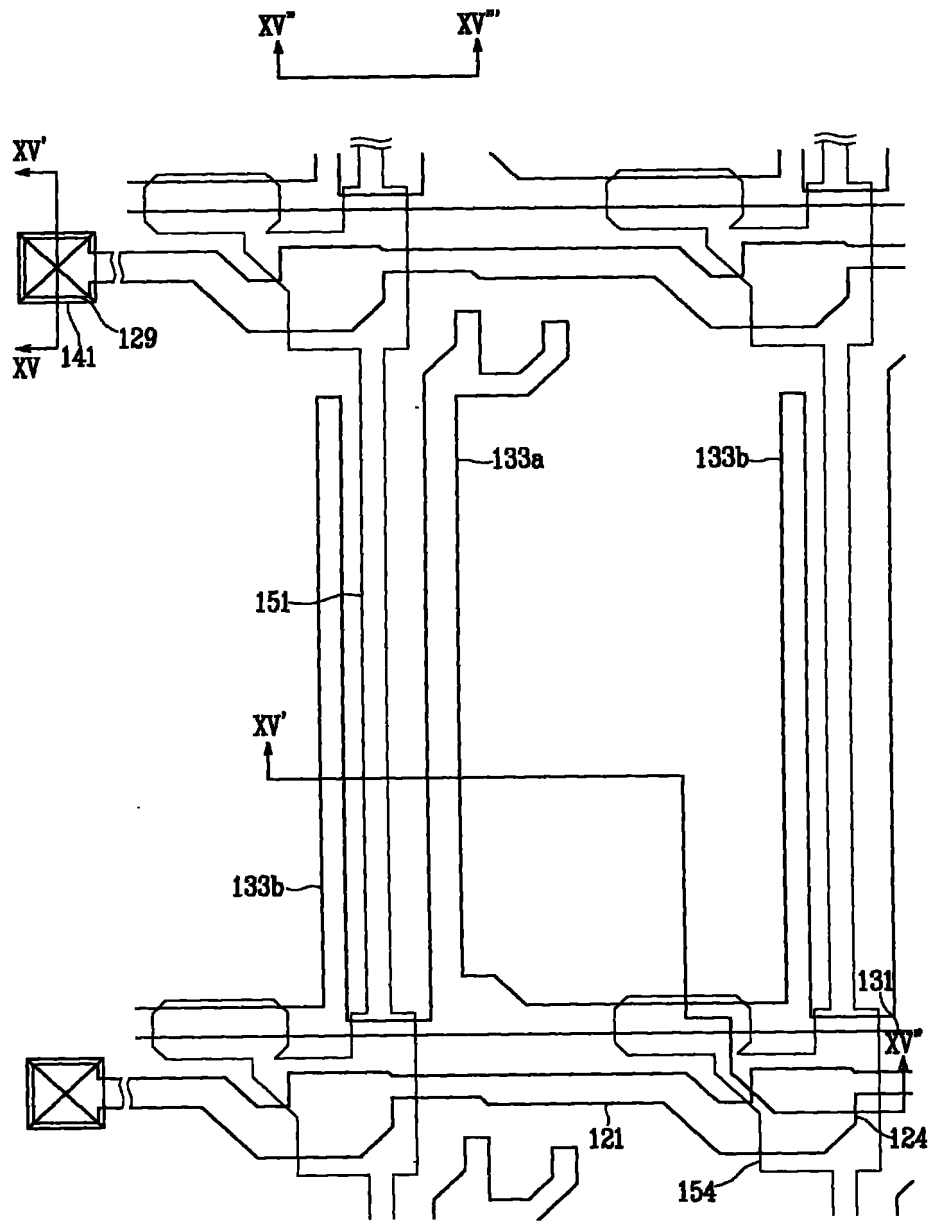


图 14

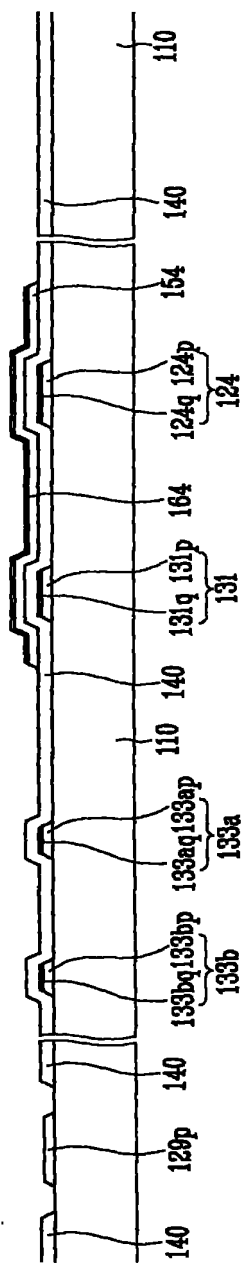


图 15

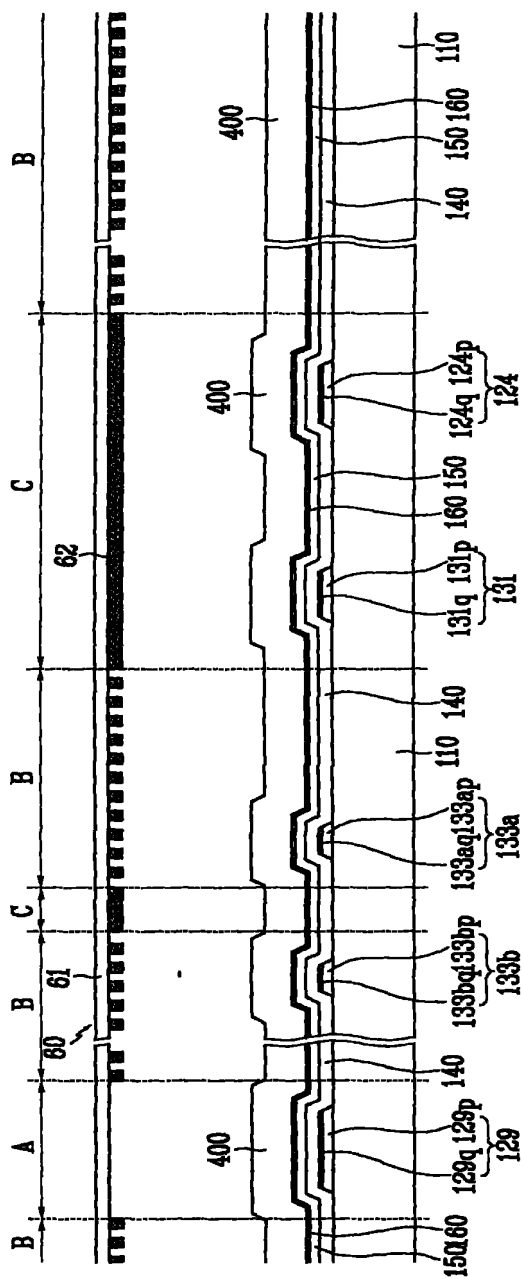


图 16A

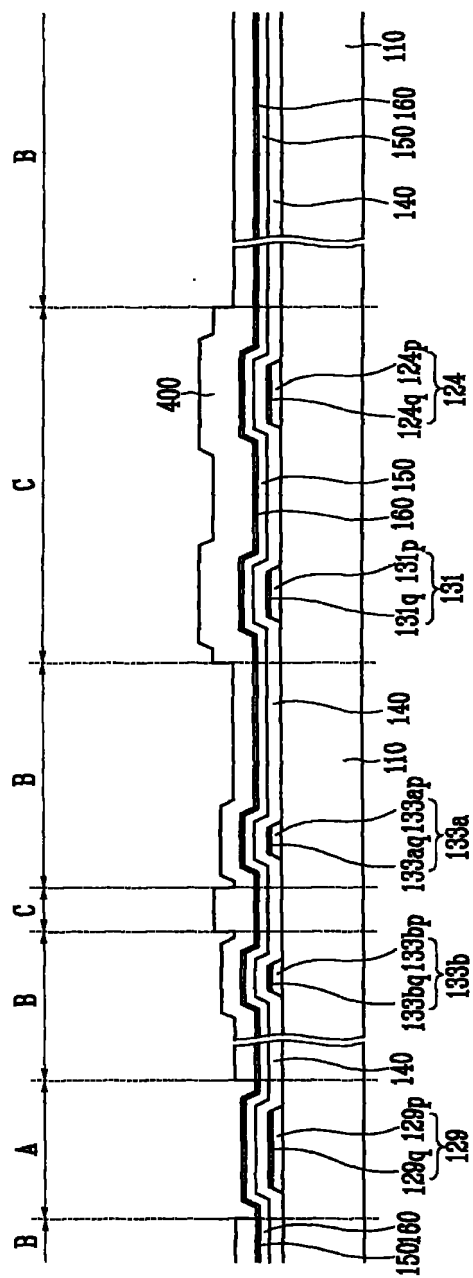


图 16B

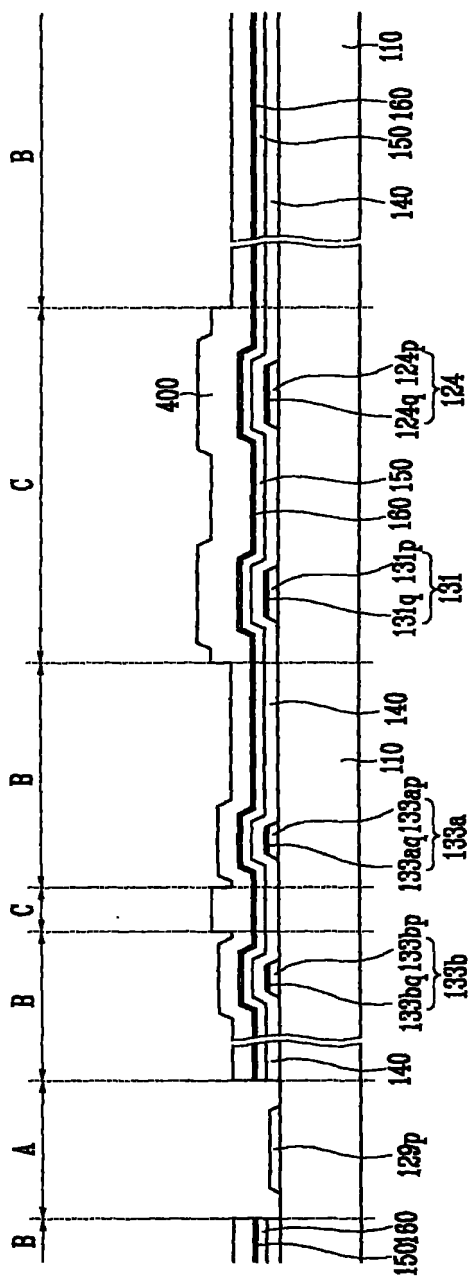


图 16C

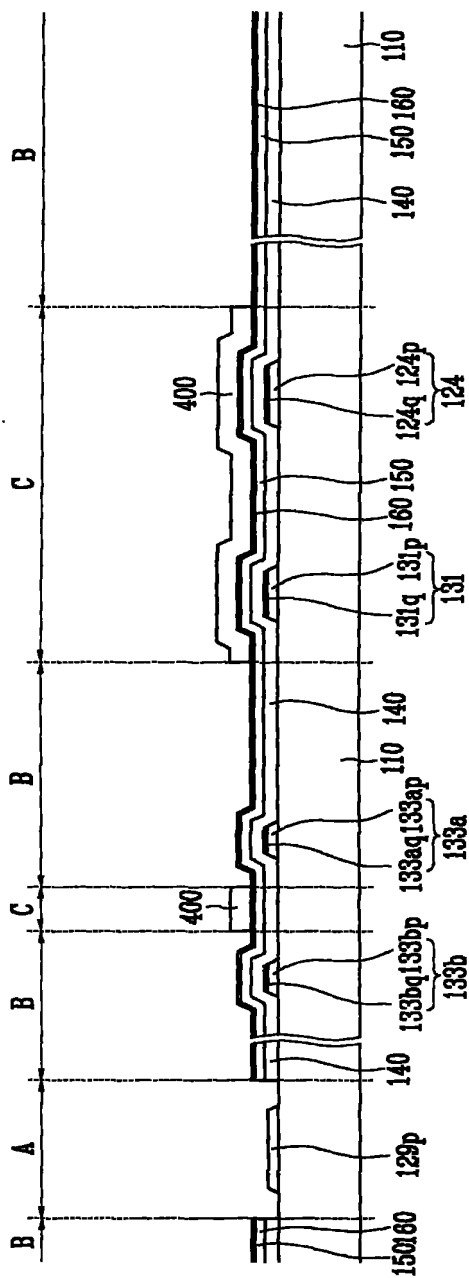


图 16D

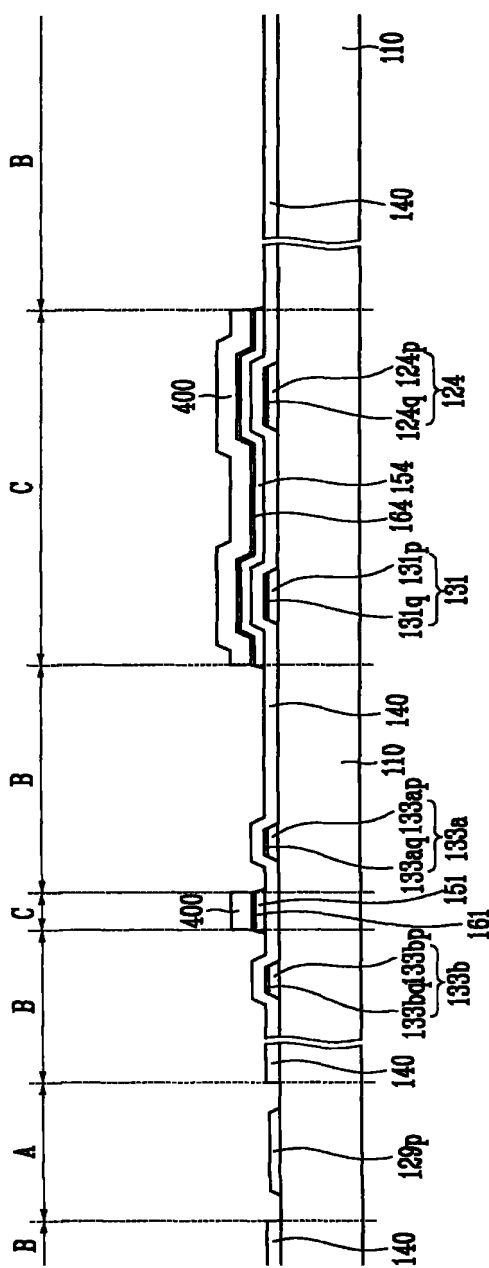


图 16E



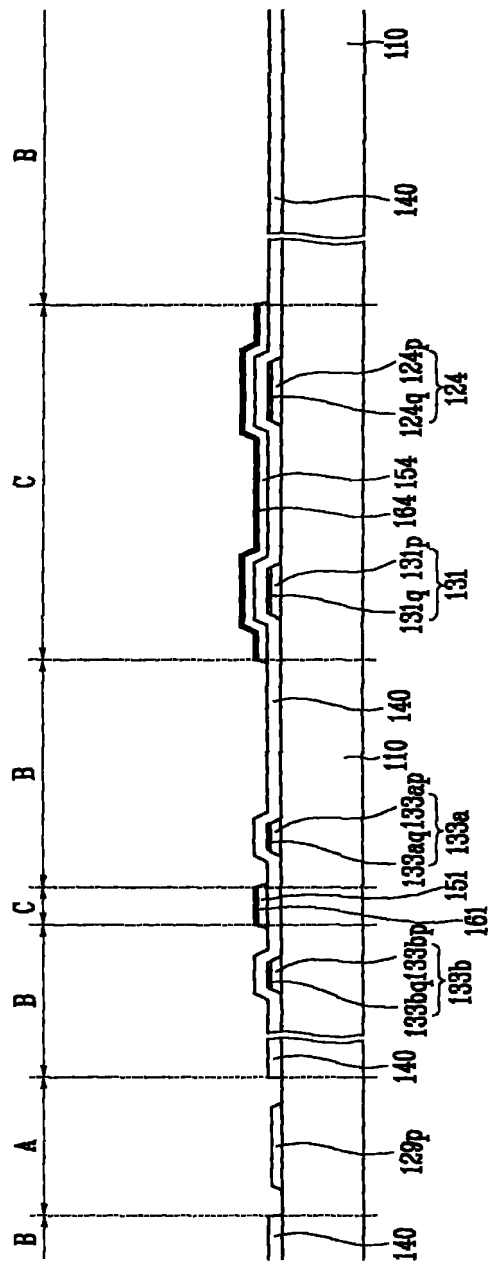


图 16F

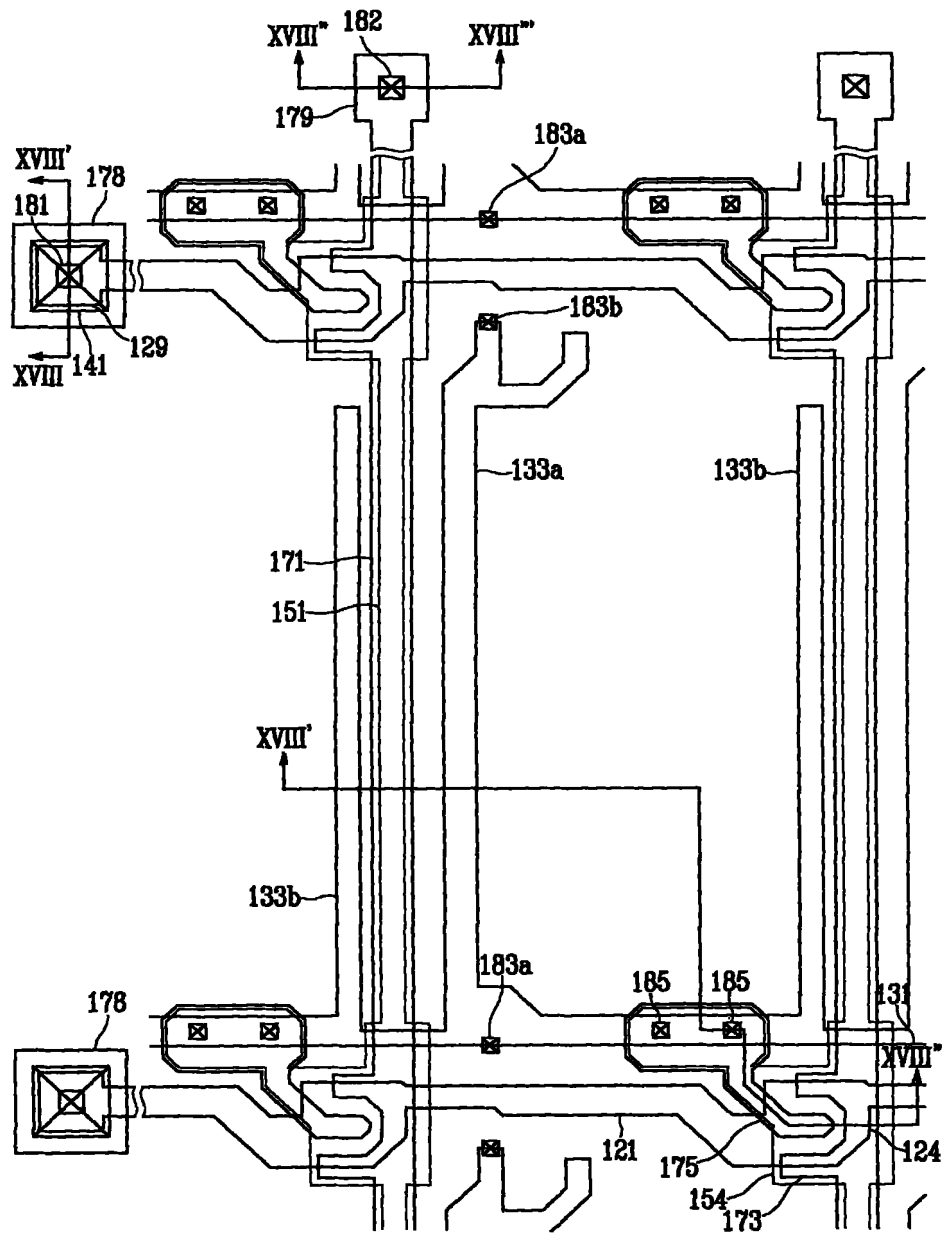


图 17

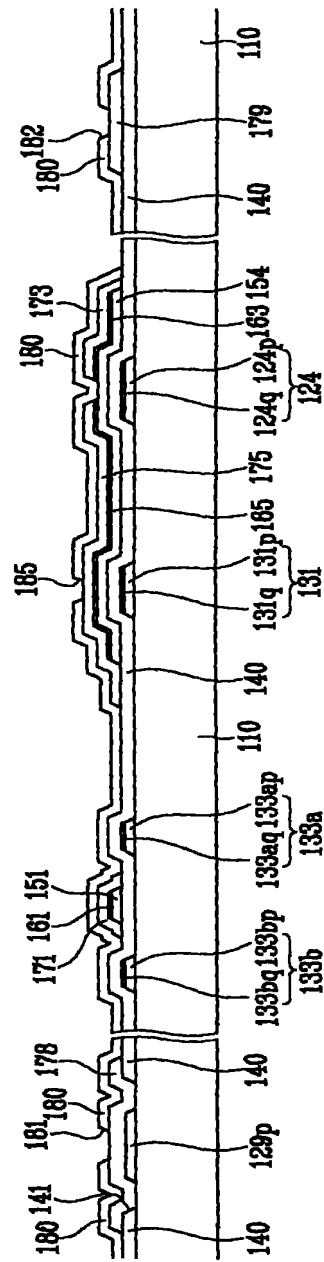


图 18

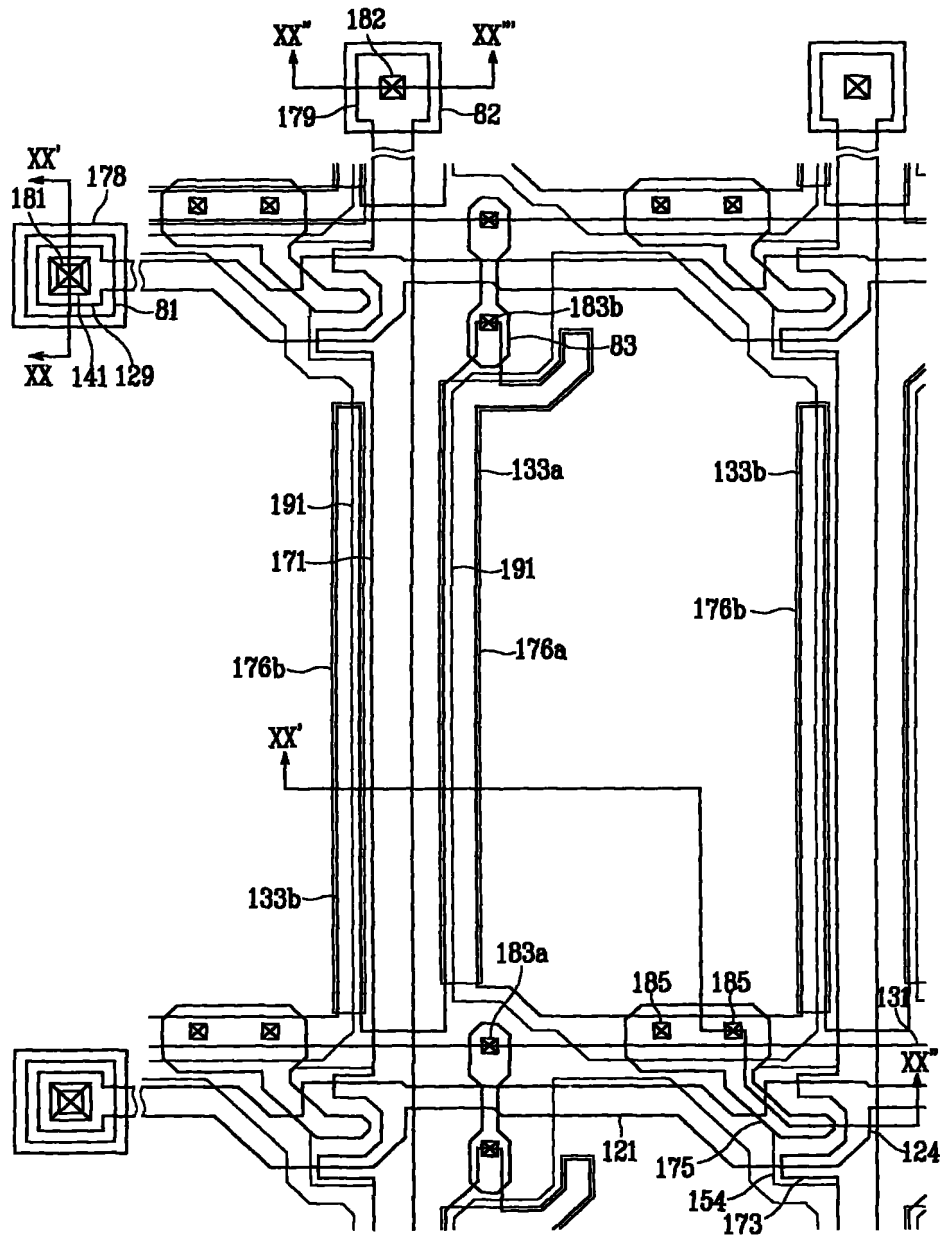


图 19

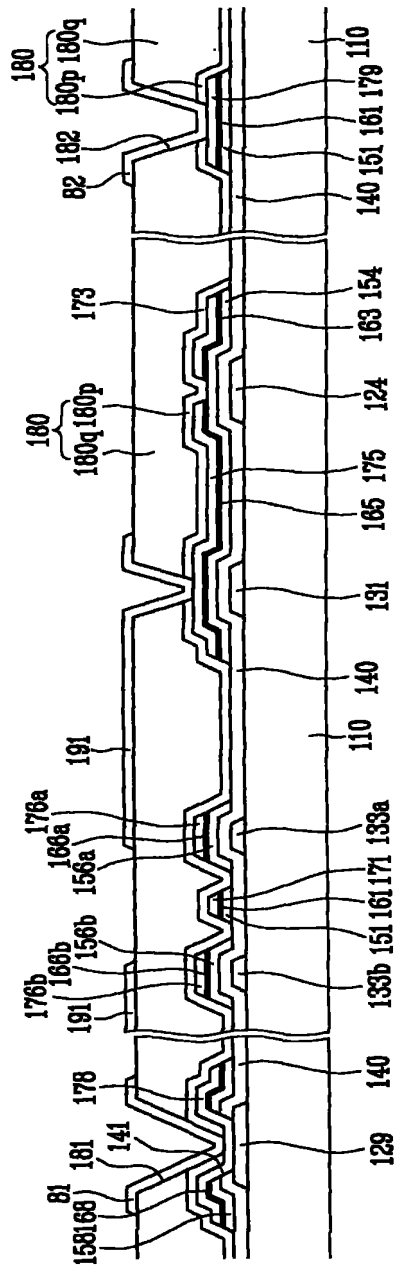


图 20

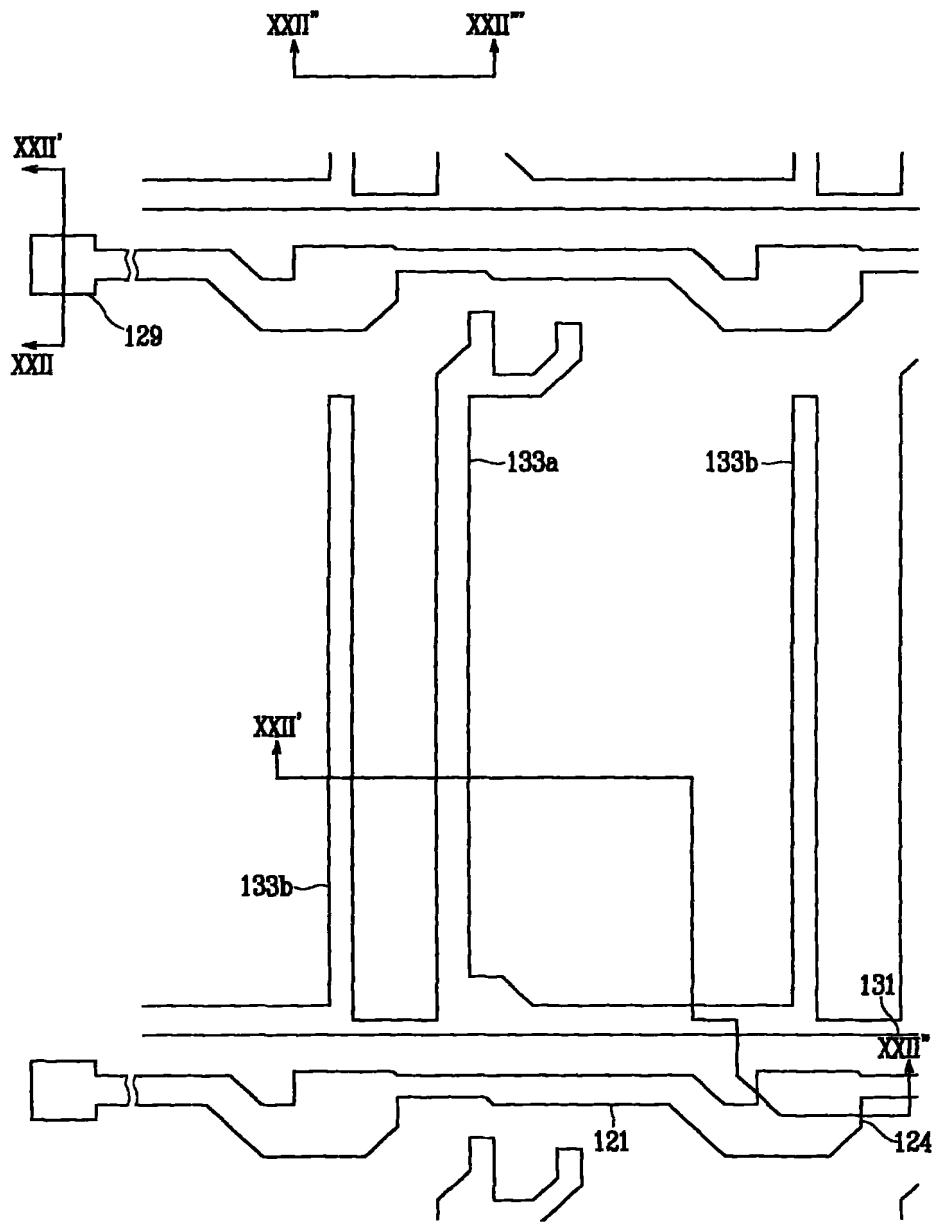


图 21

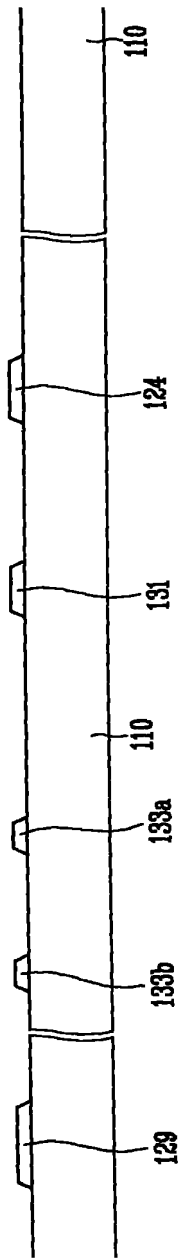


图 22

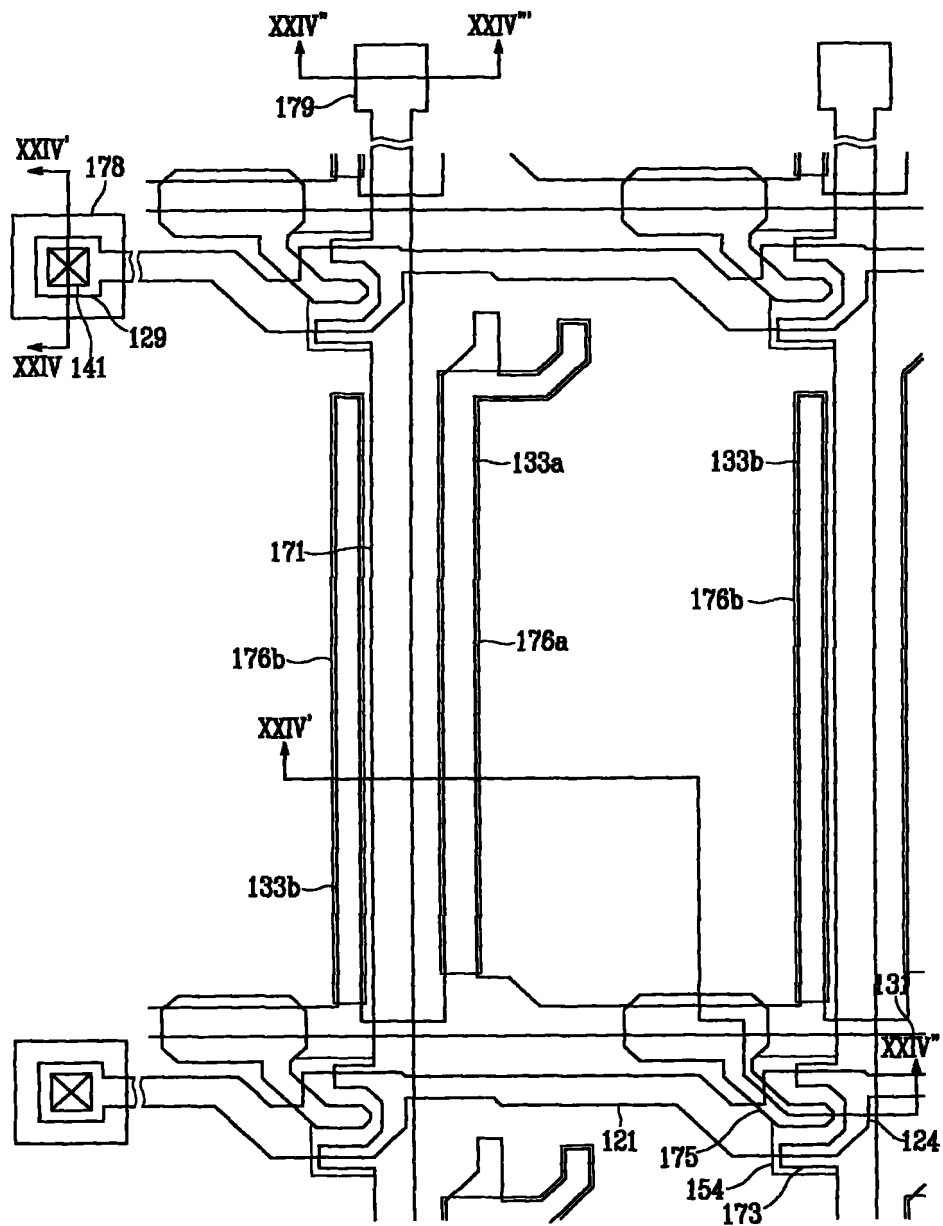


图 23



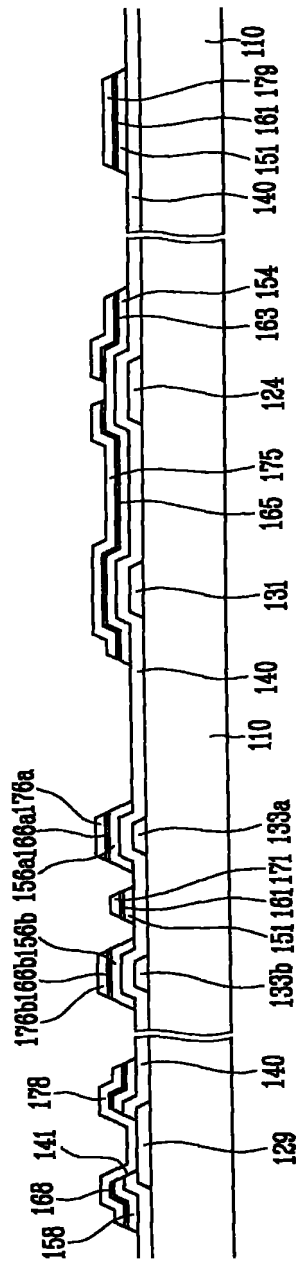


图 24

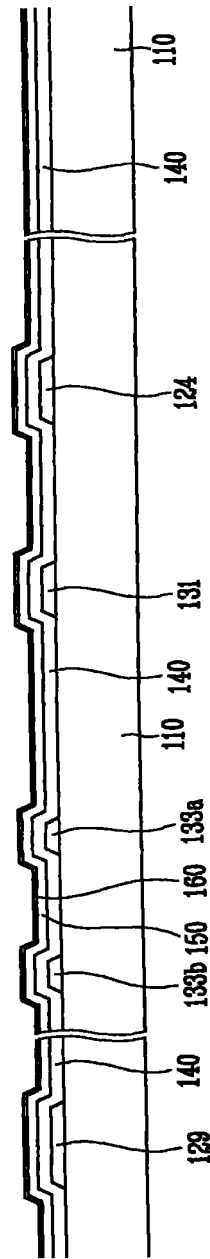


图 25A

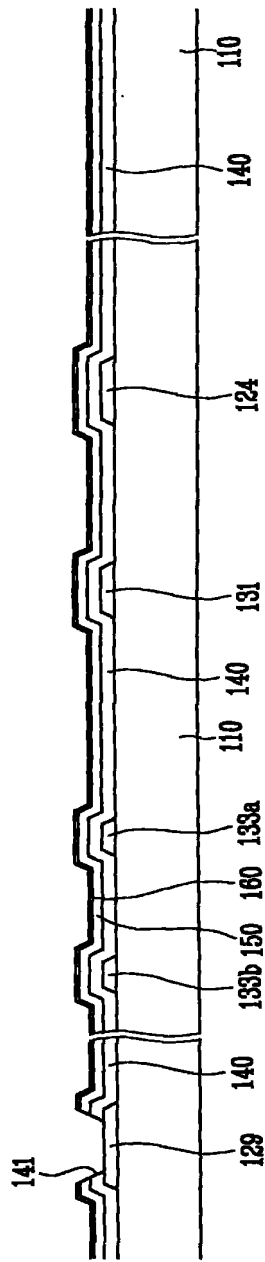


图 25B

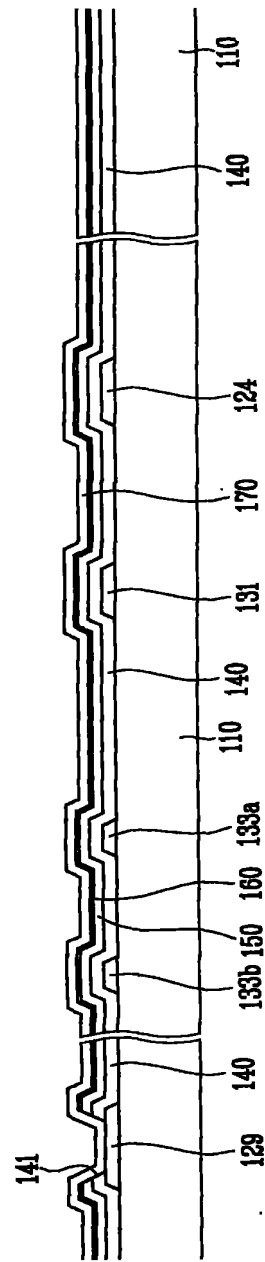


图 25C

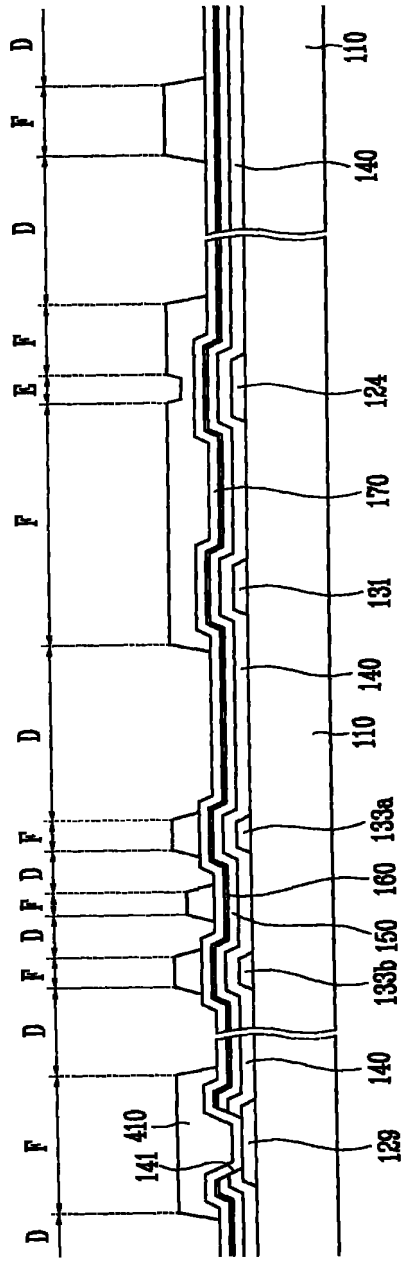


图 25D

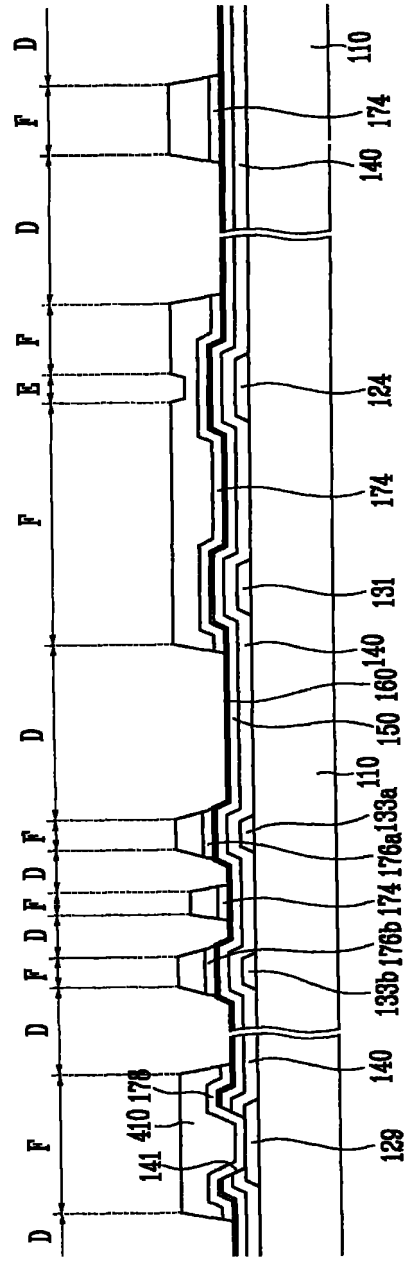


图 25E

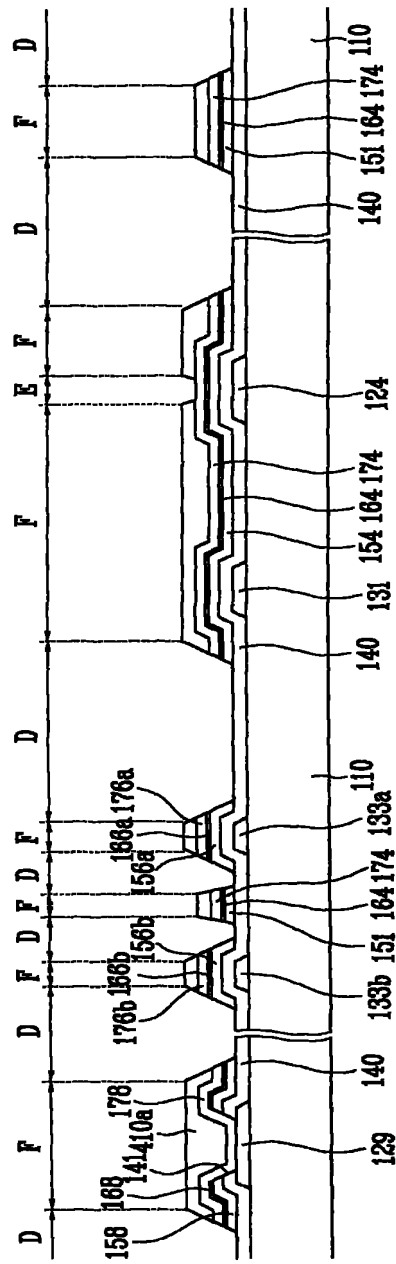


图 25F

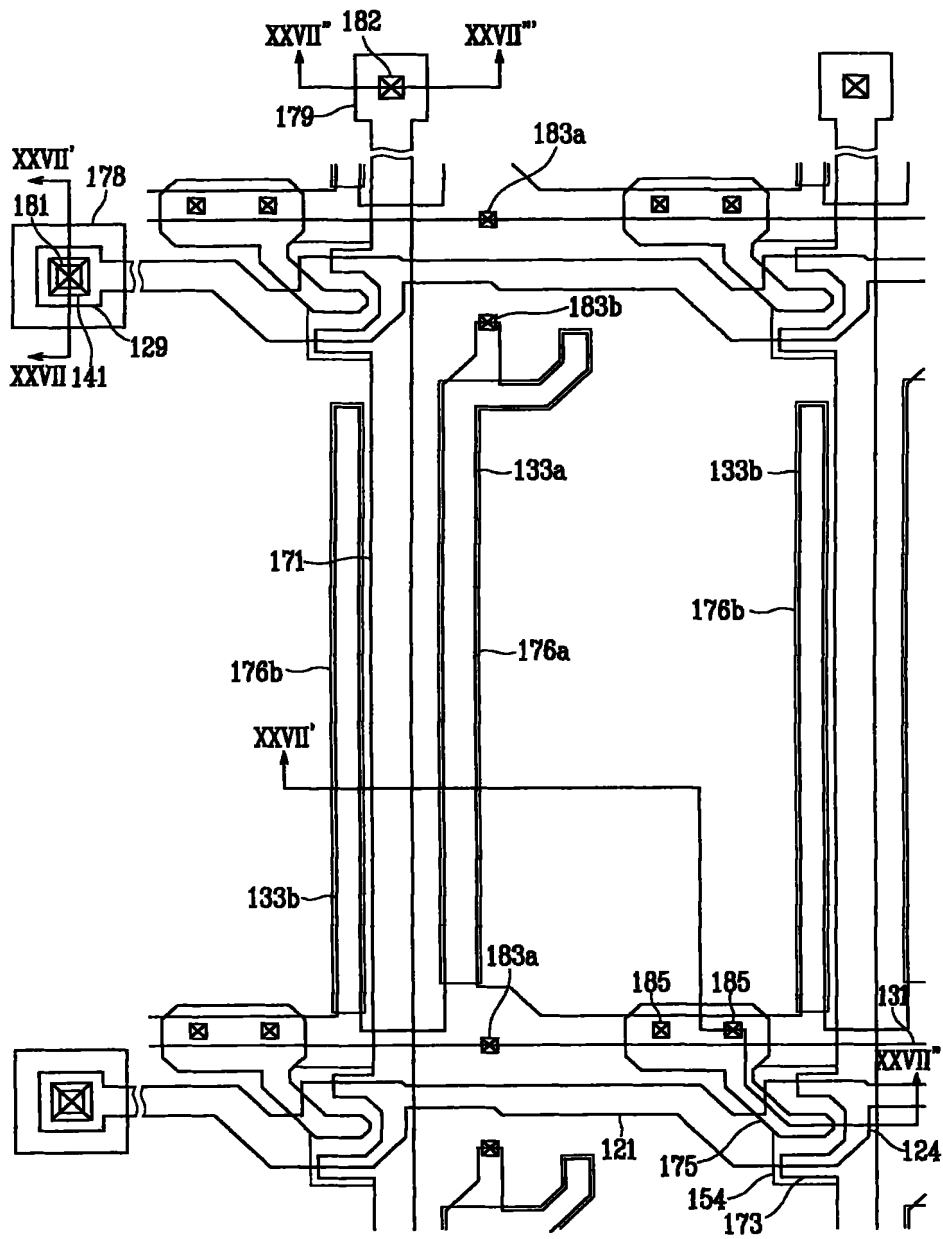


图 26

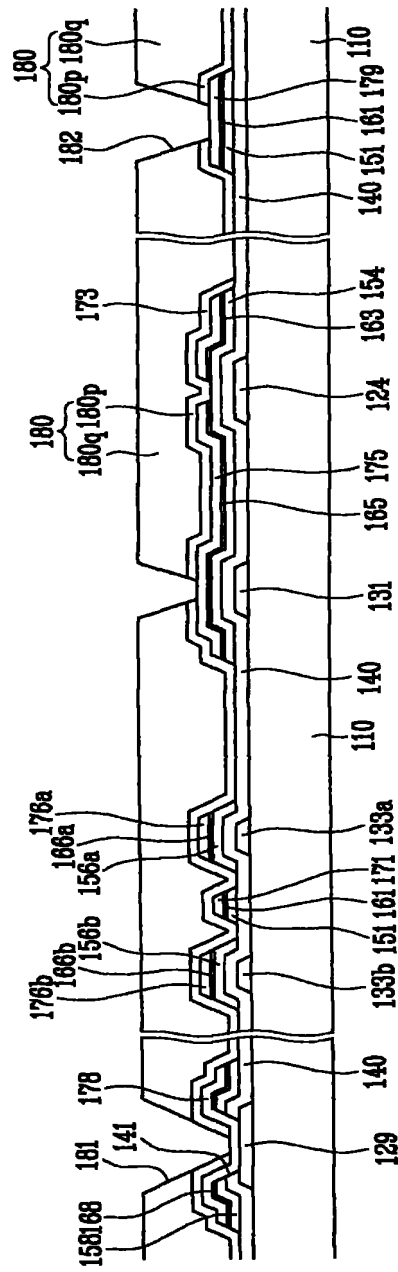


图 27

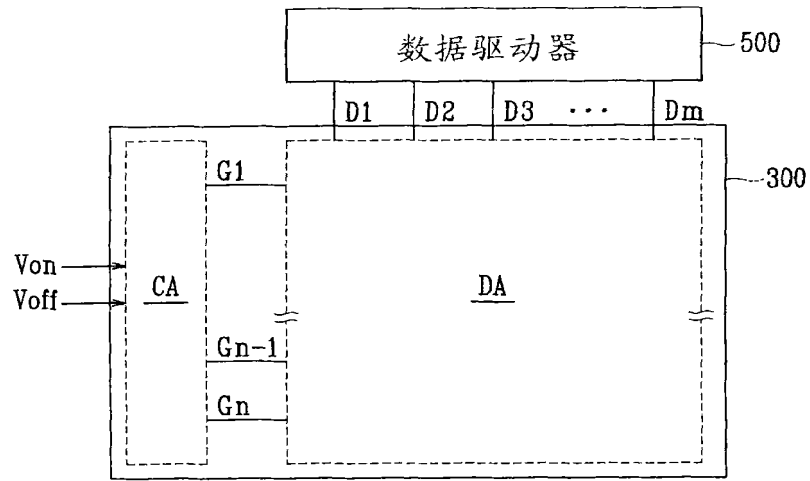


图 28

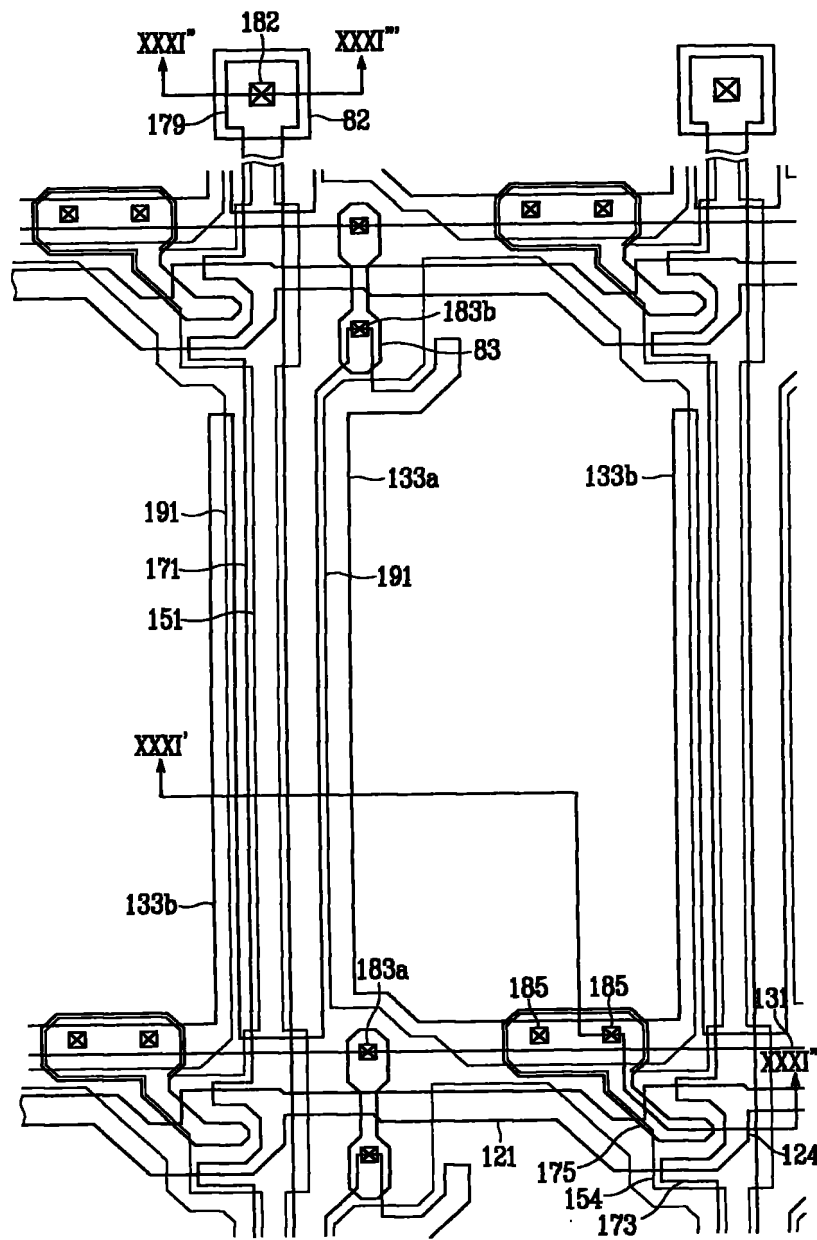


图 29



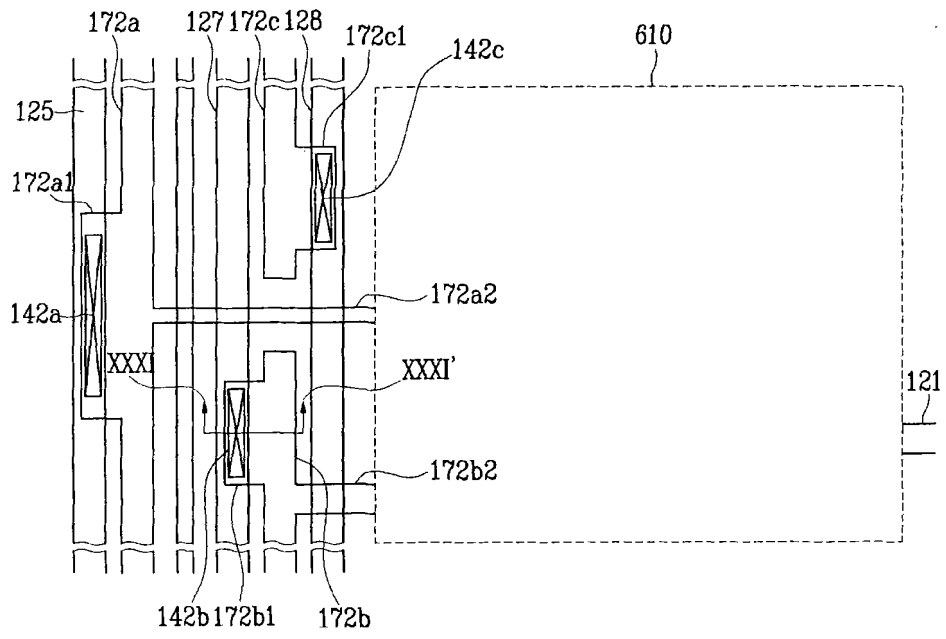


图 30

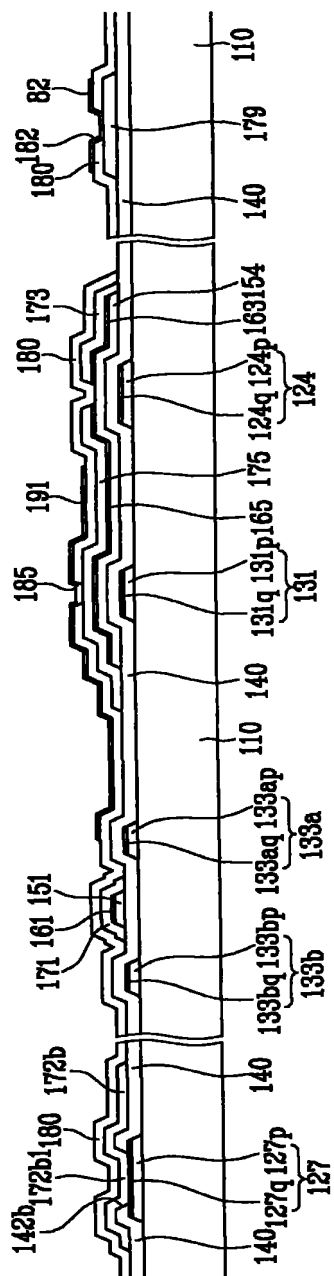


图 31

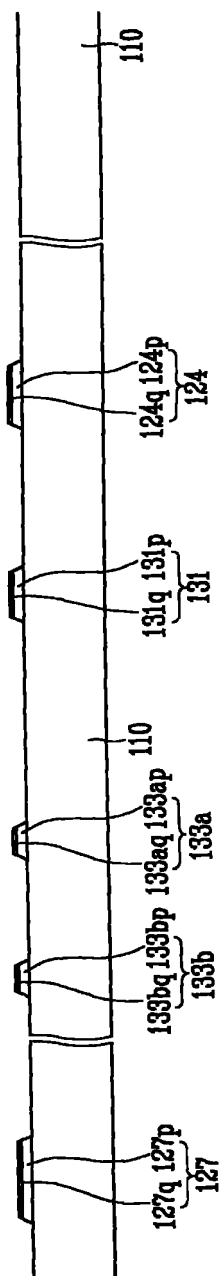


图 32

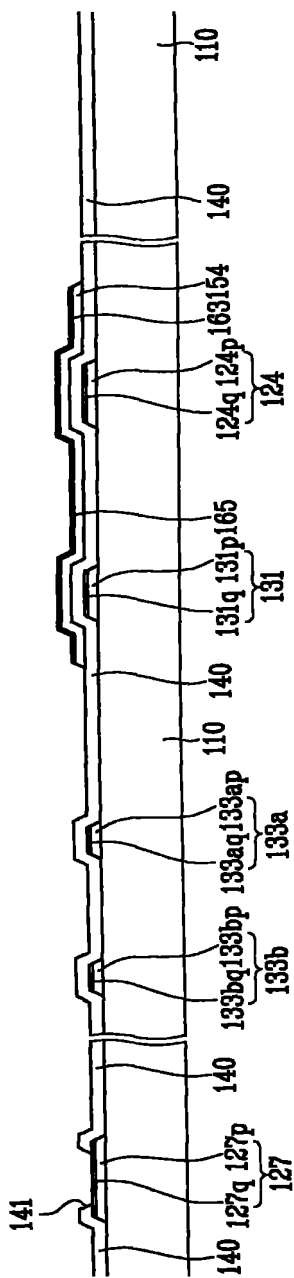


图 33

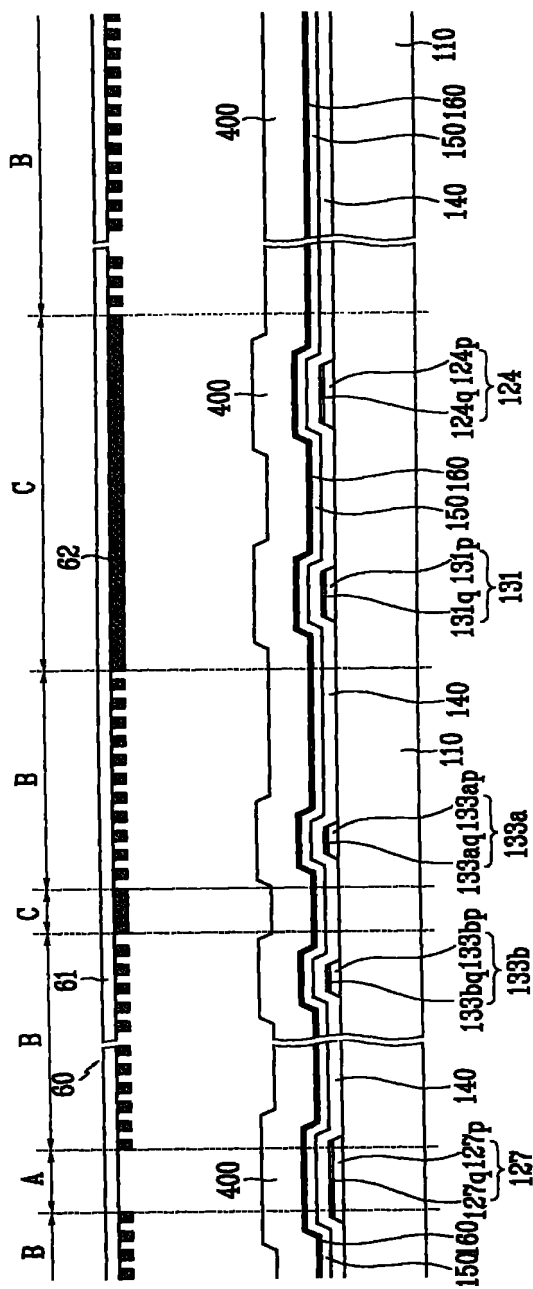


图 34A

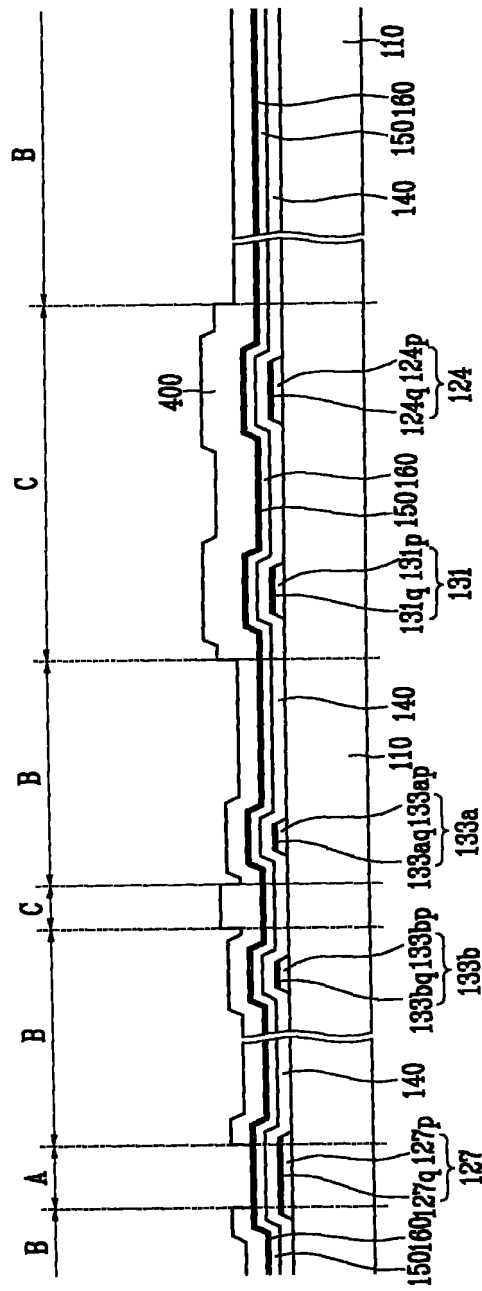


图 34B

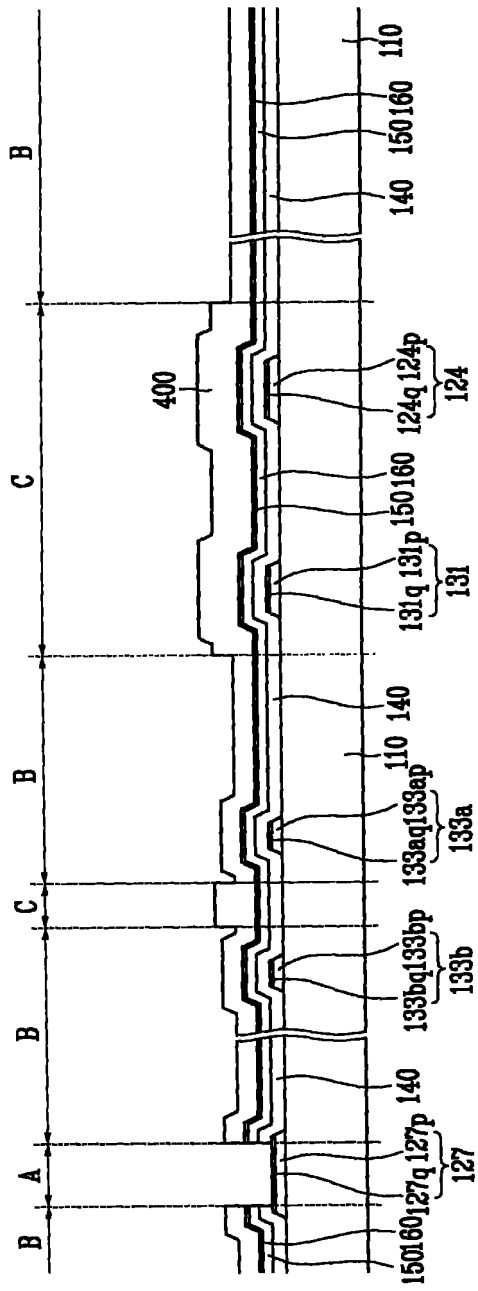


图 34C

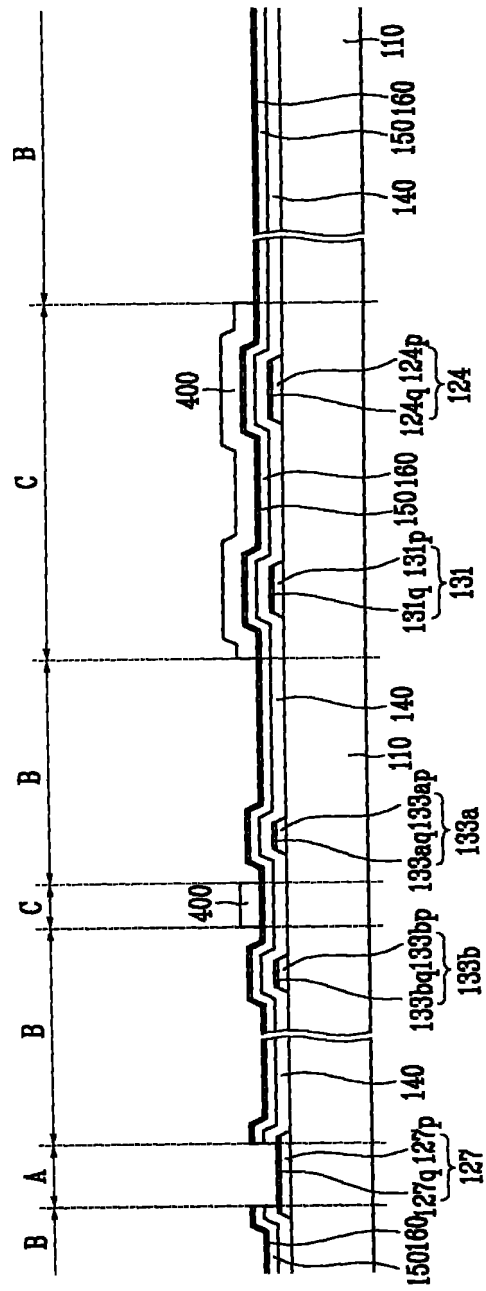


图 34D

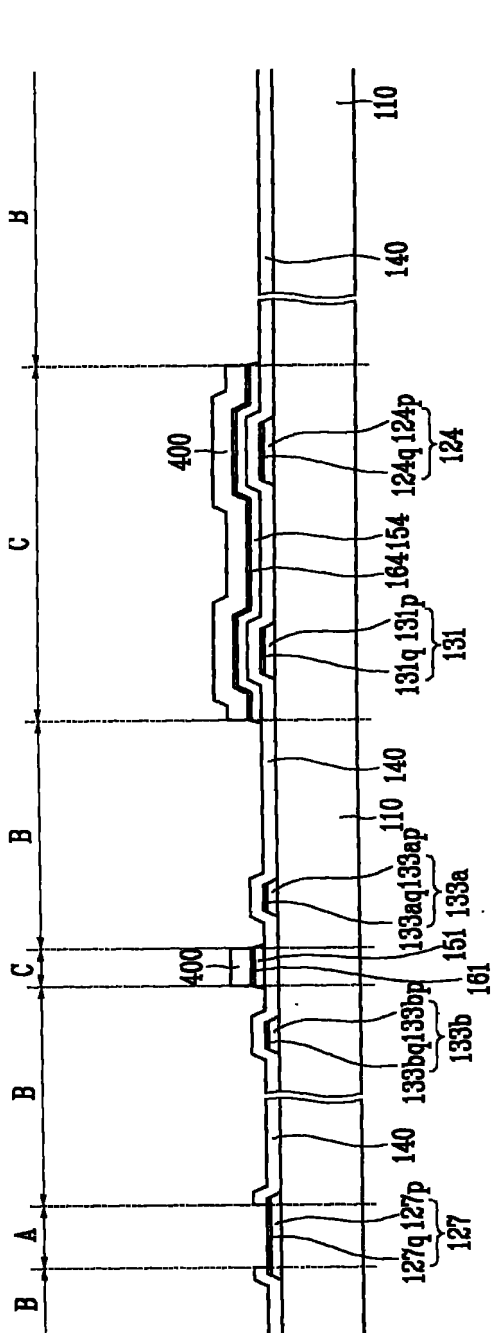


图 34E

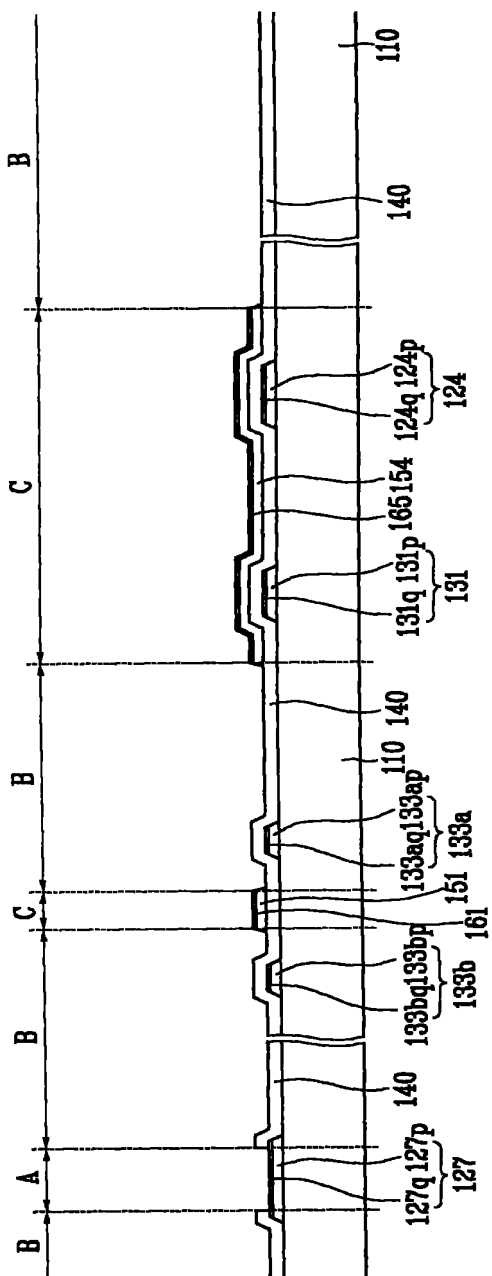


图 34F

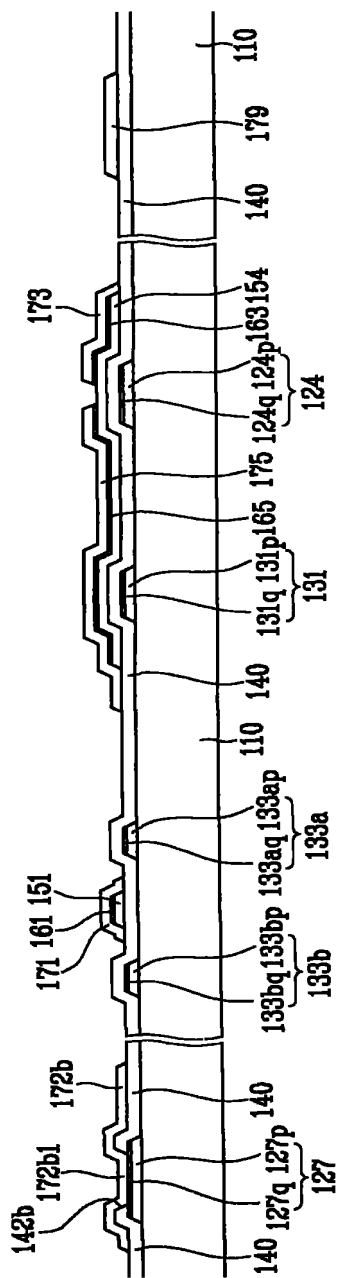


图 35

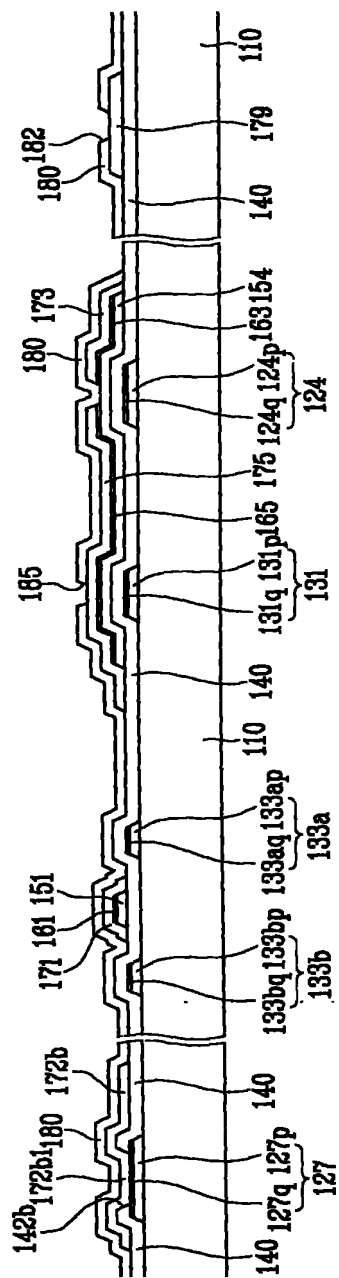


图 36

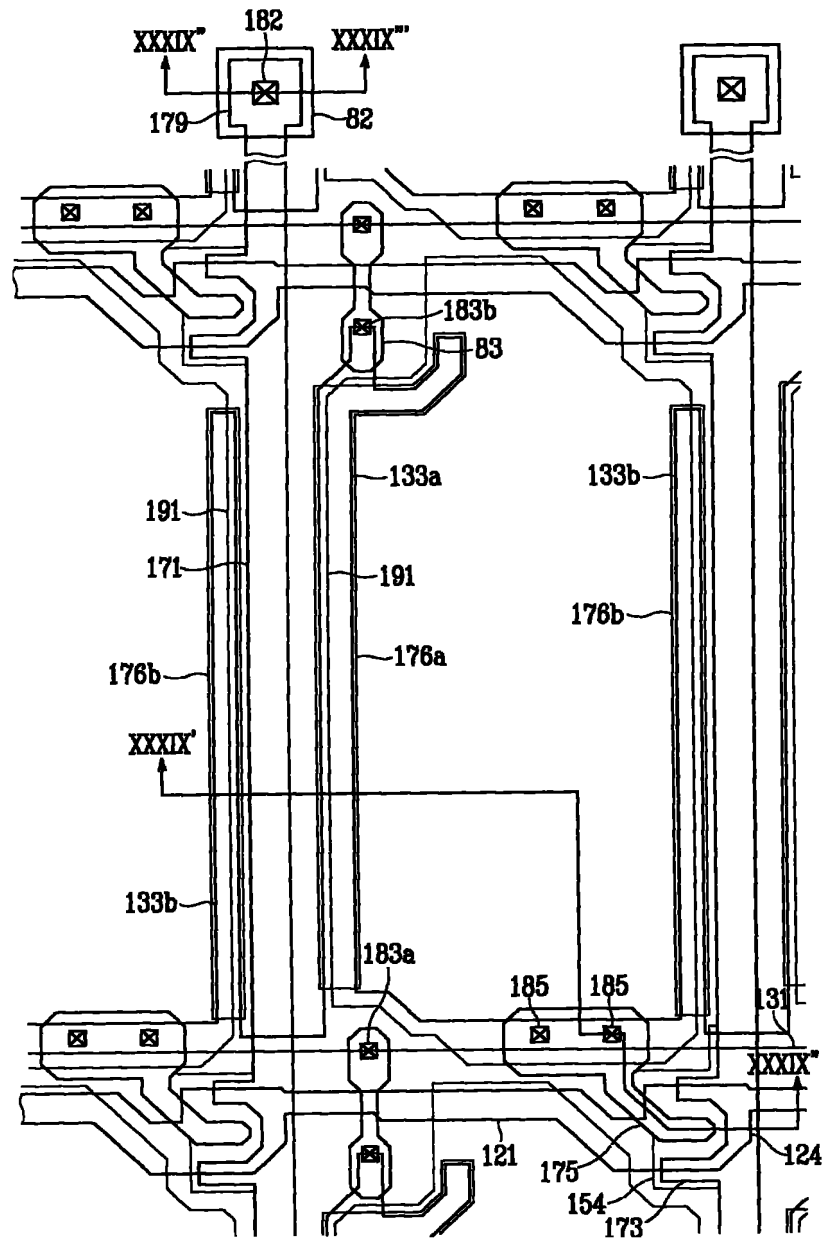


图 37



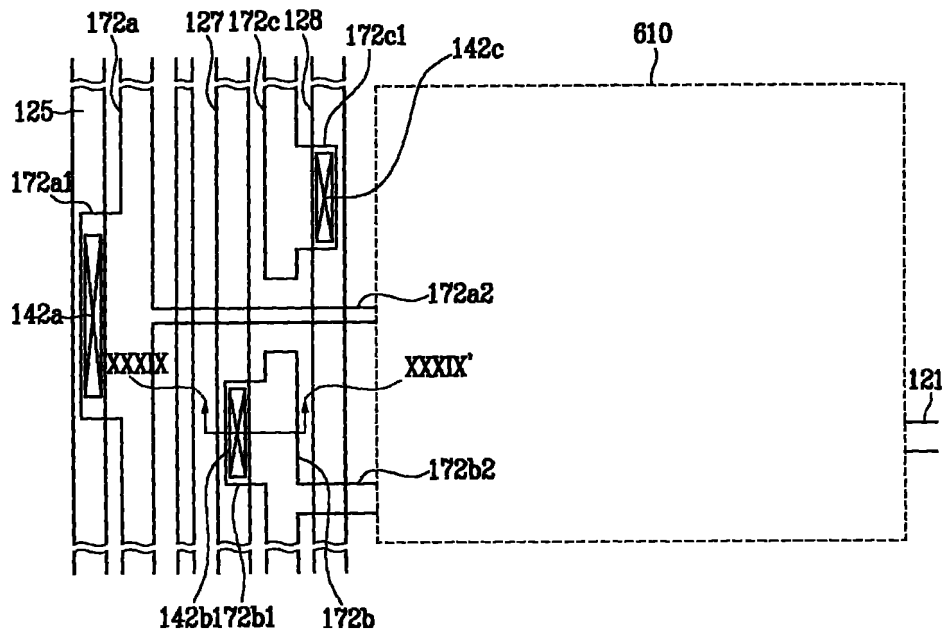


图 38

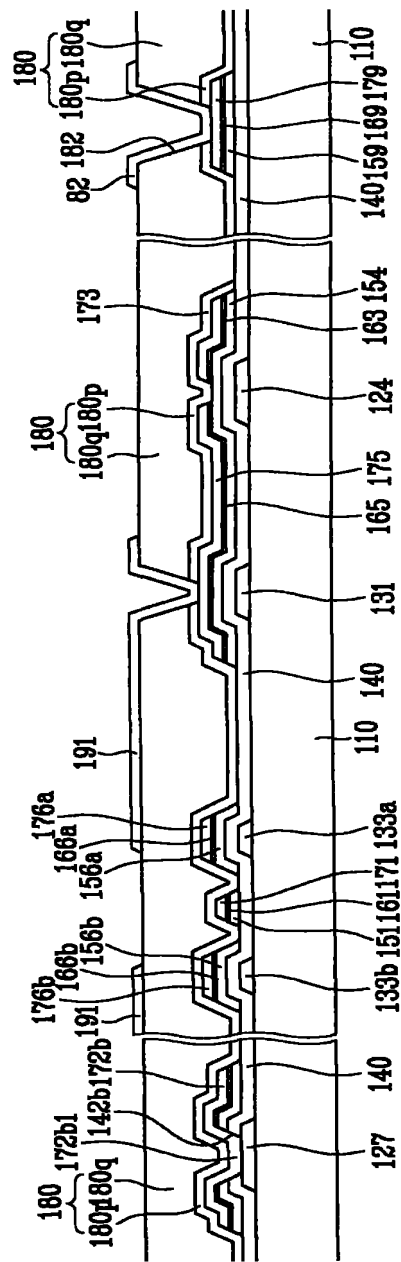


图 39