



(12) 发明专利申请

(10) 申请公布号 CN 105393237 A

(43) 申请公布日 2016. 03. 09

(21) 申请号 201480041353. 4

代理人 袁逸

(22) 申请日 2014. 07. 22

(51) Int. Cl.

(30) 优先权数据

61/857, 212 2013. 07. 22 US

14/336, 977 2014. 07. 21 US

G06F 13/42(2006. 01)

H04L 7/00(2006. 01)

(85) PCT国际申请进入国家阶段日

2016. 01. 21

(86) PCT国际申请的申请数据

PCT/US2014/047586 2014. 07. 22

(87) PCT国际申请的公布数据

W02015/013259 EN 2015. 01. 29

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 C·李 G·A·威利

R·D·韦斯特费尔特

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

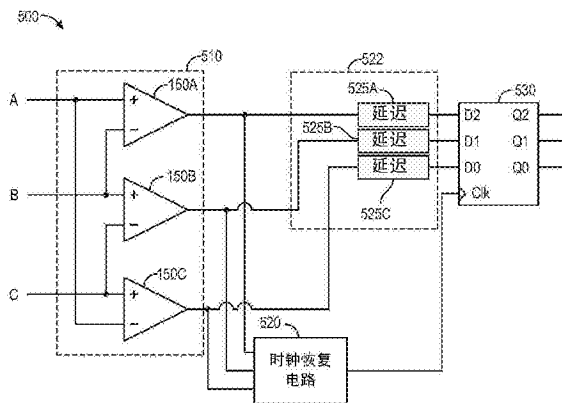
权利要求书2页 说明书11页 附图14页

(54) 发明名称

多相位时钟生成方法

(57) 摘要

本文中描述了用于多相位信令的系统和方法。在一个实施例中,用于接收数据的方法包括从多个导体接收码元序列(510),以及通过检测所接收到的码元序列中的转变来生成时钟信号(520)。该方法还包括延迟所接收到的码元序列(522),并且使用该时钟信号来捕捉经延迟的码元序列中的一个或多个码元,其中该经延迟的码元序列中的前一码元是使用该时钟信号中的基于检测到的向所接收到的码元序列中的当前码元的转变所生成的时钟脉冲来捕捉的(530)。



1. 一种用于接收数据的方法,包括:
从多个导体接收码元序列;
通过检测接收到的码元序列中的转变来生成时钟信号;
延迟所述接收到的码元序列;以及
使用所述时钟信号来捕捉经延迟的码元序列中的一个或多个码元,其中所述经延迟的码元序列中的前一码元是使用所述时钟信号中的基于检测到的向所述接收到的码元序列中的当前码元的转变所生成的时钟脉冲来捕捉的。
2. 如权利要求 1 所述的方法,其特征在于,捕捉所述经延迟的码元序列包括用触发器来捕捉所述经延迟的码元序列。
3. 如权利要求 2 所述的方法,其特征在于,所述接收到的码元序列被延迟达约等于或大于所述触发器的保持时间的延迟。
4. 如权利要求 3 所述的方法,其特征在于,所述时间延迟小于所述触发器的建立时间。
5. 如权利要求 2 所述的方法,其特征在于,所述接收到的码元序列被延迟达约等于或大于所述触发器的保持时间和检测到的转变与所述时钟信号的对应边沿之间的时间延迟之和的时间延迟。
6. 如权利要求 1 所述的方法,其特征在于,每个码元是通过驱动至少一对所述导体并且保持至少一个所述导体不受驱动来被跨所述多个导体发送的。
7. 如权利要求 6 所述的方法,其特征在于,所述至少一对导体被用相反极性驱动。
8. 如权利要求 6 所述的方法,其特征在于,接收所述码元序列包括将每个码元转换成多个位,并且其中捕捉所述经延迟的码元序列包括使用基于在所述接收到的码元序列中所检测到的从所述前一码元向所述当前码元的转变而生成的所述时钟脉冲来捕捉所述经延迟的码元序列中的所述前一码元的所述多个位。
9. 如权利要求 8 所述的方法,其特征在于,将每个码元转换成多个位包括跨不同导体对检测多个差分电压,并且基于检测到的差分电压来生成所述位。
10. 一种用于接收数据的设备,包括:
用于从多个导体接收码元序列的装置;
用于通过检测接收到的码元序列中的转变来生成时钟信号的装置;
用于延迟所述接收到的码元序列的装置;以及
用于使用所述时钟信号来捕捉经延迟的码元序列中的一个或多个码元的装置,其中所述经延迟的码元序列中的前一码元是使用所述时钟信号中的基于所检测到的向所述接收到的码元序列中的当前码元的转变所生成的时钟脉冲来捕捉的。
11. 如权利要求 10 所述的设备,其特征在于,所述接收到的码元序列被延迟达约等于或大于所述用于捕捉经延迟的码元序列的保持时间的延迟。
12. 如权利要求 11 所述的设备,其特征在于,所述时间延迟小于所述用于捕捉所述经延迟的码元序列的装置的建立时间。
13. 如权利要求 10 所述的设备,其特征在于,所述接收到的码元序列被延迟达约等于或大于所述用于捕捉经延迟的码元序列的保持时间和所述用于生成时钟信号的装置的时间延迟之和的时间延迟。
14. 如权利要求 10 所述的设备,其特征在于,每个码元是通过驱动至少一对所述导体

并且保持至少一个所述导体不受驱动来被跨所述多个导体发送的。

15. 如权利要求 14 所述的设备,其特征在于,所述至少一对导体被用相反极性驱动。

16. 如权利要求 14 所述的设备,其特征在于,所述用于接收所述码元序列的装置包括用于将每个码元转换成多个位的装置,并且其中所述用于捕捉所述经延迟的码元序列的装置包括用于使用基于所检测到的向所述接收到的码元序列中的所述当前码元的转变而生成的所述时钟脉冲来捕捉所述经延迟的码元序列中的所述前一码元的多个位的装置。

17. 如权利要求 16 所述的设备,其特征在于,所述用于将每个码元转换成多个位的装置包括用于跨不同所述导体对检测多个差分电压的装置,以及用于基于检测到的差分电压来生成所述位的装置。

18. 一种接收装置,包括:

接收机电路,其配置成从多个导体接收码元序列;

时钟恢复电路,其配置成通过检测接收到的码元序列中的转变来生成时钟信号;

延迟电路,其配置成延迟所述接收到的码元序列;以及

触发器,其配置成使用所述时钟信号来捕捉经延迟的码元序列中的一个或多个码元,其中所述触发器使用所述时钟信号中的基于所检测到的向所述接收到的码元序列中的当前码元的转变所生成的时钟脉冲来捕捉所述经延迟的码元序列中的前一码元。

19. 如权利要求 18 所述的装置,其特征在于,所述延迟电路被配置成延迟所述接收到的码元序列达约等于或大于所述触发器的保持时间的延迟。

20. 如权利要求 19 所述的装置,其特征在于,所述时间延迟小于所述触发器的建立时间。

21. 如权利要求 19 所述的装置,其特征在于,所述接收到的码元序列被延迟达约等于或大于所述触发器的保持时间和所述时钟恢复电路用以将检测到的转变转换成所述时钟信号的对应边沿所要求的时间延迟之和的时间延迟。

22. 如权利要求 18 所述的装置,其特征在于,每个码元是通过驱动至少一对所述导体并且保持至少一个所述导体不受驱动来被跨所述多个导体发送的。

23. 如权利要求 22 所述的装置,其特征在于,所述至少一对导体被用相反极性驱动。

24. 如权利要求 22 所述的装置,其特征在于,所述接收机电路被配置成将每个码元转换成多个位,并且所述触发器被配置成使用基于所检测到的向所述接收到的码元序列中的所述当前码元的转变所生成的所述时钟脉冲来捕捉所述经延迟的码元序列中的所述前一码元的所述多个位。

25. 如权利要求 24 所述的装置,其特征在于,所述接收机电路被配置成通过如下方式来将每个码元转换成多个位:跨不同所述导体对检测多个差分电压,并且基于检测到的差分电压来生成所述位。

多相位时钟生成方法

[0001] 相关申请

[0002] 本申请要求于 2014 年 7 月 21 日提交的美国非临时申请号 No. 14/336, 977 以及于 2013 年 7 月 22 日提交的美国临时申请号 No. 61/857, 212 的优先权, 其整个说明书通过引用被纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开一般涉及数据通信, 并且尤其涉及多相位信令。

[0006] 背景

[0007] 经常使用差分接口来传送高频信号以提供针对关键信号的共模拒斥。在传送和接收大量数据的设备(诸如存储器设备等)中, 接口可能是昂贵的并且可能会消耗显著的功率。

[0008] 概述

[0009] 以下给出对一个或多个实施例的简化概述以提供对此类实施例的基本理解。此概述不是所有构想到的实施例的详尽综览, 并且既非旨在标识所有实施例的关键性或决定性要素亦非试图界定任何或所有实施例的范围。其唯一的目的是要以简化形式给出一个或更多个实施例的一些概念以作为稍后给出的更加具体的说明之序。

[0010] 根据一方面, 本文中描述了一种用于接收数据的方法。该方法包括从多个导体接收码元序列, 并且通过检测接收到的码元序列中的转变来生成时钟信号。该方法还包括延迟接收到的码元序列, 以及使用该时钟信号来捕捉经延迟的码元序列中的一个或多个码元, 其中该经延迟的码元序列中的前一码元是使用该时钟信号中的基于检测到的向所接收到的码元序列中的当前码元的转变所生成的时钟脉冲来捕捉的。

[0011] 第二方面涉及一种用于接收数据的设备。该设备包括用于从多个导体接收码元序列的装置、以及用于通过检测接收到的码元序列中的转变来生成时钟信号的装置。该设备还包括用于延迟接收到的码元序列的装置、以及用于使用该时钟信号来捕捉经延迟的码元序列中的一个或多个码元的装置, 其中该经延迟的码元序列中的前一码元是使用该时钟信号中的基于检测到的向所接收到的码元序列中的当前码元的转变所生成的时钟脉冲来捕捉的。

[0012] 第三方面涉及一种接收系统。该接收系统包括配置成从多个导体接收码元序列的接收机电路、以及配置成通过检测所接收到的码元序列中的转变来生成时钟信号的时钟恢复电路。该接收系统还包括配置成延迟所接收到的码元序列的延迟电路、以及配置成使用该时钟信号来捕捉经延迟的码元序列中的一个或多个码元的触发器, 其中该触发器使用该时钟信号中的基于检测到的向所接收到的码元序列中的当前码元的转变生成的时钟脉冲来捕捉经延迟的码元序列中的前一码元。

[0013] 为能达成前述及相关目的, 这一个或多个实施例包括在下文中充分描述并在权利要求中特别指出的特征。以下说明和所附插图详细阐述了这一个或更多个实施例的某些解说性方面。但是, 这些方面仅仅是指示了可采用各个实施例的原理的各种方式中的若干种,

并且所描述的实施例旨在涵盖所有此类方面及其等效方案。

[0014] 附图简述

[0015] 图 1A-1F 示出了被驱动成六个不同状态的示例性 3 相位通信系统。

[0016] 图 2 示出了根据本公开一个实施例的接收机侧系统。

[0017] 图 3 示出了根据本公开一实施例的差分电压转变的示例。

[0018] 图 4 是根据本公开一实施例的解说捕捉码元的接收机输出位的时序图。

[0019] 图 5 示出了根据本公开另一实施例的接收机侧系统。

[0020] 图 6 是根据本公开另一个实施例的解说捕捉码元的接收机输出位的时序图。

[0021] 图 7 示出了根据本公开一实施例的时钟恢复电路的示例性实现。

[0022] 图 8 示出了根据本公开一实施例的时钟恢复电路中的延迟电路的示例性实现。

[0023] 图 9 示出了根据本公开一实施例的延迟电路的示例性实现。

[0024] 图 10 是根据本公开一实施例的解说用于接收数据的方法的流程图。

[0025] 详细描述

[0026] 以下结合附图阐述的详细描述旨在作为各种配置的描述，而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而，对于本领域技术人员将显而易见的是，没有这些具体细节也可实践这些概念。在一些实例中，以框图形式示出众所周知的结构与组件以避免湮没此类概念。

[0027] 图 1A-1F 示出了被配置成驱动至六个不同状态的示例性 3 相位通信系统 100。3 相位通信系统 100 包括标示为 A、B 和 C 的三条导线。每条导线可包括电路板上的导电迹线、集成电路 (IC) 上的导电迹线、传输线、或者其他类型的导体。3 相位通信系统 100 还包括三个驱动器 110A-110C。每条导线 A、B 和 C 在一端被耦合到驱动器 110A-110C 中的相应一者，并且在另一端被耦合到相应的终接电阻器 (记为 R_{term})。每个终接电阻器在一端被耦合到相应导线，并且在另一端被耦合到共同节点 (记为 comm)。每个终接电阻器可以具有相等的电阻。在图 1A-1F 中所示的示例中，每个终接电阻器具有大约 $50\ \Omega$ 的电阻，而每条导线 A、B 和 C 具有 $50\ \Omega$ 的特性阻抗。

[0028] 在一个实施例中，每个驱动器 110A-110C 包括上拉 n 型场效应晶体管 (NFET) 115A-115C，上拉电阻器 120A-120C、下拉电阻器 125A-125C、以及下拉 NFET 130A-130C。对于每个驱动器 110A-110C，相应的导线 A、B 和 C 被耦合在上拉电阻器 120A-120C 与下拉电阻器 125A-125C 之间。每个上拉电阻器 120A-120C 以及相应的上拉 NFET 115A-115C 的串联组合可以具有大约等于相应终接电阻器的电阻 (图 1A-1F 中所示的示例中为 $50\ \Omega$) 的电阻。类似地，每个下拉电阻器 125A-125C 以及相应的下拉 NFET 130A-115C 的串联组合可以具有大约等于相应终接电阻器的电阻 (图 1A-1F 中所示的示例中为 $50\ \Omega$)。

[0029] 每个驱动器 110A-110C 可以配置成用正向流动电流 (记为 I) 或负向流动电流 (记为 $-I$) 驱动相应导线 A、B 和 C，或者保持相应导线 A、B 和 C 不受驱动。为了用正电流 I 驱动相应导线 A、B 和 C，上拉 NFET 115A-115C 被导通，并且下拉 NFET 130A-130C 被截止。这允许电流从电源通过上拉 NFET 115A-115C 和上拉电阻器 120A-120C 流向相应导线 A、B 和 C。为了用负电流 $-I$ 驱动相应导线 A、B 和 C，上拉 NFET 115A-115C 被截止，并且下拉 NFET 130A-130C 被导通。这允许电流从相应导线 A、B 和 C 通过下拉电阻器 125A-125C 和下拉

NFET 130A-130C 流向接地。为了保持相应导线 A、B 和 C 不受驱动，上拉 NFET 115A-115C 和下拉 NFET 130A-130C 二者都被截止。结果，几乎没有电流流过相应导线 A、B 和 C。通过向相应门 117A-117C 输入逻辑一（例如，电源电压），上拉 NFET 115A-115C 可以被导通，且通过向相应门 117A-117C 输入逻辑零（例如，接地），上拉 NFET 115A-115C 可以被截止，并且通过向相应门 132A-132C 输入逻辑一（例如，电源电压），下拉 NFET 130A-130C 可以被导通，且通过向相应门 132A-132C 输入逻辑零（例如，接地），下拉 NFET 130A-130C 可以被截止。

[0030] 在一个实施例中，驱动器 110A-110C 是受控的，从而在给定时间，导线 A、B 和 C 中只有两个被驱动而导线 A、B 和 C 中的另一个不受驱动。此外，这两个被驱动的导线是以相反极性被驱动的。例如，若导线 A 和 B 被驱动，那么导线 A 可以用正电流 I 被驱动，而导线 B 可以用负电流 $-I$ 被驱动，或者反之。在该示例中，导线 C 是不受驱动的。

[0031] 在该示例中，有三对能够被同时驱动的可能导线对：导线 A 和 B、导线 B 和 C，以及导线 A 和 C。这三对导线对中的每一对可以被称为相位状态。对于每个相位状态，有两种可能的极性。例如，若导线 A 和 B 被驱动，那么导线 A 可以被正驱动而导线 B 可以被负驱动，或者导线 A 可以被负驱动而导线 B 可以被正驱动。由此，三条导线 A、B 和 C 可以具有三种不同的相位状态，其中每个相位状态有两种不同极性，结果有总共由六种可能的状态。如以下所进一步讨论的，这六种可能状态在图 1A-1F 中解说。

[0032] 图 1A 示出了第一状态，其中导线 A 和 B 被驱动，而导线 C 不受驱动，并且导线 A 被正驱动而导线 B 被负驱动。结果，电流通过导线 A 从发射机侧流向接收机侧，并且通过导线 B 回到发射机侧（由图 1A 中的电流循环表示）。几乎没有电流流过导线 C。

[0033] 图 1B 示出了第二状态，其中导线 A 和 B 被驱动，而导线 C 不受驱动，并且导线 B 被正驱动而导线 A 被负驱动。结果，电流通过导线 B 从发射机侧流向接收机侧，并且通过导线 A 回到发射机侧（由图 1B 中的电流循环表示）。几乎没有电流流过导线 C。

[0034] 图 1C 示出了第三状态，其中导线 B 和 C 被驱动，而导线 A 不受驱动，并且导线 B 被正驱动而导线 C 被负驱动。结果，电流通过导线 B 从发射机侧流向接收机侧，并且通过导线 C 回到发射机侧（由图 1C 中的电流循环表示）。几乎没有电流流过导线 A。

[0035] 图 1D 示出了第四状态，其中导线 B 和 C 被驱动，而导线 A 不受驱动，并且导线 C 被正驱动而导线 B 被负驱动。结果，电流通过导线 C 从发射机侧流向接收机侧，并且通过导线 B 回到发射机侧（由图 1D 中的电流循环表示）。几乎没有电流流过导线 A。

[0036] 图 1E 示出了第五状态，其中导线 A 和 C 被驱动，而导线 B 不受驱动，并且导线 A 被正驱动而导线 C 被负驱动。结果，电流通过导线 A 从发射机侧流向接收机侧，并且通过导线 C 回到发射机侧（由图 1E 中的电流循环表示）。几乎没有电流流过导线 B。

[0037] 图 1F 示出了第六状态，其中导线 A 和 C 被驱动，而导线 B 不受驱动，并且导线 C 被正驱动而导线 A 被负驱动。结果，电流通过导线 C 从发射机侧流向接收机侧，并且通过导线 A 回到发射机侧（由图 1F 中的电流循环表示）。几乎没有电流流过导线 B。

[0038] 三个导线 A、B 和 C 的这六种可能的状态允许发射机侧的数据位被解码成多个码元，其中每个码元对应于这六种状态中的一种。由于有 6 种状态，每码元可以编码 $\log_2(6) \approx 2.585$ 位。发射机侧的编码器（未示出）可将位编码成多个码元。对于每个码元，编码器可以控制驱动器 110A-110C 来将这三个导线 A、B 和 C 驱动至对应的状态以将码

元传送到接收侧。

[0039] 在一个实施例中,接收机侧通过检测毗邻码元之间的状态转变来从接收到的码元中恢复时钟,并且使用恢复出的时钟来捕捉接收到的码元。为了在两个毗邻码元之间产生用于时钟恢复的状态转变,毗邻的码元需要具有不同状态。由此,从当前码元开始,下一码元可以具有不同于当前码元的状态的五种状态中的任何一种。这将每个码元的可能的状态的数目从六个状态降低到五个状态。有了 5 种状态,每码元可以编码 $\log_2(5) \approx 2.32$ 位。可以被用来使用三条导线 A、B 和 C 的不同可用状态来将位编码成码元的编码方案的示例在于 2013 年 3 月 12 日提交的题为“N-Phase Polarity Data Transfer (N 相位极性数据转移)”的美国申请 No. 13/797, 272 中描述,其申请文件通过引用被纳入于此。

[0040] 在一个实施例中,在接收机侧通过检测导线 A、B 和 C 的不同对之间的差分电压来检测状态(并且由此检测码元)。在该实施例中,接收机侧包括正输入耦合到节点 A 且负输入耦合到节点 B 的第一接收机 150A,正输入耦合到节点 B 且负输入耦合到节点 C 的第二接收机 150B,以及正输入耦合到节点 C 且负输入耦合到节点 A 的第三接收机 150C。节点 A 在导线 A 与相应终接电阻器之间,节点 B 在导线 B 与相应终接电阻器之间,并且节点 C 在导线 C 与相应终接电阻器之间。为了便于解说,接收机 150A-150C 与节点 A、B 和 C 之间的连接并未显式地在图 1A-1F 中示出。

[0041] 第一接收机 150A 将节点 A 与 B 之间的差分电压 (ΔV_{AB}) 的符号转换成位。若 ΔV_{AB} 为正,那么第一接收机 150A 输出位 1,并且若 ΔV_{AB} 为负,那么第一接收机 150A 输出位 0。第二接收机 150B 将节点 B 与 C 之间的差分电压 (ΔV_{BC}) 的符号转换成位。若 ΔV_{BC} 为正,那么第二接收机 150B 输出位 1,并且若 ΔV_{BC} 为负,那么第二接收机 150B 输出位 0。第三接收机 150C 将节点 C 与 A 之间的差分电压 (ΔV_{CA}) 的符号转换成位。若 ΔV_{CA} 为正,那么第三接收机 150C 输出位 1,并且若 ΔV_{CA} 为负,那么第三接收机 150C 输出位 0。如以下参考图 1A-1F 所进一步讨论的,接收机 150A-150C 的三个输出位提供了接收到的码元的数字表示。

[0042] 如以上所讨论的,图 1A 示出了第一状态,其中电流通过导线 A 从发射机侧流向接收机侧,并且通过导线 B 回到发射机侧,没有电流流过导线 C。在图 1A 中所示的示例中,电源具有 400mV 的电压,并且每个电阻器具有相等的电阻(例如,50 Ω)。结果,由于跨第一驱动器 110A 的上拉电阻器 120A 有 100mV 的电压降,节点 A 处的电压大约为 300mV。由于跨节点 A 和 B 的这两个终接电阻器有 200mV 的电压降,节点 B 处的电压大约为 100mV。节点 C 处的电压大约等于共同节点(记为 comm)处的电压,因为没有电流流过导线 C 及其相应的终接电阻器。共同节点处的电压介于节点 A 和 B 处的电压之间的半当中,大约为 200mV。由此,在第一状态中, ΔV_{AB} 为 200mV, ΔV_{BC} 为 -100mV,而 ΔV_{CA} 为 -100mV。第一、第二和第三接收机 150A-150C 的输出位分别是 1、0 和 0。

[0043] 图 1B 示出了第二状态,其中电流通过导线 B 从发射机侧流向接收机侧,并且通过导线 A 回到发射机侧,没有电流流过导线 C。结果,节点 A 处的电压大约为 100mV,节点 B 处的电压大约为 300mV,并且节点 C 处的电压大约为 200mV。由此,在第二状态中, ΔV_{AB} 为 -200mV, ΔV_{BC} 为 100mV,而 ΔV_{CA} 为 100mV。第一、第二和第三接收机 150A-150C 的输出位分别是 0、1 和 1。

[0044] 图 1C 示出了第三状态,其中电流通过导线 B 从发射机侧流向接收机侧,并且通

过导线 C 回到发射机侧,没有电流流过导线 A。结果,节点 A 处的电压大约为 200mV,节点 B 处的电压大约为 300mV,并且节点 C 处的电压大约为 100mV。由此,在第三状态中, ΔVAB 为 -100mV, ΔVBC 为 200mV,而 ΔVCA 为 -100mV。第一、第二和第三接收机 150A-150C 的输出位分别是 0、1 和 0。

[0045] 图 1D 示出了第四状态,其中电流通过导线 C 从发射机侧流向接收机侧,并且通过导线 B 回到发射机侧,没有电流流过导线 A。结果,节点 A 处的电压大约为 200mV,节点 B 处的电压大约为 100mV,并且节点 C 处的电压大约为 300mV。由此,在第四状态中, ΔVAB 为 100mV, ΔVBC 为 -200mV,而 ΔVCA 为 100mV。第一、第二和第三接收机 150A-150C 的输出位分别是 1、0 和 1。

[0046] 图 1E 示出了第五状态,其中电流通过导线 A 从发射机侧流向接收机侧,并且通过导线 C 回到发射机侧,没有电流流过导线 B。结果,节点 A 处的电压大约为 300mV,节点 B 处的电压大约为 200mV,并且节点 C 处的电压大约为 100mV。由此,在第五状态中, ΔVAB 为 100mV, ΔVBC 为 100mV,而 ΔVCA 为 -200mV。第一、第二和第三接收机 150A-150C 的输出位分别是 1、1 和 0。

[0047] 图 1F 示出了第六状态,其中电流通过导线 C 从发射机侧流向接收机侧,并且通过导线 A 回到发射机侧,没有电流流过导线 B。结果,节点 A 处的电压大约为 100mV,节点 B 处的电压大约为 200mV,并且节点 C 处的电压大约为 300mV。由此,在第六状态中, ΔVAB 为 -100mV, ΔVBC 为 -100mV,而 ΔVCA 为 200mV。第一、第二和第三接收机 150A-150C 的输出位分别是 0、0 和 1。

[0048] 由此,在该示例中,对应于被正驱动的导线的节点处的电压大约为 300mv,对应于被负驱动导线的节点处的电压大约为 100mv,并且对应于不受驱动的导线的节点处的电压为大约 200mv。将会领会,本公开的实施例不限于以上示例,并且电源电压可以具有其他电压,并且电阻器可以具有其他电阻。一般而言,对应于被正驱动导线的节点处的电压可以记为 $V1$,对应于被负驱动的导线的节点处的电压可以记为 $V2$,其中 $V1$ 大于 $V2$,并且对应于不受驱动的导线的节点处的电压可以大约为 $(V1+V2)/2$,假定了另两个节点之间的电阻器具有相等的电阻。

[0049] 由此,图 1A-1F 中所示的每个状态在接收机 150A-150C 处产生了输出位的唯一性组合。结果,接收机 150A-150C 的输出位能够被用于区分三个导线 A、B 和 C 的不同状态,并且因此能被用于提供接收到的码元的数字表示。这允许解码器(未示出)恢复编码在来自接收机 150A-150C 的输出位的码元中的位。

[0050] 通信系统 100 可以被用在各种应用中以提供设备之间的通信。例如,通信系统 100 可以被用于在片上电路(例如,存储器控制器)和存储器设备(例如,DRAM 设备)之间传达数据、控制和 / 或地址信号。通信系统 100 有利地能够以一条附加导线以及一个附加驱动器为代价,来每码元传送两倍于使用单对差分导线的常规通信系统以上的位。将会领会,通信系统 100 不限于 3 条导线,并且可以包括更多的导线来增加可能状态的数目,并且因此增加吞吐量。例如,通信系统可包括 6 条导线,其中对于每个状态,有两对导线被驱动并且两条导线不受驱动。

[0051] 图 2 示出了根据一个实施例的用于捕捉接收机 150A-150C 的输出位的接收机侧系统 200。该系统 200 包括触发器 230、时钟恢复电路 220 以及延迟电路 225。时钟恢复电路

220 被配置成通过检测接收机输出中的转变来生成时钟。例如,对于每个码元,时钟恢复电路 220 可以配置成检测接收机输出中关于该码元的最早的转变(1 到 0 或 0 到 1),并且生成上升沿大致与所检测到的转变对齐的时钟脉冲。延迟电路 225 被配置成延迟来自时钟恢复电路 220 的时钟,并且向触发器 230 的时钟输入输出经延迟的时钟。触发器 230 被配置成在经延迟的时钟的每个上升沿上捕捉接收机输出位,并且向解码器(未示出)输出所捕捉到的位。虽然触发器 230 在图 2 中为了便于解说而被描绘为一个触发器,但将会领会,触发器 230 可以包括三个触发器,每个接收机输出有一个触发器。为了使得触发器 230 可靠地捕捉接收机输出位,经延迟的时钟需要满足特定的定时要求,如以下参考图 3 和 4 所进一步讨论的。

[0052] 图 3 是示出对差分电压 ΔV_{AB} , ΔV_{BC} 和 ΔV_{CB} 中的每一者而言可能的不同转变的时序图。每个差分电压具有四个可能的电压电平: -200mV 、 -100mV 、 100mV 和 200mV 。每当这三个导线 A、B 和 C 在状态(码元)之间转变时,每个差分电压可以从这四个电压电平中的任何一者转变到其他电压电平中的任何一者,如图 3 中所示。

[0053] 每个接收机 150A-150C 的输出在相应差分电压交越零电压点时(描绘为图 3 中的虚线)做出转变(1 到 0 或 0 到 1)如图 3 中所示,不是每个可能的差分电压转变都交越零电压点,并且因此不是每个差分电压转变都导致相应接收机输出的转变。然而,三条导线 A、B 和 C 的状态中的每个转变(每个码元转变)导致接收机 150A-150C 的三个输出中的至少一个输出的转变。

[0054] 对于诸交越零电压点的差分电压转变,交越零电压的定时各不相同。例如,从 -100mV 到 200mV 的差分电压转变早于从 -100mV 到 100mV 的差分电压转变交越零电压点,并且因此使得相应的接收机输出更早地从 0 转变到 1。交越零电压的定时差别导致诸接收机输出的转变的定时上的不确定性。在图 3 中,接收机输出的转变定时中的不确定性的量由被称为 T_{skew} 的时间间隔来表示。对于给定码元, T_{skew} 可以由接收机输出的最早可能转变和接收机输出的最晚可能转变来界定,如图 3 中的示例中所示。

[0055] 图 4 是根据一个实施例的解说针对码元的接收机输出位的捕捉的时序图。在该示例中,时钟恢复电路 220 被配置成检测该码元的诸接收机输出的最早转变,并且生成上升沿大致与所检测到的转变对齐的时钟脉冲 405。为了定时分析的目的,最早转变被假定为与 T_{skew} 的最左边的边界对齐。如图 4 中所示,时钟脉冲 405 随后由延迟电路 225 延迟达时间延迟 T_{delay} 以成为时钟脉冲 410。触发器 230 在经延迟的时钟脉冲 410 的大约上升沿处捕捉该码元的接收机输出位。

[0056] 在该示例中, T_{delay} 等于或大于 $T_{\text{skew_total}}$ 与触发器 230 的建立时间(记为 T_{setup})之和。 $T_{\text{skew_total}}$ 是图 3 中的 T_{skew} 与由于诸导线的信道条件导致的偏斜(skew)之和。时钟脉冲 410 被延迟达 $T_{\text{skew_total}}$ 以提供计及以上所讨论的接收机输出的转变中的不确定性的定时余裕。例如,在 $T_{\text{skew_total}}$ 以内的这些接收机输出之一可能会比这些接收机输出中的另一个转变得更早。时钟脉冲 410 被进一步延迟达 T_{setup} 以满足触发器 230 的建立时间要求。

[0057] 时钟脉冲 410 的宽度(记为 T_{pulse})等于或大于触发器 230 的最小脉冲宽度要求(记为 $T_{\text{min_pulse}}$)。时钟脉冲 410 的上升沿之后的 $T_{\text{sym_rx}}$ 以内剩余的时间需要大于触发器 230 的保持时间(记为 T_{hold})以满足触发器 230 的保持时间要求。 $T_{\text{sym_rx}}$ 等

于 $T_{\text{sym}} - T_{\text{skew_total}}$, 其中 T_{sym} 为包括了偏斜的码元周期。由此, $T_{\text{sym-rx}}$ 至少需要等于 T_{setup} 与 T_{hold} 或 T_{pulse} 中的最大值之和。

[0058] 延迟电路 225 中的工艺 - 电压 - 温度 (PVT) 差别可能会引起 T_{delay} 中的很大差别。例如, 工艺差别能够对 T_{delay} 具有很大影响。若延迟电路 225 用快速晶体管 (例如, 快速工艺角) 制造, 那么 T_{delay} 可以更短, 并且若延迟电路 225 用慢速晶体管 (例如, 慢速工艺角) 制造, 那么 T_{delay} 可以更长。而且, 触发器 230 中的 PVT 差别能够引起 T_{setup} 上的差别。结果, 附加的定时余裕需要被预算入码元时间周期 $T_{\text{sym-rx}}$ 中以计及 T_{delay} 和 T_{setup} 上的差别。这样做增大了码元时间周期 $T_{\text{sym-rx}}$, 这降低了数据速率。

[0059] 图 5 示出了根据本公开另一个实施例的用于捕捉接收机 150A-150C 的输出位的接收机侧系统 500。与之前相同, 系统 500 检测接收机输出中的转变以生成时钟。然而, 如以下进一步所讨论的, 系统 500 延迟接收机输出, 从而从这些接收机输出的向当前码元 (码元 N) 的转变生成的时钟沿被用来捕捉 (采样) 前一码元 (码元 N-1) 的诸接收机输出位。

[0060] 如以上所讨论的, 接收机侧系统 500 包括耦合到导线 A-C 的接收机 150A-150C。如图 5 中所示, 接收机 150A-150C 可以被共同视为接收机电路 510。接收机侧系统 500 包括触发器 530、时钟恢复电路 520、以及延迟电路 522。如图 5 中所示, 延迟电路 522 可进一步包括三个延迟电路 525A-525C, 其中每个延迟电路 525A-525C 被耦合到接收机 150A-150C 中的相应一者的输出。时钟恢复电路 520 被配置成通过检测接收机 150A-150C 的输出中的转变来生成时钟。例如, 对于每个码元, 时钟恢复电路 520 可以配置成检测接收机输出中关于该码元的最早转变, 并且生成上升沿大致与所检测到的转变对齐的时钟脉冲。

[0061] 每个延迟电路 525A-525C 被配置成延迟这些接收机输出的相应一者, 并向触发器 530 的对应数据输入输出经延迟的接收机输出。触发器 530 被配置成在时钟的每个上升沿上捕捉经延迟的接收机输出位, 并且向解码器 (未示出) 输出所捕捉的位。

[0062] 在一个实施例中, 延迟电路 525A-525C 被配置成延迟接收机输出达约等于触发器 530 的保持时间与 t_1 之和的时间延迟, 其中 t_1 约等于时钟恢复电路 520 在检测到接收机输出中的转变之后输出时钟沿所花的时间。如以下进一步所讨论的, 延迟电路 525A-525C 延迟接收机输出, 从而从这些接收机输出的向当前码元 (码元 N) 的转变生成的时钟沿由触发器 530 使用来捕捉 (采样) 前一码元 (码元 N-1) 的接收机输出位。

[0063] 图 6 是根据一个实施例的解说接收机侧系统 500 中的接收机输出位 (记为 $R_{\text{ac}}/R_{\text{ab}}/R_{\text{ac}}$) 的捕捉的时序图。在该示例中, 时钟恢复电路 520 检测这些接收机输出的向当前码元 (码元 N) 的最早转变, 并且生成上升沿大致与所检测到的转变对齐的时钟脉冲 610。为了定时分析的目的, 最早转变被假定为与 t_{skew} 的最左边的边界对齐。如图 6 中所示, 由于时钟恢复电路 520 中的传播延迟, 检测到的最早转变的时间与时钟脉冲 610 的上升沿之间存在短延迟 t_1 。

[0064] 延迟电路 525A-525C 将这些接收机输出延迟达约等于触发器 530 的保持时间与 t_1 之和的时间延迟。因为接收机输出的延迟, 当触发器 530 接收到从检测到的在这些接收机输出中关于当前码元 (码元 N) 的转变所生成的时钟脉冲 610 的上升沿时, 触发器 530 仍然接收前一码元 (码元 N-1) 的接收机输出位。结果, 触发器 530 使用从这些接收机输出的向当前码元 (N) 的转变所生成的时钟沿来捕捉此前一码元 (码元 N-1) 的接收机输出位。此前一码元 (N-1) 的接收机输出位被采样的点由图 6 中的开口圆来表示。

[0065] 延迟接收机输出达触发器 530 的保持时间帮助确保前一码元（码元 N-1）的接收机输出位满足触发器 530 的保持时间要求，并且因此被触发器 530 可靠地捕捉。延迟接收机输出达 t_1 计及在时钟恢复 520 处生成时钟脉冲 610 时的短延迟。

[0066] 触发器 530 的保持时间一般比建立时间和 t_{skew} 小得多。结果，接收机输出的延迟可以显著小于之前实施例中的时钟延迟。这显著降低了由于 PVT 导致的延迟差别，并且因此降低了需要被预算入码元时间周期 T_{sym_rx} 的定时余裕。这些降低的定时余裕允许码元时间周期 T_{sym_rx} 更短以达成更高的数据速率。

[0067] 图 7 示出了根据本公开的一实施例的时钟恢复电路 520。该时钟恢复电路 520 包括耦合到第一接收机 150A 的输出的第一边沿检测电路 710A，耦合到第二接收机 150B 的输出的第二边沿检测电路 710B，以及耦合到第三接收机 150C 的输出的第三边沿检测电路 710C。时钟恢复电路 520 还包括或 (OR) 门 720 和延迟电路 730。在图 7 中所示的示例中，或门 720 用与反相器 727 串联耦合的或非 (NOR) 门 722 实现。

[0068] 每个边沿检测电路 710A-710C 包括第一触发器 750A-750C，第二触发器 745A-745C、反相器 740A-740C、以及或门 760A-760C。第一触发器 750A-750C 具有耦合到相应接收机 150A-150C 的输出的时钟输入，以及耦合到电源电压 v_{dda} 的数据输入。第一触发器 750A-750C 被配置成当在时钟输入处检测到上升信号沿时，向或门 760A-760C 的输入之一输出 1。结果，第一触发器 750A-750C 检测相应接收机输出中的上升转变（0 到 1）并且在当检测到上升转变时输出 1。第二触发器 745A-750C 具有通过反相器 740A-740C 耦合到相应接收机 150A-150C 的输出的时钟输入，以及耦合到电源电压 v_{dda} 的数据输入。第二触发器 745A-750C 被配置成当在时钟输入处检测到上升信号沿时，向或门 760A-760C 的另一输入输出 1。因为反相器 740A-740C 将接收机输出反相，所以第二触发器 745A-745C 检测接收机输出中的下降转变（1 到 0），并且在当下降转变被检测到时向或门 760A-760C 的另一输入输出 1。当第一触发器 750A-750C 或者第二触发器 745A-745C 中的任一者输出 1 时，或门 760A-760C 输出 1，并且因此当检测到相应接收机输出中的上升或下降转变中的任一者时输出 1。由此，每个边沿检测电路 710A-710C 当在相应接收机输出中检测到转变（上升或下降转变）时输出 1。

[0069] 或门 720 门具有耦合到第一边沿检测电路 710A 的输出的第一输入、耦合到第二边沿检测电路 710B 的输出的第二输入，以及耦合到第三边沿检测电路 710C 的输出的第三输入。结果，或门 720 在边沿检测电路 710A-710C 中的任一者输出 1 时输出 1，并且因此当边沿检测电路 710A-710C 中的任一者在相应接收机输出中检测到转变时输出 1。

[0070] 假定边沿检测单路 710A-710C 中的触发器在每个码元前被重置，则或门 720 在每个码元的开始处初始地输出 0。当边沿检测电路 710A-710C 中的第一者检测到相应接收机输出中的转变并且向或门 720 输出 1 时，或门 720 输出 1，从而在时钟恢复电路 520 的输出（记为 rck ）处生成时钟脉冲 610。或门 720 的输出从 0 到 1 的转变对应于时钟脉冲 610 的上升沿。由于触发器和或门中的传播延迟，在检测到接收机输出中的第一（最早）转变与时钟脉冲 610 的上升沿之间有短时间延迟 t_1 。该时间延迟在图 6 中由标记为 t_1 的箭头描绘。

[0071] 时钟恢复电路 520 的输出通过延迟电路 730 被反馈到触发器 745A-745C 以及 750A-750C 的重置输入。当或门 720 的输出从 0 转变到 1（上升时钟沿）时，延迟电路 730

在 t_{delay} 的时间延迟之后向触发器的重置输入输出重置信号 620。该延迟在图 6 中由标记为 t_{delay} 的从时钟脉冲 610 的上升沿到重置信号 620 的开始箭头描绘。重置信号 620 使得所有的触发器输出 0。结果,在短延迟 t_2 之后,或门 720 的输出从 1 转变到 0。从 1 到 0 的转变对应于时钟脉冲 610 的下降沿。由此,如图 6 中所示,时钟脉冲的宽度约等于 t_{delay} 与 t_2 之和。

[0072] 当或门的输出从 1 转变到 0 时,延迟电路 730 在延迟电路 730 的时间延迟 t_{delay} 之后结束去往这些触发器的重置输入的重置信号 620。该时间延迟在图 6 中由标记为 t_{delay} 的从时钟脉冲 610 的下降沿到重置信号 620 的结束的箭头描绘。在重置信号 620 结束之后,触发器准备好检测接收机输出中的关于下一码元的转变。

[0073] 在一方面,时钟恢复电路 520 满足一下定时约束:

[0074] $t_{skew} < t_1 + t_{delay} + t_2 + t_{delay}$.

[0075] 该约束帮助确保重置信号 620 在当前码元的 t_{skew} 之后结束。若重置信号 620 在当前码元的 t_{skew} 之前结束,那么接收机输出中的发生在重置信号 620 的结束与 t_{skew} 的结束之间的转变就可能使得恢复时钟电路 520 为当前码元生成第二时钟脉冲,从而使得触发器 530 在一个码元周期中被触发两次。假定 t_1 和 t_2 相对于 t_{skew} 而言较小,则该定时约束能够通过将延迟电路 730 的时间延迟 t_{delay} 设置成约等于或大于 $1/2 * t_{skew}$ 而被满足。在该方面, t_{skew} 可包括由于信道条件导致的偏斜。延迟电路 730 可以用串联耦合的多个反相器或者其他类型的延迟元件来实现。

[0076] 在一个实施例中,时钟恢复电路还包括一个输入耦合到开始信号并且另一输入耦合到延迟电路 730、并且输出耦合到触发器的重置输入的与 (AND) 门 770。与门 770 在开始信号为 1 时,将延迟电路 730 的输出传递到触发器的重置输入,并且在开始信号为 0 时阻塞延迟电路 730 的输出去往触发器的重置输入。开始信号可以被设置成 0 以在时钟恢复电路 520 并不被在使用时禁用时钟恢复电路 520 以节省功率。

[0077] 图 8 示出了根据本公开的一实施例的延迟电路 730 的示例性实现。在该实施例中,延迟电路 730 包括串联耦合到延迟链的多个反相器 810-1 到 810-8、以及复用器 820。复用器 820 具有耦合到延迟链中的第四反相器 810-4 的输出的第一输入,以及耦合到延迟链中的最后一个反相器 810-8 的输出的第二输入。在选择信号 (记为 s) 的控制下,复用器 820 选择性地将第四反相器 810-4 的输出或者最后一个反相器 810-8 的输出中的任一者耦合到延迟电路 730 的输出。这允许延迟电路 730 的时间延迟 (t_{delay}) 被调节。例如,第四反相器 810-4 的输出可以被选择以使得 t_{delay} 更短,并且最后一个反相器 810-8 的输出可以被选择以使得 t_{delay} 更长。如以上所讨论的, t_{delay} 可以被设置成约等于或者大于 $1/2 * t_{skew}$ 。由此, t_{delay} 可以根据 t_{skew} 中的改变而被调节。为了在 t_{delay} 的调解中提供更大的粒度,复用器 820 可以具有耦合到延迟链中的其他反相器的输出的附加的输入以允许其他反相器的输出被选择。

[0078] 在一个实施例中,复用器 820 可以是反相复用器 820。结果,延迟电路 730 的输出 ($dout$) 可以相对于输入 (din) 被反相。在该实施例中,从延迟电路 730 输出的重置信号可以具有图 6 中所示的重置信号的相反极性,并且每个触发器 745A-745C 和 750A-750C 可以具有反相重置输入 (rn)。

[0079] 图 9 示出了根据本公开的一实施例的延迟电路 525A-525C 之一的示例性实现。延

迟电路 525A-525C 中的每一者可以使用图 9 中所示的延迟电路 525 来实现。在该示例中, 延迟电路 525 包括用于提供以上所讨论的长达 t_1 的延迟的第一部分 910, 以及用于提供以上所讨论的长达保持时间的延迟的第二部分 920。由此, 总的延迟约等于 t_1 与保持时间之和。第一部分 910 用与时钟恢复电路 520 中的组件相同或类似的组件实现。这样做使得延迟电路 525 的第一部分 910 中的延迟接近匹配 t_1 , 其为从时钟恢复电路 520 在接收机输出中检测到转变的时间与时钟恢复电路 520 输出对应时钟沿的时间的延迟。

[0080] 延迟电路 525 的第一部分 910 包括延迟电路 930、第一或门 940 以及第二或门 950。延迟电路 930 使时钟仿效于时钟恢复电路 520 中的触发器 745A-745C 和 750A-750C 中的一者中的 Q 延迟。例如, 延迟电路 930 可包括仿效触发器的锁存器 (例如, 主控锁存器和从动锁存器) 中的反相器的反相器。延迟电路 930 被解说为图 9 中的触发器以表达延迟电路 930 仿效时钟恢复电路中的触发器延迟, 但是将会领会, 延迟电路 930 严格意义上并非触发器。

[0081] 第一或门 940 仿效时钟恢复电路 520 中或门 760A-760C 之一中的延迟。第一或门 940 具有两个输入, 其中一个输入被耦合到延迟电路 525 的信号路径, 并且另一个输入被耦合到电压 v_{ssa} (逻辑 0)。第二或门 950 仿效时钟恢复电路 520 的或门 720 中的延迟。就此, 第二或门 950 可以用串联耦合的或非门 952 和反相器 957 来实现, 其中或非门 952 和反相器 957 分别对应于用以实现或门 720 的或非门 722 和反相器 727。或非门 952 具有三个输入, 其中一个输入被耦合到延迟电路 525 的信号路径, 并且另两个输入被耦合到电压 v_{ssa} (逻辑 0)。

[0082] 延迟电路 525 的第一部分 910 中的组件可以被制造成接近于时钟恢复电路 520 中的对应组件, 从而以上二者之中的组件经受大约相同的 PVT 差别。这允许延迟电路 525 的第一部分 910 接近匹配 t_1 。如图 9 中的示例中所示, 延迟电路 525 的第二部分 920 可以用串联耦合的多个反相器 922-1 到 922-4 来实现。

[0083] 图 10 是解说根据本公开的一实施例的用于接收数据的方法 1000 的流程图。方法 1000 可例如由图 5 中所示的接收机侧系统 500 来执行。

[0084] 在步骤 1010, 从多个导体接收码元序列。例如, 码元序列可以由耦合到该多个导体 (例如, 导线 A-C) 的接收机 (例如, 接收机 150A-150C) 接收。

[0085] 在步骤 1020, 时钟信号通过检测接收到的码元序列中的转变来生成。例如, 时钟信号可以由将检测到的转变转换成时钟信号的上升沿的时钟恢复电路 (例如, 时钟恢复电路 520) 生成。

[0086] 在步骤 1030, 接收到的码元序列被延迟。例如, 接收到的码元序列可以由耦合到接收机 (例如, 150A-150C) 的输出的延迟电路 (例如, 延迟电路 525A-525C) 延迟。

[0087] 在步骤 1040, 经延迟的码元序列中的一个或多个码元被使用时钟信号来捕捉, 其中经延迟的码元序列中的前一码元是使用时钟信号中的基于检测到的向所接收到的码元序列中的当前码元的转变所生成的时钟脉冲来捕捉的。例如, 该一个或多个码元可以由触发器 (例如, 触发器 530) 捕捉。经延迟的码元序列的延迟可以约等于或大于触发器 (例如, 触发器 530) 的保持时间和检测到的转变与时钟信号的对应沿之间的时间延迟 (例如, 延迟 t_1) 之和。

[0088] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公

开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例,而是应被授予与本文中所公开的原理和新颖特征相一致的最广范围。

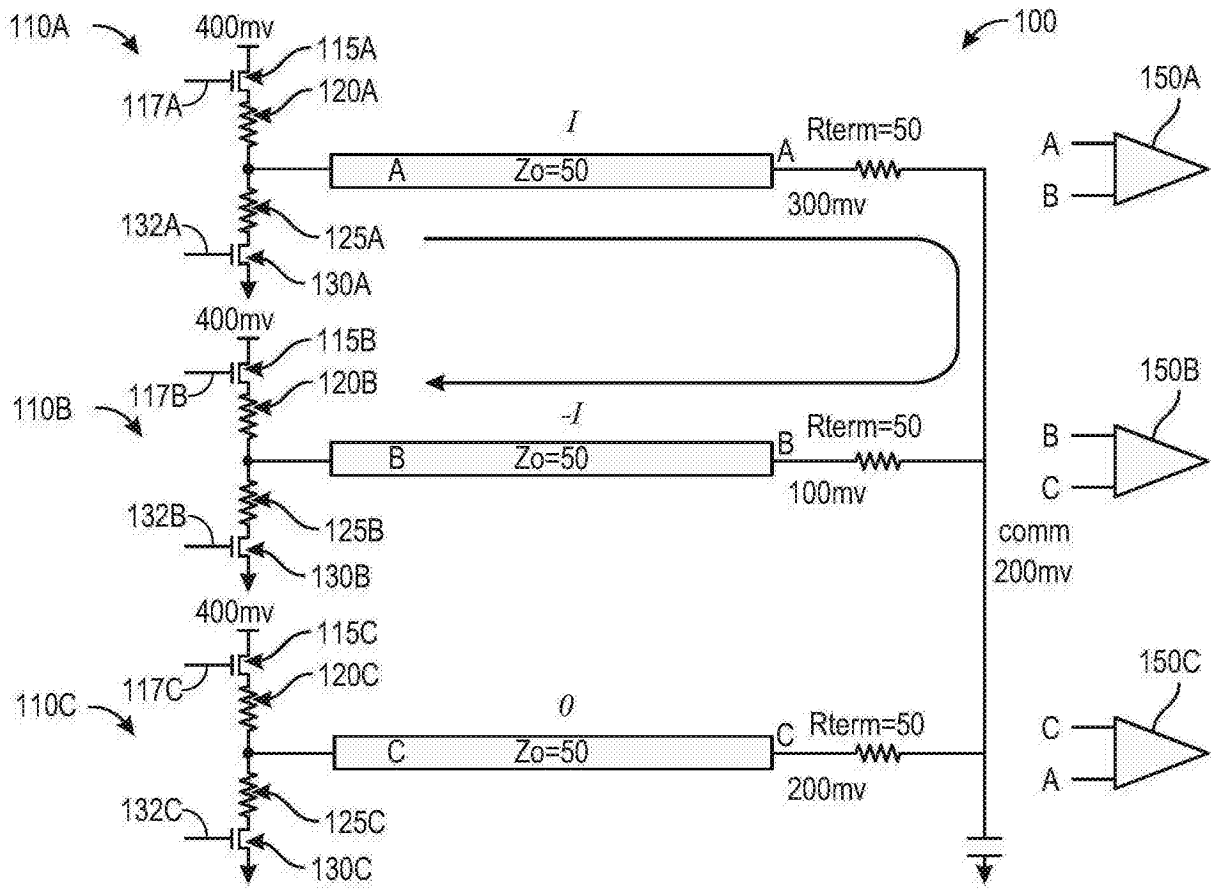


图 1A

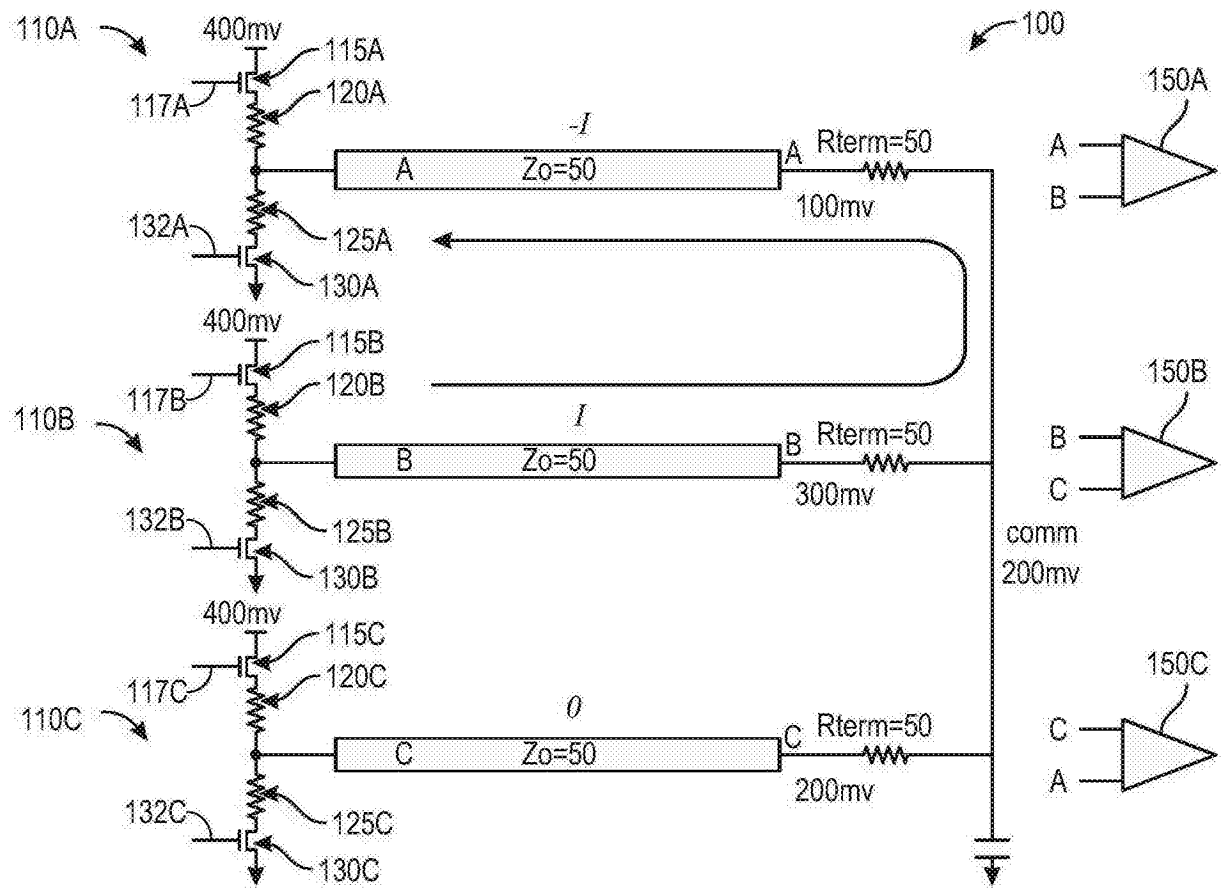


图 1B

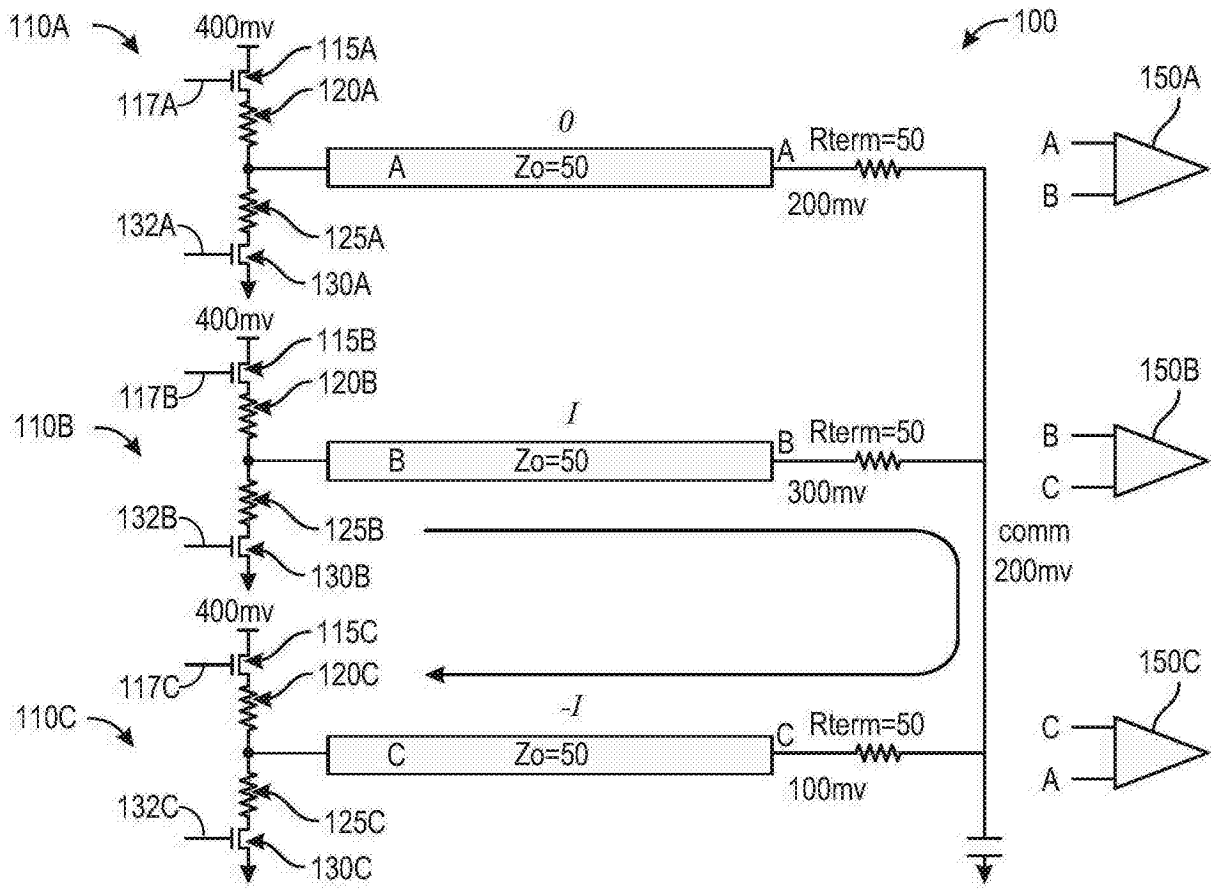


图 1C

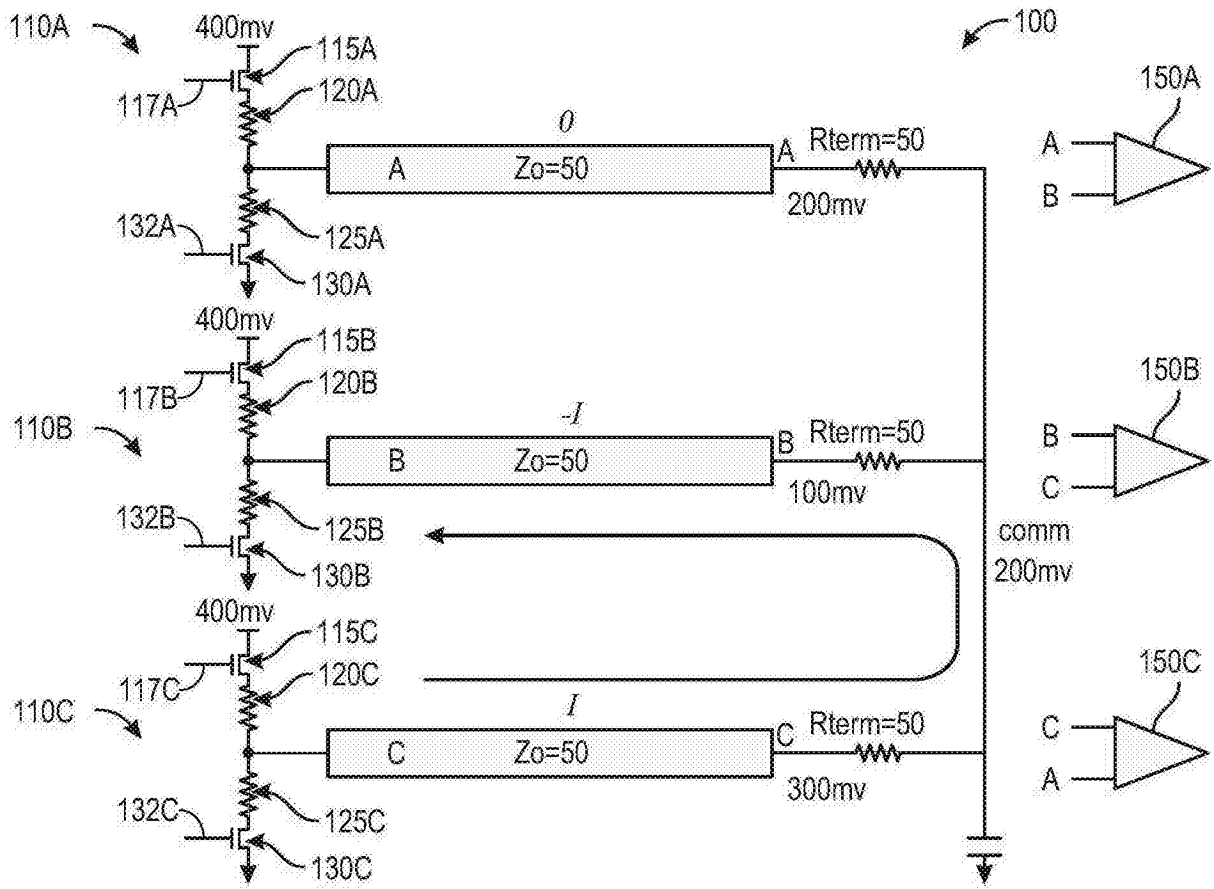


图 1D

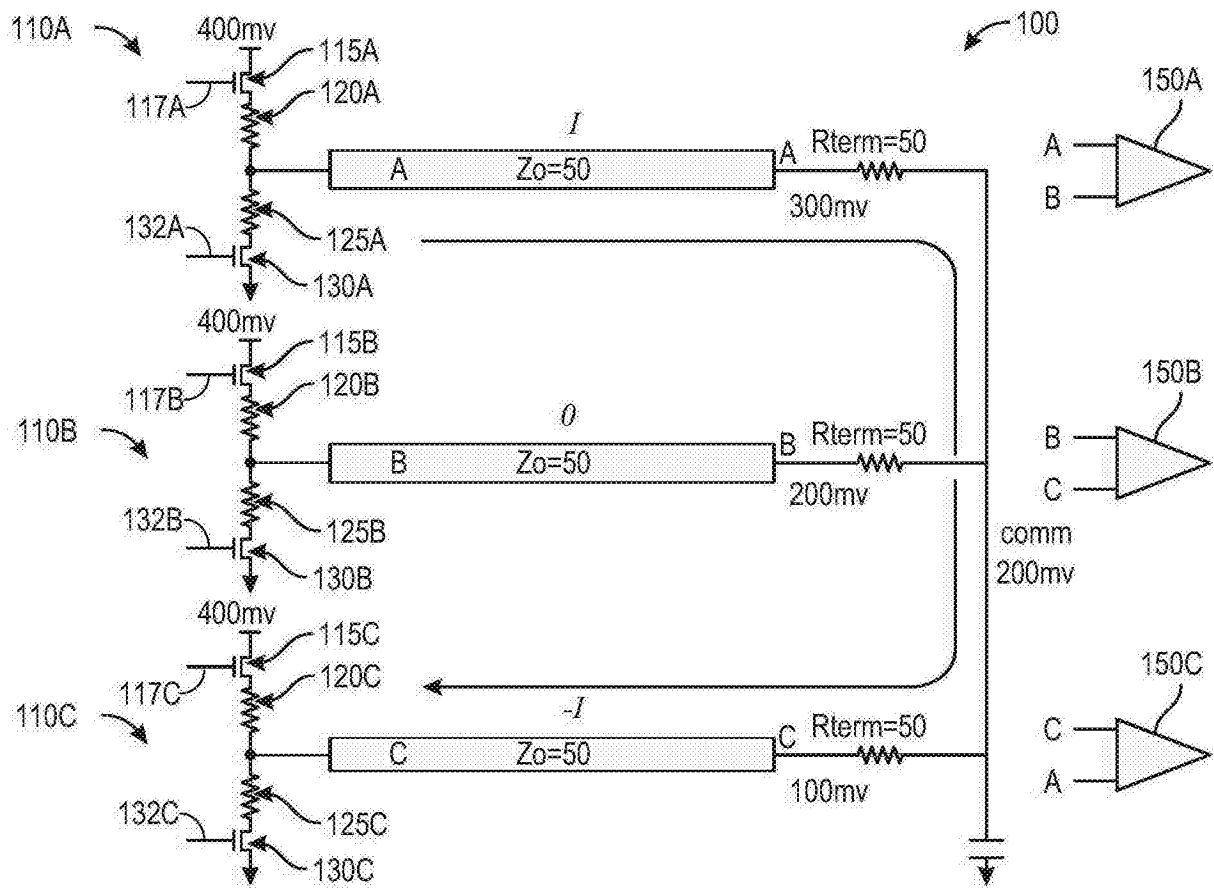


图 1E

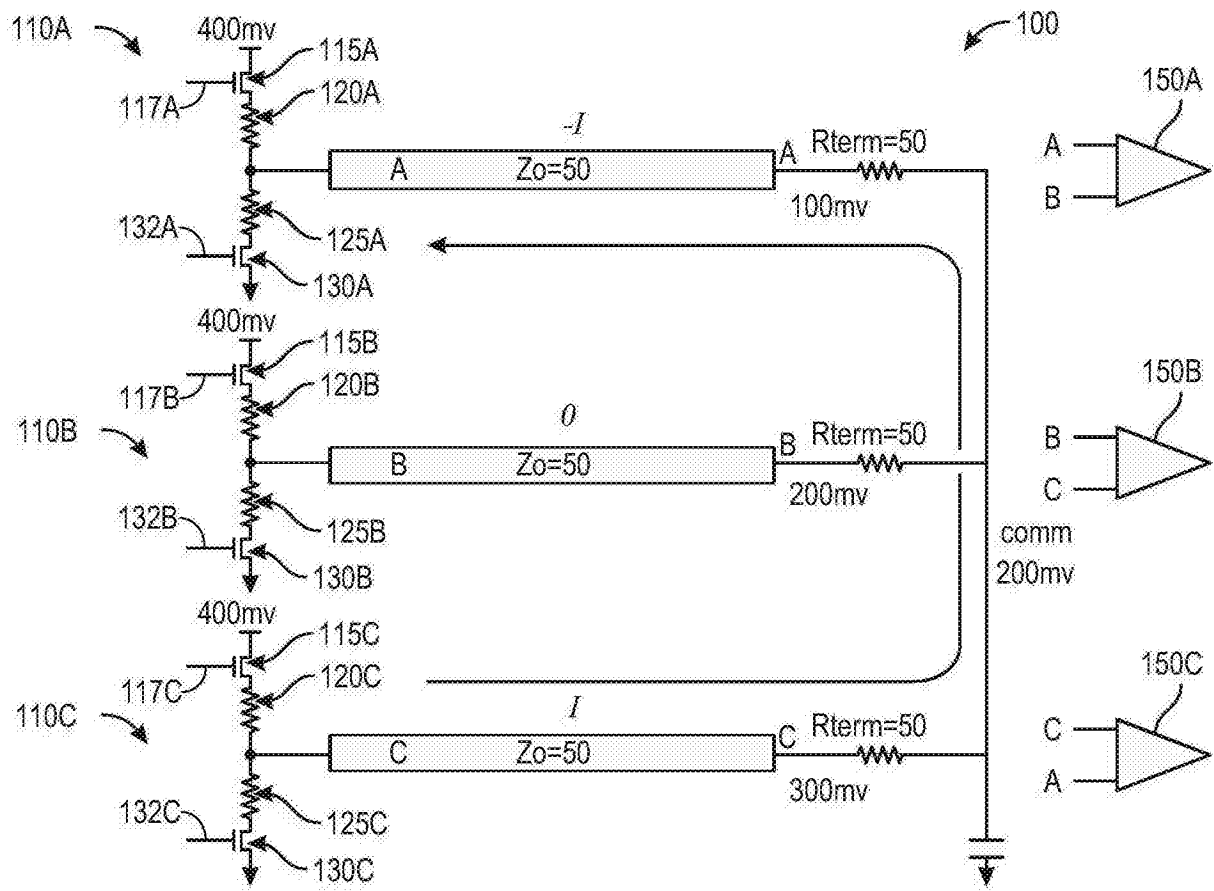


图 1F

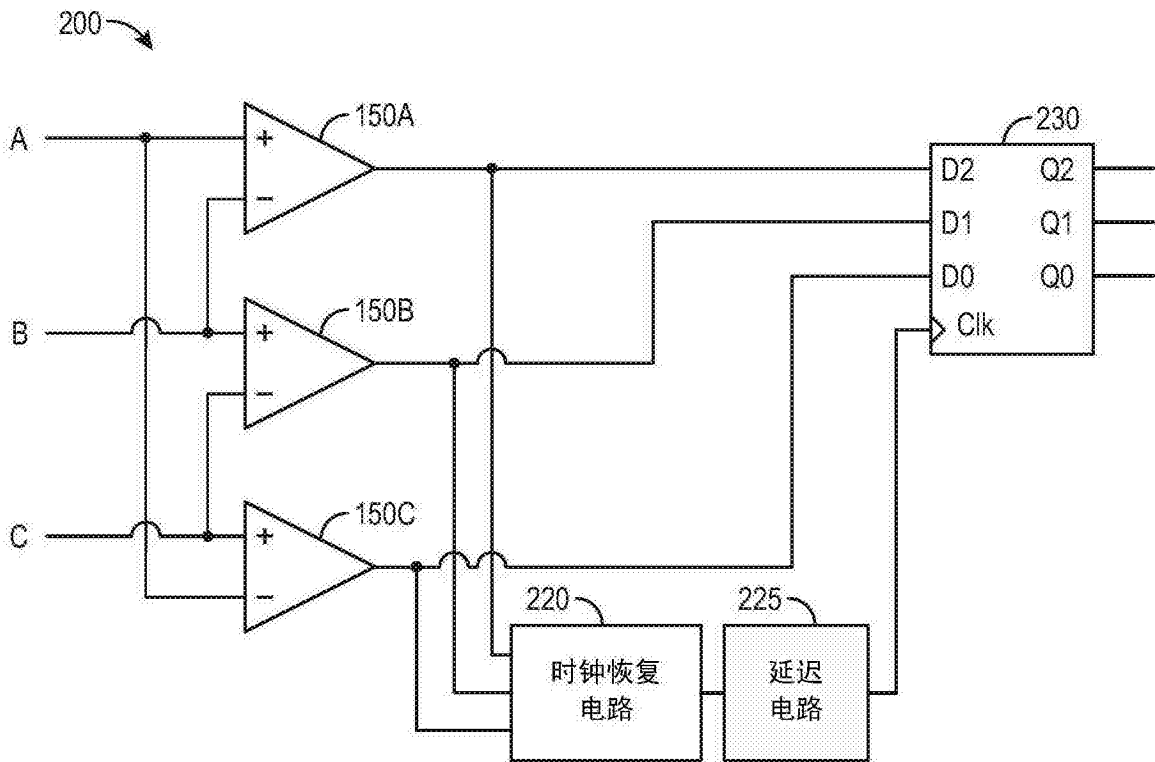


图 2

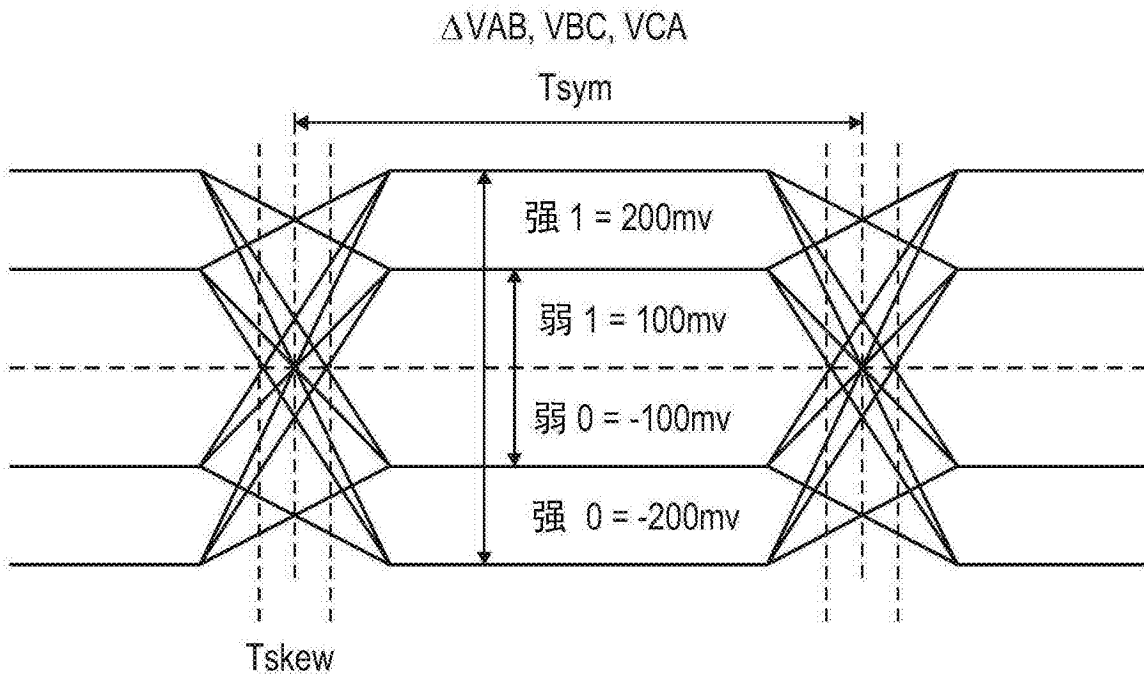


图 3

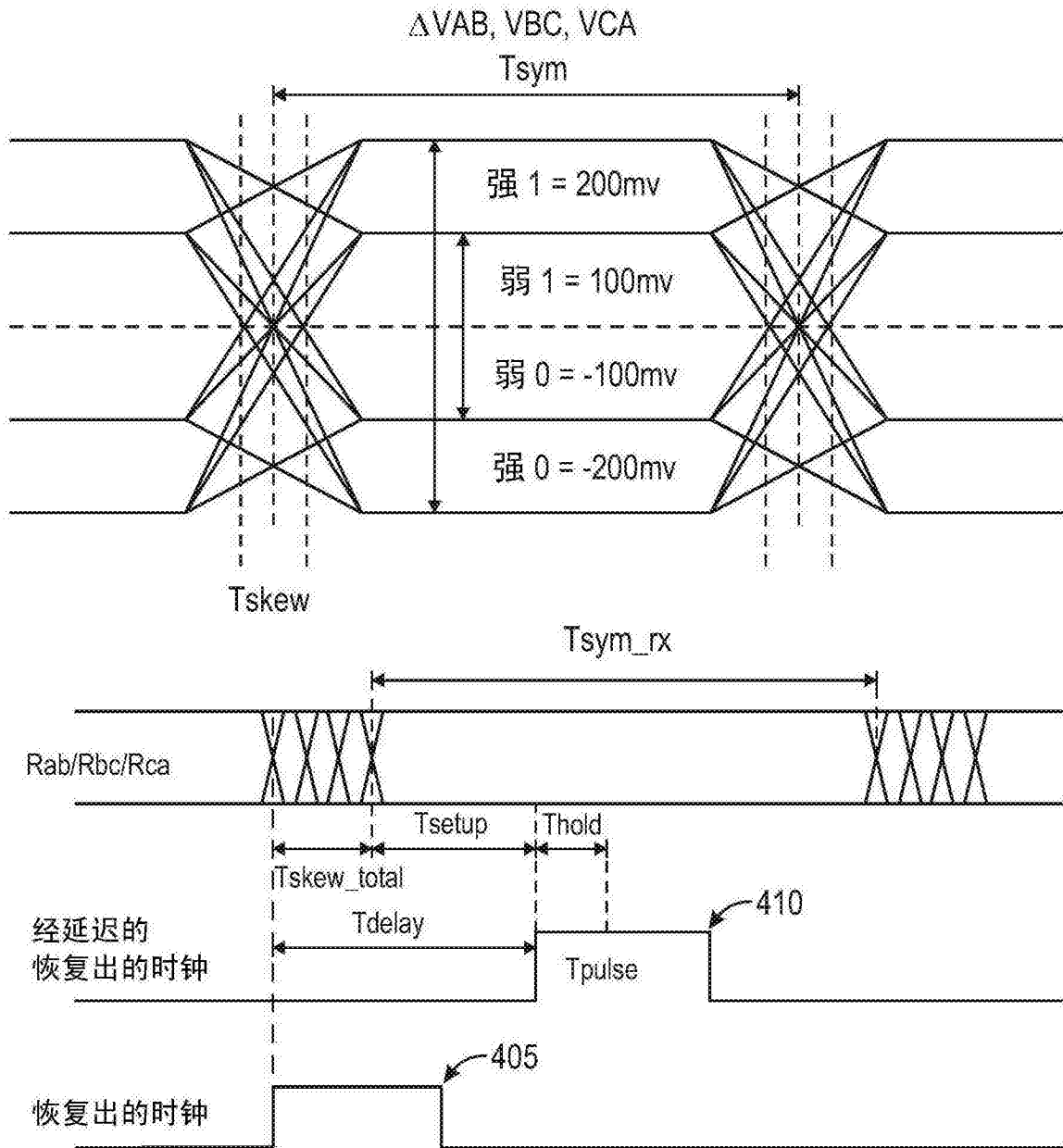


图 4

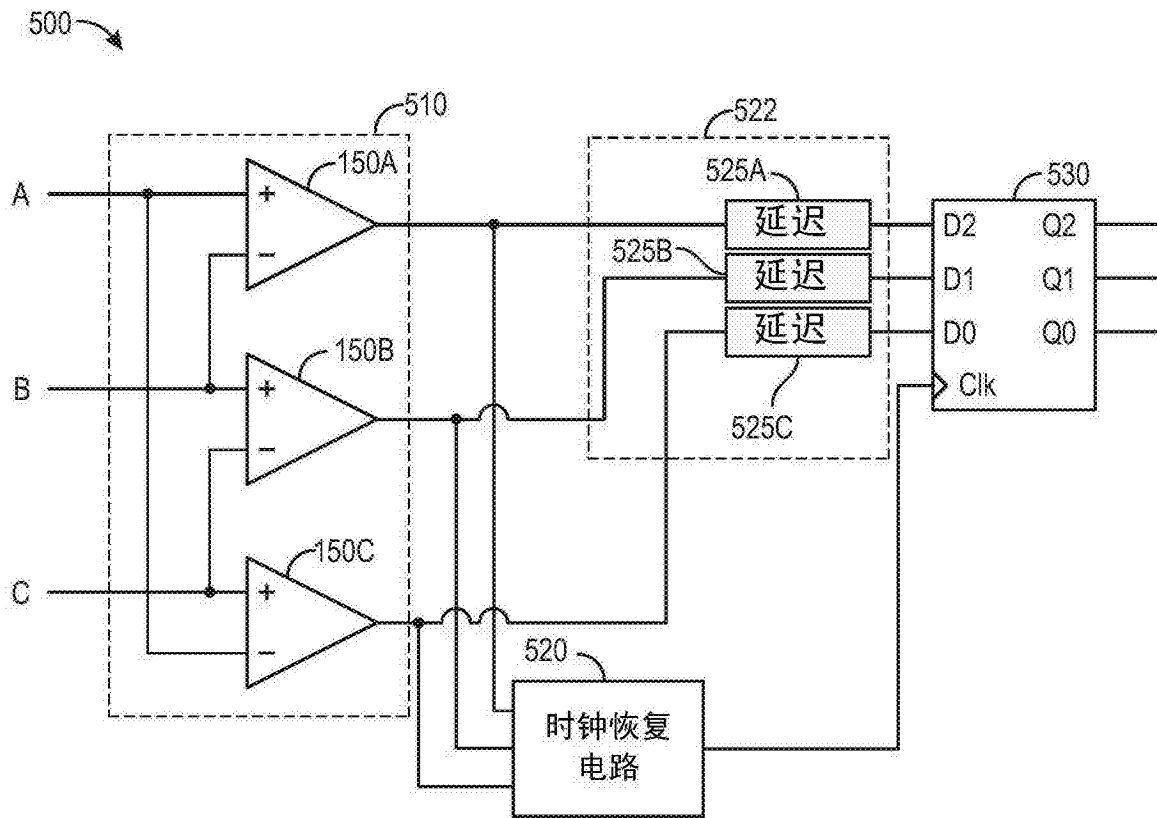


图 5

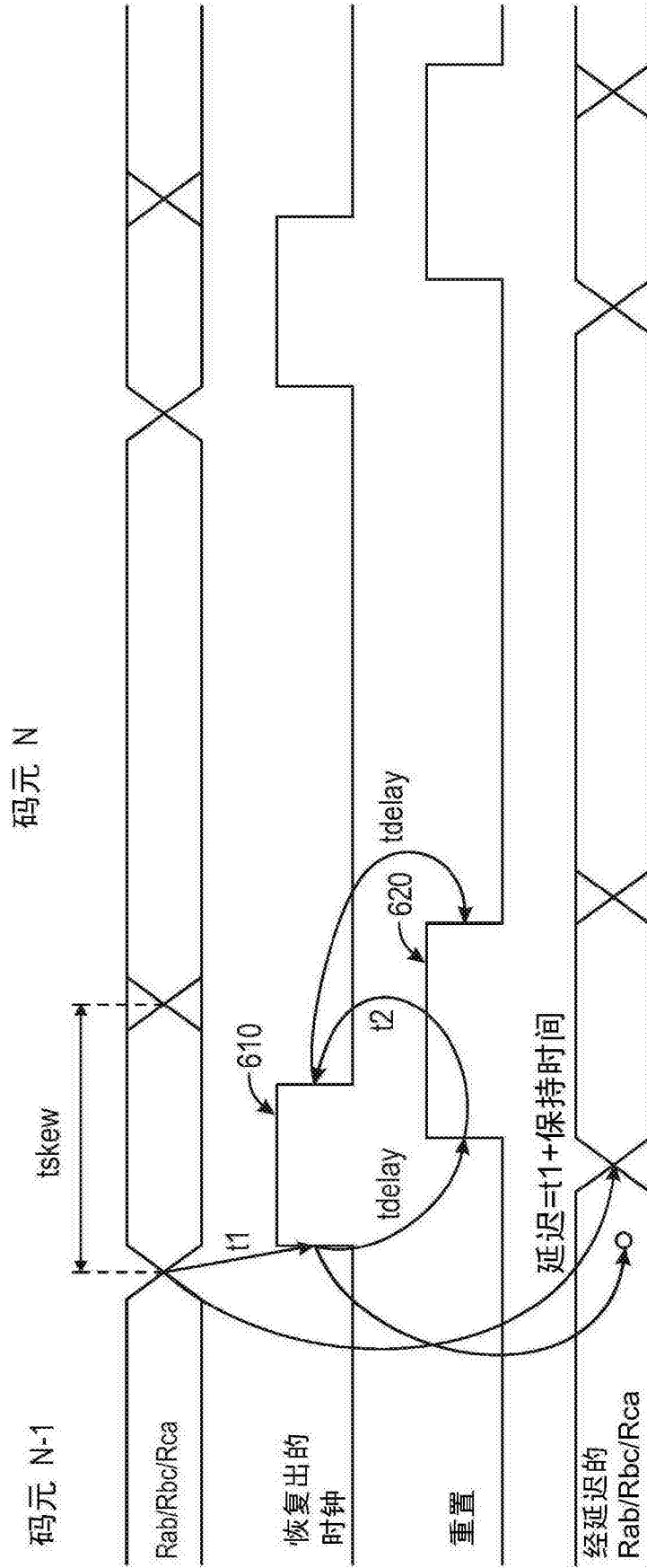


图 6

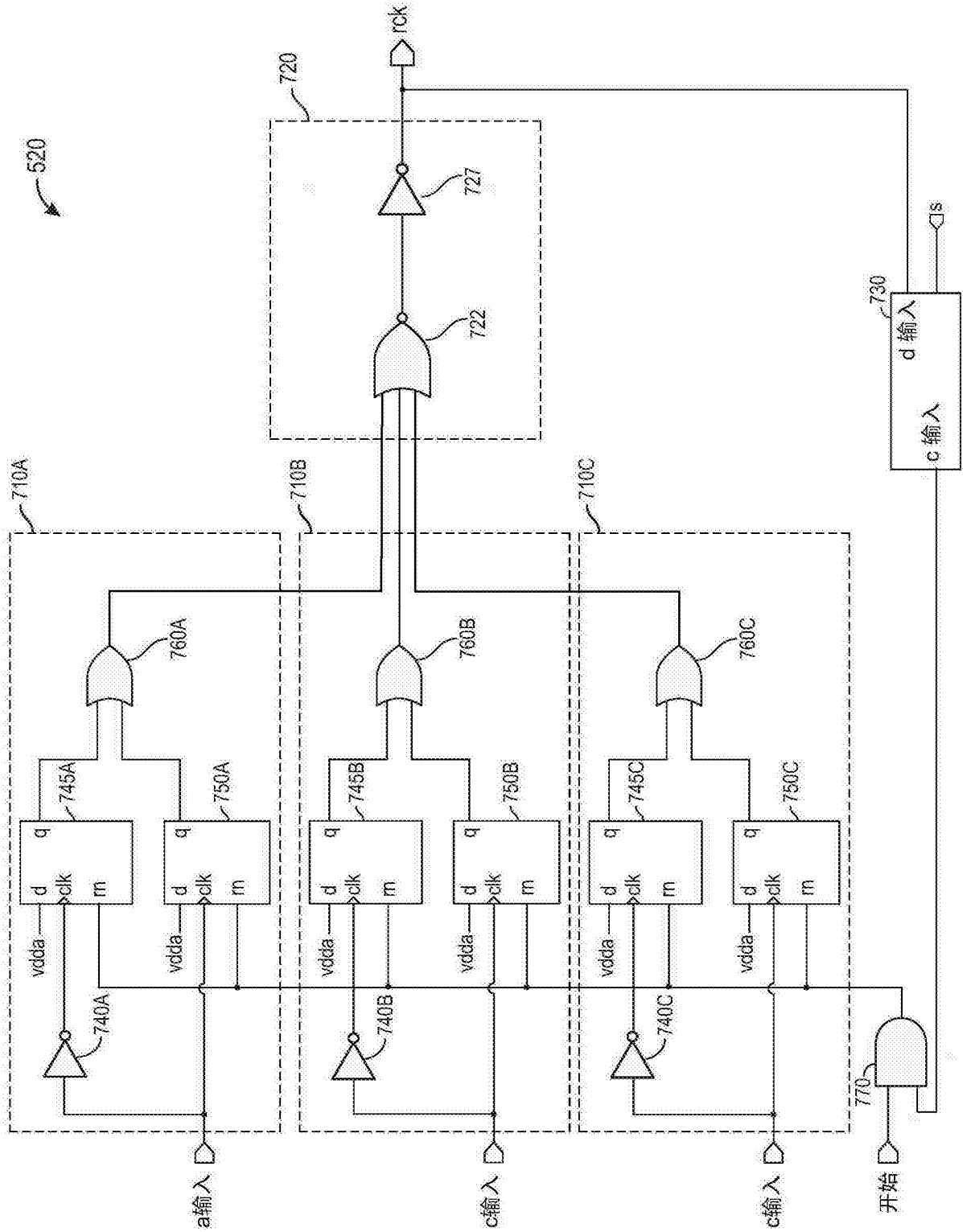


图 7

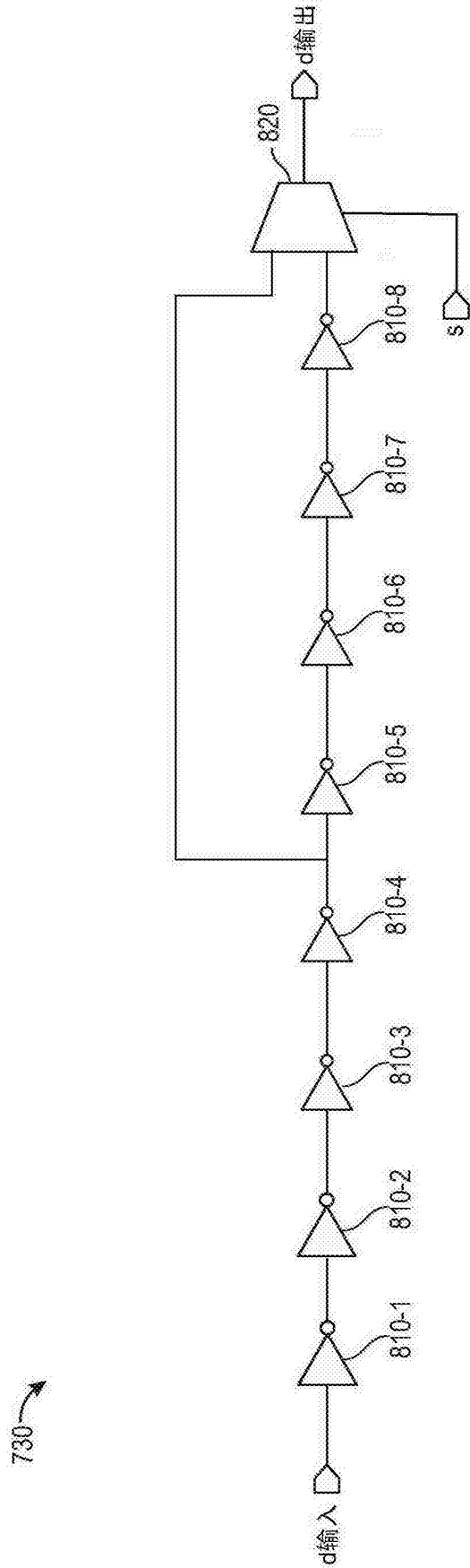


图 8

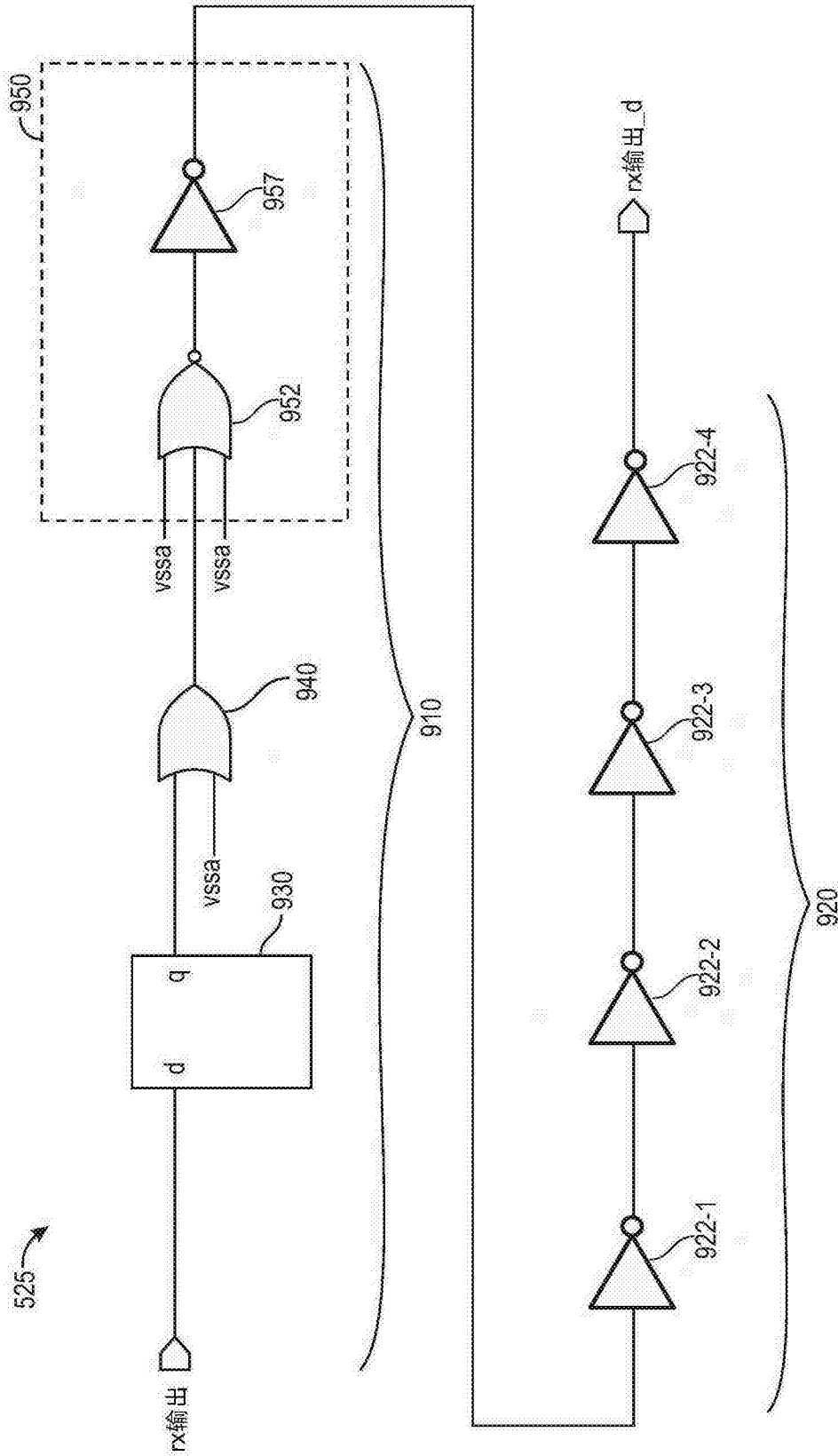


图 9

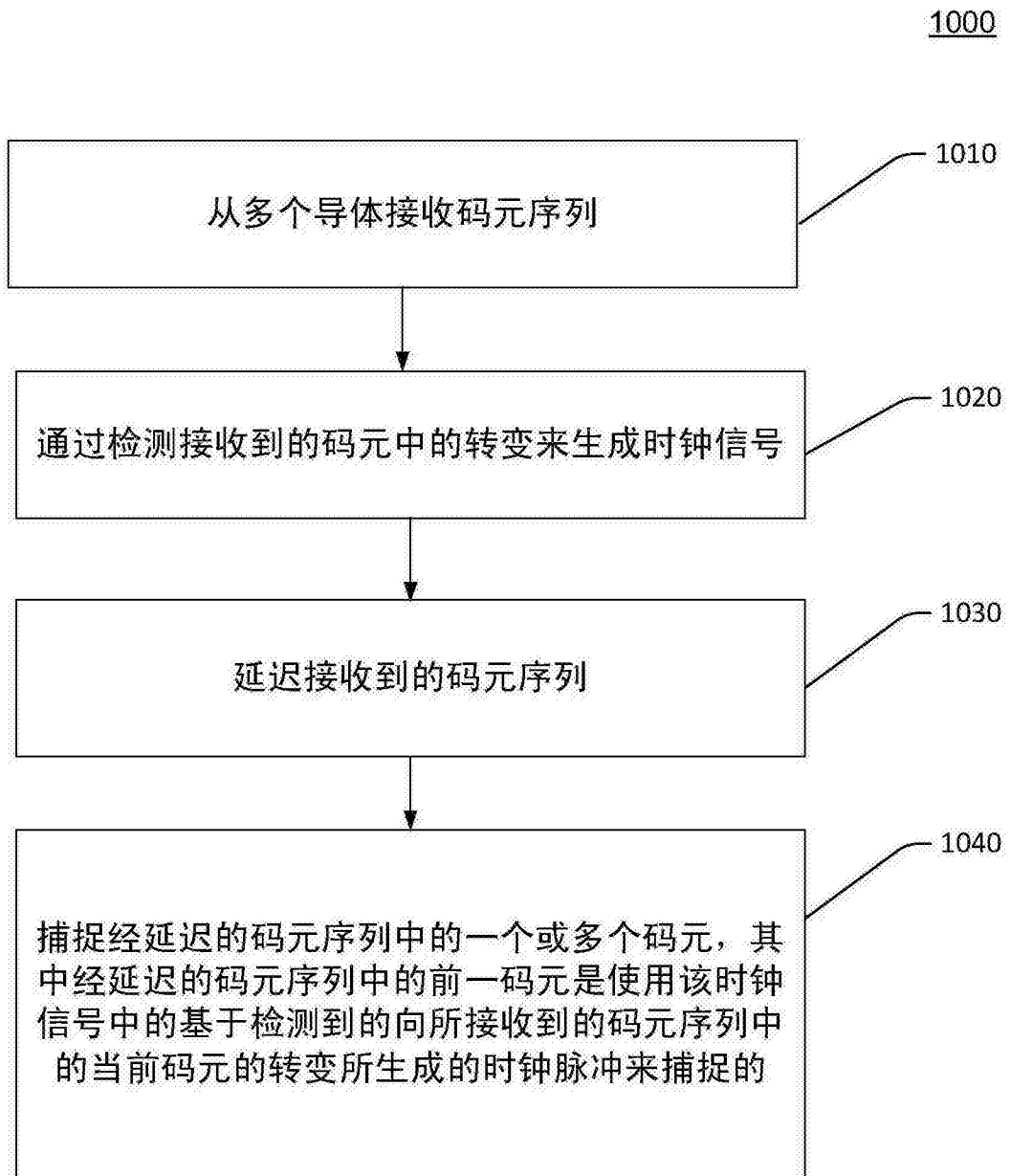


图 10