

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月18日(18.02.2021)



(10) 国際公開番号

WO 2021/029220 A1

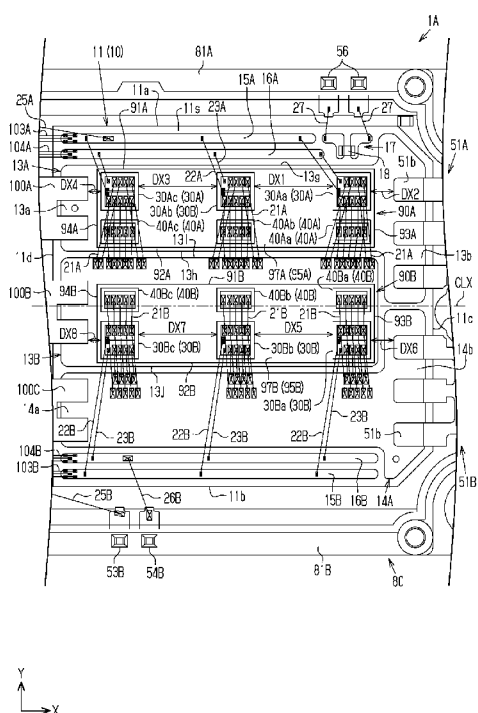
- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2020/028958
- (22) 国際出願日: 2020年7月29日(29.07.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-147650 2019年8月9日(09.08.2019) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2
1番地 Kyoto (JP).
- (72) 発明者: 林口 匡司(HAYASHIGUCHI Masashi);
〒6158585 京都府京都市右京区西院溝崎町2
1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目
12番地1 Gifu (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: POWER MODULE

(54) 発明の名称: パワーモジュール



(57) Abstract: A power module (1A) comprises: a first substrate (11) having electrical insulation properties; a first mounting layer (13A) that is conductive and is disposed on a first substrate main surface (11s) of the first substrate (11); a first graphite plate (90A) that is disposed on the first mounting layer (13A) and that has anisotropic thermal conductivity; and first power semiconductor elements (30A) that are disposed on the first graphite plate (90A).

(57) 要約: パワーモジュール(1A)は、電気絶縁性を有する第1基板(11)と、第1基板(11)の第1基板主面(11s)に配置された導電性の第1搭載層(13A)と、第1搭載層(13A)に配置されており、異方性の熱伝導率を有する第1グラファイトプレート(90A)と、第1グラファイトプレート(90A)に配置されている第1パワー半導体素子(30A)とを備える。



WO 2021/029220 A1

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：パワーモジュール

技術分野

[0001] 本開示は、パワーモジュールに関する。

背景技術

[0002] 上記パワーモジュールの一例として、インバータ装置として構成されるパワーモジュールが知られている（例えば、特許文献1参照）。このパワーモジュールは、IGBT（Insulated Gate Bipolar Transistor）やMOSFET（Metal Oxide Semiconductor Field Effect Transistor）などのトランジスタからなるパワー半導体素子が直列に接続された構成を備える。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-38803号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、パワーモジュールにおけるパワー半導体素子には大電流が供給されるため、各パワー半導体素子が高温になりやすい。このため、パワーモジュールにおいては、パワー半導体素子の放熱構造が重要となる。

[0005] 本開示の目的は、パワー半導体素子から効率よく放熱できるパワーモジュールを提供することにある。

課題を解決するための手段

[0006] 上記課題を解決するパワーモジュールは、厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、前記基板主面に配置された導電性の搭載層と、前記厚さ方向において互いに反対側を向くプレート主面及びプレート裏面を有し、前記プレート裏面が前記搭載層に接続され、異方性の熱伝導率を有するグラファイトプレートと、前記プレート主面に配置されているパワー半導体素子と、を備える。

[0007] この構成によれば、パワー半導体素子の熱は、グラファイトプレートの面方向に広がり易くなる。したがって、パワー半導体素子の熱がグラファイトプレートにおいて幅広く伝わるため、パワー半導体素子から効率よく放熱できる。

[0008] 上記課題を解決するパワーモジュールは、厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、前記基板主面において前記厚さ方向に直交する方向に配列されている第1搭載層、第2搭載層、及び導電層と、前記厚さ方向において互いに反対側を向く第1プレート主面及び第1プレート裏面を有し、前記第1プレート裏面が前記第1搭載層に積層され、異方性の熱伝導率を有する第1グラファイトプレートと、前記厚さ方向において互いに反対側を向く第2プレート主面及び第2プレート裏面を有し、前記第2プレート裏面が前記第2搭載層に積層され、異方性の熱伝導率を有する第2グラファイトプレートと、前記第1プレート主面に配置されている第1パワー半導体素子と、前記第2プレート主面に配置されている第2パワー半導体素子と、を備える。

[0009] この構成によれば、第1パワー半導体素子の熱は第1グラファイトプレートの面方向に広がり易くなり、第2パワー半導体素子の熱は第2グラファイトプレートの面方向に広がり易くなる。したがって、第1パワー半導体素子の熱が第1グラファイトプレートにおいて幅広く伝わり、第2パワー半導体素子の熱が第2グラファイトプレートにおいて幅広く伝わるため、各パワー半導体素子から効率よく放熱できる。

発明の効果

[0010] 上記パワーモジュールは、パワー半導体素子から効率よく放熱できる。

図面の簡単な説明

[0011] [図1]第1実施形態のパワーモジュールの斜視図。

[図2]図1のパワーモジュールの平面図。

[図3]図1のパワーモジュールの側面図。

[図4]図1のパワーモジュールについて、図3とは異なる方向からみた側面図

。

[図5]図1のパワーモジュールについて、図3及び図4とは異なる方向からみた側面図。

[図6]図1のパワーモジュールの底面図。

[図7]図1のパワーモジュールの内部構造を示す平面図。

[図8]図1のパワーモジュールの回路構成を示す回路図。

[図9]図7の一部の拡大図。

[図10]図7の一部の拡大図。

[図11]図7の一部の拡大図。

[図12]図7の12-12線の断面図。

[図13]図12の一部の拡大図。

[図14]第1パワー半導体素子、第1ダイオード、及びそれら周辺の拡大図。

[図15]図7の15-15線の断面図。

[図16]図15の一部の拡大図。

[図17]図12の一部の拡大図。

[図18]第2パワー半導体素子、第2ダイオード、及びそれら周辺の拡大図。

[図19]図7の19-19線の断面図。

[図20]図19の一部の拡大図。

[図21]図7の21-21線の断面図。

[図22]図15の一部の拡大図。

[図23]第1パワー半導体素子、第1ダイオード、及びそれら周辺の拡大図。

[図24]図21の一部の拡大図。

[図25]第2パワー半導体素子、第2ダイオード、及びそれら周辺の拡大図。

[図26]第1実施形態のパワーモジュールに適用可能なグラファイトプレートについて、(a)はXY配向のグラファイトプレートを例示する斜視図、(b)はXZ配向のグラファイトプレートを例示する斜視図。

[図27]第1実施形態のパワーモジュールに適用可能なグラファイトプレートを構成するグラファイトシートの積層構造の斜視図。

[図28]第2実施形態のパワーモジュールについて、その内部構造を示す平面図。

[図29]図28の29-29線の断面図。

[図30]図28の30-30線の断面図。

[図31]第1パワー半導体素子及びその周辺の拡大図。

[図32]第1パワー半導体素子及びその周辺の拡大図。

[図33]第2パワー半導体素子及びその周辺の拡大図。

[図34]第2パワー半導体素子及びその周辺の拡大図。

[図35]パワーモジュールが適用された3相交流インバータの回路図。

[図36]パワーモジュールが適用された3相交流インバータの回路図。

[図37]変更例のパワーモジュールの側面図。

[図38]変更例のパワーモジュールについて、第1パワー半導体素子、第1ダイオード、及びそれら周辺の拡大図。

[図39]変更例のパワーモジュールについて、第2パワー半導体素子、第2ダイオード、及びそれら周辺の拡大図。

[図40]変更例のパワーモジュールについて、第1パワー半導体素子及びその周辺の拡大図。

[図41]変更例のパワーモジュールについて、第2パワー半導体素子及びその周辺の拡大図。

[図42]変更例のパワーモジュールについて、第1グラファイトプレート及びその周辺の平面図。

[図43]変更例のパワーモジュールについて、第1グラファイトプレート及びその周辺の平面図。

[図44]変更例のパワーモジュールについて、第1グラファイトプレート及びその周辺の平面図。

発明を実施するための形態

[0012] 以下、パワーモジュールの実施形態について図面を参照して説明する。以下に示す実施形態は、技術的思想を具体化するための構成や方法を例示する

ものであり、各構成部品の材質、形状、構造、配置、寸法等を下記のものに限定するものではない。以下の実施形態は、種々の変更を加えることができる。

[0013] [第1実施形態]

図1～図27を参照して、第1実施形態のパワーモジュール1Aについて説明する。

図1～図6は、パワーモジュール1Aの外観形状を示している。図7は、パワーモジュール1Aの内部構造を示している。

[0014] 図1～図7に示すように、パワーモジュール1Aは、基板10、接続部材20、パワー半導体素子30、ダイオード40、端子50、封止樹脂60（図12参照）、冷却器の一例である放熱板70、及びこれらを収容するケース80を主に備える。なお、図7では、便宜上、封止樹脂60を省略して示している。図1～図6に示すように、基板10、接続部材20、パワー半導体素子30、ダイオード40、及び封止樹脂60はそれぞれ放熱板70及びケース80によって収容されて外部に露出していない。一方、端子50は、一部がケース80の外部に露出又は突出した状態でケース80に収容されている。パワーモジュール1Aは、例えばインバータ装置に用いられる。図1及び図2に示すように、基板10の厚さ方向からみて（以下、「平面視」という）、パワーモジュール1Aの形状は矩形状である。ここで、説明の便宜上、基板10の厚さ方向に沿う方向を「厚さ方向Z」とし、厚さ方向Zに直交する方向のうち互いに直交する2方向をそれぞれ「横方向X」及び「縦方向Y」とする。本実施形態では、パワーモジュール1Aの長辺方向が横方向Xとなり、短辺方向が縦方向Yとなる。

[0015] 図8では、本実施形態のパワーモジュール1Aの回路構成を示している。パワーモジュール1Aは、パワー半導体素子30としての複数の第1パワー半導体素子30Aからなる第1パワー半導体素子群30AT、及び複数の第2パワー半導体素子30Bからなる第2パワー半導体素子群30BTと、ダイオード40としての複数の第1ダイオード40Aからなる第1ダイオード

群40AT、及び複数の第2ダイオード40Bからなる第2ダイオード群40BTとを有する。なお、便宜上、図8では、第1パワー半導体素子群30ATとして1個の第1パワー半導体素子30Aを示し、第2パワー半導体素子群30BTとして1個の第2パワー半導体素子30Bを示している。

[0016] 第1パワー半導体素子群30ATの各第1パワー半導体素子30A及び第2パワー半導体素子群30BTの各第2パワー半導体素子30Bはそれぞれ、スイッチング素子として用いられている。各パワー半導体素子30A、30Bは、例えばSi（ケイ素）、SiC（炭化ケイ素）、又は、GaN（窒化ガリウム）やGaAs（ヒ化ガリウム）、あるいはGa₂O₃（酸化ガリウム）などからなるトランジスタが用いられている。各パワー半導体素子30A、30BがSiCからなる場合、スイッチングの高速化に適している。本実施形態では、各パワー半導体素子30A、30Bは、SiCからなるN型のMOSFETが用いられている。なお、各パワー半導体素子30A、30Bは、MOSFETに限定されず、MISFET（Metal-Insulator-Semiconductor FET）を含む電界効果トランジスタ、又は、IGBTを含むバイポーラトランジスタなどのトランジスタであってもよい。各パワー半導体素子30A、30Bは、Nチャネル型のMOSFETであってもよいし、Pチャネル型のMOSFETであってもよい。

[0017] 各パワー半導体素子30A、30Bは、ドレイン電極31、ソース電極32、及びゲート電極33を有する。また各パワー半導体素子30A、30Bは、ボディダイオード34を有する。第1パワー半導体素子30Aのドレイン電極31は、特許請求の範囲の第1裏面側駆動電極の一例であり、第2パワー半導体素子30Bのドレイン電極31は、第2裏面側駆動電極の一例である。第1パワー半導体素子30Aのソース電極32は、特許請求の範囲の第1主面側駆動電極の一例であり、第2パワー半導体素子30Bのソース電極32は、第2主面側駆動電極の一例である。第1パワー半導体素子30Aのゲート電極33及び第2パワー半導体素子30Bのゲート電極33はそれぞれ、特許請求の範囲の制御電極の一例である。

[0018] 図8では図示していないが、第1パワー半導体素子群30ATの複数の第1パワー半導体素子30Aは互いに並列に接続されている。すなわち、複数の第1パワー半導体素子30Aのドレイン電極31が互いに接続されており、複数の第1パワー半導体素子30Aのソース電極32が互いに接続されている。また、第2パワー半導体素子群30BTの複数の第2パワー半導体素子30Bは互いに並列に接続されている。すなわち、複数の第2パワー半導体素子30Bのドレイン電極31が互いに接続されており、複数の第2パワー半導体素子30Bのソース電極32が互いに接続されている。第1パワー半導体素子群30ATと第2パワー半導体素子群30BTは、互いに直列接続されている。具体的には、第1パワー半導体素子群30ATのソース電極32（複数の第1パワー半導体素子30Aのソース電極32）が第2パワー半導体素子群30BTのドレイン電極31（複数の第2パワー半導体素子30Bのドレイン電極31）に電氣的に接続されている。このように、本実施形態では、パワーモジュール1Aはインバータ回路を構成しており、第1パワー半導体素子群30ATは上側アームを構成しており、第2パワー半導体素子群30BTは下側アームを構成している。

[0019] 各ダイオード40A、40Bは、アノード電極41及びカソード電極42を有する。第1ダイオード群40ATの第1ダイオード40Aは、第1パワー半導体素子群30ATの複数の第1パワー半導体素子30Aのそれぞれに逆並列に接続されている。具体的には、第1ダイオード40Aのカソード電極42が第1パワー半導体素子30Aのドレイン電極31に接続されており、第1ダイオード40Aのアノード電極41が第1パワー半導体素子30Aのソース電極32に接続されている。第2ダイオード群40BTの第2ダイオード40Bは、第2パワー半導体素子群30BTの複数の第2パワー半導体素子30Bのそれぞれに逆並列に接続されている。具体的には、第2ダイオード40Bのカソード電極42が第2パワー半導体素子30Bのドレイン電極31に接続されており、第2ダイオード40Bのアノード電極41が第2パワー半導体素子30Bのソース電極32に接続されている。

- [0020] 第1パワー半導体素子群30ATの複数の第1パワー半導体素子30A、及び第2パワー半導体素子群30BTの複数の第2パワー半導体素子30Bのそれぞれのドレイン電極31、ソース電極32、及びゲート電極33はそれぞれ端子50に接続されている。
- [0021] 図1、図2、及び図8に示すように、端子50は、第1入力端子51A、第2入力端子51B、第1出力端子52A、第2出力端子52B、第1制御端子53A、第2制御端子53B、第1検出端子54A、第2検出端子54B、電源電流端子55、及び一对の温度検出端子56を有する。なお、一对の温度検出端子56は、各パワー半導体素子30A、30Bと電氣的に接続されていないため、便宜上、図8に示していない。なお、第1出力端子52A及び第2出力端子52Bは、特許請求の範囲の出力端子の一例である。
- [0022] 第1入力端子51Aは、第1パワー半導体素子群30ATのドレイン電極31に電氣的に接続されている。すなわち、第1入力端子51Aは、複数の第1パワー半導体素子30Aのドレイン電極31のそれぞれに電氣的に接続されている。第2入力端子51Bは、第2パワー半導体素子群30BTのソース電極32に電氣的に接続されている。すなわち、第2入力端子51Bは、複数の第2パワー半導体素子30Bのソース電極32のそれぞれに電氣的に接続されている。各出力端子52A、52Bは、第1パワー半導体素子群30ATのソース電極32と第2パワー半導体素子群30BTのドレイン電極31との間のノードN1に電氣的に接続されている。すなわち、各出力端子52A、52Bは、複数の第1パワー半導体素子30Aのソース電極32と複数の第2パワー半導体素子30Bのドレイン電極31との間のノードN1に電氣的に接続されている。第1制御端子53Aは、第1パワー半導体素子群30ATのゲート電極33に電氣的に接続されている。すなわち、第1制御端子53Aは、複数の第1パワー半導体素子30Aのゲート電極33のそれぞれに電氣的に接続されている。第2制御端子53Bは、第2パワー半導体素子群30BTのゲート電極33に電氣的に接続されている。すなわち第2制御端子53Bは、複数の第2パワー半導体素子30Bのゲート電極3

3のそれぞれに電氣的に接続されている。第1検出端子54Aは、第1パワー半導体素子群30ATのソース電極32に電氣的に接続されている。すなわち、第1検出端子54Aは、複数の第1パワー半導体素子30Aのソース電極32のそれぞれに電氣的に接続されている。第2検出端子54Bは、第2パワー半導体素子群30BTのソース電極32に電氣的に接続されている。すなわち、第2検出端子54Bは、複数の第2パワー半導体素子30Bのソース電極32のそれぞれに電氣的に接続されている。電源電流端子55は、第1パワー半導体素子群30ATのドレイン電極31と第1入力端子51Aとの間のノードN2に電氣的に接続されている。すなわち、電源電流端子55は、複数の第1パワー半導体素子30Aのドレイン電極31のそれぞれと第1入力端子51Aとの間のノードN2に電氣的に接続されている。本実施形態では、各制御端子53A、53B、各検出端子54A、54B、電源電流端子55、及び一对の温度検出端子56は、パワーモジュール1Aの外部に設けられた制御回路（図示略）に電氣的に接続される。

[0023] 図1及び図2に示すように、上記端子51A、51B、52A、52B、53A、53B、54A、54B、55、56はそれぞれ、ケース80に設けられている。

図1、図2、及び図7に示すように、ケース80は、平面視において、基板10、接続部材20、パワー半導体素子30、及びダイオード40を取り囲む枠状に形成されている。ケース80は、例えばPPS（ポリフェニレンサルファイド）などの電気絶縁性を有し、かつ耐熱性に優れた合成樹脂からなる。ケース80は、一对の側壁81A、81B、一对の端子台座82A、82B、複数の取付部83、電源端子台84、及び出力端子台85を備える。

[0024] 図2、図6、及び図7に示すように、平面視において、一对の側壁81A、81Bは、縦方向Yにおいて互いに離間して配置されており、横方向Xに沿って延びている。図3～図5に示すように、側面視において、一对の側壁81A、81Bはそれぞれ、厚さ方向Zに沿って延びている。図2及び図7

に示すように、側壁 8 1 A の内部には、第 1 制御端子 5 3 A、第 1 検出端子 5 4 A、電源電流端子 5 5、及び一对の温度検出端子 5 6 が配置されている。また側壁 8 1 B の内部には、第 2 制御端子 5 3 B 及び第 2 検出端子 5 4 B が配置されている。各制御端子 5 3 A、5 3 B、各検出端子 5 4 A、5 4 B、電源電流端子 5 5、及び一对の温度検出端子 5 6 はそれぞれ、一对の側壁 8 1 A、8 1 B によって支持されている。図 1 及び図 3 に示すように、各制御端子 5 3 A、5 3 B、各検出端子 5 4 A、5 4 B、電源電流端子 5 5、及び一对の温度検出端子 5 6 はそれぞれ、厚さ方向 Z において一对の側壁 8 1 A、8 1 B から突出している。各制御端子 5 3 A、5 3 B、各検出端子 5 4 A、5 4 B、電源電流端子 5 5、及び一对の温度検出端子 5 6 はそれぞれ、例えば Cu（銅）を構成材料とする金属棒からなる。この金属棒の表面には、Sn（錫）めっきが施されている。なお、金属棒の表面と錫めっきの間には、ニッケルめっきが施されていてもよい。各制御端子 5 3 A、5 3 B、各検出端子 5 4 A、5 4 B、電源電流端子 5 5、及び一对の温度検出端子 5 6 は、例えばすべて同一形状であり、一例では縦方向 Y に延びる第 1 部分と厚さ方向 Z に延びる第 2 部分を有する L 字状に形成されている。

[0025] 図 2 及び図 7 に示すように、横方向 X における一对の側壁 8 1 A、8 1 B のそれぞれの両端部には、一对の端子台座 8 2 A、8 2 B が繋がっている。これら一对の側壁 8 1 A、8 1 B 及び一对の端子台座 8 2 A、8 2 B によって、基板 1 0、接続部材 2 0、パワー半導体素子 3 0、及びダイオード 4 0 を取り囲む枠状を構成している。一对の端子台座 8 2 A、8 2 B は、横方向 X において互いに離間している。端子台座 8 2 A には、その端子台座 8 2 A から横方向 X の外側に向けて突出する電源端子台 8 4 が繋がっている。端子台座 8 2 B には、その端子台座 8 2 B から横方向 X の外側に向けて突出する出力端子台 8 5 が繋がっている。

[0026] 図 2、図 4、及び図 7 に示すように、電源端子台 8 4 は、第 1 端子台 8 4 A 及び第 2 端子台 8 4 B を有する。第 1 端子台 8 4 A 及び第 2 端子台 8 4 B は、横方向 X に揃った状態で縦方向 Y に配列されている。第 1 端子台 8 4 A

には、第1入力端子51Aの一部が設けられている。第1端子台84Aは、第1入力端子51Aの一部を支持している。第2端子台84Bには、第2入力端子51Bの一部が設けられている。第2端子台84Bは、第2入力端子51Bの一部を支持している。図7及び図12に示すように、第1端子台84Aの内部にはナット84Nが設けられている。また図7に示すように、第1端子台84Aと同様に、第2端子台84Bの内部にもナット84Nが設けられている。

[0027] 図7に示すように、第1入力端子51A及び第2入力端子51Bは互いに同じ形状である。各入力端子51A, 51Bは、パワーモジュール1Aの外部に露出する露出部51aと、各パワー半導体素子30A, 30Bに電氣的に接続するための接続部51bと、露出部51aと接続部51bとを連結する連結部51cとを有する。本実施形態では、各入力端子51A, 51Bは、露出部51a、接続部51b、及び連結部51cが一体に形成された単一部品として構成されている。露出部51aには、露出部51aを厚さ方向Zに貫通する貫通孔51dが設けられている。図12に示すように、第1入力端子51Aは階段状に形成されている。第1入力端子51Aの露出部51aは、第1端子台84Aによって支持されている。第2入力端子51Bの露出部51aは、第2端子台84Bによって支持されている。図7に示すように、第1入力端子51Aの露出部51aの貫通孔51dは、第1端子台84Aのナット84Nに対応して設けられている。第2入力端子51Bの露出部51aの貫通孔51dは、第2端子台84Bのナット84Nに対応して設けられている。接続部51bは、複数個設けられており、縦方向Yにおいて離間して配列されている。

[0028] 図2、図5、及び図7に示すように、出力端子台85は、第1端子台85A及び第2端子台85Bを有する。第1端子台85A及び第2端子台85Bは、横方向Xに揃った状態で縦方向Yに配列されている。第1端子台85Aには、第1出力端子52Aの一部が設けられている。第1端子台85Aは、第1出力端子52Aの一部を支持している。第2端子台85Bには、第2出

力端子52Bの一部が設けられている。第2端子台85Bは、第2出力端子52Bの一部を支持している。図7及び図12に示すように、第1端子台85Aの内部にはナット85Nが設けられている。また図7に示すように、第1端子台85Aと同様に、第2端子台85Bの内部にもナット85Nが設けられている。

[0029] 図7に示すように、第1出力端子52A及び第2出力端子52Bは互いに同じ形状である。本実施形態では、各出力端子52A、52Bは、各入力端子51A、51Bと同じ形状である。各出力端子52A、52Bは、パワーモジュール1Aの外部に露出する露出部52aと、各パワー半導体素子30A、30Bに電氣的に接続するための接続部52bと、露出部52aと接続部52bとを連結する連結部52cとを有する。本実施形態では、各出力端子52A、52Bは、露出部52a、接続部52b、及び連結部52cが一体に形成された単一部分品として構成されている。露出部52aには、露出部52aを厚さ方向Zに貫通する貫通孔52dが設けられている。図12に示すように、第1出力端子52Aは階段状に形成されている。第1出力端子52Aの露出部52aは、第1端子台85Aによって支持されている。第2出力端子52Bの露出部52aは、第2端子台85Bによって支持されている。図7に示すように、第1出力端子52Aの露出部52aの貫通孔52dは、第1端子台85Aのナット85Nに対応して設けられている。第2出力端子52Bの露出部52aの貫通孔52dは、第2端子台85Bのナット85Nに対応して設けられている。接続部52bは、複数個設けられており、縦方向Yにおいて離間して配列されている。

[0030] 図3及び図6に示すように、放熱板70は、ケース80に取り付けられることによって、ケース80の厚さ方向Zに開口する開口部の一端を塞いでいる。放熱板70は、例えば Al_2O_3 （アルミナ）から構成されている。なお、放熱板70は、Cuからなる金属板から構成されてもよい。この場合、金属板の表面には、ニッケルめっきが施されていてもよい。図12に示すように、放熱板70は、厚さ方向Zに反対側を向く放熱主面70s及び放熱裏面

70rを有する。放熱裏面70rは、パワーモジュール1Aの外部に露出している。図6に示すように、平面視において、放熱板70の四隅には、放熱板70を厚さ方向Zに貫通する支持孔71が設けられている。

[0031] 図2に示すように、複数の取付部83は、平面視において、ケース80の四隅に設けられている。各取付部83には、取付部83を厚さ方向Zに貫通する取付孔83aが設けられている。厚さ方向Zからみて、複数の取付部83は、放熱板70の四隅と重なるように配置されている。このため、複数の取付孔83aは、放熱板70の支持孔71（図6参照）と対応している。複数の取付孔83a及び支持孔71にピンなどの締結部材を嵌め込むことによって、放熱板70はケース80に支持される。

[0032] 図1及び図2に示すように、ケース80は、天板86を備える。天板86は、放熱板70、一对の側壁81A、81B、及び一对の端子台座82A、82Bによって形成されたパワーモジュール1Aの内部領域を塞いでいる。図2及び図12に示すように、天板86は、厚さ方向Zにおいて放熱板70及び基板10に対して離間した状態で一对の側壁81A、81Bに支持されている。

[0033] 次に、図7及び図9～図25を参照して、パワーモジュール1Aの内部領域の詳細な構成について説明する。

図12に示すように、パワーモジュール1Aの内部領域は、ケース80の一对の側壁81A、81B及び一对の端子台座82A、82Bによって囲まれた開口領域であり、放熱板70によって開口領域の厚さ方向Zの一端が塞がれている領域である。この内部領域には、基板10、接続部材20、パワー半導体素子30、ダイオード40、及び封止樹脂60が収容されている。

[0034] 封止樹脂60は、電気絶縁性を有する樹脂材料からなり、放熱板70及び天板86によって塞がれた内部領域に充填されている。封止樹脂60は、基板10、接続部材20、パワー半導体素子30、及びダイオード40を封止している。

[0035] 基板10は、放熱板70の放熱主面70sに例えばAg（銀）ペーストや

半田などの接合材によって接合されている。なお、接合材としては、A g ペーストや半田などの導電性接合材に限られず、電気絶縁性の接合材が用いられてもよい。基板 1 0 は、第 1 基板 1 1 及び第 2 基板 1 2 を有する。第 1 基板 1 1 及び第 2 基板 1 2 は、縦方向 Y に揃った状態で横方向 X に離間して配列されている。第 1 基板 1 1 は横方向 X において内部領域のうちの各入力端子 5 1 A, 5 1 B 側に配置されており、第 2 基板 1 2 は横方向 X において内部領域のうちの各出力端子 5 2 A, 5 2 B 側に配置されている。第 1 基板 1 1 は、厚さ方向 Z において互いに反対側を向く第 1 基板主面 1 1 s 及び第 1 基板裏面 1 1 r を有する。第 2 基板 1 2 は、厚さ方向 Z において互いに反対側を向く第 2 基板主面 1 2 s 及び第 2 基板裏面 1 2 r を有する。なお、第 1 基板主面 1 1 s 及び第 2 基板主面 1 2 s はそれぞれ、特許請求の範囲の基板主面の一例であり、第 1 基板裏面 1 1 r 及び第 2 基板裏面 1 2 r はそれぞれ、基板裏面の一例である。

[0036] 各基板 1 1, 1 2 は、各基板 1 1, 1 2 上に、パワー半導体素子 3 0 及びダイオード 4 0 が搭載されるための搭載層、及びパワー半導体素子 3 0 及びダイオード 4 0 と電氣的に接続されるための導電層が配置された電気絶縁部材である。各基板 1 1, 1 2 の構成材料は、例えば、熱伝導性に優れたセラミックスである。このようなセラミックスとして、例えば、 Al_2O_3 (アルミナ)、 ZrO (酸化ジルコニウム) を含む Al_2O_3 、 AlN (窒化アルミニウム)、 SiN (窒化ケイ素) 等が挙げられる。例えば、セラミックスとして ZrO を含む Al_2O_3 を用いる場合、各基板 1 1, 1 2 の機械的強度を高めることができるとともに各基板 1 1, 1 2 を安価に製造できる。また、各基板 1 1, 1 2 の構成材料としては、例えば樹脂材料を用いることができる。樹脂材料としては、エポキシ樹脂、ガラスクロス等の補強材を含むエポキシ樹脂等が挙げられる。各基板 1 1, 1 2 は、各基板主面 1 1 s, 1 2 s 及び各基板裏面 1 1 r, 1 2 r に Cu (銅) 箔が接合された DBC (Direct Bonding Copper) 基板を用いることができる。DBC 基板を用いることによって、各基板主面 1 1 s, 1 2 s に接合された銅箔をパターンングすること

によって搭載層及び導電層などを容易に形成することができる。また、各基板裏面11r、12rに接合された銅箔は、伝熱層とすることができる。

[0037] 図7及び図9に示すように、平面視における第1基板11の形状は、横方向Xが長辺方向となり、縦方向Yが短辺方向となる略矩形状である。図9に示すように、第1基板11は、第1基板側面11a、第2基板側面11b、第3基板側面11c、及び第4基板側面11dを主に有する。第1基板側面11a及び第2基板側面11bは、縦方向Yにおいて互いに反対側を向く面であり、横方向Xに沿って延びている。第1基板側面11aは第1基板11のうちの側壁81A側の側面であり、第2基板側面11bは第1基板11のうちの側壁81B側の側面である。第3基板側面11c及び第4基板側面11dは、横方向Xにおいて互いに反対側を向く面であり、縦方向Yに沿って延びている。第3基板側面11cは第1基板11のうちの端子台座82A側の側面であり、第4基板側面11dは第1基板11のうちの端子台座82B(図7参照)側の側面である。

[0038] 図9に示すように、第1基板11の第1基板主面11sには、搭載層の一例である第1搭載層13A及び第2搭載層13Bと、導電層14Aと、制御層の一例である第1制御層15A及び第2制御層15Bと、第1検出層16A及び第2検出層16Bと、サーミスタ搭載層17とが配置されている。

[0039] 第1搭載層13A、第2搭載層13B、及び導電層14Aは、縦方向Yにおいて離間して配置されている。第1搭載層13Aは、縦方向Yにおいて第2搭載層13B及び導電層14Aよりも第1基板11の第1基板側面11a側に配置されている。導電層14Aは、縦方向Yにおいて第1搭載層13A及び第2搭載層13Bよりも第1基板11の第2基板側面11b側に配置されている。第2搭載層13Bは、縦方向Yにおいて第1搭載層13Aと導電層14Aとの間に配置されている。

[0040] 第1搭載層13Aは、横方向Xに延びる帯状の主搭載部13aと、横方向Xにおける主搭載部13aのうちの第1基板11の第3基板側面11c側の端部に形成された接続部13bとを有する。本実施形態では、第1搭載層1

3 Aは、主搭載部 1 3 a 及び接続部 1 3 b が一体に形成された単一部材である。接続部 1 3 b は、縦方向 Y に延びており、主搭載部 1 3 a の縦方向 Y の両側から突出している。接続部 1 3 b は、横方向 X において端子台座 8 2 A (図 7 参照)、すなわち第 1 入力端子 5 1 A と隣り合うように配置されている。接続部 1 3 b には、第 1 入力端子 5 1 A の複数の接続部 5 1 b が接続されている。

[0041] 導電層 1 4 A は、横方向 X に延びる帯状の主導電部 1 4 a と、横方向 X における主導電部 1 4 a のうちの第 1 基板 1 1 の第 3 基板側面 1 1 c 側の端部に形成された接続部 1 4 b とを有する。本実施形態では、導電層 1 4 A は、主導電部 1 4 a 及び接続部 1 4 b が一体に形成された単一部材である。接続部 1 4 b は、縦方向 Y に延びており、主導電部 1 4 a の縦方向 Y の両側から突出している。主導電部 1 4 a の幅寸法 (主導電部 1 4 a の縦方向 Y の寸法) は、第 1 搭載層 1 3 A の主搭載部 1 3 a の幅寸法 (主搭載部 1 3 a の縦方向 Y の寸法) よりも小さい。接続部 1 4 b は、第 1 搭載層 1 3 A の接続部 1 3 b と縦方向 Y に隣り合うように配置されている。また、接続部 1 4 b は、横方向 X において端子台座 8 2 A、すなわち第 2 入力端子 5 1 B と隣り合うように配置されている。接続部 1 4 b には、第 2 入力端子 5 1 B の複数の接続部 5 1 b が接続されている。

[0042] 第 2 搭載層 1 3 B は、横方向 X において第 1 搭載層 1 3 A の接続部 1 3 b 及び導電層 1 4 A の接続部 1 4 b よりも第 1 基板 1 1 の第 4 基板側面 1 1 d 側に配置されている。平面視における第 2 搭載層 1 3 B の形状は、横方向 X に延びる帯状である。第 2 搭載層 1 3 B は、縦方向 Y において、第 1 搭載層 1 3 A の主搭載部 1 3 a と導電層 1 4 A の主導電部 1 4 a との間に配置されている。本実施形態では、第 2 搭載層 1 3 B は、縦方向 Y において、第 1 基板 1 1 のうちの第 2 基板側面 1 1 b 寄りに配置されている。詳細には、第 2 搭載層 1 3 B は、その縦方向 Y の中央部が第 1 基板 1 1 の縦方向 Y の中央部から横方向 X に延びる中心線 C L X よりも第 2 基板側面 1 1 b 側に位置するように配置されている。本実施形態では、横方向 X における第 2 搭載層 1 3

Bの第4基板側面11d側の端縁と、横方向Xにおける第1搭載層13Aのうちの主搭載部13aの第4基板側面11d側の端縁と、横方向Xにおける導電層14Aのうちの主導電部14aの第4基板側面11d側の端縁とは、縦方向Yに揃っている。第2搭載層13Bの幅寸法（第2搭載層13Bの縦方向Yの寸法）は、第1搭載層13Aの主搭載部13aの幅寸法（主搭載部13aの縦方向Yの寸法）及び導電層14Aの主導電部14aの幅寸法（主導電部14aの縦方向Yの寸法）よりも大きい。

[0043] 第1制御層15A及び第1検出層16Aはそれぞれ、縦方向Yにおいて第1搭載層13Aの主搭載部13aよりも第1基板11の第1基板側面11a側に配置されている。また、第1制御層15A及び第1検出層16Aはそれぞれ、横方向Xにおいて第1搭載層13Aの接続部13bよりも第1基板11の第4基板側面11d側に配置されている。平面視における第1制御層15A及び第1検出層16Aの形状はそれぞれ、横方向Xに延びる細帯状である。第1制御層15A及び第1検出層16Aは、縦方向Yに離間して配置されている。第1検出層16Aは、第1制御層15Aよりも第1搭載層13Aの主搭載部13a側に配置されている。換言すると、第1制御層15Aは、第1検出層16Aよりも第1基板11の第1基板側面11a側に配置されている。縦方向Yからみて、第1制御層15Aは、第1検出層16Aと重なっている。第1検出層16Aの横方向Xの長さは、第1制御層15Aの横方向Xの長さよりも長い。第1検出層16Aのうちの横方向Xにおける第1基板11の第4基板側面11d側の端部と、第1制御層15Aのうちの横方向Xにおける第1基板11の第4基板側面11d側の端部とは、縦方向Yにおいて揃っている。第1検出層16Aのうちの横方向Xにおける第1基板11の第3基板側面11c側の端部は、第1制御層15Aのうちの横方向Xにおける第3基板側面11c側の端部よりも第3基板側面11c側に位置している。

[0044] 第2制御層15B及び第2検出層16Bはそれぞれ、縦方向Yにおいて導電層14Aの主導電部14aよりも第1基板11の第2基板側面11b側に

配置されている。また、第2制御層15B及び第2検出層16Bはそれぞれ、横方向Xにおいて導電層14Aの接続部14bよりも第1基板11の第4基板側面11d側に配置されている。このように、平面視において、第1搭載層13Aの主搭載部13a、第2搭載層13B、及び導電層14Aの主導電部14aは、第1制御層15A及び第1検出層16Aと第2制御層15B及び第2検出層16Bとによって縦方向Yに挟まれている。換言すると、縦方向Yにおいて、第1制御層15A及び第1検出層16Aと第2制御層15B及び第2検出層16Bとは、第1搭載層13Aの主搭載部13a、第2搭載層13B、及び導電層14Aの主導電部14aの両側に配置されている。平面視における第2制御層15B及び第2検出層16Bの形状はそれぞれ、横方向Xに延びる細帯状である。第2制御層15B及び第2検出層16Bは、縦方向Yに離間して配置されている。第2検出層16Bは、第2制御層15Bよりも導電層14Aの主導電部14a側に配置されている。換言すると、第2制御層15Bは、第2検出層16Bよりも第1基板11の第2基板側面11b側に配置されている。縦方向Yからみて、第2検出層16Bは、第2制御層15Bと重なっている。縦方向Yからみて、第2検出層16Bは、導電層14Aの主導電部14aと重なっている。第2検出層16Bのうちの横方向Xにおける第1基板11の第3基板側面11c側の端部と、第2制御層15Bのうちの横方向Xにおける第1基板11の第3基板側面11c側の端部とは、縦方向Yにおいて揃っている。また、第2検出層16Bのうちの横方向Xにおける第1基板11の第4基板側面11d側の端部と、第2制御層15Bのうちの横方向Xにおける第1基板11の第4基板側面11d側の端部とは、縦方向Yにおいて揃っている。第2制御層15Bの横方向Xの長さは、第2検出層16Bの横方向Xの長さと同じ。第2制御層15B及び第2検出層16Bのそれぞれの横方向Xの長さは、第1制御層15A及び第1検出層16Aのそれぞれの横方向Xの長さよりも長い。

[0045] サーミスタ搭載層17は、縦方向Yにおいて第1搭載層13Aの主搭載部13aよりも第1基板11の第1基板側面11a側に配置されている。また

、サーミスタ搭載層 17 は、横方向 X からみて、第 1 搭載層 13 A の接続部 13 b、第 1 制御層 15 A、及び第 1 検出層 16 A に重なるように配置されている。また、サーミスタ搭載層 17 は、横方向 X において第 1 制御層 15 A 及び第 1 検出層 16 A と第 1 搭載層 13 A の接続部 13 b との間に配置されている。

[0046] サーミスタ搭載層 17 には、温度検出素子であるサーミスタ 18 が実装可能である。本実施形態では、サーミスタ搭載層 17 にサーミスタ 18 が実装されている。サーミスタ搭載層 17 は、横方向 X において互いに離間した一対の領域を有する。一方の領域には、サーミスタ 18 の正極が電氣的に接続可能であり、他方の領域には、サーミスタ 18 の負極が電氣的に接続可能である。

[0047] 図 7 及び図 10 に示すように、平面視における第 2 基板 12 の形状は、横方向 X が長辺方向となり、縦方向 Y が短辺方向となる略矩形状である。本実施形態では、第 2 基板 12 の形状は第 1 基板 11 に対して縦方向 Y に沿う中心線を中心とした対称形状であり、第 2 基板 12 の横方向 X、縦方向 Y、及び厚さ方向 Z のサイズは第 1 基板 11 の横方向 X、縦方向 Y、及び厚さ方向 Z のサイズと等しい。第 2 基板 12 は、第 1 基板側面 12 a、第 2 基板側面 12 b、第 3 基板側面 12 c、及び第 4 基板側面 12 d を主に有する。第 1 基板側面 12 a 及び第 2 基板側面 12 b は、縦方向 Y において互いに反対側を向く面であり、横方向 X に沿って延びている。第 1 基板側面 12 a は第 2 基板 12 のうちの側壁 81 A 側の側面であり、第 2 基板側面 12 b は第 2 基板 12 のうちの側壁 81 B 側の側面である。第 3 基板側面 12 c 及び第 4 基板側面 12 d は、横方向 X において互いに反対側を向く面であり、縦方向 Y に沿って延びている。第 3 基板側面 12 c は第 2 基板 12 のうちの端子台座 82 A (図 7 参照) 側の側面であり、第 4 基板側面 12 d は第 2 基板 12 のうちの端子台座 82 B (図 7 参照) 側の側面である。なお、第 2 基板 12 の形状は、第 1 基板 11 と対称形状でなくてもよく、第 2 基板 12 のサイズは第 1 基板 11 のサイズと異なってもよい。

- [0048] 図10に示すように、第2基板12の第2基板主面12sには、搭載層の一例である第1搭載層13C及び第2搭載層13Dと、導電層14Bと、制御層の一例である第1制御層15C及び第2制御層15Dと、第1検出層16C及び第2検出層16Dとが配置されている。
- [0049] 第1搭載層13C、第2搭載層13D、及び導電層14Bは、縦方向Yにおいて離間して配置されている。第1搭載層13Cは、縦方向Yにおいて第2搭載層13D及び導電層14Bよりも第2基板12の第1基板側面12a側に配置されている。導電層14Bは、縦方向Yにおいて第1搭載層13C及び第2搭載層13Dよりも第2基板12の第2基板側面12b側に配置されている。第2搭載層13Dは、縦方向Yにおいて第1搭載層13Cと導電層14Bとの間に配置されている。
- [0050] 第1搭載層13Cは、横方向Xに延びる帯状の主搭載部13cと、横方向Xにおける主搭載部13cのうちの第2基板12の第4基板側面12d側の端部に形成された接続部13dとを有する。本実施形態では、第1搭載層13Cは、主搭載部13c及び接続部13dが一体に形成された単一部材である。接続部13dは、縦方向Yに延びており、縦方向Yにおいて主搭載部13cから第2基板12の第1基板側面12a側に向けて突出している。このように、平面視における第1搭載層13Cの形状は、L字状である。
- [0051] 平面視における導電層14Bの形状は、横方向Xに延びる帯状である。導電層14Bの幅寸法（導電層14Bの縦方向Yの寸法）は、第1搭載層13Cの主搭載部13cの幅寸法（主搭載部13cの縦方向Yの寸法）よりも小さい。
- [0052] 第2搭載層13Dは、横方向Xに延びる帯状の主搭載部13eと、横方向Xにおける主搭載部13eのうちの第1基板11の第4基板側面11d側の端部に形成された接続部13fとを有する。本実施形態では、第2搭載層13Dは、主搭載部13e及び接続部13fが一体に形成された単一部材である。主搭載部13eは、縦方向Yにおいて第1搭載層13Cの主搭載部13cと導電層14Bとの間に配置されている。本実施形態では、主搭載部13

eは、縦方向Yにおいて、第2基板12のうちの第2基板側面12b寄りに配置されている。より詳細には、主搭載部13eは、その縦方向Yの中央部が中心線CLXよりも第2基板側面12b側に位置するように第2基板12に配置されている。横方向Xにおける主搭載部13eのうちの第2基板12の第3基板側面12c側の端縁と、横方向Xにおける第1搭載層13Cの主搭載部13cのうちの第2基板12の第3基板側面12c側の端縁と、横方向Xにおける導電層14Bのうちの第2基板12の第3基板側面12c側の端縁とは、縦方向Yに互いに揃っている。接続部13fは、縦方向Yに延びており、主搭載部13eの縦方向Yの両側から突出している。このように、平面視における第2搭載層13Dの形状は、T字状である。また、接続部13fは、第1搭載層13C及び導電層14Bよりも第2基板12の第4基板側面12d側に配置されている。接続部13fは、横方向Xにおいて端子台座82B、すなわち第1出力端子52A及び第2出力端子52Bと隣り合うように配置されている。接続部13fには、各出力端子52A、52Bの複数の接続部52bが接続されている。

[0053] 第1制御層15C及び第1検出層16Cはそれぞれ、縦方向Yにおいて第1搭載層13Cの主搭載部13cよりも第2基板12の第1基板側面12a側に配置されている。また、第1制御層15C及び第1検出層16Cはそれぞれ、横方向Xにおいて第1搭載層13Cの接続部13dよりも第2基板12の第3基板側面12c側に配置されている。平面視における第1制御層15C及び第1検出層16Cの形状はそれぞれ、横方向Xに延びる細帯状である。第1制御層15C及び第1検出層16Cは、縦方向Yに離間して配置されている。第1検出層16Cは、第1制御層15Cよりも第1搭載層13Cの主搭載部13c側に配置されている。換言すると、第1制御層15Cは、第1検出層16Cよりも第2基板12の第1基板側面12a側に配置されている。縦方向Yからみて、第1検出層16Cは、第1制御層15Cと重なっている。縦方向Yからみて、第1検出層16Cは、第1搭載層13Cの主搭載部13cと重なっている。横方向Xからみて、第1制御層15C及び第1

検出層 16C はそれぞれ、第 1 搭載層 13C の接続部 13d 及び第 2 搭載層 13D の接続部 13f と重なっている。第 1 制御層 15C の横方向 X の長さは、第 1 検出層 16C の横方向 X の長さと同じ。第 1 検出層 16C のうちの横方向 X における第 2 基板 12 の第 3 基板側面 12c 側の端部と、第 1 制御層 15C のうちの横方向 X における第 2 基板 12 の第 3 基板側面 12c 側の端部とは、縦方向 Y において揃っている。また、第 1 検出層 16C のうちの横方向 X における第 2 基板 12 の第 4 基板側面 12d 側の端部と、第 1 制御層 15C のうちの横方向 X における第 2 基板 12 の第 4 基板側面 12d 側の端部とは、縦方向 Y において揃っている。

[0054] 第 2 制御層 15D 及び第 2 検出層 16D はそれぞれ、縦方向 Y において導電層 14B よりも第 2 基板 12 の第 2 基板側面 12b 側に配置されている。また、第 2 制御層 15D 及び第 2 検出層 16D はそれぞれ、横方向 X において第 2 搭載層 13D の接続部 13f よりも第 2 基板 12 の第 3 基板側面 12c 側に配置されている。このように、平面視において、第 1 搭載層 13C の主搭載部 13c、第 2 搭載層 13D の主搭載部 13e、及び導電層 14B は、第 1 制御層 15C 及び第 1 検出層 16C と第 2 制御層 15D 及び第 2 検出層 16D とによって縦方向 Y に挟まれている。換言すると、縦方向 Y において、第 1 制御層 15C 及び第 1 検出層 16C と第 2 制御層 15D 及び第 2 検出層 16D とは、第 1 搭載層 13C の主搭載部 13c、第 2 搭載層 13D の主搭載部 13e、及び導電層 14B の両側に配置されている。平面視における第 2 制御層 15D 及び第 2 検出層 16D の形状はそれぞれ、横方向 X に延びる細帯状である。第 2 制御層 15D 及び第 2 検出層 16D は、縦方向 Y に離間して配置されている。第 2 検出層 16D は、第 2 制御層 15D よりも導電層 14B 側に配置されている。換言すると、第 2 制御層 15D は、第 2 検出層 16D よりも第 2 基板 12 の第 2 基板側面 12b 側に配置されている。縦方向 Y からみて、第 2 検出層 16D は、第 2 制御層 15D と重なっている。縦方向 Y からみて、第 2 制御層 15D は、導電層 14B と重なっている。第 2 検出層 16D のうちの横方向 X における第 2 基板 12 の第 3 基板側面 1

2 c 側の端部と、第2制御層15 Dのうちの横方向Xにおける第2基板12の第3基板側面12 c側の端部とは、縦方向Yにおいて揃っている。また、第2検出層16 Dのうちの横方向Xにおける第2基板12の第4基板側面12 d側の端部と、第2制御層15 Dのうちの横方向Xにおける第2基板12の第4基板側面12 d側の端部とは、縦方向Yにおいて揃っている。第2制御層15 Dの横方向Xの長さは、第2検出層16 Dの横方向Xの長さと同じ。第2制御層15 D及び第2検出層16 Dのそれぞれの横方向Xの長さは、第1制御層15 C及び第1検出層16 Cのそれぞれの横方向Xの長さよりも長い。

[0055] 図11に示すように、第1搭載層13 Aの主搭載部13 aと、第1搭載層13 Cの主搭載部13 cとは、縦方向Yに揃った状態で横方向Xに離間して配置されている。第2搭載層13 Bと、第2搭載層13 Dの主搭載部13 eとは、縦方向Yに揃った状態で横方向Xに離間して配置されている。導電層14 Aの主導電部14 aと、導電層14 Bとは、縦方向Yに揃った状態で横方向Xに離間して配置されている。

[0056] 第1搭載層13 Aの主搭載部13 aと第1搭載層13 Cの主搭載部13 cとは、板状の連結部材100 Aによって接続されている。第2搭載層13 Bと第2搭載層13 Dの主搭載部13 eとは、板状の連結部材100 Bによって接続されている。導電層14 Aの主導電部14 aと導電層14 Bとは、板状の連結部材100 Cによって接続されている。なお、連結部材100 Aは、特許請求の範囲の第1連結部材の一例であり、連結部材100 Bは、第2連結部材の一例であり、連結部材100 Cは、第3連結部材の一例である。

[0057] 図11に示すとおり、平面視において、連結部材100 A~100 Cの形状は互いに同じである。一例では、連結部材100 A~100 Cはそれぞれ、Cu又はCu合金によって構成されている。連結部材100 A~100 Cはそれぞれ、横方向Xに延びる一对の接続部101と、縦方向Yにおいて一对の接続部101を連結する連結部102とを有する。本実施形態では、連結部材100 A~100 Cはそれぞれ、一对の接続部101と連結部102

とが一体に形成された単一部材として構成されている。一对の接続部101は、縦方向Yにおいて互いに離間しており、それぞれが横方向Xに延びている。連結部102は、一对の接続部101の横方向Xの中央部同士を連結するように設けられている。このため、平面視における連結部材100A~100Cの形状はそれぞれ、H字状である。

[0058] 連結部材100Aの一对の接続部101は、第1搭載層13Aの主搭載部13aのうちの横方向Xにおける第1基板11の第4基板側面11d側（第1搭載層13C側）の端部と、第1搭載層13Cの主搭載部13cのうちの横方向Xにおける第2基板12の第3基板側面12c側（第1搭載層13A側）の端部とに接続されている。連結部材100Aの連結部102は、主搭載部13aと主搭載部13cとの横方向Xの間に位置している。このように連結部材100Aによって第1搭載層13Aと第1搭載層13Cとが電氣的に接続されている。

[0059] 連結部材100Bの一对の接続部101は、第2搭載層13Bのうちの横方向Xにおける第1基板11の第4基板側面11d側（第2搭載層13D側）の端部と、第2搭載層13Dの主搭載部13eのうちの横方向Xにおける第2基板12の第3基板側面12c側（第2搭載層13B側）の端部とに接続されている。連結部材100Bの連結部102は、第2搭載層13Bと主搭載部13eとの横方向Xの間に位置している。このように連結部材100Bによって第2搭載層13Bと第2搭載層13Dとが電氣的に接続されている。

[0060] 連結部材100Cの一对の接続部101は、導電層14Aの主導電部14aのうちの横方向Xにおける第1基板11の第4基板側面11d側（導電層14B側）の端部と、導電層14Bのうちの横方向Xにおける第2基板12の第3基板側面12c側（導電層14A側）の端部とに接続されている。連結部材100Cの連結部102は、主導電部14aと導電層14Bとの横方向Xの間に位置している。このように連結部材100Cによって導電層14Aと導電層14Bとが電氣的に接続されている。

[0061] 図 11 に示すとおり、第 1 制御層 15 A と第 1 制御層 15 C とは、縦方向 Y に揃った状態で横方向 X に離間して配置されている。第 1 検出層 16 A と第 1 検出層 16 C とは、縦方向 Y に揃った状態で横方向 X に離間して配置されている。第 2 制御層 15 B と第 2 制御層 15 D とは、縦方向 Y に揃った状態で横方向 X に離間して配置されている。第 2 検出層 16 B と第 2 検出層 16 D とは、縦方向 Y に揃った状態で横方向 X に離間して配置されている。

[0062] 第 1 制御層 15 A と第 1 制御層 15 C とは、第 1 制御層接続部材 103 A によって接続されている。第 1 検出層 16 A と第 1 検出層 16 C とは、第 1 検出層接続部材 104 A によって接続されている。第 2 制御層 15 B と第 2 制御層 15 D とは、第 2 制御層接続部材 103 B によって接続されている。第 2 検出層 16 B と第 2 検出層 16 D とは、第 2 検出層接続部材 104 B によって接続されている。各制御層接続部材 103 A, 103 B 及び各検出層接続部材 104 A, 104 B はそれぞれ、例えば、ワイヤボンディングによって形成されたワイヤである。

[0063] 第 1 制御層接続部材 103 A は、複数本のワイヤで構成されており、横方向 X における第 1 制御層 15 A のうちの第 1 基板 11 の第 4 基板側面 11 d 側（第 1 制御層 15 C 側）の端部と、横方向 X における第 1 制御層 15 C のうちの第 2 基板 12 の第 3 基板側面 12 c 側（第 1 制御層 15 A 側）の端部とを接続している。このように第 1 制御層接続部材 103 A によって、第 1 制御層 15 A と第 1 制御層 15 C とが電氣的に接続されている。

[0064] 第 1 検出層接続部材 104 A は、複数本のワイヤで構成されており、横方向 X における第 1 検出層 16 A のうちの第 1 基板 11 の第 4 基板側面 11 d 側（第 1 検出層 16 C 側）の端部と、横方向 X における第 1 検出層 16 C のうちの第 2 基板 12 の第 3 基板側面 12 c 側（第 1 検出層 16 A 側）の端部とを接続している。このように第 1 検出層接続部材 104 A によって、第 1 検出層 16 A と第 1 検出層 16 C とが電氣的に接続されている。

[0065] 第 2 制御層接続部材 103 B は、複数本のワイヤで構成されており、横方向 X における第 2 制御層 15 B のうちの第 1 基板 11 の第 4 基板側面 11 d

側（第2制御層15D側）の端部と、横方向Xにおける第2制御層15Dのうちの第2基板12の第3基板側面12c（第2制御層15B側）側の端部とを接続している。このように第2制御層接続部材103Bによって、第2制御層15Bと第2制御層15Dとが電氣的に接続されている。

[0066] 第2検出層接続部材104Bは、複数本のワイヤで構成されており、横方向Xにおける第2検出層16Bのうちの第1基板11の第4基板側面11d側（第2検出層16D側）の端部と、横方向Xにおける第2検出層16Dのうちの第2基板12の第3基板側面12c側（第2検出層16B側）の端部とを接続している。このように第2検出層接続部材104Bによって、第2検出層16Bと第2検出層16Dとが電氣的に接続されている。

[0067] 図9に示すように、ケース80の側壁81Aは、縦方向Yにおいて第1制御層15A、15C及びサーミスタ搭載層17と隣り合うように設けられている。このため、側壁81Aに設けられた第1制御端子53A、第1検出端子54A、電源電流端子55、及び一对の温度検出端子56はそれぞれ、縦方向Yにおいて第1制御層15A、15C及びサーミスタ搭載層17と隣り合うように配置されている。

[0068] より詳細には、図11に示すように、第1制御端子53A及び第1検出端子54Aは、第1制御層15Aよりも第2基板12側に配置されており、縦方向Yにおいて第1制御層15Cと隣り合うように配置されている。第1制御端子53A及び第1検出端子54Aは、横方向Xにおいて隣り合うように配置されている。図10に示すように、第1制御端子53A及び第1検出端子54Aは、横方向Xにおいて第2基板12の第3基板側面12c寄りに配置されている。横方向Xにおいて、第1検出端子54Aは、第1制御端子53Aよりも端子台座82B（図7参照）側に配置されている。

[0069] 電源電流端子55は、横方向Xにおいて第1制御端子53A及び第1検出端子54Aよりも端子台座82B側に配置されている。電源電流端子55は、縦方向Yにおいて第1搭載層13Cの接続部13dと隣り合うように配置されている。

- [0070] 図9に示すように、一对の温度検出端子56は、第1制御層15Aよりも第1基板11の第3基板側面11c側に配置されている。一对の温度検出端子56は、縦方向Yにおいてサーミスタ搭載層17と隣り合うように配置されている。
- [0071] 図11に示すように、ケース80の側壁81Bは、縦方向Yにおいて第2制御層15B、15Dと隣り合うように配置されている。このため、側壁81Bに設けられた第2制御端子53B及び第2検出端子54Bはそれぞれ、縦方向Yにおいて第2制御層15B、15Dと隣り合うように配置されている。
- [0072] より詳細には、第2制御端子53B及び第2検出端子54Bは、第2制御層15Dよりも第1基板11側に配置されており、縦方向Yにおいて第2制御層15Bと隣り合うように配置されている。第2制御端子53B及び第2検出端子54Bは、横方向Xにおいて隣り合うように配置されている。第2制御端子53B及び第2検出端子54Bは、横方向Xにおいて第1基板11の第4基板側面11d寄りに配置されている。横方向Xにおいて、第2制御端子53Bは、第2検出端子54Bよりも第2基板12側に配置されている。
- [0073] 図9～図11に示すように、接続部材20は、ボンディングワイヤとして形成される接続部材として、第1接続部材の一例である第1素子接続部材21A、第2接続部材の一例である第2素子接続部材21B、第1制御用接続部材22A、第2制御用接続部材22B、第1検出用接続部材23A、第2検出用接続部材23B、電源電流検出用接続部材24、第1制御端子用接続部材25A、第2制御端子用接続部材25B、第1検出端子用接続部材26A、第2検出端子用接続部材26B、及びサーミスタ用接続部材27を有する。各接続部材21A、21B、22A、22B、23A、23B、24、25A、25B、26A、26B、27の構成材料は、例えばAl（アルミニウム）である。なお、各接続部材21A、21B、22A、22B、23A、23B、24、25A、25B、26A、26B、27の構成材料は、

例えばAu（金）であってもよい。

- [0074] ここでは、電源電流検出用接続部材24、各制御端子用接続部材25A、25B、各検出端子用接続部材26A、26B、及びサーミスタ用接続部材27について説明し、各素子接続部材21A、21B、各制御用接続部材22A、22B、及び各検出用接続部材23A、23Bについては後述する。
- [0075] 図10に示すように、電源電流検出用接続部材24は、第2基板12における第1搭載層13Cの接続部13dと、電源電流端子55とを接続している。電源電流検出用接続部材24によって第1搭載層13Cと電源電流端子55とが電氣的に接続されている。
- [0076] 図11に示すように、第1制御端子用接続部材25Aは、第1制御層15Aと第1制御端子53Aとを接続している。第1制御端子用接続部材25Aは、第1制御層15Aのうちの第1基板11の第4基板側面11d寄りの部分に接続されている。第1制御端子用接続部材25A及び第1制御層接続部材103Aによって、第1制御層15A、15Cと第1制御端子53Aとが電氣的に接続されている。
- [0077] 第1検出端子用接続部材26Aは、第1検出層16Cと第1検出端子54Aとを接続している。第1検出端子用接続部材26Aは、横方向Xにおいて第1検出層16Cのうちの第1検出端子54Aよりも第1基板11側の部分に接続されている。第1検出端子用接続部材26A及び第1検出層接続部材104Aによって、第1検出層16A、16Cと第1検出端子54Aとが電氣的に接続されている。
- [0078] 図9に示すように、サーミスタ用接続部材27は、2本のワイヤから構成されており、サーミスタ搭載層17と温度検出端子56とを接続している。1本のワイヤは、サーミスタ搭載層17の一对の領域の一方の領域と一对の温度検出端子56の一方とを接続している。残りの1本のワイヤは、サーミスタ搭載層17の一对の領域の他方の領域と一对の温度検出端子56の他方とを接続している。このように、サーミスタ用接続部材27によって、サーミスタ18と温度検出端子56とが電氣的に接続されている。

- [0079] 図11に示すように、第2制御端子用接続部材25Bは、第2制御層15Dと第2制御端子53Bとを接続している。第2制御端子用接続部材25Bは、横方向Xにおいて第2制御層15Dのうちの第2基板12の第3基板側面12c寄りの部分に接続されている。第2制御端子用接続部材25B及び第2制御層接続部材103Bによって、第2制御層15B、15Dと第2制御端子53Bとが電氣的に接続されている。
- [0080] 第2検出端子用接続部材26Bは、第2検出層16Bと第2検出端子54Bとを接続している。第2検出端子用接続部材26Bは、横方向Xにおいて第2検出層16Bのうちの第1基板11の第4基板側面11d寄りの部分に接続されている。第2検出端子用接続部材26B及び第2検出層接続部材104Bによって、第2検出層16B、16Dと第2検出端子54Bとが電氣的に接続されている。
- [0081] 図12に示すように、第1基板11には、3個の第1パワー半導体素子30Aが電氣的に接続されており、第2基板12には、3個の第1パワー半導体素子30Aが電氣的に接続されている。すなわち、本実施形態では、6個の第1パワー半導体素子30Aによって、インバータ回路の上側アーム（図8の第1パワー半導体素子群30AT）が構成されている。第1基板11には、グラファイトプレートの一例である第1グラファイトプレート90Aが配置されており、第1グラファイトプレート90Aに3個の第1パワー半導体素子30Aが配置されている。第2基板12には、グラファイトプレートの一例である第1グラファイトプレート90Cが配置されており、第1グラファイトプレート90Cに3個の第1パワー半導体素子30Aが配置されている。以下、各グラファイトプレート90A、90C及び第1パワー半導体素子30Aに関して詳細に説明する。
- [0082] 図7及び図9に示すように、第1搭載層13Aの主搭載部13aには、第1グラファイトプレート90Aが積層されている。第1グラファイトプレート90Aは、Agペーストや半田などの導電性接合材によって主搭載部13aに接合されている。平面視において第1グラファイトプレート90Aの形

状は、横方向Xが長辺方向となり、縦方向Yが短辺方向となる矩形状である。第1グラファイトプレート90Aの縦方向Yの寸法は、主搭載部13aの幅寸法（主搭載部13aの縦方向Yの寸法）よりも小さい。第1グラファイトプレート90Aの厚さ寸法（第1グラファイトプレート90Aの厚さ方向Zの寸法）は、第1基板11の厚さ寸法（第1基板11の厚さ方向Zの寸法）よりも大きい。一例では、第1グラファイトプレート90Aの厚さ寸法は、約2mmである。

[0083] 図12に示すように、第1グラファイトプレート90Aは、厚さ方向Zにおいて互いに反対側を向く第1プレート主面95A及び第1プレート裏面96Aを有する。第1プレート主面95Aは、プレート主面の一例であり、厚さ方向Zにおいて第1基板11の第1基板主面11sと同じ側を向いている。第1プレート裏面96Aは、プレート裏面の一例であり、厚さ方向Zにおいて第1基板11の第1基板裏面11rと同じ側を向いている。第1プレート主面95Aには、主面側導電層97Aが積層されている。第1プレート裏面96Aには、裏面側導電層98Aが積層されている。このため、第1グラファイトプレート90Aが主搭載部13aに搭載される場合、導電性接合材によって裏面側導電層98Aが主搭載部13aに接合されている。本実施形態では、第1プレート主面95Aの全面にわたり主面側導電層97Aが形成されている。第1プレート裏面96Aの全面にわたり裏面側導電層98Aが形成されている。なお、主面側導電層97Aは、第1プレート主面95Aに部分的に形成されてもよい。裏面側導電層98Aは、第1プレート裏面96Aに部分的に形成されてもよい。

[0084] 図9に示すように、第1グラファイトプレート90Aは、縦方向Yにおいて反対側を向く第1プレート側面91A及び第2プレート側面92Aと、横方向Xにおいて反対側を向く第3プレート側面93A及び第4プレート側面94Aとを有する。第1プレート側面91Aは第1基板11の第1基板側面11aと同じ側を向いており、第2プレート側面92Aは第1基板11の第2基板側面11bと同じ側を向いている。第3プレート側面93Aは第1基

板 1 1 の第 3 基板側面 1 1 c と同じ側を向いており、第 4 プレート側面 9 4 A は第 1 基板 1 1 の第 4 基板側面 1 1 d と同じ側を向いている。

[0085] 平面視において、第 1 プレート側面 9 1 A は、第 1 搭載層 1 3 A の主搭載部 1 3 a のうちの縦方向 Y における第 1 基板 1 1 の第 1 基板側面 1 1 a 側の端縁 1 3 g に対して第 1 基板 1 1 の第 2 基板側面 1 1 b 側に位置しており、かつ端縁 1 3 g と縦方向 Y に隣り合うように配置されている。平面視において、第 2 プレート側面 9 2 A は、主搭載部 1 3 a のうちの縦方向 Y における第 1 基板 1 1 の第 2 基板側面 1 1 b 側の端縁 1 3 h に対して第 1 基板 1 1 の第 1 基板側面 1 1 a 側に位置しており、かつ端縁 1 3 h と縦方向 Y に隣り合うように配置されている。このように第 1 グラファイトプレート 9 0 A の縦方向 Y の寸法は、主搭載部 1 3 a の幅寸法（主搭載部 1 3 a の縦方向 Y の寸法）よりも僅かに小さい。

[0086] 平面視において、第 3 プレート側面 9 3 A は、第 1 搭載層 1 3 A の主搭載部 1 3 a のうちの横方向 X の第 1 基板 1 1 の第 3 基板側面 1 1 c 側の端部に位置している。詳細には、第 3 プレート側面 9 3 A は、接続部 1 3 b に接続された第 1 入力端子 5 1 A の接続部 5 1 b と横方向 X に隣り合うように位置している。平面視において、第 4 プレート側面 9 4 A は、主搭載部 1 3 a のうちの第 1 基板 1 1 の第 4 基板側面 1 1 d 側の端部に位置している。詳細には、平面視において、第 4 プレート側面 9 4 A は、主搭載部 1 3 a に接続された連結部材 1 0 0 A と横方向 X に隣り合うように位置している。このように、第 1 グラファイトプレート 9 0 A は、第 1 搭載層 1 3 A における第 1 入力端子 5 1 A と連結部材 1 0 0 A との横方向 X の間において、可能な限り横方向 X の長さが長くなるように設けられている。

[0087] 第 1 グラファイトプレート 9 0 A の第 1 プレート主面 9 5 A には、複数（本実施形態では 3 個）の第 1 パワー半導体素子 3 0 A 及び複数（本実施形態では 3 個）の第 1 ダイオード 4 0 A が配置されている。より詳細には、複数の第 1 パワー半導体素子 3 0 A 及び複数の第 1 ダイオード 4 0 A は、A g ペーストや半田などの導電性接合材によって主面側導電層 9 7 A に接合されて

いる。以降の説明において、説明の便宜上、3個の第1パワー半導体素子30Aを第1パワー半導体素子30Aa、30Ab、30Acと称し、3個の第1ダイオード40Aを第1ダイオード40Aa、40Ab、40Acと称する。

[0088] 平面視において、第1パワー半導体素子30Aa、30Ab、30Acは、縦方向Yに揃った状態で横方向Xに互いに離間して配列されている。第1パワー半導体素子30Aa、30Ab、30Acはそれぞれ、縦方向Yにおいて第1グラファイトプレート90Aの第1プレート側面91A寄りに配置されている。本実施形態では、第1パワー半導体素子30Aa、30Ab、30Acはそれぞれ、縦方向Yにおいて第1グラファイトプレート90Aの第1プレート主面95A（主面側導電層97A）のうちの第1プレート側面91A側の端部に配置されている。より詳細には、平面視において、第1パワー半導体素子30Aa、30Ab、30Acはそれぞれ、縦方向Yにおいて第1プレート側面91Aと隣り合うように配置されている。このように、平面視において、第1パワー半導体素子30Aa、30Ab、30Acはそれぞれ、縦方向Yにおいて第1制御層15A及び第1検出層16Aの近くに配置されている。

[0089] 第1パワー半導体素子30Aaは、横方向Xにおいて第1グラファイトプレート90Aの第3プレート側面93A寄りに配置されている。本実施形態では、第1パワー半導体素子30Aaは、横方向Xにおいて第1グラファイトプレート90Aの第1プレート主面95A（主面側導電層97A）のうちの第3プレート側面93A側の端部に配置されている。より詳細には、平面視において、第1パワー半導体素子30Aaは、横方向Xにおいて第3プレート側面93Aと隣り合うように配置されている。平面視において、第1パワー半導体素子30Aaは、第1制御層15A及び第1検出層16Aよりも第1基板11の第3基板側面11c側に配置されている。縦方向Yからみて、第1パワー半導体素子30Aaは、一对のサーミスタ搭載層17と重なるように配置されている。

[0090] 第1パワー半導体素子30A bは、横方向Xにおいて第1グラファイトプレート90Aの第1プレート主面95A（主面側導電層97A）のうちの中央部に配置されている。

第1パワー半導体素子30A cは、横方向Xにおいて第1グラファイトプレート90Aの第4プレート側面94A寄りに配置されている。本実施形態では、第1パワー半導体素子30A cは、横方向Xにおいて第1グラファイトプレート90Aの第1プレート主面95A（主面側導電層97A）のうちの第4プレート側面94A側の端部に配置されている。より詳細には、平面視において、第1パワー半導体素子30A cは、横方向Xにおいて第4プレート側面94Aと隣り合うように配置されている。

[0091] 横方向Xにおける第1パワー半導体素子30A aと第1パワー半導体素子30A bとの間の距離DX1は、横方向Xにおける第1パワー半導体素子30A aと第1入力端子51Aの接続部51bとの間の距離DX2よりも大きい。一例では、距離DX1は、距離DX2の2倍以上である。好ましくは、距離DX1は、距離DX2の3倍以上である。より好ましくは、距離DX1は、距離DX2の4倍以上である。本実施形態では、距離DX1は、距離DX2の約4.6倍である。

[0092] 横方向Xにおける第1パワー半導体素子30A cと第1パワー半導体素子30A bとの間の距離DX3は、横方向Xにおける第1パワー半導体素子30A cと連結部材100Aとの間の距離DX4よりも大きい。一例では、距離DX3は、距離DX4の2倍以上である。好ましくは、距離DX3は、距離DX4の3倍以上である。より好ましくは、距離DX3は、距離DX4の4倍以上である。本実施形態では、距離DX3は、距離DX4の約7.4倍である。また、本実施形態では、距離DX3は、距離DX1と等しい。ここで、距離DX3と距離DX1との差が例えば距離DX1の5%以内であれば、距離DX3が距離DX1と等しいといえる。

[0093] 平面視において、第1ダイオード40A a、40A b、40A cは、縦方向Yに揃った状態で横方向Xに互いに離間して配列されている。第1ダイオ

ード40Aa, 40Ab, 40Acはそれぞれ、縦方向Yにおいて第1グラフィットプレート90Aの第2プレート側面92A寄りに配置されている。本実施形態では、第1ダイオード40Aa, 40Ab, 40Acはそれぞれ、縦方向Yにおいて第1グラフィットプレート90Aの第1プレート主面95A（主面側導電層97A）のうちの第2プレート側面92A側の端部に配置されている。より詳細には、平面視において、第1ダイオード40Aa, 40Ab, 40Acはそれぞれ、縦方向Yにおいて第2プレート側面92Aと隣り合うように配置されている。このように、平面視において、第1ダイオード40Aa, 40Ab, 40Acはそれぞれ、縦方向Yにおいて第1制御層15A及び第1検出層16Aとは反対側に配置されている。第1ダイオード40Aa, 40Ab, 40Acはそれぞれ、縦方向Yにおいて第2搭載層13Bの近くに配置されている。

[0094] 第1ダイオード40Aaは、横方向Xにおいて第1パワー半導体素子30Aaと揃った状態で縦方向Yにおいて第1パワー半導体素子30Aaに離間して配置されている。第1ダイオード40Abは、横方向Xにおいて第1パワー半導体素子30Abと揃った状態で縦方向Yにおいて第1パワー半導体素子30Abに離間して配置されている。第1ダイオード40Acは、横方向Xにおいて第1パワー半導体素子30Acと揃った状態で縦方向Yにおいて第1パワー半導体素子30Acに離間して配置されている。

[0095] 第1パワー半導体素子30Aa, 30Ab, 30Acは、互いに同一構造であり、かつ同一の向きとなるように配置されている。図13に示すように、第1パワー半導体素子30Aa, 30Ab, 30Acはそれぞれ、厚さ方向Zにおいて互いに反対側を向く素子主面30s及び素子裏面30rを有する。なお、第1パワー半導体素子30Aの素子主面30sは、第1素子主面の一例であり、第1パワー半導体素子30Aの素子裏面30rは、第1素子裏面の一例である。

[0096] 第1パワー半導体素子30Aa, 30Ab, 30Acの素子裏面30rには、ドレイン電極31（図13では図示略）が形成されている。本実施形態

では、ドレイン電極31は、素子裏面30rの全体にわたり形成されている。ドレイン電極31は、導電性接合材を介して第1グラファイトプレート90Aの第1プレート主面95Aに積層された主面側導電層97Aに接合されている。これにより、第1パワー半導体素子30Aa, 30Ab, 30Acのドレイン電極31は、第1グラファイトプレート90Aを介して第1搭載層13Aに電氣的に接続されている。第1搭載層13Aが第1入力端子51Aに電氣的に接続されているため、第1パワー半導体素子30Aa, 30Ab, 30Acのドレイン電極31は第1入力端子51Aと電氣的に接続されている。

[0097] 図14に示すように、第1パワー半導体素子30Abの素子主面30sには、ソース電極32及びゲート電極33が形成されている。本実施形態では、ソース電極32は、第1ソース電極32A及び第2ソース電極32Bを含む。平面視において、第1ソース電極32A及び第2ソース電極32Bは、縦方向Yに離間して配置されている。第1ソース電極32Aは、第2ソース電極32Bよりも第1グラファイトプレート90Aの第1プレート側面91A側に配置されている。平面視において、ゲート電極33は、ソース電極32に形成された凹部32a内に配置されている。なお、図14では図示していないが、第1パワー半導体素子30Aa, 30Acの素子主面30sにも第1パワー半導体素子30Abの素子主面と同様に、ソース電極32及びゲート電極33が形成されている。

[0098] 第1ダイオード40Aa, 40Ab, 40Acは、互いに同一構造である。図15及び図16に示すように、第1ダイオード40Abは、厚さ方向Zにおいて互いに反対側を向く主面40s及び裏面40rを有する。主面40sは厚さ方向Zにおいて素子主面30sと同じ側を向く面であり、裏面40rは厚さ方向Zにおいて素子裏面30rと同じ側を向く面である。なお、主面40sは、特許請求の範囲に記載の第1ダイオードの第1主面の一例である。裏面40rは、特許請求の範囲に記載の第1ダイオードの第1裏面の一例である。

[0099] 第1ダイオード40Abの裏面40rには、カソード電極42（図16では図示略）が形成されている。カソード電極42は、例えば裏面40rの全体にわたり形成されている。カソード電極42は、導電性接合材を介して第1グラファイトプレート90Aの第1プレート主面95Aに積層された主面側導電層97Aに接合されている。これにより、第1ダイオード40Abのカソード電極42は、第1パワー半導体素子30Aa、30Ab、30Acのドレイン電極31と電氣的に接続されている。

[0100] 図14に示すように、第1ダイオード40Aa、40Ab、40Acの主面40sには、アノード電極41が形成されている。アノード電極41は、例えば主面40sの大部分にわたり形成されている。なお、図15及び図16では図示しないが、第1ダイオード40Aa、40Acも第1ダイオード40Abと同様に主面40s及び裏面40rを有する。そして第1ダイオード40Aa、40Acの主面40sにはアノード電極41が形成されており、裏面40rにはカソード電極42が形成されている。これにより、第1ダイオード40Aa、40Acのカソード電極42は、第1パワー半導体素子30Aa、30Ab、30Acのドレイン電極31と電氣的に接続されている。

[0101] 次に、第1パワー半導体素子30A及び第1ダイオード40Aと、第1素子接続部材21A、第1制御用接続部材22A、及び第1検出用接続部材23Aとの関係について説明する。

[0102] 図14～図16に示すように、第1パワー半導体素子30Abのソース電極32と、第1ダイオード40Abのアノード電極41と、第2搭載層13Bとは、第1素子接続部材21Aによって接続されている。より詳細には、第1素子接続部材21Aは、複数本（本実施形態では5本）の第1素子接続部材21Aa及び複数本（本実施形態では4本）の第1素子接続部材21Abを含む。複数の第1素子接続部材21Aaはそれぞれ、第1パワー半導体素子30Abの第2ソース電極32Bと第1ダイオード40Abのアノード電極41と第2搭載層13Bとを接続している。複数の第1素子接続部材2

1 A bはそれぞれ、第1パワー半導体素子30 A bの第1ソース電極32 Aと第2搭載層13 Bとを接続している。

[0103] 複数の第1素子接続部材21 A aは、第2ソース電極32 Bに対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されており、アノード電極41に対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されており、第2搭載層13 Bに対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されている。平面視において、第2ソース電極32 Bとアノード電極41と第2搭載層13 Bとを接続する複数の第1素子接続部材21 A aは、縦方向Yに沿って延びている。

[0104] 複数の第1素子接続部材21 A bは、横方向Xにおいて第1ソース電極32 Aのうちの第1グラファイトプレート90 Aの第3プレート側面93 A（図9参照）寄りの領域に接続されている。複数の第1素子接続部材21 A bは、第1ソース電極32 Aに対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されている。複数の第1素子接続部材21 A bは、複数の第1素子接続部材21 A aを跨ぐように形成されている。2本の第1素子接続部材21 A bは、第2搭載層13 Bのうちの第2搭載層13 Bに接続された複数の第1素子接続部材21 A aよりも第1基板11の第3基板側面11 c（図9参照）側の部分に、複数の第1素子接続部材21 A aと横方向Xに隣り合うように接続されている。残りの2本の第1素子接続部材21 A bは、第2搭載層13 Bのうちの第2搭載層13 Bに接続された複数の第1素子接続部材21 A aよりも第1基板11の第4基板側面11 d（図9参照）側の部分に、複数の第1素子接続部材21 A aと横方向Xに隣り合うように接続されている。このように、複数の第1素子接続部材21 A aは、2本の第1素子接続部材21 A aと残りの2本の第1素子接続部材21 A aとの横方向Xの間隔が第1ソース電極32 Aから第2搭載層13 Bに向かうにつれて徐々に広くなるように形成されている。

[0105] 第1パワー半導体素子30 A bの第1ソース電極32 Aと第1検出層16 Aとは、第1検出用接続部材23 Aによって接続されている。第1検出用接

続部材 2 3 A は、第 1 ソース電極 3 2 A のうちの第 1 素子接続部材 2 1 A b よりも第 1 基板 1 1 の第 4 基板側面 1 1 d 側の領域に接続されている。第 1 検出用接続部材 2 3 A は、横方向 X において第 1 検出層 1 6 A の中央部付近に接続されている。このように、第 1 検出用接続部材 2 3 A によって、第 1 ソース電極 3 2 A は、第 1 検出層 1 6 A, 1 6 C を介して第 1 検出端子 5 4 A と電氣的に接続されている。

[0106] 第 1 パワー半導体素子 3 0 A b のゲート電極 3 3 と第 1 制御層 1 5 A とは、第 1 制御用接続部材 2 2 A によって接続されている。第 1 制御用接続部材 2 2 A は、横方向 X において第 1 制御層 1 5 A の中央部付近に接続されている。このように、第 1 制御用接続部材 2 2 A によって、ゲート電極 3 3 は、第 1 制御層 1 5 A, 1 5 C を介して第 1 制御端子 5 3 A (図 1 1 参照) と電氣的に接続されている。

[0107] なお、第 1 素子接続部材 2 1 A (2 1 A a, 2 1 A b) によって第 1 パワー半導体素子 3 0 A c のソース電極 3 2 と、第 1 ダイオード 4 0 A c のアノード電極 4 1 と、第 2 搭載層 1 3 B とが接続される構成は、第 1 素子接続部材 2 1 A (2 1 A a, 2 1 A b) によって第 1 パワー半導体素子 3 0 A b のソース電極 3 2 と、第 1 ダイオード 4 0 A b のアノード電極 4 1 と、第 2 搭載層 1 3 B とが接続される構成と同じである。

[0108] 一方、第 1 素子接続部材 2 1 A (2 1 A a, 2 1 A b) によって第 1 パワー半導体素子 3 0 A a のソース電極 3 2 と、第 1 ダイオード 4 0 A a のアノード電極 4 1 と、第 2 搭載層 1 3 B とが接続される構成は、第 1 素子接続部材 2 1 A (2 1 A a, 2 1 A b) によって第 1 パワー半導体素子 3 0 A b のソース電極 3 2 と、第 1 ダイオード 4 0 A b のアノード電極 4 1 と、第 2 搭載層 1 3 B とが接続される構成に対して一部が異なる。詳細には、平面視において、第 1 素子接続部材 2 1 A a のうちの第 1 ダイオード 4 0 A a のアノード電極 4 1 と第 2 搭載層 1 3 B とを接続する部分は、アノード電極 4 1 から第 2 搭載層 1 3 B に向かうにつれて第 1 基板 1 1 の第 4 基板側面 1 1 d 側に向けて傾斜している。

[0109] また、第1制御用接続部材22Aによって第1パワー半導体素子30Aaのゲート電極33と第1制御層15Aとが接続される構成、及び第1制御用接続部材22Aによって第1パワー半導体素子30Acのゲート電極33と第1制御層15Aとが接続される構成は、第1制御用接続部材22Aによって第1パワー半導体素子30Abのゲート電極33と第1制御層15Aとが接続される構成と同じである。

[0110] 図9に示すように、第1パワー半導体素子30Aaのゲート電極33に接続された第1制御用接続部材22Aは、横方向Xにおいて第1制御層15Aのうちの第1基板11の第3基板側面11c側の端部に接続されている。第1パワー半導体素子30Acのゲート電極33に接続された第1制御用接続部材22Aは、横方向Xにおいて第1制御層15Aのうちの第1基板11の第4基板側面11d側の端部に接続されている。より詳細には、第1パワー半導体素子30Acのゲート電極33に接続された第1制御用接続部材22Aは、横方向Xにおいて第1制御層15Aのうちの第1制御層接続部材103Aのうちの第1制御層15Aに接続された部分と、第1制御端子用接続部材25Aのうちの第1制御層15Aに接続された部分との間の部分に接続されている。

[0111] また、第1検出用接続部材23Aによって第1パワー半導体素子30Aaのソース電極32と第1検出層16Aとが接続される構成、及び第1検出用接続部材23Aによって第1パワー半導体素子30Acのソース電極32と第1検出層16Aとが接続される構成は、第1検出用接続部材23Aによって第1パワー半導体素子30Abのソース電極32と第1検出層16Aとが接続される構成と同じである。

[0112] 第1パワー半導体素子30Aaのソース電極32に接続された第1検出用接続部材23Aは、横方向Xにおいて第1検出層16Aのうちの第1基板11の第3基板側面11c側の端部に接続されている。第1パワー半導体素子30Acのソース電極32に接続された第1検出用接続部材23Aは、横方向Xにおいて第1検出層16Aのうちの第1基板11の第4基板側面11d

側の部分に接続されている。

- [0113] 図10及び図17に示すように、第2基板12の第1搭載層13Cには、第1グラファイトプレート90Cが積層されている。第1グラファイトプレート90Cは、Agペーストや半田などの導電性接合材によって第1搭載層13Cの主搭載部13cに接合されている。平面視において第1グラファイトプレート90Cの形状は、横方向Xが長辺方向となり、縦方向Yが短辺方向となる矩形状である。第1グラファイトプレート90Cの縦方向Yの寸法は、主搭載部13cの幅寸法（主搭載部13cの縦方向Yの寸法）よりも小さい。第1グラファイトプレート90Cの厚さ寸法（第1グラファイトプレート90Cの厚さ方向Zの寸法）は、第2基板12の厚さ寸法（第2基板12の厚さ方向Zの寸法）よりも大きい。
- [0114] 第1グラファイトプレート90Cのサイズは、第1グラファイトプレート90Aのサイズと同じである。より詳細には、第1グラファイトプレート90Cの縦方向Yの寸法は、第1グラファイトプレート90Aの縦方向Yの寸法と等しい。また第1グラファイトプレート90Cの横方向Xの寸法は、第1グラファイトプレート90Aの横方向Xの寸法と等しい。また第1グラファイトプレート90Cの厚さ寸法（第1グラファイトプレート90Cの厚さ方向Zの寸法）は、第1グラファイトプレート90Aの厚さ寸法（第1グラファイトプレート90Aの厚さ方向Zの寸法）と等しい。
- [0115] ここで、第1グラファイトプレート90Cの縦方向Yの寸法と第1グラファイトプレート90Aの縦方向Yの寸法との差が例えば第1グラファイトプレート90Aの縦方向Yの寸法の5%以内であれば、第1グラファイトプレート90Cの縦方向Yの寸法が第1グラファイトプレート90Aの縦方向Yの寸法と等しいと言える。また、第1グラファイトプレート90Cの横方向Xの寸法と第1グラファイトプレート90Aの横方向Xの寸法との差が例えば第1グラファイトプレート90Aの横方向Xの寸法の5%以内であれば、第1グラファイトプレート90Cの横方向Xの寸法が第1グラファイトプレート90Aの横方向Xの寸法と等しいと言える。また、第1グラファイトプレ

レート90Cの厚さ方向Zの寸法と第1グラファイトプレート90Aの厚さ方向Zの寸法との差が例えば第1グラファイトプレート90Aの厚さ方向Zの寸法の5%以内であれば、第1グラファイトプレート90Cの厚さ寸法が第1グラファイトプレート90Aの厚さ寸法と等しいと言える。

[0116] 第1グラファイトプレート90Cは、厚さ方向Zにおいて互いに反対側を向く第1プレート主面95C及び第1プレート裏面96Cを有する。第1プレート主面95Cは、厚さ方向Zにおいて第2基板12の第2基板主面12sと同じ側を向いている。第1プレート裏面96Cは、厚さ方向Zにおいて第2基板12の第2基板裏面12rと同じ側を向いている。第1プレート主面95Cには、主面側導電層97Cが積層されている。第1プレート裏面96Cには、裏面側導電層98Cが積層されている。このため、第1グラファイトプレート90Cが主搭載部13cに搭載される場合、導電性接合材によって裏面側導電層98Cが主搭載部13cに接合されている。本実施形態では、第1プレート主面95Cの全面にわたり主面側導電層97Cが形成されている。第1プレート裏面96Cの全面にわたり裏面側導電層98Cが形成されている。なお、主面側導電層97Cは、第1プレート主面95Cに部分的に形成されてもよい。裏面側導電層98Cは、第1プレート裏面96Cに部分的に形成されてもよい。

[0117] 第1グラファイトプレート90Cは、縦方向Yにおいて反対側を向く第1プレート側面91C及び第2プレート側面92Cと、横方向Xにおいて反対側を向く第3プレート側面93C及び第4プレート側面94Cとを有する。第1プレート側面91Cは第2基板12の第1基板側面12aと同じ側を向いており、第2プレート側面92Cは第2基板12の第2基板側面12bと同じ側を向いている。第3プレート側面93Cは第2基板12の第3基板側面12cと同じ側を向いており、第4プレート側面94Cは第2基板12の第4基板側面12dと同じ側を向いている。

[0118] 平面視において、第1プレート側面91Cは、第1搭載層13Cの主搭載部13cのうちの縦方向Yにおける第2基板12の第1基板側面12a側の

端縁 1 3 k に対して第 2 基板 1 2 の第 2 基板側面 1 2 b 側に位置しており、かつ端縁 1 3 k と縦方向 Y に隣り合うように配置されている。平面視において、第 2 プレート側面 9 2 C は、主搭載部 1 3 c のうちの縦方向 Y における第 2 基板 1 2 の第 2 基板側面 1 2 b 側の端縁 1 3 m に対して第 2 基板 1 2 の第 1 基板側面 1 2 a 側に位置しており、かつ端縁 1 3 m と縦方向 Y に隣り合うように配置されている。このように第 1 グラファイトプレート 9 0 C の縦方向 Y の寸法は、主搭載部 1 3 c の幅寸法（主搭載部 1 3 c の縦方向 Y の寸法）よりも僅かに小さい。

[0119] 平面視において、第 3 プレート側面 9 3 C は、第 1 搭載層 1 3 C の主搭載部 1 3 c のうちの横方向 X の第 2 基板 1 2 の第 3 基板側面 1 2 c 側の端部に位置している。詳細には、平面視において、第 3 プレート側面 9 3 C は、主搭載部 1 3 c に接続された連結部材 1 0 0 A と横方向 X に隣り合うように位置している。平面視において、第 4 プレート側面 9 4 C は、主搭載部 1 3 c のうちの第 2 基板 1 2 の第 4 基板側面 1 2 d 側の端部に位置している。縦方向 Y からみて、第 1 グラファイトプレート 9 0 C は、第 1 搭載層 1 3 C の接続部 1 3 d と重なっている。このように、第 1 グラファイトプレート 9 0 C は、第 1 搭載層 1 3 C における第 2 基板 1 2 の第 4 基板側面 1 2 d 側の端縁と連結部材 1 0 0 A との横方向 X の間において、可能な限り横方向 X の長さが長くなるように設けられている。

[0120] 第 1 グラファイトプレート 9 0 C の第 1 プレート主面 9 5 C には、複数（本実施形態では 3 個）の第 1 パワー半導体素子 3 0 A 及び複数（本実施形態では 3 個）の第 1 ダイオード 4 0 A が配置されている。より詳細には、複数の第 1 パワー半導体素子 3 0 A 及び複数の第 1 ダイオード 4 0 A は、A g ペーストや半田などの導電性接合材によって、第 1 プレート主面 9 5 C に積層された主面側導電層 9 7 A に接合されている。以降の説明において、説明の便宜上、3 個の第 1 パワー半導体素子 3 0 A を第 1 パワー半導体素子 3 0 A d、3 0 A e、3 0 A f と称し、3 個の第 1 ダイオード 4 0 A を第 1 ダイオード 4 0 A d、4 0 A e、4 0 A f と称する。

[0121] 平面視において、第1パワー半導体素子30Ad, 30Ae, 30Afは、縦方向Yに揃った状態で横方向Xに互いに離間して配列されている。第1パワー半導体素子30Ad, 30Ae, 30Afはそれぞれ、縦方向Yにおいて第1グラファイトプレート90Cの第1プレート側面91C寄りに配置されている。本実施形態では、第1パワー半導体素子30Ad, 30Ae, 30Afはそれぞれ、縦方向Yにおいて第1グラファイトプレート90Cの第1プレート主面95C（主面側導電層97C）のうちの第1プレート側面91C側の端部に配置されている。より詳細には、平面視において、第1パワー半導体素子30Ad, 30Ae, 30Afはそれぞれ、縦方向Yにおいて第1プレート側面91Cと隣り合うように配置されている。このように、平面視において、第1パワー半導体素子30Ad, 30Ae, 30Afはそれぞれ、縦方向Yにおいて第1制御層15C及び第1検出層16Cの近くに配置されている。

[0122] 第1パワー半導体素子30Adは、横方向Xにおいて第1グラファイトプレート90Cの第3プレート側面93C寄りに配置されている。本実施形態では、第1パワー半導体素子30Acは、横方向Xにおいて第1グラファイトプレート90Cの第1プレート主面95C（主面側導電層97C）のうちの第3プレート側面93C側の端部に配置されている。より詳細には、平面視において、第1パワー半導体素子30Acは、横方向Xにおいて第3プレート側面93Cと隣り合うように配置されている。縦方向Yからみて、第1パワー半導体素子30Acは、第1制御層15C及び第1検出層16Cと重なるように配置されている。

[0123] 第1パワー半導体素子30Aeは、横方向Xにおいて第1グラファイトプレート90Cの第1プレート主面95C（主面側導電層97C）のうちの中央部に配置されている。

第1パワー半導体素子30Afは、横方向Xにおいて第1グラファイトプレート90Cの第4プレート側面94C寄りに配置されている。本実施形態では、第1パワー半導体素子30Afは、横方向Xにおいて第1グラファイト

トプレート90Cの第1プレート主面95C（主面側導電層97C）のうちの第4プレート側面94C側の端部に配置されている。より詳細には、平面視において、第1パワー半導体素子30Afは、横方向Xにおいて第4プレート側面94Cと隣り合うように配置されている。また、第1パワー半導体素子30Afは、横方向Xにおいて、第1制御層15C及び第1検出層16Cよりも第2基板12の第4基板側面12d側に配置されている。縦方向Yからみて、第1パワー半導体素子30Afは、第1搭載層13Cの接続部13dと重なっている。

[0124] 横方向Xにおける第1パワー半導体素子30Adと第1パワー半導体素子30Aeとの間の距離DX9は、横方向Xにおける第1パワー半導体素子30Adと連結部材100Aとの間の距離DX10よりも大きい。一例では、距離DX9は、距離DX10の2倍以上である。好ましくは、距離DX9は、距離DX10の3倍以上である。より好ましくは、距離DX9は、距離DX10の4倍以上である。本実施形態では、距離DX9は、距離DX10の約7.4倍である。

[0125] 横方向Xにおける第1パワー半導体素子30Afと第1パワー半導体素子30Aeとの間の距離DX11は、横方向Xにおける第1パワー半導体素子30Afと出力端子52Aの接続部52bとの間の距離DX12よりも大きい。一例では、距離DX11は、距離DX12の2倍以上である。好ましくは、距離DX11は、距離DX12の3倍以上である。より好ましくは、距離DX11は、距離DX12の4倍以上である。本実施形態では、距離DX11は、距離DX12の約4.6倍である。また、本実施形態では、距離DX11は、距離DX9と等しい。ここで、距離DX11と距離DX9との差が例えば距離DX9の5%以内であれば、距離DX11が距離DX9と等しいといえる。

[0126] 平面視において、第1ダイオード40Ad、40Ae、40Afは、縦方向Yに揃った状態で横方向Xに互いに離間して配列されている。第1ダイオード40Ad、40Ae、40Afはそれぞれ、縦方向Yにおいて第1グラ

ファイトプレート90Cの第2プレート側面92C寄りに配置されている。本実施形態では、第1ダイオード40Ad, 40Ae, 40Afはそれぞれ、縦方向Yにおいて第1グラファイトプレート90Cの第1プレート主面95C（主面側導電層97C）のうちの第2プレート側面92C側の端部に配置されている。より詳細には、平面視において、第1ダイオード40Ad, 40Ae, 40Afはそれぞれ、縦方向Yにおいて第2プレート側面92Cと隣り合うように配置されている。このように、平面視において、第1ダイオード40Ad, 40Ae, 40Afはそれぞれ、縦方向Yにおいて第1制御層15C及び第1検出層16Cとは反対側に配置されている。第1ダイオード40Ad, 40Ae, 40Afはそれぞれ、縦方向Yにおいて第2搭載層13Dの近くに配置されている。

[0127] 図10に示すように、第1ダイオード40Adは、横方向Xにおいて第1パワー半導体素子30Adと揃った状態で縦方向Yにおいて第1パワー半導体素子30Adに離間して配置されている。第1ダイオード40Aeは、横方向Xにおいて第1パワー半導体素子30Aeと揃った状態で縦方向Yにおいて第1パワー半導体素子30Aeに離間して配置されている。第1ダイオード40Afは、横方向Xにおいて第1パワー半導体素子30Afと揃った状態で縦方向Yにおいて第1パワー半導体素子30Afに離間して配置されている。

[0128] 図9、図10、及び図12に示すように、第1パワー半導体素子30Ad, 30Ae, 30Afは、互いに同一構造であり、かつ同一の向きとなるように配置されている。また、第1パワー半導体素子30Ad, 30Ae, 30Afは、第1パワー半導体素子30Aa, 30Ab, 30Acと同一構造である。このため、第1パワー半導体素子30Ad, 30Ae, 30Afの構成要素には、第1パワー半導体素子30Aa, 30Ab, 30Acの構成要素と同一符号を付し、その説明を省略する。

[0129] 図18に示すように、本実施形態では、第1パワー半導体素子30Ad, 30Ae, 30Afの向きは、第1パワー半導体素子30Aa, 30Ab,

30Acの向きと異なる。具体的には、第1パワー半導体素子30Aa, 30Ab, 30Acはそれぞれ、ゲート電極33が第1基板11の第4基板側面11d側（端子台座82B側）に位置するような向き（図14参照）である一方、第1パワー半導体素子30Ad, 30Ae, 30Afはそれぞれ、ゲート電極33が第2基板12の第3基板側面12c側（端子台座82A側）に位置するような向きとなる。

[0130] 図9、図10、図19、及び図20に示すように、第1ダイオード40Ad, 40Ae, 40Afは、互いに同一構造である。また、第1ダイオード40Ad, 40Ae, 40Afは、第1ダイオード40Aa, 40Ab, 40Acと同一構造である。このため、第1ダイオード40Ad, 40Ae, 40Afの構成要素には、第1ダイオード40Aa, 40Ab, 40Acの構成要素と同一符号を付し、その説明を省略する。

[0131] 図9、図10、及び図18～図20に示すように、第1パワー半導体素子30Ad, 30Ae, 30Af及び第1ダイオード40Ad, 40Ae, 40Afと、第1素子接続部材21A、第1制御用接続部材22A、及び第1検出用接続部材23Aとの接続関係は、例えば第1パワー半導体素子30Ab及び第1ダイオード40Abと、第1素子接続部材21A、第1制御用接続部材22A、及び第1検出用接続部材23Aとの接続関係と同じである。

[0132] また、横方向Xにおける第1制御用接続部材22Aの第1パワー半導体素子30Ad, 30Ae, 30Afのゲート電極33の接続位置と第1制御層15Cの接続位置との関係が、横方向Xにおける第1制御用接続部材22Aの第1パワー半導体素子30Aa, 30Ab, 30Acのゲート電極33の接続位置と第1制御層15Aの接続位置との関係と異なる。一例では、図10及び図18に示すように、横方向Xにおいて、第1制御用接続部材22Aの第1制御層15Cの接続位置は、第1制御用接続部材22Aの第1パワー半導体素子30Aeのゲート電極33の接続位置よりも第2基板12の第3基板側面12c側に位置している。

[0133] 第1パワー半導体素子30Adのゲート電極33に接続された第1制御用

接続部材 2 2 A は、第 1 制御層 1 5 C のうちの第 2 基板 1 2 の第 3 基板側面 1 2 c 側の端部に接続されている。第 1 パワー半導体素子 3 0 A e のゲート電極 3 3 に接続された第 1 制御用接続部材 2 2 A は、横方向 X における第 1 制御層 1 5 C の中央部に接続されている。第 1 パワー半導体素子 3 0 A f のゲート電極 3 3 に接続された第 1 制御用接続部材 2 2 A は、横方向 X における第 1 制御層 1 5 C のうちの第 2 基板 1 2 の第 4 基板側面 1 2 d 側の端部に接続されている。

[0134] また、横方向 X における第 1 検出用接続部材 2 3 A の第 1 パワー半導体素子 3 0 A d, 3 0 A e, 3 0 A f のソース電極 3 2 の接続位置と第 1 検出層 1 6 C の接続位置との関係が、横方向 X における第 1 検出用接続部材 2 3 A の第 1 パワー半導体素子 3 0 A a, 3 0 A b, 3 0 A c のソース電極 3 2 の接続位置と第 1 検出層 1 6 A の接続位置との関係と異なる。一例では、図 1 0 及び図 1 8 に示すように、横方向 X において、第 1 検出用接続部材 2 3 A の第 1 検出層 1 6 C の接続位置は、第 1 検出用接続部材 2 3 A の第 1 パワー半導体素子 3 0 A e のソース電極 3 2 の接続位置よりも第 2 基板 1 2 の第 3 基板側面 1 2 c 側に位置している。

[0135] また、横方向 X において、第 1 検出用接続部材 2 3 A は、第 1 パワー半導体素子 3 0 A d, 3 0 A b, 3 0 A c の第 1 ソース電極 3 2 A のうちの第 2 基板 1 2 の第 3 基板側面 1 2 c 側の領域に接続されている。

[0136] 第 1 パワー半導体素子 3 0 A d の第 1 ソース電極 3 2 A に接続された第 1 検出用接続部材 2 3 A は、横方向 X における第 1 検出層 1 6 C のうちの第 2 基板 1 2 の第 3 基板側面 1 2 c 側の端部に接続されている。より詳細には、第 1 パワー半導体素子 3 0 A d の第 1 ソース電極 3 2 A に接続された第 1 検出用接続部材 2 3 A は、横方向 X において、第 1 検出層 1 6 C における第 1 検出端子用接続部材 2 6 A のうちの第 1 検出層 1 6 C に接続された部分と第 1 検出層接続部材 1 0 4 A のうちの第 1 検出層 1 6 C に接続された部分との間の部分に接続されている。

[0137] 第 1 パワー半導体素子 3 0 A e の第 1 ソース電極 3 2 A に接続された第 1

検出用接続部材 23A は、横方向 X において第 1 検出層 16C の中央部に接続されている。第 1 パワー半導体素子 30Af の第 1 ソース電極 32A に接続された第 1 検出用接続部材 23A は、横方向 X において第 1 検出層 16C のうちの第 2 基板 12 の第 4 基板側面 12d 側の端部に接続されている。

[0138] 図 21 に示すように、第 1 基板 11 には、3 個の第 2 パワー半導体素子 30B が電氣的に接続されており、第 2 基板 12 には、3 個の第 2 パワー半導体素子 30B が電氣的に接続されている。すなわち、本実施形態では、6 個の第 2 パワー半導体素子 30B によって、インバータ回路の下側アーム（図 8 の第 2 パワー半導体素子群 30BT）が構成されている。第 1 基板 11 には、グラファイトプレートの一例である第 2 グラファイトプレート 90B が配置されており、第 2 グラファイトプレート 90B に 3 個の第 2 パワー半導体素子 30B が配置されている。第 2 基板 12 には、グラファイトプレートの一例である第 2 グラファイトプレート 90D が配置されており、第 2 グラファイトプレート 90D に 3 個の第 2 パワー半導体素子 30B が配置されている。以下、各グラファイトプレート 90B、90D 及び第 2 パワー半導体素子 30B に関して詳細に説明する。

[0139] 図 9 に示すように、第 2 搭載層 13B には、第 2 グラファイトプレート 90B が積層されている。第 2 グラファイトプレート 90B は、Ag ペーストや半田などの導電性接合材によって第 2 搭載層 13B に接合されている。平面視において第 2 グラファイトプレート 90B の形状は、横方向 X が長辺方向となり、縦方向 Y が短辺方向となる矩形状である。第 2 グラファイトプレート 90B の縦方向 Y の寸法は、第 2 搭載層 13B の幅寸法（第 2 搭載層 13B の縦方向 Y の寸法）よりも小さい。第 2 グラファイトプレート 90B の厚さ寸法（第 2 グラファイトプレート 90B の厚さ方向 Z の寸法）は、第 1 基板 11 の厚さ寸法（第 1 基板 11 の厚さ方向 Z の寸法）よりも大きい。

[0140] 第 2 グラファイトプレート 90B のサイズは、第 1 グラファイトプレート 90A のサイズと同じである。より詳細には、第 2 グラファイトプレート 90B の縦方向 Y の寸法は、第 1 グラファイトプレート 90A の縦方向 Y の寸

法と等しい。また第2グラファイトプレート90Bの横方向Xの寸法は、第1グラファイトプレート90Aの横方向Xの寸法と等しい。また第2グラファイトプレート90Bの厚さ寸法（第2グラファイトプレート90Bの厚さ方向Zの寸法）は、第1グラファイトプレート90Aの厚さ寸法（第1グラファイトプレート90Aの厚さ方向Zの寸法）と等しい。

[0141] ここで、第2グラファイトプレート90Bの縦方向Yの寸法と第1グラファイトプレート90Aの縦方向Yの寸法との差が例えば第1グラファイトプレート90Aの縦方向Yの寸法の5%以内であれば、第2グラファイトプレート90Bの縦方向Yの寸法が第1グラファイトプレート90Aの縦方向Yの寸法と等しいと言える。また、第2グラファイトプレート90Bの横方向Xの寸法と第1グラファイトプレート90Aの横方向Xの寸法との差が例えば第1グラファイトプレート90Aの横方向Xの寸法の5%以内であれば、第2グラファイトプレート90Bの横方向Xの寸法が第1グラファイトプレート90Aの横方向Xの寸法と等しいと言える。また、第2グラファイトプレート90Bの厚さ方向Zの寸法と第1グラファイトプレート90Aの厚さ方向Zの寸法との差が例えば第1グラファイトプレート90Aの厚さ方向Zの寸法の5%以内であれば、第2グラファイトプレート90Bの厚さ寸法が第1グラファイトプレート90Aの厚さ寸法と等しいと言える。

[0142] 図15、図20、及び図22に示すように、第2グラファイトプレート90Bは、厚さ方向Zにおいて互いに反対側を向く第2プレート主面95B及び第2プレート裏面96Bを有する。第2プレート主面95Bは、プレート主面の一例であり、厚さ方向Zにおいて第1基板11の第1基板主面11sと同じ側を向いている。第2プレート裏面96Bは、プレート裏面の一例であり、厚さ方向Zにおいて第1基板11の第1基板裏面11rと同じ側を向いている。第2プレート主面95Bには、主面側導電層97Bが積層されている。第2プレート裏面96Bには、裏面側導電層98Bが積層されている。このため、第2グラファイトプレート90Bが第2搭載層13Bに搭載される場合、導電性接合材によって裏面側導電層98Bが第2搭載層13Bに

接合されている。本実施形態では、第2プレート主面95Bの全面にわたり主面側導電層97Bが形成されている。第2プレート裏面96Bの全面にわたり裏面側導電層98Bが形成されている。なお、主面側導電層97Bは、第2プレート主面95Bに部分的に形成されてもよい。裏面側導電層98Bは、第2プレート裏面96Bに部分的に形成されてもよい。

[0143] 図9に示すように、第2グラファイトプレート90Bは、縦方向Yにおいて反対側を向く第1プレート側面91B及び第2プレート側面92Bと、横方向Xにおいて反対側を向く第3プレート側面93B及び第4プレート側面94Bとを有する。第1プレート側面91Bは第1基板11の第1基板側面11aと同じ側を向いており、第2プレート側面92Bは第1基板11の第2基板側面11bと同じ側を向いている。第3プレート側面93Bは第1基板11の第3基板側面11cと同じ側を向いており、第4プレート側面94Bは第1基板11の第4基板側面11dと同じ側を向いている。

[0144] 平面視において、第1プレート側面91Bは、第2搭載層13Bのうちの縦方向Yにおける第1基板11の第1基板側面11a側の端縁13iに対して第1基板11の第2基板側面11b側に位置しており、かつ端縁13iから縦方向Yに離間して配置されている。平面視において、第2プレート側面92Bは、第2搭載層13Bのうちの縦方向Yにおける第1基板11の第2基板側面11b側の端縁13jに対して第1基板11の第1基板側面11a側に位置しており、かつ端縁13jと縦方向Yに隣り合うように配置されている。このように第2グラファイトプレート90Bの縦方向Yの寸法は、第2搭載層13Bの幅寸法（主搭載部13aの縦方向Yの寸法）よりも小さい。また第2グラファイトプレート90Bは、縦方向Yにおいて第2搭載層13Bのうちの第1基板11の第2基板側面11b寄りに配置されている。これにより、第2搭載層13Bにおける第1パワー半導体素子30A及び第1ダイオード40Aに接続された第1素子接続部材21Aと第2搭載層13Bとの接続スペースを確保している。

[0145] 平面視において、第3プレート側面93Bは、第2搭載層13Bのうちの

横方向Xの第1基板11の第3基板側面11c側の端部に位置している。平面視において、第4プレート側面94Bは、第2搭載層13Bのうちの第1基板11の第4基板側面11d側の端部に位置している。詳細には、平面視において、第4プレート側面94Bは、第2搭載層13Bに接続された連結部材100Bと横方向Xに隣り合うように位置している。このように、第2グラファイトプレート90Bは、第2搭載層13Bのうちの第1基板11の第3基板側面11c側の端縁と連結部材100Bとの横方向Xの間において、可能な限り横方向Xの長さが長くなるように設けられている。

[0146] 第2グラファイトプレート90Bの第2プレート主面95Bには、複数（本実施形態では3個）の第2パワー半導体素子30B及び複数（本実施形態では3個）の第2ダイオード40Bが配置されている。より詳細には、複数の第2パワー半導体素子30B及び複数の第2ダイオード40Bは、Agペーストや半田などの導電性接合材によって、第2プレート主面95Bに積層された主面側導電層97Bに接合されている。以降の説明において、説明の便宜上、3個の第2パワー半導体素子30Bを第2パワー半導体素子30Ba、30Bb、30Bcと称し、3個の第2ダイオード40Bを第2ダイオード40Ba、40Bb、40Bcと称する。

[0147] 平面視において、第2パワー半導体素子30Ba、30Bb、30Bcは、縦方向Yに揃った状態で横方向Xに互いに離間して配列されている。第2パワー半導体素子30Ba、30Bb、30Bcはそれぞれ、縦方向Yにおいて第2グラファイトプレート90Bの第2プレート側面92B寄りに配置されている。本実施形態では、第2パワー半導体素子30Ba、30Bb、30Bcはそれぞれ、縦方向Yにおいて第2グラファイトプレート90Bの第2プレート主面95B（主面側導電層97B）のうちの第2プレート側面92B側の端部に配置されている。より詳細には、平面視において、第2パワー半導体素子30Ba、30Bb、30Bcはそれぞれ、縦方向Yにおいて第2プレート側面92Bと隣り合うように配置されている。このように、平面視において、第2パワー半導体素子30Ba、30Bb、30Bcはそ

れぞれ、縦方向Yにおいて導電層14Aの近くに配置されている。

[0148] 第2パワー半導体素子30Baは、横方向Xにおいて第2グラファイトプレート90Bの第3プレート側面93B寄りに配置されている。本実施形態では、第2パワー半導体素子30Baは、横方向Xにおいて第2グラファイトプレート90Bの第2プレート主面95B（主面側導電層97B）のうちの第3プレート側面93B側の端部に配置されている。より詳細には、平面視において、第2パワー半導体素子30Baは、横方向Xにおいて第3プレート側面93Bと隣り合うように配置されている。第2パワー半導体素子30Baは、縦方向Yからみて、第2制御層15B及び第2検出層16Bと重なるように配置されている。また、第2パワー半導体素子30Baは、縦方向Yからみて、第1パワー半導体素子30Aa及び第1ダイオード40Aaと重なるように配置されている。すなわち第2パワー半導体素子30Baは、横方向Xにおいて第1パワー半導体素子30Aa及び第1ダイオード40Aaと揃った状態で、縦方向Yにおいて第1パワー半導体素子30Aa及び第1ダイオード40Aaと離間して配置されている。

[0149] 第2パワー半導体素子30Bbは、横方向Xにおいて第2グラファイトプレート90Bの第2プレート主面95B（主面側導電層97B）のうちの中央部に配置されている。また、第2パワー半導体素子30Bbは、縦方向Yからみて、第1パワー半導体素子30Ab及び第1ダイオード40Abと重なるように配置されている。すなわち第2パワー半導体素子30Bbは、横方向Xにおいて第1パワー半導体素子30Ab及び第1ダイオード40Abと揃った状態で、縦方向Yにおいて第1パワー半導体素子30Ab及び第1ダイオード40Abと離間して配置されている。

[0150] 第2パワー半導体素子30Bcは、横方向Xにおいて第2グラファイトプレート90Bの第4プレート側面94B寄りに配置されている。本実施形態では、第2パワー半導体素子30Bcは、横方向Xにおいて第2グラファイトプレート90Bの第2プレート主面95B（主面側導電層97B）のうちの第4プレート側面94B側の端部に配置されている。より詳細には、平面

視において、第2パワー半導体素子30Bcは、横方向Xにおいて第4プレート側面94Bと隣り合うように配置されている。また、第2パワー半導体素子30Bcは、縦方向Yからみて、第1パワー半導体素子30Ac及び第1ダイオード40Acと重なるように配置されている。すなわち第2パワー半導体素子30Bcは、横方向Xにおいて第1パワー半導体素子30Ac及び第1ダイオード40Acと揃った状態で、縦方向Yにおいて第1パワー半導体素子30Ac及び第1ダイオード40Acと離間して配置されている。

[0151] 横方向Xにおける第2パワー半導体素子30Baと第2パワー半導体素子30Bbとの間の距離DX5は、横方向Xにおける第2パワー半導体素子30Baと第2入力端子51Bの接続部51bとの間の距離DX6よりも大きい。一例では、距離DX5は、距離DX6の2倍以上である。好ましくは、距離DX5は、距離DX6の3倍以上である。より好ましくは、距離DX5は、距離DX6の4倍以上である。本実施形態では、距離DX5は、距離DX6の約4.6倍である。

[0152] 横方向Xにおける第2パワー半導体素子30Bcと第2パワー半導体素子30Bbとの間の距離DX7は、横方向Xにおける第2パワー半導体素子30Bcと連結部材100Bとの間の距離DX8よりも大きい。一例では、距離DX7は、距離DX8の2倍以上である。好ましくは、距離DX7は、距離DX8の3倍以上である。より好ましくは、距離DX7は、距離DX8の4倍以上である。本実施形態では、距離DX7は、距離DX8の約7.4倍である。また、本実施形態では、距離DX7は、距離DX5と等しい。ここで、距離DX7と距離DX5との差が例えば距離DX5の5%以内であれば、距離DX7が距離DX5と等しいといえる。

[0153] 平面視において、第2ダイオード40Ba、40Bb、40Bcは、縦方向Yに揃った状態で横方向Xに互いに離間して配列されている。第2ダイオード40Ba、40Bb、40Bcはそれぞれ、縦方向Yにおいて第2グラフィットプレート90Bの第1プレート側面91B寄りに配置されている。本実施形態では、第2ダイオード40Ba、40Bb、40Bcはそれぞれ

、縦方向Yにおいて第2グラファイトプレート90Bの第2プレート主面95B（主面側導電層97B）のうちの第1プレート側面91B側の端部に配置されている。より詳細には、平面視において、第2ダイオード40Ba, 40Bb, 40Bcはそれぞれ、縦方向Yにおいて第1プレート側面91Bと隣り合うように配置されている。より詳細には、平面視において、第2ダイオード40Ba, 40Bb, 40Bcはそれぞれ、縦方向Yにおいて第1プレート側面91Bと隣り合うように配置されている。このように、平面視において、第2ダイオード40Ba, 40Bb, 40Bcはそれぞれ、縦方向Yにおいて第2制御層15B及び第2検出層16Bとは反対側に配置されている。第2ダイオード40Ba, 40Bb, 40Bcはそれぞれ、縦方向Yにおいて第1搭載層13A（第1グラファイトプレート90A）の近くに配置されている。

[0154] 第2ダイオード40Baは、横方向Xにおいて第2パワー半導体素子30Baと揃った状態で縦方向Yにおいて第2パワー半導体素子30Baに離間して配置されている。第2ダイオード40Bbは、横方向Xにおいて第2パワー半導体素子30Bbと揃った状態で縦方向Yにおいて第2パワー半導体素子30Bbに離間して配置されている。第2ダイオード40Bcは、横方向Xにおいて第2パワー半導体素子30Bcと揃った状態で縦方向Yにおいて第2パワー半導体素子30Bcに離間して配置されている。

[0155] 第2パワー半導体素子30Ba, 30Bb, 30Bcは、互いに同一構造であり、かつ同一の向きとなるように配置されている。すなわち、第2パワー半導体素子30Ba, 30Bb, 30Bcの素子裏面30rが第2グラファイトプレート90Bの主面側導電層97Bと接合されており、素子主面30sが厚さ方向Zにおいて第2グラファイトプレート90Bとは反対側に位置している。本実施形態では、第2パワー半導体素子30Ba, 30Bb, 30Bcは、第1パワー半導体素子30Aa, 30Ab, 30Acと同一構造である。このため、第2パワー半導体素子30Ba, 30Bb, 30Bcの構成要素には、第1パワー半導体素子30Aa, 30Ab, 30Acの構

成要素と同一符号を付し、その説明を省略する。なお、第2パワー半導体素子30Bの素子主面は、特許請求の範囲の第2素子主面の一例であり、第2パワー半導体素子30Bの素子裏面は、第2素子裏面の一例である。

[0156] 第2ダイオード40Ba, 40Bb, 40Bcは、互いに同一構造である。本実施形態では、第2ダイオード40Ba, 40Bb, 40Bcは、第1ダイオード40Aa, 40Ab, 40Acと同一構造である。このため、第2ダイオード40Ba, 40Bb, 40Bcの構成要素には、第1ダイオード40Aa, 40Ab, 40Acの構成要素と同一符号を付し、その説明を省略する。第2ダイオード40Ba, 40Bb, 40Bcはそれぞれ、第1ダイオード40Aと同様に、主面40s及び裏面40rを有する。この主面40sは、特許請求の範囲に記載の第2ダイオードの第2主面の一例であり、裏面40rは、特許請求の範囲に記載の第2ダイオードの第2裏面の一例である。

[0157] 次に、第2パワー半導体素子30B及び第2ダイオード40Bと、第2素子接続部材21B、第2制御用接続部材22B、及び第2検出用接続部材23Bとの関係について説明する。

[0158] 図23に示すように、第2パワー半導体素子30Bbのソース電極32と、第2ダイオード40Bbのアノード電極41と、導電層14Aとは、第2素子接続部材21Bによって接続されている。より詳細には、第2素子接続部材21Bは、複数本（本実施形態では5本）の第2素子接続部材21Ba及び複数本（本実施形態では4本）の第2素子接続部材21Bbを含む。複数の第2素子接続部材21Baはそれぞれ、第2パワー半導体素子30Bbの第1ソース電極32Aと、第2ダイオード40Bbのアノード電極41と、導電層14Aとを接続している。複数の第2素子接続部材21Bbはそれぞれ、第2パワー半導体素子30Bbの第2ソース電極32Bと導電層14Aとを接続している。

[0159] 複数の第2素子接続部材21Bbは、横方向Xにおいて第2ソース電極32Bのうちの第2グラファイトプレート90Bの第3プレート側面93B（

図9参照) 寄りの領域に接続されている。複数の第2素子接続部材21Bbは、第2ソース電極32Bに対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されている。複数の第2素子接続部材21Bbは、導電層14Aに対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されている。複数の第2素子接続部材21Bbはそれぞれ、縦方向Yにおいて導電層14Aのうちの第1基板11の第1基板側面11a(図9参照)側の端縁14cと隣り合うように配置されている。平面視において、複数の第2素子接続部材21Bbは、第2ソース電極32Bから導電層14Aに向かうにつれて第1基板11の第3基板側面11c(図9参照)側に向けて斜めに延びている。

[0160] 複数の第2素子接続部材21Baは、第2ソース電極32Bに対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されており、アノード電極41に対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されており、導電層14Aに対して縦方向Yに互いに揃った状態で横方向Xに離間して配列して接続されている。平面視において、複数の第2素子接続部材21Baのうちの第2ソース電極32Bとアノード電極41とを接続する部分は、縦方向Yに沿って延びている。平面視において、複数の第2素子接続部材21Baのうちの第2ソース電極32Bと導電層14Aとを接続する部分は、第2ソース電極32Bから導電層14Aに向かうにつれて第1基板11の第3基板側面11c側に向けて斜めに延びている。複数の第2素子接続部材21Baのうちのアノード電極41と導電層14Aとを接続する部分は、複数の第2素子接続部材21Bbを跨ぐように形成されている。このため、複数の第2素子接続部材21Baは、縦方向Yにおいて導電層14Aのうちの複数の第2素子接続部材21Bbよりも第1基板11の第2基板側面11b側の部分に接続されている。これにより、平面視において、第2素子接続部材21Baと、第2制御用接続部材22B及び第2検出用接続部材23Bとが重なることが回避される。また、平面視において、第2素子接続部材21Bbも第2素子接続部材21Baと同様に斜めに延び

ているため、第2素子接続部材21Bbと第2素子接続部材21Baとが重なることが回避される。

[0161] このように、第2パワー半導体素子30Bbと第2ダイオード40Bbとは逆並列に接続されており、かつ、第2パワー半導体素子30Bbのドレイン電極31及び第2ダイオード40Bbのカソード電極42とが第1パワー半導体素子30Abのソース電極32及び第1ダイオード40Abのアノード電極41と電氣的に接続されている。また、第2パワー半導体素子30Bbのソース電極32及び第2ダイオード40Bbのアノード電極41が第2入力端子51Bに電氣的に接続されている。

[0162] 第2パワー半導体素子30Bbの第2ソース電極32Bと第2検出層16Bとは、第2検出用接続部材23Bによって接続されている。第2検出用接続部材23Bは、第2ソース電極32Bのうちの第2素子接続部材21Bbよりも第1基板11の第4基板側面11d（図9参照）側の領域に接続されている。第2検出用接続部材23Bは、横方向Xにおいて第2検出層16Bの中央部付近に接続されている。このように、第2検出用接続部材23Bによって、第2ソース電極32Bは、第2検出層16Bを介して第2検出端子54Bと電氣的に接続されている。

[0163] 第2パワー半導体素子30Bbのゲート電極33と第2制御層15Bとは、第2制御用接続部材22Bによって接続されている。第2制御用接続部材22Bは、横方向Xにおいて第2制御層15Bの中央部付近に接続されている。このように、第2制御用接続部材22Bによって、ゲート電極33は、第2制御層15B、15D（図11参照）を介して第2制御端子53Bと電氣的に接続されている。

[0164] なお、図9に示すように、第2素子接続部材21B（21Ba、21Bb）によって第2パワー半導体素子30Bcのソース電極32と、第2ダイオード40Bcのアノード電極41と、導電層14Aとが接続される構成、及び第2素子接続部材21B（21Ba、21Bb）によって第2パワー半導体素子30Baのソース電極32と、第2ダイオード40Baのアノード電

極41と、導電層14Aとが接続される構成は、第2素子接続部材21B（21Ba, 21Bb）によって第2パワー半導体素子30Bbのソース電極32と、第2ダイオード40Bbのアノード電極41と、導電層14Aとが接続される構成と同じである。

[0165] また、第2制御用接続部材22Bによって第2パワー半導体素子30Baのゲート電極33と第2制御層15Bとが接続される構成、及び第2制御用接続部材22Bによって第2パワー半導体素子30Bcのゲート電極33と第2制御層15Bとが接続される構成は、第2制御用接続部材22Bによって第2パワー半導体素子30Bbのゲート電極33と第2制御層15Bとが接続される構成と同じである。

[0166] 第2パワー半導体素子30Baのゲート電極33に接続された第2制御用接続部材22Bは、横方向Xにおいて第2制御層15Bのうちの第1基板11の第3基板側面11c側の部分に接続されている。第2パワー半導体素子30Bcのゲート電極33に接続された第2制御用接続部材22Bは、横方向Xにおいて第2制御層15Bのうちの第1基板11の第4基板側面11d側の端部に接続されている。より詳細には、第2パワー半導体素子30Bcのゲート電極33に接続された第2制御用接続部材22Bは、横方向Xにおいて第2制御層15Bのうちの、第2制御層接続部材103Bのうちの第2制御層15Bに接続された部分と隣り合う部分に接続されている。

[0167] また、第2検出用接続部材23Bによって第2パワー半導体素子30Baのソース電極32と第2検出層16Bとが接続される構成、及び第2検出用接続部材23Bによって第2パワー半導体素子30Bcのソース電極32と第2検出層16Bとが接続される構成は、第2検出用接続部材23Bによって第2パワー半導体素子30Bbのソース電極32と第2検出層16Bとが接続される構成と同じである。

[0168] 第2パワー半導体素子30Baのソース電極32に接続された第2検出用接続部材23Bは、横方向Xにおいて第2検出層16Bのうちの第1基板11の第3基板側面11c側の部分に接続されている。第2パワー半導体素子

30Bcのソース電極32に接続された第2検出用接続部材23Bは、横方向Xにおいて第2検出層16Bのうちの第1基板11の第4基板側面11d側の端部に接続されている。より詳細には、第2パワー半導体素子30Bcのソース電極32に接続された第2検出用接続部材23Bは、横方向Xにおいて第2検出層16Bのうちの、第2検出層接続部材104Bのうちの第2検出層16Bに接続された部分と隣り合う部分に接続されている。

[0169] 図10及び図24に示すように、第2搭載層13Dには、第2グラファイトプレート90Dが積層されている。第2グラファイトプレート90Dは、Agペーストや半田などの導電性接合材によって第2搭載層13Dの主搭載部13eに接合されている。平面視において第2グラファイトプレート90Dの形状は、横方向Xが長辺方向となり、縦方向Yが短辺方向となる矩形形状である。第2グラファイトプレート90Dの縦方向Yの寸法は、第2搭載層13Dの主搭載部13eの幅寸法（主搭載部13eの縦方向Yの寸法）よりも小さい。第2グラファイトプレート90Dの厚さ寸法（第2グラファイトプレート90Dの厚さ方向Zの寸法）は、第2基板12の厚さ寸法（第2基板12の厚さ方向Zの寸法）よりも大きい。

[0170] 第2グラファイトプレート90Dのサイズは、第1グラファイトプレート90Aのサイズと同じである。より詳細には、第2グラファイトプレート90Dの縦方向Yの寸法は、第1グラファイトプレート90Aの縦方向Yの寸法と等しい。また第2グラファイトプレート90Dの横方向Xの寸法は、第1グラファイトプレート90Aの横方向Xの寸法と等しい。また第2グラファイトプレート90Dの厚さ寸法（第2グラファイトプレート90Dの厚さ方向Zの寸法）は、第1グラファイトプレート90Aの厚さ寸法（第1グラファイトプレート90Cの厚さ方向Zの寸法）と等しい。

[0171] ここで、第2グラファイトプレート90Dの縦方向Yの寸法と第1グラファイトプレート90Aの縦方向Yの寸法との差が例えば第1グラファイトプレート90Aの縦方向Yの寸法の5%以内であれば、第2グラファイトプレート90Dの縦方向Yの寸法が第1グラファイトプレート90Aの縦方向Y

の寸法と等しいと言える。また、第2グラファイトプレート90Dの横方向Xの寸法と第1グラファイトプレート90Aの横方向Xの寸法との差が例えば第1グラファイトプレート90Aの横方向Xの寸法の5%以内であれば、第2グラファイトプレート90Dの横方向Xの寸法が第1グラファイトプレート90Aの横方向Xの寸法と等しいと言える。また、第2グラファイトプレート90Dの厚さ方向Zの寸法と第1グラファイトプレート90Aの厚さ方向Zの寸法との差が例えば第1グラファイトプレート90Aの厚さ方向Zの寸法の5%以内であれば、第2グラファイトプレート90Dの厚さ寸法が第1グラファイトプレート90Aの厚さ寸法と等しいと言える。

[0172] 図19及び図24に示すように、第2グラファイトプレート90Dは、厚さ方向Zにおいて互いに反対側を向く第2プレート主面95D及び第2プレート裏面96Dを有する。第2プレート主面95Dは、厚さ方向Zにおいて第2基板12の第2基板主面12sと同じ側を向いている。第2プレート裏面96Dは、厚さ方向Zにおいて第2基板12の第2基板裏面12rと同じ側を向いている。第2プレート主面95Dには、主面側導電層97Dが積層されている。第2プレート裏面96Dには、裏面側導電層98Dが積層されている。このため、第2グラファイトプレート90Dが第2搭載層13Dに搭載される場合、導電性接合材によって裏面側導電層98Dが第2搭載層13Dに接合されている。本実施形態では、第2プレート主面95Dの全面にわたり主面側導電層97Dが形成されている。第2プレート裏面96Dの全面にわたり裏面側導電層98Dが形成されている。なお、主面側導電層97Dは、第2プレート主面95Dに部分的に形成されてもよい。裏面側導電層98Dは、第2プレート裏面96Dに部分的に形成されてもよい。

[0173] 図10に示すように、第2グラファイトプレート90Dは、縦方向Yにおいて反対側を向く第1プレート側面91D及び第2プレート側面92Dと、横方向Xにおいて反対側を向く第3プレート側面93D及び第4プレート側面94Dとを有する。第1プレート側面91Dは第2基板12の第1基板側面12aと同じ側を向いており、第2プレート側面92Dは第2基板12の

第2基板側面12bと同じ側を向いている。第3プレート側面93Dは第2基板12の第3基板側面12cと同じ側を向いており、第4プレート側面94Bは第2基板12の第4基板側面12dと同じ側を向いている。

[0174] 平面視において、第1プレート側面91Dは、第2搭載層13Dのうちの縦方向Yにおける第2基板12の第1基板側面12a側の端縁13nに対して第2基板12の第2基板側面12b側に位置しており、かつ端縁13nから縦方向Yに離間して配置されている。平面視において、第2プレート側面92Dは、第2搭載層13Dのうちの縦方向Yにおける第2基板12の第2基板側面12b側の端縁13pに対して第2基板12の第1基板側面12a側に位置しており、かつ端縁13pと縦方向Yに隣り合うように配置されている。このように第2グラフィットプレート90Dの縦方向Yの寸法は、第2搭載層13Dの幅寸法（主搭載部13eの縦方向Yの寸法）よりも小さい。また第2グラフィットプレート90Dは、縦方向Yにおいて主搭載部13eのうちの第2基板12の第2基板側面12b寄りに配置されている。これにより、主搭載部13eにおける第1パワー半導体素子30A及び第1ダイオード40Aに接続された第1素子接続部材21Aと第2搭載層13Dとの接続スペースを確保している。

[0175] 平面視において、第3プレート側面93Dは、第2搭載層13Dの主搭載部13eのうちの横方向Xの第2基板12の第3基板側面12c側の端部に位置している。詳細には、平面視において、第3プレート側面93Dは、第2搭載層13Dに接続された連結部材100Bと横方向Xに隣り合うように位置している。平面視において、第4プレート側面94Dは、主搭載部13eのうちの第2基板12の第4基板側面12d側の端部に位置している。詳細には、平面視において、第4プレート側面94Dは、出力端子52Bの接続部52bと横方向Xに隣り合うように位置している。このように、第2グラフィットプレート90Bは、第2搭載層13Dのうちの出力端子52Bの接続部52bと連結部材100Bとの横方向Xの間において、可能な限り横方向Xの長さが長くなるように設けられている。

[0176] 第2グラファイトプレート90Dの第2プレート主面95Dには、複数（本実施形態では3個）の第2パワー半導体素子30B及び複数（本実施形態では3個）の第2ダイオード40Bが配置されている。より詳細には、複数の第2パワー半導体素子30B及び複数の第2ダイオード40Bは、Agペーストや半田などの導電性接合材によって、第2プレート主面95Dに積層された主面側導電層97Dに接合されている。以降の説明において、説明の便宜上、3個の第2パワー半導体素子30Bを第2パワー半導体素子30Bd、30Be、30Bfと称し、3個の第2ダイオード40Bを第2ダイオード40Bd、40Be、40Bfと称する。

[0177] 平面視において、第2パワー半導体素子30Bd、30Be、30Bfは、縦方向Yに揃った状態で横方向Xに互いに離間して配列されている。第2パワー半導体素子30Bd、30Be、30Bfはそれぞれ、縦方向Yにおいて第2グラファイトプレート90Dの第2プレート側面92D寄りに配置されている。本実施形態では、第2パワー半導体素子30Bd、30Be、30Bfはそれぞれ、縦方向Yにおいて第2グラファイトプレート90Dの第2プレート主面95D（主面側導電層97D）のうちの第2プレート側面92D側の端部に配置されている。より詳細には、平面視において、第2パワー半導体素子30Bd、30Be、30Bfはそれぞれ、縦方向Yにおいて第2プレート側面92Dと隣り合うように配置されている。このように、平面視において、第2パワー半導体素子30Bd、30Be、30Bfはそれぞれ、縦方向Yにおいて導電層14Bの近くに配置されている。

[0178] 第2パワー半導体素子30Bdは、横方向Xにおいて第2グラファイトプレート90Dの第3プレート側面93D寄りに配置されている。本実施形態では、第2パワー半導体素子30Bdは、横方向Xにおいて第2グラファイトプレート90Dの第2プレート主面95D（主面側導電層97D）のうちの第3プレート側面93D側の端部に配置されている。より詳細には、平面視において、第2パワー半導体素子30Bdは、横方向Xにおいて第3プレート側面93Dと隣り合うように配置されている。第2パワー半導体素子3

0 B dは、縦方向Yからみて、第2制御層15 D及び第2検出層16 Dと重なるように配置されている。また、第2パワー半導体素子30 B dは、縦方向Yからみて、第1パワー半導体素子30 A d及び第1ダイオード40 A dと重なるように配置されている。すなわち第2パワー半導体素子30 B dは、横方向Xにおいて第1パワー半導体素子30 A d及び第1ダイオード40 A dと揃った状態で、縦方向Yにおいて第1パワー半導体素子30 A d及び第1ダイオード40 A dと離間して配置されている。

[0179] 第2パワー半導体素子30 B eは、横方向Xにおいて第2グラファイトプレート90 Dの第2プレート主面95 D（主面側導電層97 D）のうちの中央部に配置されている。また、第2パワー半導体素子30 B eは、縦方向Yからみて、第1パワー半導体素子30 A e及び第1ダイオード40 A eと重なるように配置されている。すなわち第2パワー半導体素子30 B eは、横方向Xにおいて第1パワー半導体素子30 A e及び第1ダイオード40 A eと揃った状態で、縦方向Yにおいて第1パワー半導体素子30 A e及び第1ダイオード40 A eと離間して配置されている。

[0180] 第2パワー半導体素子30 B fは、横方向Xにおいて第2グラファイトプレート90 Dの第4プレート側面94 D寄りに配置されている。本実施形態では、第2パワー半導体素子30 B fは、横方向Xにおいて第2グラファイトプレート90 Dの第2プレート主面95 D（主面側導電層97 D）のうちの第4プレート側面94 D側の端部に配置されている。より詳細には、平面視において、第2パワー半導体素子30 B fは、横方向Xにおいて第4プレート側面94 Dと隣り合うように配置されている。また、第2パワー半導体素子30 B fは、縦方向Yからみて、第1パワー半導体素子30 A f及び第1ダイオード40 A fと重なるように配置されている。すなわち第2パワー半導体素子30 B fは、横方向Xにおいて第1パワー半導体素子30 A f及び第1ダイオード40 A fと揃った状態で、縦方向Yにおいて第1パワー半導体素子30 A f及び第1ダイオード40 A fと離間して配置されている。

[0181] 横方向Xにおける第2パワー半導体素子30 B dと第2パワー半導体素子

30B e との間の距離 $D X 1 3$ は、横方向 X における第2パワー半導体素子 30B d と連結部材 100B との間の距離 $D X 1 4$ よりも大きい。一例では、距離 $D X 1 3$ は、距離 $D X 1 4$ の2倍以上である。好ましくは、距離 $D X 1 3$ は、距離 $D X 1 4$ の3倍以上である。より好ましくは、距離 $D X 1 3$ は、距離 $D X 1 4$ の4倍以上である。本実施形態では、距離 $D X 1 3$ は、距離 $D X 1 4$ の約4.6倍である。

[0182] 横方向 X における第2パワー半導体素子 30B f と第2パワー半導体素子 30B e との間の距離 $D X 1 5$ は、横方向 X における第2パワー半導体素子 30B f と出力端子 52B の接続部 52b との間の距離 $D X 1 6$ よりも大きい。一例では、距離 $D X 1 5$ は、距離 $D X 1 6$ の2倍以上である。好ましくは、距離 $D X 1 5$ は、距離 $D X 1 6$ の3倍以上である。より好ましくは、距離 $D X 1 5$ は、距離 $D X 1 6$ の4倍以上である。本実施形態では、距離 $D X 1 5$ は、距離 $D X 1 6$ の約7.4倍である。また、本実施形態では、距離 $D X 1 5$ は、距離 $D X 1 3$ と等しい。ここで、距離 $D X 1 5$ と距離 $D X 1 3$ との差が例えば距離 $D X 1 3$ の5%以内であれば、距離 $D X 1 5$ が距離 $D X 1 3$ と等しいといえる。

[0183] 平面視において、第2ダイオード 40B d、40B e、40B f は、縦方向 Y に揃った状態で横方向 X に互いに離間して配列されている。第2ダイオード 40B d、40B e、40B f はそれぞれ、縦方向 Y において第2グラフィットプレート 90D の第1プレート側面 91D 寄りに配置されている。本実施形態では、第2ダイオード 40B d、40B e、40B f はそれぞれ、縦方向 Y において第2グラフィットプレート 90D の第2プレート主面 95D (主面側導電層 97D) のうちの第1プレート側面 91D 側の端部に配置されている。より詳細には、平面視において、第2ダイオード 40B d、40B e、40B f はそれぞれ、縦方向 Y において第1プレート側面 91D と隣り合うように配置されている。このように、平面視において、第2ダイオード 40B d、40B e、40B f はそれぞれ、縦方向 Y において第2制御層 15D 及び第2検出層 16D とは反対側に配置されている。第2ダイオ

ード40Bd, 40Be, 40Bfはそれぞれ、縦方向Yにおいて第1搭載層13C(第1グラファイトプレート90C)の近くに配置されている。

[0184] 第2ダイオード40Bdは、横方向Xにおいて第2パワー半導体素子30Bdと揃った状態で縦方向Yにおいて第2パワー半導体素子30Bdに離間して配置されている。第2ダイオード40Beは、横方向Xにおいて第2パワー半導体素子30Beと揃った状態で縦方向Yにおいて第2パワー半導体素子30Beに離間して配置されている。第2ダイオード40Bfは、横方向Xにおいて第2パワー半導体素子30Bfと揃った状態で縦方向Yにおいて第2パワー半導体素子30Bfに離間して配置されている。

[0185] 第2パワー半導体素子30Bd, 30Be, 30Bfは、互いに同一構造であり、かつ同一の向きとなるように配置されている。本実施形態では、第2パワー半導体素子30Bd, 30Be, 30Bfは、第1パワー半導体素子30Aa, 30Ab, 30Acと同一構造である。このため、第2パワー半導体素子30Ba, 30Bb, 30Bcの構成要素には、第1パワー半導体素子30Aa, 30Ab, 30Acの構成要素と同一符号を付し、その説明を省略する。

[0186] 第2ダイオード40Bd, 40Be, 40Bfは、互いに同一構造である。本実施形態では、第2ダイオード40Bd, 40Be, 40Bfは、第1ダイオード40Aa, 40Ab, 40Acと同一構造である。このため、第2ダイオード40Bd, 40Be, 40Bfの構成要素には、第1ダイオード40Aa, 40Ab, 40Acの構成要素と同一符号を付し、その説明を省略する。

[0187] 第2パワー半導体素子30Bd, 30Be, 30Bf及び第2ダイオード40Bd, 40Be, 40Bfと、第2素子接続部材21B、第2制御用接続部材22B、及び第2検出用接続部材23Bとの接続関係は、第2パワー半導体素子30Ba, 30Bb, 30Bc及び第2ダイオード40Ba, 40Bb, 40Bcと、第2素子接続部材21B、第2制御用接続部材22B、及び第2検出用接続部材23Bとの接続関係と同じである。

[0188] 一方、上記接続関係は以下の点異なる。すなわち、図25に示すように、平面視において、複数の第2素子接続部材21Bbは、第2パワー半導体素子30Beの第2ソース電極32Bから導電層14Bに向かうにつれて第2基板12の第4基板側面12d（図10参照）側に向けて斜めに延びている。これにより、平面視において、第2素子接続部材21Bbと、第2制御用接続部材22B及び第2検出用接続部材23Bとが重なることが回避される。

[0189] 平面視において、複数の第2素子接続部材21Baのうちの第2ソース電極32Bと導電層14Bとを接続する部分は、第2ソース電極32Bから導電層14Bに向かうにつれて第2基板12の第3基板側面11c側に向けて斜めに延びている。複数の第2素子接続部材21Baは、縦方向Yにおいて導電層14Bのうちの複数の第2素子接続部材21Bbよりも第2基板12の第2基板側面12b側の部分に接続されている。これにより、平面視において、第2素子接続部材21Baと、第2制御用接続部材22B及び第2検出用接続部材23Bとが重なることが回避される。また、平面視において、第2素子接続部材21Bbも第2素子接続部材21Baと同様に斜めに延びているため、第2素子接続部材21Bbと第2素子接続部材21Baとが重なることが回避される。なお、第2パワー半導体素子30Bd、30Bfと第2素子接続部材21B、第2制御用接続部材22B、及び第2検出用接続部材23Bとの接続関係も第2パワー半導体素子30Beと第2素子接続部材21B、第2制御用接続部材22B、及び第2検出用接続部材23Bとの接続関係と同じである。

[0190] また、横方向Xにおける第2制御用接続部材22Bの第2パワー半導体素子30Bd、30Be、30Bfのゲート電極33の接続位置と第2制御層15Dの接続位置との関係が、横方向Xにおける第2制御用接続部材22Bの第2パワー半導体素子30Ba、30Bb、30Bcのゲート電極33の接続位置と第2制御層15Dの接続位置との関係と異なる。一例では、図10及び図25に示すように、横方向Xにおいて、第2制御用接続部材22B

の第2制御層15Dの接続位置は、第2制御用接続部材22Bの第2パワー半導体素子30Beのゲート電極33の接続位置よりも第2基板12の第3基板側面12c側に位置している。

[0191] 第2パワー半導体素子30Bdのゲート電極33に接続された第2制御用接続部材22Bは、第2制御層15Dのうちの第2基板12の第3基板側面12c側の端部に接続されている。より詳細には、第2パワー半導体素子30Bdのゲート電極33に接続された第2制御用接続部材22Bは、横方向Xにおいて、第2制御層15Dにおける第2制御層接続部材103Bが第2制御層15Dに接続された部分と第2制御端子用接続部材25Bが第2制御層15Dに接続された部分との間に接続されている。

[0192] 第2パワー半導体素子30Beのゲート電極33に接続された第2制御用接続部材22Bは、横方向Xにおける第2制御層15Dの中央部に接続されている。第2パワー半導体素子30Bfのゲート電極33に接続された第2制御用接続部材22Bは、横方向Xにおける第2制御層15Dのうちの第2基板12の第4基板側面12d側の端部に接続されている。

[0193] また、横方向Xにおける第2検出用接続部材23Bの第2パワー半導体素子30Bd, 30Be, 30Bfのソース電極32の接続位置と第2検出層16Dの接続位置との関係が、横方向Xにおける第2検出用接続部材23Bの第2パワー半導体素子30Ba, 30Bb, 30Bcのソース電極32の接続位置と第2検出層16Bの接続位置との関係と異なる。一例では、図10に示すように、横方向Xにおいて、第2検出用接続部材23Bの第2検出層16Dの接続位置は、第2検出用接続部材23Bの第2パワー半導体素子30Beのソース電極32の接続位置よりも第2基板12の第3基板側面12c側に位置している。

[0194] また、横方向Xにおいて、第2検出用接続部材23Bは、第2パワー半導体素子30Bd, 30Bb, 30Bcの第1ソース電極32Aのうちの第2基板12の第3基板側面12c側の領域に接続されている。

[0195] 第2パワー半導体素子30Bdのゲート電極33に接続された第2制御用

接続部材 22B は、横方向 X における第 2 制御層 15D のうちの第 2 基板 12 の第 3 基板側面 12c 側の端部に接続されている。より詳細には、第 2 パワー半導体素子 30Bd のゲート電極 33 に接続された第 2 制御用接続部材 22B は、横方向 X において、第 2 制御層 15D における第 2 制御端子用接続部材 25B のうちの第 2 制御層 15D に接続された部分と、第 2 制御層接続部材 103B のうちの第 2 制御層 15D に接続された部分との間の部分に接続されている。

[0196] 第 2 パワー半導体素子 30Be の第 1 ソース電極 32A に接続された第 2 検出用接続部材 23B は、横方向 X において第 2 検出層 16B の中央部に接続されている。第 2 パワー半導体素子 30Bf の第 1 ソース電極 32A に接続された第 2 検出用接続部材 23B は、横方向 X において第 2 検出層 16D のうちの第 2 基板 12 の第 4 基板側面 12d 側の端部に接続されている。

[0197] 次に、各グラファイトプレート 90A~90D の詳細な構成について説明する。なお、各グラファイトプレート 90A~90D は同一構成であるため、第 1 グラファイトプレート 90A の構成のみを説明し、各グラファイトプレート 90B~90D の説明を省略する。

[0198] 図 26 (a) (b) に示すように、第 1 グラファイトプレート 90A には、熱伝導率の配向が異なる 2 種類のグラファイトプレートが用いられている。図 27 は、第 1 グラファイトプレート 90A を構成するグラファイトシート (グラフェン) GS の模式的構成 (積層構造例) を示している。

[0199] 第 1 グラファイトプレート 90A には、厚さ方向 Z よりも厚さ方向 Z に直交する面方向に熱伝導率が高い XY 配向 (第 1 の配向) を有する第 1 熱伝導部の一例であるグラファイトプレート 90xy と、面方向よりも厚さ方向 Z に熱伝導率が高い XZ 配向 (第 2 の配向) を有する第 2 熱伝導部の一例であるグラファイトプレート 90xz とが存在し、グラファイトプレート 90xy は図 26 (a) に示すように表されており、グラファイトプレート 90xz は図 26 (b) に示すように表されている。このように、横方向 X 及び縦方向 Y はそれぞれ、厚さ方向 Z に直交する面方向ともいえる。

- [0200] 図27に示すように、 n 層からなる各面のグラファイトシートGS1・GS2・GS3・…・GS n は、1つの積層結晶構造の中に多数の六方晶系の共有結合を有しており、各面のグラファイトシートGS1・GS2・GS3・…・GS n 間ファンデルワールス力によって結合されている。
- [0201] すなわち、炭素系異方伝熱材料であるグラファイトは、炭素原子の六角形網目構造の層状結晶体であって、熱伝導も異方性を有しており、図27に示すグラファイトシートGS1・GS2・GS3・…・GS n は、結晶面方向(XY面上)に対して、Z軸の厚さ方向Zよりも大きな熱伝導度(高い熱伝導率)を有する。
- [0202] したがって、図26(a)に示すように、XY配向を有するグラファイトプレート $90 \times y$ は、例えば、 $X=1500$ (W/mK)、 $Y=1500$ (W/mK)、 $Z=5$ (W/mK)の熱伝導率を有する。
- [0203] 一方、図26(b)に示すように、XZ配向を有するグラファイトプレート $90 \times z$ は、例えば、 $X=1500$ (W/mK)、 $Y=5$ (W/mK)、 $Z=1500$ (W/mK)の熱伝導率を有する。なお、グラファイトプレート $90 \times y$ 、 $90 \times z$ はともに、密度が 2.2 (g/cm³)であり、厚さが $2\text{mm} \sim 10\text{mm}$ であり、大きさが $40\text{mm} \times 40\text{mm}$ である。
- [0204] 本実施形態では、図16に示すように、グラファイトプレート $90 \times y$ が第1グラファイトプレート90Aの第1プレート主面95Aを構成している。グラファイトプレート $90 \times z$ が第1グラファイトプレート90Aの第1プレート裏面96Aを構成している。すなわち、第1グラファイトプレート90Aは、厚さ方向Zにおいて、グラファイトプレート $90 \times z$ 上にグラファイトプレート $90 \times y$ が積層された構成である。また、図20に示すように、第1グラファイトプレート90Cも第1グラファイトプレート90Aと同様に、グラファイトプレート $90 \times y$ が第1グラファイトプレート90Cの第1プレート主面95Cを構成しており、グラファイトプレート $90 \times z$ が第1グラファイトプレート90Cの第1プレート裏面96Cを構成している。また、図22に示すように、第2グラファイトプレート90Bも第1グ

ラファイトプレート90Aと同様に、グラファイトプレート90x yが第2グラファイトプレート90Bの第2プレート主面95Bを構成しており、グラファイトプレート90x zが第2グラファイトプレート90Bの第2プレート裏面96Bを構成している。また、図24に示すように、第2グラファイトプレート90Dも第1グラファイトプレート90Aと同様に、グラファイトプレート90x yが第2グラファイトプレート90Dの第2プレート主面95Dを構成しており、グラファイトプレート90x zが第2グラファイトプレート90Dの第2プレート裏面96Dを構成している。

[0205] (作用)

本実施形態のパワーモジュール1Aの作用について説明する。

パワーモジュールでは、例えばSiCを用いたパワー半導体素子が高速にスイッチング動作することによって高精度な電力供給を実現でき、かつ電力消費を低減している。一方、大電流が流れるパワー半導体素子が高速にスイッチング動作するため、パワー半導体素子の発熱量が多くなり、高温化し易い。

[0206] そこで、パワーモジュールには、パワー半導体素子が配置される基板に放熱器を設けることによって、パワー半導体素子の熱を放熱器に移動させる構成が採用されている。この場合、パワー半導体素子の熱が基板を介して放熱器に移動するが、熱は主にはパワー半導体素子の裏面から放熱器へと厚さ方向Zの移動となるため、効率よく放熱できない場合がある。

[0207] さらに、基板自体の放熱性能を高めるため、AlN（窒化アルミニウム）が用いられる場合がある。この場合においてもパワー半導体素子の熱の放熱器への移動の効率が高まることによってパワー半導体素子の放熱性能が向上するものの、パワー半導体素子の熱は主に厚さ方向Zの移動となる。また、AlNの基板は放熱性に優れる一方、機械的強度が低い。このため、複数のパワー半導体素子を用いることによって基板のサイズが大きくなる構成では、基板が変形してしまうおそれがある。

[0208] そこで、本実施形態のパワーモジュール1Aは、基板10と各パワー半導

体素子30A, 30Bとの間に介在するグラファイトプレート90A~90Dを備える。これらグラファイトプレート90A~90Dは、厚さ方向Zと直交する方向である面方向（横方向X及び縦方向Y）の熱伝導率が厚さ方向Zの熱伝導率よりも高いグラファイトプレートを含んでいるため、各パワー半導体素子30A, 30Bの熱はグラファイトプレート90A~90Dにおいて面方向に広がる。このように各パワー半導体素子30A, 30Bの熱がグラファイトプレート90A~90Dにおいて幅広く伝わるため、各パワー半導体素子30A, 30Bから効率よく放熱できる。

[0209] (効果)

本実施形態のパワーモジュール1Aによれば、以下の効果が得られる。

(1-1) パワーモジュール1Aは、厚さ方向Zに直交する面方向の熱伝導率が厚さ方向Zの熱伝導率よりも高いグラファイトプレート90A~90Dと、グラファイトプレート90A~90Dの各プレート主面95A~95Dの横方向Xにおいて離間して配置されている複数の各パワー半導体素子30A, 30Bとを備える。この構成によれば、複数の各パワー半導体素子30A, 30Bの熱を面方向に広げることができ、各パワー半導体素子30A, 30Bから効率よく放熱できる。

[0210] (1-2) 複数の第1パワー半導体素子30Aは、第1グラファイトプレート90A, 90Cにおいて横方向Xに離間して配置されている。このため、横方向Xに隣り合う第1パワー半導体素子30Aの熱が互いに干渉することを抑制できる。また、複数の第2パワー半導体素子30Bは、第2グラファイトプレート90B, 90Dにおいて横方向Xに離間して配置されている。このため、横方向Xに隣り合う第2パワー半導体素子30Bの熱が互いに干渉することを抑制できる。このように、各パワー半導体素子30A, 30Bからさらに効率よく放熱できる。

[0211] (1-3) 各グラファイトプレート90A~90Dの各プレート主面95A~95Dは、横方向Xが長辺方向となり、縦方向Yが短辺方向となる形状を有する。複数の第1パワー半導体素子30Aは、第1プレート主面95A

、95Cにおいて横方向Xに離間して配置されている。複数の第2パワー半導体素子30Bは、第2プレート主面95B、95Dにおいて横方向Xに離間して配置されている。この構成によれば、横方向Xに隣り合う第1パワー半導体素子30Aの間の距離を大きく取ることができ、横方向Xに隣り合う第2パワー半導体素子30Bの間の距離を大きく取ることができる。したがって、横方向Xに隣り合う第1パワー半導体素子30Aの熱が互いに干渉することを一層抑制でき、横方向Xに隣り合う第2パワー半導体素子30Bの熱が互いに干渉することを一層抑制できる。

[0212] (1-4) 第1グラファイトプレート90A、90Cの第1プレート主面95A、95Cはグラファイトプレート90×yによって構成されている。これにより、第1パワー半導体素子30Aの熱が面方向に一層広がり易くなる。第2グラファイトプレート90B、90Dの第2プレート主面95B、95Dはグラファイトプレート90×yによって構成されている。これにより、第2パワー半導体素子30Bの熱が面方向に一層広がり易くなる。

[0213] (1-5) 各グラファイトプレート90A~90Dの厚さ(各グラファイトプレート90A~90Dの厚さ方向Zの寸法)は、基板10の厚さ(基板10の厚さ方向Zの寸法)よりも厚い。この構成によれば、各グラファイトプレート90A~90Dの体積を大きく取ることができるので、各パワー半導体素子30A、30Bをより効率的に放熱できる。

[0214] (1-6) 第1基板11及び第2基板12はアルミナからなる。この構成によれば、第1基板11及び第2基板12がAlNよりも機械的強度が高いアルミナからなるため、第1基板11及び第2基板12のそれぞれの変形を抑制できる。

[0215] また、パワーモジュール1Aが各グラファイトプレート90A~90Dを備えることによって、各パワー半導体素子30A、30Bから効率よく放熱できるため、第1基板11及び第2基板12にAlNやSiNよりも放熱性の低いアルミナを用いたとしても、各パワー半導体素子30A、30Bからの放熱能力の低下に起因して各パワー半導体素子30A、30Bが過度に高

温になることを抑制できる。このように、第1基板11及び第2基板12は、AlN、SiNに加え、アルミナを用いてもよいため、第1基板11及び第2基板12の構成材料の選択の自由度を高めることができる。

[0216] (1-7) 第1基板11の第1基板裏面11r及び第2基板12の第2基板裏面12rには放熱板70が設けられている。この構成によれば、第1基板11及び第2基板12からパワーモジュール1Aの外部への放熱性能が向上する。

[0217] (1-8) 各グラファイトプレート90A, 90Cの第1プレート主面95A, 95Cにおける横方向Xの両端部及び横方向Xの中央部に第1パワー半導体素子30Aがそれぞれ配置されている。この構成によれば、横方向Xに隣り合う第1パワー半導体素子30Aの間の距離を大きく取ることができるので、隣り合う第1パワー半導体素子30Aの熱の干渉を一層抑制できる。また、各グラファイトプレート90B, 90Dの第2プレート主面95B, 95Dにおける横方向Xの両端部及び横方向Xの中央部に第2パワー半導体素子30Bがそれぞれ配置されている。この構成によれば、横方向Xに隣り合う第2パワー半導体素子30Bの間の距離を大きく取ることができるので、隣り合う第2パワー半導体素子30Bの熱の干渉を一層抑制できる。

[0218] (1-9) 第1グラファイトプレート90A, 90Cの第1プレート主面95A, 95Cに配置されている複数の第1ダイオード40Aは、横方向Xにおいて互いに離間して配置されている。第2グラファイトプレート90B, 90Dの第2プレート主面95B, 95Dに配置されている複数の第2ダイオード40Bは、横方向Xにおいて互いに離間して配置されている。この構成によれば、横方向Xに隣り合う第1ダイオード40Aの間の距離を大きく取ることができ、横方向Xに隣り合う第2ダイオード40Bの間の距離を大きく取ることができる。したがって、横方向Xに隣り合う第1ダイオード40Aの熱が互いに干渉することを一層抑制でき、横方向Xに隣り合う第2ダイオード40Bの熱が互いに干渉することを一層抑制できる。

[0219] (1-10) 縦方向Yにおいて第1パワー半導体素子30Aは、第1ダイ

オード40Aよりも第1制御層15A側に配置されている。縦方向Yにおいて第2パワー半導体素子30Bは、第2ダイオード40Bよりも第2制御層15B側に配置されている。この構成によれば、第1パワー半導体素子30Aのゲート電極33と第1制御層15Aとを接続する第1制御用接続部材22Aの長さを短くできるため、第1制御用接続部材22Aに起因するインダクタンスを低減できる。また第2パワー半導体素子30Bのゲート電極33と第2制御層15Bとを接続する第2制御用接続部材22Bの長さを短くできるため、第2制御用接続部材22Bに起因するインダクタンスを低減できる。

[0220] (1-11) 縦方向Yにおいて第1パワー半導体素子30Aは、第1ダイオード40Aよりも第1検出層16A側に配置されている。縦方向Yにおいて第2パワー半導体素子30Bは、第2ダイオード40Bよりも第2検出層16B側に配置されている。この構成によれば、第1パワー半導体素子30Aのソース電極32と第1検出層16Aとを接続する第1検出用接続部材23Aの長さを短くできるため、第1検出用接続部材23Aに起因するインダクタンスを低減できる。また第2パワー半導体素子30Bのソース電極32と第2検出層16Bとを接続する第2検出用接続部材23Bの長さを短くできるため、第2検出用接続部材23Bに起因するインダクタンスを低減できる。

[0221] (1-12) 第2グラファイトプレート90Bは、縦方向Yにおいて第2搭載層13Bのうちの導電層14A寄りに配置されている。この構成によれば、平面視において、第2グラファイトプレート90Bの第2プレート主面95Bに配置された複数の第2パワー半導体素子30Bと導電層14Aとの間の距離が短くなる。このため、第2パワー半導体素子30Bと導電層14Aとを接続する第2素子接続部材21Bの長さを短くできる。したがって、第2素子接続部材21Bに起因するインダクタンスを低減できる。

[0222] また、第2グラファイトプレート90Dは、縦方向Yにおいて第2搭載層13Dの主搭載部13eのうちの導電層14B寄りに配置されている。この

構成によれば、平面視において、第2グラファイトプレート90Dの第2プレート主面95Dに配置された複数の第2パワー半導体素子30Bと導電層14Bとの間の距離が短くなる。このため、第2パワー半導体素子30Bと導電層14Bとを接続する第2素子接続部材21Bの長さを短くできる。したがって、第2素子接続部材21Bに起因するインダクタンスを低減できる。

[0223] (1-13) 第2グラファイトプレート90Bの第2プレート主面95Bに配置されている複数の第2パワー半導体素子30Bは、縦方向Yにおいて第2プレート主面95Bのうちの導電層14A側の端部に配置されている。この構成によれば、平面視において、複数の第2パワー半導体素子30Bと導電層14Aとの縦方向Yの間の距離が短くなる。このため、第2パワー半導体素子30Bと導電層14Aとを接続する第2素子接続部材21Bの長さを短くできる。したがって、第2素子接続部材21Bに起因するインダクタンスを低減できる。

[0224] また、第2グラファイトプレート90Dの第2プレート主面95Dに配置されている複数の第2パワー半導体素子30Bは、縦方向Yにおいて第2プレート主面95Dのうちの導電層14B側の端部に配置されている。この構成によれば、平面視において、複数の第2パワー半導体素子30Bと導電層14Bとの縦方向Yの間の距離が短くなる。このため、第2パワー半導体素子30Bと導電層14Bとを接続する第2素子接続部材21Bの長さを短くできる。したがって、第2素子接続部材21Bに起因するインダクタンスを低減できる。

[0225] [第2実施形態]

図28～図34を参照して、第2実施形態のパワーモジュール1Bについて説明する。本実施形態のパワーモジュール1Bは、第1実施形態のパワーモジュール1Aと比較して、ダイオード40が省略された点が異なる。以下では、第1実施形態のパワーモジュール1Aと異なる点を詳細に説明し、第1実施形態のパワーモジュール1Aと共通した構成要素には同一符号を付し

、その説明を省略する場合がある。

[0226] 図28～図34に示すように、第1ダイオード40Aa, 40Ab, 40Acが省略されることによって、第1素子接続部材21Abは、第1パワー半導体素子30Aa, 30Ab, 30Acの第2ソース電極32Bと第2搭載層13Bとを接続するようになる。

[0227] 本実施形態では、第1パワー半導体素子30Aa, 30Ab, 30Acは、第1実施形態と同様に、縦方向Yにおいて第1グラファイトプレート90Aの第1プレート主面95A（主面側導電層97A）のうちの第1プレート側面91A側の端部に配置されているが、第1パワー半導体素子30Aa, 30Ab, 30Acの縦方向Yの配置位置は任意に変更可能である。一例では、第1パワー半導体素子30Aa, 30Ab, 30Acは、縦方向Yにおいて第1グラファイトプレート90Aの第1プレート主面95A（主面側導電層97A）の中央部に配置されている。また、第1グラファイトプレート90Aの幅寸法（第1グラファイトプレート90Aの縦方向Yの寸法）を第1実施形態の第1グラファイトプレート90Aの幅寸法よりも小さくしてもよい。

[0228] 第2ダイオード40Ba, 40Bb, 40Bcが省略されることによって、第1素子接続部材21Aaは、第2パワー半導体素子30Ba, 30Bb, 30Bcの第1ソース電極32Aから導電層14Aまでにわたり形成されている。また、第2グラファイトプレート90Bの幅寸法（第2グラファイトプレート90Bの縦方向Yの寸法）を第1実施形態の第2グラファイトプレート90Bの幅寸法よりも小さくしてもよい。

[0229] 第1ダイオード40Ad, 40Ae, 40Afが省略されることによって、第1素子接続部材21Abは、第1パワー半導体素子30Ad, 30Ae, 30Afの第2ソース電極32Bと第2搭載層13Dの主搭載部13eとを接続するようになる。

[0230] 本実施形態では、第1パワー半導体素子30Ad, 30Ae, 30Afは、第1実施形態と同様に、縦方向Yにおいて第1グラファイトプレート90

Cの第1プレート主面95C（主面側導電層97C）のうちの第1プレート側面91C側の端部に配置されているが、第1パワー半導体素子30Ad, 30Ae, 30Afの縦方向Yの配置位置は任意に変更可能である。一例では、第1パワー半導体素子30Ad, 30Ae, 30Afは、縦方向Yにおいて第1グラファイトプレート90Cの第1プレート主面95C（主面側導電層97C）の中央部に配置されている。また、第1グラファイトプレート90Cの幅寸法（第1グラファイトプレート90Cの縦方向Yの寸法）を第1実施形態の第1グラファイトプレート90Cの幅寸法よりも小さくしてもよい。

[0231] 第2ダイオード40Bd, 40Be, 40Bfが省略されることによって、第2パワー半導体素子30Bd, 30Be, 30Bfの第1ソース電極32Aに接続される第1素子接続部材21Aaはそれぞれ、第1ソース電極32Aから導電層14Aまでにわたり形成されている。また、第2グラファイトプレート90Dの幅寸法（第2グラファイトプレート90Dの縦方向Yの寸法）を第1実施形態の第2グラファイトプレート90Dの幅寸法よりも小さくしてもよい。なお、本実施形態のパワーモジュール1Bによれば、第1実施形態のパワーモジュール1Aの効果と同様の効果が得られる。

[0232] [パワーモジュールの適用例]

パワーモジュール1A, 1Bを用いて構成される回路構成例について説明する。なお、図35及び図36では、便宜上、ボディダイオード34を省略して示している。

[0233] 上記回路構成の第1例として、図35は、パワーモジュール1Aを用いて構成される3相交流インバータ200を示している。3相交流インバータ200では、U相インバータを構成するパワーモジュール1A、V相インバータを構成するパワーモジュール1A、及びW相インバータを構成するパワーモジュール1Aが互いに並列に接続されている。3相交流インバータ200は、パワー半導体素子30としてSiCMOSFETを適用し、電源端子PLと接地端子NLとの間にスナバコンデンサCを接続した構成である。なお

、パワー半導体素子30としてIGBTを適用し、電源端子PLと接地端子NLとの間にスナバコンデンサCを接続した3相交流インバータ（図示略）を実現することもできる。また図35では図示していないが、パワーモジュール1Bを用いて3相交流インバータ200を構成する場合、ダイオード40は、パワーモジュール1Bの外部に設けられる。

[0234] 図35に示すように、パワーモジュール1Aを電源Eに接続し、スイッチング動作を行うと、SiCMOSFETのスイッチング速度が速いため、接続ラインの有するインダクタンスLによって大きなサージ電圧 $L di/dt$ を生じる。例えば、電流変化 $di=300A$ とし、スイッチングに伴う時間変化 $dt=100nsec$ とすると、 $di/dt=3\times 10^9(A/s)$ となる。

[0235] インダクタンスLの値により、サージ電圧 $L di/dt$ の値は変化するが、電源Eに、このサージ電圧 $L di/dt$ が重畳される。電源端子PLと接地端子NLとの間に接続されるスナバコンデンサCによって、このサージ電圧 $L di/dt$ を吸収できる。

[0236] 上記回路構成の第2例として、図36は、パワーモジュール1Aを用いて構成される3相交流インバータ210を示している。

3相交流インバータ210は、ゲートドライバ211に接続されたパワーモジュール部212と、電源もしくは蓄電池213と、コンバータ214とを備え、3相交流モータ部215の駆動を制御する。パワーモジュール部212は、3相交流モータ部215のU相、V相、W相に対応して、U相インバータ、V相インバータ、W相インバータが接続されている。

[0237] ゲートドライバ211は、U相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群30ATのゲート電極33及び第2パワー半導体素子群30BTのゲート電極33と、V相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群30ATのゲート電極33及び第2パワー半導体素子群30BTのゲート電極33と、W相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群30ATのゲート電極3

3及び第2パワー半導体素子群30BTのゲート電極33とにそれぞれ接続されている。またゲートドライバ211は、U相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群30ATのソース電極32及び第2パワー半導体素子群30BTのソース電極32と、V相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群30ATのソース電極32及び第2パワー半導体素子群30BTのソース電極32と、W相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群30ATのソース電極32及び第2パワー半導体素子群30BTのソース電極32とにそれぞれ接続されている。

[0238] パワーモジュール部212は、電源もしくは蓄電池(E)213が接続されたコンバータ214のプラス端子(+)Pとマイナス端子(-)Nとの間に接続されており、U相インバータを構成するパワーモジュール1Aの各パワー半導体素子群30AT、30BT、V相インバータを構成するパワーモジュール1Aの各パワー半導体素子群30AT、30BT、及びW相インバータを構成するパワーモジュール1Aの各パワー半導体素子群30AT、30BTを備える。

[0239] 各相インバータの各パワー半導体素子群30AT、30BTのソース電極32とドレイン電極31の間には、フリーホイールダイオードとしての各ダイオード群40AT、40BTがそれぞれ逆並列に接続されている。なお、3相交流インバータ210には、パワーモジュール1Bを適用してもよい。この場合、各ダイオード群40AT、40BTはパワーモジュール1Bの外部に設けられる。

[0240] このように、3相交流インバータ200、210のように、複数のパワーモジュール1A(1B)を用いる場合、3相交流インバータ200、210を冷却する冷却水を流す構成が考えられる。このような構成においては、複数のパワーモジュール1A(1B)が冷却水の流路に沿って並べて配設されることが好ましい。これにより、複数のパワーモジュール1A(1B)を容易に冷却できる。

[0241] [変更例]

上記各実施形態は本開示に関するパワーモジュールが取り得る形態の例示であり、その形態を制限することを意図していない。本開示に関するパワーモジュールは、上記各実施形態に例示された形態とは異なる形態を取り得る。その一例は、上記各実施形態の構成の一部を置換、変更、もしくは、省略した形態、又は上記各実施形態に新たな構成を付加した形態である。以下の変更例において、上記各実施形態と共通する部分については、上記各実施形態と同一の符号を付してその説明を省略する。

[0242] ・上記各実施形態において、第1出力端子52A及び第2出力端子52Bのいずれかを省略してもよい。

・上記各実施形態において、図37に示すように、放熱板70の放熱裏面70rに冷却器の一例であるヒートシンク110を取り付けてもよい。ヒートシンク110は、複数のフィン111を有する。また放熱板70とヒートシンク110とが一体に形成された単一部材として構成されてもよい。

[0243] この構成によれば、放熱板70にヒートシンク110を設けることによって、そのヒートシンク110を直接冷却できるので、各パワー半導体素子30A、30Bからの放熱効率をより高めることができる。

[0244] なお、ヒートシンク110には、フィン111に代えて、図37において横方向X及び縦方向Yに沿う平面でフィン111を切った断面形状が円形や多角形状となる放熱ピンを設けることもできる。また、フィン111と放熱ピンとの両方を設けてもよい。

[0245] ・上記各実施形態において、第1素子接続部材21A及び第2素子接続部材21Bは、ワイヤに限られず、平面視において帯状の板材によって構成されてもよい。第1素子接続部材21A及び第2素子接続部材21Bはそれぞれ、Cu又はCu合金やAl又はAl合金からなる。一例では、図38に示すように、パワーモジュール1Aにおいて、第1素子接続部材21Aは、第1パワー半導体素子30Abの第1ソース電極32A及び第2ソース電極32Bにわたり接続されており、第1ダイオード40Abのアノード電極41

の全体にわたり接続されており、第2搭載層13Bに接続されている。また一例では、図39に示すように、パワーモジュール1Aにおいて、第1素子接続部材21Aは、第2パワー半導体素子30Bbの第1ソース電極32A及び第2ソース電極32Bにわたり接続されており、第2ダイオード40Bbのアノード電極41の全体にわたり接続されており、導電層14Aに接続されている。なお、第1パワー半導体素子30Aa, 30Ac~30Afに接続される第1素子接続部材21Aについても図38の第1素子接続部材21Aと同様に変更できる。また、第2パワー半導体素子30Ba, 30Bc~30Bfに接続される第1素子接続部材21Aについても図39の第1素子接続部材21Aと同様に変更できる。

[0246] また一例では、図40に示すように、パワーモジュール1Bにおいて、第1素子接続部材21Aは、第1パワー半導体素子30Abの第1ソース電極32A及び第2ソース電極32Bにわたり接続されており、第2搭載層13Bに接続されている。また一例では、図41に示すように、パワーモジュール1Bにおいて、第1素子接続部材21Aは、第2パワー半導体素子30Bbの第1ソース電極32A及び第2ソース電極32Bにわたり接続されており、導電層14Aに接続されている。なお、第1パワー半導体素子30Aa, 30Ac~30Afに接続される第1素子接続部材21Aについても図40の第1素子接続部材21Aと同様に変更できる。また、第2パワー半導体素子30Ba, 30Bc~30Bfに接続される第1素子接続部材21Aについても図41の第1素子接続部材21Aと同様に変更できる。

[0247] ・上記各実施形態において、基板10として、第1基板11及び第2基板12が一体に形成された構成であってもよい。この場合、連結部材100A~100Cが省略される。また、第1制御層15Aと第1制御層15Cとを一体化してもよい。この場合、第1制御層接続部材103Aが省略される。また、第1検出層16Aと第1検出層16Cとを一体化してもよい。この場合、第1検出層接続部材104Aが省略される。また、第2制御層15Bと第2制御層15Dとを一体化してもよい。この場合、第2制御層接続部材1

03Bが省略される。また、第2検出層16Bと第2検出層16Dとを一体化してもよい。この場合、第2検出層接続部材104Bが省略される。

[0248] ・上記各実施形態において、各パワー半導体素子30A、30Bの個数はそれぞれ任意に変更可能である。一例では、第1グラファイトプレート90A、90Cにはそれぞれ、5個の第1パワー半導体素子30Aが搭載されており、第2グラファイトプレート90B、90Dにはそれぞれ、5個の第2パワー半導体素子30Bが搭載されている。なお、第1実施形態において、各パワー半導体素子30A、30Bの個数に応じて各ダイオード40A、40Bの個数が設定される。

[0249] ・上記第1実施形態において、図42に示すように、第1グラファイトプレート90Aは、複数の第1パワー半導体素子30Aが配置されている第1グラファイト部90Aaと、複数の第1ダイオード40Aが配置されている第2グラファイト部90Abとが個別に形成された構成であってもよい。第1グラファイト部90Aaと第2グラファイト部90Abとは、縦方向Yにおいて間隔をあけて配置されている。第1グラファイト部90Aaでは、グラファイトプレート90x yが第1グラファイト部90Aaのプレート主面95Aを構成しており、グラファイトプレート90x zが第1グラファイト部90Aaのプレート裏面96Aを構成している。第2グラファイト部90Abでは、グラファイトプレート90x yが第2グラファイト部90Abのプレート主面95Aを構成しており、グラファイトプレート90x zが第2グラファイト部90Abのプレート裏面96Aを構成している。

[0250] また、図42に示すとおり、第1グラファイト部90Aaの幅寸法（第1グラファイト部90Aaの縦方向Yの寸法）は、第2グラファイト部90Abの幅寸法（第2グラファイト部90Abの縦方向Yの寸法）よりも大きい。第1グラファイト部90Aaの横方向Xの寸法は、第2グラファイト部90Abの横方向Xの寸法と等しい。第1グラファイト部90Aaの厚さ（第1グラファイト部Aaの厚さ方向Zの寸法）は、第2グラファイト部90Abの厚さ（第2グラファイト部Abの厚さ方向Zの寸法）と等しい。

- [0251] ここで、第1グラファイト部90Aaの縦方向Yの寸法と第2グラファイト部90Abの縦方向Yの寸法との差が例えば第2グラファイト部90Abの縦方向Yの寸法の5%以内であれば、第1グラファイト部90Aaの幅寸法が第2グラファイト部90Abの幅寸法と等しいといえる。第1グラファイト部90Aaの横方向Xの寸法と第2グラファイト部90Abの横方向Xの寸法との差が例えば第2グラファイト部90Abの横方向Xの寸法の5%以内であれば、第1グラファイト部90Aaの横方向Xの寸法が第2グラファイト部90Abの横方向Xの寸法と等しいといえる。また、第1グラファイト部90Aaの厚さ方向Zの寸法と第2グラファイト部90Abの厚さ方向Zの寸法との差が例えば第2グラファイト部90Abの厚さ方向Zの寸法の5%以内であれば、第1グラファイト部90Aaの厚さが第2グラファイト部90Abの厚さと等しいといえる。
- [0252] また、第1グラファイト部90Aaの横方向Xの寸法は任意に変更可能である。一例では、第1グラファイト部90Aaの横方向Xの寸法は、第2グラファイト部90Abの横方向Xの寸法よりも短くてもよい。この場合、横方向Xにおいて、第1パワー半導体素子30Aaが第1制御層15A及び第1検出層16Aに近づくように第1グラファイト部90Aaが第1搭載層13Aの主搭載部13aに配置されることが好ましい。
- [0253] また、第1グラファイト部90Aaの厚さは任意に変更可能である。一例では、第1グラファイト部90Aaの厚さは、第2グラファイト部90Abの厚さと異なってもよい。一例では、第1グラファイト部90Aaの厚さは、第2グラファイト部90Abの厚さよりも厚くてもよい。すなわち、第1グラファイト部90Aaの厚さは、上記各実施形態の第1グラファイトプレート90Aの厚さよりも厚くてもよい。
- [0254] また、第2グラファイト部90Abの横方向Xの寸法は任意に変更可能である。一例では、第2グラファイト部90Abの横方向Xの寸法は、第1グラファイト部90Aaの横方向Xの寸法と異なってもよい。
- [0255] また、第2グラファイト部90Abの厚さは任意に変更可能である。一例

では、第2グラファイト部90Abの厚さは、第1グラファイト部90Aaの厚さよりも薄くてもよい。すなわち、第2グラファイト部90Abの厚さは、上記各実施形態の第1グラファイトプレート90Aの厚さよりも薄くてもよい。

[0256] また、第2グラファイトプレート90Bは、複数の第2パワー半導体素子30Bが配置されている第1グラファイト部90Baと、複数の第2ダイオード40Bが配置されている第2グラファイト部90Bbとが個別に形成された構成であってもよい。第1グラファイト部90Baでは、グラファイトプレート90xyが第1グラファイト部90Baのプレート主面95Bを構成しており、グラファイトプレート90xzが第1グラファイト部90Baのプレート裏面96Bを構成している。第2グラファイト部90Bbでは、グラファイトプレート90xyが第2グラファイト部90Bbのプレート主面95Bを構成しており、グラファイトプレート90xzが第2グラファイト部90Bbのプレート裏面96Bを構成している。

[0257] また、図42に示すとおり、第1グラファイト部90Baの幅寸法（第1グラファイト部90Baの縦方向Yの寸法）は、第2グラファイト部90Bbの幅寸法（第2グラファイト部90Bbの縦方向Yの寸法）よりも大きい。第1グラファイト部90Baの横方向Xの寸法は、第2グラファイト部90Bbの横方向Xの寸法と等しい。第1グラファイト部90Baの厚さ（第1グラファイト部Baの厚さ方向Zの寸法）は、第2グラファイト部90Bbの厚さ（第2グラファイト部Bbの厚さ方向Zの寸法）と等しい。

[0258] ここで、第1グラファイト部90Aaの縦方向Yの寸法と第2グラファイト部90Abの縦方向Yの寸法との差が例えば第2グラファイト部90Abの縦方向Yの寸法の5%以内であれば、第1グラファイト部90Aaの幅寸法が第2グラファイト部90Abの幅寸法と等しいといえる。第1グラファイト部90Baの横方向Xの寸法と第2グラファイト部90Bbの横方向Xの寸法との差が例えば第2グラファイト部90Bbの横方向Xの寸法の5%以内であれば、第1グラファイト部90Baの横方向Xの寸法が第2グラフ

ァイト部90Bbの横方向Xの寸法と等しいといえる。また、第1グラファイト部90Baの厚さ方向Zの寸法と第2グラファイト部90Bbの厚さ方向Zの寸法との差が例えば第2グラファイト部90Bbの厚さ方向Zの寸法の5%以内であれば、第1グラファイト部90Baの厚さが第2グラファイト部90Bbの厚さと等しいといえる。

[0259] また、第1グラファイト部90Baの横方向Xの寸法は任意に変更可能である。一例では、第1グラファイト部90Baの横方向Xの寸法は、第2グラファイト部90Bbの横方向Xの寸法よりも短くてもよい。また、第1グラファイト部90Baの横方向Xの寸法は、第1グラファイト部90Aaの横方向Xの寸法及び第2グラファイト部90Abの横方向Xの寸法と異なってもよい。

[0260] また、第1グラファイト部90Baの厚さは任意に変更可能である。一例では、第1グラファイト部90Baの厚さは、第2グラファイト部90Bbの厚さと異なってもよい。一例では、第1グラファイト部90Baの厚さは、第2グラファイト部90Bbの厚さよりも厚くてもよい。すなわち、第1グラファイト部90Baの厚さは、上記各実施形態の第2グラファイトプレート90Bの厚さよりも厚くてもよい。また、第1グラファイト部90Baの厚さは、第1グラファイト部90Aaの厚さ及び第2グラファイト部90Abの厚さと異なってもよい。

[0261] また、第2グラファイト部90Bbの横方向Xの寸法は任意に変更可能である。一例では、第2グラファイト部90Bbの横方向Xの寸法は、第1グラファイト部90Baの横方向Xの寸法と異なってもよい。また、第2グラファイト部90Bbの横方向Xの寸法は、第1グラファイト部90Aaの横方向Xの寸法及び第2グラファイト部90Abの横方向Xの寸法と異なってもよい。

[0262] また、第2グラファイト部90Bbの厚さは任意に変更可能である。一例では、第2グラファイト部90Bbの厚さは、第1グラファイト部90Baの厚さよりも薄くてもよい。すなわち、第2グラファイト部90Bbの厚さ

は、上記各実施形態の第2グラファイトプレート90Bの厚さよりも薄くてもよい。また、第2グラファイト部90Bbの厚さは、第1グラファイト部90Aaの厚さ及び第2グラファイト部90Abの厚さと異なってもよい。

[0263] なお、第1グラファイトプレート90Aについて、第1グラファイト部90Aaにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造と、第2グラファイト部90Abにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造とが互いに異なってもよい。また第2グラファイトプレート90Bについて、第1グラファイト部90Baにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造と、第2グラファイト部90Bbにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造とが互いに異なってもよい。また、第2基板12の第1グラファイトプレート90C及び第2グラファイトプレート90Dについても図42に示す第1グラファイトプレート90A及び第2グラファイトプレート90Bと同様に変更できる。

[0264] ・上記第1実施形態において、第1グラファイトプレート90Aは、1組の第1パワー半導体素子30A及び第1ダイオード40Aごとに個別に設けられてもよい。一例では、図43に示すように、第1グラファイトプレート90Aは、第1グラファイト部90Aa、第2グラファイト部90Ab、及び第3グラファイト部90Acを有する。第1グラファイト部90Aaには、第1パワー半導体素子30Aa及び第1ダイオード40Aaが配置されている。第2グラファイト部90Abには、第1パワー半導体素子30Ab及び第1ダイオード40Abが配置されている。第3グラファイト部90Acには、第1パワー半導体素子30Ac及び第1ダイオード40Acが配置されている。第1グラファイト部90Aa、第2グラファイト部90Ab、及び第3グラファイト部90Acは、縦方向Yに揃った状態で横方向Xに離間して配列されている。第1グラファイト部90Aaでは、グラファイトプレート90xyが第1グラファイト部90Aaのプレート主面95Aを構成し

ており、グラフィットプレート90x zが第1グラフィット部90A aのプレート裏面96Aを構成している。第2グラフィット部90A bでは、グラフィットプレート90x yが第2グラフィット部90A bのプレート主面95Aを構成しており、グラフィットプレート90x zが第2グラフィット部90A bのプレート裏面96Aを構成している。第3グラフィット部90A cでは、グラフィットプレート90x yが第3グラフィット部90A cのプレート主面95Aを構成しており、グラフィットプレート90x zが第3グラフィット部90A cのプレート裏面96Aを構成している。

[0265] また、図43に示すとおり、第1グラフィット部90A aの縦方向Yの寸法は、第2グラフィット部90A bの縦方向Yの寸法及び第3グラフィット部90A cの縦方向Yの寸法と等しい。第1グラフィット部90A aの横方向Xの寸法は、第2グラフィット部90A bの横方向Xの寸法及び第3グラフィット部90A cの横方向Xの寸法と等しい。第1グラフィット部90A aの厚さ（第1グラフィット部90A aの厚さ方向Zの寸法）は、第2グラフィット部90A bの厚さ（第2グラフィット部90A bの厚さ方向Zの寸法）及び第3グラフィット部90A cの厚さ（第3グラフィット部90A cの厚さ方向Zの寸法）と等しい。

[0266] ここで、第1グラフィット部90A aの縦方向Yの寸法と第2グラフィット部90A bの縦方向Yの寸法との差が例えば第2グラフィット部90A bの縦方向Yの寸法の5%以内であれば、第1グラフィット部90A aの縦方向Yの寸法が第2グラフィット部90A bの縦方向Yの寸法と等しいといえる。また、第1グラフィット部90A aの縦方向Yの寸法と第3グラフィット部90A cの縦方向Yの寸法との差が例えば第3グラフィット部90A cの縦方向Yの寸法の5%以内であれば、第1グラフィット部90A aの縦方向Yの寸法が第3グラフィット部90A cの縦方向Yの寸法と等しいといえる。また、第1グラフィット部90A aの横方向Xの寸法と第2グラフィット部90A bの横方向Xの寸法との差が例えば第2グラフィット部90A bの横方向Xの寸法の5%以内であれば、第1グラフィット部90A aの横方

向Xの寸法が第2グラファイト部90Abの横方向Xの寸法と等しいといえる。また、第1グラファイト部90Aaの横方向Xの寸法と第3グラファイト部90Acの横方向Xの寸法との差が例えば第3グラファイト部90Acの横方向Xの寸法の5%以内であれば、第1グラファイト部90Aaの横方向Xの寸法が第3グラファイト部90Acの横方向Xの寸法と等しいといえる。また、第1グラファイト部90Aaの厚さ方向Zの寸法と第2グラファイト部90Abの厚さ方向Zの寸法との差が例えば第2グラファイト部90Abの厚さ方向Zの寸法の5%以内であれば、第1グラファイト部90Aaの厚さが第2グラファイト部90Abの厚さと等しいといえる。また、第1グラファイト部90Aaの厚さ方向Zの寸法と第3グラファイト部90Acの厚さ方向Zの寸法との差が例えば第3グラファイト部90Acの厚さ方向Zの寸法の5%以内であれば、第1グラファイト部90Aaの厚さが第3グラファイト部90Acの厚さと等しいといえる。

[0267] また、第1グラファイト部90Aaの横方向Xの寸法は任意に変更可能である。一例では、第1グラファイト部90Aaの横方向Xの寸法は、第2グラファイト部90Abの横方向Xの寸法及び第3グラファイト部90Acの横方向Xの寸法の少なくとも一方よりも短くてもよいし、長くてもよい。

[0268] また、第1グラファイト部90Aaの厚さは任意に変更可能である。一例では、第1グラファイト部90Aaの厚さは、第2グラファイト部90Abの厚さ及び第3グラファイト部90Acの厚さの少なくとも一方と異なってもよい。一例では、第1グラファイト部90Aaの厚さは、第2グラファイト部90Abの厚さ及び第3グラファイト部90Acの厚さよりも厚くてもよい。すなわち、第1グラファイト部90Aaの厚さは、上記各実施形態の第1グラファイトプレート90Aの厚さよりも厚くてもよい。

[0269] また、第2グラファイト部90Abの横方向Xの寸法は任意に変更可能である。一例では、第2グラファイト部90Abの横方向Xの寸法は、第1グラファイト部90Aaの横方向Xの寸法及び第3グラファイト部90Acの横方向Xの寸法の少なくとも一方よりも短くてもよいし、長くてもよい。

- [0270] また、第2グラファイト部90Abの厚さは任意に変更可能である。一例では、第2グラファイト部90Abの厚さは、第1グラファイト部90Aaの厚さ及び第3グラファイト部90Acの厚さのすくなくとも一方と異なってもよい。一例では、第2グラファイト部90Abの厚さは、第1グラファイト部90Aaの厚さ及び第3グラファイト部90Acの厚さよりも厚くてもよい。すなわち、第2グラファイト部90Abの厚さは、上記各実施形態の第1グラファイトプレート90Aの厚さよりも厚くてもよい。
- [0271] また、第3グラファイト部90Acの横方向Xの寸法は任意に変更可能である。一例では、第3グラファイト部90Acの横方向Xの寸法は、第1グラファイト部90Aaの横方向Xの寸法及び第2グラファイト部90Abの横方向Xの寸法の少なくとも一方よりも短くてもよいし、長くてもよい。
- [0272] また、第3グラファイト部90Acの厚さは任意に変更可能である。一例では、第3グラファイト部90Acの厚さは、第1グラファイト部90Aaの厚さ及び第2グラファイト部90Abの厚さの少なくとも一方と異なってもよい。一例では、第3グラファイト部90Acの厚さは、第1グラファイト部90Aaの厚さ及び第2グラファイト部90Abの厚さよりも厚くてもよい。すなわち、第3グラファイト部90Acの厚さは、上記各実施形態の第1グラファイトプレート90Aの厚さよりも厚くてもよい。
- [0273] また、第1グラファイト部90Aa、第2グラファイト部90Ab、及び第3グラファイト部90Acが横方向Xにおいて等間隔にて配置されているが、これに限られない。また、第1グラファイト部90Aa及び第2グラファイト部90Abを第1基板11の第4基板側面11d側に移動させてもよい。
- [0274] また、第2グラファイトプレート90Bは、1組の第2パワー半導体素子30B及び第2ダイオード40Bごとに個別に設けられてもよい。一例では、図43に示すように、第2グラファイトプレート90Bは、第1グラファイト部90Ba、第2グラファイト部90Bb、及び第3グラファイト部90Bcを有する。第1グラファイト部90Baには、第2パワー半導体素子

30Ba及び第2ダイオード40Baが配置されている。第2グラファイト部90Bbには、第2パワー半導体素子30Bb及び第2ダイオード40Bbが配置されている。第3グラファイト部90Bcには、第2パワー半導体素子30Bc及び第2ダイオード40Bcが配置されている。第1グラファイト部90Ba、第2グラファイト部90Bb、及び第3グラファイト部90Bcは、縦方向Yに揃った状態で横方向Xに離間して配列されている。第1グラファイト部90Baでは、グラファイトプレート90xyが第1グラファイト部90Baのプレート主面95Bを構成しており、グラファイトプレート90xzが第1グラファイト部90Baのプレート裏面96Bを構成している。第2グラファイト部90Bbでは、グラファイトプレート90xyが第2グラファイト部90Bbのプレート主面95Bを構成しており、グラファイトプレート90xzが第2グラファイト部90Bbのプレート裏面96Bを構成している。第3グラファイト部90Bcでは、グラファイトプレート90xyが第3グラファイト部90Bcのプレート主面95Bを構成しており、グラファイトプレート90xzが第3グラファイト部90Bcのプレート裏面96Bを構成している。

[0275] また、図43に示すとおり、第1グラファイト部90Baの縦方向Yの寸法は、第2グラファイト部90Bbの縦方向Yの寸法及び第3グラファイト部90Bcの縦方向Yの寸法と等しい。第1グラファイト部90Baの横方向Xの寸法は、第2グラファイト部90Bbの横方向Xの寸法及び第3グラファイト部90Bcの横方向Xの寸法と等しい。第1グラファイト部90Baの厚さ（第1グラファイト部90Baの厚さ方向Zの寸法）は、第2グラファイト部90Bbの厚さ（第2グラファイト部90Bbの厚さ方向Zの寸法）及び第3グラファイト部90Bcの厚さ（第3グラファイト部90Bcの厚さ方向Zの寸法）と等しい。

[0276] ここで、第1グラファイト部90Baの縦方向Yの寸法と第2グラファイト部90Bbの縦方向Yの寸法との差が例えば第2グラファイト部90Bbの縦方向Yの寸法の5%以内であれば、第1グラファイト部90Baの縦方

向Yの寸法が第2グラファイト部90Bbの縦方向Yの寸法と等しいといえる。また、第1グラファイト部90Baの縦方向Yの寸法と第3グラファイト部90Bcの縦方向Yの寸法との差が例えば第3グラファイト部90Bcの縦方向Yの寸法の5%以内であれば、第1グラファイト部90Baの縦方向Yの寸法が第3グラファイト部90Bcの縦方向Yの寸法と等しいといえる。また、第1グラファイト部90Baの横方向Xの寸法と第2グラファイト部90Bbの横方向Xの寸法との差が例えば第2グラファイト部90Bbの横方向Xの寸法の5%以内であれば、第1グラファイト部90Baの横方向Xの寸法が第2グラファイト部90Bbの横方向Xの寸法と等しいといえる。また、第1グラファイト部90Baの横方向Xの寸法と第3グラファイト部90Bcの横方向Xの寸法との差が例えば第3グラファイト部90Bcの横方向Xの寸法の5%以内であれば、第1グラファイト部90Baの横方向Xの寸法が第3グラファイト部90Bcの横方向Xの寸法と等しいといえる。また、第1グラファイト部90Baの厚さ方向Zの寸法と第2グラファイト部90Bbの厚さ方向Zの寸法との差が例えば第2グラファイト部90Bbの厚さ方向Zの寸法の5%以内であれば、第1グラファイト部90Baの厚さが第2グラファイト部90Bbの厚さと等しいといえる。また、第1グラファイト部90Baの厚さ方向Zの寸法と第3グラファイト部90Bcの厚さ方向Zの寸法との差が例えば第3グラファイト部90Bcの厚さ方向Zの寸法の5%以内であれば、第1グラファイト部90Baの厚さが第3グラファイト部90Bcの厚さと等しいといえる。

[0277] また、第1グラファイト部90Baの横方向Xの寸法は任意に変更可能である。一例では、第1グラファイト部90Baの横方向Xの寸法は、第2グラファイト部90Bbの横方向Xの寸法及び第3グラファイト部90Bcの横方向Xの寸法の少なくとも一方よりも短くてもよいし、長くてもよい。

[0278] また、第1グラファイト部90Baの厚さは任意に変更可能である。一例では、第1グラファイト部90Baの厚さは、第2グラファイト部90Bbの厚さ及び第3グラファイト部90Bcの厚さの少なくとも一方と異なって

もよい。一例では、第1グラファイト部90Baの厚さは、第2グラファイト部90Bbの厚さ及び第3グラファイト部90Bcの厚さよりも厚くてもよい。すなわち、第1グラファイト部90Baの厚さは、上記各実施形態の第2グラファイトプレート90Bの厚さよりも厚くてもよい。

[0279] また、第2グラファイト部90Bbの横方向Xの寸法は任意に変更可能である。一例では、第2グラファイト部90Bbの横方向Xの寸法は、第1グラファイト部90Baの横方向Xの寸法及び第3グラファイト部90Bcの横方向Xの寸法の少なくとも一方よりも短くてもよいし、長くてもよい。

[0280] また、第2グラファイト部90Bbの厚さは任意に変更可能である。一例では、第2グラファイト部90Bbの厚さは、第1グラファイト部90Baの厚さ及び第3グラファイト部90Bcの厚さのすくなくとも一方と異なってもよい。一例では、第2グラファイト部90Bbの厚さは、第1グラファイト部90Baの厚さ及び第3グラファイト部90Bcの厚さよりも厚くてもよい。すなわち、第2グラファイト部90Bbの厚さは、上記各実施形態の第2グラファイトプレート90Bの厚さよりも厚くてもよい。

[0281] また、第3グラファイト部90Bcの横方向Xの寸法は任意に変更可能である。一例では、第3グラファイト部90Bcの横方向Xの寸法は、第1グラファイト部90Baの横方向Xの寸法及び第2グラファイト部90Bbの横方向Xの寸法の少なくとも一方よりも短くてもよいし、長くてもよい。

[0282] また、第3グラファイト部90Bcの厚さは任意に変更可能である。一例では、第3グラファイト部90Bcの厚さは、第1グラファイト部90Baの厚さ及び第2グラファイト部90Bbの厚さの少なくとも一方と異なってもよい。一例では、第3グラファイト部90Bcの厚さは、第1グラファイト部90Baの厚さ及び第2グラファイト部90Bbの厚さよりも厚くてもよい。すなわち、第3グラファイト部90Bcの厚さは、上記各実施形態の第2グラファイトプレート90Bの厚さよりも厚くてもよい。

[0283] また、第1グラファイト部90Ba、第2グラファイト部90Bb、及び第3グラファイト部90Bcが横方向Xにおいて等間隔にて配置されている

が、これに限られない。

また、第1グラファイト部90Baが第1グラファイト部90Aaと横方向Xに揃っているが、これに限られない。例えば、横方向Xにおいて第1グラファイト部90Aaが第1グラファイト部90Baよりも第1基板11の第4基板側面11d側に配置されてもよい。また、第2グラファイト部90Bbが第2グラファイト部90Abと横方向Xに揃っているが、これに限られない。また、第3グラファイト部90Bcが第3グラファイト部90Acと横方向Xに揃っているが、これに限られない。

[0284] なお、第1グラファイトプレート90Aについて、第1グラファイト部90Aaにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造と、第2グラファイト部90Abにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造と、第3グラファイト部90Acにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造との少なくとも1つが他と異なってもよい。また第2グラファイトプレート90Bについて、第1グラファイト部90Baにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造と、第2グラファイト部90Bbにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造と、第3グラファイト部90Bcにおけるグラファイトプレート90xyとグラファイトプレート90xzとの積層構造との少なくとも1つが他と異なってもよい。また、第2基板12の第1グラファイトプレート90C及び第2グラファイトプレート90Dについても図43に示す第1グラファイトプレート90A及び第2グラファイトプレート90Bと同様に変更できる。

[0285] ・上記第1実施形態において、図44に示すように、第1グラファイトプレート90Aは、第1パワー半導体素子30Aa、30Ab及び第1ダイオード40Aa、40Abが配置されている第1グラファイト部90Aaと、第1パワー半導体素子30Ac及び第1ダイオード40Acが配置されている第2グラファイト部90Abとが個別に形成された構成（第1構成）であ

ってもよい。第1グラファイト部90Aaと第2グラファイト部90Abとは、横方向Xにおいて離間して配置されている。第1グラファイト部90Aaでは、グラファイトプレート90xyが第1グラファイト部90Aaのプレート主面95Aを構成しており、グラファイトプレート90xzが第1グラファイト部90Aaのプレート裏面96Aを構成している。第2グラファイト部90Abでは、グラファイトプレート90xyが第2グラファイト部90Abのプレート主面95Aを構成しており、グラファイトプレート90xzが第2グラファイト部90Abのプレート裏面96Aを構成している。

[0286] また、図44に示すとおり、第1グラファイト部90Aaの横方向Xの寸法は、第2グラファイト部90Abの横方向Xの寸法よりも大きい。一例では、第1グラファイト部90Aaの横方向Xの寸法は、第2グラファイト部90Abの横方向Xの寸法の2倍以上である。第1グラファイト部90Aaの縦方向Yの寸法は、第2グラファイト部90Abの縦方向Yの寸法と等しい。第1グラファイト部90Aaの厚さ（第1グラファイト部90Aaの厚さ方向Zの寸法）は、第2グラファイト部90Abの厚さ（第2グラファイト部90Abの厚さ方向Zの寸法）と等しい。

[0287] ここで、第1グラファイト部90Aaの縦方向Yの寸法と第2グラファイト部90Abの縦方向Yの寸法との差が例えば第2グラファイト部90Abの縦方向Yの寸法の5%以内であれば、第1グラファイト部90Aaの縦方向Yの寸法が第2グラファイト部90Abの縦方向Yの寸法と等しいといえる。また、第1グラファイト部90Aaの厚さ方向Zの寸法と第2グラファイト部90Abの厚さ方向Zの寸法との差が例えば第2グラファイト部90Abの厚さ方向Zの寸法の5%以内であれば、第1グラファイト部90Aaの厚さが第2グラファイト部90Abの厚さと等しいといえる。

[0288] また、第1グラファイト部90Aaの横方向Xの寸法は任意に変更可能である。第1グラファイト部90Aaの横方向Xの寸法は、第1パワー半導体素子30Aa及び第1パワー半導体素子30Abが横方向Xに離間して配置可能、及び第1ダイオード40Aa及び第1ダイオード40Abが横方向X

に離間して配置可能な長さであればよい。

[0289] また、第1グラファイト部90Aaの厚さは任意に変更可能である。一例では、第1グラファイト部90Aaの厚さは、第2グラファイト部90Abの厚さと異なってもよい。一例では、第1グラファイト部90Aaの厚さは、第2グラファイト部90Abの厚さよりも厚くてもよい。すなわち、第1グラファイト部90Aaの厚さは、上記各実施形態の第1グラファイトプレート90Aの厚さよりも厚くてもよい。

[0290] また、第1グラファイト部90Aaの横方向Xにおける配置位置は任意に変更可能である。一例では、横方向Xにおいて第1パワー半導体素子30Aaが第1制御層15A及び第1検出層16Aに近づくように、第1グラファイト部90Aaを第1基板11の第4基板側面11d側に移動させてもよい。

[0291] また、第2グラファイト部90Abの横方向Xの寸法は任意に変更可能である。一例では、第2グラファイト部90Abの横方向Xの寸法は、第1グラファイト部90Aaの横方向Xの寸法の1/2以上かつ第1グラファイト部90Aaの横方向Xの寸法以下としてもよい。

[0292] また、第2グラファイト部90Abの厚さは任意に変更可能である。一例では、第2グラファイト部90Abの厚さは、第1グラファイト部90Aaの厚さと異なってもよい。また、第2グラファイト部90Abの厚さは、上記各実施形態の第1グラファイトプレート90Aの厚さよりも厚くてもよいし、薄くてもよい。

[0293] また、第2グラファイトプレート90Bは、第2パワー半導体素子30Ba, 30Bb及び第2ダイオード40Ba, 40Bbが配置されている第1グラファイト部90Baと、第2パワー半導体素子30Bc及び第2ダイオード40Bcが配置されている第2グラファイト部90Bbとが個別に形成された構成（第1構成）であってもよい。第1グラファイト部90Baと第2グラファイト部90Bbとは、横方向Xにおいて離間して配置されている。第1グラファイト部90Baでは、グラファイトプレート90xyが第1

グラフィット部90Baのプレート主面95Bを構成しており、グラフィットプレート90xzが第1グラフィット部90Baのプレート裏面96Bを構成している。第2グラフィット部90Bbでは、グラフィットプレート90xyが第2グラフィット部90Bbのプレート主面95Bを構成しており、グラフィットプレート90xzが第2グラフィット部90Bbのプレート裏面96Bを構成している。

[0294] また、図44に示すとおり、第1グラフィット部90Baの横方向Xの寸法は、第2グラフィット部90Bbの横方向Xの寸法よりも大きい。一例では、第1グラフィット部90Baの横方向Xの寸法は、第2グラフィット部90Bbの横方向Xの寸法の2倍以上である。第1グラフィット部90Baの縦方向Yの寸法は、第2グラフィット部90Bbの縦方向Yの寸法と等しい。第1グラフィット部90Baの厚さ（第1グラフィット部90Baの厚さ方向Zの寸法）は、第2グラフィット部90Bbの厚さ（第2グラフィット部90Bbの厚さ方向Zの寸法）と等しい。

[0295] ここで、第1グラフィット部90Baの縦方向Yの寸法と第2グラフィット部90Bbの縦方向Yの寸法との差が例えば第2グラフィット部90Bbの縦方向Yの寸法の5%以内であれば、第1グラフィット部90Baの縦方向Yの寸法が第2グラフィット部90Bbの縦方向Yの寸法と等しいといえる。また、第1グラフィット部90Baの厚さ方向Zの寸法と第2グラフィット部90Bbの厚さ方向Zの寸法との差が例えば第2グラフィット部90Bbの厚さ方向Zの寸法の5%以内であれば、第1グラフィット部90Baの厚さが第2グラフィット部90Bbの厚さと等しいといえる。

[0296] また、第1グラフィット部90Baの横方向Xの寸法は任意に変更可能である。第1グラフィット部90Baの横方向Xの寸法は、第2パワー半導体素子30Ba及び第2パワー半導体素子30Bbが横方向Xに離間して配置可能、及び第2ダイオード40Ba及び第2ダイオード40Bbが横方向Xに離間して配置可能な長さであればよい。

[0297] また、第1グラフィット部90Baの厚さは任意に変更可能である。一例

では、第1グラファイト部90Baの厚さは、第2グラファイト部90Bbの厚さと異なってもよい。一例では、第1グラファイト部90Baの厚さは、第2グラファイト部90Bbの厚さよりも厚くてもよい。すなわち、第1グラファイト部90Baの厚さは、上記各実施形態の第2グラファイトプレート90Bの厚さよりも厚くてもよい。

[0298] また、第1グラファイト部90Baの横方向Xにおける配置位置は任意に変更可能である。一例では、第1グラファイト部90Baを第1基板11の第4基板側面11d側に移動させてもよい。

[0299] また、第2グラファイト部90Bbの横方向Xの寸法は任意に変更可能である。一例では、第2グラファイト部90Bbの横方向Xの寸法は、第1グラファイト部90Baの横方向Xの寸法の $1/2$ 以上かつ第1グラファイト部90Baの横方向Xの寸法以下としてもよい。

[0300] また、第2グラファイト部90Bbの厚さは任意に変更可能である。一例では、第2グラファイト部90Bbの厚さは、第1グラファイト部90Baの厚さと異なってもよい。また、上記各実施形態の第2グラファイトプレート90Bの厚さよりも厚くてもよいし、薄くてもよい。

[0301] なお、第1グラファイトプレート90Aは、第1パワー半導体素子30Aa及び第1ダイオード40Aaが配置されている第1グラファイト部90Aaと、第1パワー半導体素子30Ab, 30Ac及び第1ダイオード40Ab, 40Acが配置されている第2グラファイト部90Abとが個別に形成された構成(第2構成)であってもよい。また、第2グラファイトプレート90Bは、第2パワー半導体素子30Ba及び第2ダイオード40Baが配置されている第1グラファイト部90Baと、第2パワー半導体素子30Bb, 30Bc及び第2ダイオード40Bb, 40Bcが配置されている第2グラファイト部90Bbとが個別に形成された構成(第2構成)であってもよい。また、第2基板12の第1グラファイトプレート90C及び第2グラファイトプレート90Dについても上記第1グラファイトプレート90Aの第1構成又は第2構成及び上記第2グラファイトプレート90Bの第1構成

及び第2構成と同様に変更できる。各グラフィットプレート90A~90Dについて第1構成又は第2構成の組み合わせは適宜変更できる。

[0302] また、第1グラフィットプレート90Aについて、第1グラフィット部90Aaにおけるグラフィットプレート90xyとグラフィットプレート90xzとの積層構造と、第2グラフィット部90Abにおけるグラフィットプレート90xyとグラフィットプレート90xzとの積層構造とが互いに異なってもよい。また第2グラフィットプレート90Bについて、第1グラフィット部90Baにおけるグラフィットプレート90xyとグラフィットプレート90xzとの積層構造と、第2グラフィット部90Bbにおけるグラフィットプレート90xyとグラフィットプレート90xzとの積層構造とが互いに異なってもよい。

[0303] ・上記第1実施形態において、第1ダイオード40Aは、第1グラフィットプレート90A、90Cの外部に配置されてもよい。一例では、第1ダイオード40Aは、第1基板11の第1搭載層13Aの主搭載部13aに配置されている。また、第1ダイオード40Aは、第2基板12の第1搭載層13Cの主搭載部13cに配置されている。

[0304] ・上記第1実施形態において、第2ダイオード40Bは、第2グラフィットプレート90B、90Dの外部に配置されてもよい。一例では、第2ダイオード40Bは、第1基板11の第2搭載層13Bに配置されている。また、第2ダイオード40Bは、第2基板12の第2搭載層13Dの主搭載部13eに配置されている。

[0305] ・上記第2実施形態において、各グラフィットプレート90A~90Dの縦方向Yの寸法は任意に変更可能である。一例では、各グラフィットプレート90A~90Dの縦方向Yの寸法は、第1実施形態の各グラフィットプレート90A~90Dの縦方向Yの寸法よりも小さくてもよい。

[0306] ・上記第1実施形態において、基板10から第1基板11及び第2基板12のいずれかを省略してもよい。第2基板12が省略された場合、第1搭載層13C、第2搭載層13D、導電層14B、第1制御層15C、第1検出

層16C、各グラファイトプレート90C、90D、各パワー半導体素子30Ad~30Af、30Bd~30Bf、及び各ダイオード40Ad~40Af、40Bd~40Bfが主に省略される。第1基板11が省略された場合、第1搭載層13A、第2搭載層13B、導電層14A、第1制御層15A、第1検出層16A、各グラファイトプレート90A、90B、各パワー半導体素子30Aa~30Ad、30Ba~30Bd、及び各ダイオード40Aa~40Ad、40Ba~40Bdが主に省略される。

[0307] ・上記第2実施形態において、基板10から第1基板11及び第2基板12のいずれかを省略してもよい。第2基板12が省略された場合、第1搭載層13C、第2搭載層13D、導電層14B、第1制御層15C、第1検出層16C、各グラファイトプレート90C、90D、及び各パワー半導体素子30Ad~30Af、30Bd~30Bfが主に省略される。第1基板11が省略された場合、第1搭載層13A、第2搭載層13B、導電層14A、第1制御層15A、第1検出層16A、各グラファイトプレート90A、90B、及び各パワー半導体素子30Aa~30Ad、30Ba~30Bdが主に省略される。

[0308] ・上記各実施形態において、電源電流端子55を省略してもよい。この場合、電源電流検出用接続部材24が省略される。

・上記各実施形態において、サーミスタ18を省略してもよい。加えて、サーミスタ搭載層17、一对の温度検出端子56、及び一对のサーミスタ用接続部材27を省略してもよい。

[0309] ・上記各実施形態において、各グラファイトプレート90A~90Dの構成は任意に変更可能である。一例では、各グラファイトプレート90A~90Dから主面側導電層97A~97D及び裏面側導電層98A~98Dの少なくとも一方を省略してもよい。

[0310] また、各グラファイトプレート90A~90DにおけるXZ配向を有するグラファイトプレート90xy及びXZ配向を有するグラファイトプレート90xzの積層の順番はそれぞれ任意に変更可能である。

- [0311] 第1例では、第1グラファイトプレート90Aがグラファイトプレート90x y上にグラファイトプレート90x zが積層された構成であり、残りの各グラファイトプレート90B~90Dがグラファイトプレート90x z上にグラファイトプレート90x yが積層された構成である。
- [0312] 第2例では、第1グラファイトプレート90A, 90Cがグラファイトプレート90x y上にグラファイトプレート90x zが積層された構成であり、第2グラファイトプレート90B, 90Dがグラファイトプレート90x z上にグラファイトプレート90x yが積層された構成である。
- [0313] 第3例では、第1グラファイトプレート90A及び第2グラファイトプレート90Bがグラファイトプレート90x y上にグラファイトプレート90x zが積層された構成であり、第1グラファイトプレート90C及び第2グラファイトプレート90Dがグラファイトプレート90x z上にグラファイトプレート90x yが積層された構成である。
- [0314] 第4例では、第1グラファイトプレート90A, 90C及び第2グラファイトプレート90Bがグラファイトプレート90x y上にグラファイトプレート90x zが積層された構成であり、第2グラファイトプレート90Dがグラファイトプレート90x z上にグラファイトプレート90x yが積層された構成である。
- [0315] 第5例では、各グラファイトプレート90A~90Dがグラファイトプレート90x y上にグラファイトプレート90x zが積層された構成である。
- 第6例では、第2グラファイトプレート90Bがグラファイトプレート90x y上にグラファイトプレート90x zが積層された構成であり、残りの各グラファイトプレート90A, 90C, 90Dがグラファイトプレート90x z上にグラファイトプレート90x yが積層された構成である。
- [0316] 第7例では、第2グラファイトプレート90B及び第1グラファイトプレート90Cがグラファイトプレート90x y上にグラファイトプレート90x zが積層された構成であり、第1グラファイトプレート90A及び第2グラファイトプレート90Bがグラファイトプレート90x z上にグラファイト

トプレート90×yが積層された構成である。

[0317] 第8例では、第2グラファイトプレート90B、90Dがグラファイトプレート90×y上にグラファイトプレート90×zが積層された構成であり、第1グラファイトプレート90A、90Cがグラファイトプレート90×z上にグラファイトプレート90×yが積層された構成である。

[0318] 第9例では、第2グラファイトプレート90B、90D及び第1グラファイトプレート90Cがグラファイトプレート90×y上にグラファイトプレート90×zが積層された構成であり、第1グラファイトプレート90Aがグラファイトプレート90×z上にグラファイトプレート90×yが積層された構成である。

[0319] 第10例では、第1グラファイトプレート90Cがグラファイトプレート90×y上にグラファイトプレート90×zが積層された構成であり、残りの各グラファイトプレート90A、90B、90Dがグラファイトプレート90×z上にグラファイトプレート90×yが積層された構成である。

[0320] 第11例では、第1グラファイトプレート90C及び第2グラファイトプレート90Dがグラファイトプレート90×y上にグラファイトプレート90×zが積層された構成であり、第1グラファイトプレート90A及び第2グラファイトプレート90Bがグラファイトプレート90×z上にグラファイトプレート90×yが積層された構成である。

[0321] 第12例では、第2グラファイトプレート90Dがグラファイトプレート90×y上にグラファイトプレート90×zが積層された構成であり、残りの各グラファイトプレート90A～90Cがグラファイトプレート90×z上にグラファイトプレート90×yが積層された構成である。

[0322] 第13例では、各グラファイトプレート90A～90Dがグラファイトプレート90×z上にグラファイトプレート90×yが積層された構成である。

・上記各実施形態において、第1グラファイトプレート90A、90Cが第1プレート主面95A、95Cの面方向において所定の第1方向における

熱伝導率が、平面視において第1方向と交差する第2方向の熱伝導率よりも高い第2熱伝導部を有する構成であってもよい。第1方向の一例は、縦方向Yであり、第2方向の一例は、横方向Xである。第2熱伝導部の一例は、YZ配向を有するグラファイトプレート90yz（図示略）である。グラファイトプレート90yzは、例えば、 $X=5$ (W/mK)、 $Y=1500$ (W/mK)、 $Z=1500$ (W/mK)の熱伝導率を有する。

[0323] 第1グラファイトプレート90A、90Cがそれぞれグラファイトプレート90yzで構成される場合、複数の第1パワー半導体素子30Aは、第2方向に離間して配列されることが好ましい。このように、熱伝導率が低い方向に複数の第1パワー半導体素子30Aを離間して配列することによって、隣り合う第1パワー半導体素子30Aの熱の干渉を抑制できる。

[0324] 上記第1方向が縦方向Yであり、上記第2方向が横方向Xである場合、第1グラファイトプレート90Aと第1制御層15Aとは第1方向に離間して配置されており、第1グラファイトプレート90Cと第1制御層15Cとは第1方向に離間して配置されている。第1グラファイトプレート90Aの第1プレート主面95Aに配置された第1パワー半導体素子30Aは、第1プレート主面95Aにおいて第1ダイオード40Aに対して第1制御層15A側の部分に配置されている。第1グラファイトプレート90Cの第1プレート主面95Cに配置された第1パワー半導体素子30Aは、第1プレート主面95Cにおいて第1ダイオード40Aに対して第1制御層15C側の部分に配置されている。

[0325] 第2熱伝導部は、第1グラファイトプレート90A、90Cの第1プレート主面95A、95C側に設けられてもよいし、第1プレート裏面96A、96C側に設けられてもよい。

[0326] 第1グラファイトプレート90A、90Cはそれぞれ、平面視において、第2方向が長辺方向となり、第1方向が短辺方向となる形状を有する。この場合においても、複数の第1パワー半導体素子30Aが第2方向に離間して配列されることが好ましい。これにより、第2方向に隣り合う第1パワー半

導体素子30Aの間の距離を大きく取ることができるため、第2方向に隣り合う第1パワー半導体素子30Aの熱の干渉を一層抑制できる。

[0327] ・上記各実施形態において、第1グラファイトプレート90A, 90Cは、第1プレート主面95A, 95Cの面方向において所定の第1方向における熱伝導率が、平面視において第1方向と交差する第2方向の熱伝導率よりも高い第2熱伝導部と、グラファイトプレート90x y (第1熱伝導部)とを厚さ方向Zに積層した構成であってもよい。この場合、第1グラファイトプレート90A, 90Cは、第2熱伝導部が第1グラファイトプレート90A, 90Cの第1プレート主面95A, 95C側に設けられており、グラファイトプレート90x y (第1熱伝導部)が第1グラファイトプレート90A, 90Cの第1プレート裏面96A, 96C側に設けられている構成を有する。なお、第1グラファイトプレート90A, 90Cは、第2熱伝導部が第1グラファイトプレート90A, 90Cの第1プレート裏面96A, 96C側に設けられており、グラファイトプレート90x y (第1熱伝導部)が第1グラファイトプレート90A, 90Cの第1プレート主面95A, 95C側に設けられている構成であってもよい。

[0328] ・上記各実施形態において、第2グラファイトプレート90B, 90Dが第2プレート主面95B, 95Dの面方向において所定の第1方向における熱伝導率が、平面視において第1方向と交差する第2方向の熱伝導率よりも高い第2熱伝導部を有する構成であってもよい。第1方向の一例では、縦方向Yであり、第2方向の一例では、横方向Xである。第2熱伝導部の一例は、YZ配向を有するグラファイトプレート90yz (図示略)である。グラファイトプレート90yzは、例えば、 $X=5$ (W/mK)、 $Y=1500$ (W/mK)、 $Z=1500$ (W/mK)の熱伝導率を有する。

[0329] 第2グラファイトプレート90B, 90Dがそれぞれグラファイトプレート90yzで構成される場合、複数の第2パワー半導体素子30Bは、第2方向に離間して配列されることが好ましい。このように、熱伝導率が低い方向に複数の第2パワー半導体素子30Bを離間して配列することによって、

隣り合う第2パワー半導体素子30Bの熱の干渉を抑制できる。

[0330] 上記第1方向が縦方向Yであり、上記第2方向が横方向Xである場合、第2グラファイトプレート90Bと第2制御層15Bとは第1方向に離間して配置されており、第2グラファイトプレート90Dと第2制御層15Dとは第1方向に離間して配置されている。第2グラファイトプレート90Bの第2プレート主面95Bに配置された第2パワー半導体素子30Bは、第2プレート主面95Bにおいて第2ダイオード40Bに対して第2制御層15B側の部分に配置されている。第2グラファイトプレート90Dの第2プレート主面95Dに配置された第2パワー半導体素子30Bは、第2プレート主面95Dにおいて第2ダイオード40Bに対して第2制御層15D側の部分に配置されている。

[0331] 第2熱伝導部は、第2グラファイトプレート90B、90Dの第2プレート主面95B、95D側に設けられてもよいし、第2プレート裏面96B、96D側に設けられてもよい。

[0332] 第2グラファイトプレート90B、90Dはそれぞれ、平面視において、第2方向が長辺方向となり、第1方向が短辺方向となる形状を有する。この場合においても、複数の第2パワー半導体素子30Bが第2方向に離間して配列されることが好ましい。これにより、第2方向に隣り合う第2パワー半導体素子30Bの間の距離を大きく取ることができるため、第2方向に隣り合う第2パワー半導体素子30Bの熱の干渉を一層抑制できる。

[0333] 上記各実施形態において、第2グラファイトプレート90B、90Dは、第2プレート主面95B、95Dの面方向において所定の第1方向における熱伝導率が、平面視において第1方向と交差する第2方向の熱伝導率よりも高い第2熱伝導部と、グラファイトプレート90x y（第1熱伝導部）とを厚さ方向Zに積層した構成であってもよい。この場合、第2グラファイトプレート90B、90Dは、第2熱伝導部が第2グラファイトプレート90B、90Dの第2プレート主面95B、95D側に設けられており、グラファイトプレート90x y（第1熱伝導部）が第2グラファイトプレート90

B, 90Dの第2プレート裏面96B, 96D側に設けられている構成を有する。なお、第2グラファイトプレート90B, 90Dは、第2熱伝導部が第2グラファイトプレート90B, 90Dの第2プレート裏面96B, 96D側に設けられており、グラファイトプレート90x y (第1熱伝導部) が第2グラファイトプレート90B, 90Dの第2プレート主面95B, 95D側に設けられている構成であってもよい。

[0334] ・上記各実施形態では、各グラファイトプレート90A~90Dがグラファイトプレート90x y及びグラファイトプレート90x zの積層構造であったが、これに限られない。第1グラファイトプレート90A, 90C及び第2グラファイトプレート90B, 90Dの少なくとも1つは、グラファイトプレート90x y、グラファイトプレート90x z、及びグラファイトプレート90y zのいずれか1つから構成されてもよい。

[0335] 第1グラファイトプレート90A, 90Cがグラファイトプレート90x zから構成される場合、複数の第1パワー半導体素子30Aは、グラファイトプレート90x zにおいて熱伝導率が低い方向、すなわちグラファイトプレート90x zにおける縦方向Yに離間して配列されている。第1実施形態においては、グラファイトプレート90x zにおいて熱伝導率が高い方向、すなわちグラファイトプレート90x zにおける横方向Xにおいて第1ダイオード40Aが第1パワー半導体素子30Aと離間して配置されている。また、複数の第1ダイオード40Aは、グラファイトプレート90x zの縦方向Yにおいて離間して配列されている。

[0336] このように、パワーモジュール1Aにおける横方向X及び縦方向Yと、グラファイトプレート90x zにおける横方向X及び縦方向Yとは互いに異なる。すなわち、パワーモジュール1Aの横方向Xとグラファイトプレート90x zの縦方向Yとが一致し、パワーモジュール1Aの縦方向Yとグラファイトプレート90x zの横方向Xとが一致するように第1グラファイトプレート90A, 90Cが配置されている。

[0337] このため、パワーモジュール1Aにおける横方向Xにおいて、第1パワー

半導体素子30Aが離間して配列される場合、第1パワー半導体素子30Aは、グラファイトプレート90x zにおける縦方向Yにおいて離間して配列されることになる。また、パワーモジュール1Aにおける縦方向Yにおいて、第1ダイオード40Aが第1パワー半導体素子30Aに離間して配列される場合、第1ダイオード40Aは、グラファイトプレート90x zにおける横方向Xにおいて第1パワー半導体素子30Aに対して離間して配列されることになる。

[0338] 第2グラファイトプレート90B, 90Dがグラファイトプレート90x zから構成される場合、複数の第2パワー半導体素子30Bは、グラファイトプレート90x zにおいて熱伝導率が低い方向、すなわちグラファイトプレート90x zにおける縦方向Yに離間して配列されている。第1実施形態においては、グラファイトプレート90x zにおいて熱伝導率が高い方向、すなわちグラファイトプレート90x zにおける横方向Xにおいて第2ダイオード40Bが第2パワー半導体素子30Bと離間して配置されている。また、複数の第2ダイオード40Bは、グラファイトプレート90x zの縦方向Yにおいて離間して配列されている。

[0339] このように、パワーモジュール1Aにおける横方向X及び縦方向Yと、グラファイトプレート90x zにおける横方向X及び縦方向Yとは互いに異なる。すなわち、パワーモジュール1Aの横方向Xとグラファイトプレート90x zの縦方向Yとが一致し、パワーモジュール1Aの縦方向Yとグラファイトプレート90x zの横方向Xとが一致するように第2グラファイトプレート90B, 90Dが配置されている。

[0340] このため、パワーモジュール1Aにおける横方向Xにおいて、第2パワー半導体素子30Bが離間して配列される場合、第2パワー半導体素子30Bは、グラファイトプレート90x zにおける縦方向Yにおいて離間して配列されることになる。また、パワーモジュール1Aにおける縦方向Yにおいて、第2ダイオード40Bが第2パワー半導体素子30Bに離間して配列される場合、第2ダイオード40Bは、グラファイトプレート90x zにおける

横方向Xにおいて第2パワー半導体素子30Bに対して離間して配列されることになる。

[0341] 第1グラファイトプレート90A, 90Cがグラファイトプレート90yzから構成される場合、複数の第1パワー半導体素子30Aは、グラファイトプレート90yzにおいて熱伝導率が低い方向、すなわちグラファイトプレート90yzにおける横方向Xに離間して配列されている。第1実施形態においては、グラファイトプレート90yzにおいて熱伝導率が高い方向、すなわちグラファイトプレート90yzにおける縦方向Yにおいて第1ダイオード40Aが第1パワー半導体素子30Aと離間して配置されている。また、複数の第1ダイオード40Aは、グラファイトプレート90yzにおける横方向Xに離間して配列されている。

[0342] このように、パワーモジュール1Aにおける横方向X及び縦方向Yと、グラファイトプレート90xzにおける横方向X及び縦方向Yとは一致する。すなわち、パワーモジュール1Aの横方向Xとグラファイトプレート90xzの横方向Xとが一致し、パワーモジュール1Aの縦方向Yとグラファイトプレート90xzの縦方向Yとが一致するように第1グラファイトプレート90A, 90Cが配置されている。

[0343] 第2グラファイトプレート90B, 90Dがグラファイトプレート90yzから構成される場合、複数の第2パワー半導体素子30Bは、グラファイトプレート90yzにおいて熱伝導率が低い方向、すなわちグラファイトプレート90yzにおける横方向Xに離間して配列されている。第1実施形態においては、グラファイトプレート90yzにおいて熱伝導率が高い方向、すなわちグラファイトプレート90yzにおける縦方向Yにおいて第2ダイオード40Bが第2パワー半導体素子30Bに離間して配置されている。また、複数の第2ダイオード40Bは、グラファイトプレート90yzにおける横方向Xに離間して配列されている。

[0344] このように、パワーモジュール1Aにおける横方向X及び縦方向Yと、グラファイトプレート90xzにおける横方向X及び縦方向Yとは互いに異なる。

る。すなわち、パワーモジュール1Aの横方向Xとグラファイトプレート90x zの縦方向Yとが一致し、パワーモジュール1Aの縦方向Yとグラファイトプレート90x zの横方向Xとが一致するように第2グラファイトプレート90B, 90Dが配置されている。

[0345] ・上記各実施形態において、複数の第2パワー半導体素子30Bを省略してもよい。この場合、第2搭載層13B, 13Dが省略され、複数の第1パワー半導体素子30Aのソース電極32は、第1素子接続部材21Aによって導電層14A, 14Bに接続される。このように、パワーモジュール1A, 1Bは、インバータではなく、1つのスイッチング素子として構成されてもよい。

[0346] ・上記各実施形態において、連結部材100A~100Cのうちの少なくとも1つを1本又は複数本のワイヤで構成してもよい。要するに、連結部材100Aは、第1搭載層13Aと第1搭載層13Cとを電氣的に接続する機能を有する構成であればよい。連結部材100Bは、第2搭載層13Bと第2搭載層13Dとを電氣的に接続する機能を有する構成であればよい。連結部材100Cは、導電層14Aと導電層14Bとを電氣的に接続する機能を有する構成であればよい。

[0347] ・上記各実施形態において、パワーモジュールは、1個の基板と、基板の基板主面に配置された搭載層及び導電層と、搭載層に積層されたグラファイトプレートと、グラファイトプレートのプレート主面に配置された複数のパワー半導体素子とを備える構成であってもよい。

(付記)

以下に、上記各実施形態および各変更例に基づく技術的思想を列記する。

(付記1)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面に配置された導電性の搭載層と、

前記厚さ方向において互いに反対側を向くプレート主面及びプレート裏面

を有し、前記プレート裏面が前記搭載層に接続され、異方性の熱伝導率を有するグラファイトプレートと、

前記プレート主面に配置されているパワー半導体素子と、
を備える

パワーモジュール。

(付記2)

前記グラファイトプレートは、前記厚さ方向と直交する面方向の熱伝導率が前記厚さ方向の熱伝導率よりも高い第1熱伝導部を有する

付記1に記載のパワーモジュール。

(付記3)

前記第1熱伝導部は、前記厚さ方向において前記プレート主面側に設けられている

付記2に記載のパワーモジュール。

(付記4)

前記第1熱伝導部は、前記厚さ方向において前記プレート裏面側に設けられている

付記2に記載のパワーモジュール。

(付記5)

前記パワー半導体素子は、複数のパワー半導体素子のうちの1つであり、
前記パワーモジュールは、前記複数のパワー半導体素子を備え、
前記複数のパワー半導体素子は、前記プレート主面の前記面方向に互いに離間して配置されている

付記2～4のいずれか一つに記載のパワーモジュール。

(付記6)

前記厚さ方向からみて、前記プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記複数のパワー半導体素子は、前記長辺方向において互いに離間して配置されている

付記 5 に記載のパワーモジュール。

(付記 7)

前記パワー半導体素子は、トランジスタであり、

前記パワー半導体素子に逆並列に接続されているダイオードをさらに備える

付記 1 ～ 6 のいずれか一つに記載のパワーモジュール。

(付記 8)

前記パワー半導体素子は、複数のパワー半導体素子のうちの 1 つであり、

前記パワーモジュールは、前記複数のパワー半導体素子と、各々前記複数のパワー半導体素子のうちの 1 つに逆並列に接続されている複数のダイオードとを備え、

前記複数のパワー半導体素子はそれぞれ、トランジスタであり、

前記複数のパワー半導体素子は、前記プレート主面の前記面方向に互いに離間して配置されており、

前記複数のダイオードは、前記厚さ方向からみて、前記面方向のうちの前記複数のパワー半導体素子の配列方向と直交する方向において前記複数のパワー半導体素子と離間して配置されており、かつ、前記配列方向に沿う方向に互いに離間して配置されている

付記 2 ～ 6 のいずれか一つに記載のパワーモジュール。

(付記 9)

前記厚さ方向からみて、前記プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記複数のパワー半導体素子は、前記長辺方向において離間して配置されており、

前記複数のダイオードは、前記短辺方向において前記複数のパワー半導体素子と離間して配置されており、かつ、前記長辺方向において互いに離間して配置されている

付記 8 に記載のパワーモジュール。

(付記 10)

前記厚さ方向からみて、前記プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記基板主面には、前記パワー半導体素子の制御電極に電氣的に接続されている制御層が配置されており、

前記厚さ方向からみて、前記プレート主面の前記短辺方向に沿う方向において前記制御層と前記グラファイトプレートとが離間して配置されており、

前記厚さ方向からみて、前記パワー半導体素子は、前記ダイオードよりも前記制御層側に配置されている

付記 7～9 のいずれか一つに記載のパワーモジュール。

(付記 11)

前記ダイオードは、前記厚さ方向において互いに反対側を向く主面及び裏面と、前記主面に形成されたアノード電極と、前記裏面に形成されたカソード電極とを有し、

前記カソード電極は、前記グラファイトプレートを介して前記搭載層に電氣的に接続されている

付記 7～10 のいずれか一つに記載のパワーモジュール。

(付記 12)

前記グラファイトプレートは、前記プレート主面の面方向において、所定の第 1 方向の熱伝導率が、前記第 1 方向と交差する第 2 方向の熱伝導率よりも高い第 2 熱伝導部を有する

付記 1 に記載のパワーモジュール。

(付記 13)

前記第 2 方向の熱伝導率は、前記厚さ方向の熱伝導率よりも低い

付記 12 に記載のパワーモジュール。

(付記 14)

前記第 2 熱伝導部は、前記厚さ方向において前記プレート主面側に設けられている

付記 1 2 又は 1 3 に記載のパワーモジュール。

(付記 1 5)

前記第 2 熱伝導部は、前記厚さ方向において前記プレート裏面側に設けられている

付記 1 2 又は 1 3 に記載のパワーモジュール。

(付記 1 6)

前記パワー半導体素子は、複数のパワー半導体素子のうちの 1 つであり、
前記パワーモジュールは、前記複数のパワー半導体素子を備え、
前記複数のパワー半導体素子は、前記プレート主面の前記第 2 方向に互いに離間して配置されている

付記 1 2 ～ 1 5 のいずれか一つに記載のパワーモジュール。

(付記 1 7)

前記厚さ方向からみて、前記プレート主面は、前記第 2 方向が長辺方向となり、前記第 1 方向が短辺方向となる形状を有する

付記 1 6 に記載のパワーモジュール。

(付記 1 8)

前記パワー半導体素子は、トランジスタであり、
前記パワー半導体素子に逆並列に接続されているダイオードをさらに備える

付記 1 2 ～ 1 7 のいずれか一つに記載のパワーモジュール。

(付記 1 9)

前記パワー半導体素子は、複数のパワー半導体素子のうちの 1 つであり、
前記パワーモジュールは、前記複数のパワー半導体素子と、各々前記複数のパワー半導体素子のうちの 1 つに逆並列に接続されている複数のダイオードと、を備え、

前記複数のパワー半導体素子はそれぞれ、トランジスタであり、

前記複数のパワー半導体素子は、前記プレート主面の前記第 2 方向に互いに離間して配置されており、

前記複数のダイオードは、前記厚さ方向からみて、前記第1方向において前記複数のパワー半導体素子と離間して配置されており、かつ、前記第2方向に互いに離間して配置されている

付記12～18のいずれか一つに記載のパワーモジュール。

(付記20)

前記厚さ方向からみて、前記プレート主面は、前記第2方向が長辺方向となり、前記第1方向が短辺方向となる形状を有し、

前記基板主面には、前記パワー半導体素子の制御電極に電氣的に接続されている制御層が配置されており、

前記厚さ方向からみて、前記プレート主面の前記第1方向において前記制御層と前記グラファイトプレートとが離間して配置されており、

前記厚さ方向からみて、前記パワー半導体素子は、前記ダイオードよりも前記制御層側に配置されている

付記18又は19に記載のパワーモジュール。

(付記21)

前記ダイオードは、前記厚さ方向において互いに反対側を向く主面及び裏面と、前記主面に形成されたアノード電極と、前記裏面に形成されたカソード電極とを有し、

前記カソード電極は、前記グラファイトプレートを介して前記搭載層に電氣的に接続されている

付記18～20のいずれか一つに記載のパワーモジュール。

(付記22)

前記パワー半導体素子は、前記厚さ方向において互いに反対側を向く素子主面及び素子裏面と、前記素子主面に形成された主面側駆動電極と、前記素子裏面に形成された裏面側駆動電極とを有し、

前記裏面側駆動電極は、前記グラファイトプレートを介して前記搭載層に電氣的に接続されている

付記1～21のいずれか一つに記載のパワーモジュール。

(付記 2 3)

前記グラファイトプレートは、前記厚さ方向と直交する面方向の熱伝導率が前記厚さ方向の熱伝導率よりも高い第 1 熱伝導部と、前記プレート主面の面方向において、所定の第 1 方向の熱伝導率が、前記第 1 方向と交差する第 2 方向の熱伝導率よりも高い第 2 熱伝導部とが前記厚さ方向に積層された構成である

付記 1 ～ 2 2 のいずれか一つに記載のパワーモジュール。

(付記 2 4)

前記第 1 熱伝導部は、前記プレート主面側に設けられており、
前記第 2 熱伝導部は、前記プレート裏面側に設けられている
付記 2 3 に記載のパワーモジュール。

(付記 2 5)

前記第 2 熱伝導部は、前記プレート主面側に設けられており、
前記第 1 熱伝導部は、前記プレート裏面側に設けられている
付記 2 3 に記載のパワーモジュール。

(付記 2 6)

前記グラファイトプレートの厚さは、前記基板の厚さよりも厚い
付記 1 ～ 2 5 のいずれか一つに記載のパワーモジュール。

(付記 2 7)

前記基板は、アルミナからなる
付記 1 ～ 2 6 のいずれか一つに記載のパワーモジュール。

(付記 2 8)

前記基板裏面には、冷却器が設けられている
付記 1 ～ 2 7 のいずれか一つに記載のパワーモジュール。

(付記 2 9)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面において前記厚さ方向に直交する方向に配列されている第 1

搭載層、第2搭載層、及び導電層と、

前記厚さ方向において互いに反対側を向く第1プレート主面及び第1プレート裏面を有し、前記第1プレート裏面が前記第1搭載層に積層され、異方向性の熱伝導率を有する第1グラファイトプレートと、

前記厚さ方向において互いに反対側を向く第2プレート主面及び第2プレート裏面を有し、前記第2プレート裏面が前記第2搭載層に積層され、異方向性の熱伝導率を有する第2グラファイトプレートと、

前記第1プレート主面に配置されている第1パワー半導体素子と、
前記第2プレート主面に配置されている第2パワー半導体素子と、
を備える

パワーモジュール。

(付記30)

前記第1グラファイトプレート及び前記第2グラファイトプレートはそれぞれ、前記厚さ方向と直交する面方向の熱伝導率が前記厚さ方向の熱伝導率よりも高い第1熱伝導部を有する

付記29に記載のパワーモジュール。

(付記31)

前記第1グラファイトプレートの前記第1熱伝導部は、前記厚さ方向において前記第1グラファイトプレートにおける前記第1プレート主面側に設けられており、

前記第2グラファイトプレートの前記第1熱伝導部は、前記厚さ方向において前記第2グラファイトプレートにおける前記第2プレート主面側に設けられている

付記30に記載のパワーモジュール。

(付記32)

前記第1グラファイトプレートの前記第1熱伝導部は、前記厚さ方向において前記第1グラファイトプレートにおける前記第1プレート裏面側に設けられており、

前記第2グラファイトプレートの前記第1熱伝導部は、前記厚さ方向において前記第2グラファイトプレートにおける前記第2プレート裏面側に設けられている

付記30に記載のパワーモジュール。

(付記33)

前記第1パワー半導体素子は、複数の第1パワー半導体素子のうちの1つであり、

前記第2パワー半導体素子は、複数の第2パワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数の第1パワー半導体素子と、前記複数の第2パワー半導体素子とを備え、

前記複数の第1パワー半導体素子は、前記第1プレート主面において前記第1プレート主面の面方向に互いに離間して配置されており、

前記複数の第2パワー半導体素子は、前記第2プレート主面において前記第2プレート主面の面方向に互いに離間して配置されている

付記30～32のいずれか一つに記載のパワーモジュール。

(付記34)

前記厚さ方向からみて、前記第1プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記複数の第1パワー半導体素子は、前記長辺方向において互いに離間して配置されている

付記33に記載のパワーモジュール。

(付記35)

前記複数の第1パワー半導体素子はそれぞれ、トランジスタであり、各々前記複数の第1パワー半導体素子のうちの1つに逆並列に接続されている複数の第1ダイオードをさらに備える

付記34に記載のパワーモジュール。

(付記36)

前記第1パワー半導体素子は、複数の第1パワー半導体素子のうちの1つであり、

前記第2パワー半導体素子は、複数の第2パワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数の第1パワー半導体素子と、各々前記複数の第1パワー半導体素子のうちの1つに逆並列に接続されている複数の第1ダイオードと、を備え、

前記複数の第1パワー半導体素子はそれぞれ、トランジスタであり、

前記複数の第1パワー半導体素子は、前記第1プレート主面の面方向に互いに離間して配置されており、

前記複数の第1ダイオードは、前記厚さ方向からみて、前記第1プレート主面の面方向のうちの前記複数の第1パワー半導体素子の配列方向と直交する方向において前記複数の第1パワー半導体素子と離間して配置されており、かつ、前記配列方向に沿う方向に互いに離間して配置されている

付記30～34のいずれか一つに記載のパワーモジュール。

(付記37)

前記厚さ方向からみて、前記第1プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記複数の第1パワー半導体素子は、前記長辺方向において互いに離間して配置されており、

前記複数の第1ダイオードは、前記短辺方向において前記複数の第1パワー半導体素子と離間して配置されており、かつ前記長辺方向において互いに離間して配置されている

付記36に記載のパワーモジュール。

(付記38)

前記厚さ方向からみて、前記第1プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記基板主面には、前記第1パワー半導体素子の制御電極に電氣的に接続

されている第1制御層が配置されており、

前記厚さ方向からみて、前記第1プレート主面の前記短辺方向に沿う方向において前記第1制御層と前記第1グラファイトプレートとが離間して配置されており、

前記厚さ方向からみて、前記第1パワー半導体素子は、前記第1ダイオードよりも前記第1制御層側に配置されている

付記35～37のいずれか一つに記載のパワーモジュール。

(付記39)

前記第1制御層は、前記第1搭載層に対して前記第2搭載層とは反対側に配置されている

付記38に記載のパワーモジュール。

(付記40)

前記第1ダイオードは、前記厚さ方向において互いに反対側を向く主面及び裏面と、前記主面に形成されたアノード電極と、前記裏面に形成されたカソード電極とを有し、

前記第1ダイオードのカソード電極は、前記第1グラファイトプレートを介して前記第1搭載層に電氣的に接続されており、

前記第1ダイオードのアノード電極は、第1接続部材によって前記第2搭載層に接続されている

付記35～39のいずれか一つに記載のパワーモジュール。

(付記41)

前記第2パワー半導体素子は、複数の第2パワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数の第2パワー半導体素子を備え、

前記厚さ方向からみて、前記第2プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記複数の第2パワー半導体素子は、前記第2プレート主面の長辺方向において離間して配置されている

付記 29～40 のいずれか一つに記載のパワーモジュール。

(付記 42)

前記第 2 パワー半導体素子はそれぞれ、トランジスタであり、

前記第 2 パワー半導体素子に逆並列に接続されている第 2 ダイオードをさらに備える

付記 29～41 のいずれか一つに記載のパワーモジュール。

(付記 43)

前記第 2 パワー半導体素子は、複数の第 2 パワー半導体素子のうちの 1 つであり、

前記第 2 ダイオードは、複数の第 2 ダイオードのうちの 1 つであり、

前記パワーモジュールは、前記複数の第 2 パワー半導体素子と、各々前記複数の第 2 パワー半導体素子のうちの 1 つに逆並列に接続されている前記複数の第 2 ダイオードとを備え、

前記複数の第 2 パワー半導体素子は、前記第 2 プレート主面の面方向に互いに離間して配置されており、

前記複数の第 2 ダイオードは、前記厚さ方向からみて、前記第 2 プレート主面の面方向のうちの前記複数の第 2 パワー半導体素子の配列方向と直交する方向において前記複数の第 2 パワー半導体素子と離間して配置されており、かつ、前記配列方向に沿う方向に互いに離間して配置されている

付記 42 に記載のパワーモジュール。

(付記 44)

前記厚さ方向からみて、前記第 2 プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記複数の第 2 パワー半導体素子は、前記第 2 プレート主面の長辺方向において離間して配置されており、

前記第 2 ダイオードは、前記短辺方向において前記第 2 パワー半導体素子と離間して配置されている

付記 43 に記載のパワーモジュール。

(付記 4 5)

前記厚さ方向からみて、前記第 2 プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記基板主面には、前記複数の第 2 パワー半導体素子の制御電極に電氣的に接続されている第 2 制御層が配置されており、

前記厚さ方向からみて、前記第 2 プレート主面の前記短辺方向に沿う方向において前記第 2 制御層と前記第 2 グラファイトプレートとが離間して配置されており、

前記厚さ方向からみて、前記複数の第 2 パワー半導体素子は、前記第 2 ダイオードよりも前記第 2 制御層側に配置されている

付記 4 3 又は 4 4 に記載のパワーモジュール。

(付記 4 6)

前記第 2 制御層は、前記導電層に対して前記第 2 搭載層とは反対側に配置されている

付記 4 5 に記載のパワーモジュール。

(付記 4 7)

前記第 1 グラファイトプレート及び前記第 2 グラファイトプレートはそれぞれ、前記厚さ方向に直交する面方向の熱伝導率が前記厚さ方向の熱伝導率よりも高い第 1 熱伝導部と、前記面方向において、所定の第 1 方向の熱伝導率が、前記第 1 方向と交差する第 2 方向の熱伝導率よりも高い第 2 熱伝導部とが前記厚さ方向に積層された構成である

付記 2 9～4 6 のいずれか一つに記載のパワーモジュール。

(付記 4 8)

前記第 1 グラファイトプレートの前記第 1 熱伝導部は、前記厚さ方向において前記第 1 グラファイトプレートの前記第 1 プレート主面側に設けられており、

前記第 2 グラファイトプレートの前記第 1 熱伝導部は、前記厚さ方向において前記第 2 グラファイトプレートの前記第 2 プレート主面側に設けられて

おり、

前記第1グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第1グラファイトプレートの前記第1プレート裏面側に設けられており、

前記第2グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第2グラファイトプレートの前記第2プレート裏面側に設けられている

付記47に記載のパワーモジュール。

(付記49)

前記第1グラファイトプレートの前記第1熱伝導部は、前記厚さ方向において前記第1グラファイトプレートの前記第1プレート裏面側に設けられており、

前記第2グラファイトプレートの前記第1熱伝導部は、前記厚さ方向において前記第2グラファイトプレートの前記第2プレート裏面側に設けられており、

前記第1グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第1グラファイトプレートの前記第1プレート主面側に設けられており、

前記第2グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第2グラファイトプレートの前記第2プレート主面側に設けられている

付記47に記載のパワーモジュール。

(付記50)

前記第1グラファイトプレート及び前記第2グラファイトプレートはそれぞれ、前記厚さ方向と直交する面方向において、所定の第1方向の熱伝導率が、前記第1方向と交差する第2方向の熱伝導率よりも高い第2熱伝導部を有する

付記29に記載のパワーモジュール。

(付記5 1)

前記第2方向の熱伝導率は、前記厚さ方向の熱伝導率よりも低い
付記5 0に記載のパワーモジュール。

(付記5 2)

前記第1グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第1グラファイトプレートにおける前記第1プレート主面側に設けられており、

前記第2グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第2グラファイトプレートにおける前記第2プレート主面側に設けられている

付記5 0又は5 1に記載のパワーモジュール。

(付記5 3)

前記第1グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第1グラファイトプレートにおける前記第1プレート裏面側に設けられており、

前記第2グラファイトプレートの前記第2熱伝導部は、前記厚さ方向において前記第2グラファイトプレートにおける前記第2プレート裏面側に設けられている

付記5 0又は5 1に記載のパワーモジュール。

(付記5 4)

前記第1パワー半導体素子は、複数の第1パワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数の第1パワー半導体素子を備え、

前記複数の第1パワー半導体素子は、前記第1プレート主面の前記第2方向に互いに離間して配置されている

付記5 0～5 3のいずれか一つに記載のパワーモジュール。

(付記5 5)

前記厚さ方向からみて、前記第1プレート主面は、前記第2方向が長辺方

向となり、前記第1方向が短辺方向となる形状を有する

付記54に記載のパワーモジュール。

(付記56)

前記第1パワー半導体素子は、トランジスタであり、

前記第1パワー半導体素子に逆並列に接続されている第1ダイオードをさらに備える

付記50～55のいずれか一つに記載のパワーモジュール。

(付記57)

前記第1パワー半導体素子は、複数の第1パワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数の第1パワー半導体素子と、各々前記複数の第1パワー半導体素子のうちの1つに逆並列に接続されている複数の第1ダイオードを備え、

前記複数の第1パワー半導体素子はそれぞれ、トランジスタであり、

前記複数の第1パワー半導体素子は、前記第1プレート主面の前記第2方向に互いに離間して配置されており、

前記複数の第1ダイオードは、前記厚さ方向からみて、前記第1方向において前記複数の第1パワー半導体素子と離間して配置されており、かつ、前記第2方向に互いに離間して配置されている

付記50～56のいずれか一つに記載のパワーモジュール。

(付記58)

前記厚さ方向からみて、前記第1プレート主面は、前記第2方向が長辺方向となり、前記第1方向が短辺方向となる形状を有し、

前記基板主面には、前記第1パワー半導体素子の制御電極に電氣的に接続されている制御層が配置されており、

前記厚さ方向からみて、前記第1プレート主面の前記第1方向において前記制御層と前記第1グラファイトプレートとが離間して配置されており、

前記厚さ方向からみて、前記第1パワー半導体素子は、前記第1ダイオー

ドよりも前記制御層側に配置されている

付記56又は57に記載のパワーモジュール。

(付記59)

前記第2パワー半導体素子は、複数の第2パワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数の第2パワー半導体素子を備え、

前記複数の第2パワー半導体素子は、前記第2プレート主面の前記第2方向に互いに離間して配置されている

付記50～58のいずれか一つに記載のパワーモジュール。

(付記60)

前記厚さ方向からみて、前記第2プレート主面は、前記第2方向が長辺方向となり、前記第1方向が短辺方向となる形状を有する

付記59に記載のパワーモジュール。

(付記61)

前記第2パワー半導体素子は、トランジスタであり、

前記第2パワー半導体素子に逆並列に接続されている第2ダイオードをさらに備える

付記50～60のいずれか一つに記載のパワーモジュール。

(付記62)

前記第2パワー半導体素子は、複数の第2パワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数の第2パワー半導体素子と、各々前記複数の第2パワー半導体素子のうちの1つに逆並列に接続されている複数の第2ダイオードと、を備え、

前記複数の第2パワー半導体素子はそれぞれ、トランジスタであり、

前記複数の第2パワー半導体素子は、前記第2プレート主面の前記第2方向に互いに離間して配置されており、

前記複数の第2ダイオードは、前記厚さ方向からみて、前記第1方向にお

いて前記複数の第2パワー半導体素子と離間して配置されており、かつ、前記第2方向に互いに離間して配置されている

付記50～61のいずれか一つに記載のパワーモジュール。

(付記63)

前記厚さ方向からみて、前記第2プレート主面は、前記第2方向が長辺方向となり、前記第1方向が短辺方向となる形状を有し、

前記基板主面には、前記第2パワー半導体素子の制御電極に電氣的に接続されている制御層が配置されており、

前記厚さ方向からみて、前記第2プレート主面の前記第1方向において前記制御層と前記第2グラファイトプレートとが離間して配置されており、

前記厚さ方向からみて、前記第2パワー半導体素子は、前記第2ダイオードよりも前記制御層側に配置されている

付記61又は62に記載のパワーモジュール。

(付記64)

前記第1パワー半導体素子は、前記厚さ方向において互いに反対側を向く第1素子主面及び第1素子裏面と、前記第1素子主面に形成された第1主面側駆動電極と、前記第1素子裏面に形成された第1裏面側駆動電極とを有し、

前記第1裏面側駆動電極は、前記第1グラファイトプレートを介して前記第1搭載層に電氣的に接続されており、

前記第1主面側駆動電極は、第1接続部材を介して前記第2搭載層に電氣的に接続されている

付記29～63のいずれか一つに記載のパワーモジュール。

(付記65)

前記第1ダイオードは、前記厚さ方向において互いに反対側を向く第1主面及び第1裏面と、前記第1主面に形成されたアノード電極と、前記第1裏面に形成されたカソード電極とを有し、

前記カソード電極は、前記第1グラファイトプレートを介して前記第1搭

載層に電氣的に接続されている

付記 35～40 及び 56～58 のいずれか一つに記載のパワーモジュール

。

(付記 66)

前記第 2 パワー半導体素子は、前記厚さ方向において互いに反対側を向く第 2 素子主面及び第 2 素子裏面と、前記第 2 素子主面に形成された第 2 主面側駆動電極と、前記第 2 素子裏面に形成された第 2 裏面側駆動電極とを有し、

、

前記第 2 裏面側駆動電極は、前記第 2 グラファイトプレートを通じて前記第 2 搭載層に電氣的に接続されており、

前記第 2 主面側駆動電極は、第 2 接続部材を通じて前記導電層に電氣的に接続されている

付記 29～65 のいずれか一つに記載のパワーモジュール。

(付記 67)

前記第 2 ダイオードは、前記厚さ方向において互いに反対側を向く第 2 主面及び第 2 裏面と、前記第 2 主面に形成されたアノード電極と、前記第 2 裏面に形成されたカソード電極とを有し、

前記第 2 ダイオードのカソード電極は、前記第 2 グラファイトプレートを通じて前記第 2 搭載層に電氣的に接続されており、

前記第 2 ダイオードのアノード電極は、第 2 接続部材によって前記導電層に接続されている

付記 42～46 及び 61～63 のいずれか一つに記載のパワーモジュール

。

(付記 68)

前記第 2 グラファイトプレートは、前記第 2 搭載層において前記導電層寄りに配置されている

付記 29～67 のいずれか一つに記載のパワーモジュール。

(付記 69)

前記基板は、前記第1搭載層、前記第2搭載層、及び前記導電層が配列される配列方向と前記厚さ方向との両方に直交する直交方向において互いに離間して配置されている第1基板及び第2基板を有し、

前記第1基板及び前記第2基板の前記基板主面がそれぞれ、前記第1搭載層、前記第2搭載層、及び前記導電層を有し、

前記第1基板及び前記第2基板のそれぞれの前記第1搭載層には、前記第1グラファイトプレートが積層されており、

前記第1基板及び前記第2基板のそれぞれの前記第2搭載層には、前記第2グラファイトプレートが積層されている

付記29～68のいずれか一つに記載のパワーモジュール。

(付記70)

前記第1基板及び前記第2基板の配列方向において、前記第1基板の第1搭載層と前記第2基板の第1搭載層とが隙間をあけて並べられており、

前記配列方向において、前記第1基板の第2搭載層と前記第2基板の第2搭載層とが離間して配置されており、

前記配列方向において、前記第1基板の導電層と前記第2基板の導電層とが離間して配置されており、

前記第1基板の第1搭載層と前記第2基板の第1搭載層とは、第1連結部材によって電氣的に接続されており、

前記第1基板の第2搭載層と前記第2基板の第2搭載層とは、第2連結部材によって電氣的に接続されており、

前記第1基板の導電層と前記第2基板の導電層とは、第3連結部材によって電氣的に接続されている

付記69に記載のパワーモジュール。

(付記71)

前記第1基板及び前記第2基板の基板主面にはそれぞれ、第1制御層及び第2制御層が配置されており、

前記配列方向において、前記第1基板の第1制御層と前記第2基板の第1

制御層とが離間して配置されており、

前記配列方向において、前記第 1 基板の第 2 制御層と前記第 2 基板の第 2 制御層とが離間して配置されており、

前記第 1 基板の第 1 制御層と前記第 2 基板の第 1 制御層とは、第 1 制御層接続部材によって接続されており、

前記第 1 基板の第 2 制御層と前記第 2 基板の第 2 制御層とは、第 2 制御層接続部材によって接続されている

付記 69 又は 70 に記載のパワーモジュール。

(付記 72)

前記パワーモジュールは、第 1 入力端子、第 2 入力端子、及び出力端子を備え、

前記第 1 基板の第 1 搭載層には、前記第 1 入力端子が接続されており、

前記第 1 基板の第 2 搭載層には、前記第 2 入力端子が接続されており、

前記第 2 基板の第 2 搭載層には、前記出力端子が接続されている

付記 69～71 のいずれか一つに記載のパワーモジュール。

(付記 73)

前記第 1 基板及び前記第 2 基板はそれぞれ、アルミナからなる

付記 69～72 のいずれか一つに記載のパワーモジュール。

(付記 74)

前記第 1 基板の基板裏面及び前記第 2 基板の基板裏面にわたり冷却器が設けられている

付記 69～73 のいずれか一つに記載のパワーモジュール。

符号の説明

- [0348] 1 A, 1 B…パワーモジュール
1 O…基板
1 1…第 1 基板
1 1 s…第 1 基板主面 (基板主面)
1 1 r…第 1 基板裏面 (基板裏面)

- 1 2 …第2基板
- 1 2 s …第2基板主面（基板主面）
- 1 2 r …第2基板裏面（基板裏面）
- 1 3 A, 1 3 C …第1搭載層（搭載層）
- 1 3 B, 1 3 D …第2搭載層（搭載層）
- 1 4 A, 1 4 B …導電層
- 1 5 A, 1 5 C …第1制御層（制御層）
- 1 5 B, 1 5 D …第2制御層（制御層）
- 2 1 A …第1素子接続部材（第1接続部材）
- 2 1 B …第2素子接続部材（第2接続部材）
- 3 0 …パワー半導体素子
- 3 0 A, 3 0 A a ~ 3 0 A f …第1パワー半導体素子
- 3 0 B, 3 0 B a ~ 3 0 B f …第2パワー半導体素子
- 3 0 s …素子主面（第1素子主面、第2素子主面）
- 3 0 r …素子裏面（第1素子裏面、第2素子裏面）
- 3 1 …ドレイン電極（第1裏面側駆動電極、第2裏面側駆動電極）
- 3 2 …ソース電極（第1主面側駆動電極、第2主面側駆動電極）
- 3 3 …ゲート電極（制御電極）
- 4 0 …ダイオード
- 4 0 A, 4 0 A a ~ 4 0 A f …第1ダイオード
- 4 0 B, 4 0 B a ~ 4 0 B f …第2ダイオード
- 4 0 s …主面（第1主面、第2主面）
- 4 0 r …裏面（第1裏面、第2裏面）
- 4 1 …アノード電極
- 4 2 …カソード電極
- 5 1 A …第1入力端子
- 5 1 B …第2入力端子
- 5 2 A …第1出力端子（出力端子）

5 2 B…第2出力端子（出力端子）
7 0…放熱板（冷却器）
9 0 A, 9 0 C…第1グラファイトプレート（グラファイトプレート）
9 0 x y…グラファイトプレート（第1熱伝導部）
9 0 x z…グラファイトプレート（第2熱伝導部）
9 5 A, 9 5 C…第1プレート主面（プレート主面）
9 6 A, 9 6 C…第1プレート裏面（プレート裏面）
9 0 B, 9 0 D…第2グラファイトプレート（グラファイトプレート）
9 5 B, 9 5 D…第2プレート主面（プレート主面）
9 6 B, 9 6 D…第2プレート裏面（プレート裏面）
1 0 0 A…連結部材（第1連結部材）
1 0 0 B…連結部材（第2連結部材）
1 0 0 C…連結部材（第3連結部材）
1 0 3 A…第1制御層接続部材
1 0 3 B…第2制御層接続部材
1 1 0…ヒートシンク（冷却器）
Z…厚さ方向
X…横方向（面方向）
Y…縦方向（面方向）

請求の範囲

- [請求項1] 厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、
前記基板主面に配置された導電性の搭載層と、
前記厚さ方向において互いに反対側を向くプレート主面及びプレート裏面を有し、前記プレート裏面が前記搭載層に接続され、異方性の熱伝導率を有するグラファイトプレートと、
前記プレート主面に配置されているパワー半導体素子と、
を備える
パワーモジュール。
- [請求項2] 前記グラファイトプレートは、前記厚さ方向と直交する面方向の熱伝導率が前記厚さ方向の熱伝導率よりも高い第1熱伝導部を有する
請求項1に記載のパワーモジュール。
- [請求項3] 前記パワー半導体素子は、複数のパワー半導体素子のうちの1つであり、
前記パワーモジュールは、前記複数のパワー半導体素子を備え、
前記複数のパワー半導体素子は、前記プレート主面の前記面方向に互いに離間して配置されている
請求項2に記載のパワーモジュール。
- [請求項4] 前記厚さ方向からみて、前記プレート主面は長辺方向及び短辺方向を有する形状からなり、
前記複数のパワー半導体素子は、前記長辺方向において互いに離間して配置されている
請求項3に記載のパワーモジュール。
- [請求項5] 前記パワー半導体素子は、トランジスタであり、
前記パワー半導体素子に逆並列に接続されているダイオードをさらに備える
請求項1～4のいずれか一項に記載のパワーモジュール。

[請求項6] 前記パワー半導体素子は、複数のパワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数のパワー半導体素子と、各々前記複数のパワー半導体素子のうちの1つに逆並列に接続されている複数のダイオードとを備え、

前記複数のパワー半導体素子はそれぞれ、トランジスタであり、

前記複数のパワー半導体素子は、前記プレート主面の前記面方向に互いに離間して配置されており、

前記複数のダイオードは、前記厚さ方向からみて、前記面方向のうちの前記複数のパワー半導体素子の配列方向と直交する方向において前記複数のパワー半導体素子と離間して配置されており、かつ、前記配列方向に沿う方向に互いに離間して配置されている

請求項2～4のいずれか一項に記載のパワーモジュール。

[請求項7] 前記厚さ方向からみて、前記プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記複数のパワー半導体素子は、前記長辺方向において離間して配置されており、

前記複数のダイオードは、前記短辺方向において前記複数のパワー半導体素子と離間して配置されており、かつ、前記長辺方向において互いに離間して配置されている

請求項6に記載のパワーモジュール。

[請求項8] 前記厚さ方向からみて、前記プレート主面は長辺方向及び短辺方向を有する形状からなり、

前記基板主面には、前記パワー半導体素子の制御電極に電氣的に接続されている制御層が配置されており、

前記厚さ方向からみて、前記プレート主面の前記短辺方向に沿う方向において前記制御層と前記グラフィットプレートとが離間して配置されており、

前記厚さ方向からみて、前記パワー半導体素子は、前記ダイオードよりも前記制御層側に配置されている

請求項5～7のいずれか一項に記載のパワーモジュール。

[請求項9] 前記ダイオードは、前記厚さ方向において互いに反対側を向く主面及び裏面と、前記主面に形成されたアノード電極と、前記裏面に形成されたカソード電極とを有し、

前記カソード電極は、前記グラファイトプレートを通じて前記搭載層に電氣的に接続されている

請求項5～8のいずれか一項に記載のパワーモジュール。

[請求項10] 前記グラファイトプレートは、前記プレート主面の面方向において、所定の第1方向の熱伝導率が、前記第1方向と交差する第2方向の熱伝導率よりも高い第2熱伝導部を有する

請求項1に記載のパワーモジュール。

[請求項11] 前記第2方向の熱伝導率は、前記厚さ方向の熱伝導率よりも低い
請求項10に記載のパワーモジュール。

[請求項12] 前記パワー半導体素子は、複数のパワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数のパワー半導体素子を備え、
前記複数のパワー半導体素子は、前記プレート主面の前記第2方向に互いに離間して配置されている

請求項10又は11に記載のパワーモジュール。

[請求項13] 前記厚さ方向からみて、前記プレート主面は、前記第2方向が長辺方向となり、前記第1方向が短辺方向となる形状を有する

請求項12に記載のパワーモジュール。

[請求項14] 前記パワー半導体素子は、トランジスタであり、
前記パワー半導体素子に逆並列に接続されているダイオードをさらに備える

請求項10～13のいずれか一項に記載のパワーモジュール。

[請求項15] 前記パワー半導体素子は、複数のパワー半導体素子のうちの1つであり、

前記パワーモジュールは、前記複数のパワー半導体素子と、各々前記複数のパワー半導体素子のうちの1つに逆並列に接続されている複数のダイオードと、を備え、

前記複数のパワー半導体素子はそれぞれ、トランジスタであり、

前記複数のパワー半導体素子は、前記プレート主面の前記第2方向に互いに離間して配置されており、

前記複数のダイオードは、前記厚さ方向からみて、前記第1方向において前記複数のパワー半導体素子と離間して配置されており、かつ、前記第2方向に互いに離間して配置されている

請求項10～14のいずれか一項に記載のパワーモジュール。

[請求項16] 前記厚さ方向からみて、前記プレート主面は、前記第2方向が長辺方向となり、前記第1方向が短辺方向となる形状を有し、

前記基板主面には、前記パワー半導体素子の制御電極に電氣的に接続されている制御層が配置されており、

前記厚さ方向からみて、前記プレート主面の前記第1方向において前記制御層と前記グラファイトプレートとが離間して配置されており、

前記厚さ方向からみて、前記パワー半導体素子は、前記ダイオードよりも前記制御層側に配置されている

請求項14又は15に記載のパワーモジュール。

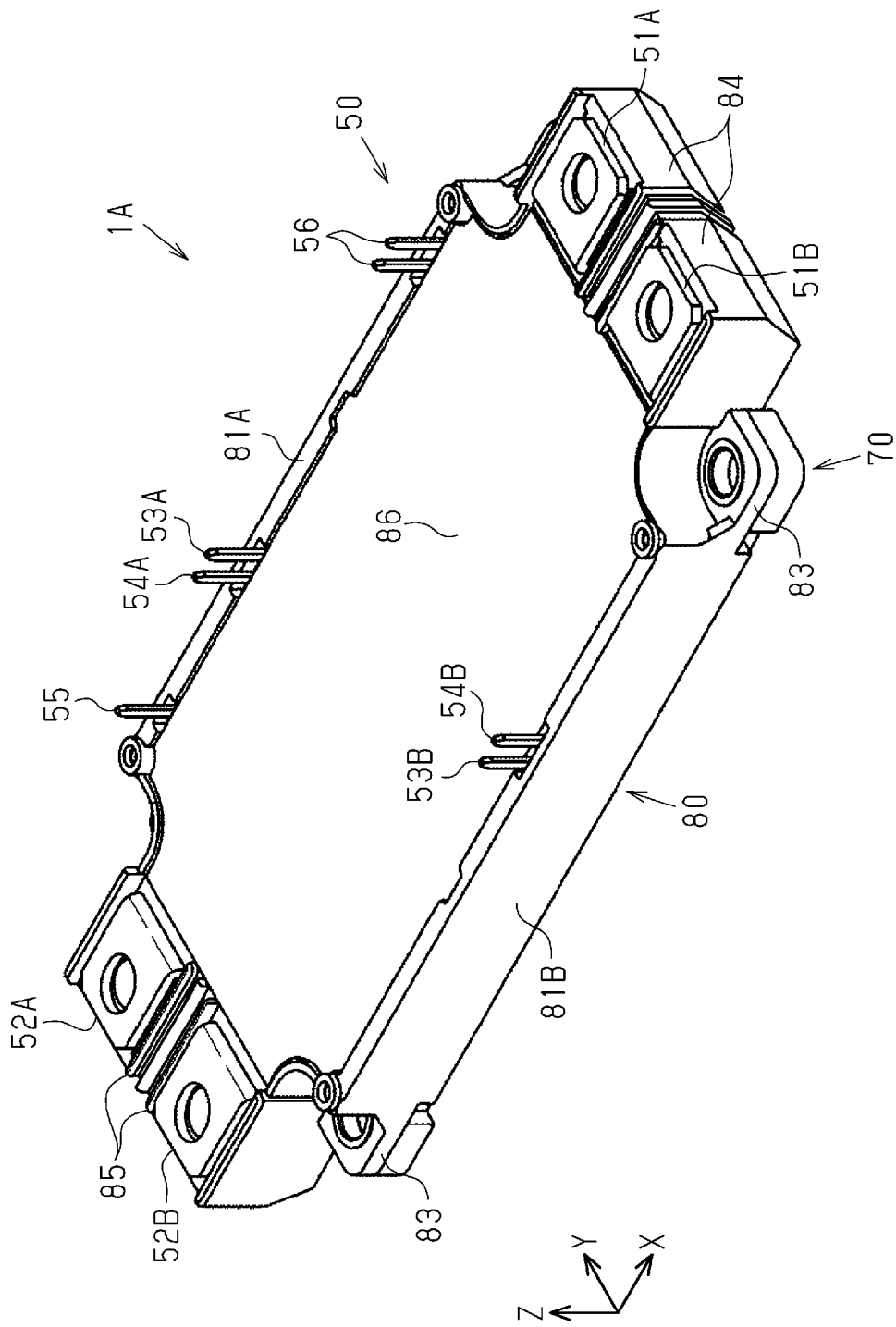
[請求項17] 前記ダイオードは、前記厚さ方向において互いに反対側を向く主面及び裏面と、前記主面に形成されたアノード電極と、前記裏面に形成されたカソード電極とを有し、

前記カソード電極は、前記グラファイトプレートを介して前記搭載層に電氣的に接続されている

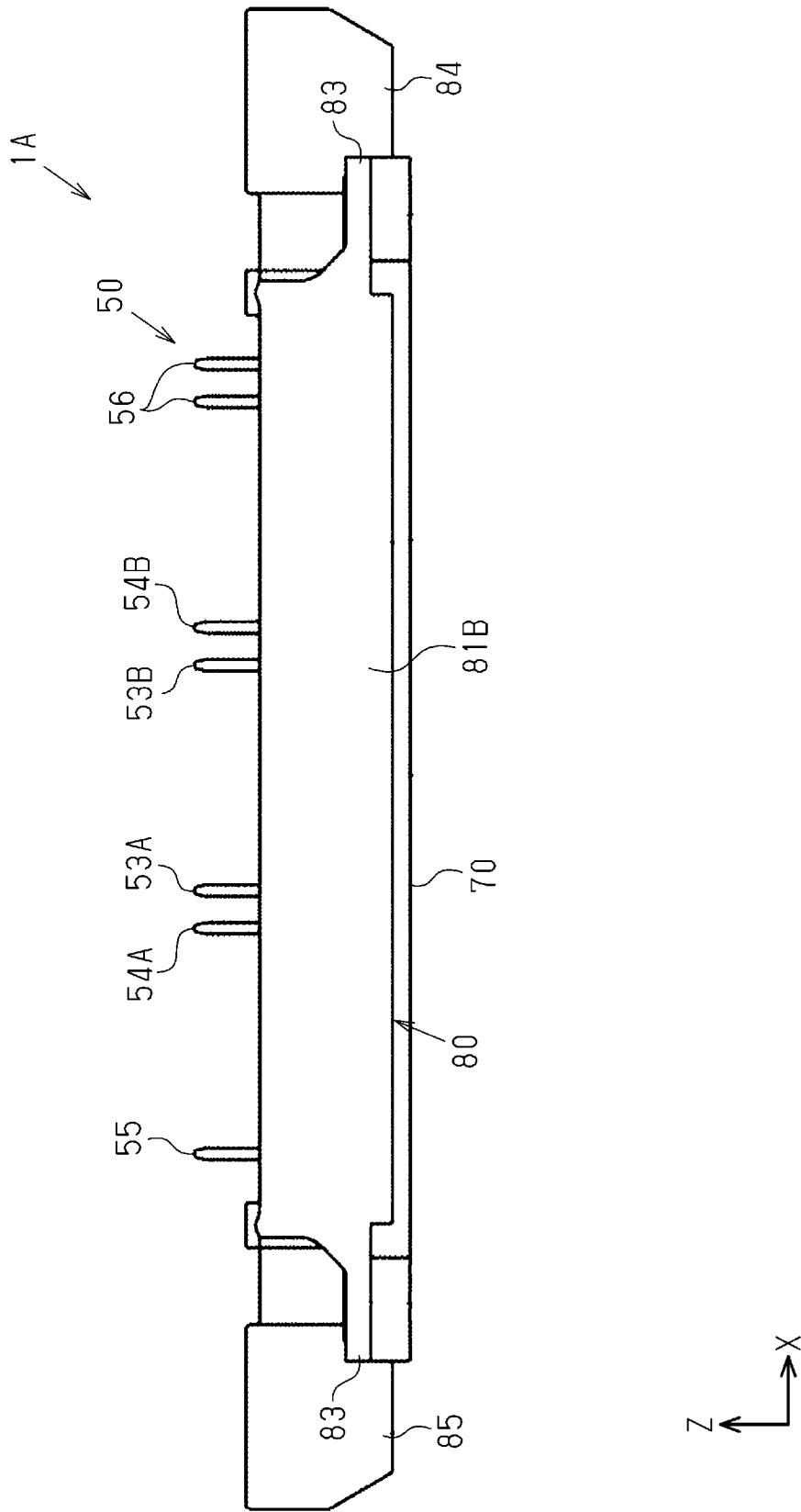
請求項14～16のいずれか一項に記載のパワーモジュール。

- [請求項18] 前記パワー半導体素子は、前記厚さ方向において互いに反対側を向く素子主面及び素子裏面と、前記素子主面に形成された主面側駆動電極と、前記素子裏面に形成された裏面側駆動電極とを有し、
前記裏面側駆動電極は、前記グラファイトプレートを通じて前記搭載層に電氣的に接続されている
請求項1～17のいずれか一項に記載のパワーモジュール。
- [請求項19] 前記グラファイトプレートは、前記厚さ方向と直交する面方向の熱伝導率が前記厚さ方向の熱伝導率よりも高い第1熱伝導部と、前記プレート主面の面方向において、所定の第1方向の熱伝導率が、前記第1方向と交差する第2方向の熱伝導率よりも高い第2熱伝導部とが前記厚さ方向に積層された構成である
請求項1～18のいずれか一項に記載のパワーモジュール。
- [請求項20] 厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、
前記基板主面において前記厚さ方向に直交する方向に配列されている第1搭載層、第2搭載層、及び導電層と、
前記厚さ方向において互いに反対側を向く第1プレート主面及び第1プレート裏面を有し、前記第1プレート裏面が前記第1搭載層に積層され、異方性の熱伝導率を有する第1グラファイトプレートと、
前記厚さ方向において互いに反対側を向く第2プレート主面及び第2プレート裏面を有し、前記第2プレート裏面が前記第2搭載層に積層され、異方性の熱伝導率を有する第2グラファイトプレートと、
前記第1プレート主面に配置されている第1パワー半導体素子と、
前記第2プレート主面に配置されている第2パワー半導体素子と、
を備える
パワーモジュール。

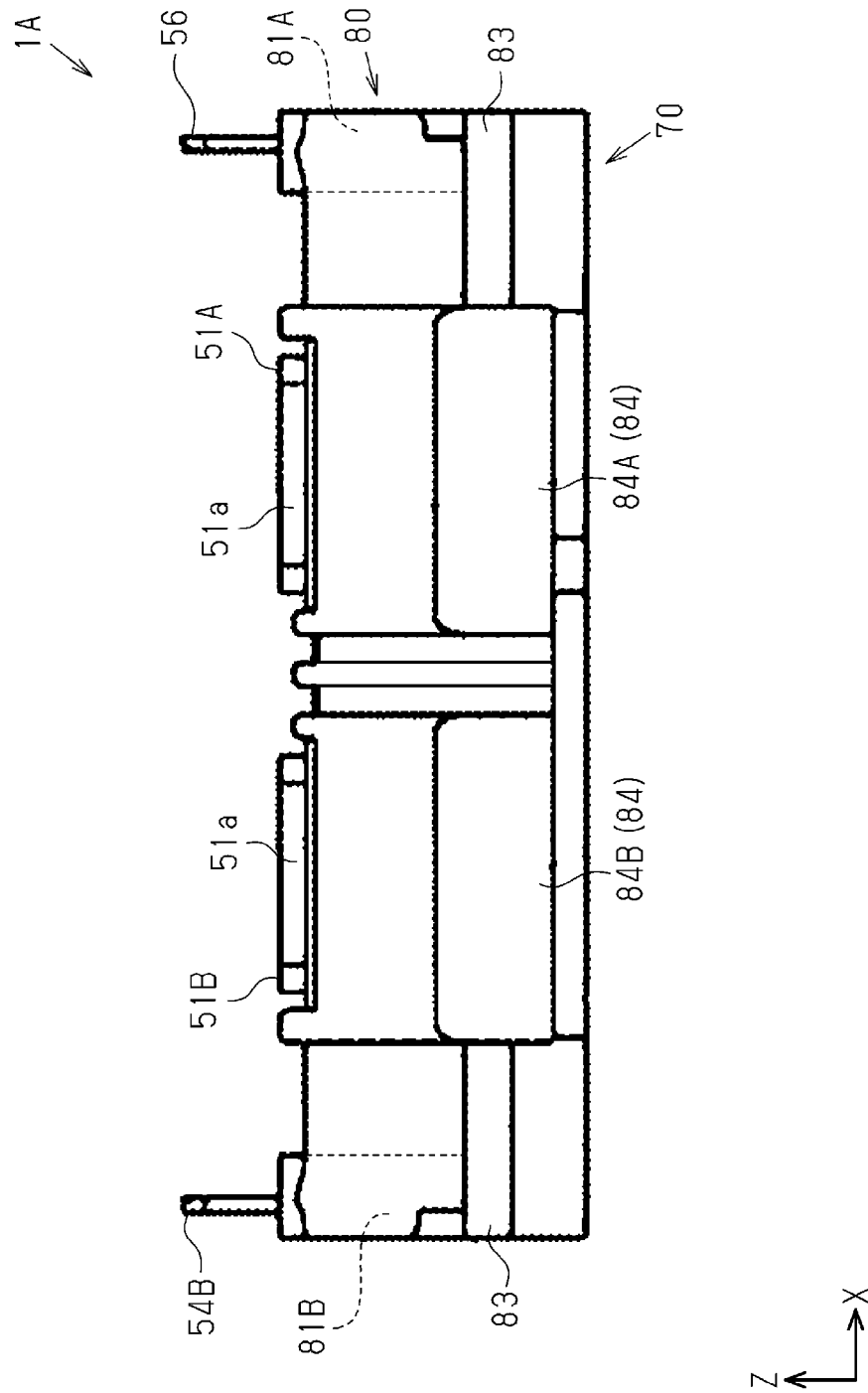
[図1]



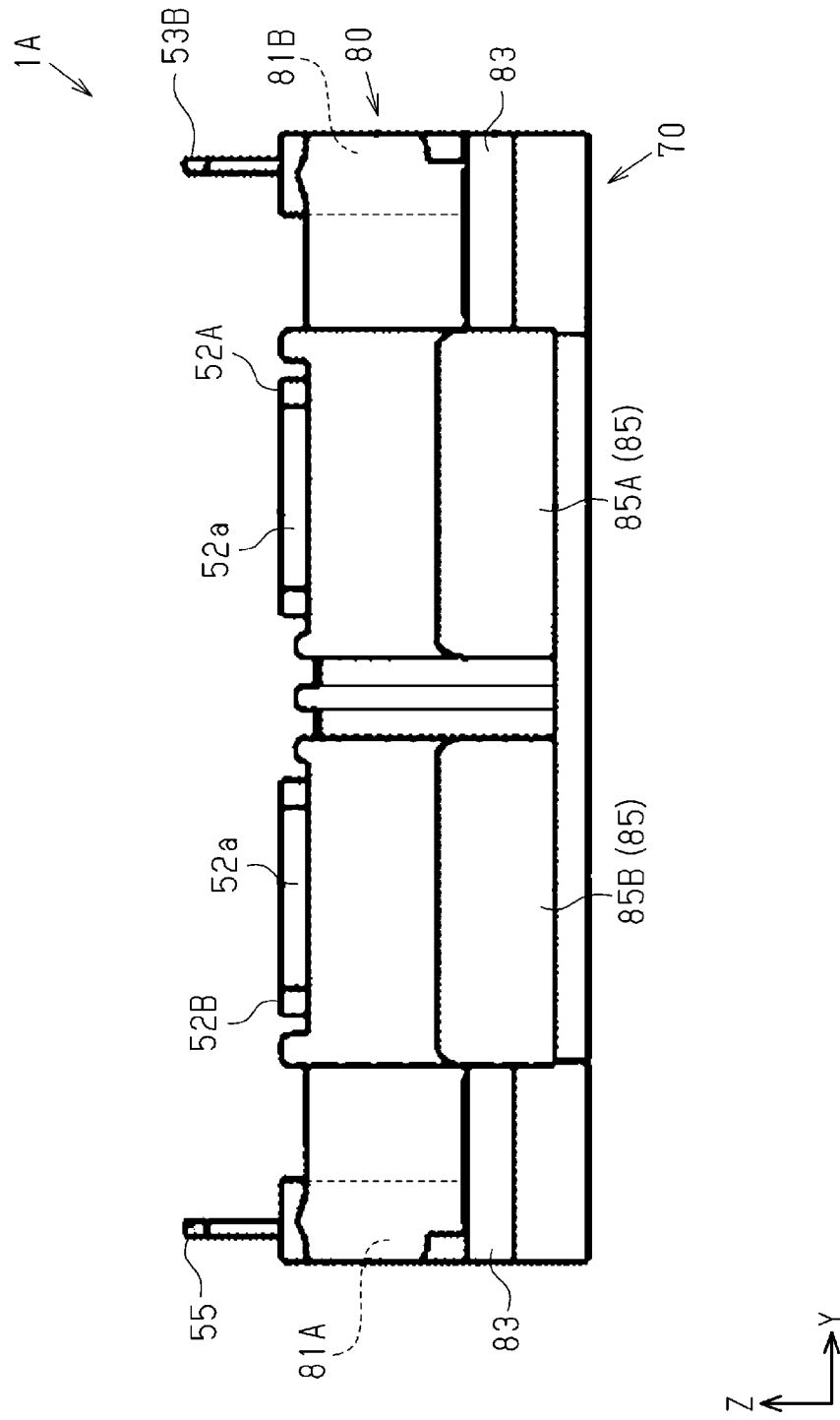
[図3]



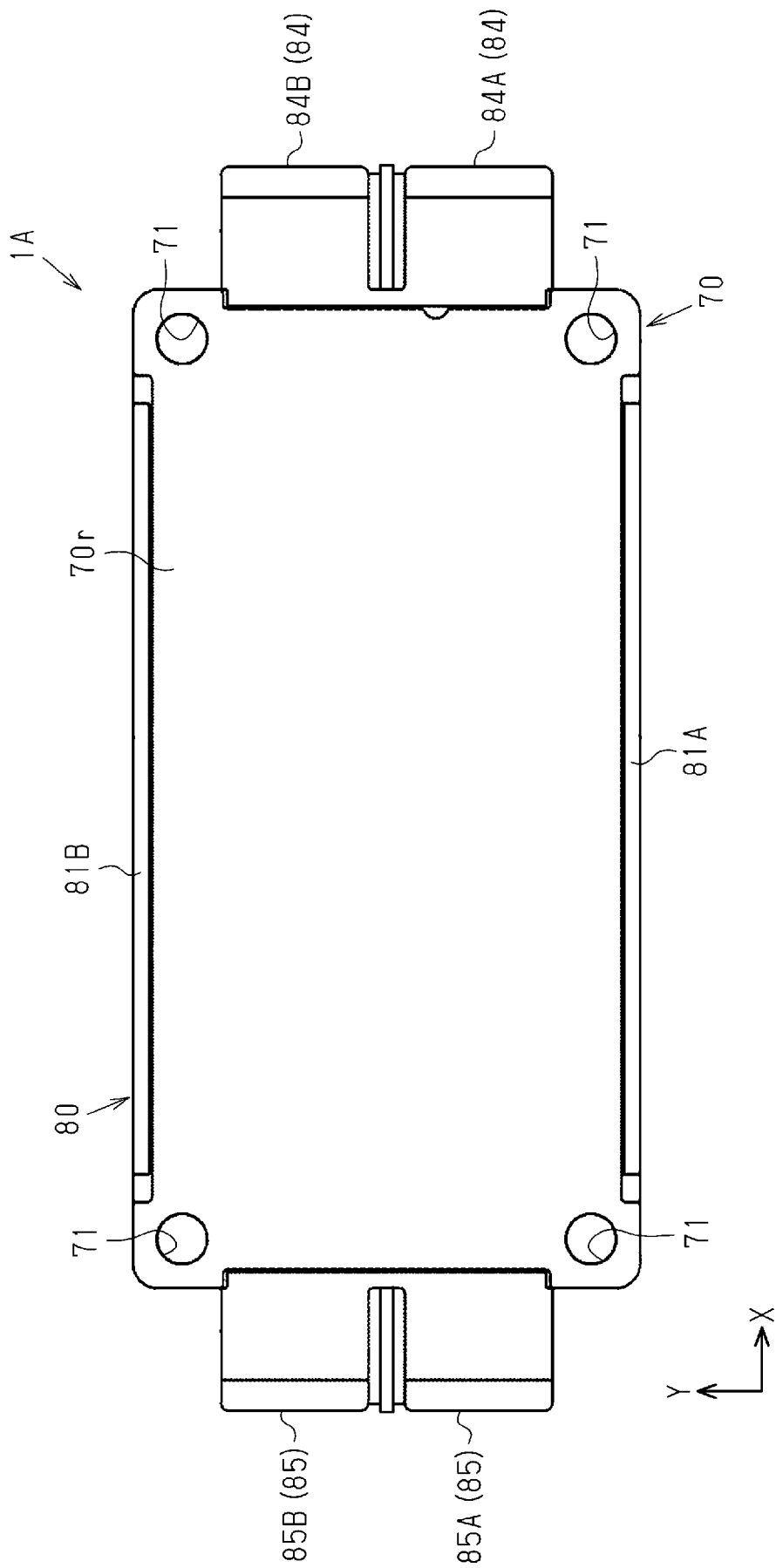
[図4]



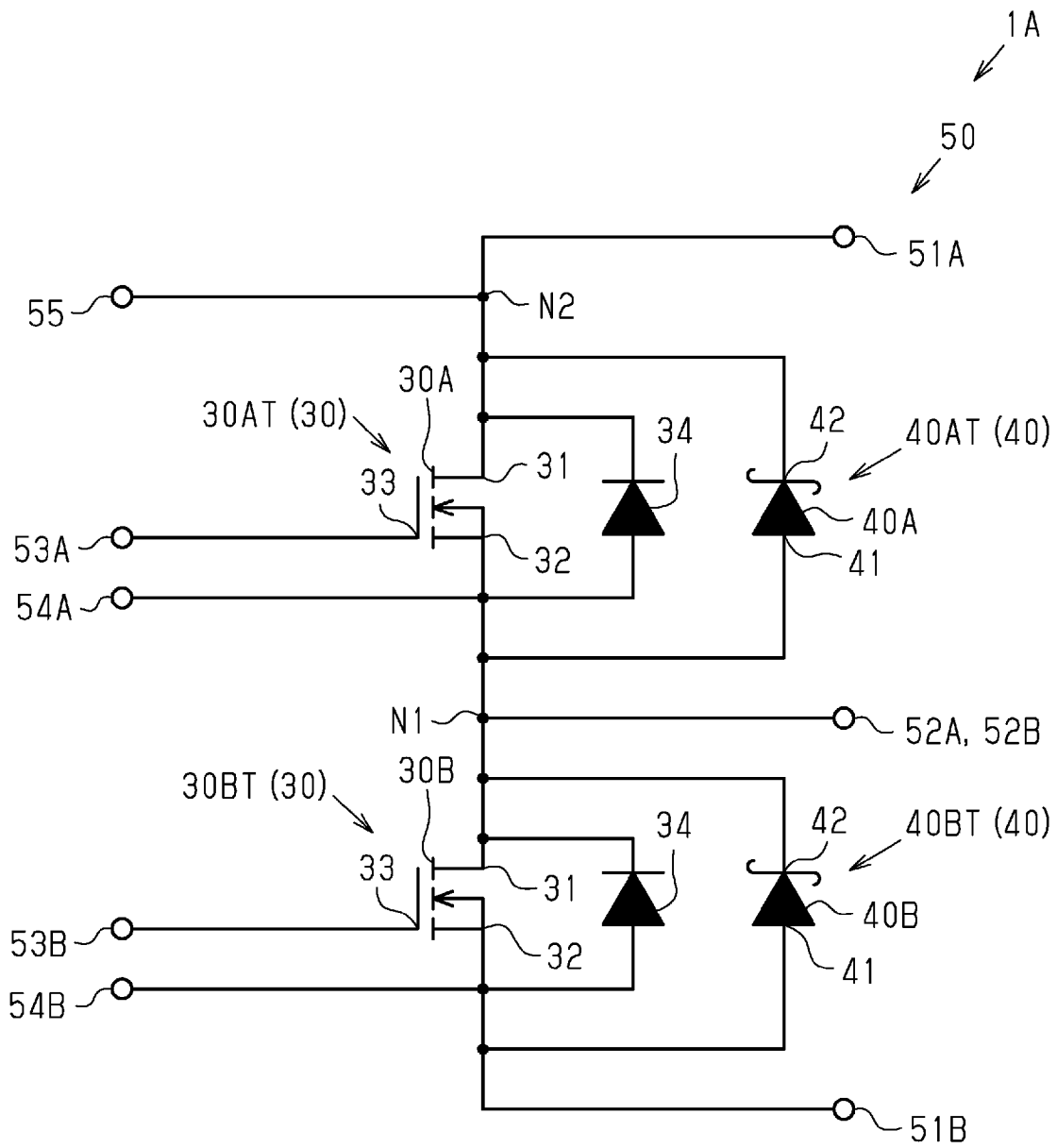
[図5]



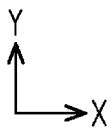
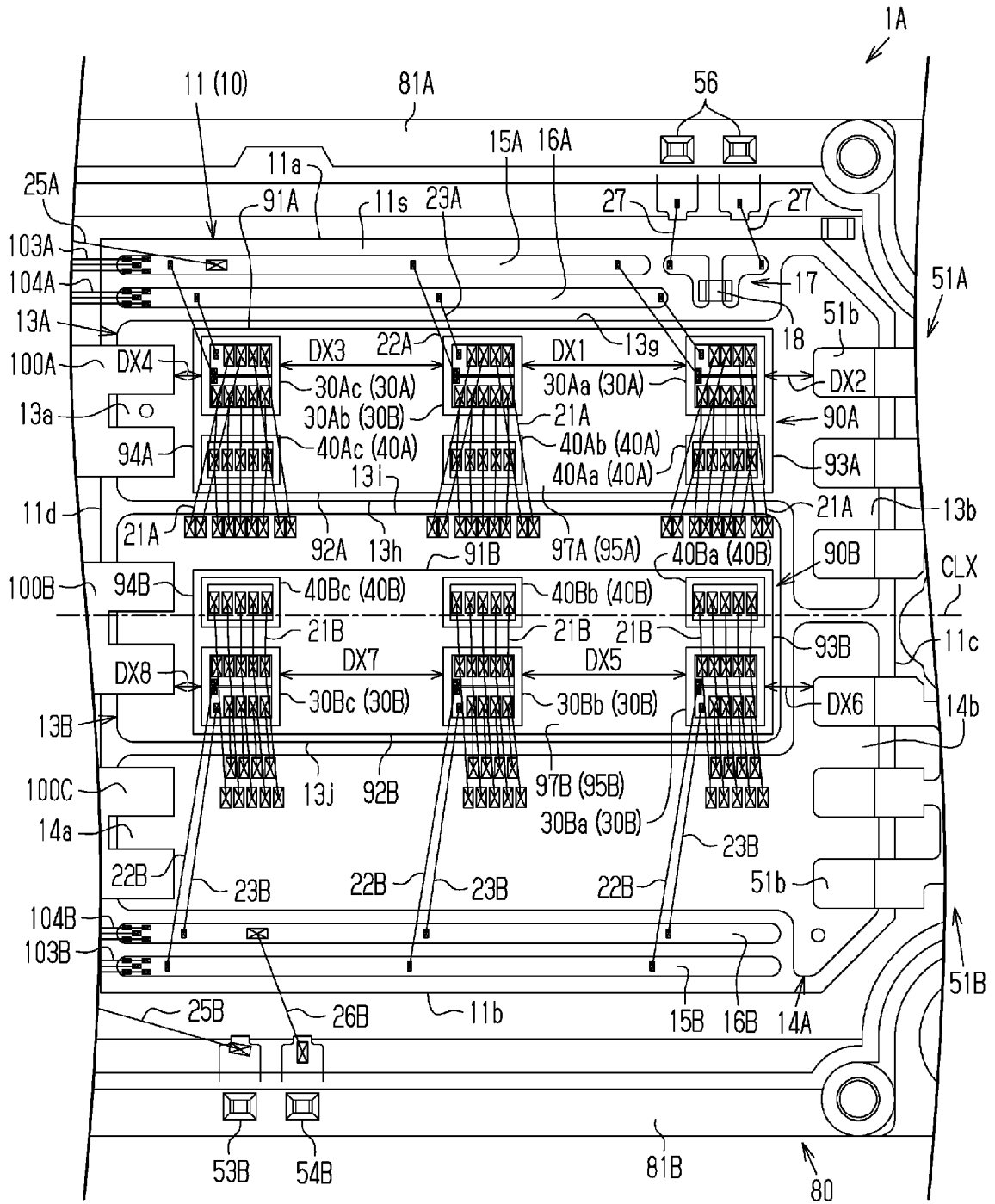
[図6]



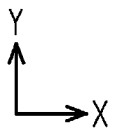
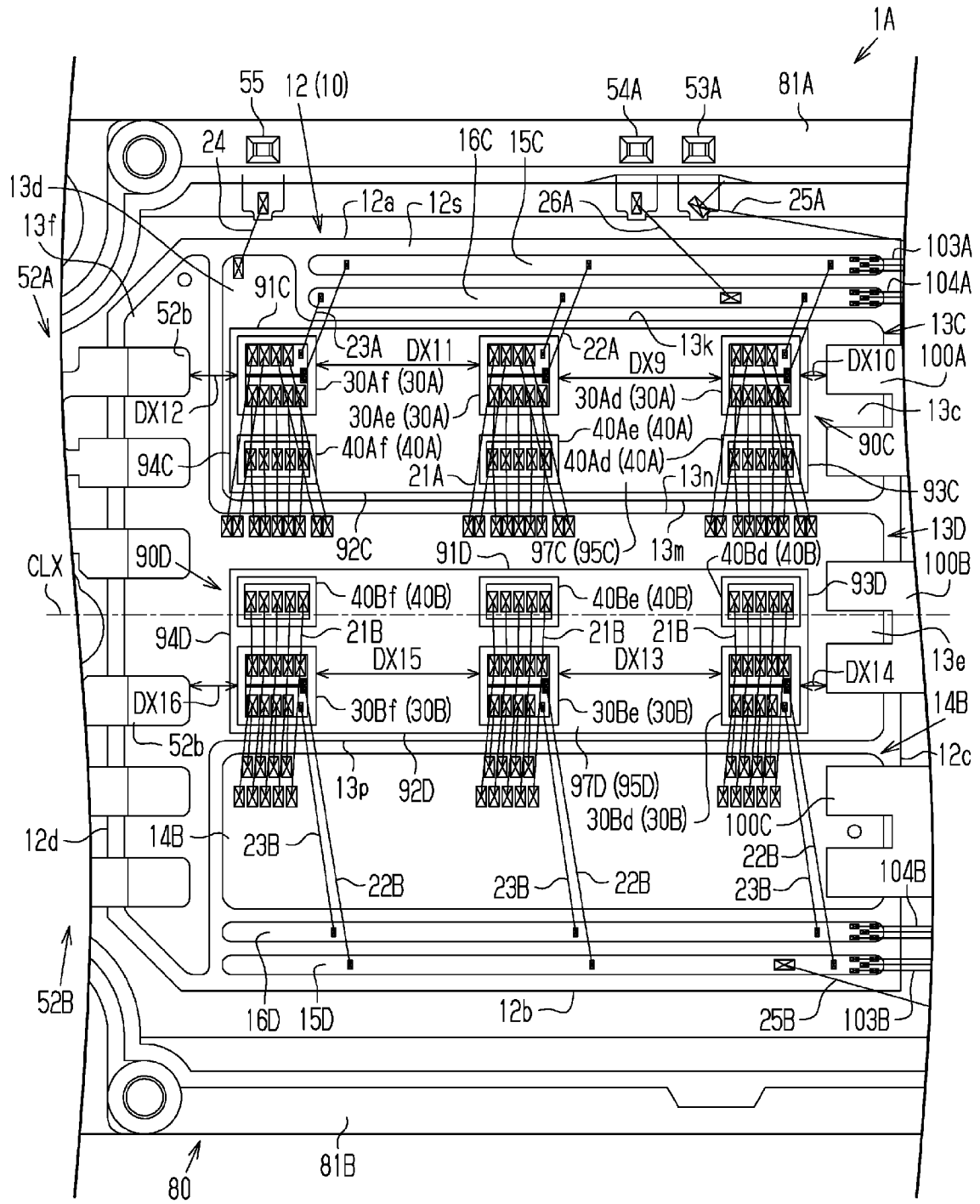
[図8]



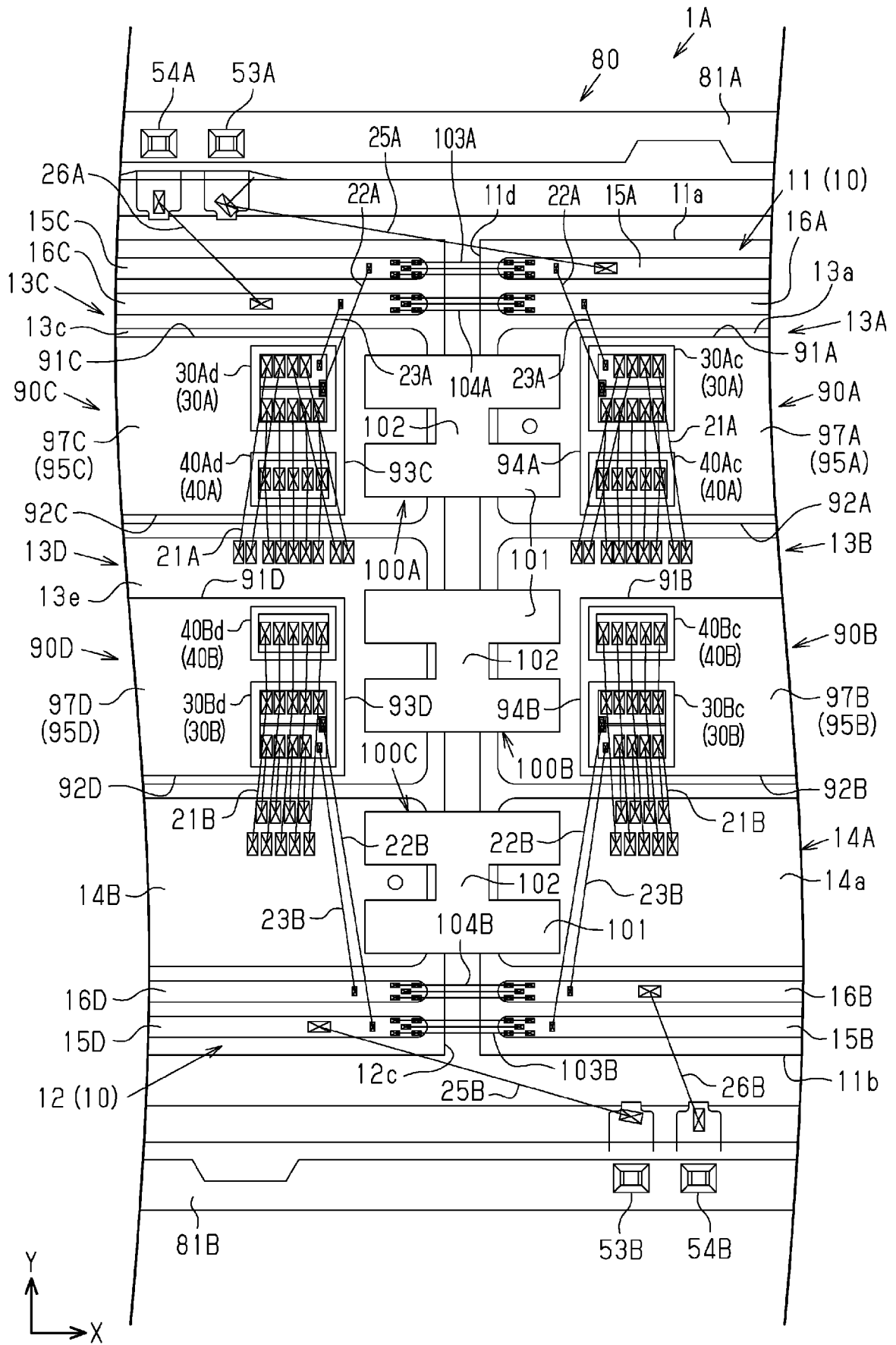
[図9]



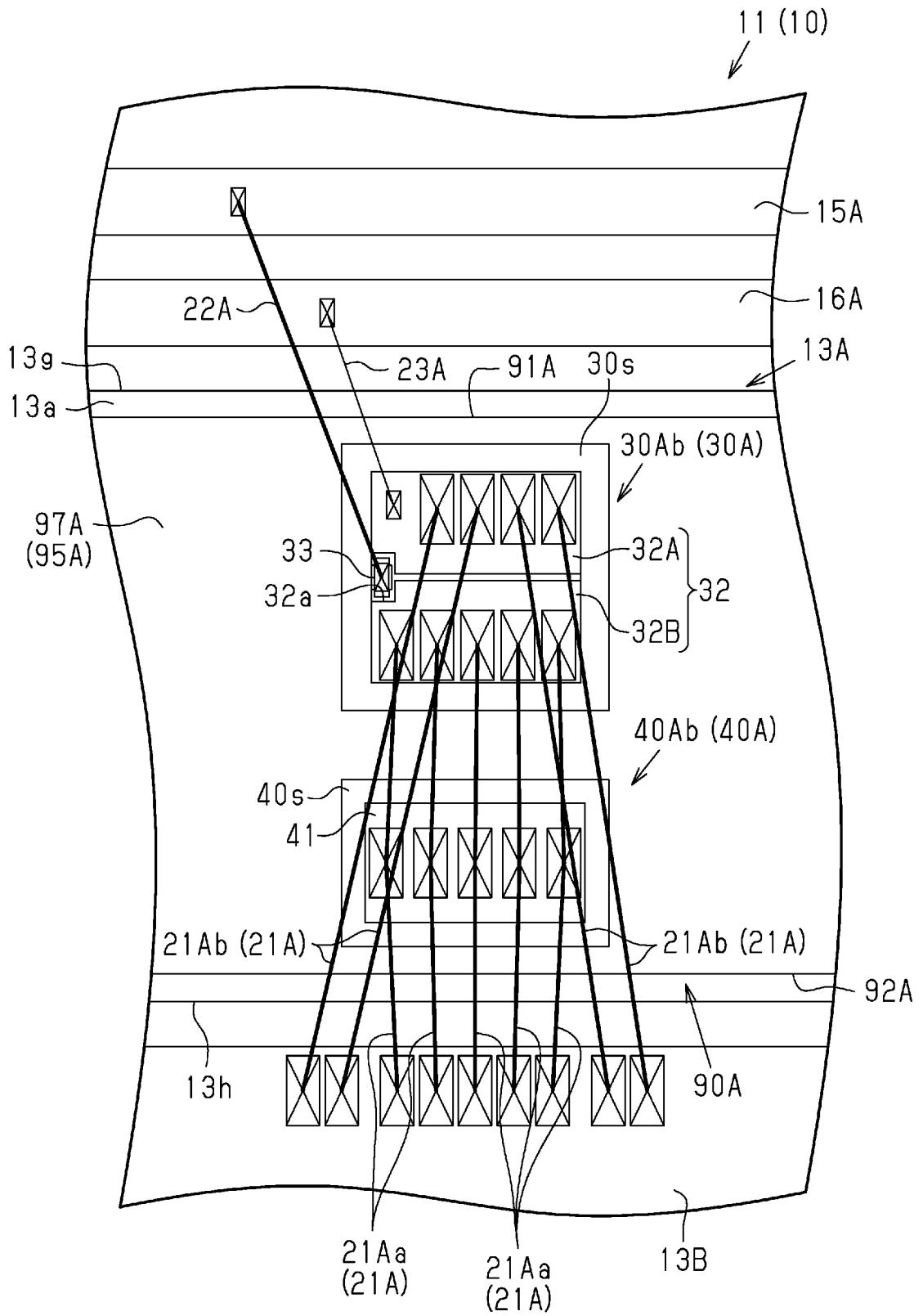
[図10]



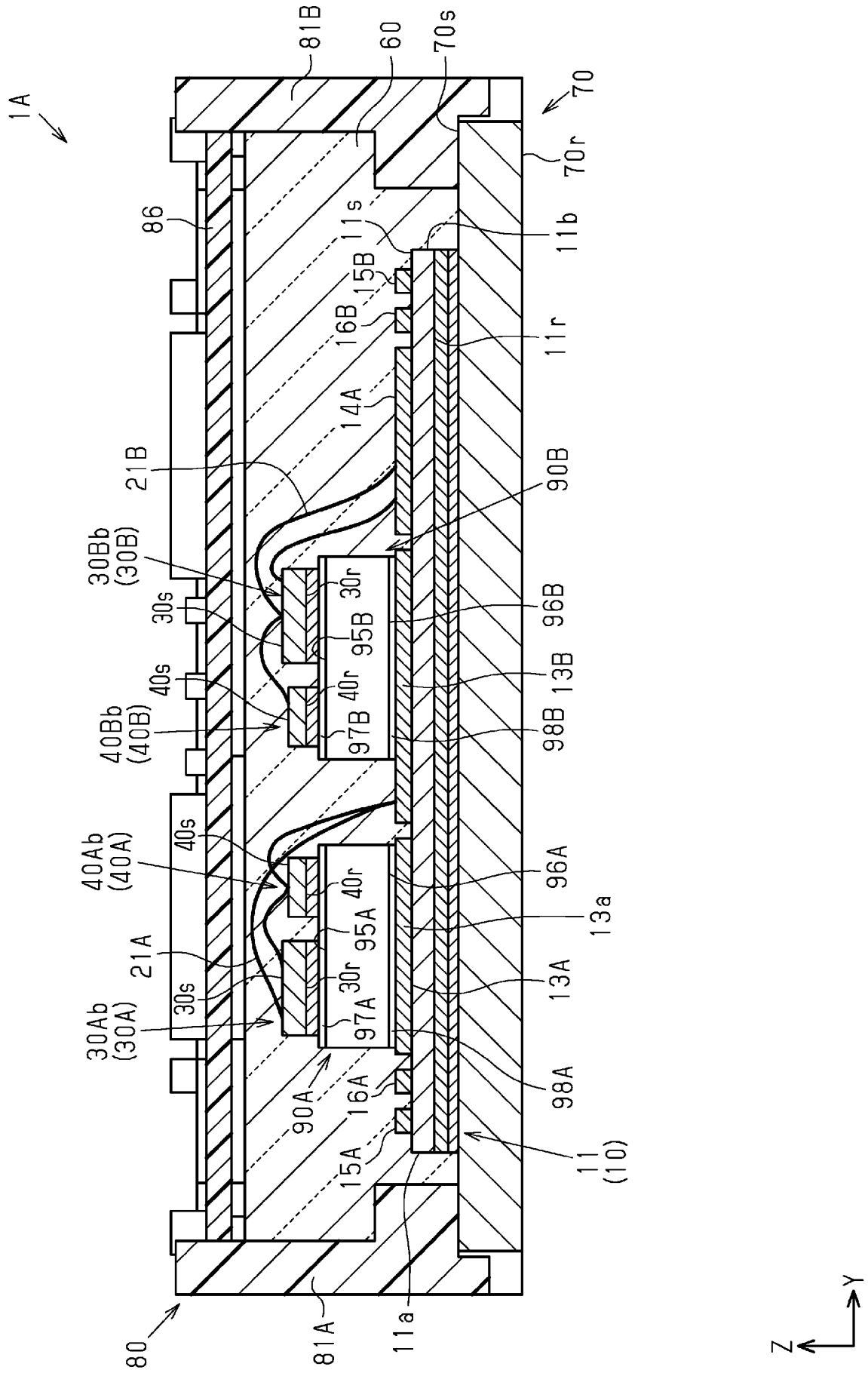
[図11]



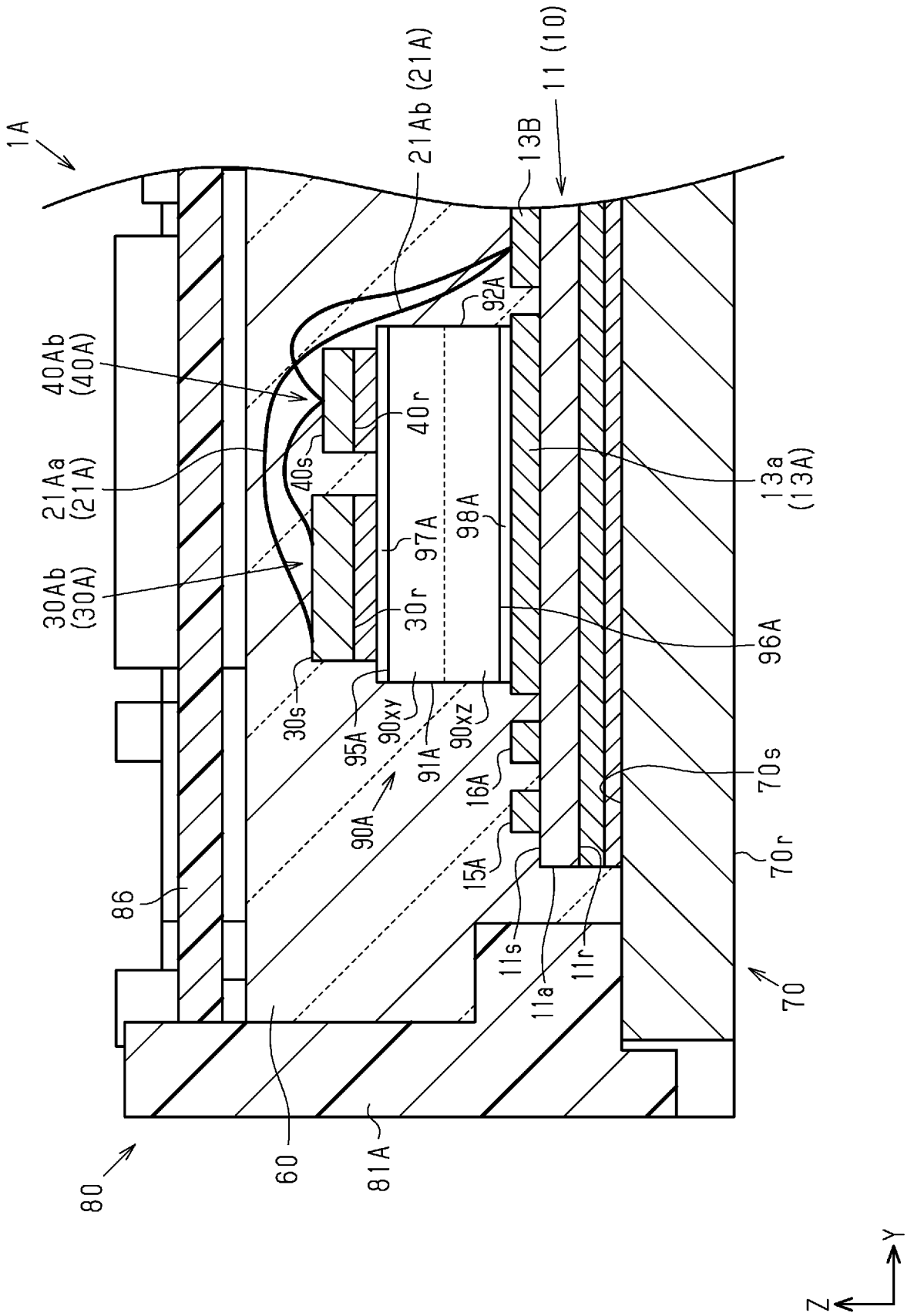
[図14]



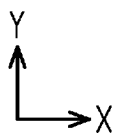
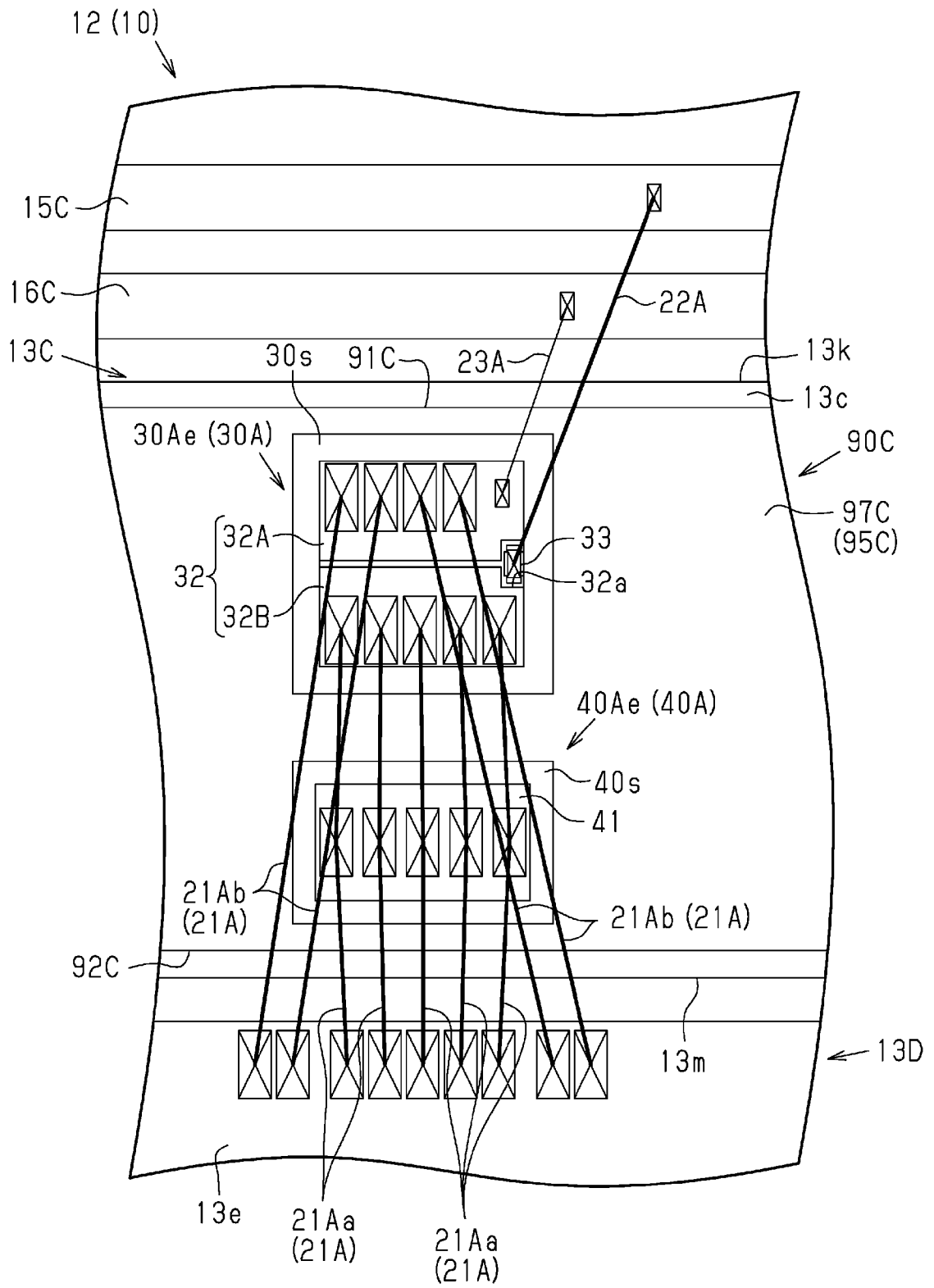
[図15]



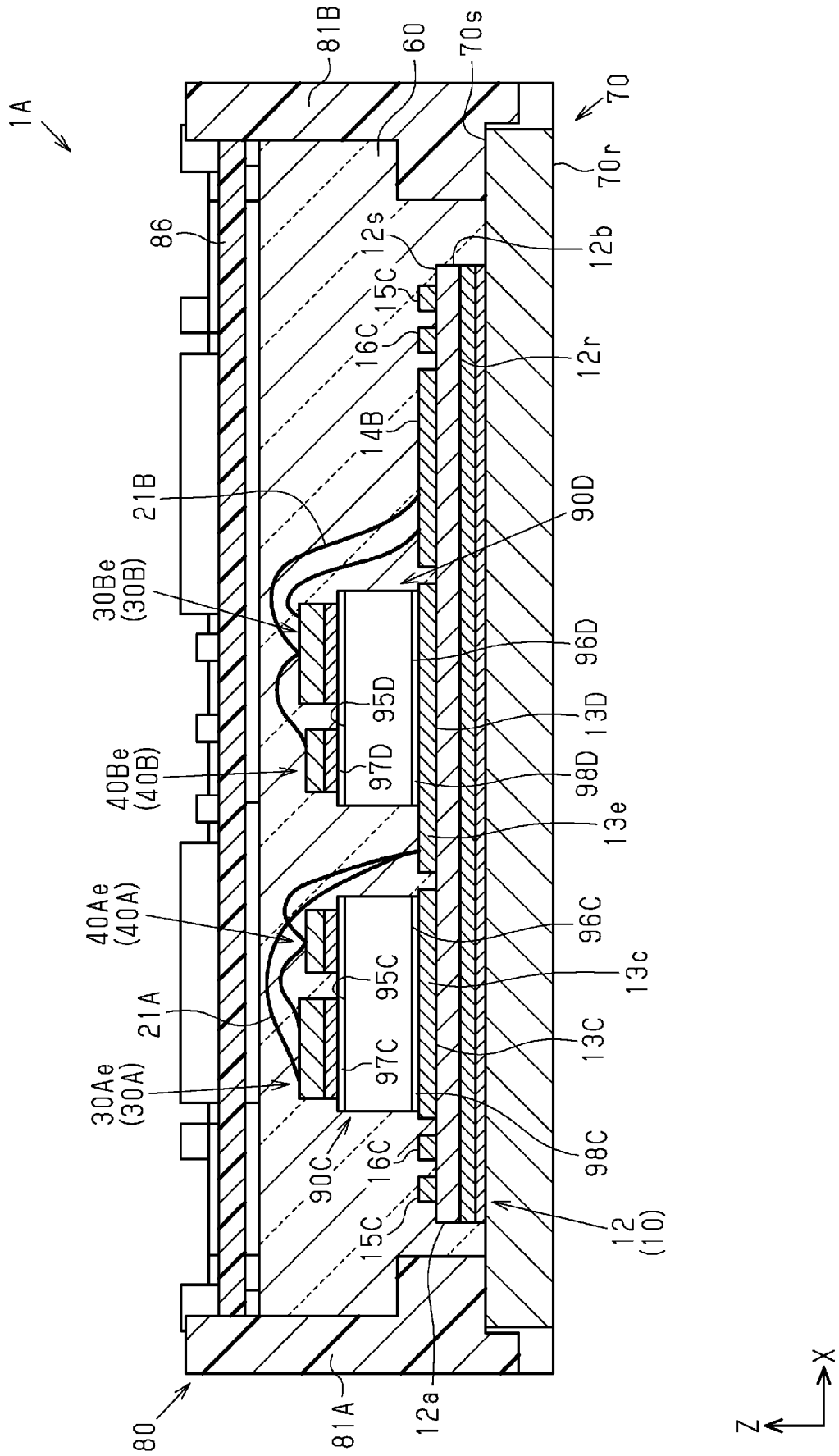
[図16]



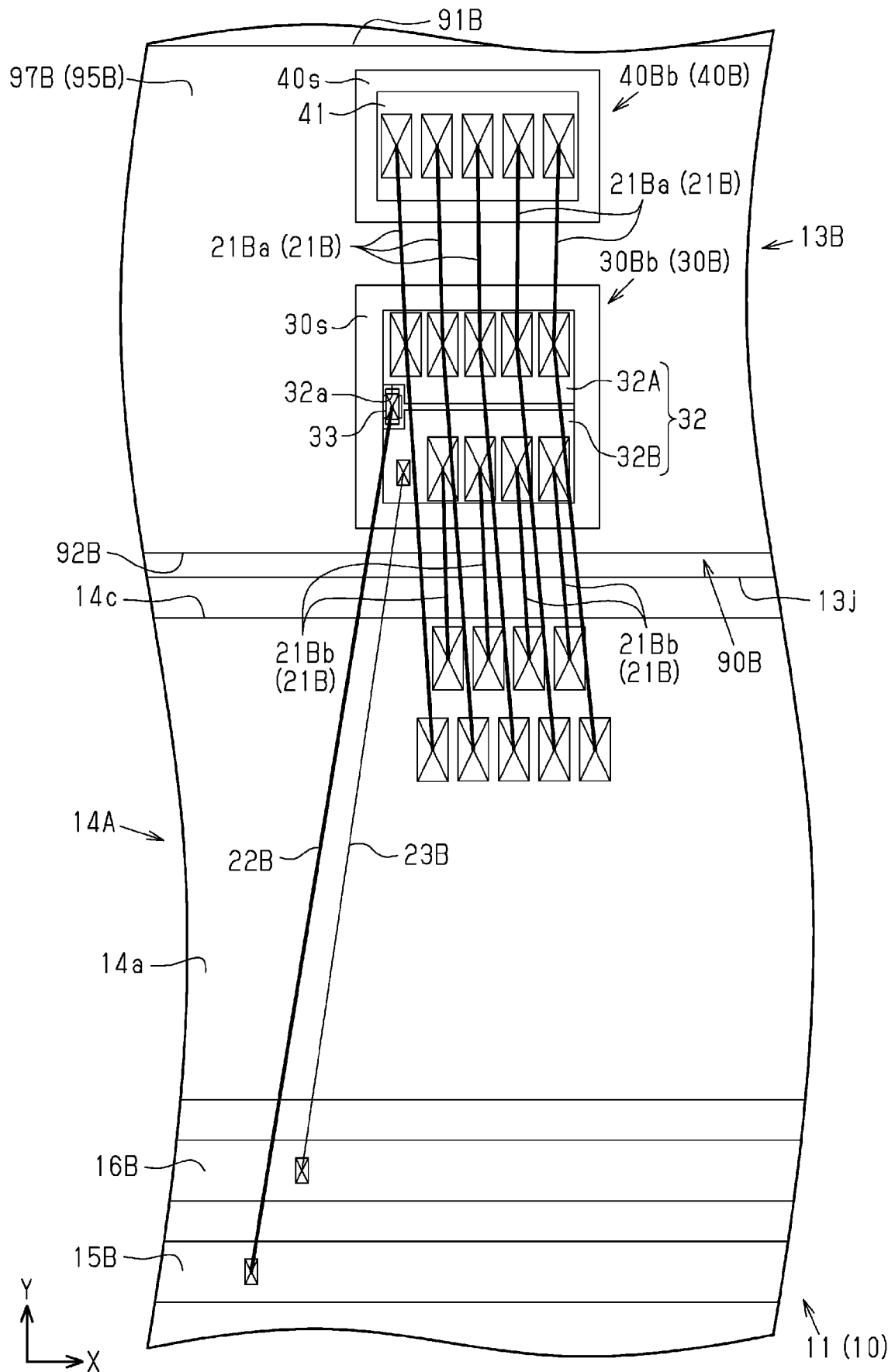
[図18]



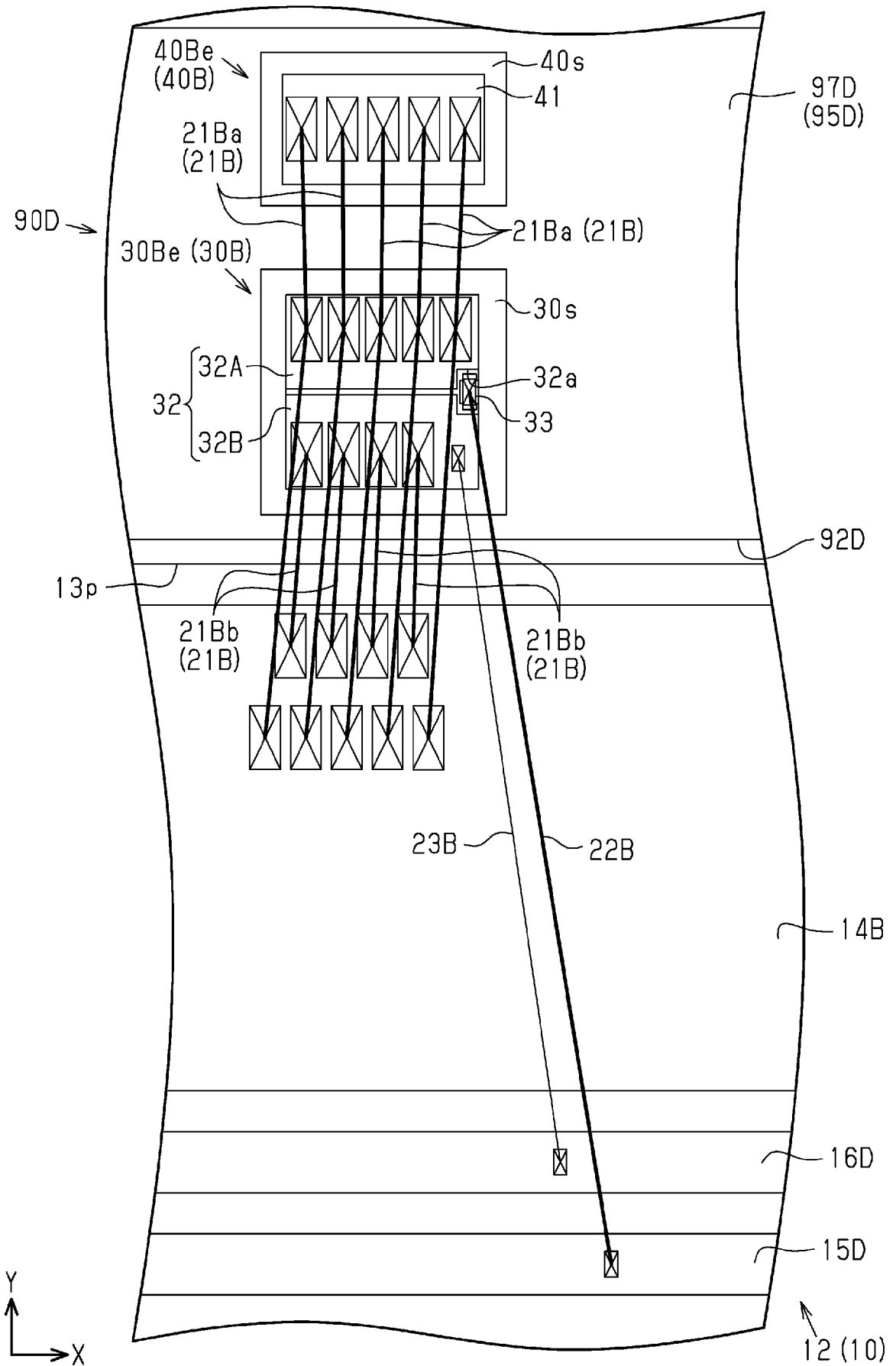
[19]



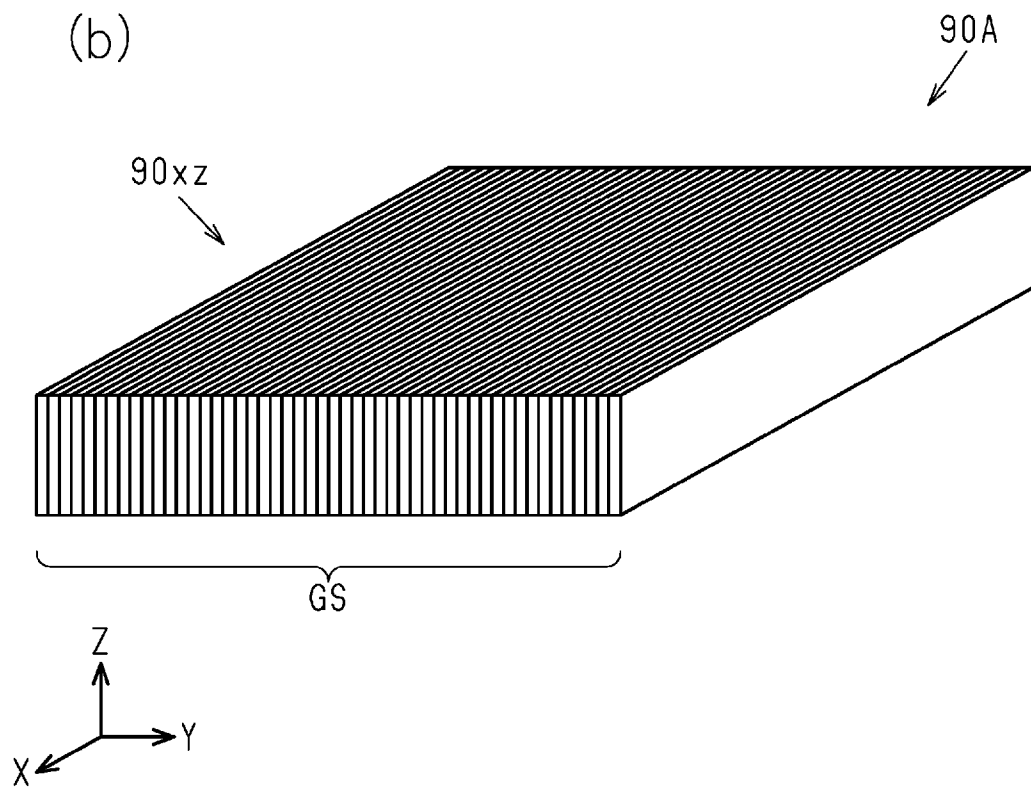
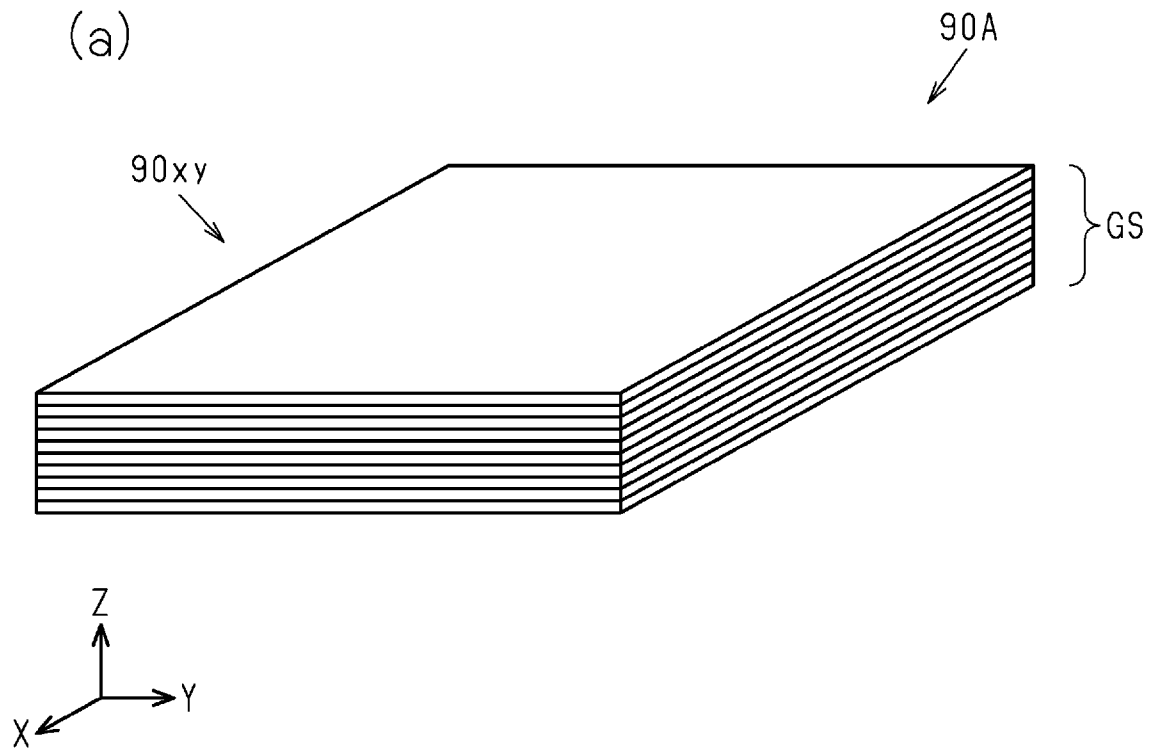
[図23]



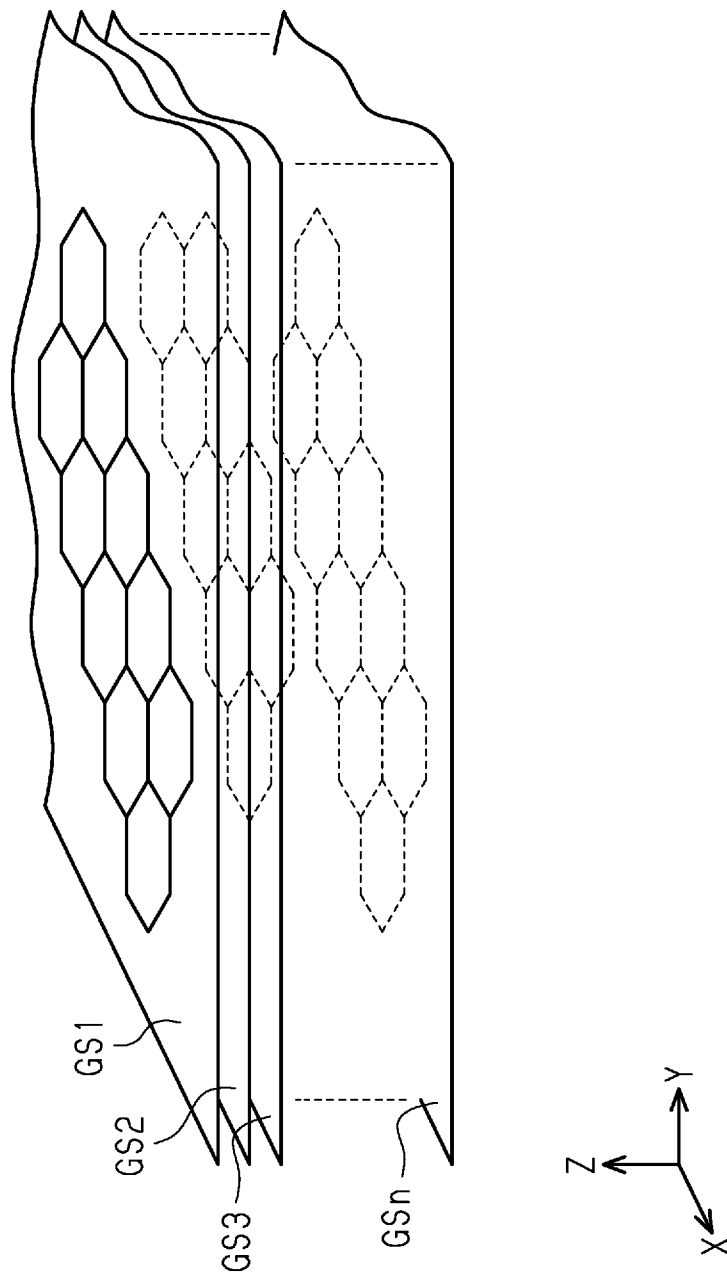
[図25]



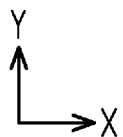
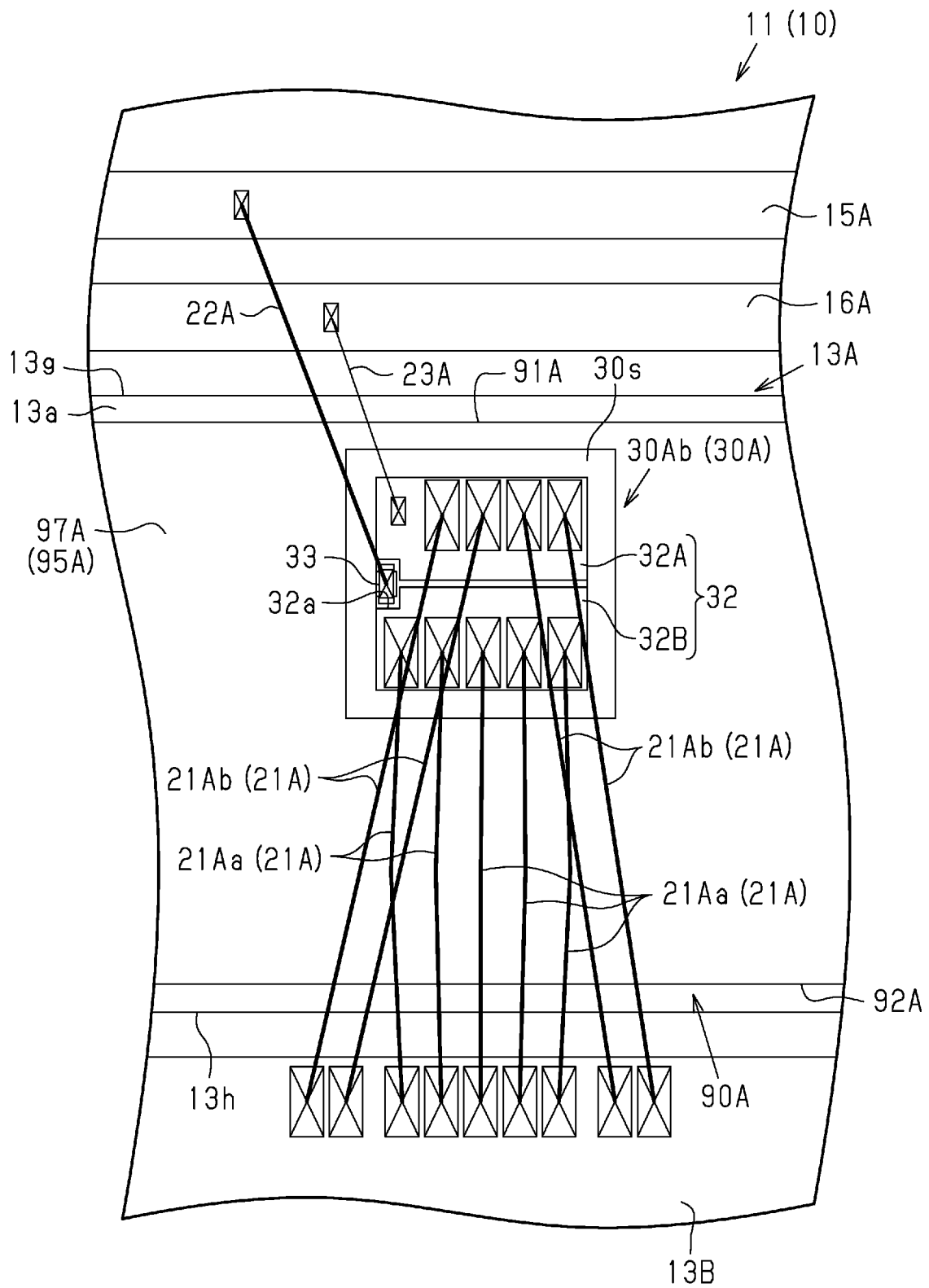
[図26]



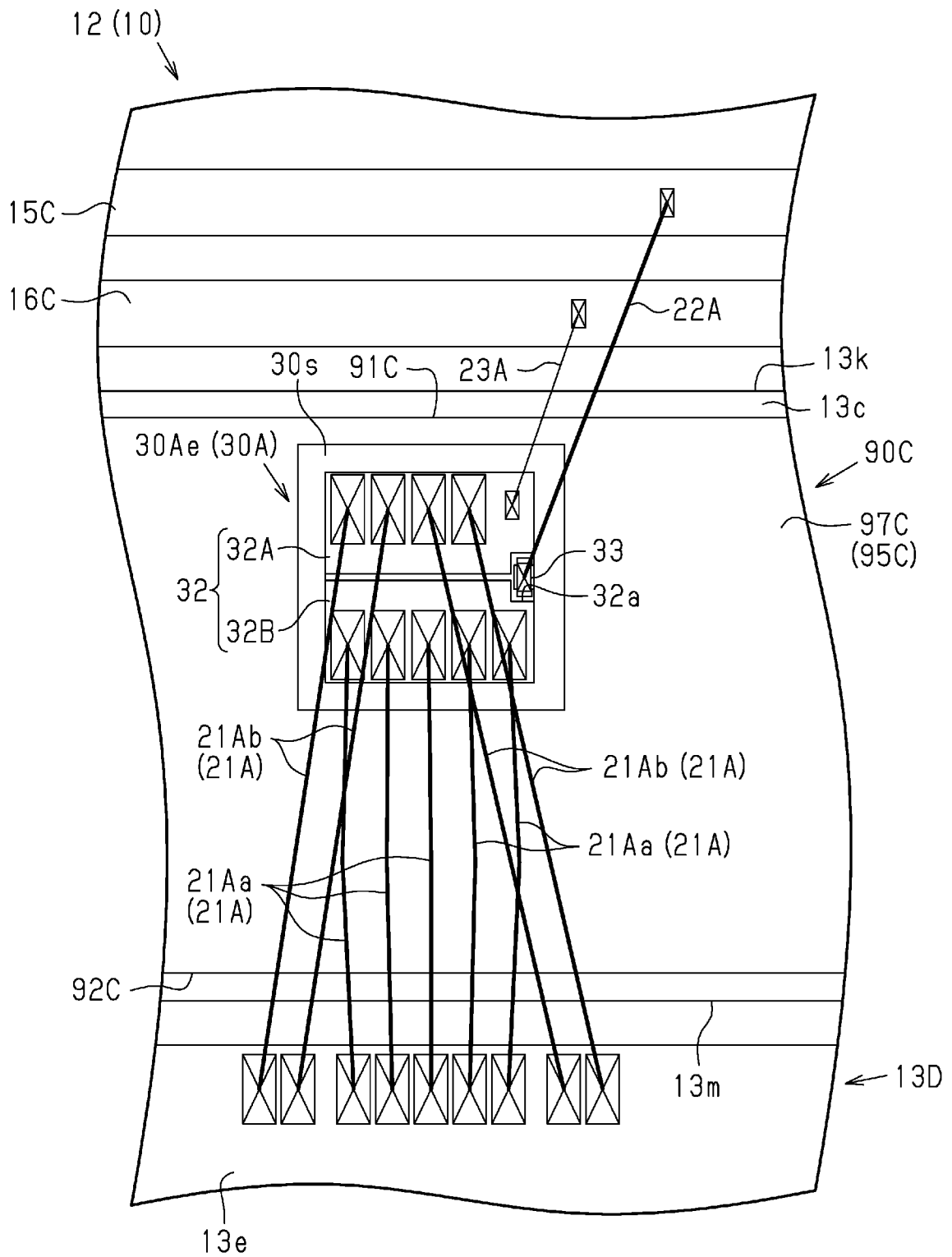
[図27]



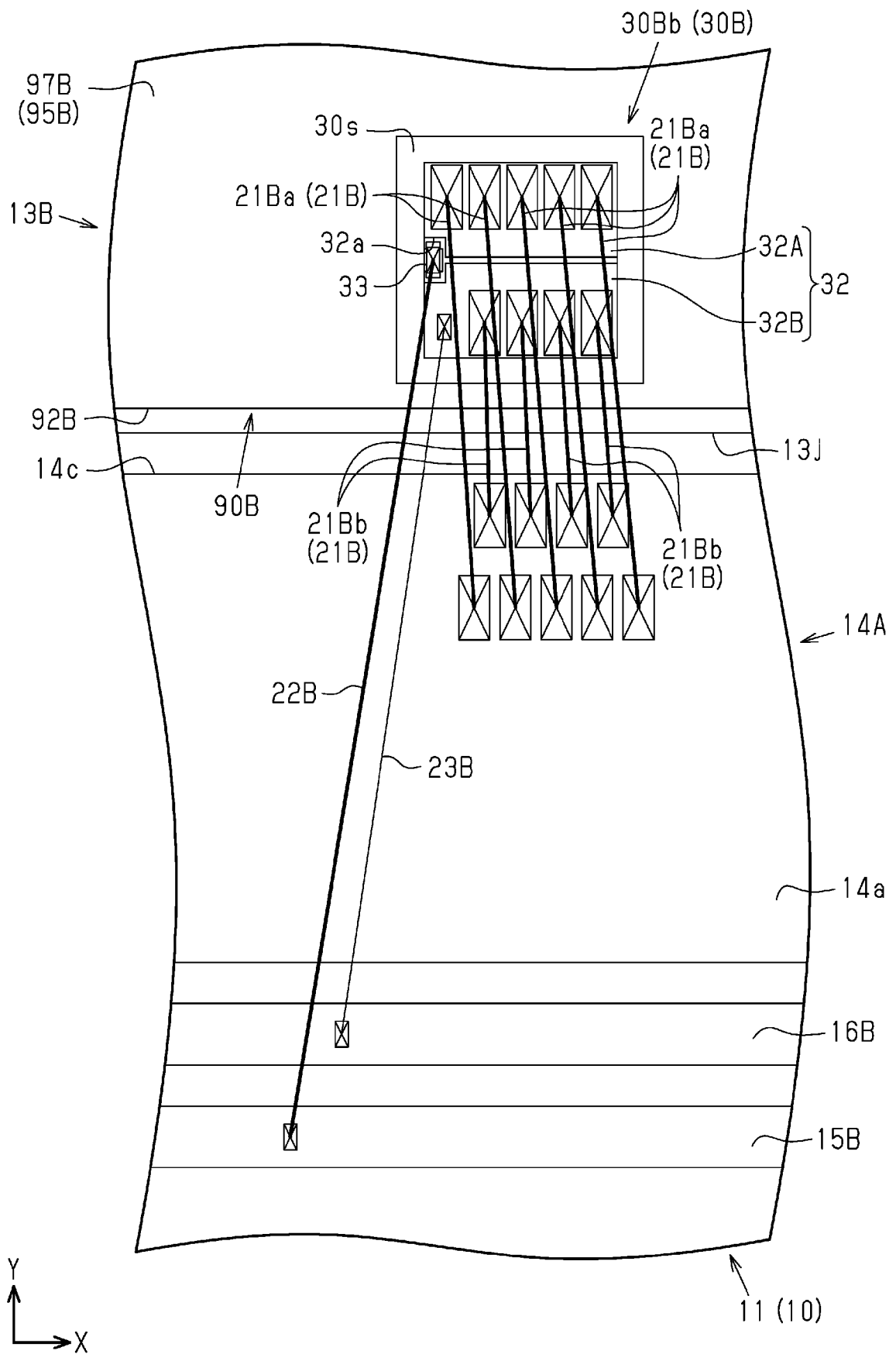
[図31]



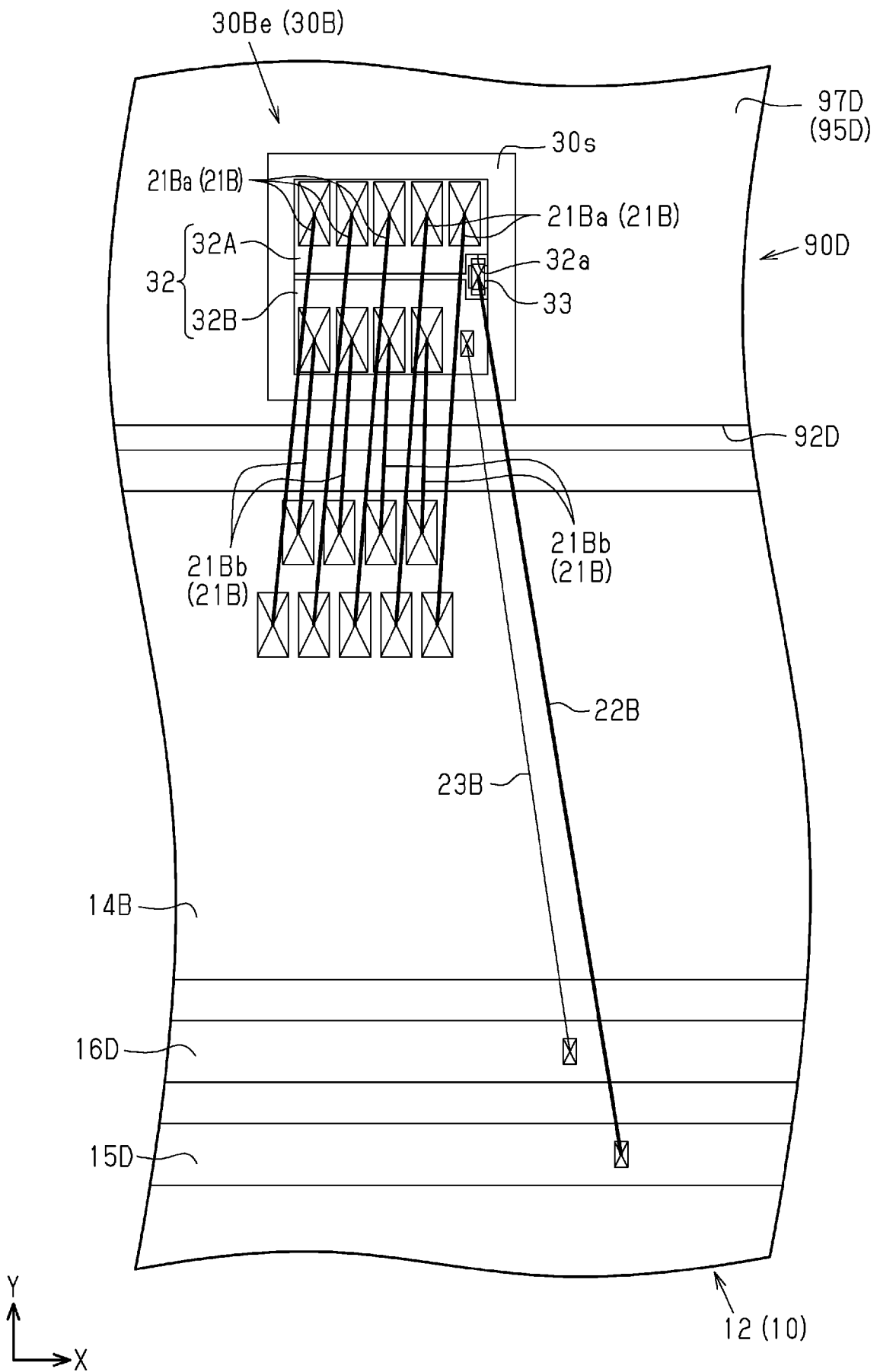
[図32]



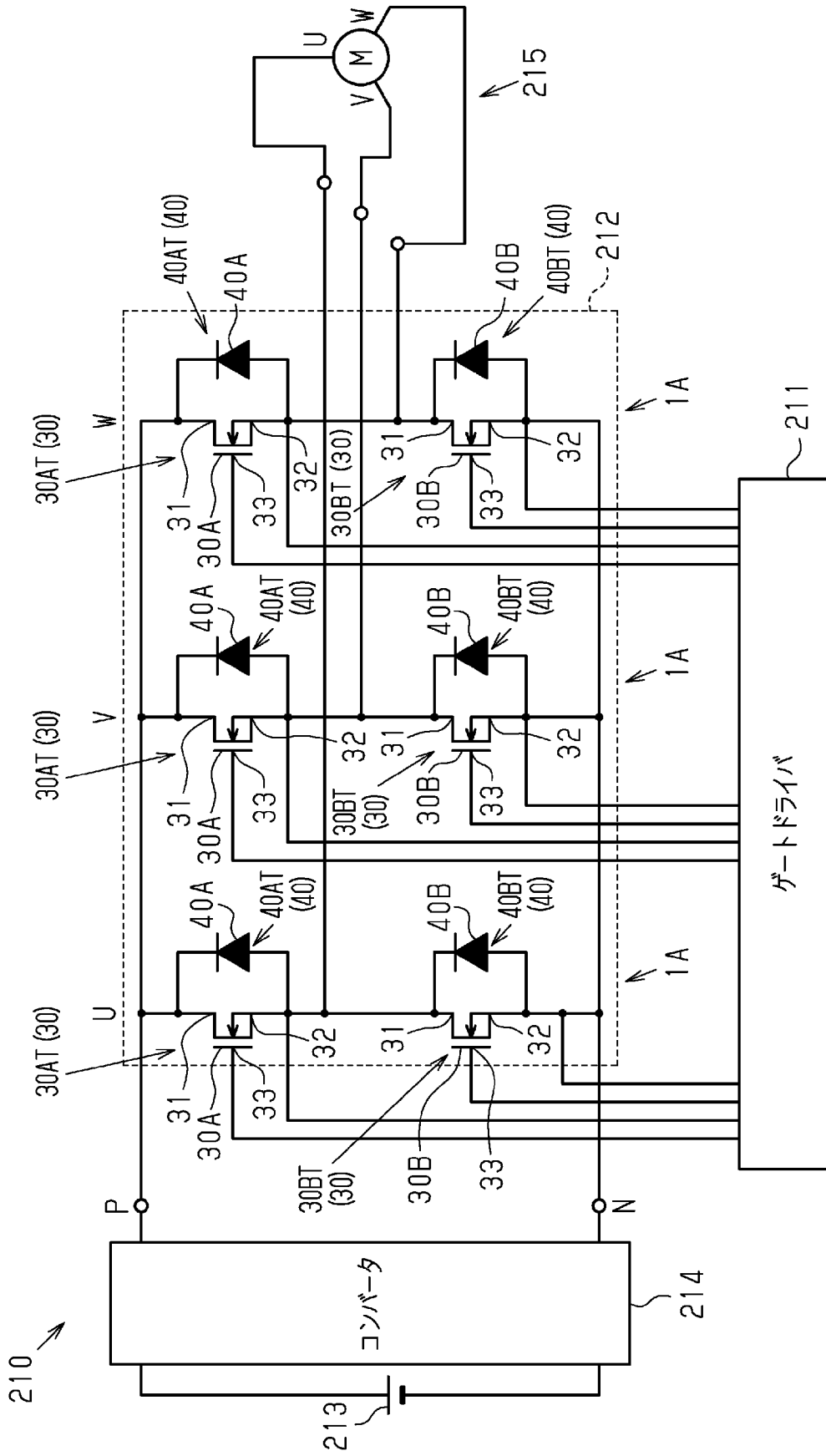
[図33]



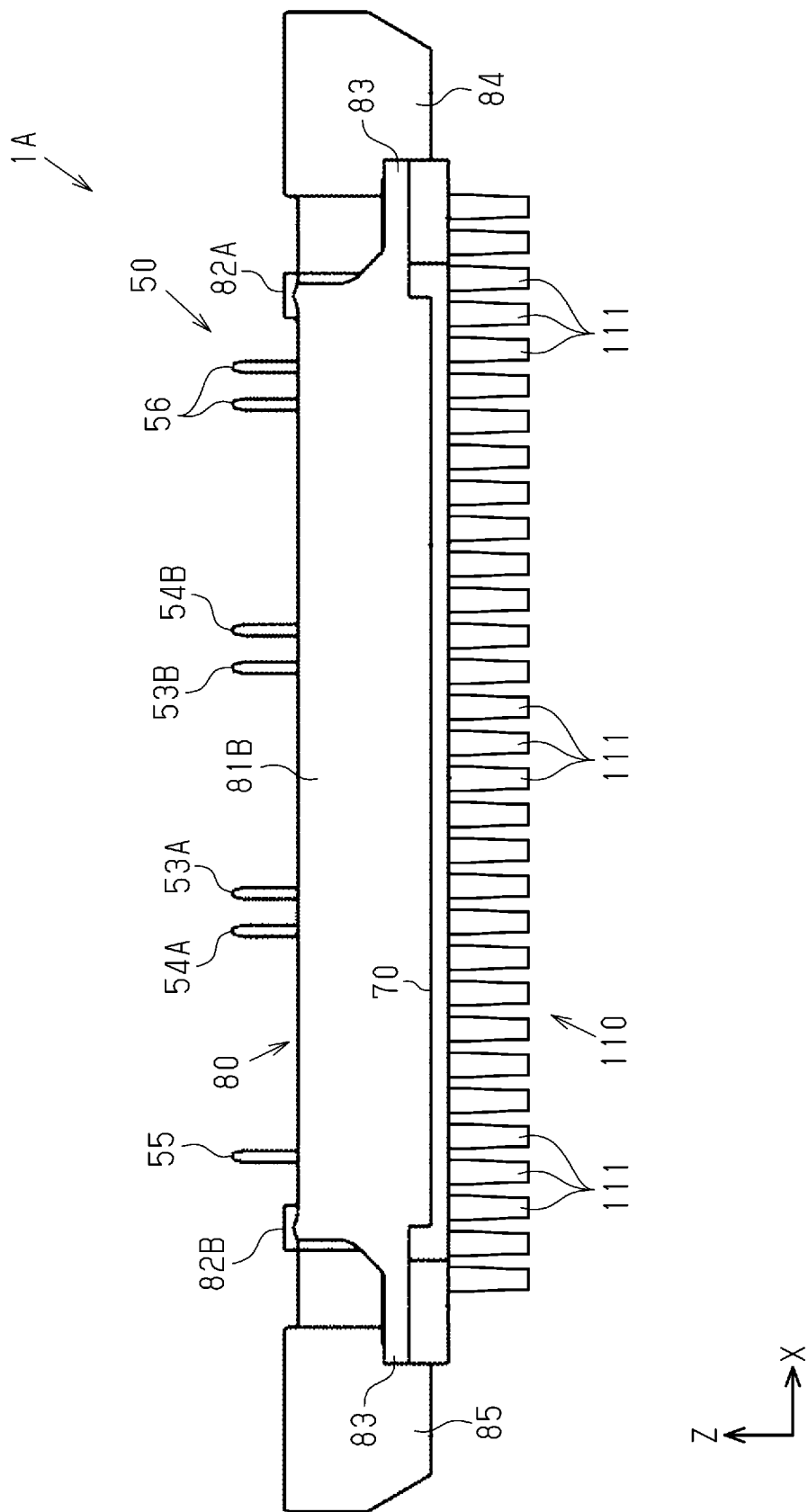
[図34]



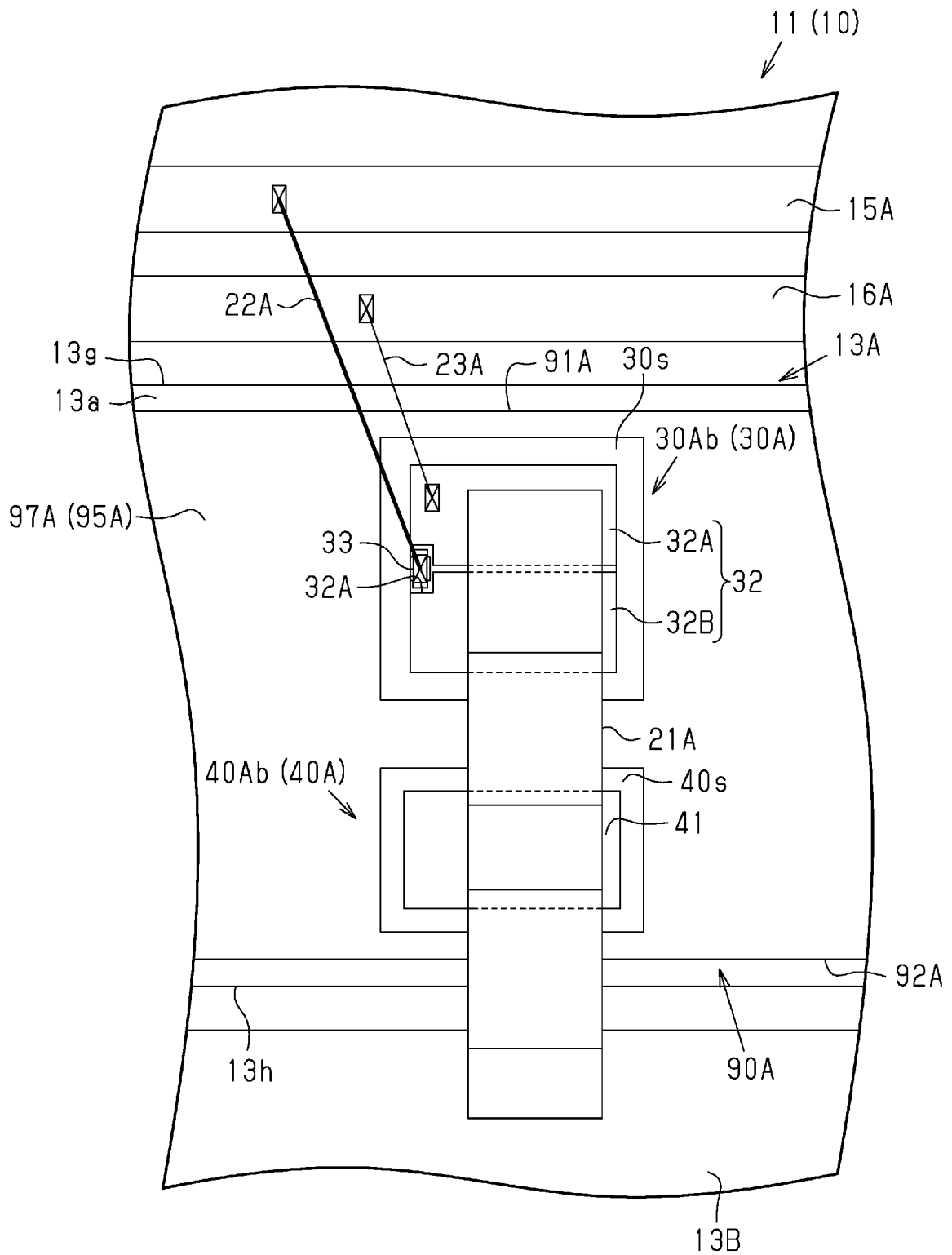
[図36]



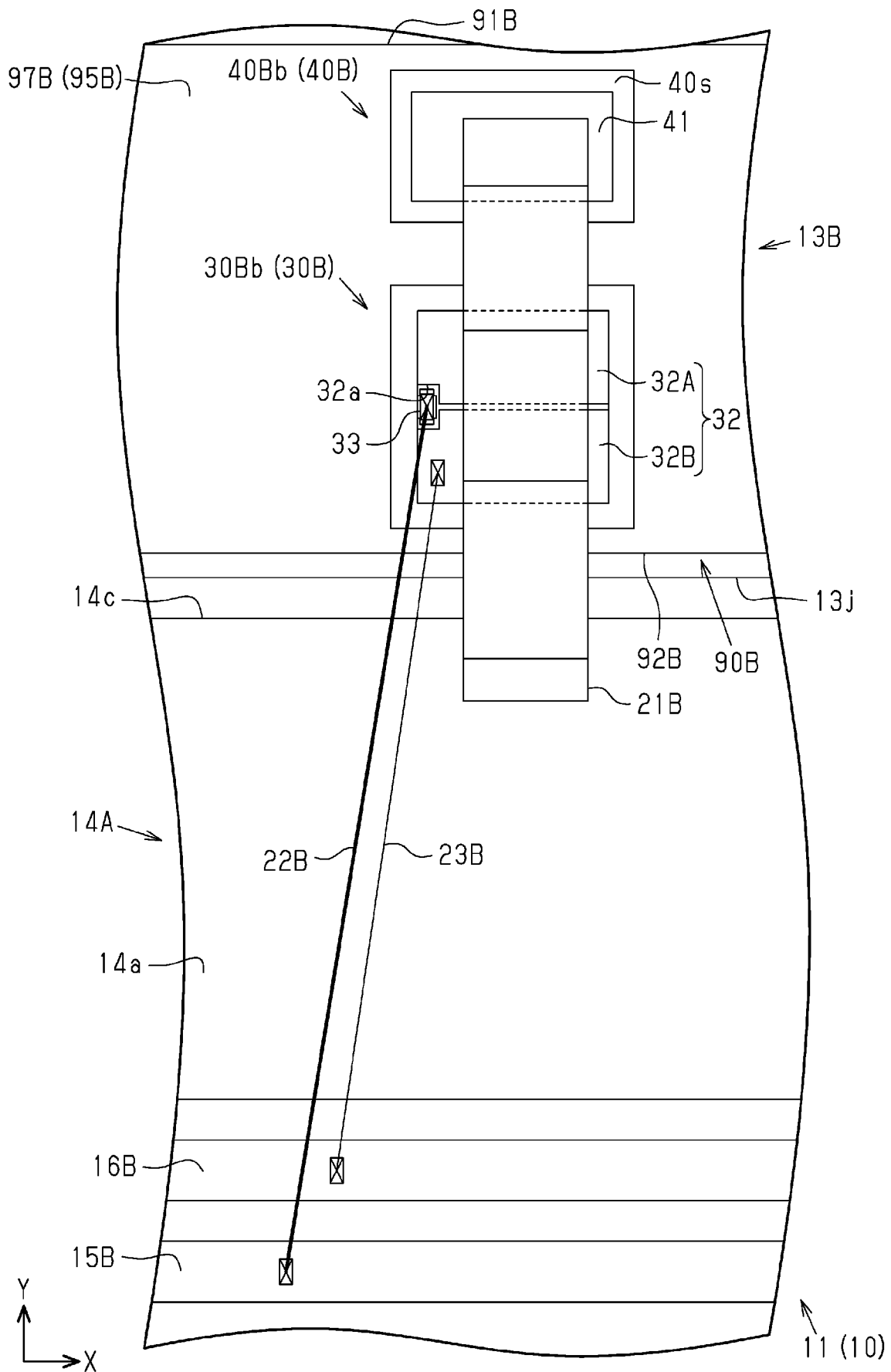
[図37]



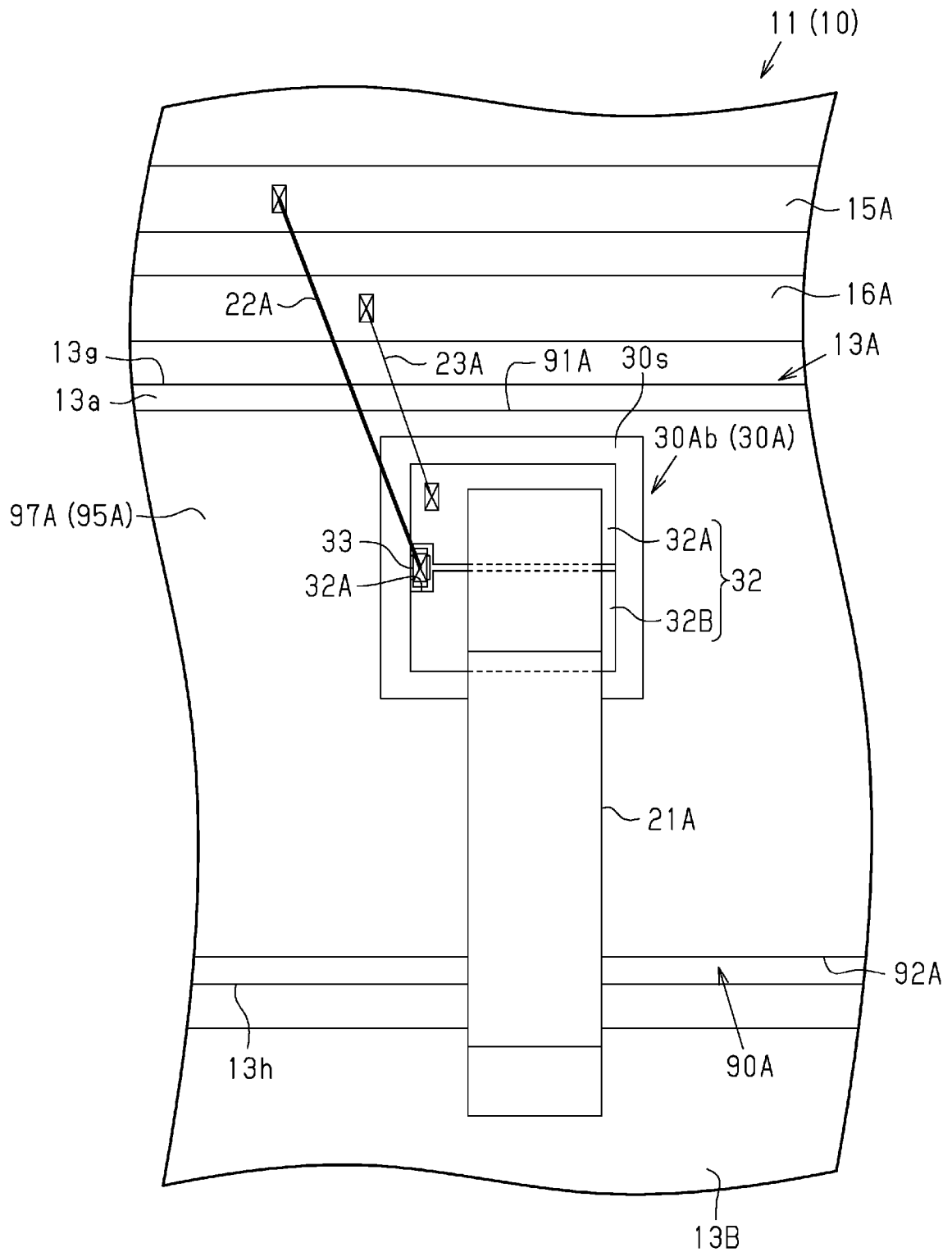
[図38]



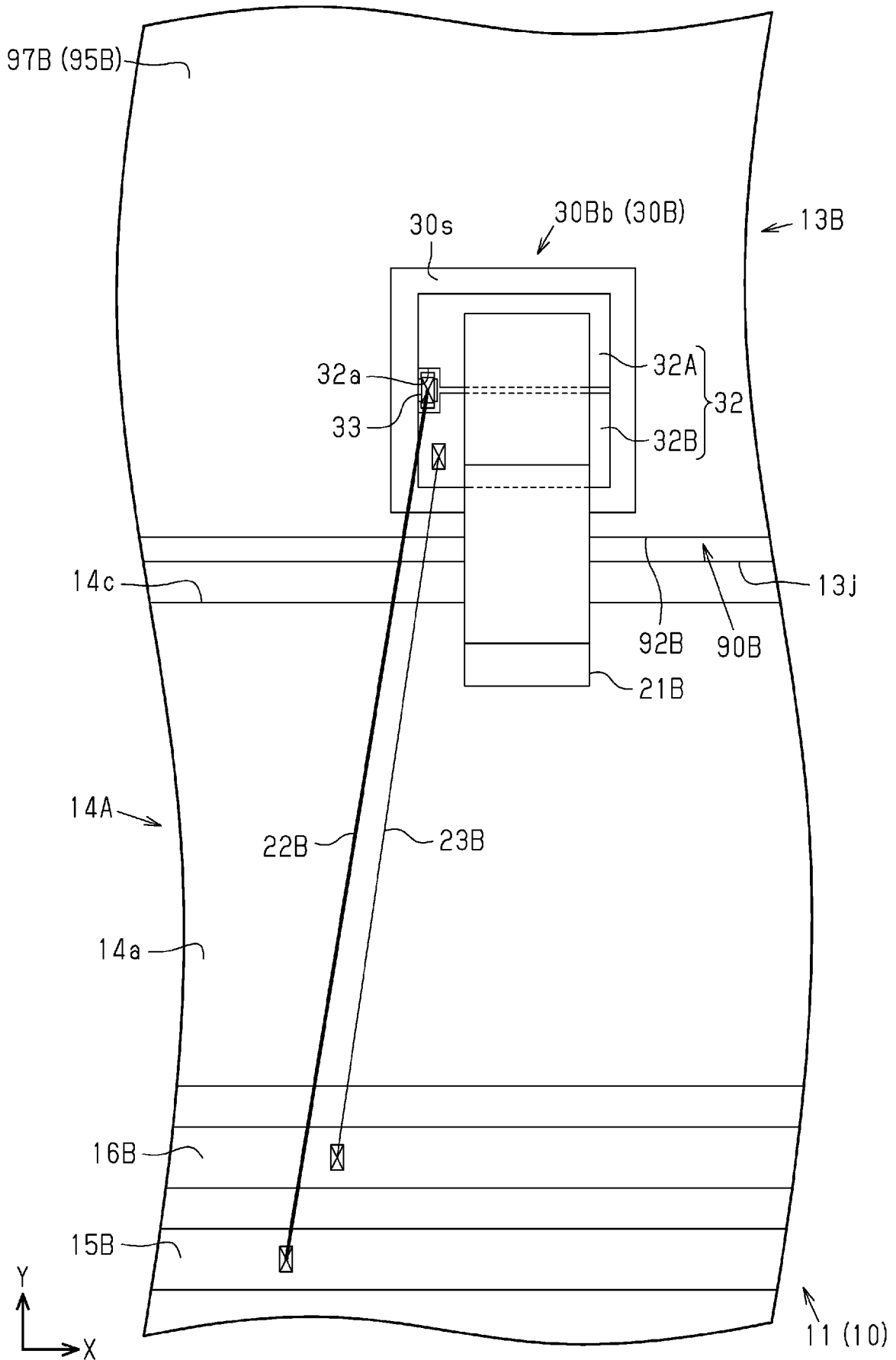
[図39]



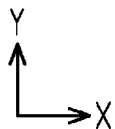
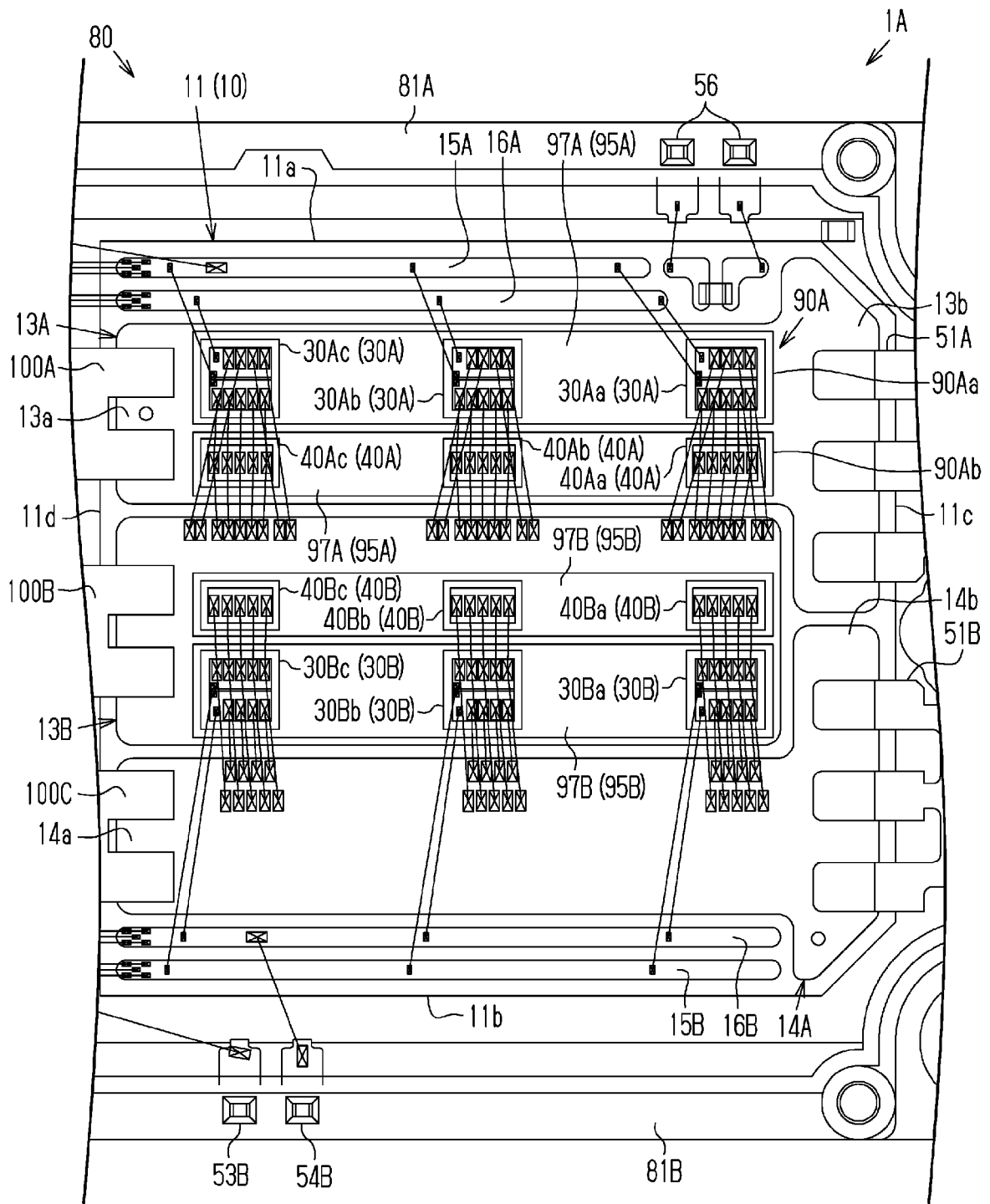
[図40]



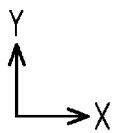
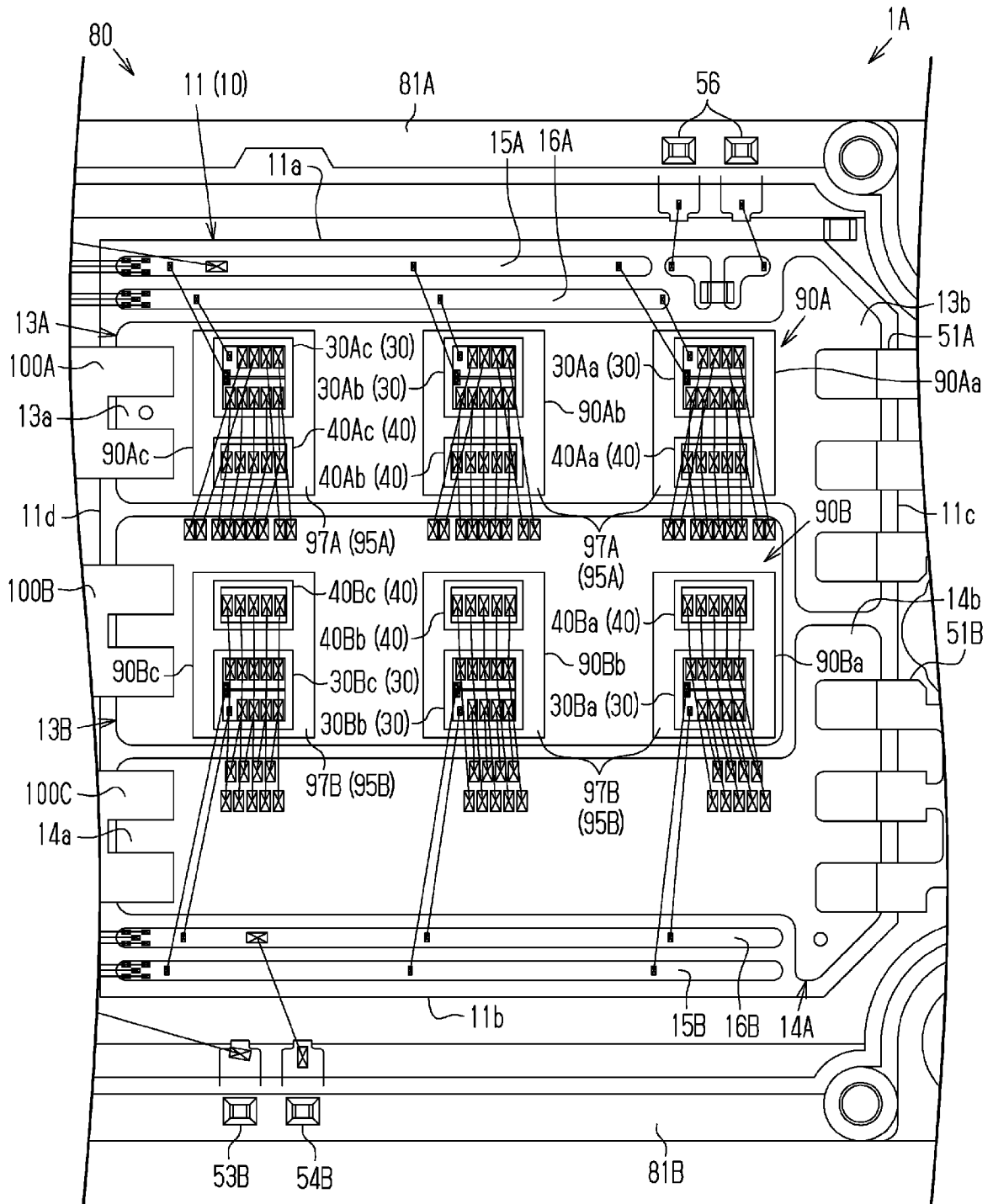
[図41]



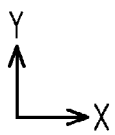
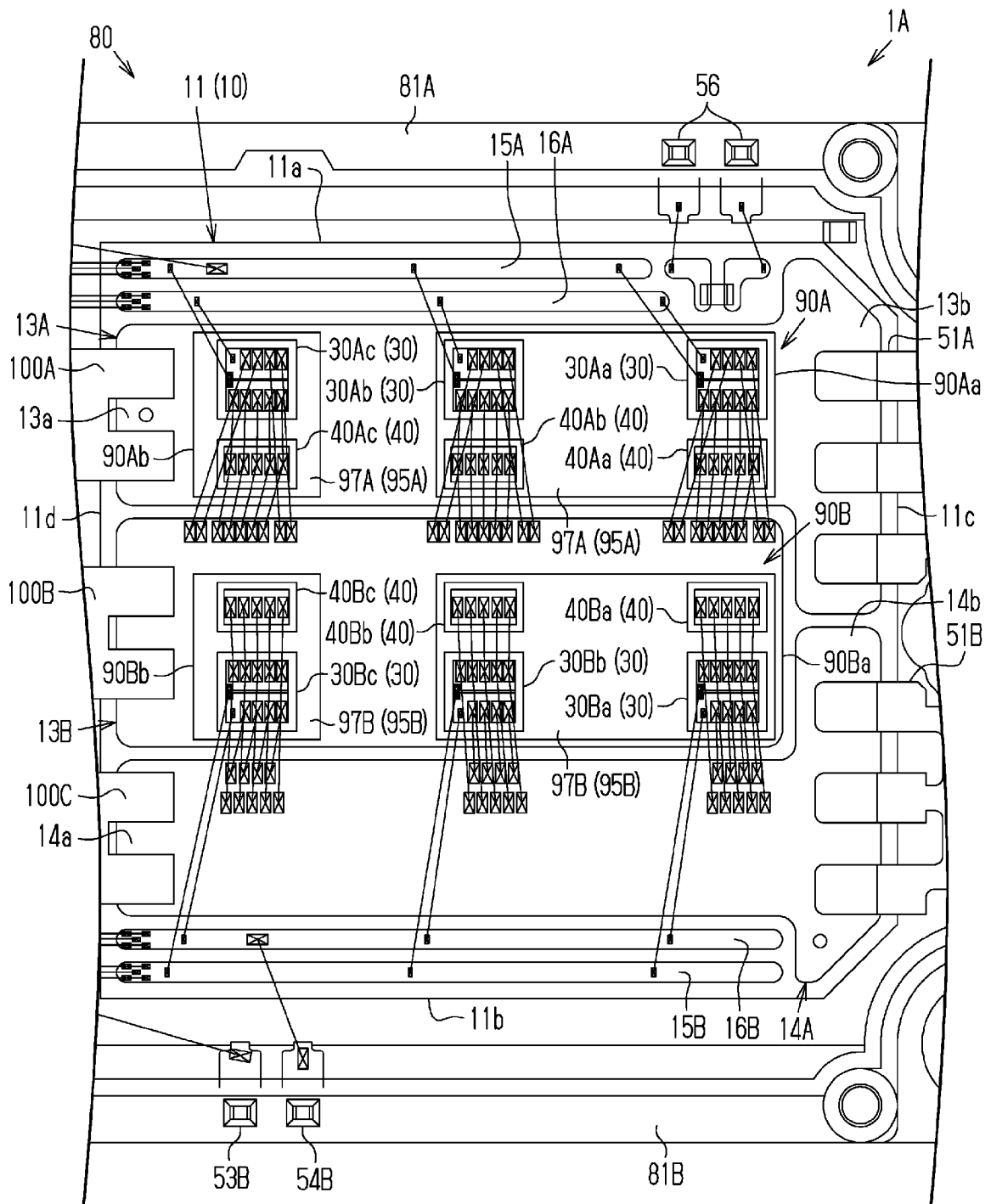
[図42]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028958

A. CLASSIFICATION OF SUBJECT MATTER
 H01L 25/07(2006.01)i; H01L 25/18(2006.01)i
 FI: H01L25/04 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-222160 A (NIPPON SOKEN INC.) 12 November 2012 (2012-11-12) paragraphs [0022]-[0044], [0062]-[0073], fig. 1-2, 7-8	1, 10-13, 18
Y	paragraphs [0022]-[0044], [0062]-[0073], fig. 1-2, 7-8	2-9, 14-17, 19-20
Y	JP 2014-022450 A (KYOCERA CORP.) 03 February 2014 (2014-02-03) paragraphs [0010]-[0017], fig. 1-2	2-9, 19
Y	JP 2017-168582 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 21 September 2017 (2017-09-21) paragraphs [0057]-[0077], fig. 1, 9	5-9, 14-17, 20

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 October 2020 (13.10.2020)	Date of mailing of the international search report 27 October 2020 (27.10.2020)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/028958

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2012-222160 A	12 Nov. 2012	(Family: none)	
JP 2014-022450 A	03 Feb. 2014	(Family: none)	
JP 2017-168582 A	21 Sep. 2017	US 2019/0051606 A1 paragraphs [0067]- [0087], fig. 1, 9 WO 2017/159081 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L25/04 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L25/07; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-222160 A（株式会社日本自動車部品総合研究所）12.11.2012（2012-11-12） [0022]-[0044], [0062]-[0073], 図1-2, 7-8	1, 10-13, 18
Y	[0022]-[0044], [0062]-[0073], 図1-2, 7-8	2-9, 14-17, 19-20
Y	JP 2014-022450 A（京セラ株式会社）03.02.2014（2014-02-03） [0010]-[0017], 図1-2	2-9, 19
Y	JP 2017-168582 A（住友電気工業株式会社）21.09.2017（2017-09-21） [0057]-[0077], 図1, 9	5-9, 14-17, 20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 13.10.2020	国際調査報告の発送日 27.10.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 多賀 和宏 5F 4451 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2020/028958

引用文献	公表日	パテントファミリー文献	公表日
JP 2012-222160 A	12.11.2012	(ファミリーなし)	
JP 2014-022450 A	03.02.2014	(ファミリーなし)	
JP 2017-168582 A	21.09.2017	US 2019/0051606 A1 [0067]-[0087], 図1, 9 WO 2017/159081 A1	