

公告本

申請日期	89.2.16
案 號	89P102422
類 別	G11C 17/60

A4
C4

459234

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	SEMICONDUCTOR MEMORY DEVICE
二、發明 創作人	姓 名	1. 森川 佳直 2. 谷本 順一
	國 籍	均日本
	住、居所	1. 日本國奈良縣奈良市學園大和町1丁目957 艾斯塔特琵亞學園前A-102號 2. 日本國奈良縣生駒市俵口町1223-2-407
三、申請人	姓 名 (名稱)	日商夏普股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
	代 表 人 姓 名	町田 勝彦

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1999年03月30日 特願平11-090275 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

發明範疇

本發明與一種半導體記憶裝置有關。尤其，本發明與使用位元線與虛擬接地(GND)線來讀取記憶體細胞中儲存之資訊的記憶體陣列有關。

2 相關技藝說明

有一種傳統系統，用以使用位元線與虛擬接地(GND)線來讀取掩膜唯讀記憶體MROM(Mask Read Only Memory)之記憶體細胞中儲存的資訊。

圖6顯示一傳統掩膜唯讀記憶體(MROM)中記憶體陣列600組態配置在此類系統中操作的概念圖。

圖6顯示的記憶體陣列600包括複數條位元線601及複數條虛擬接地(GND)線602。每一對鄰接的位元線601與虛擬接地(GND)線602之間連接一金屬半導體場效電晶體(MOSFET)603或一金屬半導體場效電晶體(MOSFET) 603A。如上文所述，該等金屬半導體場效電晶體(MOSFETs) 603與603A儲存記憶體陣列中的二進制資訊，下文中簡稱為「記憶體細胞電晶體」。如圖6所示，記憶體細胞電晶體600是一個選定的記憶體細胞電晶體，用以從記憶體細胞電晶體603讀取資訊。提供的字線605與位元線601及虛擬接地(GND)線602垂直。字線605連接到每一個記憶體細胞電晶體603與603A的閘極點604。複數個記憶體細胞電晶體603與603A都是連接到字線605，以此方式來提高記憶體細胞的空間效益。連接到選定之記憶體細胞電晶體603的位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明 (2)

601連接到一充電電路1及一感測電路2，而連接到選定之記憶體細胞電晶體603的虛擬接地(GND)線602則是接地。充電電路1是用以將位元線601充電的示範裝置。

生產的記憶體陣列600包括下列兩種型式的記憶體細胞電晶體。一種是具有相當高限定值等級的記憶體細胞電晶體；即，當字線605通過閘極點604供應一特定電壓時，記憶體細胞電晶體不會打開而成為ON狀態(OFF狀態電晶體)。另一種是具有相當低限定值等級的記憶體細胞電晶體；即，當字線605通過閘極點604供應一特定電壓時，記憶體細胞電晶體會打開而成為ON狀態(ON狀態電晶體)。以此方式，記憶體陣列600中可儲存二進制資訊。

於傳統記憶體陣列600中，係以下列方式來讀取資訊。充電電路1將連接到記憶體細胞電晶體603的位元線601充電，而連接到記憶體細胞電晶體603的虛擬接地(GND)線602則是接地。在此電位狀態中，由感測電路2來讀取ON狀態電晶體與OFF狀態電晶體之間的差值。以此方式來確定記憶體細胞電晶體603中儲存的資訊是ON或OFF。

一種階層式位元線系統是廣為人知用來以高速讀取此類記憶體陣列中資訊的系統。在此系統中操作的記憶體陣列包括一主位元線、一次位元線、及一組電晶體，該組電晶體用以連接該主位元線與該次位元線。

主位元線主要是由一金屬層所構成，而次位元線主要是由一擴散層所構成。該擴散層作為每一個記憶體細胞電晶體的一源極點及一閘極點。一組記憶體細胞的閘極點分別

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

44

五、發明說明 (3)

連接到一組電晶體中的字線WL1到WLn，其中一組電晶體稱為一儲存體(bank)。爲了提高記憶體細胞的空間效益，一主位元線通過儲存體電晶體，以儲存體接著儲存體的方式來連接複數條子位元線。透過以儲存體接著儲存體的方式的主位元線來存取記憶體細胞，即可實現高速讀取效能。

圖7顯示階層式位元線系統之記憶體陣列電路700的組態配置。

如圖7所示，記憶體陣列電路700包括一記憶體陣列40，該記憶體陣列40包括以一陣列方式排列的複數個記憶體細胞電晶體。具體而言，記憶體陣列40包括複數條字線(例如，字線WL0到WLn)。每一條字線(例如，字線WL0)都是連接到複數個記憶體細胞電晶體(例如，記憶體細胞電晶體M0到M14)中每一個記憶體細胞電晶體的閘極點。提供的複數條位元線及複數條虛擬接地(GND)線與字線垂直。於圖7中，主位元線以MB0、MB2、MB4、MB6、及MB8標示；而虛擬接地(GND)線以MB1、MB3、MB5、及MB7標示。連接到一條字線之該等記憶體細胞電晶體的汲極點分別連接到相鄰記憶體細胞電晶體的源極點。因此，記憶體細胞電晶體是以串聯方式連接。子位元線連接在每個記憶體細胞電晶體的源極點與相鄰記憶體細胞電晶體的汲極點之間。

下文中將說明主位元線MB2及虛擬接地(GND)線MB3。主位元線MB2連接到子位元線SB2及SB4。子位元線SB2通過儲存體電晶體BK1-2連接到記憶體細胞電晶體M1的汲極點及記憶體細胞電晶體M2的源極點。子位元線SB4通過儲存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

體電晶體BK1-1連接到記憶體細胞電晶體M3的汲極點及記憶體細胞電晶體M4的源極點。因為儲存體電晶體BK1-1的閘極點係連接到儲存體選擇線BKL1，所以將由儲存體選擇線BKL1來選取儲存體電晶體BK1-1。因為儲存體電晶體BK1-2的閘極點係連接到儲存體選擇線BKL2，所以將由儲存體選擇線BKL2來選取儲存體電晶體BK1-2。記憶體細胞電晶體M2的汲極點及記憶體細胞電晶體M3的源極點都是連接到一子位元線SB3。

例如，主位元線MB2係連接到一資料組選擇電路30、一充電與接地(GND)選擇電路10、及一充電與感測電路20。具體而言，將來自主位元線MB2的電流通過資料組選擇電路30的電晶體TR1輸入到充電與接地(GND)選擇電路10。然後，將該電流分成兩條電流，以便分別通過電晶體TR2及TR3傳送。分開的電流會輸入到一充電與感測電路20中的充電電路1。充電與感測電路20中的感測電路50偵測充電與接地(GND)選擇電路10中通過電晶體TR3傳送的電流。電晶體TR1、TR2、及TR3的閘極點分別連接到線路BLOCKSEL1、BSEL1、及BSEL2，並以此方式來控制電晶體TR1、TR2、及TR3。

記憶體細胞電晶體M4的汲極點及記憶體細胞電晶體M5的源極點都是連接到一子位元線SB5。子位元線SB5通過一儲存體電晶體BK3-2連接到虛擬接地(GND)線MB3。儲存體電晶體BK3-2的閘極點連接到儲存體選擇線BKL3。將來自虛擬接地(GND)線MB3的電流通過資料組選擇電路30的電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (5)

晶體 TR4 輸入到充電與接地 (GND) 選擇電路 10。然後，將該電流分成兩條電流，以便分別通過電晶體 TR5 及 TR6 傳送。充電與接地 (GND) 選擇電路 10 中通過電晶體 TR5 傳送的電流接地。通過電晶體 TR6 傳送的電流則會輸入到充電與感測電路 20 中的充電電路 1。電晶體 TR4、TR5、及 TR6 的閘極點分別連接到線路 BLOCKSEL1、VGSEL1、及 VGSEL2，並以此方式來控制電晶體 TR4、TR5、及 TR6。

關於其他主位元線與虛擬接地 (GND) 線的組態配置本質上與關於主位元線 MB2 與虛擬接地 (GND) 線 MB3 的組態配置相同，因此本文中將不會說明。

充電與接地 (GND) 選擇電路 10 及充電與感測電路 20 可連接到複數個資料組選擇電路 30。

記憶體陣列電路 700 以下列方式操作，用以從記憶體細胞電晶體 M4 讀取資訊 (即，選定記憶體細胞電晶體 M4 時)。

連接到記憶體細胞電晶體 M4 閘極點的字線 WL0 成為高電位狀態 (HIGH)，而其他的字線 WL1 到 WLn 成為低電位狀態 (LOW)。為了使儲存體電晶體 BK1-1 成為一 ON 狀態電晶體，儲存體選擇線 BKL1 成為高電位狀態 (HIGH)。為了使儲存體電晶體 BK3-2 成為 ON 狀態電晶體，儲存體選擇線 BKL3 成為高電位狀態 (HIGH)。儲存體選擇線 BKL2 及 BKL4 成為低電位狀態 (LOW)。

然後，形成 (MB2)-(BK1-1)-(SB4) 及 (SB5)-(BK3-2)-(MB3) 的電流路徑。在記憶體細胞電晶體 M4 是 ON 狀態電晶體的情況下，當線路 BSEL2、VGSEL1、及 BLOCKSEL1 成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (6)

為高電位狀態(HIGH)，而線路BSEL2及VGSEL1成為低電位狀態(LOW)時，將使選定之主位元線MB2處於充電電位，而選定之虛擬接地(GND)線MB3處於接地(GND)電位。因此，電流流動的路徑為(MB2)-(BK1-1)-(SB4)-(M4)-(SB5)-(BK3-2)-(MB3)。

通過電晶體TR1連接到選定之主位元線MB2的感測電路50根據(例如)充電電位之選定之主位元線MB2的電位中電荷，來確定記憶體細胞電晶體M4是否是ON狀態電晶體。

但是，在記憶體細胞電晶體M4是OFF狀態電晶體，且位於記憶體細胞電晶體M4附近之非選定之記憶體細胞電晶體M3、M2、M1、及M0等等是ON狀態電晶體的情況下，雖然記憶體細胞電晶體M4為一OFF電晶體，形成一(M4)-(M3)-(M2)-(M1)之電流路徑。其原因為記憶體細胞電晶體M4、M3、M2、M1及M0之間極被接至同一字元線WLO之故。

因此，當選定之主位元線MB2為充電電位時，電流流動的路徑為(MB2)-(BK1-1)-(SB4)-(M3)-(M2)-(M1)...。以此路徑流動的電流稱為「旁路電流I1」(未顯示)。結果，記憶體細胞電晶體M4是ON狀態電晶體，還是OFF狀態電晶體。為了避免此類的作用，傳統電路中使非選定之位元線及非選定之虛擬接地(GND)線處於充電電位。

圖7顯示的記憶體陣列電路700中，使非選定之位元線MB0及非選定之虛擬接地(GND)線MB1處於充電電位。結果，使子位元線SB0及SB1通過各自的儲存體電晶體處於充電電位。在此類的方法中，即使記憶體細胞電晶體M3、M2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (7)

、M1、及M0等等是ON狀態電晶體，也不會產生「旁路電流I1」。因此，連接到記憶體細胞電晶體M4之選定之主位元線MB2在記憶體細胞電晶體M4是ON狀態電晶體時與記憶體細胞電晶體M4是OFF狀態電晶體時的作用不同。因此，可用穩定的方式來讀取選定之記憶體細胞電晶體M4中的資訊。

但是，上述用以預防旁路電流I1的系統在選定之記憶體細胞電晶體是ON狀態電晶體時會減少讀取的幅度。為了解決此問題，日本Laid-Open Publication No.10-11991建議一特定的系統，用以連接記憶體細胞電晶體及儲存體電晶體，如下文中參考圖9的說明。

請參考圖7，現在將詳細說明旁路電流I1。

如上文所述，為了讀取記憶體細胞電晶體M4中的資訊，將使選定之主位元線MB2處於充電電位，而選定之虛擬接地(GND)線MB3處於接地(GND)電位。並且如上文所述，將使非選定之主位元線MB0及非選定之虛擬GND線MB1處於充電電位。為了下列的原因，也會將非選定之主位元線MB4及非選定之虛擬接地(GND)線MB5充電。

大體而言，一週期的讀取操作同時從複數個記憶體細胞電晶體讀取資訊。在記憶體陣列電路700中，記憶體細胞電晶體M12中的資訊可與記憶體細胞電晶體M4中的資訊一起讀取。為了避免產生旁路電流，也會將非選定之主位元線MB4及非選定之虛擬接地(GND)線MB5充電，否則，從記憶體細胞電晶體M12讀取資訊時，會產生從子位元線SB12流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明 (8)

動的旁路電流。

因此，位於記憶體細胞電晶體M4附近之非選定之記憶體細胞電晶體M5、M6、M7、及M8等等是ON狀態電晶體時，將使非選定之主位元線MB4及非選定之虛擬接地(GND)線MB5處於充電電位。結果，使子位元線SB4及SB5通過各自的儲存體電晶體處於充電電位。因此，形成(SB8)-(M7)-(M6)-(M5)-(M4)-(SB4)的電流路徑。以此路徑流動的電流稱為「旁路電流I2」。選定之記憶體細胞電晶體M4是ON狀態電晶體時，旁路電流I2會減少(MB2)-(BK1-1)-(SB4)-(M4)-(SB5)-(BK3-2)-(MB3)路徑中流動的讀取電流量。讀取電流量減少時，會導致減緩從記憶體細胞電晶體讀取資訊的速率，並且會造成資料讀取錯誤。

圖8顯示記憶體陣列40的組態配置，該記憶體陣列40包括連接到一條字線之複數個記憶體細胞電晶體。將非選定之主位元線MB4及非選定之虛擬接地(GND)線MB5充電時，會產生旁路電流I2，此時，如果記憶體細胞電晶體M4是ON狀態電晶體時，旁路電流I2會減少用以從記憶體細胞電晶體讀取資訊的讀取電流。但是，如果記憶體細胞電晶體M12是OFF狀態電晶體時，為了從記憶體細胞電晶體M12讀取資訊，必須將非選定之主位元線MB4及非選定之虛擬接地(GND)線MB5充電。

根據可能解決旁路電流問題的另一項解決方案，係增加記憶體細胞電晶體M4與記憶體細胞電晶體M12之間非選定之記憶體細胞電晶體的數量，並且，只將非選定之主位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

44

五、發明說明 (9)

線 801 及非選定之虛擬接地 (GND) 線 802 充電到最低要求電位。在此方法中，可減少流動到選定之主位元線之相當於旁路電流 I2 的電流。但是，此系統根本上不排除相當於旁路電流 I2 的電流。

在記憶體細胞電晶體 M4 與記憶體細胞電晶體 M12 之間所有的非選定之記憶體細胞電晶體都是 ON 狀態電晶體的情況下，當記憶體細胞電晶體 M12 是 OFF 狀態電晶體時，為了從記憶體細胞電晶體 M12 讀取資訊，必須將非選定之主位元線 MB4 及非選定之虛擬接地 (GND) 線 MB5 充電，這只是減少相當於旁路電流 I1 的電流，對於記憶體細胞電晶體 M4 是 ON 狀態電晶體時，用以從記憶體細胞電晶體讀取資訊的讀取電流減少的問題仍無法根本解決。下文中，相當於旁路電流 I2 的電流稱為「讀取寄生電流」。

日本 Laid-Open Publication No. 10-11991 中說明的半導體記憶裝置將參考圖 9 來說明。圖 9 顯示半導體記憶裝置 300 的電路組態配置。

於半導體記憶裝置 300 中，連接到主位元線 BS0 到 BS3 的儲存體電晶體及連接到主位元線 BS4 到 BS7 的儲存體電晶體以不同的方式連接到儲存體選擇線 BKL1 到 BKL4。選取記憶體細胞電晶體 M4 時，則會選取主位元線 BS4 及虛擬接地 (GND) 線 BS3。因為非選定之主位元線 BS1 此際是處於充電電位，所以電流通過非選定之記憶體細胞電晶體 M2 及 M3 流動到選定之虛擬接地 (GND) 線 BS3。但是，因為電流只會通過兩個非選定之記憶體細胞電晶體 M2 及 M3 流動到選定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (10)

之虛擬接地(GND)線BS3，所以可減少讀取寄生電流。

半導體記憶裝置300雖然減少讀取寄生電流的總量，但是仍然無法解決會產生讀取寄生電流的問題。

發明概述

根據本發明的一項觀點，本發明揭示一種半導體記憶裝置，其包括：複數條位元線；複數條虛擬接地(GND)線；以一陣列方式排列的複數個記憶體細胞電晶體。該等複數條位元線包括一條選定之位元線及一條非選定之位元線，其中該選定之位元線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體。該等複數條虛擬接地(GND)線包括一條選定之虛擬接地(GND)線及一條非選定之虛擬接地(GND)線，其中該選定之虛擬接地(GND)線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體。該等非選定之位元線包括要充電的一電荷非選定之位元線及一要接地的一非選定之虛設位元線。該等非選定之虛擬接地(GND)線包括要充電的一電荷非選定之虛擬接地(GND)線。非選定之虛設位元線連接在選定之虛擬接地(GND)線與電荷非選定之位元線及電荷非選定之虛擬接地(GND)線其中一條線之間。

本發明的一項具體實施例中，該半導體記憶裝置進一步包括複數條字線，提供的字線與複數條位元線垂直。

本發明的一項具體實施例中，該等複數條字線中至少一條字線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的閘極點。

五、發明說明 (11)

本發明的一項具體實施例中，該等複數條虛擬接地 (GND) 線中至少一條虛擬接地 (GND) 線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的源極點，並且，該等複數條虛擬接地 (GND) 線中至少一條虛擬接地 (GND) 線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的汲極點，其中，連接到源極點之複數條虛擬接地 (GND) 線中至少一條虛擬接地 (GND) 線與連接到汲極點之複數條虛擬接地 (GND) 線中至少一條虛擬接地 (GND) 線不同。

本發明的一項具體實施例中，選定之虛擬接地 (GND) 線與非選定之位元線通過不同的接地裝置來接地。

本發明的一項具體實施例中，非選定之位元線與非選定之虛擬接地 (GND) 線都是連接在選定之虛擬接地 (GND) 線與非選定之虛設位元線之間，並且都是在浮動狀態，用以從要讀取之記憶體細胞電晶體讀取資訊。

本發明的一項具體實施例中，該半導體記憶裝置是唯讀記憶體。

根據本發明的另一項觀點，本發明揭示一種半導體記憶裝置，其包括：複數條位元線；複數條虛擬接地 (GND) 線；以一陣列方式排列的複數個記憶體細胞電晶體。該等複數條位元線包括一條選定之位元線及一條非選定之位元線，其中該選定之位元線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體。該等複數條虛擬接地 (GND) 線包括一條選定之虛擬接地 (GND) 線及一條非選定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (12)

之虛擬接地(GND)線，其中該選定之虛擬接地(GND)線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體。該等非選定之位元線包括要充電的一電荷非選定之位元線。該等非選定之虛擬接地(GND)線包括要充電的一電荷非選定之虛擬接地(GND)線及一要接地的一非選定之虛設虛擬接地(GND)線。非選定之虛設虛擬接地(GND)線連接在選定之虛擬接地(GND)線與電荷非選定之位元線及電荷非選定之虛擬接地(GND)線其中一條線之間。

本發明的一項具體實施例中，該半導體記憶裝置進一步包括複數條字線，提供的字線與複數條位元線垂直。

本發明的一項具體實施例中，該等複數條字線中至少一條字線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的閘極點。

本發明的一項具體實施例中，該等複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的源極點，並且，該等複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的汲極點，其中，連接到源極點之複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線與連接到汲極點之複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線不同。

本發明的一項具體實施例中，選定之虛擬接地(GND)線與非選定之虛設虛擬接地(GND)線通過不同的接地裝置來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

五、發明說明 (13)

接地。

本發明的一項具體實施例中，非選定之位元線與非選定之虛擬接地(GND)線連接在選定之虛擬接地(GND)線與非選定之虛設虛擬接地(GND)線之間，並且都是在浮動狀態，用以從要讀取之記憶體細胞電晶體讀取資訊。

本發明的一項具體實施例中，該半導體記憶裝置是唯讀記憶體。

根據本發明，本質上可排除讀取寄生電流。因此，可增加用於讀取選定之主位元線的電流量，進行提高從記憶體細胞讀取資訊的穩定性與速率。因為增加了用於讀取選定之主位元線的電流量，所以可增加連接到主位元線的儲存體(bank)數量。如此可減少字線數量，而字線數量愈少，晶片面積也隨之縮小。

因此，本文中說明的本發明的優點是，提供一種半導體記憶裝置，用以本質上排除流到選定之位元線的讀取寄生電流，而不是只有減少讀取寄生電流的電流量。

只要閱讀並瞭解下列參考附圖的詳細說明，熟知技藝人士將可明白本發明此項及其他優點。

圖式描述

圖1是根據本發明第一項範例之半導體記憶裝置的概念圖，圖中顯示避免有讀取寄生電流流到選定之記憶體細胞電晶體的狀態；

圖2是圖1顯示之半導體記憶裝置的電路組態配置；

圖3是圖1顯示之半導體記憶裝置的電路組態配置，圖中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (14)

顯示避免有讀取寄生電流流到選定之記憶體細胞電晶體時子位元線的狀態；

圖4是根據本發明第二項範例之半導體記憶裝置的電路組態配置；

圖5是圖4顯示之半導體記憶裝置的電路組態配置，圖中顯示避免有讀取寄生電流流到選定之記憶體細胞電晶體時子位元線的狀態；

圖6顯示傳統掩膜唯讀記憶體(MROM)的概念圖；

圖7顯示階層式系統之傳統記憶體陣列電路的電路組態配置；

圖8顯示圖7顯示之記憶體陣列中一記憶體陣列的組態配置，電路中，將一條非選定之位元線及一條非選定之虛擬接地(GND)線充電；以及

圖9顯示傳統半導體記憶裝置的電路組態配置。

最佳具體實施例詳細說明

下文將藉由參考附圖及解說範例的方式來說明本發明。

(範例1)

將參考圖1及圖2來說明根據本發明之第一項範例中的半導體記憶裝置100。在此範例中，半導體記憶裝置100是唯讀記憶體。

圖1是半導體記憶裝置100的概念圖，而圖2是半導體記憶裝置100的電路組態配置。圖1顯示有一讀取寄生電流 I_2' 流到非選定之虛設虛擬接地(GND)線103(如實線箭頭所標示)的狀態，結果，讀取寄生電流 I_2' 不會流到一選定之位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46

五、發明說明 (15)

101或一選定之虛擬接地(GND)線102(如虛線箭頭所標示)。

如圖2所示，半導體記憶裝置100包括一記憶體陣列140、一資料組選擇電路130、一充電與接地(GND)選擇電路110、及一充電與感測電路120。可將充電與接地(GND)選擇電路110及充電與感測電路120連接到複數個資料組選擇電路130。記憶體陣列140的儲存體(bank)結構與圖7顯示之記憶體陣列電路700之記憶體陣列40的儲存體(bank)結構相同。

充電與接地(GND)選擇電路110的操作方式與圖7顯示之充電與接地(GND)選擇電路10的操作方式不同。尤其，充電與接地(GND)選擇電路110控制記憶體陣列140的位元線與虛擬接地(GND)線。

圖2顯示之半導體記憶裝置100的基本結構與圖7顯示之記憶體陣列電路700之半導體記憶裝置的基本結構相同。

如圖2所示，記憶體陣列140包括以一陣列方式排列的複數個記憶體細胞電晶體。具體而言，記憶體陣列140包括複數條字線(例如，字線WL0到WLn)。每一條字線(例如，字線WL0)都是連接到複數個記憶體細胞電晶體(例如，記憶體細胞電晶體M0到M14)中每一個記憶體細胞電晶體的閘極點。提供的複數條位元線及複數條虛擬接地(GND)線與字線垂直。於圖2中，主位元線以MB0、MB2、MB4、MB6、MB8、及MB10標示；而虛擬接地(GND)線以MB1、MB3、MB5、MB7、MB9、及MB11標示。連接到一條字線之該等記憶體細胞電晶體的汲極點分別連接到相鄰記憶體細胞電晶體的源極點。因此，記憶體細胞電晶體是以串聯方式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

五、發明說明 (16)

連接。子位元線連接在每個記憶體細胞電晶體的源極點與相鄰記憶體細胞電晶體的汲極點之間。

下文中將說明主位元線MB2及虛擬接地(GND)線MB3。主位元線MB2連接到子位元線SB2及SB4。子位元線SB2通過儲存體電晶體BK1-2連接到記憶體細胞電晶體M1的汲極點及記憶體細胞電晶體M2的源極點。子位元線SB4通過儲存體電晶體BK1-1連接到記憶體細胞電晶體M3的汲極點及記憶體細胞電晶體M4的源極點。因為儲存體電晶體BK1-1的閘極點係連接到儲存體選擇線BKL1，所以將由儲存體選擇線BKL1來選取儲存體電晶體BK1-1。因為儲存體電晶體BK1-2的閘極點係連接到儲存體選擇線BKL2，所以將由儲存體選擇線BKL2來選取儲存體電晶體BK1-2。記憶體細胞電晶體M2的汲極點及記憶體細胞電晶體M3的源極點都是連接到一子位元線SB3。

例如，主位元線MB2係連接到一資料組選擇電路130、一充電與接地(GND)選擇電路110、及一充電與感測電路120。具體而言，將來自主位元線MB2的電流通過資料組選擇電路130的電晶體TR1輸入到充電與接地(GND)選擇電路110。然後，將該電流分成兩條電流，以便分別通過電晶體TR2及TR3傳送。分開的電流會輸入到一充電與感測電路120中的充電電路1。充電與感測電路120中的感測電路150偵測充電與接地(GND)選擇電路110中通過電晶體TR3傳送的電流。電晶體TR1、TR2、及TR3的閘極點分別連接到線路BLOCKSEL1、BSEL1、及NBSEL1，並以此方式來控制電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (17)

體 TR1、TR2、及 TR3。

記憶體細胞電晶體 M4 的汲極點及記憶體細胞電晶 M5 的源極點都是連接到一子位元線 SB5。子位元線 SB5 通過一儲存體電晶體 BK3-1 連接到虛擬接地 (GND) 線 MB3。儲存體電晶體 BK3-1 的閘極點連接到儲存體選擇線 BKL3。將來自虛擬接地 (GND) 線 MB3 的電流通過資料組選擇電路 130 的電晶體 TR4 輸入到充電與接地 (GND) 選擇電路 110。然後，將該電流分成兩條電流，以便分別通過電晶體 TR5 及 TR6 傳送。充電與接地 (GND) 選擇電路 110 中通過電晶體 TR6 傳送的電流接地。通過電晶體 TR5 傳送的電流則會輸入到充電與感測電路 120 中的充電電路 1。電晶體 TR4、TR5、及 TR6 的閘極點分別連接到線路 BLOCKSEL1、VGSEL4、及 VGSEL4，並以此方式來控制電晶體 TR4、TR5、及 TR6。

關於其他主位元線與虛擬接地 (GND) 線的組態配置本質上與關於主位元線 MB2 與虛擬接地 (GND) 線 MB3 的組態配置相同，因此本文中將不會說明。

半導體記憶裝置 100 以下列方式操作，用以從記憶體細胞電晶體 M4 讀取資訊。於此選定記憶體細胞電晶體 M4，且記憶體細胞電晶體 M20 中儲存的資訊可與記憶體細胞電晶體 M4 中儲存的資訊一起讀取。

連接到記憶體細胞電晶體 M4 閘極點的字線 WL0 成為高電位狀態 (HIGH)，而其他的字線 WL1 到 WLn 成為低電位狀態 (LOW)。為了使儲存體電晶體 BK1-1 成為一 ON 狀態電晶體，儲存體選擇線 BKL1 成為高電位狀態 (HIGH)。為了使儲存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明 (18)

體電晶體BK3-1成為ON狀態電晶體，儲存體選擇線BKL3成為高電位狀態(HIGH)。儲存體選擇線BKL2及BKL4成為低電位狀態(LOW)。

然後，形成(MB2)-(BK1-1)-(SB4)及(SB5)-(BK3-1)-(MB3)的電流路徑。在記憶體細胞電晶體M4是ON狀態電晶體的情況下，線路的作用如下。線路BLOCKSEL1成為高電位狀態(HIGH)。於充電與接地(GND)選擇電路110中，線路VGSEL1及VGSEL4成為低電位狀態(LOW)，線路VGSEL2及VGSEL3成為高電位狀態(HIGH)，線路NBSEL1、BSEL2、BSEL3、NBSEL3、BSEL4、及NBSEL4成為低電位狀態(LOW)，並且，線路BSEL1、及NBSEL2成為高電位狀態(HIGH)。此時，將使主位元線MB0、MB1、MB2、MB7、MB8、MB9、及MB10處於充電電位，主位元線MB2及MB10連接到感測電路150，主位元線MB3、MB5、及MB11處於接地(GND)電位，而主位元線MB4及MB6處於浮動狀態。因此，電流流動的路徑為(MB2)-(BK1-1)-(SB4)-(M4)-(SB5)-(BK3-2)-(MB3)。

此時，子位元線的狀態如圖3所示。圖3顯示連接到字線WL0之記憶體細胞電晶體M0到M20的組態配置。

選取記憶體細胞電晶體M4。記憶體細胞電晶體M4的非選定之虛設虛擬接地(GND)線為SB9。為了避免參考圖7說明之相當於旁路電流I1的電流，會將子位元線SB13、SB16、及SB17充電。如果沒有充電，在記憶體細胞電晶體20(記憶體細胞電晶體M20中儲存的資訊可與記憶體細胞電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明 (19)

體M4中儲存的資訊一起讀取)是OFF狀態電晶體情況下，將會產生旁路電流I1。

在傳統裝置中，將子位元線SB13、SB16、及SB17充電時，會產生流到記憶體細胞電晶體M4的讀取寄生電流。但是，在此範例中，讀取寄生電流會流到非選定之虛設接地(GND)線SB9，所以不會流到記憶體細胞電晶體M4。

圖3中，會將子位元線SB13、SB16、及SB17充電。充電之子位元線的數量可以是一條或兩條，只要可避免相當於旁路電流I2的電流即可。在該情況下，結構中的充電與接地(GND)選擇電路110等等必須充電。充電與接地(GND)選擇電路110、充電與感測電路120等等都用以不同類型的電路來取代，只要這類的電路可提供相當於非選定之虛設虛擬接地(GND)線或非選定之虛設位元線即可。

在圖2顯示的範行中，選定之虛擬接地(GND)線SB5是電氣連接到處於接地(GND)電位的主位元線MB3，而非選定之虛設虛擬接地(GND)線SB9是電氣連接到處於接地(GND)電位的主位元線MB5。因為是經由不同的路徑來使選定之虛擬接地(GND)線SB5及非選定之虛設虛擬接地(GND)線SB9處於接地(GND)電位，所以讀取寄生電流I2'只會流到非選定之虛設虛擬接地(GND)線SB9，而不會流到選定之虛擬接地(GND)線SB5，如圖1所示。

在此範例中，為了從一記憶體細胞電晶體讀取資訊，選定之虛擬接地(GND)線(例如，SB5)與非選定之虛設虛擬接地(GND)線(例如，SB9)之間必須提供一非選定之虛擬接地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (20)

(GND)線或一非選定之虛擬位元線，並且，基於下述的原因，該非選定之虛擬接地(GND)線或該非選定之虛擬位元線都必須處於浮動狀態。

雖然是經由不同的路徑來使選定之虛擬接地(GND)線SB5及非選定之虛設虛擬接地(GND)線SB9處於接地(GND)電位，但是，當有一條充電之非選定之虛擬接地(GND)線，或者選定之虛擬接地(GND)線SB5與非選定之虛設虛擬接地(GND)線SB9之間有一條充電之非選定之虛擬接地(GND)線時，則會產生讀取寄生電流。於圖2中，選定之虛擬接地(GND)線SB5與非選定之虛設虛擬接地(GND)線SB9之間的位元線SB6、SB7、及SB8處於浮動狀態。

(範例2)

將參考圖4及圖5來說明根據本發明之第二項範例中的半導體記憶裝置200。在此範例中，半導體記憶裝置100是唯讀記憶體。

圖4顯示半導體記憶裝置200的電路組態配置。

半導體記憶裝置200包括一記憶體陣列240。記憶體陣列240除了包括圖2顯示之記憶體陣列140中的元素以外，還包括複數個儲存體電晶體(例如，LBK1-1)。因此，記憶體陣列240主位元線的數量小於記憶體陣列140主位元線的數量。

主位元線及連接到主位元線的子次位線都是連接到儲存體電晶體(例如，LBK1-1及BK1-1)，而虛擬接地(GND)線及連接到虛擬接地(GND)線的子位元線都是連接到儲存體電晶體(例如，BK3-1)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明 (21)

除了上述的重點以外，半導體記憶裝置200本質上與圖2顯示之半導體記憶裝置100的結構相同。

半導體記憶裝置200依以下方式操作以自記憶體細胞電晶體M4讀取資訊。記憶體細胞電晶體M20內之資訊可與記憶體細胞電晶體M4內之資訊同時被讀出。

被接至記憶體細胞電晶體M4閘極之字元線WL0變為高且其它之字元線WL1至WLn變為低。為了使儲存體電晶體LBK1-1、BK1-1、及BK3-1成為ON狀態電晶體，線路LBK1及儲存體選擇線BKL1及BKL3成為高電位狀態(HIGH)。線路LBK2及儲存體選擇線BKL2及BKL4成為低電位狀態(LOW)。

然後，形成(MB0)-(LBK1-1)-(BK1-1)-(SB4)及(SB5)-(BK3-1)-(MB2)的電流路徑。在記憶體細胞電晶體M4是ON狀態電晶體的情況下，線路的作用如下。線路BLOCKSEL1成為高電位狀態(HIGH)。於充電與接地(GND)選擇電路210中，線路VGSEL1及VGSEL4成為低電位狀態(LOW)，線路VGSEL2及VGSEL3成為高電位狀態(HIGH)，線路BSEL1成為低電位狀態(LOW)，而BSEL2成為高電位狀態(HIGH)。此時，將使主位元線MB0、MB1、MB3、MB5、MB6、及MB7處於充電電位，主位元線MB0及MB6連接到感測電路250，主位元線MB2、MB4、及MB8處於接地(GND)電位。因此，電流流動的路徑為(MB0)-(LBK1-1)-(BK1-1)-(SB4)-(M4)-(SB5)-(BK3-1)-(MB2)。

此時，子位元線的狀態如圖5所示。圖5顯示連接到字線WL0之記憶體細胞電晶體M0到M20的組態配置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

選取記憶體細胞電晶體M4。記憶體細胞電晶體M4的非選定之虛設虛擬接地(GND)線為SB9。

於第一項及第二項範例中，有一條非選定之虛設接地(GND)線用於避免流到選定之記憶體細胞電晶體的讀取寄生電流。如上文中的簡單說明，可用非選定之虛設位元線來取代非選定之虛設接地(GND)線。本發明也適用於不同的儲存體(bank)結構及不同的階層式位元線系統。

如上文所述，根據本發明，將避免有讀取寄生電流流到用以從一選定記憶體細胞電晶體讀取資訊的電流。因此，可增加用於讀取選定之主位元線的電流量，進行提高從記憶體細胞讀取資訊的穩定性與速率。

熟知技藝人士很容易知道本發明可做任各種其他的修改，而不會脫離隨附之申請專利範圍的精神與範疇。因此，隨附之申請專利範例的範疇並不限於本文中所提出的說明，而是為了概括分析申請專利範例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

四、中文發明摘要(發明之名稱： 半導體記憶裝置)

本發明揭示一種半導體記憶裝置，其包括：複數條位元線；複數條虛擬接地(GND)線；以一陣列方式排列的複數個記憶體細胞電晶體。該等複數條位元線包括一條選定之位元線及一條非選定之位元線，其中該選定之位元線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體。該等複數條虛擬接地(GND)線包括一條選定之虛擬接地(GND)線及一條非選定之虛擬接地(GND)線，其中該選定之虛擬接地(GND)線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體。該等非選定之位元線包括要充電的一電荷非選定之位元線及一要接地的一非

英文發明摘要(發明之名稱： SEMICONDUCTOR MEMORY DEVICE)

A semiconductor memory device includes a plurality of bit lines; a plurality of virtual GND lines; and a plurality of memory cell transistors arranged in an array. The plurality of bit lines includes a selected bit line directly connected to a memory cell transistor to be read among the plurality of memory cell transistors and a non-selected bit line. The plurality of virtual GND lines includes a selected virtual GND line directly connected to the memory cell transistor to be read and

四、中文發明摘要(發明之名稱：)

選定之虛設位元線。該等非選定之虛擬接地(GND)線包括要充電的一電荷非選定之虛擬接地(GND)線。非選定之虛設位元線連接在選定之虛擬接地(GND)線與電荷非選定之位元線及電荷非選定之虛擬接地(GND)線其中一條線之間。

英文發明摘要(發明之名稱：)

a non-selected virtual GND line. The non-selected bit lines include a charge non-selected bit line to be charged and a non-selected dummy bit line to be grounded. The non-selected virtual GND lines include a charge non-selected virtual GND line to be charged. The non-selected dummy bit line is connected between the selected virtual GND line and one of the charge non-selected bit line and the charge non-selected virtual GND line.

六、申請專利範圍

1. 一種半導體記憶裝置，其包括：

複數條位元線；

複數條虛擬接地(GND)線；

以一陣列方式排列的複數個記憶體細胞電晶體；

其中：

該等複數條位元線包括一條選定之位元線及一條非選定之位元線，其中，該選定之位元線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體，

該等複數條虛擬接地(GND)線包括一條選定之虛擬接地(GND)線及一條非選定之虛擬接地(GND)線，其中，該選定之虛擬接地(GND)線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體，

該等非選定之位元線包括要充電的一電荷非選定之位元線及一要接地的一非選定之虛設位元線，

該等非選定之虛擬接地(GND)線包括要充電的一電荷非選定之虛擬接地(GND)線，以及

非選定之虛設位元線連接在選定之虛擬接地(GND)線與電荷非選定之位元線及電荷非選定之虛擬接地(GND)線其中一條線之間。

2. 如申請專利範圍第1項之半導體記憶裝置，進一步包括複數條字線，提供的字線與複數條位元線垂直。

3. 如申請專利範圍第2項之半導體記憶裝置，其中該等複數條字線中至少一條字線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的閘極點。

六、申請專利範圍

4. 如申請專利範圍第1項之半導體記憶裝置，其中該等複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的源極點，並且，該等複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的汲極點，其中，連接到源極點之複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線與連接到汲極點之複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線不同。
5. 如申請專利範圍第1項之半導體記憶裝置，其中選定之虛擬接地(GND)線與非選定之位元線通過不同的接地裝置來接地。
6. 如申請專利範圍第1項之半導體記憶裝置，其中非選定之位元線與非選定之虛擬接地(GND)線都是連接在選定之虛擬接地(GND)線與非選定之虛設位元線之間，並且都是在浮動狀態，用以從要讀取之記憶體細胞電晶體讀取資訊。
7. 如申請專利範圍第1項之半導體記憶裝置，該半導體記憶裝置是唯讀記憶體。
8. 一種半導體記憶裝置，其包括：
 - 複數條位元線；
 - 複數條虛擬接地(GND)線；
 - 以一陣列方式排列的複數個記憶體細胞電晶體；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

其中：

該等複數條位元線包括一條選定之位元線及一條非選定之位元線，其中該選定之位元線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體，

該等複數條虛擬接地(GND)線包括一條選定之虛擬接地(GND)線及一條非選定之虛擬接地(GND)線，其中該選定之虛擬接地(GND)線直接連接到複數個記憶體細胞電晶體中要讀取的一記憶體細胞電晶體，

該等非選定之位元線包括要充電的一電荷非選定之位元線，

該等非選定之虛擬接地(GND)線包括要充電的一電荷非選定之虛擬接地(GND)線及一要接地的一非選定之虛設虛擬接地(GND)線，

非選定之虛設虛擬接地(GND)線連接在選定之虛擬接地(GND)線與電荷非選定之位元線及電荷非選定之虛擬接地(GND)線其中一條線之間。

9. 如申請專利範圍第8項之半導體記憶裝置，進一步包括複數條字線，提供的字線與複數條位元線垂直。
10. 如申請專利範圍第9項之半導體記憶裝置，其中該等複數條字線中至少一條字線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的閘極點。
11. 如申請專利範圍第8項之半導體記憶裝置，其中該等複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線的一部份連接到複數個記憶體細胞電晶體中至少其中一個

六、申請專利範圍

記憶體細胞電晶體的源極點，並且，該等複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線的一部份連接到複數個記憶體細胞電晶體中至少其中一個記憶體細胞電晶體的汲極點，其中，連接到源極點之複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線與連接到汲極點之複數條虛擬接地(GND)線中至少一條虛擬接地(GND)線不同。

12. 如申請專利範圍第8項之半導體記憶裝置，其中選定之虛擬接地(GND)線與非選定之虛設虛擬接地(GND)線通過不同的接地裝置來接地。
13. 如申請專利範圍第8項之半導體記憶裝置，其中非選定之位元線與非選定之虛擬接地(GND)線連接在選定之虛擬接地(GND)線與非選定之虛設虛擬接地(GND)線之間，並且都是在浮動狀態，用以從要讀取之記憶體細胞電晶體讀取資訊。
14. 如申請專利範圍第8項之半導體記憶裝置，該半導體記憶裝置是唯讀記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

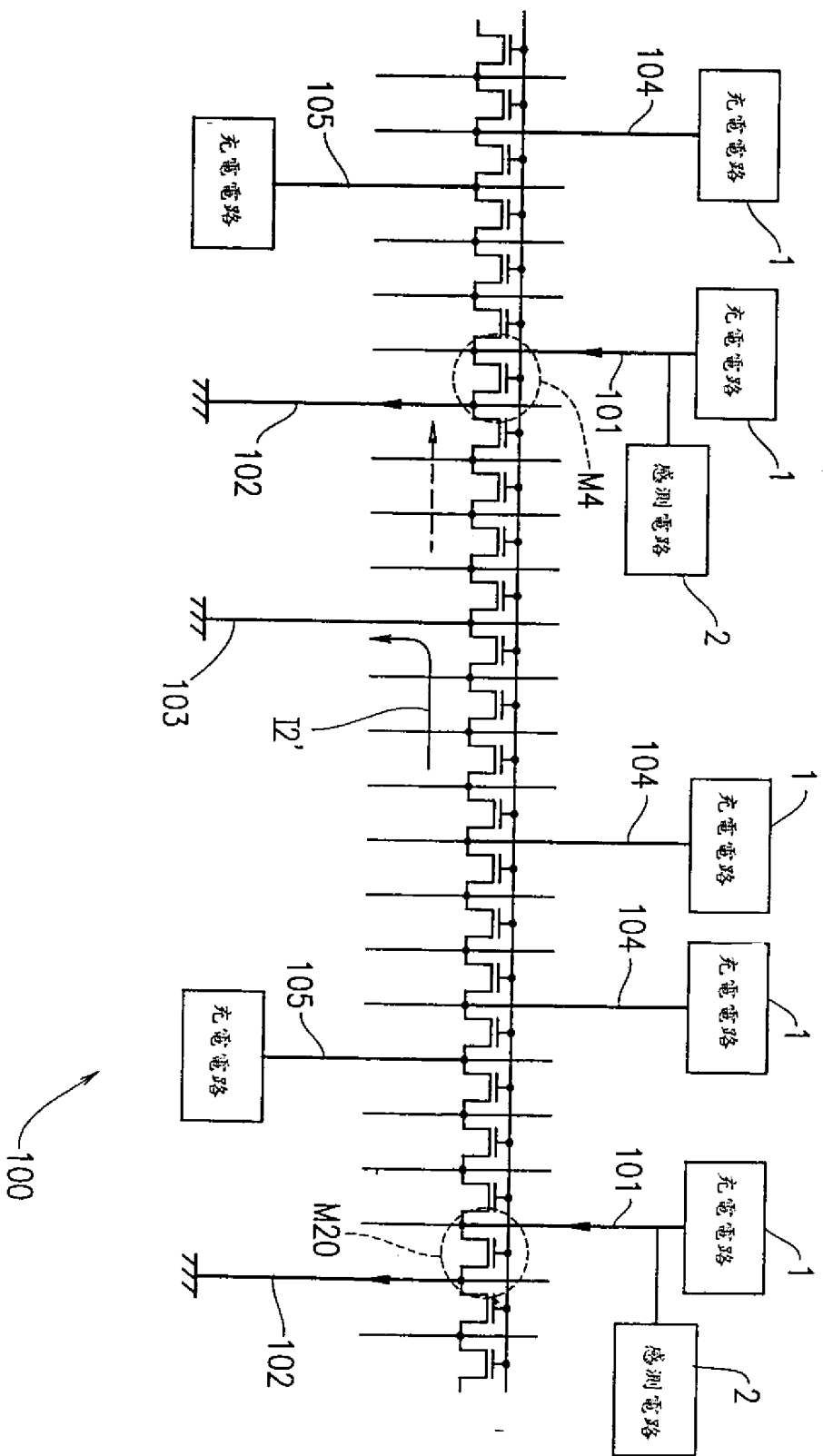


圖 1

459234

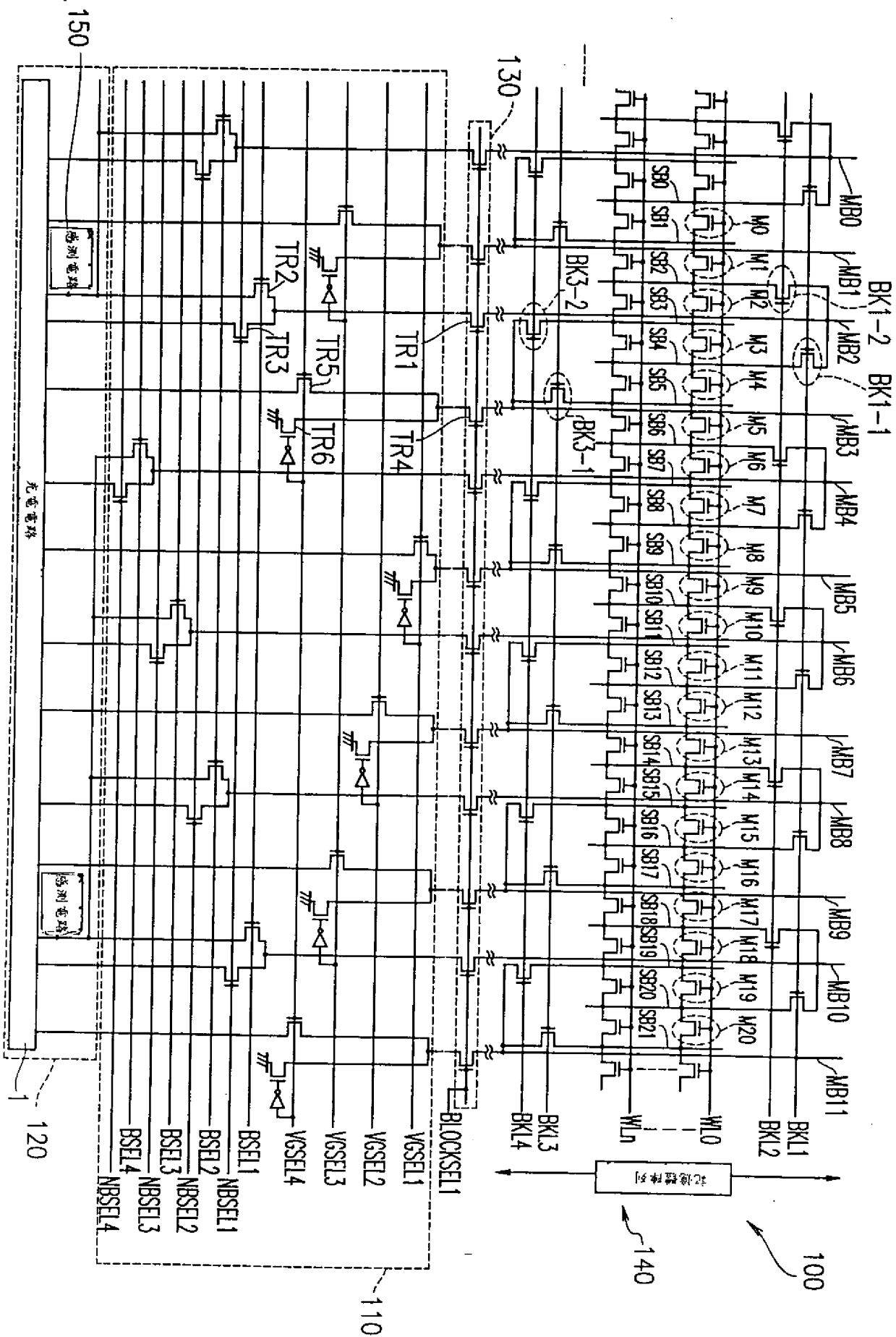


圖 2

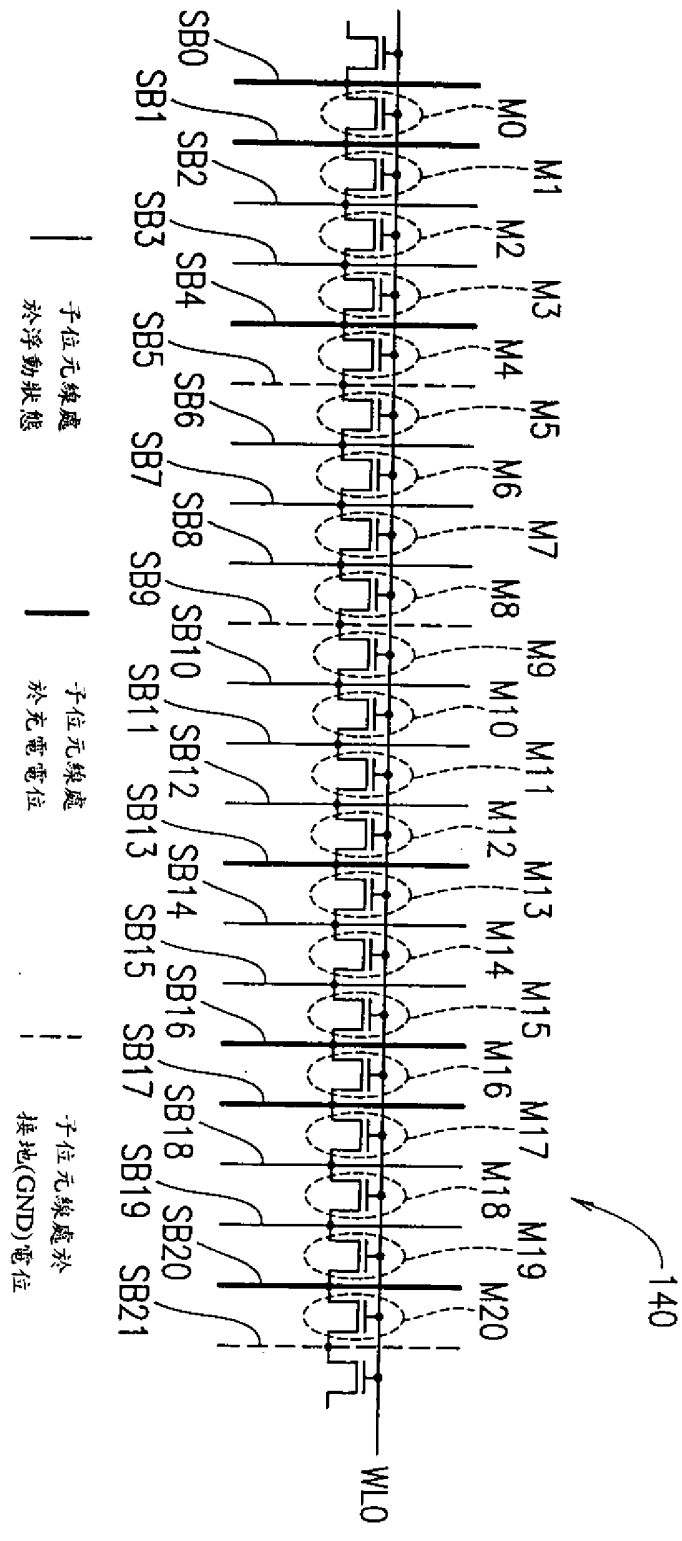


圖 3

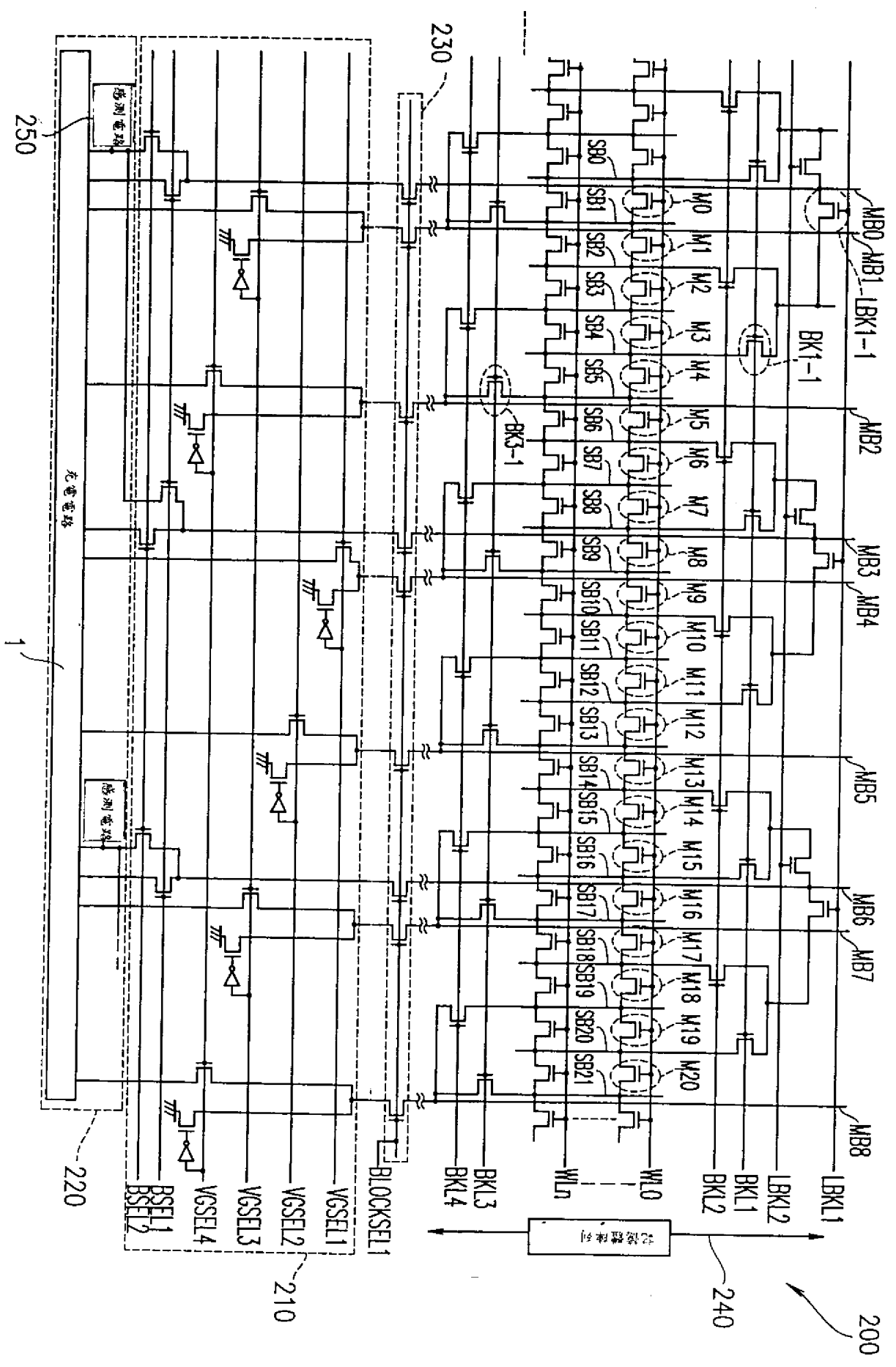


圖 4

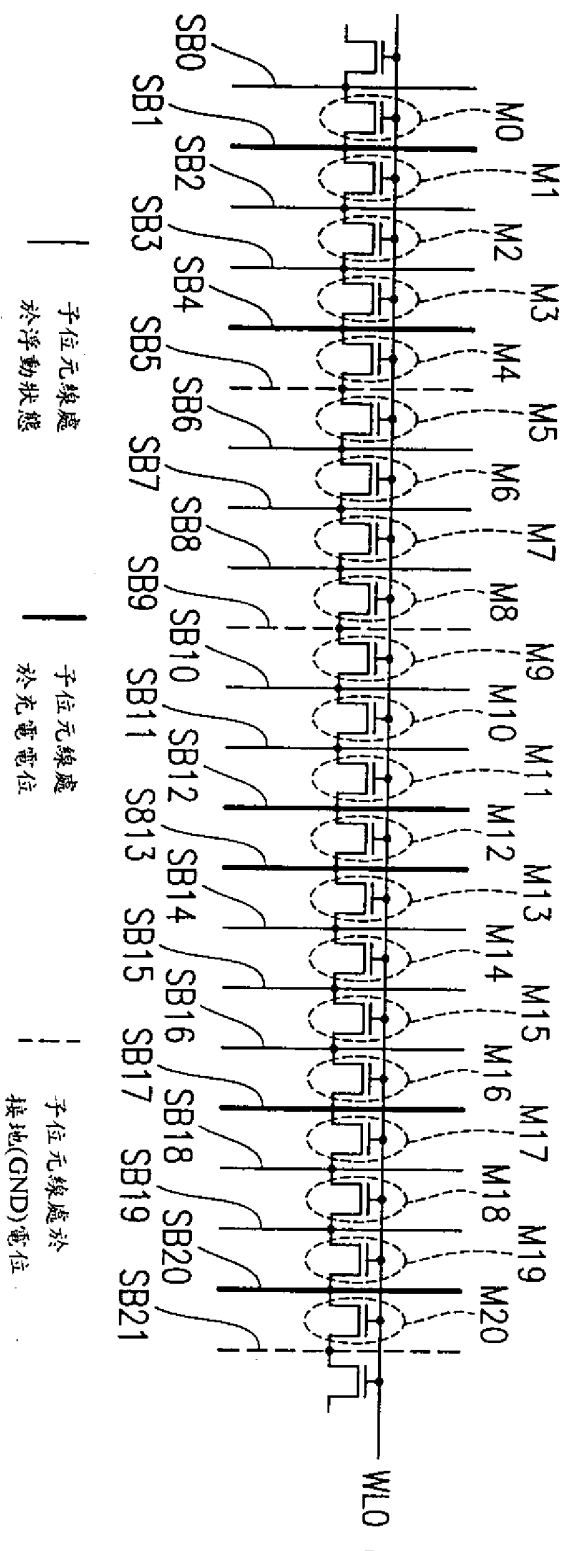


圖 5

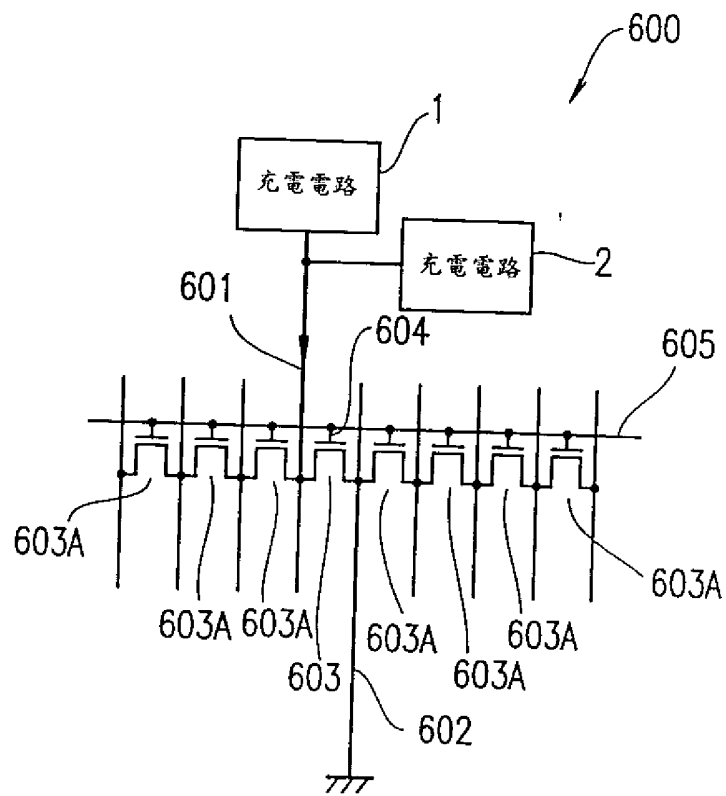


圖 6

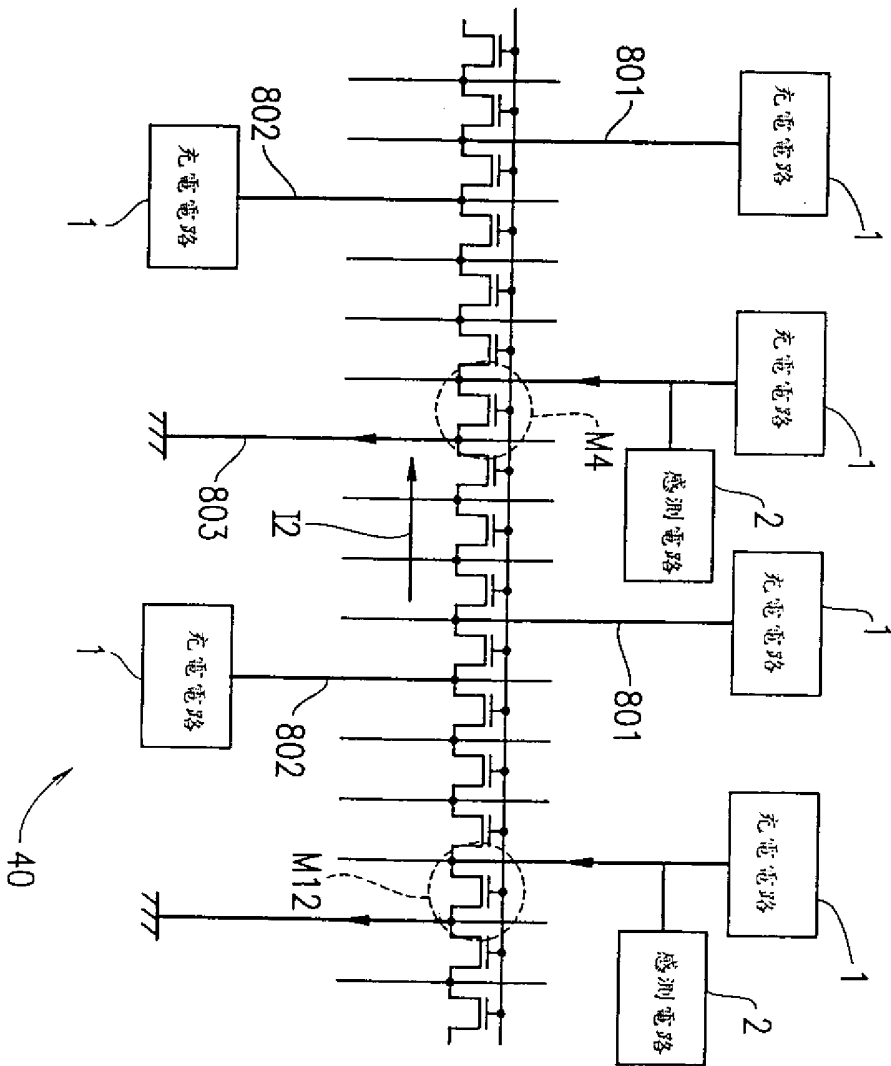


圖 8

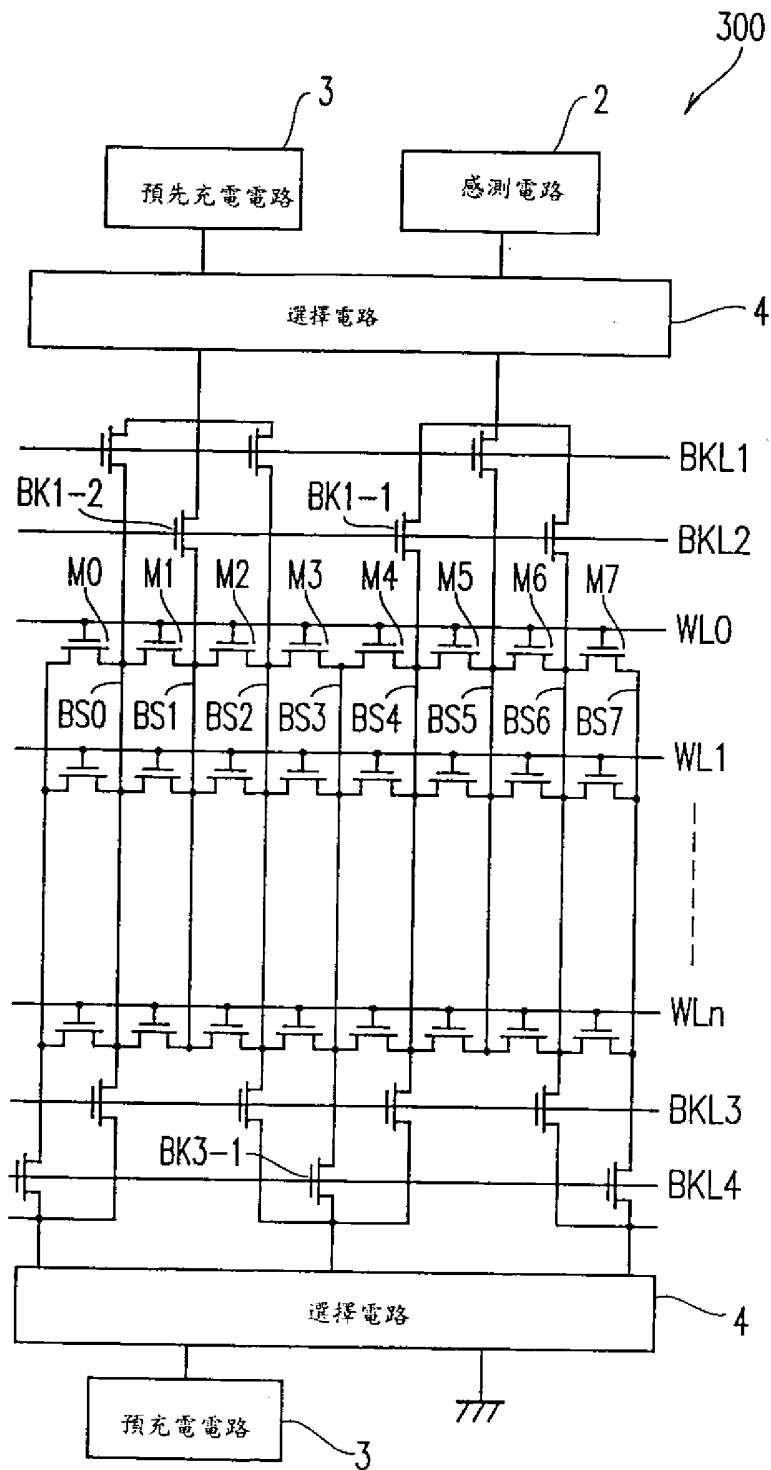


圖 9