



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201250958 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：100102446

(22)申請日：中華民國 100 (2011) 年 01 月 24 日

(51)Int. Cl. : *H01L23/488 (2006.01)*
H01L21/60 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2010/12/03 美國

12/959,709

(71)申請人：史達晶片有限公司 (新加坡) STATS CHIPPAC, LTD. (SG)
新加坡

(72)發明人：潘斯 拉簡德拉 D PENDSE, RAJENDRA D. (US)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：25 項 圖式數：23 共 111 頁

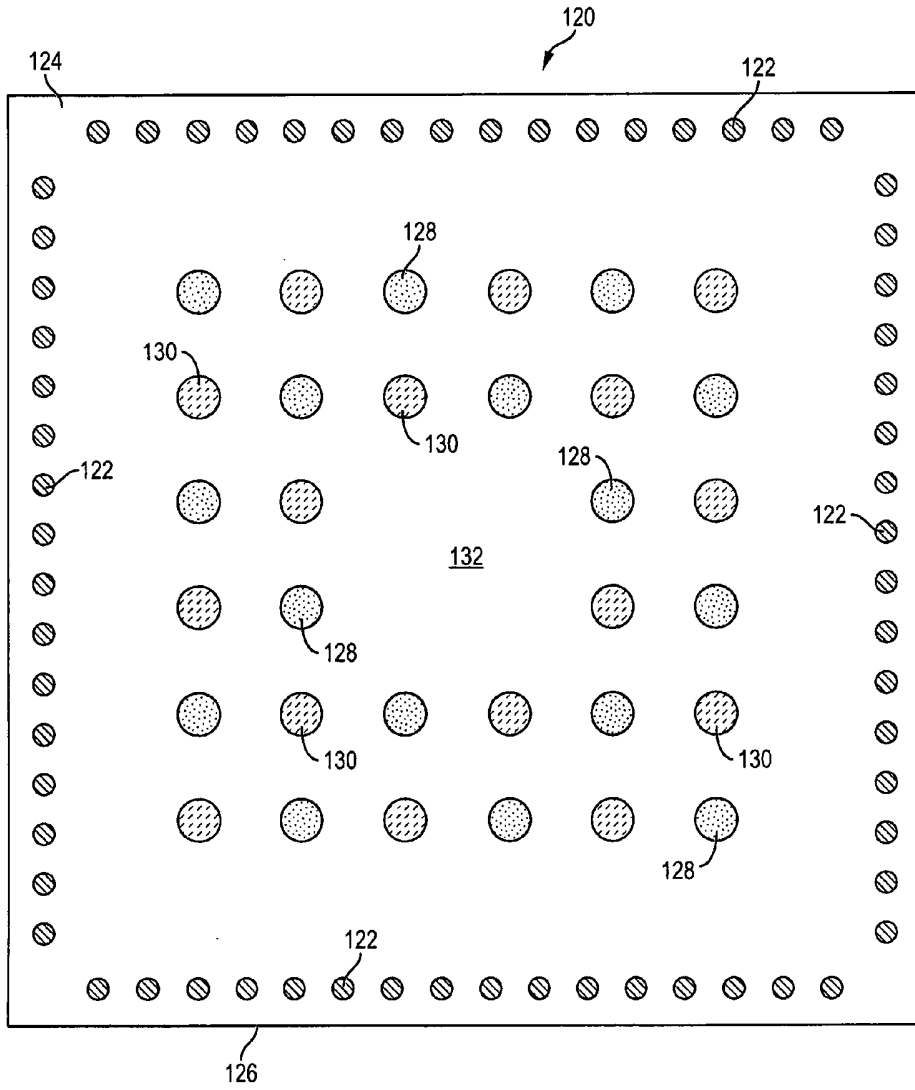
(54)名稱

形成用於覆晶半導體晶粒的墊佈局的半導體裝置及方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING PAD LAYOUT FOR FLIPCHIP
SEMICONDUCTOR DIE

(57)摘要

一種半導體裝置係具有一含有一晶粒墊佈局的半導體晶粒。在該晶粒墊佈局中的信號墊主要係位在靠近該半導體晶粒的一周邊處，並且電源墊及接地墊主要係位在該些信號墊的內側。該些信號墊係以大致平行於該半導體晶粒的一邊緣之一周邊列或一周邊陣列來加以配置。凸塊係被形成在該些信號墊、電源墊以及接地墊之上。該些凸塊可具有一可熔的部份以及不可熔的部份。具有互連位置的導電線路係被形成在一基板之上。該些凸塊係比該些互連位置寬。該些凸塊係連結到該些互連位置，使得該些凸塊覆蓋該些互連位置的一頂表面及多個側表面。一封裝材料係沉積在該半導體晶粒及基板之間的該些凸塊的周圍。



- 120 : 晶粒墊佈局
- 122 : 信號墊
- 124 : 晶粒表面
- 126 : 晶粒邊緣
- 128 : 電源墊
- 130 : 接地墊
- 132 : 中央區域



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201250958 A1

(43)公開日：中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：100102446

(22)申請日：中華民國 100 (2011) 年 01 月 24 日

(51)Int. Cl. : *H01L23/488 (2006.01)*
H01L21/60 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2010/12/03 美國

12/959,709

(71)申請人：史達晶片有限公司 (新加坡) STATS CHIPPAC, LTD. (SG)
新加坡

(72)發明人：潘斯 拉簡德拉 D PENDSE, RAJENDRA D. (US)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：25 項 圖式數：23 共 111 頁

(54)名稱

形成用於覆晶半導體晶粒的墊佈局的半導體裝置及方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING PAD LAYOUT FOR FLIPCHIP
SEMICONDUCTOR DIE

(57)摘要

一種半導體裝置係具有一含有一晶粒墊佈局的半導體晶粒。在該晶粒墊佈局中的信號墊主要係位在靠近該半導體晶粒的一周邊處，並且電源墊及接地墊主要係位在該些信號墊的內側。該些信號墊係以大致平行於該半導體晶粒的一邊緣之一周邊列或一周邊陣列來加以配置。凸塊係被形成在該些信號墊、電源墊以及接地墊之上。該些凸塊可具有一可熔的部份以及不可熔的部份。具有互連位置的導電線路係被形成在一基板之上。該些凸塊係比該些互連位置寬。該些凸塊係連結到該些互連位置，使得該些凸塊覆蓋該些互連位置的一頂表面及多個側表面。一封裝材料係沉積在該半導體晶粒及基板之間的該些凸塊的周圍。

六、發明說明：

【優先權主張】

本申請案是 2009 年 4 月 29 日申請的美國申請案號 12/432,137 的一部分接續案，並且根據美國專利法第 120 條主張前述申請案的優先權。

【發明所屬之技術領域】

本發明係有關於半導體裝置，並且更具體而言係有關於一種形成用於覆晶半導體晶粒的墊佈局的半導體裝置及方法。

【先前技術】

半導體裝置常見於現代的電子產品中。半導體裝置在電性構件的數目及密度上有所不同。離散的半導體裝置一般包含一種類型的電性構件，例如，發光二極體(LED)、小信號的電晶體、電阻器、電容器、電感器以及功率金屬氧化物半導體場效電晶體(MOSFET)。積體化半導體裝置通常包含數百個到數百萬個電性構件。積體化半導體裝置的例子包含微控制器、微處理器、電荷耦合裝置(CCD)、太陽能電池以及數位微鏡裝置(DMD)。

半導體裝置可執行廣大範圍的功能，例如：信號處理、高速的計算、傳送及接收電磁信號、控制電子裝置、轉換太陽光成為電力以及產生用於電視顯示器之可見的投影。半導體裝置可見於娛樂、通訊、電力轉換、網路、電腦以

及消費性產品的領域中。半導體裝置亦可見於軍事應用、航空、汽車、工業用控制器以及辦公室設備。

半導體裝置係利用半導體材料的電氣特性。半導體材料的原子結構係容許其導電度可藉由一電場或基極電流的施加或是透過摻雜的製程來操控。摻雜係將雜質引入半導體材料中以操控及控制半導體裝置的導電度。

一半導體裝置係包含主動及被動的電氣結構。包含雙載子及場效電晶體的主動結構係控制電流的流動。藉由改變摻雜的程度以及一電場或基極電流施加的位準，電晶體不是提升就是限制電流的流動。包含電阻器、電容器及電感器的被動結構係產生執行各種電氣功能所必要的一種電壓及電流間之關係。被動及主動結構係電連接以形成電路，此係使得半導體裝置能夠執行高速的計算以及其它有用的功能。

半導體裝置一般是利用兩種複雜的製程，亦即，前端製造及後端製造來製成，每一種都牽涉到可能有數百道的步驟。前端製造係牽涉到在一半導體晶圓的表面上複數個晶粒的形成。每個晶粒通常是相同的並且包含由電連接主動及被動構件所形成的電路。後端製造係牽涉到從晶圓成品單切(singulating)個別的晶粒及封裝該晶粒以提供結構的支撐及環境的隔離。

半導體製造的一項目標是生產出更小的半導體裝置。越小的裝置通常消耗更低的電力，具有更高的效能，並且可更有效率地被生產出。此外，越小的半導體裝置具有更

小的覆蓋區 (footprint)，此係為更小的最終產品所期望的。更小的晶粒尺寸可藉由在前端製程中以更小及更高密度的主動及被動構件來產生晶粒的改良而達成。後端製程可藉由在電氣互連及封裝材料上的改良以產生更小的覆蓋區之半導體裝置封裝。

在一覆晶封裝中，一半導體晶粒通常是以該晶粒的主動側面對一封裝基板來安裝到該基板。半導體晶粒中的電路與基板中的電路之互連係藉由凸塊來完成，該些凸塊係附接到該晶粒上之一陣列的互連墊，並且連結到該基板上之一對應互補的陣列的互連墊。

半導體晶粒上用於信號、電源及接地功能的墊傳統上是分佈在該陣列的各處，並且基板上對應的墊係連接至適當的電路而到外部的第二層級的互連。該第二層級的互連具有比覆晶的互連大的間距，因此基板上的繞線傳統上是成扇形展開。在半導體晶粒上的墊以及封裝的外部接腳之間扇形展開的繞線係被形成在該封裝基板內的多個金屬層上。

多層的基板係昂貴的，並且在習知的覆晶建構中，光是基板通常就佔去超過一半的封裝成本。多層基板的高成本一直都是限制覆晶技術在主流產品中繁衍的一項因數。在習知的覆晶建構中，該逸散的 (escape) 繞線圖案通常會帶來額外的電性寄生現象，因為該繞線包含在信號傳送路徑中短的路線之無屏蔽的佈線以及佈線層間的貫孔 (via)。電性寄生現象可能嚴重地限制封裝的效能。

在一習知的覆晶封裝中，半導體晶粒 13 上的輸入/輸出墊(統稱為信號墊)係被配置在一實質覆蓋該晶粒的主動表面 12 的區域陣列中，即如在大致於圖 1 中的 10 之平面圖中所示者。分別有關半導體晶粒 13 的信號、電源及接地功能的信號墊 18 及 19、電源墊 14 以及接地墊 16 係分佈在該陣列內的多個列與行的各個地方。尤其，某些信號墊 18 係被配置在該陣列的周邊，而其它信號墊 19 則否。通常會做某種設計上的努力以配置該些墊，使得各種的信號墊係被電源墊及/或接地墊所圍繞、或至少是與電源墊及/或接地墊相鄰的。

許多習知的覆晶封裝是利用陶瓷基板做成的。陶瓷基板可以相對廉價地用大數量的層做成，並且盲貫孔可在陶瓷層中毫無困難地做成。在被做成配合習知的陶瓷基板來使用之習知的晶片中，墊的間距通常是在 150 微米(μm)至 250 μm 的範圍中，並且許多晶片典型是 225 μm 的格距。

基板中扇形展開的繞線(亦即，連接基板上對應的墊與封裝的外部端子之基板上的佈線)係以多個被圖案化以提供信號佈線以及電源及接地佈線的金屬層來加以實施。一對應於晶粒的墊佈局 10 之基板墊的配置係被展示在一大致於圖 2 中的 20 之平面圖中。信號墊 28 及 29、電源墊 24 以及接地墊 26 係以一互補陣列配置在基板表面 22 上，因而它們可以分別接收及連結到附接至該晶粒上對應的墊之信號、電源以及接地凸塊。在習知的配置中，某些與信號繞線相關連的墊 28 係位在該陣列的周邊，而其它墊 29 則否。

用於在該陣列的周邊的信號墊之逸散的繞線可能直接橫過在下方的晶粒邊緣 23 而為該基板的最上面的金屬層中之線路 30。該基板上之不在該陣列的周邊的墊係藉由短的線路以及貫孔而連接到該基板中較深的金屬層。信號墊 29 係藉由短的線路(信號短線段(stub)或凸出(jog))32 透過信號貫孔 34 連接至下方的數個金屬層之一金屬層中的信號線路。同樣地，電源墊 24 係藉由短的線路(電源短線段或凸出)36 透過電源貫孔 38 連接至下方的一金屬層中的電源線路，並且接地墊 26 係藉由短的線路(接地短線段或凸出)40 透過接地貫孔 42 連接至下方的一金屬層中的電源線路。

在一具有大約 1000 個外部端子的典型習知的封裝中，有至少 2 或 3 層的信號佈線以及至少 4 或 5 層的電源及接地佈線在基板中，此係導致有總數大約是 6 或 8 或是更多的層。一般而言，信號佈線層數目的增加需要電源及接地層之伴隨的增加，因為需要在封裝中維持一傳輸線的電氣環境，此進一步增加總層數。該對於額外層的需要亦產生較長的信號路徑以及許多層至層的貫孔，再加上不希望有的電性寄生現象及效能的劣化。

【發明內容】

對於一種容納信號墊以及電源墊及接地墊的晶粒墊佈局存在著需求，其為覆晶半導體晶粒所需且增加繞線密度及最小化必要的互連層數目。於是，在一實施例中，本發明是一種製造一半導體裝置之方法，其係包括以下的步

驟：提供一具有一晶粒墊佈局的半導體晶粒，其中信號墊主要位在該半導體晶粒的一周邊區域中，並且電源墊及接地墊主要位在該半導體晶粒的該些信號墊的一內側的區域中；在該些信號墊、電源墊以及接地墊之上形成複數個凸塊；提供一基板；以及在該基板之上形成複數個具有互連位置的導電線路。該些凸塊係比該些互連位置寬。該方法進一步包含以下步驟：將該些凸塊連結至該些互連位置使得該些凸塊覆蓋該些互連位置的一頂表面及多個側表面，以及在該半導體晶粒及基板之間的該些凸塊的周圍沉積一封裝材料。

在另一實施例中，本發明是一種製造一半導體裝置之方法，其係包括以下步驟：提供一半導體晶粒；提供一基板；在該基板之上形成複數個具有互連位置的導電線路，其係以一其中信號位置係位在靠近該基板的一周邊並且電源位置及接地位置係位在該些信號位置的內側之佈局來配置；以及在該半導體晶粒及基板之間形成一互連結構使得該些互連結構覆蓋該些互連位置的一頂表面及多個側表面。

在另一實施例中，本發明是一種製造一半導體裝置之方法，其係包括以下步驟：提供一半導體晶粒；提供一基板；在該基板之上形成複數個具有互連位置的導電線路，其係以一其中信號位置主要位在該基板的一周邊區域中並且電源位置及接地位置主要位在該基板的該些信號墊之一內側的區域中之佈局來配置；將該半導體晶粒連結至該些

互連位置；以及在該半導體晶粒及基板之間沉積一封裝材料。

在另一實施例中，本發明是一種半導體裝置，其係包括一具有一晶粒墊佈局的半導體晶粒，其中信號墊主要位在該半導體晶粒的一周邊區域中，並且電源墊及接地墊主要位在該半導體晶粒的該些信號墊的一內側的區域中。複數個具有互連位置的導電線路係被形成在一基板之上。該半導體晶粒係連結到該些互連位置。一封裝材料係沉積在該半導體晶粒及基板之間。

【實施方式】

本發明在以下參考圖式的說明中係以一或多個實施例加以描述，其中相同元件符號代表相同或類似元件。儘管本發明是依據達成本發明目的之最佳模式描述，但熟習此項技術者將瞭解本發明欲涵蓋如隨附申請專利範圍所界定之可內含於本發明之精神及範疇內的替代物、修改及等效物以及如以下揭示內容及圖式所支持之其等效物。

半導體裝置一般是使用兩個複雜的製程來製造：前端製造與後端製造。前端製造係牽涉到在半導體晶圓表面上形成多個晶粒。該晶圓上之各晶粒含有主動及被動電性構件，其係電連接以形成功能電路。諸如電晶體及二極體之主動電性構件係具有控制電流流動之能力。諸如電容器、電感器、電阻器及變壓器之被動電性構件係產生執行電路功能所必要的一種電壓及電流間之關係。

被動及主動構件藉由一系列製程步驟形成於半導體晶圓表面上，包括摻雜、沉積、微影、蝕刻及平坦化。摻雜係藉由諸如離子植入或熱擴散之技術將雜質引入半導體材料中。摻雜製程改變主動裝置中半導體材料之導電度，從而將該半導體材料轉變成絕緣體、導體，或是響應於電場或基極電流而動態地改變該半導體材料之導電度。電晶體含有摻雜類型及程度不同之區域，其視需要來加以配置以使該電晶體能夠在施加電場或基極電流時促進或限制電流流動。

主動及被動構件係由具有不同電特性之材料層形成。該等層可藉由多種沉積技術形成，該些沉積技術部分是由所沉積之材料類型決定的。舉例而言，薄膜沉積可包括化學氣相沉積(CVD)、物理氣相沉積(PVD)、電解的電鍍及無電的電鍍製程。每個層一般是經圖案化以形成主動構件、被動構件或各構件間電連接的部分。

該些層可使用微影進行圖案化，其牽涉到使光敏材料(例如光阻)沉積於待圖案化的層之上。使用光以將圖案自光罩轉印於光阻上。使用一溶劑移除光阻圖案曝光之部分，露出待圖案化之下層部分。移除該光阻之其餘部分，留下一經圖案化的層。或者，某些類型的材料係使用諸如無電的電鍍及電解的電鍍之技術藉由使材料直接沉積於由先前沉積/蝕刻製程所形成的區域或空隙中而加以圖案化。

在現有圖案之上沉積一材料薄膜可能會放大下面的圖案且產生非均勻平坦的表面。生產較小且較密集封裝之主

動及被動構件需要均勻平坦的表面。可使用平坦化以自晶圓表面移除材料且產生均勻平坦的表面。平坦化係牽涉到用拋光墊拋光晶圓的表面。在拋光期間將研磨材料及腐蝕性化學品添加至晶圓的表面。研磨劑的機械作用與化學品的腐蝕作用組合可移除任何不規則的表面構形，從而產生均勻平坦的表面。

後端製造係指將晶圓成品切割或單切成個別晶粒且接著封裝該晶粒以提供結構的支撐及環境的隔離。為了單切晶粒，沿著晶圓非功能區(稱為切割道或劃線)將晶圓劃痕並切斷。使用雷射切割工具或鋸條單切晶圓。在單切之後，將個別晶粒安裝於一封裝基板上，該封裝基板包括接腳或接觸墊以供與其他系統構件互連。接著使半導體晶粒上所形成之接觸墊連接至封裝內之接觸墊。該電連接可由焊料凸塊、柱形凸塊、導電膏或焊線(wirebond)形成。使一封裝材料或其它模製材料沉積於封裝之上以提供物理支撐及電隔離。接著將成品封裝插入一電系統中，且使半導體裝置之功能可供其他系統構件利用。

圖 3 係描繪具有多個安裝於其表面上之半導體封裝的晶片載體基板或印刷電路板(PCB)52 之電子裝置 50。視應用而定，電子裝置 50 可具有一種類型之半導體封裝或多種類型之半導體封裝。不同類型之半導體封裝係為了說明之目的而展示於圖 3 中。

電子裝置 50 可以是一使用該些半導體封裝以執行一或多種電功能之獨立的系統。或者，電子裝置 50 可以是一較

大系統之子構件。舉例而言，電子裝置 50 可以是行動電話、個人數位助理 (PDA)、數位視訊攝影機 (DVC)、或是其它電子通訊裝置的一部份。或者是，電子裝置 50 可以是一可插入電腦中之顯示卡、網路介面卡或其他信號處理卡。該半導體封裝可包括微處理器、記憶體、特殊應用積體電路 (ASIC)、邏輯電路、類比電路、RF 電路、離散裝置或其他半導體晶粒或電性構件。小型化及重量減輕是這些產品能夠被市場接受所不可少的。在半導體裝置間的距離必須縮短以達到更高的密度。

在圖 3 中，PCB 52 係提供一般的基板以供安裝在該 PCB 上之半導體封裝的結構支撐及電氣互連。導電的信號線路 54 係利用蒸鍍、電解的電鍍、無電的電鍍、網版印刷、或其它適合的金屬沉積製程而被形成在 PCB 52 的一表面之上或是在層內。信號線路 54 提供在半導體封裝、安裝的構件、以及其它外部的系統構件的每一個之間的電通訊。線路 54 亦提供電源及接地連接給每個半導體封裝。

在某些實施例中，一半導體裝置具有兩個封裝層級。第一層級的封裝是一種用於將半導體晶粒機械及電氣地附接至一中間載體的技術。第二層級的封裝係牽涉到將該中間載體機械及電氣地附接至 PCB。在其它實施例中，一半導體裝置可以只有該第一層級的封裝，其中晶粒是直接機械及電氣地安裝到 PCB 上。

為了說明之目的，包含打線接合封裝 56 及覆晶 58 之數種類型的第二層級的封裝係被展示在 PCB 52 上。此外，

包含球狀柵格陣列(BGA)60、凸塊晶片載體(BCC)62、雙排型封裝(DIP)64、平台柵格陣列(LGA)66、多晶片模組(MCM)68、四邊扁平無引腳封裝(QFN)70及四邊扁平封裝72之數種類型的第二層級的封裝係被展示安裝在PCB 52上。視系統需求而定，以第一及第二層級的封裝類型的任意組合來組態的半導體封裝的任何組合及其它電子構件可連接至PCB 52。在某些實施例中，電子裝置50包含單一附接的半導體封裝，而其它實施例需要多個互連的封裝。藉由在單一基板之上組合一或多個半導體封裝，製造商可將預製的構件納入電子裝置及系統中。由於半導體封裝包括複雜的功能，因此可使用較便宜構件及流線化製程來製造電子裝置。所產生的裝置不太可能發生故障且製造費用較低，從而降低消費者成本。

圖4a-4c係展示範例的半導體封裝。圖4a係描繪安裝在PCB 52上的DIP 64之進一步的細節。半導體晶粒74係包括一含有類比或數位電路的主動區域，該些類比或數位電路係被實施為形成在晶粒內之主動裝置、被動裝置、導電層及介電層並且根據該晶粒的電設計而電互連。例如，該電路可包含形成在半導體晶粒74的主動區域內之一或多個電晶體、二極體、電感器、電容器、電阻器、以及其它電路元件。接觸墊76是一或多層的導電材料，例如鋁(Al)、銅(Cu)、錫(Sn)、鎳(Ni)、金(Au)或銀(Ag)，並且電連接至形成在半導體晶粒74內之電路元件。在DIP 64的組裝期間，半導體晶粒74係利用一金矽共晶層或例如是熱環氧樹

脂的黏著劑材料而被安裝至一中間載體 78。封裝主體係包含一種例如是聚合物或陶瓷的絕緣封裝材料。導線 80 及焊線 82 係在半導體晶粒 74 及 PCB 52 之間提供電互連。封裝材料 84 係為了環境保護而沉積在該封裝之上以防止濕氣及微粒進入該封裝且污染晶粒 74 或焊線 82。

圖 4b 係描繪安裝在 PCB 52 上之 BCC 62 的進一步細節。半導體晶粒 88 係利用一種底膠填充(underfill)或是環氧樹脂黏著材料 92 而被安裝在載體 90 之上。焊線 94 係在接觸墊 96 及 98 之間提供第一層級的封裝互連。模製化合物或封裝材料 100 係沉積在半導體晶粒 88 及焊線 94 之上以提供物理支撐及電氣隔離給該裝置。接觸墊 102 係利用一例如是電解的電鍍或無電的電鍍之合適的金屬沉積製程而被形成在 PCB 52 的一表面之上以避免氧化。接觸墊 102 係電連接至 PCB 52 中的一或多個導電信號線路 54。凸塊 104 係形成在 BCC 62 的接觸墊 98 以及 PCB 52 的接觸墊 102 之間。

在圖 4c 中，半導體晶粒 58 係以覆晶型第一層級的封裝方式面向下安裝到中間載體 106。半導體晶粒 58 的主動區域 108 係包含類比或數位電路，該些類比或數位電路係被實施為根據該晶粒的電設計所形成的主動裝置、被動裝置、導電層及介電層。例如，該電路可包含一或多個電晶體、二極體、電感器、電容器、電阻器以及主動區域 108 內之其它電路元件。半導體晶粒 58 係透過凸塊 110 電氣及機械地連接至載體 106。

BGA 60 係以 BGA 型第二層級的封裝方式利用凸塊 112 電氣及機械地連接至 PCB 52。半導體晶粒 58 係透過凸塊 110、信號線 114 及凸塊 112 電連接至 PCB 52 中的導電信號線路 54。一種模製化合物或封裝材料 116 係沉積在半導體晶粒 58 及載體 106 之上以提供物理支撐及電氣隔離給該裝置。該覆晶半導體裝置係提供從半導體晶粒 58 上的主動裝置到 PCB 52 上的導電跡線之短的導電路徑，以便縮短信號傳播距離、降低電容以及改善整體電路效能。在另一實施例中，半導體晶粒 58 可在無中間載體 106 的情況下，利用覆晶型第一層級的封裝直接機械及電連接至 PCB 52。

在一覆晶互連墊佈局中，所有或是基本上所有的信號墊都是位在半導體晶粒及對應的封裝基板的邊緣部份中。該些晶粒的信號墊係被配置在接近半導體晶粒的周邊之晶粒表面上，並且該些晶粒的電源及接地墊係被配置在晶粒表面上信號墊的內側。在對應的封裝基板上之信號墊係以一種與該晶粒墊佈局互補的方式被配置。信號線係從晶粒邊緣下方的信號墊被繞線(routed)離開晶粒覆蓋區，並且電源及接地線係被繞線至該晶粒覆蓋區下方的貫孔。

該些墊佈局係在晶片邊緣處提供高的信號線路逸散的繞線密度。該封裝基板具有較少的金屬層，因而利用該墊佈局建構的封裝可用更低的成本製成。因為金屬層較少，且因為貫孔的數目減少或是完全從信號傳送路徑消除，電性寄生現象係被降低並且該封裝可具有改良的效能。

一用於覆晶互連的晶粒墊佈局可以使得信號墊主要位

在接近半導體晶粒的周邊，並且接地及電源墊主要位在該些信號墊的內側。該些信號墊可用一大致平行於該晶粒邊緣的列被配置。或者是，該些信號墊係以一個陣列的兩個或是多個平行於該晶粒邊緣的列被配置。在某些實施例中，在相鄰列中的墊是交錯的。半導體晶粒上設置該列或陣列的信號墊的區域係被稱為該晶粒的一周邊區域。

在其它實施例中，該些接地及電源墊係以一接近該半導體晶粒的中心之矩形陣列被配置。或者是，該半導體晶粒的一中央區域沒有墊。該些電源及接地墊亦可用一平行於該晶粒邊緣且靠近該些信號墊的列被配置、或可用一陣列的兩個或是多個平行於該晶粒邊緣且靠近該些信號墊的列被配置。半導體晶粒上設置該列或陣列的電源及接地墊的區域係被稱為該晶粒的一內側的區域。

圖 5 係展示晶粒墊佈局 120 的一實施例。信號墊 122 係以平行於晶粒邊緣 126 的列被配置在晶粒表面 124 上靠近該半導體晶粒的周邊處。信號墊 122 具有比圖 1 的習知混合的墊陣列中之墊更細的間距。電源墊 128 及接地墊 130 係以一陣列被配置在晶粒表面 124 的一內側的區域上。晶粒表面 124 的一中央區域 132 不包含任何墊(包括電源墊 128 及接地墊 130 在內)。

一對應於圖 5 的晶粒墊佈局 120 之基板墊的配置係被展示在一大致於圖 6 中的 134 之平面圖中。信號墊 136、電源墊 138 及接地墊 140 係以一互補陣列被配置在基板表面 142 上，因而其可接收且分別連結至該些附接到該半導體晶

粒上之對應墊的信號、電源及接地凸塊。在此配置中，所有與信號繞線相關連的墊 136 係位在該陣列的周邊，並且用於該陣列的周邊上的信號墊之逸散的繞線可直接橫過在下方的晶粒邊緣 144 以作為在該基板之最上面的金屬層中的線路 146。在該基板上未在該陣列的周邊之信號墊 136 及電源墊 138 係藉由短的線路及貫孔連接至該基板中較深的金屬層。電源墊 138 係藉由短的線路(電源短線段或凸出)148 透過電源貫孔 150 連接至下方的一金屬層中的電源線路，並且接地墊 140 係藉由短的線路(接地短線段或凸出)152 透過接地貫孔 154 連接至下方的一金屬層中的電源線路。

在圖 5 及 6 中，所有的信號線都從信號墊 136 繞線穿離晶粒覆蓋區，並且所有的電源及接地線都繞線至晶粒覆蓋區下方的貫孔。於是，信號路徑中不需要短線段或貫孔，因而避免了信號傳送中的寄生現象。在可利用的線路形成技術所容許下，信號線路可以盡可能靠近地繞線，儘管若信號線路做的太靠近，信號干擾可能發生在相鄰的線中。在可利用的線路形成及凸塊連結技術所容許下，信號墊 136 可被做成盡可能的靠近。

圖 7 係展示覆晶封裝 156 的一部份，該覆晶封裝 156 具有一安裝在基板 158 的一表面的一晶粒附接區域上之半導體晶粒 157。包含信號墊 159、電源墊 160 及接地墊 161 的晶粒墊係被形成在半導體晶粒 157 的主動側 155 上或是在主動側 155 中。導電球或凸塊係附接到該些晶粒墊，並

且至基板 158 的覆晶互連是藉由將該些球或凸塊連結到該基板之上方的金屬層 162 中對應的經圖案化的線路的互連位置上而達成。信號凸塊 163 係附接到信號墊 159 且連結到信號線路 164 上之互連位置。電源凸塊 165 係附接到電源墊 160 且連結到電源線路 166 上之互連位置，並且接地凸塊 167 係附接到接地墊 161 且連結到接地線路 168 上之互連位置。

基板 158 可以是一增層(build-up)型基板，其具有一或多層較薄之交替的介電層及金屬層黏貼到一較厚之中間的兩層的基板(稱為核心)的上表面及下表面的每個表面上。增層式基板 158 在頂端與底端上通常有相同數目的單一金屬層。因此，一種 1-2-1 增層式基板係具有一較薄的單一金屬層和一介電層一起黏貼到該核心的頂端與底端上，此總共有四個金屬層。一種 2-2-2 增層式基板係具有兩個較薄的單一金屬層和介電層一起黏貼到該核心的頂端與底端上，此總共有六個金屬層。一種 3-2-3 增層式基板係具有三個較薄的單一金屬層基板和介電層一起黏貼到該核心的頂端與底端上，此總共有八個金屬層。每一組額外的增層式的層會顯著地升高增層式基板的成本，因此需要較少層的電路佈局是所期望的。

該增層式製程可能需要藉由一種旋轉塗佈製程，以一層的方式施加一種介電材料在該核心的表面上、或是在一先前建立的增層式的層的表面上，接著金屬化該介電質的表面並且藉由一光罩及蝕刻製程來圖案化該金屬化。

基板 158 係包含作為核心的一印刷電路板，該印刷電路板在一介電質的頂表面及底表面上具有經圖案化的金屬層，亦即為一種兩金屬層的基板。該介電質在印刷電路板中的厚度通常是約 $500\mu\text{m}$ 。實務上，在該核心上之金屬層中的特徵間距具有在大約 $100\mu\text{m}$ 的範圍中之下限，並且貫孔抓取 (capture) 墊直徑具有在大約 $300\mu\text{m}$ 的範圍中之下限。相對地，在該較薄的單一增層式的層中之介電質的厚度通常是約 $50\mu\text{m}$ 。在增層式的層上之金屬層通常是比在該較厚的核心上之金屬層薄。在增層式的層內之金屬層中的特徵間距具有在大約 $50\mu\text{m}$ 的範圍中之下限，並且貫孔抓取墊直徑具有在大約 $120\mu\text{m}$ 的範圍中之下限。

在圖 7 的實施例中之基板 158 是一個增層式 1-2-1 類型的四金屬層基板。換言之，基板 158 係包含形成在中間較厚的兩金屬層基板 172 上之上方及下方薄的單一金屬層基板 170 及 171。該兩金屬層基板 172 具有經圖案化的上方及下方的金屬層 173 及 174。該單一金屬層基板 170 及 171 具有經圖案化的金屬層 162 及 176。每個經圖案化的金屬層 162、173、174 及 176 都具有用於信號、電源及接地電路的線路。例如，金屬層 173 係包含專用於接地電路的線路 177 以及專用於電源電路的線路 178，並且金屬層 174 係包含電源線路 179 及接地線路 180。

下方的金屬層 176 係被圖案化以提供用於該封裝安裝在一例如是裝置的主機板的印刷電路板上的第二層級焊料凸塊互連的連結位置。尤其，接地凸塊 181、信號凸塊 182

及電源凸塊 183 係附接到排列在封裝基板 158 的底面邊緣上的接地凸塊位置 184、信號凸塊位置 185 及電源凸塊位置 186。核心接地凸塊 187 及核心電源凸塊 188 係附接到排列在封裝基板 158 的底面上之晶粒下方的核心接地凸塊位置 189 及核心電源凸塊位置 190。

上方的接地線路 168 及電源線路 166 係包含用於接地及電源凸塊 167、165 的覆晶安裝之位置，並且藉由在晶粒覆蓋區下方的貫孔 191 及 192 連接至金屬層 173 中的線路 177 及 178。線路 177 及 178 係藉由貫孔 198 及 193 連接至金屬層 174 中的線路 180 及 194。於是，線路 180 及 194 係藉由貫孔而連接至第二層級互連位置 189 及 190(核心接地及核心電源)與 184 及 186(接地及電源)。

晶粒信號墊 159 係被配置在靠近半導體晶粒的周邊處，並且在基板 158 上之對應的信號線路導線 164 係繞線在晶粒邊緣 195 的下方而離開晶粒覆蓋區。信號線路 164 係直接繞線到基板 158 大致覆蓋該些第二層級信號凸塊位置 185 的區域，因而上方的金屬層 162 中的信號線路至凸塊位置 185 的連接可被縮短並且主要是藉由貫孔 196 及 197 達成的，而在下方的金屬層 173、174 及 176 內具有最小的信號電路。該些第二層級信號凸塊以及該些向下延伸的貫孔可位在接地及電源凸塊及貫孔之間並且靠近接地及電源凸塊及貫孔。

一般而言，封裝基板中的接地線與信號線隔開的距離較佳是具有至少相當於和相鄰信號線間的距離相同的數量

級，因而由信號產生的電場線走到接地而不是干擾到其它信號。因此，該第二金屬層 173 較佳是主要運作為一接地面，並且在上方的金屬層中的介電質厚度約等於或小於在上方的層上之相鄰信號線間的最小間隔。於是，用於封裝 156 的扇形展開的接地電路大部份是形成在該第二金屬層 173 中，該第二金屬層 173 係僅藉由該薄的上方層的介電質以和該上方的金屬層 162 隔開。在該上方及下方的單一金屬層基板中的介電質厚度可以是約 $50\mu\text{m}$ ，因此在相鄰的信號線間之標稱距離是約 $50\mu\text{m}$ 或更大的情況中，接地線及信號線之所期望的間隔係可獲得，而提供一穩定的微帶 (microstrip) 控制的阻抗傳輸線環境給信號。

如下所論述，有一些情況是小數目之選定的信號墊係位在晶粒的一內側的區域中(換言之，在晶粒的核心電路區域內)之接地及電源墊間。在設計需要時、或是晶粒電路使其為更佳的情況中，一位在半導體晶粒的核心電路區域內之接地或電源墊間的信號墊可具有一在基板上且在該晶粒的核心電路區域的覆蓋區內之對應的墊，並且可在一貫孔中直接進一步向下穿過該基板核心而繞線到一底層。

其它增層式基板亦可被利用，儘管如上指出的，隨著額外的層增加，成本會升高，因而具有較少層的基板可能是較佳的。在一種 2-2-2 基板被使用的情形中，頂端及底端增層式的層可幾乎是如同以上針對 1-2-1 基板所描述地被圖案化。在中間的基板上之金屬層可主要被利用於電源繞線，並且在該中間的基板之上及之下的增層式的層上之金

屬層可主要被利用作為接地面。在增層式基板採用較多數量的層之情形中，在基板層上之佈局可被配置成使得信號貫孔在可行的範圍內被接地貫孔及電源貫孔所圍繞，以降低信號因電性寄生現象的劣化。

一種四層的增層型 0-4-0 積層 (laminated) 基板可在無增層式的層之情形下被利用，此係提供符合核心基板之粗略設計規則的特徵間距及貫孔抓取墊設計。避免對於增層的需要可在積層製備中提供顯著的成本降低。

其它的晶粒墊佈局可被做成為晶粒信號墊是配置在靠近晶粒的周邊處，並且晶粒電源及接地墊是配置在該些信號墊的內側上。在其它佈局配置中，信號墊係以一種與晶粒墊佈局互補的方式被配置、或是以信號線從信號墊在晶粒邊緣下方繞線離開晶粒覆蓋區並且電源及接地線繞線到晶粒覆蓋區下方的貫孔的方式被配置。圖 8a-8b、9a-9b、10a-10b 以及 11a-11b 係展示墊佈局及對應的基板之四個說明的例子。

在圖 8a 的晶粒墊佈局 200 中，信號墊 202 係以一陣列的兩個平行於晶粒邊緣 206 之交錯的列被配置在晶粒表面 204 上靠近半導體晶粒的周邊處。信號墊 202 係被展示具有大約和例如圖 5 的單一系列的實施例中之墊相同的間距，並且因此可在半導體晶粒的周邊上容納更多數目的信號墊。或者是，和單一系列的實施例中之墊相同數目的墊可容納在兩列中並且交錯，因而墊間距及墊直徑以及對應的互連凸塊或球可以是較大的，此降低了製造成本。類似於圖 5，電

源墊 208 及接地墊 210 係以一陣列被配置在晶粒表面的一內側的區域上，該陣列具有一沒有墊的中央區域。應注意到的是，在一典型的晶粒中可存在比圖式中展示者多更多的晶粒墊，其中某些晶粒具有數百個墊。例如，半導體晶粒可具有總共 500 個墊，包含 150 個電源及接地墊以及 350 個信號墊。

一對應於圖 8a 的晶粒墊佈局 200 之基板墊的配置係被展示在一大致於圖 8b 的 212 處之平面圖中。信號墊 214、電源墊 216 以及接地墊 218 係以一互補於圖 8a 的晶粒墊佈局之陣列被配置在基板表面 220 上，因而其可接收並且分別連結至該些附接到半導體晶粒 204 上對應的墊之信號、電源及接地凸塊。在此配置中，所有與信號繞線相關連的墊 214 係以一陣列的兩個交錯的列被配置在該陣列的周邊處，並且用於該陣列的周邊上之信號墊的逸散的繞線可直接橫過在下方的晶粒邊緣 222 而成為該基板之最上面的金屬層中的線路 224。儘管信號墊 214 具有大約和圖 6 中的墊相同的間距，但信號線路 224 具有的間距大約是信號線路 146 間距的一半。換言之，對於一特定的墊間距而言，逸散密度可加倍。在基板 220 上未在該陣列的周邊之信號墊 214 及電源墊 216 係藉由短的線路及貫孔連接至該基板中較深的金屬層。在圖 8b 中，電源墊 216 係藉由電源短線段或凸出 226 透過電源貫孔 228 連接至在下方的一金屬層中之電源線路。接地墊 218 係藉由接地短線段或凸出 230 透過接地貫孔 232 連接至在下方的一金屬層中之電源線路。

圖 9a 係展示晶粒墊佈局 234，其中信號墊 236 係以一平行於晶粒邊緣 240 的列配置在晶粒表面 238 上靠近該晶粒的周邊處。信號墊 236 係被展示具有和圖 5 中的墊大約相同的間距。電源墊 242 及接地墊 244 亦以一平行於晶粒邊緣 240 且在該列的信號墊 236 內側的列配置。在該列中，電源墊 242 可以和接地墊 244 為交替的。所有的墊可藉由交錯安排內側列中的墊與外側列中的信號墊而更緊密地形成。

通常，晶粒的主動層中的輸入/輸出電路係沿著該晶粒周邊且靠近一或多個邊緣被配置。將所有的墊限制到靠近半導體晶粒的周邊的列而形成一墊環，此係容許藉由減少在晶粒上的繞線量而在晶粒成本上有所降低，並且晶片設計工具可被利用在建構該晶粒上。

一對應於圖 9a 的晶粒墊佈局 234 的基板墊的配置係被展示在一大致於圖 9b 的 250 處之平面圖中。信號墊 252、電源墊 254 及接地墊 256 係以一互補於圖 9a 的晶粒墊佈局 234 的陣列被配置在基板表面 258 上，因而其可接收並且分別連結至該些附接到半導體晶粒 238 上對應的墊之信號、電源及接地凸塊。在此配置中，所有與信號繞線相關連的墊 252 係以一系列被配置在該陣列的周邊處，並且用於該陣列的周邊上的信號墊之逸散的繞線可直接橫過在下方的晶粒邊緣 260 以作為該基板之最上面的金屬層中的線路 262。在基板 258 上該些信號墊的內側且靠近該陣列的周邊處之接地墊 256 及電源墊 254 係藉由短的線路及貫孔而連接至

該基板中較深的金屬層。在圖 9b 中，電源墊 254 係藉由電源短線段或凸出 264 透過電源貫孔 266 連接到在下方的一金屬層中之電源線路。接地墊 256 係藉由接地短線段或凸出 268 透過接地貫孔 269 連接到在下方的一金屬層中之電源線路。

在圖 9a 與 9b 中，小數目的接地墊及/或小數目的電源墊可以位在該外側列中，較靠近晶粒邊緣處。在該基板中，接地墊及/或電源墊可用一對應的方式被配置。配置係可以具有最多 10%、較通常是小於約 5%、更通常是 0% 或小於約 2% 的接地及電源墊在外側列中，但是將電源或接地墊設置在外側列中會導致在信號墊逸散密度上的降低。該信號墊逸散密度可藉由最小化電源或接地墊在墊的外圍中的數目來最大化。在某些實施例中，在外側列中並沒有電源墊或接地墊。類似地，小數目的信號墊可設置在該晶粒的外圍內側的電源及接地墊之間，並且在該基板中，該些信號墊可用一對應的方式被配置。然而，此種配置可能需要利用到一下方的基板層，需要使用貫孔且增加了信號路徑長度。

如上所指出的，信號墊逸散密度係在接地及/或電源墊在外側列中的數目最小化時為最大化，於是該逸散密度可在沒有接地墊或電源墊在外側列中為最大值。然而，為了信號的電磁屏蔽，一用於射頻(RF)信號的信號墊可能在一側有一相鄰的接地墊、或是可在兩側旁邊有一信號墊以及一接地墊。信號墊逸散密度可被折衷到一有限的範圍，並且

在一靠近晶粒的外圍之信號墊的兩側或三側上配置電源及/或接地墊可提供有用的折衷方案。

在圖 10a 的晶粒墊佈局 270 中，信號墊 271 係以一平行於晶粒邊緣 273 的列配置在晶粒表面 272 上靠近該晶粒的周邊處。信號墊 271 係被展示具有和圖 5 中的墊大約相同的間距。電源墊 274 及接地墊 275 係以一平行於晶粒邊緣 273 且在該列的信號墊 271 內側的列被配置。電源墊 274 及接地墊 275 已經減少。換言之，約具有如同在圖 9a 中所示的電源及接地墊的一半。電源墊 274 在該列中係與接地墊 275 交替。所有的墊可藉由交錯安排內側列中的墊與外側列中的信號墊而更緊密地形成。

如在圖 10b 中所繪，減少電源及接地墊係容許一佈局能夠在半導體晶粒的覆蓋區下具有更大的接地貫孔及電源貫孔，其係在大致於 276 處之平面圖中展示一對應於圖 10a 的晶粒墊佈局 270 之基板墊的配置。信號墊 278、電源墊 279 及接地墊 280 係以一互補於圖 10a 的晶粒墊佈局的陣列被配置在基板表面 281 上，因而其可接收並且分別連結至該些附接到半導體晶粒 272 上對應的墊之信號、電源及接地凸塊。在此配置中，所有與信號繞線相關連的墊 278 係以一系列被配置在該陣列的周邊處，並且用於該陣列的周邊上的信號墊之逸散的繞線可直接橫過在下方的晶粒邊緣 282 以作為基板 281 最上面的金屬層中的線路 283。在基板 281 上信號墊內側且靠近該陣列的周邊的接地墊 280 及電源墊 279 係藉由短的線路及貫孔連接至該基板中較深的金屬

層。電源墊 279 係藉由電源短線段或凸出 284 透過電源貫孔 285 連接到在下方的一金屬層中之電源線路。接地墊 280 係藉由接地短線段或凸出 286 透過接地貫孔 287 連接到在下方的一金屬層中之電源線路。

接地及電源貫孔的直徑一般是做成大約是線間距的 2 到 3 倍。對於較大的電源及接地貫孔尺寸而言，交替的短線段可具有不同的長度，因而如同在圖 10b 中所示，該電源及接地貫孔係以一交錯的陣列被配置。對於大約 $100\mu\text{m}$ 的信號線逸散間距而言，在該接地貫孔及電源貫孔間之有效的貫孔間距可以是約 $220\mu\text{m}$ ，並且該貫孔直徑可以是大到約 $250\mu\text{m}$ 。具有較大貫孔的基板可以較不昂貴地製造，並且此種配置可在成品封裝的成本上提供顯著的降低。

在圖 11a 的晶粒墊佈局 288 中，信號墊 289 係以一大致正交的陣列的兩個平行於晶粒邊緣 291 的列被配置在晶粒表面 290 上靠近該半導體晶粒的周邊處。每個列中的信號墊 289 係被展示具有大約和圖 8a 的外側列中之墊相同的間距，並且該內側及外側列係被隔成比圖 5 中的單一系列內的相鄰墊稍微開一些。換言之，在圖 11a 的正交的周邊陣列中有和圖 8a 之交錯的周邊陣列相同數目的信號墊 289。在圖 11a 中，該正交的周邊信號間距陣列所占的面積稍大於圖 8a 之交錯的周邊信號間距陣列所占的面積；然而，該正交的陣列中最相近的墊間的間距係小於該交錯的陣列中最相近的墊間的間距，因而互連的幾何(亦即墊間距及墊直徑)以及對應的互連凸塊或球可更大降低製造成本。電源墊 292 及

接地墊 293 係類似於圖 5 及 8a 以一陣列被配置在該晶粒表面之一內側的區域上，該陣列具有一沒有墊的中央區域。

一對應於晶粒墊佈局 288 之基板墊的配置係被展示在一大致於圖 11b 中的 294 處之平面圖中。信號墊 295、電源墊 296 及接地墊 297 係以一互補於圖 11a 的晶粒墊佈局 288 的陣列被配置在基板表面 298 上，因而其可接收並且分別連結至該些附接到半導體晶粒 290 上對應的墊之信號、電源及接地凸塊。在此配置中，所有與信號繞線相關連的墊 295 係以一正交的陣列的兩個列被配置在該陣列的周邊處，並且用於該陣列的周邊上的信號墊之逸散的繞線可直接橫過在下方的晶粒邊緣 300 以作為該基板最上面的金屬層中的線路 302。在基板 298 上未在該陣列的周邊之信號墊 295 及電源墊 296 係藉由短的線路及貫孔連接至該基板中較深的金屬層。電源墊 296 係藉由電源短線段或凸出 304 透過電源貫孔 306 連接至在下方的一金屬層中之電源線路。接地墊 297 係藉由接地短線段或凸出 310 透過接地貫孔 312 連接至在下方的一金屬層中之電源線路。

在圖 8b、9b、10b 及 11b 的實施例中的信號線係從信號墊繞線穿離晶粒覆蓋區，並且所有的電源及接地線係繞線到晶粒覆蓋區下方的貫孔。信號線路可全部繞線在該基板上之單一上方的金屬層中。於是，在信號路徑中不需要短線段或貫孔，因而避免信號傳送中的寄生現象。在可利用的線路形成的技術容許下，該些信號線路可做成盡可能的靠近。在可利用的線路形成及凸塊連結的技術容許下，

該些信號墊可做成盡可能的靠近。

先前的例子係描繪其中沒有接地互連或電源互連是位在最靠近晶粒及基板上之晶粒覆蓋區的周邊的信號互連之間的實施例。沒有信號互連是位在該核心陣列相當內側而大約在晶粒及晶粒覆蓋區的中間之電源及接地互連之間。在某些情況中，一或一些信號互連可被設置在該核心陣列之內，通常是與接地互連相鄰的，於是用以將基板中的一或一些信號線繞線到在晶粒覆蓋區下方的貫孔，以和該基板中之下方的金屬層連接、或是將該基板上方的金屬層中的此種信號線從該晶粒覆蓋區的相當內側而在晶粒邊緣之下向外繞線。在某些情況中，在信號互連間的一或一些電源互連、或較通常是較外圍的一或一些接地互連可被設置在靠近該晶粒的周邊，因而靠近該基板上之晶粒覆蓋區的周邊。某些電路設計係將一時脈信號互連設置成較靠近一接地互連。

所有或實質所有的晶粒信號墊係以一系列或是以一陣列被配置在靠近晶粒周邊處。所有或實質所有的晶粒電源及接地墊係設置在實質所有的晶粒信號墊的內側。尤其，分開靠近周邊的信號墊與核心中的接地及電源墊的優點可能會隨著未分開的墊數目或比例增加而顯著地劣化。未在一周邊列或一周邊陣列中的信號墊比例通常是小於所有信號墊的約 10%，較通常是小於所有信號墊的約 5%，並且更通常是所有信號墊的 0%或是在 0%至約 2%的範圍中。未在信號墊的周邊列或周邊陣列內側的接地或電源墊比例通常是

小於所有電源及接地墊的約 10%，較通常是小於所有電源及接地墊的大約 5%，並且更通常是所有信號墊的 0%或是在 0%至約 2%的範圍中。

信號墊係以一系列或是以一陣列沿著晶粒的整個周邊，亦即，沿著矩形晶粒所有四個邊緣被配置。在某些實施例中，信號墊係沿著比所有的晶粒邊緣少的邊緣被配置，並且特別可在其中信號墊是以一周邊列或是一周邊陣列沿著四個晶粒邊緣的任兩個或多個邊緣被配置的實施例中實現優點。

覆晶封裝可利用具有較少層的基板做成，並且在各種的層上之電路可有效地根據功能來配置，此係降低基板成本且改進效能。

圖 12-17 係描述其它具有各種互連結構的實施例，該些互連結構可和如圖 5-11 中所述的包含信號墊、電源墊及接地墊的晶粒墊佈局結合而被利用。更明確地說，半導體晶粒的接觸墊以及對應的互連導電線路可對應於晶粒墊佈局中的信號墊、電源墊或接地墊。圖 12a 係展示一具有一種例如是矽、鍺、砷化鎵、磷化銦或碳化矽的主體基板材料 322 以供結構支撐的半導體晶圓 320。複數個半導體晶粒或構件 324 係形成在晶圓 320 上且藉由如上所述的切割道 326 分開。

圖 12b 係展示半導體晶圓 320 的一部份的橫截面圖。每個半導體晶粒 324 具有一背表面 328 以及包含類比或數位電路的主動表面 330，該類比或數位電路被實施為形成在

該晶粒內且根據該晶粒的電設計及功能電互連的主動裝置、被動裝置、導電層以及介電層。例如，該電路可包含一或多個電晶體、二極體以及其它形成在主動表面 330 內之電路元件以實施類比電路或數位電路，例如數位信號處理器(DSP)、ASIC、記憶體或是其它信號處理電路。半導體晶粒 324 亦可包含整合被動裝置(IPD)，例如電感器、電容器及電阻器，以供 RF 信號處理使用。在一實施例中，半導體晶粒 324 是一覆晶類型的半導體晶粒。

一導電層 332 係利用 PVD、CVD、電解的電鍍、無電的電鍍製程、或是其它合適的金屬沉積製程而形成在主動表面 330 之上。導電層 332 可以是 Al、Cu、Sn、Ni、Au、Ag、或是其它合適的導電材料的一或多層。導電層 332 係運作為電連接至主動表面 330 上的電路之接觸墊。

圖 12c 係展示具有一形成在接觸墊 332 之上的互連結構的半導體晶圓 320 的一部份。一導電凸塊材料 334 係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落(ball drop)、或是網版印刷製程而沉積在接觸墊 332 之上。凸塊材料 334 可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、及其組合，其具有一選配的助熔(flux)溶劑。例如，凸塊材料 334 可以是共晶 Sn/Pb、高鉛的焊料或是無鉛的焊料。凸塊材料 334 是大致順應的(compliant)並且在相當於約 200 克的垂直荷重的力下進行大於約 25 μ m 的塑性變形。凸塊材料 334 係利用一合適的附著或連結製程連結到接觸墊 332。例如，凸塊材料 334 可以壓縮連結到接觸墊 332。凸塊材料 334 亦可

藉由加熱該材料超過其熔點來進行回焊以形成球或凸塊 336，即如同在圖 12d 中所示者。在某些應用中，凸塊 336 係進行二次回焊以改善至接觸墊 332 的電連接。凸塊 336 係代表一種可形成在接觸墊 332 之上的互連結構類型。該互連結構亦可以使用柱形凸塊、微凸塊或是其它電互連。

圖 12e 係展示互連結構的另一實施例，其係以複合的凸塊 338 形成在接觸墊 332 之上，該凸塊 338 包含一不可熔或不可分解的部份 340 以及可熔或可分解的部份 342。該可熔或可分解的特質以及不可熔或不可分解的特質係針對凸塊 338 關於回焊條件所界定的。該不可熔的部份 340 可以是 Au、Cu、Ni、高鉛的焊料、或是鉛錫合金。該可熔的部份 342 可以是 Sn、無鉛的合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-銻(In)合金、共晶焊料、錫和 Ag、Cu 或 Pb 的合金、或是其它相對低溫熔化的焊料。在一實施例中，給定一接觸墊 332 100 μ m 的寬度或直徑，該不可熔的部份 340 高度大約是 45 μ m 並且可熔的部份 342 高度大約是 35 μ m。

圖 12f 係展示互連結構的另一實施例，其係形成在接觸墊 332 之上而成為導電柱 346 之上的凸塊 344。凸塊 344 是可熔或可分解的，並且導電柱 346 是不可熔或不可分解的。該可熔或可分解的特質以及不可熔或不可分解的特質係相關於回焊條件加以界定。凸塊 344 可以是 Sn、無鉛的合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-In 合金、共晶焊料、錫和 Ag、Cu 或 Pb 的合金、或是其它相對低溫熔化的焊料。導電柱 346 可以是 Au、Cu、Ni、高鉛的焊料、或是鉛錫合

金。在一實施例中，導電柱 346 是一 Cu 柱，並且凸塊 344 是一焊料蓋。給定一接觸墊 332 $100\mu\text{m}$ 的寬度或直徑，導電柱 346 高度大約是 $45\mu\text{m}$ ，並且凸塊 344 高度大約是 $35\mu\text{m}$ 。

圖 12g 係展示互連結構的另一實施例，其係形成在接觸墊 332 之上而為具有突點 (asperity) 350 的凸塊材料 348。類似於凸塊材料 334，凸塊材料 348 在回焊條件下是軟的且可變形的，具有低的屈伏強度 (yield strength) 以及高的致衰壞伸長率 (elongation to failure)。突點 350 係以電鍍的表面處理而形成，並且為了說明之目的係在圖式中被誇大展示。突點 350 的等級一般是在大約 $1-25\mu\text{m}$ 的數量級。該突點亦可形成在凸塊 336、複合的凸塊 338 以及凸塊 344 上。

在圖 12h 中，半導體晶圓 320 係利用一鋸條或雷射切割工具 352 透過切割道 326 被單切為個別的半導體晶粒 324。

圖 13a 係展示一具有導電線路 356 的基板或 PCB 354。基板 354 可以是單面 FR5 層壓板或是雙面 BT-樹脂層壓板。半導體晶粒 324 係被設置以使得凸塊材料 334 係和導電線路 356 上之互連位置對準，請參見圖 21a-21g。或者是，凸塊材料 334 可和形成在基板 354 上的導電墊或是其它互連位置對準。凸塊材料 334 係比導電線路 356 寬。在一實施例中，對於 $150\mu\text{m}$ 的凸塊間距，凸塊材料 334 具有小於 $100\mu\text{m}$ 的寬度，並且導電線路或墊 356 具有 $35\mu\text{m}$ 的寬度。接觸墊 332 及導電線路 356 可對應於圖 5-11 的晶粒墊佈局中之信號墊、電源墊或接地墊。

一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊材料 334 壓到導電線路 356 之上。該力 F 可在高溫下施加。由於凸塊材料 334 之順應的本質，該凸塊材料係變形或突出在導電線路 356 的頂表面及側表面周圍，被稱為導線上的凸塊 (BOL)。尤其，在相當於大約 200 克的垂直荷重之力 F 下，壓力的施加係使得凸塊材料 334 進行大於約 $25\mu\text{m}$ 的塑性變形並且覆蓋導電線路的頂表面及側表面，即如同在圖 13b 中所示者。凸塊材料 334 亦可藉由將該凸塊材料和導電線路實體接觸並且接著在一回焊溫度下回焊該凸塊材料以冶金連接至導電線路 356。

藉由使得導電線路 356 比凸塊材料 334 窄，導電線路的間距可被降低以增加繞線密度以及 I/O 數目。較窄的導電線路 356 係降低使凸塊材料 334 變形在導電線路的周圍所需的力 F 。例如，該必要的力 F 可以是使凸塊材料抵靠比凸塊材料寬的導電線路或墊變形所需的力之 30-50%。較小的壓力 F 對於細間距互連及小的晶粒維持具有一指定容限之共面性以及達成均勻的 z 向變形及高可靠度的互連結合是有用的。此外，將凸塊材料 334 變形在導電線路 356 的周圍係將該凸塊機械式鎖到該線路以避免在回焊期間晶粒移動或是晶粒浮接。

圖 13c 係展示形成在半導體晶粒 324 的接觸墊 332 之上的凸塊 336。半導體晶粒 324 係被設置以使得凸塊 336 和導電線路 356 上的互連位置對準。或者是，凸塊 336 可和形成在基板 354 上的導電墊或其它互連位置對準。凸塊 336

係比導電線路 356 寬。接觸墊 332 及導電線路 356 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊 336 壓到導電線路 356 之上。該力 F 可在高溫下施加。由於凸塊 336 之順應的本質，該凸塊係變形或突出在導電線路 356 的頂表面及側表面周圍。尤其，壓力的施加係使得凸塊材料 336 進行塑性變形並且覆蓋導電線路 356 的頂表面及側表面。凸塊 336 亦可藉由在回焊溫度下使該凸塊和該導電線路實體接觸以冶金連接至導電線路 356。

藉由使得導電線路 356 比凸塊 336 窄，導電線路的間距可被降低以增加繞線密度及 I/O 數目。較窄的導電線路 356 係降低將凸塊 336 變形在導電線路的周圍所需的力 F 。例如，該必要的力 F 可以是使一凸塊抵靠一比該凸塊寬的導電線路或墊變形所需的力之 30-50%。較低的壓力 F 對於細間距互連及小的晶粒維持在一指定容限內的共面性以及達成均勻的 z 向變形及高可靠度的互連結合是有用的。此外，將凸塊 336 變形在導電線路 356 的周圍係將該凸塊機械式鎖到該線路以避免在回焊期間的晶粒移動或晶粒浮接。

圖 13d 係展示形成在半導體晶粒 324 的接觸墊 332 之上的複合的凸塊 338。半導體晶粒 324 係被設置以使得複合的凸塊 338 和導電線路 356 上的互連位置對準。或者是，複合的凸塊 338 可和形成在基板 354 上的導電墊或其它互連位置對準。複合的凸塊 338 係比導電線路 356 寬。接觸

墊 332 及導電線路 356 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將可熔的部份 342 壓到導電線路 356 之上。該力 F 可在高溫下施加。由於可熔的部份 342 之順應的本質，該可熔的部份係變形或突出在導電線路 356 的頂表面及側表面周圍。尤其，壓力的施加係使得可熔的部份 342 進行塑性變形並且覆蓋導電線路 356 的頂表面及側表面。複合的凸塊 338 亦可藉由在回焊溫度下使可熔的部份 342 和該導電線路實體接觸以冶金連接至導電線路 356。該不可熔的部份 340 在壓力或溫度的施加期間並不熔化或變形，並且保持其高度及形狀而作為在半導體晶粒 324 及基板 354 間之一垂直的間隙。該在半導體晶粒 324 及基板 354 間之額外的位移係在配接的表面之間提供較大的共面性容限。

在一回焊製程期間，半導體晶粒 324 上之大數目的(例如，數千個)複合的凸塊 338 係附接到基板 354 的導電線路 356 上之互連位置。某些凸塊 338 可能未能夠適當地連接到導電線路 356，特別是當晶粒 324 被扭曲時。回想起複合的凸塊 338 係比導電線路 356 寬。在施加一適當的力之下，該可熔的部份 342 係變形或突出在導電線路 356 的頂表面及側表面周圍，並且將複合的凸塊 338 機械式鎖到該導電線路。該機械式緊密連接係藉由該可熔的部份 342 的本質而形成，該本質是比導電線路 356 軟且更順應，因而變形在該導電線路的頂表面之上以及在該導電線路的側表面周

圍以得到較大的接觸表面積。在複合的凸塊 338 以及導電線路 356 之間的機械式緊密連接係在回焊期間將該凸塊保持在該導電線路，亦即，該凸塊及導電線路並不失去接觸。於是，複合的凸塊 338 配接到導電線路 356 係減少凸塊互連的失敗。

圖 13e 係展示形成在半導體晶粒 324 的接觸墊 332 之上的導電柱 346 及凸塊 344。半導體晶粒 324 係被設置以使得凸塊 344 和導電線路 356 上之互連位置對準。或者是，凸塊 344 可和形成在基板 354 上的導電墊或其它互連位置對準。凸塊 344 係比導電線路 356 寬。接觸墊 332 及導電線路 356 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊 344 壓到導電線路 356 之上。該力 F 可在高溫下施加。由於凸塊 344 之順應的本質，該凸塊係變形或突出在導電線路 356 的頂表面及側表面周圍。尤其，壓力的施加係使得凸塊 344 進行塑性變形並且覆蓋導電線路 356 的頂表面及側表面。導電柱 346 及凸塊 344 亦可藉由在回焊溫度下使該凸塊和該導電線路實體接觸以冶金連接至導電線路 356。導電柱 346 在壓力或溫度的施加期間並不熔化或變形，並且保持其高度及形狀而成為在半導體晶粒 324 及基板 354 間之一垂直的間隙。該在半導體晶粒 324 及基板 354 間之額外的位移係在配接的表面之間提供較大的共面性容限。該較寬的凸塊 344 及較窄的導電線路 356 具有類

似以上針對凸塊材料 334 及凸塊 336 所述的低必要的壓力及機械式鎖住的特點及優點。

圖 13f 係展示形成在半導體晶粒 324 的接觸墊 332 之上的具有突點 350 的凸塊材料 348。半導體晶粒 324 係被設置以使得凸塊材料 348 係和導電線路 356 上的互連位置對準。或者是，凸塊材料 348 可和形成在基板 354 上的導電墊或其它互連位置對準。凸塊材料 348 係比導電線路 356 寬。一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊材料 348 壓到導電線路 356 之上。該力 F 可在高溫下施加。由於凸塊材料 348 之順應的本質，該凸塊係變形或突出在導電線路 356 的頂表面及側表面周圍。尤其，壓力的施加係使得凸塊材料 348 進行塑性變形並且覆蓋導電線路 356 的頂表面及側表面。此外，突點 350 係冶金連接至導電線路 356。突點 350 的尺寸係做成大約 1-25 μm 的數量級。

圖 13g 係展示基板或 PCB 358 具有成角度或傾斜的側邊之梯形導電線路 360。凸塊材料 361 係被形成在半導體晶粒 324 的接觸墊 332 之上。半導體晶粒 324 係被設置以使得凸塊材料 361 和導電線路 360 上的互連位置對準。或者是，凸塊材料 361 可和形成在基板 358 上的導電墊或其它互連位置對準。凸塊材料 361 係比導電線路 360 寬。接觸墊 332 及導電線路 360 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328

以將凸塊材料 361 壓到導電線路 360 之上。該力 F 可在高溫下施加。由於凸塊材料 361 之順應的本質，該凸塊材料係變形或突出在導電線路 360 的頂表面及側表面周圍。尤其，壓力的施加係使得凸塊材料 361 在力 F 下進行塑性變形，以覆蓋導電線路 360 的頂表面以及傾斜的側表面。凸塊材料 361 亦可藉由將該凸塊材料和導電線路實體接觸並且接著在一回焊溫度下回焊該凸塊材料以冶金連接至導電線路 360。

圖 14a-14d 係展示半導體晶粒 324 以及具有一不可熔或不可分解的部份 364 及可熔或可分解的部份 366 之細長複合的凸塊 362 之一 BOL 實施例。該不可熔的部份 364 可以是 Au、Cu、Ni、高鉛的焊料、或是鉛錫合金。該可熔的部份 366 可以是 Sn、無鉛的合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-In 合金、共晶焊料、錫和 Ag、Cu 或 Pb 的合金、或是其它相對低溫熔化的焊料。該不可熔的部份 364 比該可熔的部份 366 構成複合的凸塊 362 之較大的一部分。該不可熔的部份 364 係固定到半導體晶粒 324 的接觸墊 332。

半導體晶粒 324 係被設置以使得複合的凸塊 362 係和形成在基板 370 上之導電線路 368 上的互連位置對準，即如同在圖 14a 中所示者。複合的凸塊 362 係沿著導電線路 368 漸縮，亦即，該複合的凸塊具有楔形，沿著導電線路 368 的長度方向上較長，而橫跨該導電線路的方向上較窄。複合的凸塊 362 之漸縮特點係出現在沿著導電線路 368 的長度方向上。圖 14a 中的繪圖係展示該較短的特點或變窄的

漸縮是與導電線路 368 共線的。垂直於圖 14a 的圖 14b 中的繪圖係展示該楔形複合的凸塊 362 之較長的特點。複合的凸塊 362 之較短的特點係比導電線路 368 寬。該可熔的部份 366 在壓力施加及/或以熱回焊時分解在導電線路 368 的周圍，即如圖 14c 及 14d 中所示者。該不可熔的部份 364 在回焊期間並不熔化或變形，並且保持其外形及形狀。該不可熔的部份 364 的尺寸可被設為在半導體晶粒 324 及基板 370 之間提供一間隙距離。一例如是 Cu OSP 的處理可施加到基板 370。接觸墊 332 及導電線路 368 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

在一回焊製程期間，半導體晶粒 324 上之大數目的(例如，數千個)複合的凸塊 362 係附接到基板 370 的導電線路 368 上之互連位置。某些凸塊 362 可能未能夠適當地連接到導電線路 368，特別是半導體晶粒 324 被扭曲時。回想起複合的凸塊 362 係比導電線路 368 寬。在施加一適當的力之下，該可熔的部份 366 係變形或突出在導電線路 368 的頂表面及側表面周圍，並且將複合的凸塊 362 機械式鎖到該導電線路。該機械式緊密連接係藉由該可熔的部份 366 之本質而形成，該本質係比導電線路 368 軟且較順應的，因而變形在該導電線路的頂表面及側表面周圍以得到較大的接觸面積。複合的凸塊 362 的楔形係增加在該凸塊及導電線路間的接觸面積，例如，沿著圖 14b 及 14d 之較長的特徵方向增加，而沒有犧牲到沿著圖 14a 及 14c 之較短的特徵方向上的間距。在複合的凸塊 362 及導電線路 368 間之機

械式緊密連接係在回焊期間將該凸塊保持在該導電線路，亦即，該凸塊及導電線路並不失去接觸。於是，配接到導電線路 368 之複合的凸塊 362 係減少凸塊互連的失敗。

圖 15a-15d 係展示半導體晶粒 324 的一 BOL 實施例，其中類似於圖 12c，凸塊材料 374 係形成在接觸墊 332 之上。在圖 15a 中，凸塊材料 374 是大致順應的，並且在一相當於大約 200 克的垂直荷重之力下進行大於約 $25\mu\text{m}$ 的塑性變形。凸塊材料 374 係比基板 378 上的導電線路 376 寬。複數個突點 380 係以一大約 $1-25\mu\text{m}$ 的數量級之高度形成在導電線路 376 上。

半導體晶粒 324 係被設置以使得凸塊材料 374 和導電線路 376 上的互連位置對準。或者是，凸塊材料 374 可和形成在基板 378 上的導電墊或其它互連位置對準。一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊材料 374 壓到導電線路 376 及突點 380 之上，即如同在圖 15b 中所示者。該力 F 可在高溫下施加。由於凸塊材料 374 之順應的本質，該凸塊材料係變形或突出在導電線路 376 的頂表面及側表面以及突點 380 周圍。尤其，壓力的施加係使得凸塊材料 374 進行塑性變形並且覆蓋導電線路 376 的頂表面及側表面以及突點 380。凸塊材料 374 的塑性流動係在該凸塊材料與導電線路 376 的頂表面及側表面以及突點 380 之間產生巨觀的機械式緊密連接點。凸塊材料 374 的塑性流動係發生在導電線路 376 的頂表面及側表面以及突點 380 周圍，但並不過度地延伸到基板 378 之上，否則

可能造成電氣短路及其它缺陷。在該凸塊材料與導電線路 376 的頂表面及側表面以及突點 380 之間的機械式緊密連接係在不顯著增加連結力之下，提供一具有個別的表面間較大的接觸面積之強健的連接。在該凸塊材料與導電線路 376 的頂表面及側表面以及突點 380 之間的機械式緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。接觸墊 332 及導電線路 376 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

圖 15c 係展示其中凸塊材料 374 比導電線路 376 窄的另一 BOL 實施例。一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊材料 374 壓到導電線路 376 及突點 380 之上。該力 F 可在高溫下施加。由於凸塊材料 374 之順應的本質，該凸塊材料係變形或突出在導電線路 376 的頂表面及突點 380 之上。尤其，壓力的施加係使得凸塊材料 374 進行塑性變形並且覆蓋導電線路 376 的頂表面及突點 380。凸塊材料 374 的塑性流動係在該凸塊材料以及導電線路 376 的頂表面及突點 380 之間產生巨觀的機械式緊密連接點。在該凸塊材料以及導電線路 376 的頂表面及突點 380 之間的機械式緊密連接係在不顯著增加連結力之下，提供一具有個別的表面間較大的接觸面積之強健的連接。在該凸塊材料以及導電線路 376 的頂表面及突點 380 之間的機械式緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。

圖 15d 係展示另一 BOL 實施例，其中凸塊材料 374 形

成在導電線路 376 的一邊緣之上，亦即，部份的凸塊材料在該導電線路之上，而部份的凸塊材料則不在該導電線路之上。一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊材料 374 壓到導電線路 376 及突點 380 之上。該力 F 可在高溫下施加。由於凸塊材料 374 之順應的本質，該凸塊材料係變形或突出在導電線路 376 的頂表面及側表面及突點 380 之上。尤其，壓力的施加係使得凸塊材料 374 進行塑性變形並且覆蓋導電線路 376 的頂表面及側表面及突點 380。凸塊材料 374 的塑性流動係在該凸塊材料與導電線路 376 的頂表面及側表面以及突點 380 之間產生巨觀的機械式緊密連接。在該凸塊材料與導電線路 376 的頂表面及側表面以及突點 380 之間的機械式緊密連接係在不顯著增加連結力之下提供一具有個別的表面間較大的接觸面積之強健的连接。在該凸塊材料與導電線路 376 的頂表面及側表面以及突點 380 之間的機械式緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。

圖 16a-16c 係展示半導體晶粒 324 的一 BOL 實施例，其中類似於圖 12c，凸塊材料 384 形成在接觸墊 332 之上。一尖端 386 係從凸塊材料 384 的主體延伸成為一階梯形凸塊，其中尖端 386 比凸塊材料 384 的主體窄，即如同在圖 16a 中所示者。半導體晶粒 324 係被設置以使得凸塊材料 384 和基板 390 上的導電線路 388 上之互連位置對準。更明確地說，尖端 386 係被設置在導電線路 388 上的互連位置之中央上。或者是，凸塊材料 384 及尖端 386 可和形成在基

板 390 上的導電墊或其它互連位置對準。凸塊材料 384 係比基板 390 上的導電線路 388 寬。

導電線路 388 是大致順應的，並且在一相當於大約 200 克的垂直荷重的力之下進行大於約 $25\mu\text{m}$ 的塑性變形。一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將尖端 384 壓到導電線路 388 之上。該力 F 可在高溫下施加。由於導電線路 388 之順應的本質，該導電線路係變形在尖端 386 的周圍，即如同在圖 16b 中所示者。尤其，壓力的施加係使得導電線路 388 進行塑性變形並且覆蓋尖端 386 的頂表面及側表面。接觸墊 332 及導電線路 388 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

圖 16c 係展示另一 BOL 實施例，其中圓形的凸塊材料 394 係形成在接觸墊 332 之上。一尖端 396 係從凸塊材料 394 的主體延伸以形成一柱形凸塊，其中該尖端比凸塊材料 394 的主體窄。半導體晶粒 324 係被設置以使得凸塊材料 394 和基板 400 上的導電線路 398 上之互連位置對準。更明確地說，尖端 396 係被設置在導電線路 398 上的互連位置之中央上。或者是，凸塊材料 394 及尖端 396 可和形成在基板 400 上的導電墊或其它互連位置對準。凸塊材料 394 係比基板 400 上的導電線路 398 寬。

導電線路 398 是大致順應的，並且在一相當於大約 200 克的垂直荷重的力之下進行大於約 $25\mu\text{m}$ 的塑性變形。一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將尖端 396 壓到導電線路 398 之上。該力 F 可在高溫下施加。

由於導電線路 398 之順應的本質，該導電線路係變形在尖端 396 周圍。尤其，壓力的施加係使得導電線路 398 進行塑性變形，並且覆蓋尖端 396 的頂表面及側表面。接觸墊 332 及導電線路 398 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

圖 13a-13g、14a-14d 及 15a-15d 中所述的導電線路亦可以是如圖 16a-16c 中所述之順應的材料。

圖 17a-17b 係展示半導體晶粒 324 的一 BOL 實施例，其中類似於圖 11c，凸塊材料 404 係形成在接觸墊 332 之上。凸塊材料 404 是大致順應的，並且在一相當於大約 200 克的垂直荷重的力之下進行大於約 25 μ m 的塑性變形。凸塊材料 404 係比基板 408 上的導電線路 406 寬。一具有開口 412 及導電的側壁 414 之導電貫孔 410 係穿過導電線路 406 而形成，即如同在圖 17a 中所示者。接觸墊 332 及導電線路 406 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。

半導體晶粒 324 係被設置以使得凸塊材料 404 和導電線路 406 上的互連位置對準，請參見圖 21-21g。或者是，凸塊材料 404 可和形成在基板 408 上的導電墊或其它互連位置對準。一壓力或力 F 係被施加至半導體晶粒 324 的背表面 328 以將凸塊材料 404 壓到導電線路 406 之上並且壓入導電貫孔 410 的開口 412 中。該力 F 可在高溫下施加。由於凸塊材料 404 之順應的本質，該凸塊材料係變形或突出在導電線路 406 的頂表面及側表面周圍且進入到導電貫

孔 410 的開口 412 中，即如同在圖 17b 中所示者。尤其，壓力的施加係使得凸塊材料 404 進行塑性變形並且覆蓋導電線路 406 的頂表面及側表面且進入到導電貫孔 410 的開口 412 中。因此，凸塊材料 404 係電連接至導電線路 406 及導電的側壁 414 以供穿過基板 408 的 z 向垂直的互連使用。凸塊材料 404 的塑性流動係在該凸塊材料與導電線路 406 的頂表面及側表面以及導電貫孔 410 的開口 412 之間產生機械式緊密連接。在該凸塊材料與導電線路 406 的頂表面及側表面以及導電貫孔 410 的開口 412 之間的機械式緊密連接係在不顯著增加連結力之下提供一具有個別的表面間較大的接觸面積之強健的连接。在該凸塊材料與導電線路 406 的頂表面及側表面以及導電貫孔 410 的開口 412 之間的機械式緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。由於導電貫孔 410 係和凸塊材料 404 一起被形成在該互連位置之內，因此總基板互連面積係減少。

在圖 13a-13g、14a-14d、15a-15d、16a-16c 及 17a-17b 的 BOL 實施例中，藉由使導電線路比互連結構窄，導電線路的間距可被降低以增加繞線密度及 I/O 數目。較窄的導電線路係降低將互連結構變形在導電線路的周圍所需的力 F。例如，該必要的力 F 可以是使一凸塊抵靠一比該凸塊寬的導電線路或墊變形所需的力之 30-50%。該較低的壓力 F 對於細間距互連及小的晶粒維持在一指定容限內的共面性以及達成均勻的 z 向變形及高可靠度的互連結合是有用的。此外，將互連結構變形在導電線路的周圍係將該凸塊

機械式鎖到該線路以避免在回焊期間的晶粒移動或晶粒浮接。

圖 18a-18c 係展示一種模具底膠填充(MUF)製程以將封裝材料沉積在半導體晶粒及基板間的凸塊周圍。圖 18a 係展示半導體晶粒 324 利用圖 13b 的凸塊材料 334 而安裝到基板 354，並且被設置在凹槽(chase)模具 420 的上方模具支撐件 416 及下方模具支撐件 418 之間。圖 13a-13g、14a-14d、15a-15d、16a-16c 及 17a-17b 之其它的半導體晶粒及基板之組合亦可設置在凹槽模具 420 的上方模具支撐件 416 及下方模具支撐件 418 之間。該上方模具支撐件 416 係包含可壓縮的離型膜(releasing film)422。

在圖 18b 中，上方模具支撐件 416 及下方模具支撐件 418 被放在一起以封入半導體晶粒 324 及基板 354，其具有一開放空間在該基板之上且在該半導體晶粒及基板之間。可壓縮的離型膜 422 係貼合半導體晶粒 324 的背表面 328 及側表面以阻擋封裝材料在這些表面上的形成。一種處於液態的封裝材料 424 係利用噴嘴 426 而被注入到凹槽模具 420 的一側中，而一選配的真空中輔助 428 從相反的側邊吸壓以將該封裝材料均勻地填入基板 354 之上的開放空間以及半導體晶粒 324 及基板 354 之間的開放空間。封裝材料 424 可以是聚合物複合材料(例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯)、或是具有適合的填充劑之聚合物。封裝材料 424 是非導電的並且在環境上保護半導體裝置免於接觸到外部的元素及污染物。可壓縮的材料

422 係避免封裝材料 424 流到半導體晶粒 324 的背表面 328 之上及側表面的周圍。封裝材料 424 係被固化。半導體晶粒 324 的背表面 328 及側表面係保持露出自封裝材料 424。

圖 18c 係展示 MUF 及模具過度填充(MOF)，亦即，在沒有可壓縮的材料 422 下的一實施例。半導體晶粒 324 及基板 354 係被設置在凹槽模具 420 的上方模具支撐件 416 及下方模具支撐件 418 之間。該上方模具支撐件 416 及下方模具支撐件 418 係被放在一起以封入半導體晶粒 324 及基板 354，其具有一開放空間在該基板之上、在該半導體晶粒的周圍且在該半導體晶粒及基板之間。處於液態的封裝材料 424 係利用噴嘴 426 而被注入到凹槽模具 420 的一側中，而一選配的真空中輔助 428 係從相反的側邊吸壓以將該封裝材料均勻地填入在半導體晶粒 324 的周圍且在基板 354 之上的開放空間以及在半導體晶粒 324 及基板 354 之間的開放空間。封裝材料 424 係被固化。

圖 19 係展示將封裝材料沉積在半導體晶粒 324 的周圍且在半導體晶粒 324 及基板 354 之間間隙中的另一實施例。半導體晶粒 324 及基板 354 係藉由屏障(dam)430 圍住。封裝材料 432 係以液態從噴嘴 434 分配到屏障 430 中，以填入基板 354 之上的開放空間以及在半導體晶粒 324 及基板 354 之間的開放空間。從噴嘴 434 分配的封裝材料 432 的量係被控制在不覆蓋半導體晶粒 324 的背表面 328 或側表面下填入屏障 430。封裝材料 432 係被固化。

圖 20 係展示在圖 18a、18c 及 19 的 MUF 製程之後的半

導體晶粒 324 及基板 354。封裝材料 424 係均勻地散佈在基板 354 之上且在半導體晶粒 324 及基板 354 之間的凸塊材料 334 的周圍。

圖 21a-21g 係展示在基板或 PCB 440 上之各種的導電線路佈局的俯視圖。在圖 21a 中，導電線路 442 是一形成在基板 440 上具有一體型 (integrated) 凸塊墊或互連位置 444 之直的導體。基板凸塊墊 444 的側邊可以是和導電線路 442 共線的。在習知技術中，一焊料對準開口 (SRO) 通常是形成在該互連位置之上，以在回焊期間限制凸塊材料。該 SRO 會增加互連間距且減少 I/O 數目。相對地，遮罩層 446 可形成在基板 440 的一部份之上；然而，該遮罩層並未形成在導電線路 442 的基板凸塊墊 444 的周圍。換言之，導電線路 442 中被設計來和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 446 的任何 SRO。

半導體晶粒 324 係被設置在基板 440 之上，並且凸塊材料係和基板凸塊墊 444 對準。凸塊材料係藉由使該凸塊材料和該凸塊墊實體接觸並且接著在一回焊溫度下回焊該凸塊材料以電氣且冶金連接至基板凸塊墊 444。

在另一實施例中，一導電凸塊材料係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落或網版印刷製程以沉積在基板凸塊墊 444 之上。該凸塊材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料以及其組合，其具有一選配的助熔溶劑。例如，該凸塊材料可以是共晶 Sn/Pb、高鉛的焊料、或是無鉛的焊料。該凸塊材料係利用一合適的附著或

連結製程來連結到基板凸塊墊 444。在一實施例中，該凸塊材料係藉由加熱該材料超過其熔點來回焊，以形成凸塊或互連 448，即如同在圖 21b 中所示者。在某些應用中，凸塊 448 係進行二次回焊以改善到基板凸塊墊 444 的電氣接觸。在該窄的基板凸塊墊 444 周圍的凸塊材料係在回焊期間維持晶粒的位置。

在高繞線密度的應用中，最小化導電線路 442 的逸散間距是所期望的。在導電線路 442 之間的逸散間距可藉由消除用於回焊限制目的之遮罩層，亦即，藉由在沒有遮罩層下回焊凸塊材料而被減少。由於沒有 SRO 被形成在晶粒凸塊墊 332 或基板凸塊墊 444 的周圍，所以導電線路 442 可用較細的間距形成，亦即，導電線路 442 可被設置成較靠在一起或是較靠近附近的結構。在基板凸塊墊 444 周圍沒有 SRO 之下，導電線路 442 間的間距係給定為 $P=D+PLT+W/2$ ，其中 D 是凸塊 448 的基底直徑，PLT 是晶粒設置容限，並且 W 是導電線路 442 的寬度。在一實施例中，給定 $100\mu\text{m}$ 的凸塊基底直徑、 $10\mu\text{m}$ 的 PLT、以及 $30\mu\text{m}$ 的線路線寬，導電線路 442 之最小的逸散間距是 $125\mu\text{m}$ 。該無遮罩的凸塊形成係免去需要考量到如習知技術中可見的相鄰開口間之遮罩材料的孔帶 (ligament) 間隔、焊料遮罩對準容限 (SRT)、以及最小可解析的 SRO。

當該凸塊材料在沒有遮罩層下被回焊以將晶粒凸塊墊 332 冶金且電連接至基板凸塊墊 444 時，潤濕及表面張力係使得該凸塊材料維持自我局限 (self-confinement) 且被保持

在晶粒凸塊墊 332 與基板凸塊墊 444 及基板 440 中緊鄰導電線路 442 且實質在該凸塊墊的覆蓋區中的部份之間的空間內。

為了達成該所要的自我局限性質，凸塊材料可在置放於晶粒凸塊墊 332 或基板凸塊墊 444 上之前被浸沒在一助熔溶劑中，以選擇性地使得該凸塊材料所接觸的區域比導電線路 442 周圍的區域更濕潤。該熔化的凸塊材料係由於該助熔溶劑的可濕性而維持局限在實質由凸塊墊所界定的區域內。該凸塊材料並不溢出到較不濕潤的區域。一薄的氧化層或是其它絕緣層可形成在其中不打算有凸塊材料的區域之上，以使該區域較不濕潤。因此，晶粒凸塊墊 332 或基板凸塊墊 444 周圍並不需要有遮罩層 440。

圖 21c 係展示平行的導電線路 452 為直的導體之另一實施例，其中一體型矩形凸塊墊或互連位置 454 形成在基板 450 上。在此例中，基板凸塊墊 454 係比導電線路 452 寬，但是小於配接的凸塊寬度。基板凸塊墊 454 的側邊可以是平行於導電線路 452。遮罩層 456 可形成在基板 450 的一部份之上；然而，該遮罩層並未形成在導電線路 452 的基板凸塊墊 454 的周圍。換言之，導電線路 452 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 446 的任何 SRO。

圖 21d 係展示以多個列的一陣列配置的導電線路 460 及 462 的另一實施例，其中偏置的一體型凸塊墊或互連位置 464 形成在基板 466 上以得到最大的互連密度及容量。

交替的導電線路 460 及 462 係包含一用於繞線到凸塊墊 464 的肘部。每個基板凸塊墊 464 的側邊係和導電線路 460 及 462 共線的。遮罩層 468 可形成在基板 466 的一部份之上；然而，遮罩層 468 並未形成在導電線路 460 及 462 的基板凸塊墊 464 的周圍。換言之，導電線路 460 及 462 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 468 的任何 SRO。

圖 21e 係展示以多個列的一陣列配置的導電線路 470 及 472 的另一實施例，其中偏置的一體型凸塊墊或互連位置 474 形成在基板 476 上以得到最大的互連密度及容量。交替的導電線路 470 及 472 係包含一用於繞線到凸塊墊 474 的肘部。在此例中，基板凸塊墊 474 是圓形的並且比導電線路 470 及 472 寬，但是小於配接的互連凸塊材料的寬度。遮罩層 478 可形成在基板 476 的一部份之上；然而，遮罩層 478 並未形成在導電線路 470 及 472 的基板凸塊墊 474 的周圍。換言之，導電線路 470 及 472 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 478 的任何 SRO。

圖 21f 係展示以多個列的一陣列配置的導電線路 480 及 482 的另一實施例，其中偏置的一體型凸塊墊或互連位置 484 形成在基板 486 上以得到最大的互連密度及容量。交替的導電線路 480 及 482 係包含一用於繞線到凸塊墊 484 的肘部。在此例中，基板凸塊墊 484 是矩形的並且比導電線路 480 及 482 寬，但是小於配接的互連凸塊材料的寬度。

遮罩層 488 可形成在基板 486 的一部份之上；然而，遮罩層 488 並未形成在導電線路 480 及 482 的基板凸塊墊 484 的周圍。換言之，導電線路 480 及 482 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 488 的任何 SRO。

作為互連製程的一例子，半導體晶粒 324 係被設置在基板 466 之上，並且凸塊材料 334 係和圖 21d 的基板凸塊墊 464 對準。凸塊材料 334 係藉由如同圖 13a-13g、14a-14d、15a-15d、16a-16c 及 17a-17b 所述，加壓該凸塊材料或是藉由使該凸塊材料和該凸塊墊實體接觸並且接著在一回焊溫度下回焊該凸塊材料，以電氣及冶金連接至基板凸塊墊 464。

在另一實施例中，一導電凸塊材料係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落或網版印刷的製程沉積在基板凸塊墊 464 之上。該凸塊材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及其組合，其具有一選配的助熔溶劑。例如，該凸塊材料可以是共晶 Sn/Pb、高鉛的焊料、或是無鉛的焊料。該凸塊材料係利用一合適的附著或連結製程連結到基板凸塊墊 464。在一實施例中，該凸塊材料係藉由加熱該材料超過其熔點而被回焊以形成凸塊或互連 490，即如同在圖 21g 中所示者。在某些應用中，凸塊 490 係進行二次回焊以改善到基板凸塊墊 464 的電氣接觸。該窄的基板凸塊墊 464 周圍的凸塊材料係維持在回焊期間晶粒的置放。凸塊材料 334 或凸塊 490 亦可形成在圖 21a-21g

的基板凸塊墊配置上。

在高繞線密度的應用中，最小化圖 21a-21g 的導電線路 460 及 462 或是其它導電線路配置的逸散間距是所期望的。在導電線路 460 及 462 之間的逸散間距可藉由消除用於回焊限制目的之遮罩層，亦即，藉由在沒有遮罩層下回焊凸塊材料而被減少。由於沒有 SRO 被形成在晶粒凸塊墊 332 或基板凸塊墊 464 的周圍，所以導電線路 460 及 462 可用較細的間距形成，亦即，導電線路 460 及 462 可被設置成較靠在一起或是較靠近附近的結構。在基板凸塊墊 464 周圍沒有 SRO 之下，導電線路 460 及 462 間的間距係給定為 $P=D/2+PLT+W/2$ ，其中 D 是凸塊 490 的基底直徑，PLT 是晶粒設置容限，並且 W 是導電線路 460 及 462 的寬度。在一實施例中，給定 $100\mu\text{m}$ 的凸塊基底直徑、 $10\mu\text{m}$ 的 PLT、以及 $30\mu\text{m}$ 的線路線寬，導電線路 460 及 462 之最小的逸散間距是 $125\mu\text{m}$ 。該無遮罩的凸塊形成係免去需要考量到如習知技術中可見的相鄰開口間之遮罩材料的孔帶間隔、SRT、以及最小可解析的 SRO。

當該凸塊材料在沒有遮罩層下被回焊以將晶粒凸塊墊 332 冶金且電連接至基板凸塊墊 464 時，潤濕及表面張力係使得該凸塊材料維持自我局限且被保持在晶粒凸塊墊 332 與基板凸塊墊 464 及基板 466 中緊鄰導電線路 460 及 462 且實質在該凸塊墊的覆蓋區中的部份之間的空間內。

為了達成該所要的自我局限性質，凸塊材料可在置放於晶粒凸塊墊 332 或基板凸塊墊 464 上之前被浸沒在一助

熔溶劑中，以選擇性地使得該凸塊材料所接觸的區域比導電線路 460 及 462 周圍的區域更濕潤。該熔化的凸塊材料係由於該助熔溶劑的可濕性而維持局限在實質由凸塊墊所界定的區域內。該凸塊材料並不溢出到較不濕潤的區域。一薄的氧化層或是其它絕緣層可形成在其中不打算有凸塊材料的區域之上，以使該區域較不濕潤。因此，晶粒凸塊墊 332 或基板凸塊墊 464 周圍並不需要有遮罩層 468。

在圖 22a 中，遮罩層 492 係沉積在導電線路 494 及 496 的一部份之上。然而，遮罩層 492 並未形成在一體型凸塊墊 498 之上。因此，在基板 500 上的每個凸塊墊 498 都沒有 SRO。一非濕性遮罩補片(patch)502 係被形成在基板 500 上且在一體型凸塊墊 498 的陣列內的空隙中，亦即，在相鄰的凸塊墊之間。該遮罩補片 502 亦可形成在半導體晶粒 324 上且在晶粒凸塊墊 498 的陣列內的空隙中。更一般而言，該遮罩補片係被形成在任何配置中的一體型凸塊墊附近，以避免溢出到較不濕潤的區域。

半導體晶粒 324 係被設置在基板 500 之上，並且凸塊材料係和基板凸塊墊 498 對準。該凸塊材料係藉由如同圖 13a-13g、14a-14d、15a-15d、16a-16c 及 17a-17b 所述地壓下該凸塊材料或是藉由使該凸塊材料和該凸塊墊實體接觸並且接著在一回焊溫度下回焊該凸塊材料，以電氣且冶金連接至基板凸塊墊 498。

在另一實施例中，一導電凸塊材料係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落、或是網版印刷的製程

沉積在晶粒的一體型凸塊墊 498 之上。該凸塊材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料及其組合，其具有一選配的助熔溶劑。例如，該凸塊材料可以是共晶 Sn/Pb、高鉛的焊料、或是無鉛的焊料。該凸塊材料係利用一合適的附著或連結製程連結到一體型凸塊墊 498。在一實施例中，該凸塊材料係藉由加熱該材料超過其熔點來進行回焊，以形成球或凸塊 504。在某些應用中，凸塊 504 係進行二次回焊以改善至一體型凸塊墊 498 的電氣接觸。該凸塊亦可壓縮連結到一體型凸塊墊 498。凸塊 504 係代表一種可形成在一體型凸塊墊 498 之上的互連結構的類型。該互連結構亦可以使用柱形凸塊、微凸塊、或其它電互連。

在高繞線密度的應用中，最小化逸散間距是所期望的。為了減少在導電線路 494 及 496 間間距，該凸塊材料係在一體型凸塊墊 498 周圍沒有遮罩層之下進行回焊。在導電線路 494 及 496 之間的逸散間距可藉由消除用於回焊限制目的之遮罩層以及該一體型凸塊墊周圍相關的 SRO，亦即，藉由在沒有遮罩層下回焊凸塊材料而被減少。遮罩層 492 可形成在導電線路 494 及 496 以及基板 500 中遠離一體型凸塊墊 498 的一部份之上；然而，遮罩層 492 並未形成在一體型凸塊墊 498 的周圍。換言之，導電線路 494 及 496 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 492 的任何 SRO。

此外，遮罩補片 502 係被形成在基板 500 上且在一體型凸塊墊 498 的陣列內的空隙中。遮罩補片 502 是非濕性

材料。遮罩補片 502 可以是和遮罩層 492 相同的材料並且在相同的處理步驟期間施加、或為不同的材料而在不同的處理步驟期間施加。遮罩補片 502 可藉由對於一體型凸塊墊 498 的陣列內之線路或墊的部份選擇性的氧化、電鍍、或其它處理來加以形成。遮罩補片 502 係限制凸塊材料流到一體型凸塊墊 498 且避免導電凸塊材料滲到相鄰的結構。

當該凸塊材料係利用設置在一體型凸塊墊 498 的陣列內之空隙的遮罩補片 502 進行回焊時，潤濕及表面張力係使得該凸塊材料局限且保持在晶粒凸塊墊 332 與一體型凸塊墊 498 及基板 500 中緊鄰導電線路 494 及 496 且實質在該一體型凸塊墊 498 的覆蓋區中的部份之間的空間內。

為了達成所要的局限性質，該凸塊材料可在置放於晶粒凸塊墊 332 或一體型凸塊墊 498 上之前被浸沒在一助熔溶劑中，以選擇性地使得該凸塊材料所接觸的區域比導電線路 494 及 496 的周圍區域更濕潤。該熔化的凸塊材料係由於該助熔溶劑的可濕性而維持局限在實質由凸塊墊所界定的區域內。該凸塊材料並不溢出到較不濕潤的區域。一薄的氧化層或是其它絕緣層可形成在其中不打算有凸塊材料的區域之上，以使該區域較不濕潤。因此，晶粒凸塊墊 332 或一體型凸塊墊 498 的周圍並不需要遮罩層 492。

由於晶粒凸塊墊 332 或一體型凸塊墊 498 的周圍沒有形成 SRO，所以導電線路 494 及 496 可用較細的間距形成，亦即，導電線路可較靠近相鄰的結構來設置，而不會接觸且形成電氣短路。假設相同的焊料對準設計規則，導電線

路 494 及 496 之間間距係給定為 $P=(1.1D+W)/2$ ，其中 D 是凸塊 504 的基底直徑，並且 W 是導電線路 494 及 496 的寬度。在一實施例中，給定 $100\mu\text{m}$ 的凸塊直徑以及 $20\mu\text{m}$ 的線路線寬，導電線路 494 及 496 之最小的逸散間距是 $65\mu\text{m}$ 。該凸塊形成係免去需要考量到如習知技術中可見的相鄰開口間之遮罩材料的孔帶間隔、以及最小可解析的 SRO。

圖 23 係展示堆疊封裝 (PoP) 505，其中半導體晶粒 506 係利用晶粒附接黏著劑 510 而堆疊在半導體晶粒 508 上。半導體晶粒 506 及 508 分別具有一包含類比或數位電路的主動表面，該類比或數位電路被實施為形成在該晶粒內且根據該晶粒的電設計及功能來電互連的主動裝置、被動裝置、導電層以及介電層。例如，該電路可包含一或多個電晶體、二極體以及其它形成在該主動表面內之電路元件以實施類比電路或數位電路，例如：DSP、ASIC、記憶體或其它信號處理電路。半導體晶粒 506 及 508 亦可包含例如是電感器、電容器及電阻器的 IPD，以供 RF 信號處理使用。

半導體晶粒 506 係利用圖 13a-13g、14a-14d、15a-15d、16a-16c 及 17a-17b 的實施例中之任一實施例，利用形成在接觸墊 518 上之凸塊材料 516 而被安裝到形成在基板 514 上的導電線路 512。接觸墊 518 及導電線路 512 可對應於圖 5-11 的晶粒墊佈局中的信號墊、電源墊或接地墊。半導體晶粒 508 係利用焊線 522 電連接至形成在基板 514 上之接觸墊 520。焊線 522 之相反端係連結到半導體晶粒 506 上之

接觸墊 524。

遮罩層 526 係被形成在基板 514 之上且開口超過半導體晶粒 506 的覆蓋區。儘管遮罩層 526 在回焊期間並不限制凸塊材料 516 到導電線路 512，該開放的遮罩可運作為一屏障以避免在 MUF 期間封裝材料 528 遷移到接觸墊 520 或焊線 522。封裝材料 528 係類似於圖 18a-18c 沉積在半導體晶粒 508 及基板 514 之間。遮罩層 526 係阻擋 MUF 封裝材料 528 到達接觸墊 520 及焊線 522，否則可能會造成缺陷。遮罩層 526 係容許較大的半導體晶粒被設置在一特定的基板上，而無封裝材料 528 流出到接觸墊 520 之上的風險。

儘管本發明的一或多個實施例已詳細地解說，熟習此項技術者將會體認到可在不脫離如以下的申請專利範圍中所闡述之本發明的範疇下，對於該些實施例進行修改及調適。

【圖式簡單說明】

圖 1 係以平面圖描繪在一晶粒上用於一覆晶封裝之一習知的墊佈局；

圖 2 係以平面圖描繪在一覆晶基板上的墊及繞線的配置；

圖 3 係描繪一安裝到其表面之不同類型的封裝的 PCB；

圖 4a-4c 係描繪安裝到該 PCB 的半導體封裝之進一步細節；

圖 5 係描繪在一晶粒上用於一覆晶封裝之一墊佈局；

圖 6 係描繪在一覆晶基板上的墊及繞線之一配置；

圖 7 係描繪安裝在一基板上的一覆晶之一部份，其係具有一晶粒墊佈局以及基板墊配置；

圖 8a-8b 係描繪在一晶粒上用於一覆晶封裝之一第一墊佈局；

圖 9a-9b 係描繪在一晶粒上用於一覆晶封裝之一第二墊佈局；

圖 10a-10b 係描繪在一晶粒上用於一覆晶封裝之一第三墊佈局；

圖 11a-11b 係描繪在一晶粒上用於一覆晶封裝之一第四墊佈局；

圖 12a-12h 係描繪形成在一半導體晶粒之上用於連結至一基板上的導電線路之各種的互連結構；

圖 13a-13g 係描繪該半導體晶粒以及連結到該些導電線路的互連結構；

圖 14a-14d 係描繪具有一連結到該些導電線路之楔形的互連結構的半導體晶粒；

圖 15a-15d 係描繪該半導體晶粒以及連結到該些導電線路的互連結構的另一實施例；

圖 16a-16c 係描繪連結到該些導電線路的階梯形凸塊以及柱形凸塊互連結構；

圖 17a-17b 係描繪具有導電貫孔的導電線路；

圖 18a-18c 係描繪在該半導體晶粒及基板之間的模具底膠填充；

圖 19 係描繪在該半導體晶粒及基板之間的另一模具底膠填充；

圖 20 係描繪在模具底膠填充後之半導體晶粒及基板；

圖 21a-21g 係描繪具有開放的焊料對準的導電線路之各種配置；

圖 22a-22b 係描繪具有在導電線路間的補片之開放的焊料對準；並且

圖 23 係描繪具有遮罩層屏障以在模具底膠填充期間抑制封裝材料之 POP。

【主要元件符號說明】

- | | |
|----|----------|
| 10 | 晶粒墊佈局 |
| 12 | 主動表面 |
| 13 | 半導體晶粒 |
| 14 | 電源墊 |
| 16 | 接地墊 |
| 18 | 信號墊 |
| 19 | 信號墊 |
| 20 | 基板墊的配置 |
| 22 | 基板表面 |
| 23 | 在晶粒邊緣的下方 |
| 24 | 電源墊 |
| 26 | 接地墊 |
| 28 | 信號墊 |

29	信號墊
30	線路
32	短的線路
34	信號貫孔
36	短的線路
38	電源貫孔
40	短的線路
42	接地貫孔
50	電子裝置
52	印刷電路板
54	線路
56	打線接合封裝
58	覆晶
60	球狀柵格陣列
62	凸塊晶片載體
64	雙排型封裝
66	平台柵格陣列
68	多晶片模組
70	四邊扁平無引腳封裝
72	四邊扁平封裝
74	半導體晶粒
76	接觸墊
78	中間載體
80	導線

82	焊線
84	封裝材料
88	半導體晶粒
90	載體
92	底膠填充或環氧樹脂黏著材料
94	焊線
96	接觸墊
98	接觸墊
100	模製化合物或封裝材料
102	接觸墊
104	凸塊
106	中間載體
108	主動區域
110	凸塊
112	凸塊
114	信號線
116	模製化合物或封裝材料
120	晶粒墊佈局
122	信號墊
124	晶粒表面
126	晶粒邊緣
128	電源墊
130	接地墊
132	中央區域

134	基板墊的配置
136	信號墊
138	電源墊
140	接地墊
142	基板表面
144	在晶粒邊緣的下方
146	線路
148	短的線路
150	電源貫孔
152	短的線路
154	接地貫孔
155	主動側
156	覆晶封裝
157	半導體晶粒
158	基板
160	電源墊
161	接地墊
162	上方的金屬層
163	信號凸塊
164	信號線路
165	電源凸塊
166	電源線路
167	接地凸塊
168	接地線路

- 170 單一金屬層基板
- 171 單一金屬層基板
- 172 兩金屬層基板
- 173 上方的金屬層
- 174 下方的金屬層
- 176 經圖案化的金屬層
- 177 線路
- 178 線路
- 179 電源線路
- 180 接地線路
- 181 接地凸塊
- 182 信號凸塊
- 183 電源凸塊
- 184 接地凸塊位置
- 185 信號凸塊位置
- 186 電源凸塊位置
- 187 核心接地凸塊
- 188 核心電源凸塊
- 189 核心接地凸塊位置
- 190 核心電源凸塊位置
- 191 貫孔
- 192 貫孔
- 193 貫孔
- 194 線路

195	在晶粒邊緣的下方
196	貫孔
197	貫孔
198	貫孔
200	晶粒墊佈局
202	信號墊
204	晶粒表面
206	晶粒邊緣
208	電源墊
210	接地墊
212	基板墊的配置
214	信號墊
216	電源墊
218	接地墊
220	晶粒墊佈局
222	在晶粒邊緣的下方
224	線路
226	電源短線段或凸出
228	電源貫孔
230	接地短線段或凸出
232	接地貫孔
234	晶粒墊佈局
236	信號墊
238	晶粒表面

240	晶粒邊緣
242	電源墊
244	接地墊
250	基板墊的配置
252	信號墊
254	電源墊
256	接地墊
258	基板表面
260	在晶粒邊緣的下方
262	線路
264	電源短線段或凸出
266	電源貫孔
268	接地短線段或凸出
269	接地貫孔
270	晶粒墊佈局
271	信號墊
272	晶粒表面
273	晶粒邊緣
274	電源墊
275	接地墊
276	基板墊的配置
278	信號墊
279	電源墊
280	接地墊

- 281 基板表面
- 282 在晶粒邊緣的下方
- 283 線路
- 284 電源短線段或凸出
- 285 電源貫孔
- 286 接地短線段或凸出
- 287 接地貫孔
- 288 晶粒墊佈局
- 289 信號墊
- 290 晶粒表面
- 291 晶粒邊緣
- 292 電源墊
- 293 接地墊
- 294 基板墊的配置
- 295 信號墊
- 296 電源墊
- 297 接地墊
- 298 基板表面
- 300 在晶粒邊緣的下方
- 302 線路
- 304 電源短線段或凸出
- 306 電源貫孔
- 310 接地短線段或凸出
- 312 接地貫孔

- 320 半導體晶圓
- 322 主體基板材料
- 324 半導體晶粒或構件
- 326 切割道
- 328 背表面
- 330 主動表面
- 332 導電層
- 334 凸塊材料
- 336 球或凸塊
- 338 複合的凸塊
- 340 不可熔的部份
- 342 可熔的部份
- 344 凸塊
- 346 導電柱
- 348 凸塊材料
- 350 突點
- 352 鋸條或雷射切割工具
- 354 基板
- 356 導電線路
- 358 基板或 PCB
- 360 導電線路
- 361 凸塊材料
- 362 複合的凸塊
- 364 不可熔或不可分解的部份

- 366 可熔或可分解的部份
- 368 導電線路
- 370 基板
- 374 凸塊材料
- 376 導電線路
- 378 基板
- 380 突點
- 384 凸塊材料
- 386 尖端
- 388 導電線路
- 390 基板
- 394 凸塊材料
- 396 尖端
- 398 導電線路
- 400 基板
- 404 凸塊材料
- 406 導電線路
- 408 基板
- 410 導電貫孔
- 412 開口
- 414 導電的側壁
- 416 上方模具支撐件
- 418 下方模具支撐件
- 420 凹槽模具

- 422 可壓縮的離型膜
- 424 封裝材料
- 426 噴嘴
- 428 輔助
- 430 屏障
- 432 封裝材料
- 434 噴嘴
- 440 基板
- 442 導電線路
- 444 基板凸塊墊
- 446 遮罩層
- 448 凸塊或互連
- 450 基板
- 452 導電線路
- 454 基板凸塊墊
- 456 遮罩層
- 460 導電線路
- 462 導電線路
- 464 基板凸塊墊
- 466 基板
- 468 遮罩層
- 470 導電線路
- 472 導電線路
- 474 基板凸塊墊

- 476 基板
- 478 遮罩層
- 480 導電線路
- 482 導電線路
- 484 基板凸塊墊
- 486 基板
- 488 遮罩層
- 490 凸塊或互連
- 492 遮罩層
- 494 導電線路
- 496 導電線路
- 498 凸塊墊
- 500 基板
- 502 遮罩補片
- 504 球或凸塊
- 505 堆疊封裝
- 506 半導體晶粒
- 508 半導體晶粒
- 510 晶粒附接黏著劑
- 512 導電線路
- 514 基板
- 516 凸塊材料
- 518 接觸墊
- 520 接觸墊

201250958

522	焊線
524	接觸墊
526	遮罩層
528	封裝材料

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100102446

※申請日：100.1.24

※IPC 分類：

H01L 23/488 2006.01

H01L 23/52 2006.01

H01L 21/60 2006.01

一、發明名稱：(中文/英文)

形成用於覆晶半導體晶粒的墊佈局的半導體裝置及方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING

PAD LAYOUT FOR FLIPCHIP SEMICONDUCTOR DIE

二、中文發明摘要：

一種半導體裝置係具有一含有一晶粒墊佈局的半導體晶粒。在該晶粒墊佈局中的信號墊主要係位在靠近該半導體晶粒的一周邊處，並且電源墊及接地墊主要係位在該些信號墊的內側。該些信號墊係以大致平行於該半導體晶粒的一邊緣之一周邊列或一周邊陣列來加以配置。凸塊係被形成在該些信號墊、電源墊以及接地墊之上。該些凸塊可具有一可熔的部份以及不可熔的部份。具有互連位置的導電線路係被形成在一基板之上。該些凸塊係比該些互連位置寬。該些凸塊係連結到該些互連位置，使得該些凸塊覆蓋該些互連位置的一頂表面及多個側表面。一封裝材料係沉積在該半導體晶粒及基板之間的該些凸塊的周圍。

三、英文發明摘要：

A semiconductor device has a semiconductor die with a die pad layout. Signal pads in the die pad layout are

located primarily near a perimeter of the semiconductor die, and power pads and ground pads are located primarily inboard from the signal pads. The signal pads are arranged in a peripheral row or in a peripheral array generally parallel to an edge of the semiconductor die. Bumps are formed over the signal pads, power pads, and ground pads. The bumps can have a fusible portion and non-fusible portion. Conductive traces with interconnect sites are formed over a substrate. The bumps are wider than the interconnect sites. The bumps are bonded to the interconnect sites so that the bumps cover a top surface and side surfaces of the interconnect sites. An encapsulant is deposited around the bumps between the semiconductor die and substrate.

七、申請專利範圍：

1.一種製造半導體裝置之方法，其係包括：

提供具有晶粒墊佈局的半導體晶粒，其中信號墊主要位在該半導體晶粒的周邊區域中，並且電源墊及接地墊主要位在該半導體晶粒的該些信號墊的內側的區域中；

在該些信號墊、電源墊以及接地墊之上形成複數個凸塊；

提供基板；

在該基板之上形成具有互連位置的複數個導電線路，該些凸塊係比該些互連位置寬；

將該些凸塊連結至該些互連位置，使得該些凸塊覆蓋該些互連位置的頂表面及側表面；以及

在該半導體晶粒及基板之間的該些凸塊的周圍沉積封裝材料。

2.如申請專利範圍第1項之方法，其中該些凸塊係包含可熔的部份以及不可熔的部份。

3.如申請專利範圍第1項之方法，其進一步包含以大致平行於該半導體晶粒的邊緣之周邊列或是周邊陣列配置該些信號墊。

4.如申請專利範圍第1項之方法，其進一步包含以交錯的配置或正交的配置來配置該些信號墊在相鄰的列中。

5.如申請專利範圍第1項之方法，其中少於10%的該些電源墊及接地墊係位在該周邊區域之內，並且少於10%的該些信號墊係位在該內側的區域之內。

6.如申請專利範圍第 1 項之方法，其進一步包含在該基板遠離該些互連位置的區域之上形成遮罩層。

7.一種製造半導體裝置之方法，其係包括：

提供半導體晶粒；

提供基板；

在該基板之上形成具有互連位置的複數個導電線路，其係以信號位置係位在靠近該基板的周邊並且電源位置及接地位置係位在該些信號位置的內側之佈局來配置；以及

在該半導體晶粒及基板之間形成互連結構，使得該些互連結構覆蓋該些互連位置的頂表面及側表面。

8.如申請專利範圍第 7 項之方法，其進一步包含在該半導體晶粒及基板之間沉積封裝材料。

9.如申請專利範圍第 7 項之方法，其中該互連結構係包含可熔的部份以及不可熔的部份。

10.如申請專利範圍第 7 項之方法，其進一步包含以大致平行於該基板的邊緣之周邊列或是周邊陣列配置該些信號位置。

11.如申請專利範圍第 7 項之方法，其進一步包含以交錯的配置或是正交的配置來配置該些信號位置在相鄰的列中。

12.如申請專利範圍第 7 項之方法，其進一步包含以陣列配置該些電源及接地位置在靠近該基板的中心處。

13.如申請專利範圍第 7 項之方法，其中該半導體晶粒的中央區域並沒有墊。

14.一種製造半導體裝置之方法，其係包括：

提供半導體晶粒；

提供基板；

在該基板之上形成具有互連位置的複數個導電線路，其係以信號位置主要位在該基板的周邊區域中並且電源位置及接地位置主要位在該基板的信號墊之內側的區域中之佈局來配置；

將該半導體晶粒連結至該些互連位置；以及

在該半導體晶粒及基板之間沉積封裝材料。

15.如申請專利範圍第 14 項之方法，其進一步包含在該半導體晶粒之上形成互連結構，該互連結構包含可熔的部份以及不可熔的部份。

16.如申請專利範圍第 14 項之方法，其中少於 10%的該些電源位置及接地位置係位在該周邊區域之內。

17.如申請專利範圍第 14 項之方法，其中少於 10%的該些信號位置係位在該內側的區域之內。

18.如申請專利範圍第 14 項之方法，其進一步包含以大致平行於該基板的邊緣的周邊列或是周邊陣列來配置該些信號位置。

19.如申請專利範圍第 14 項之方法，其進一步包含以陣列配置該些電源位置及接地位置在靠近該基板的中心處。

20.如申請專利範圍第 14 項之方法，其進一步包含以交錯的配置或是正交的配置來配置該些信號位置在相鄰的列中。

21.一種半導體裝置，其係包括：

具有晶粒墊佈局的半導體晶粒，其中信號墊主要位在該半導體晶粒的周邊區域中，並且電源墊及接地墊主要位在該半導體晶粒的該些信號墊的內側的區域中；

基板；

形成在該基板之上的具有互連位置的複數個導電線路，其中該半導體晶粒係連結到該些互連位置；以及

沉積在該半導體晶粒及基板之間的封裝材料。

22.如申請專利範圍第 21 項之半導體裝置，其進一步包含形成在該半導體晶粒之上的互連結構，該互連結構包含可熔的部份以及不可熔的部份。

23.如申請專利範圍第 21 項之半導體裝置，其中少於 10%的該些電源墊及接地墊係位在該周邊區域之內。

24.如申請專利範圍第 21 項之半導體裝置，其中少於 10%的該些信號墊係位在該內側的區域之內。

25.如申請專利範圍第 21 項之半導體裝置，其中該些信號墊係以交錯的配置或是正交的配置來加以配置在相鄰的列中。

八、圖式：

(如次頁)

21.一種半導體裝置，其係包括：

具有晶粒墊佈局的半導體晶粒，其中信號墊主要位在該半導體晶粒的周邊區域中，並且電源墊及接地墊主要位在該半導體晶粒的該些信號墊的內側的區域中；

基板；

形成在該基板之上的具有互連位置的複數個導電線路，其中該半導體晶粒係連結到該些互連位置；以及

沉積在該半導體晶粒及基板之間的封裝材料。

22.如申請專利範圍第 21 項之半導體裝置，其進一步包含形成在該半導體晶粒之上的互連結構，該互連結構包含可熔的部份以及不可熔的部份。

23.如申請專利範圍第 21 項之半導體裝置，其中少於 10%的該些電源墊及接地墊係位在該周邊區域之內。

24.如申請專利範圍第 21 項之半導體裝置，其中少於 10%的該些信號墊係位在該內側的區域之內。

25.如申請專利範圍第 21 項之半導體裝置，其中該些信號墊係以交錯的配置或是正交的配置來加以配置在相鄰的列中。

八、圖式：

(如次頁)

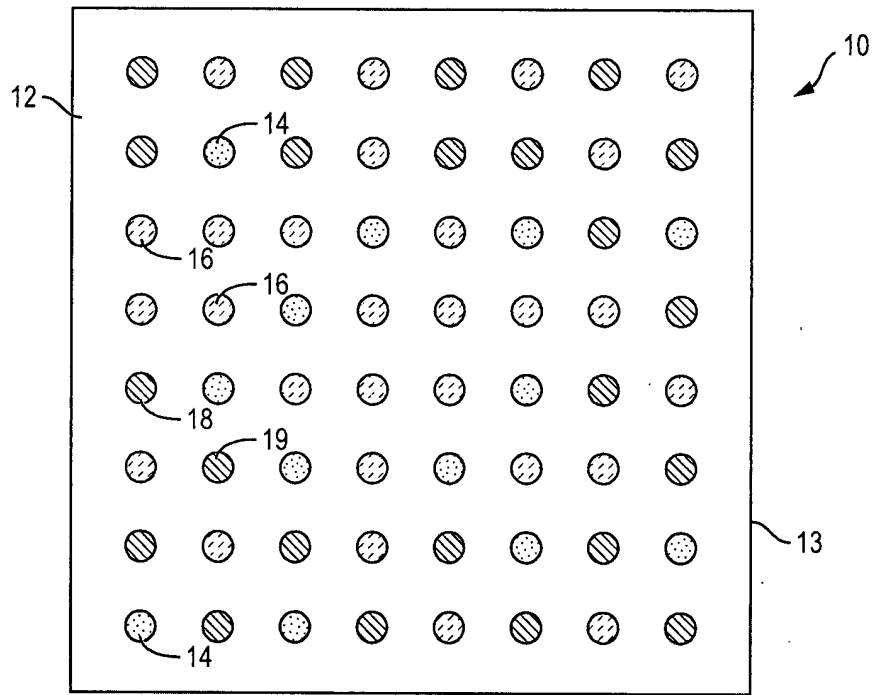


圖1
(先前技術)

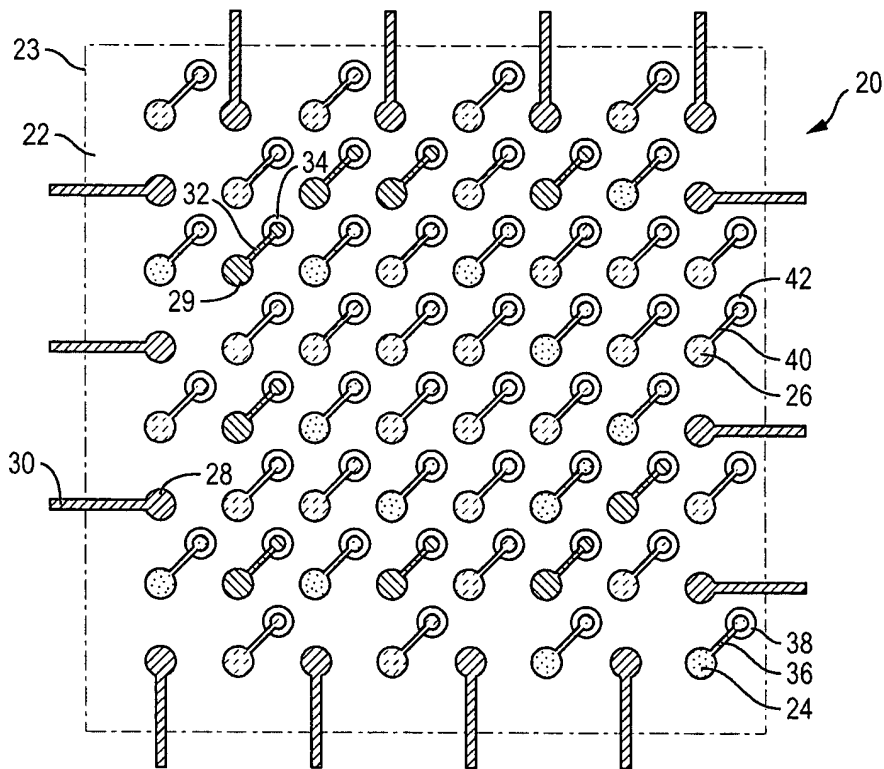


圖2
(先前技術)

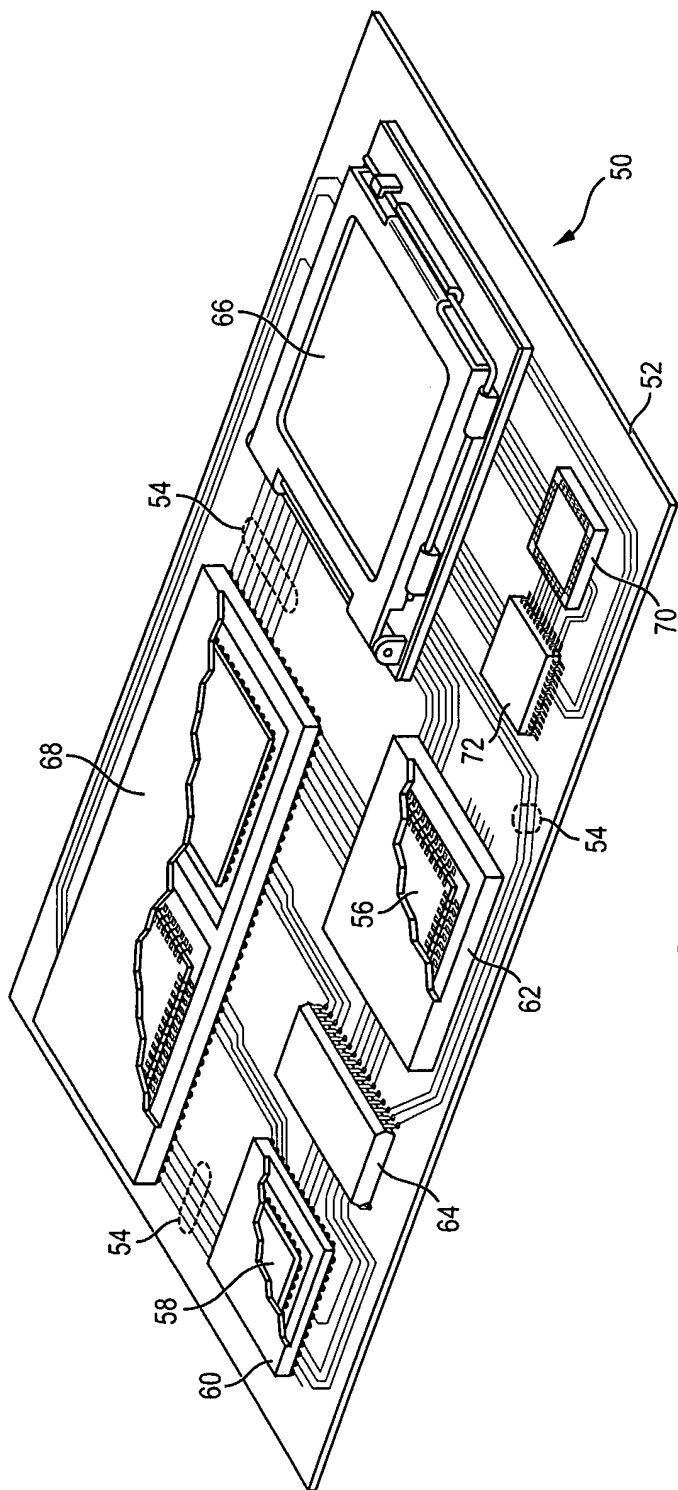


圖3

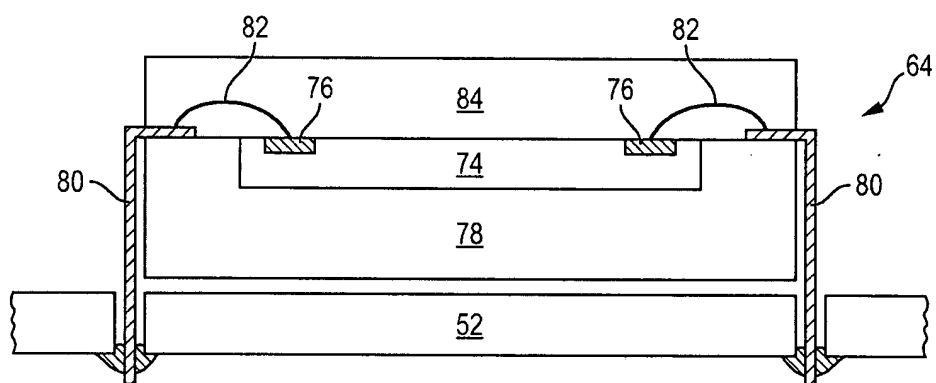


圖 4a

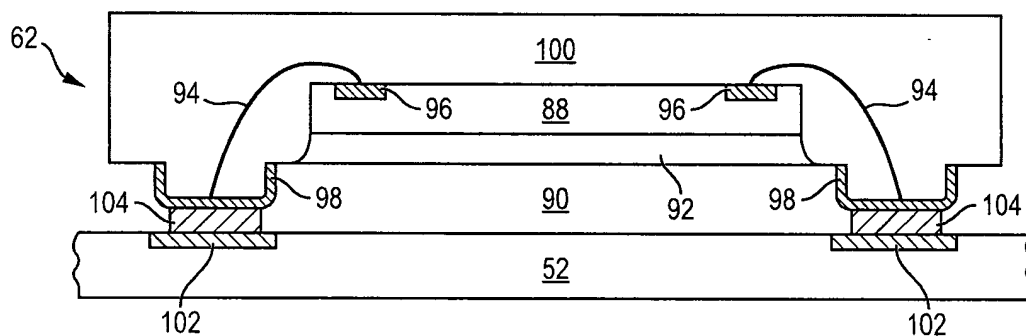


圖 4b

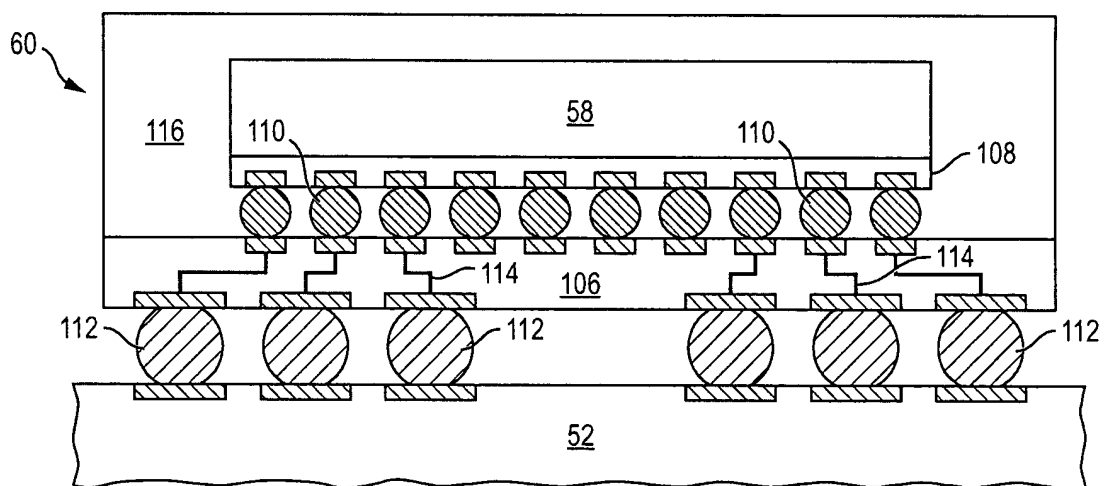


圖 4c

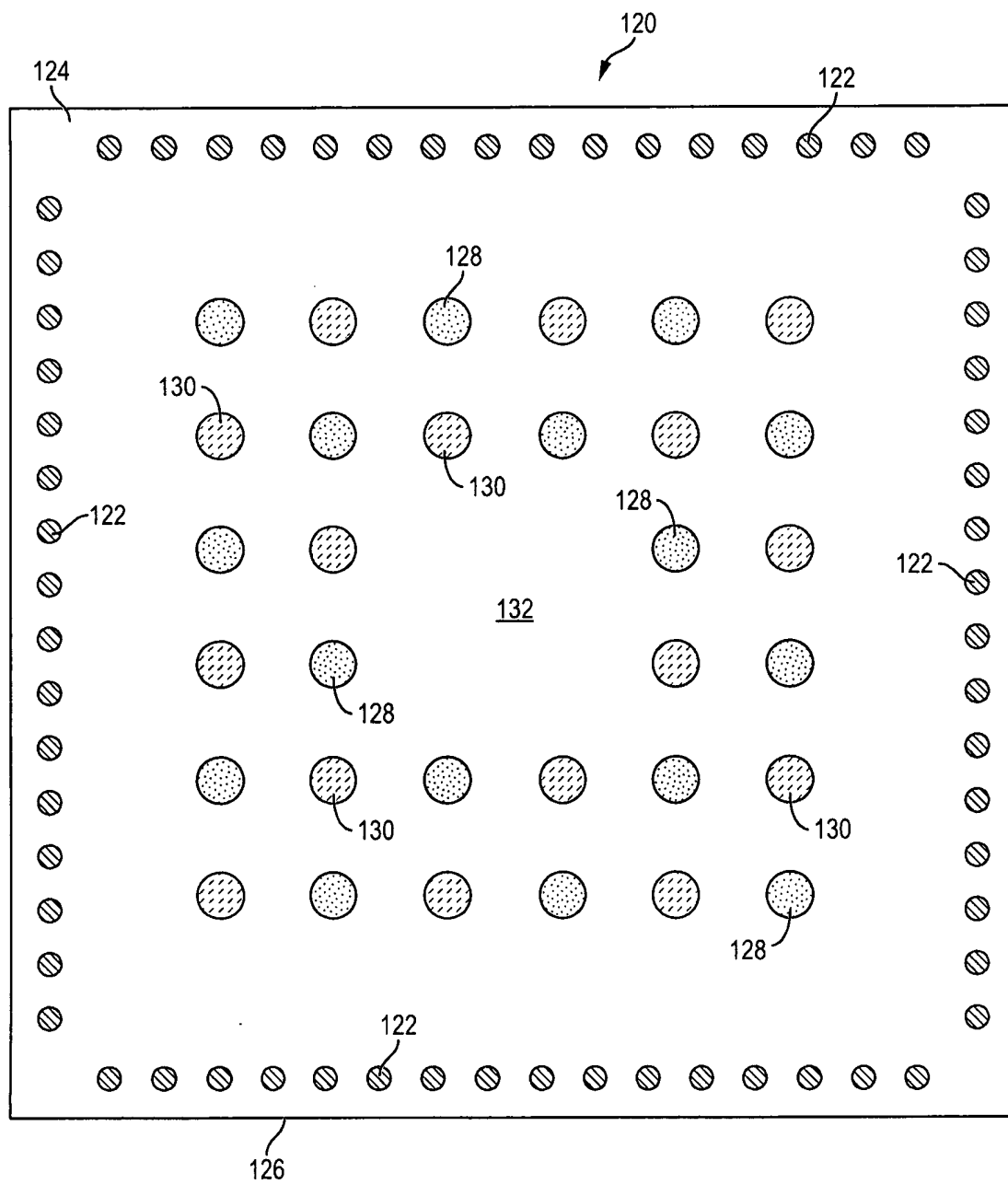


圖5

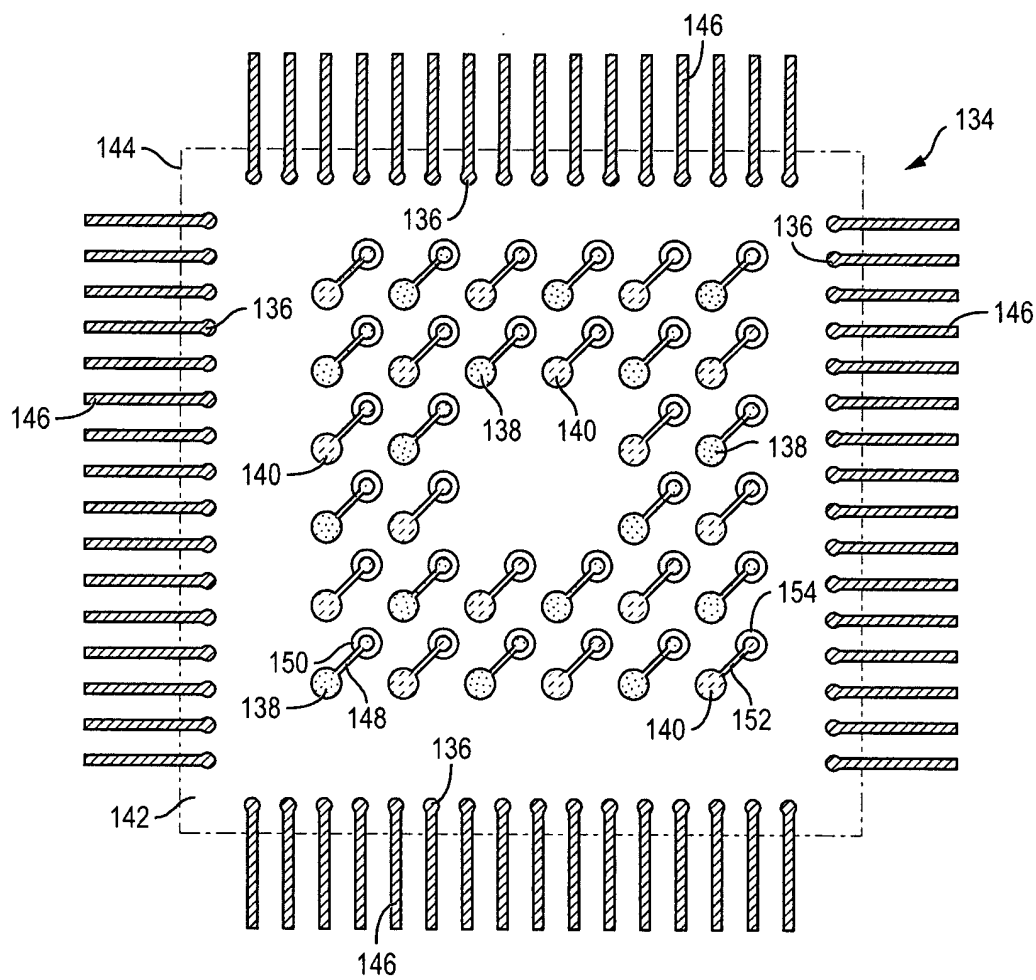


圖 6

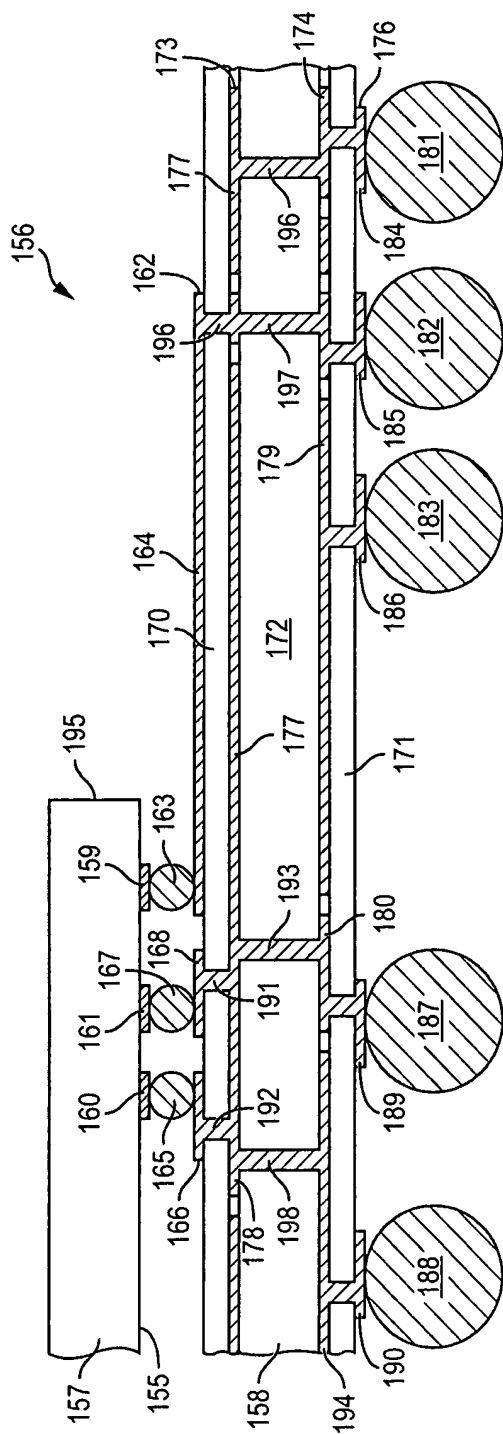


圖7

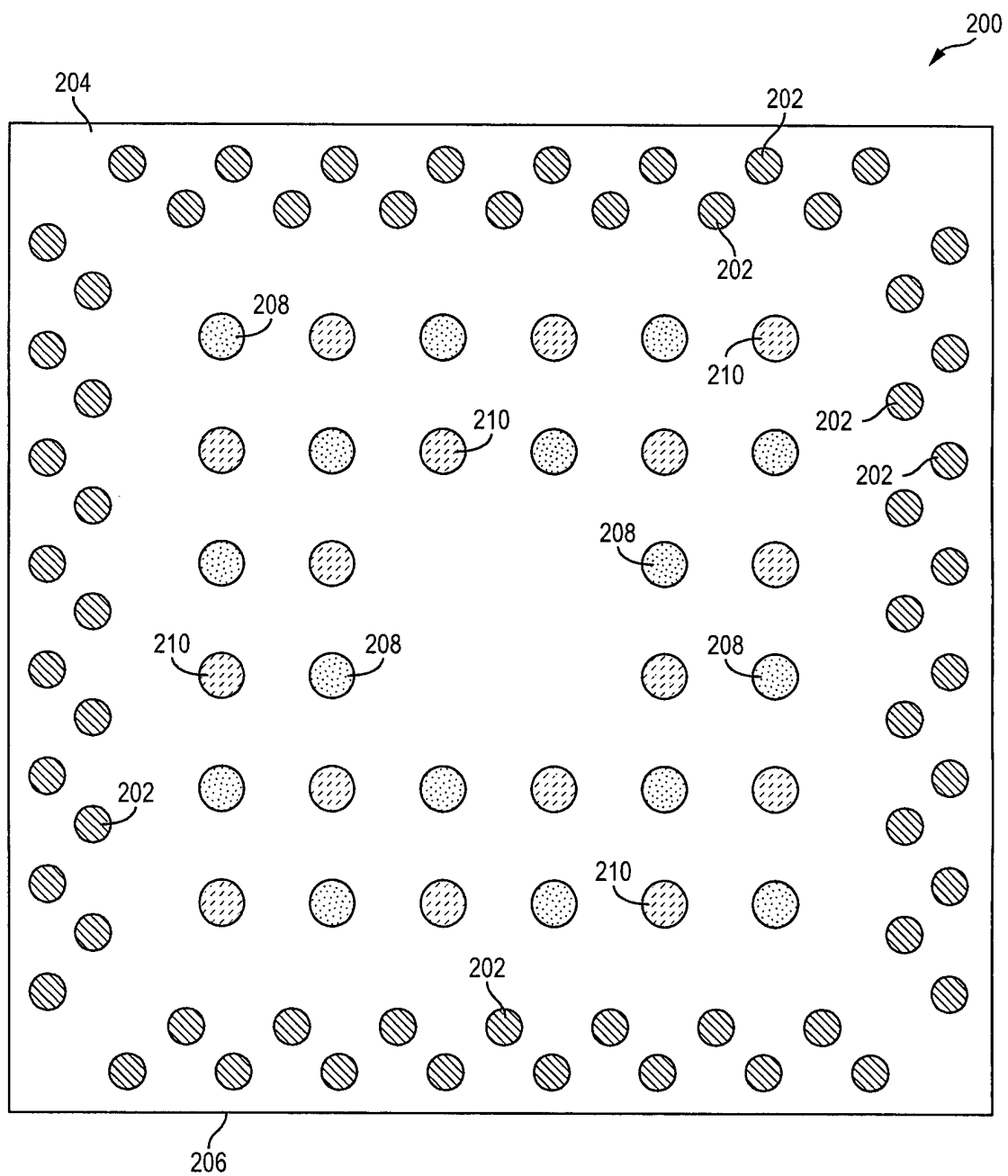


圖 8a

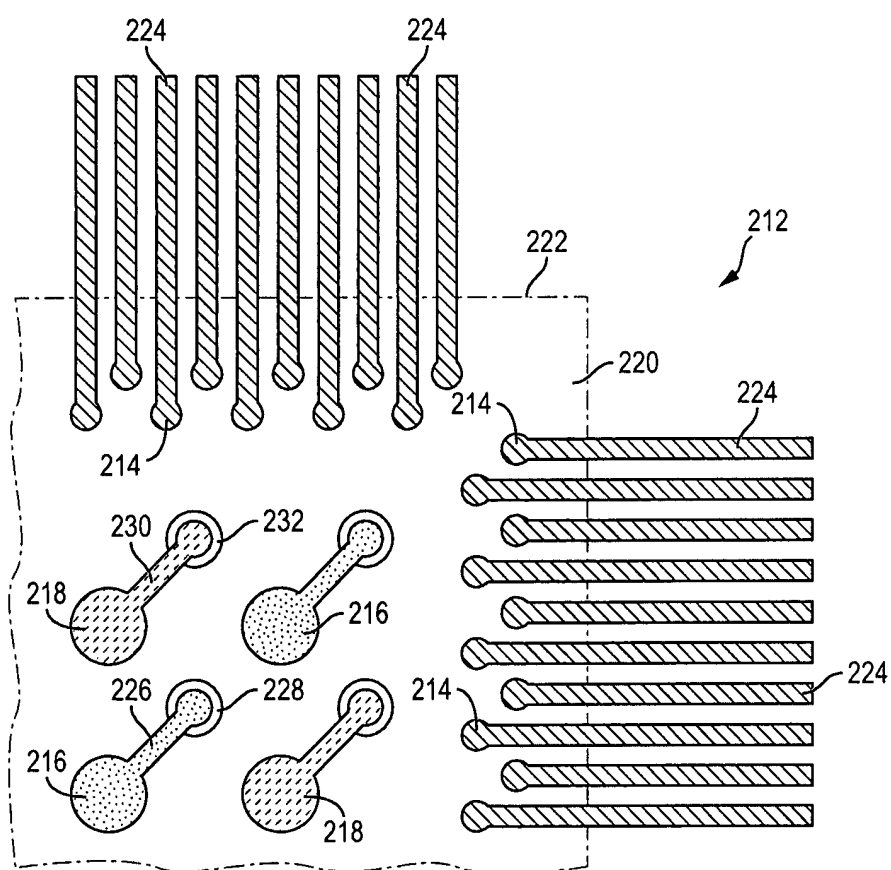


圖 8b

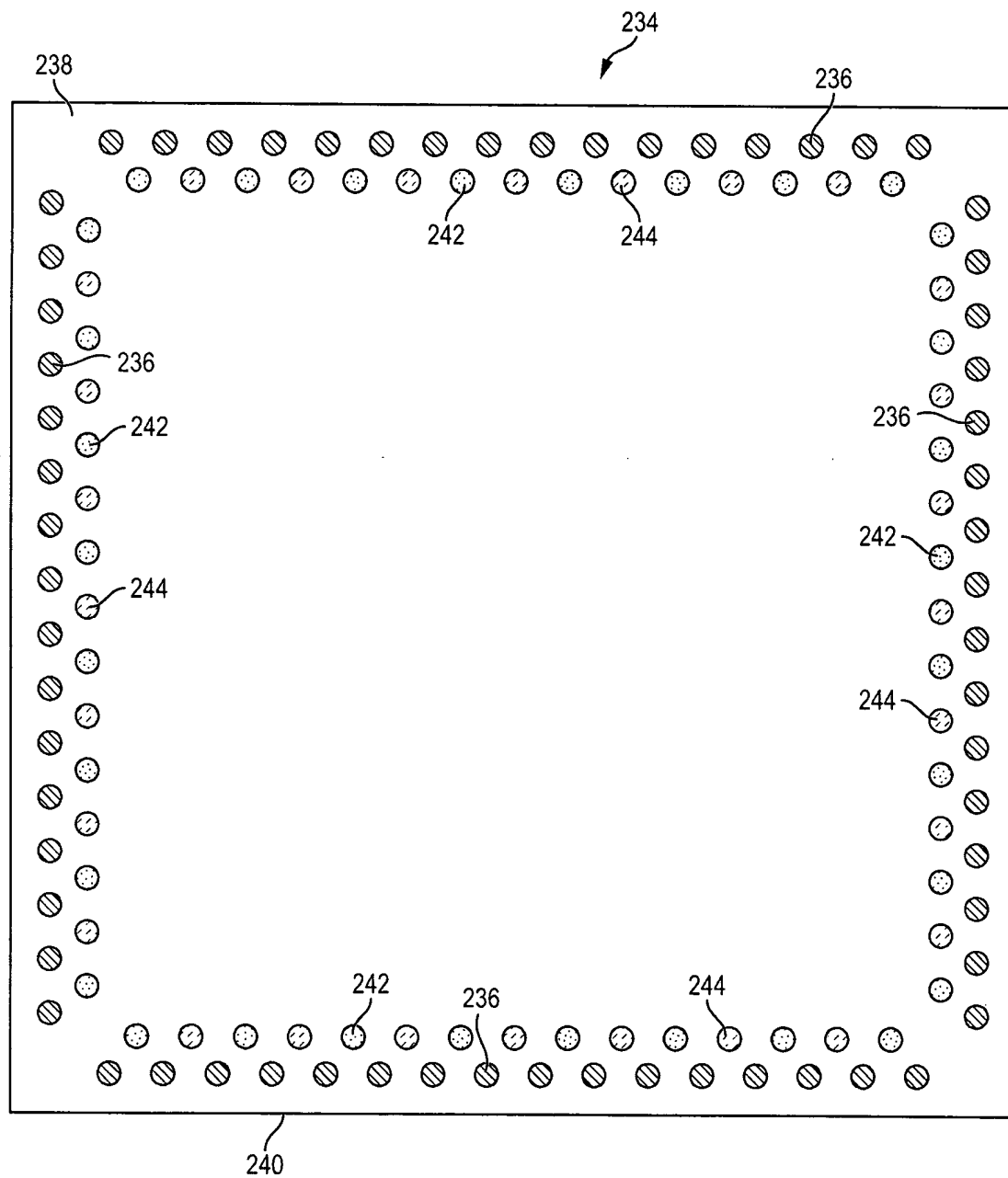


圖 9a

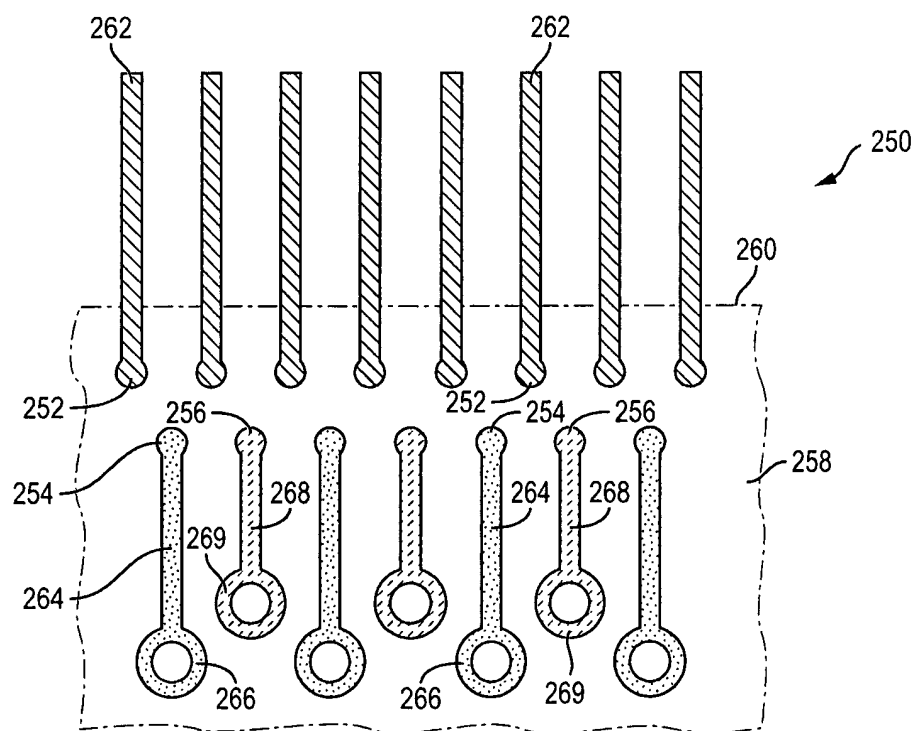


圖 9b

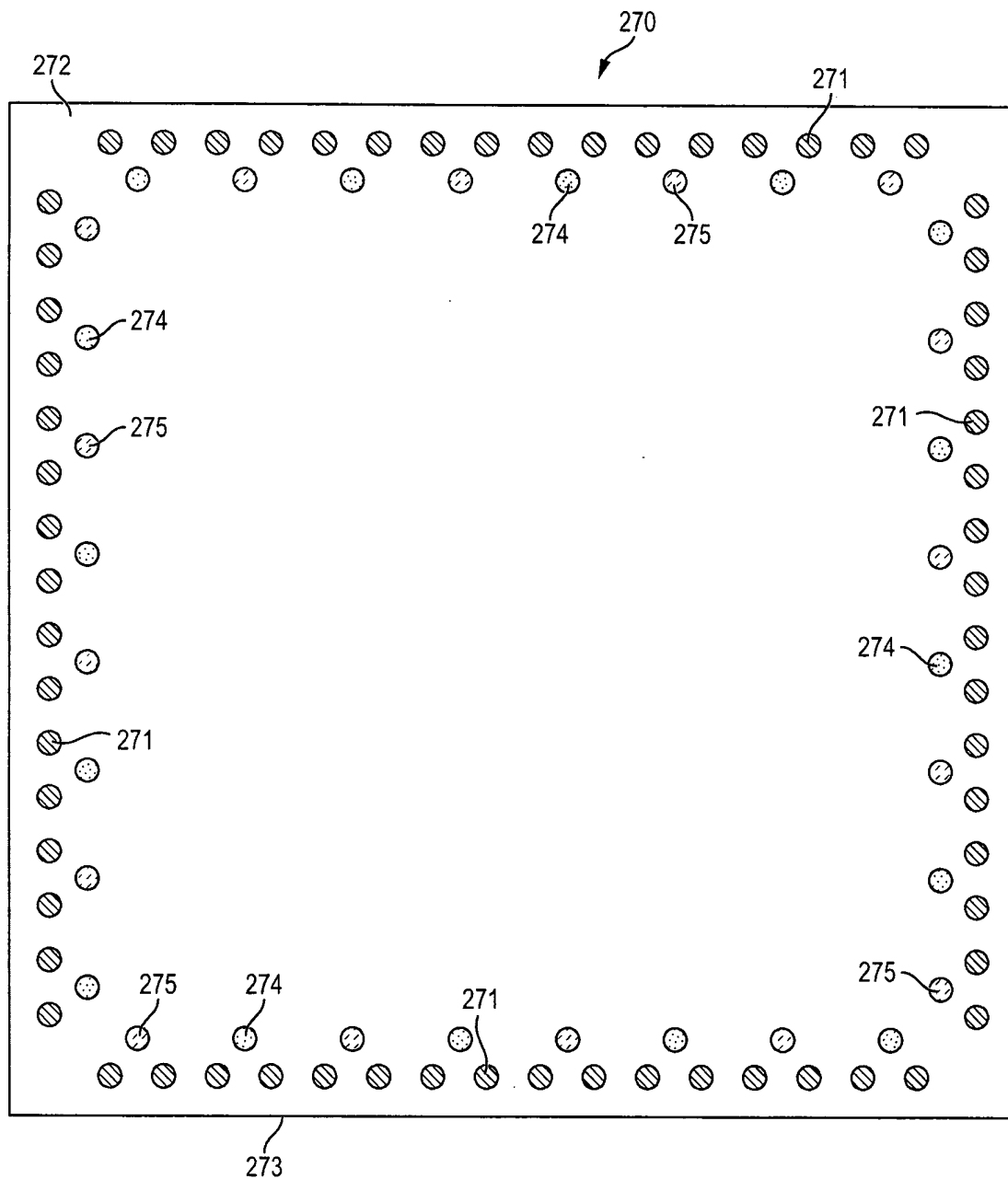


圖10a

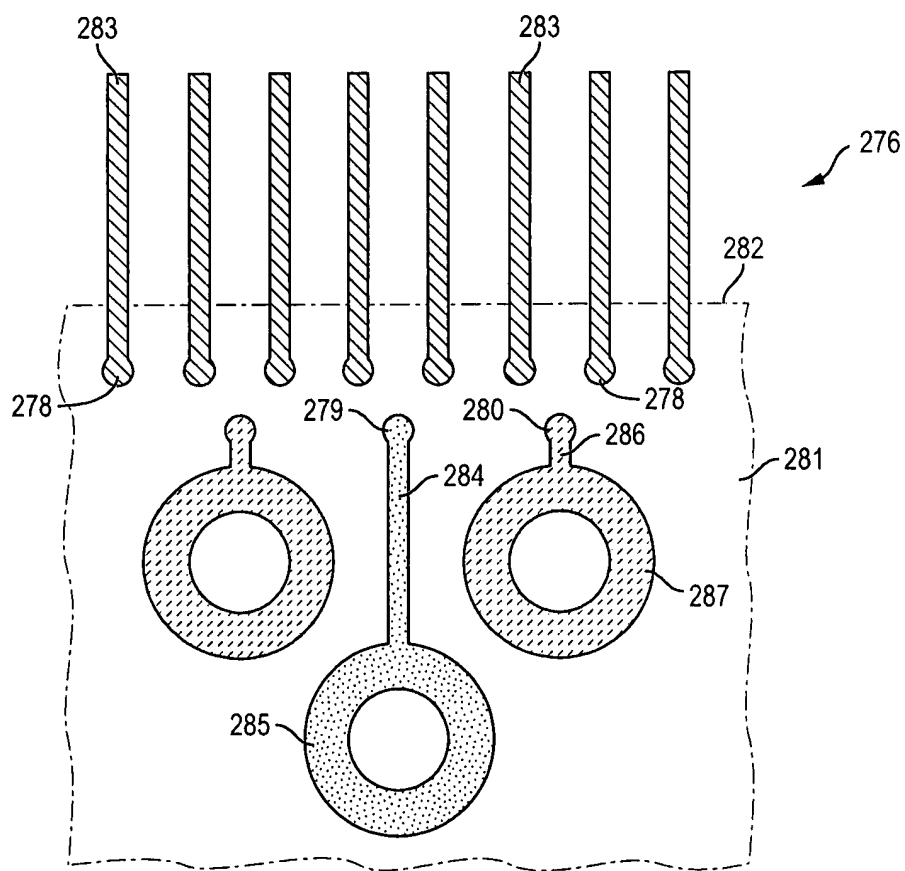


圖 10b

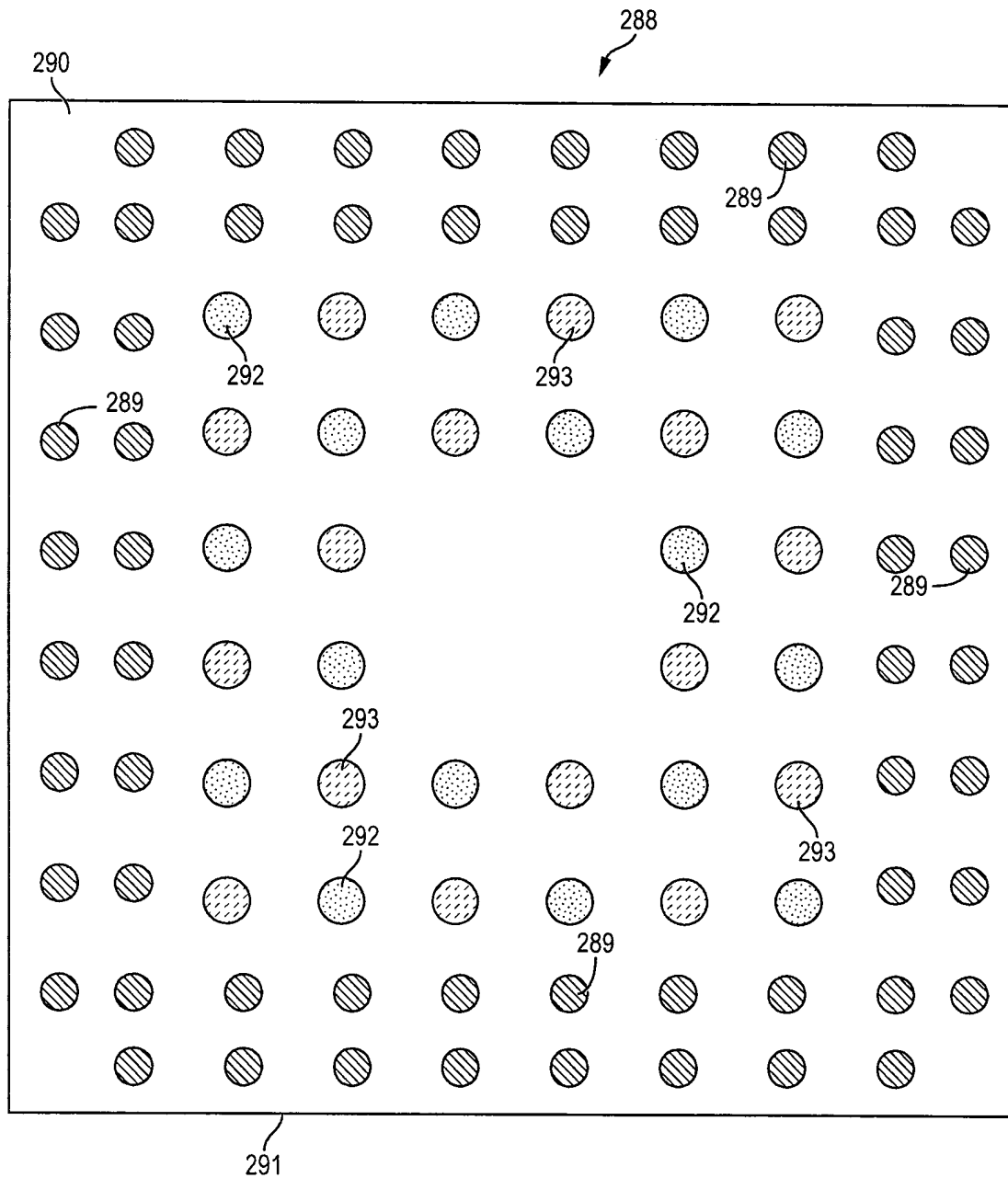


圖 11a

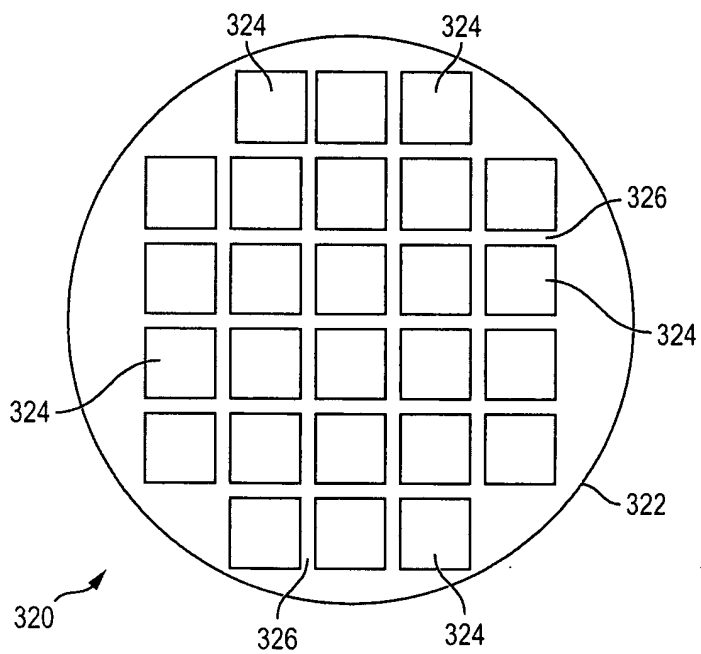


圖 12a

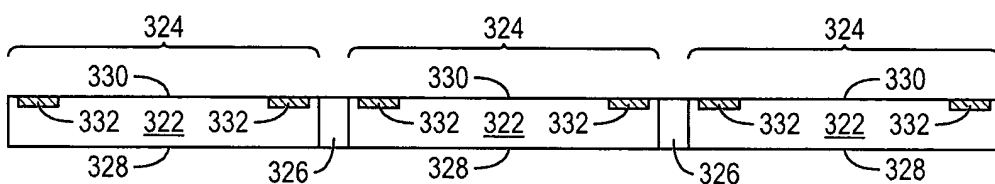


圖 12b

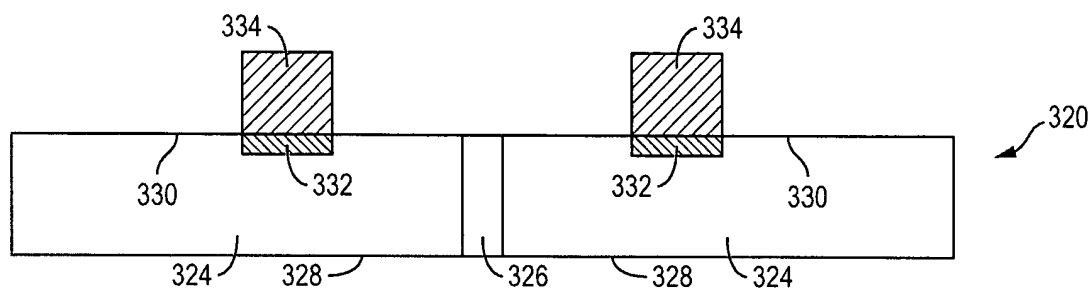


圖 12c

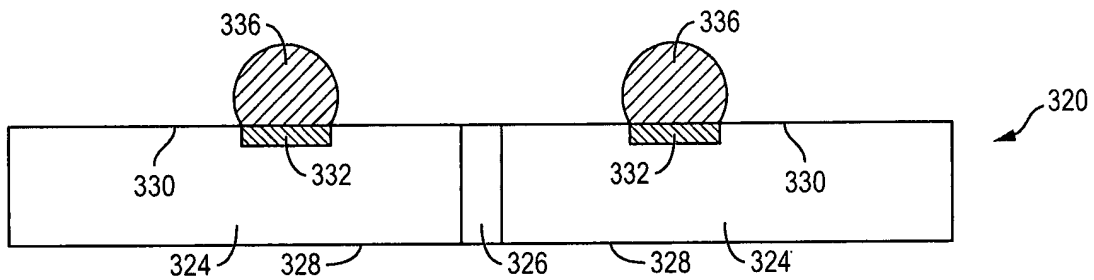


圖 12d

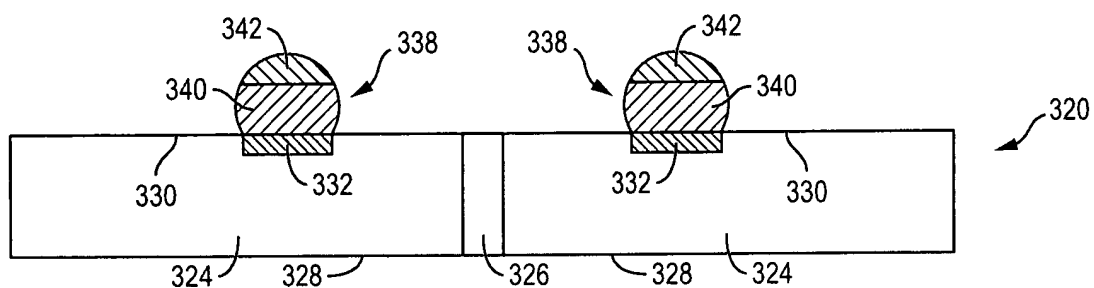


圖 12e

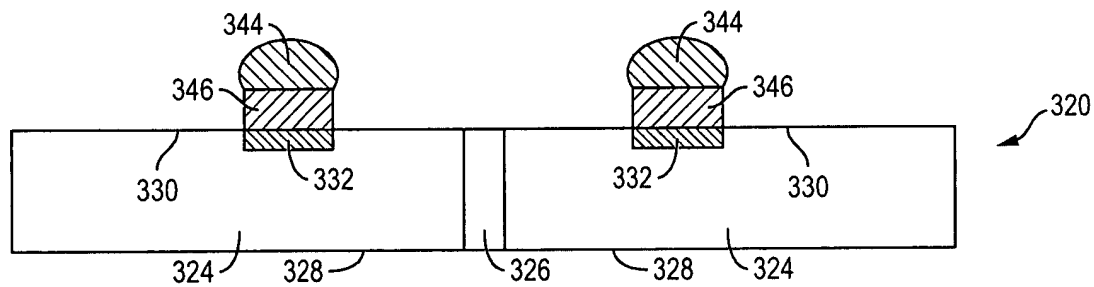


圖 12f

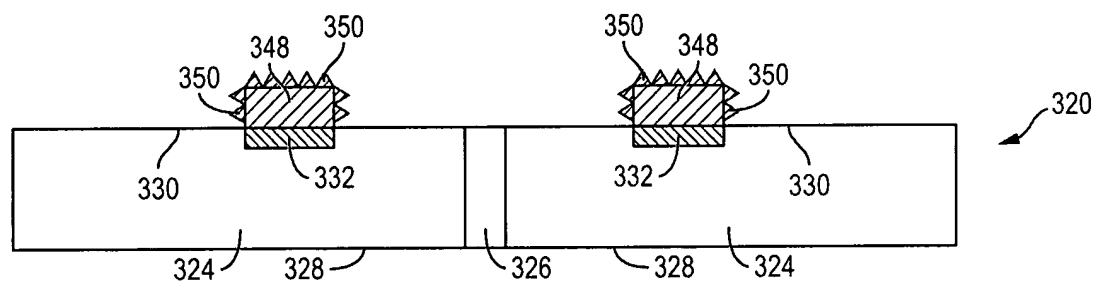


圖 12g

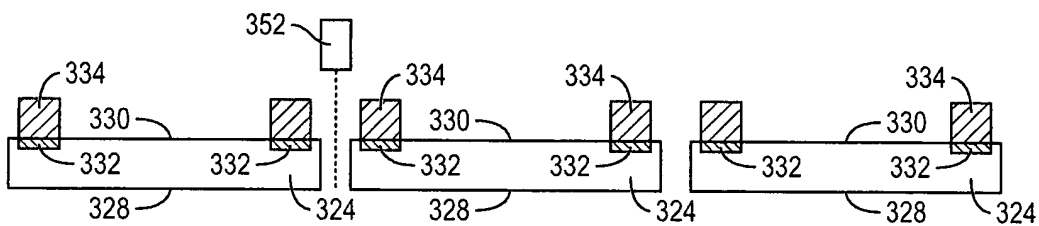


圖 12h

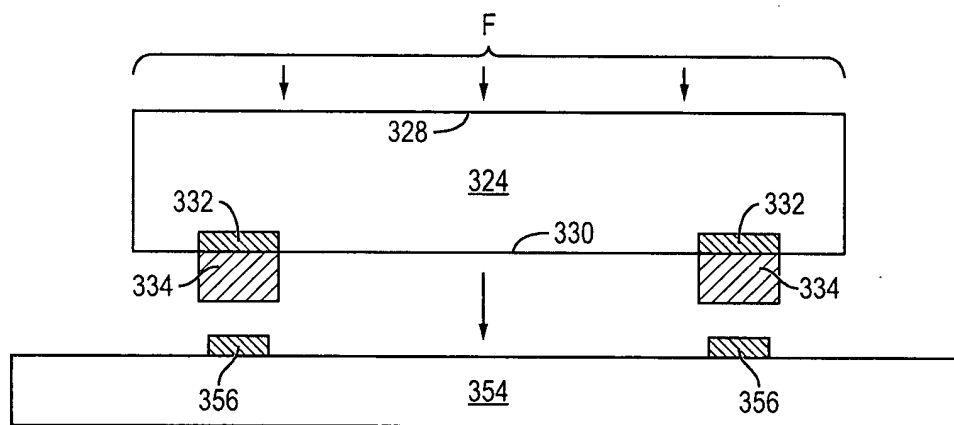


圖 13a

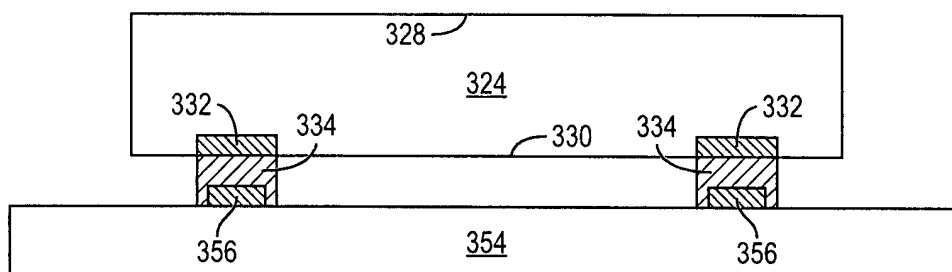


圖 13b

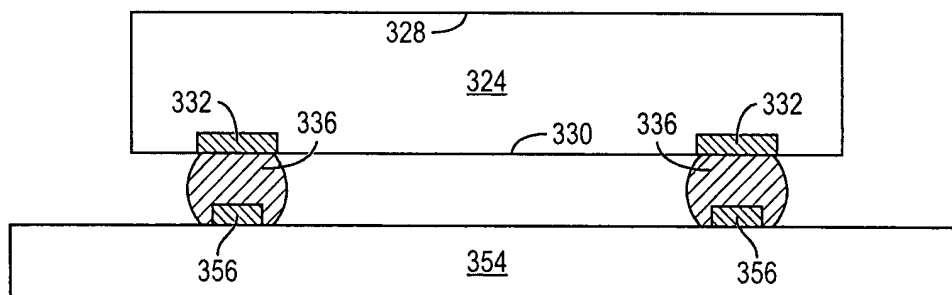


圖 13c

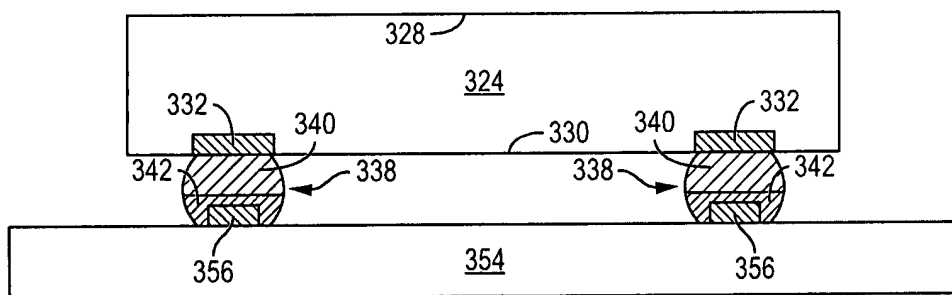


圖 13d

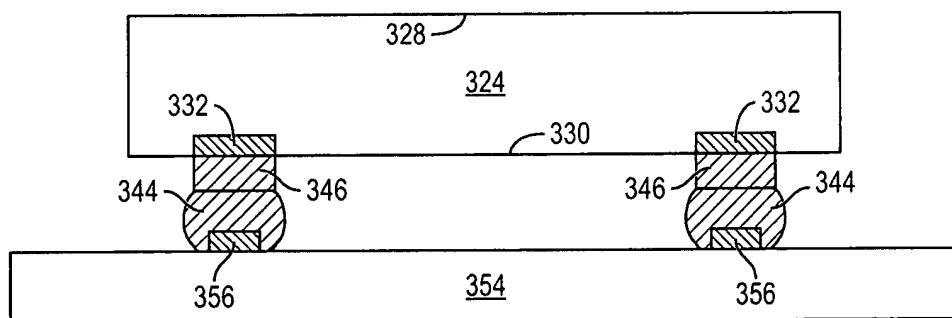


圖 13e

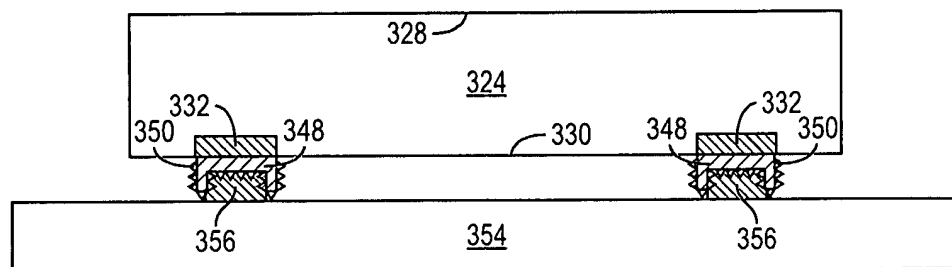


圖 13f

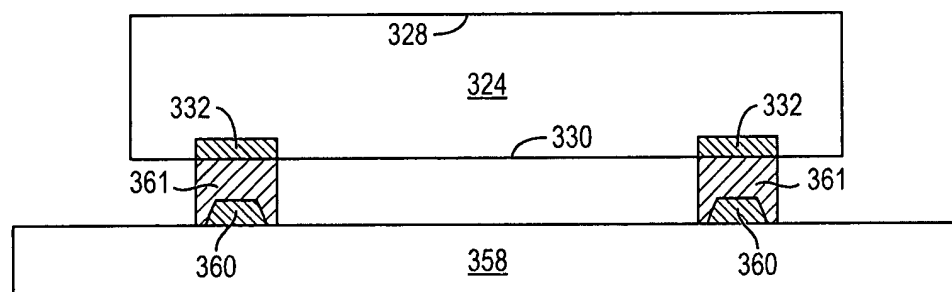


圖 13g

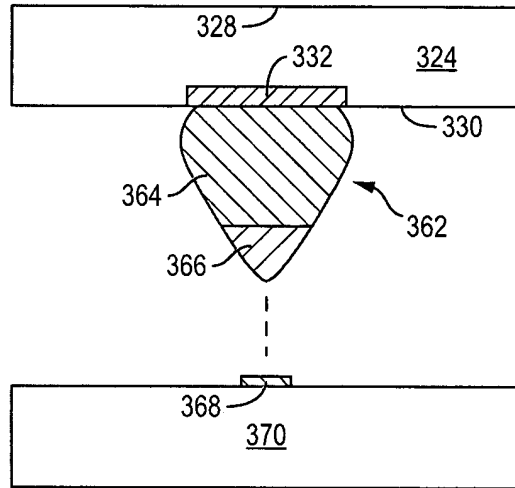


圖 14a

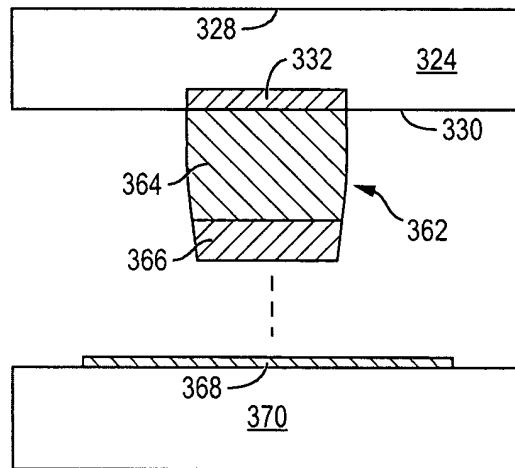


圖 14b

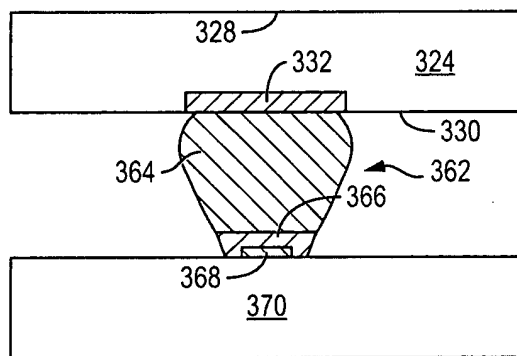


圖 14c

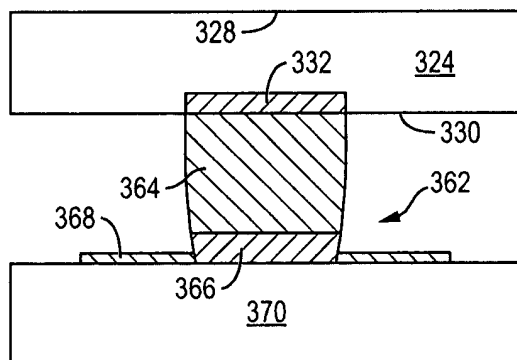


圖 14d

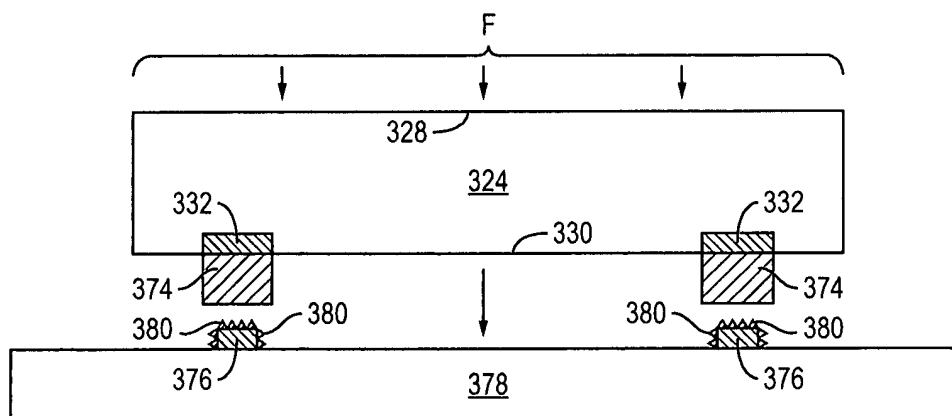


圖 15a

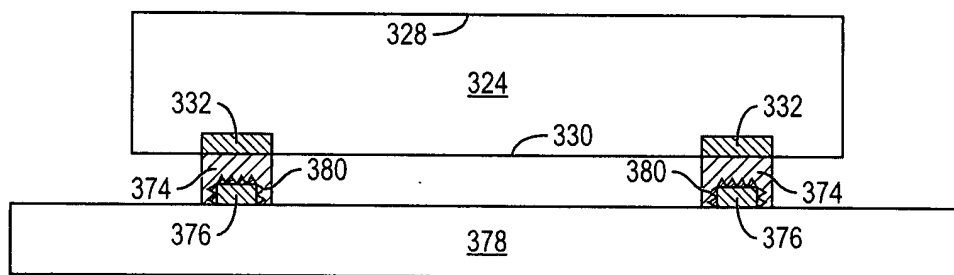


圖 15b

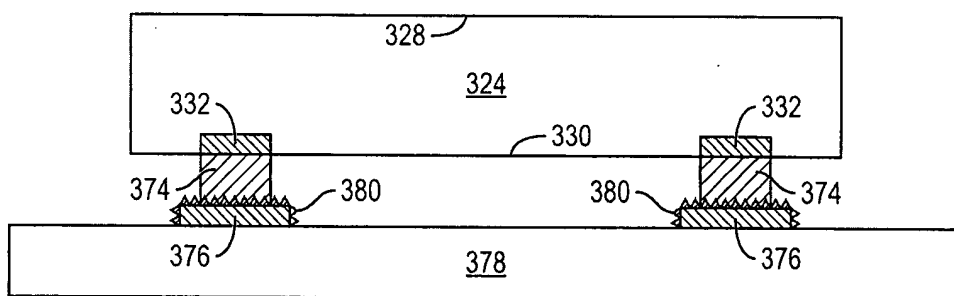


圖 15c

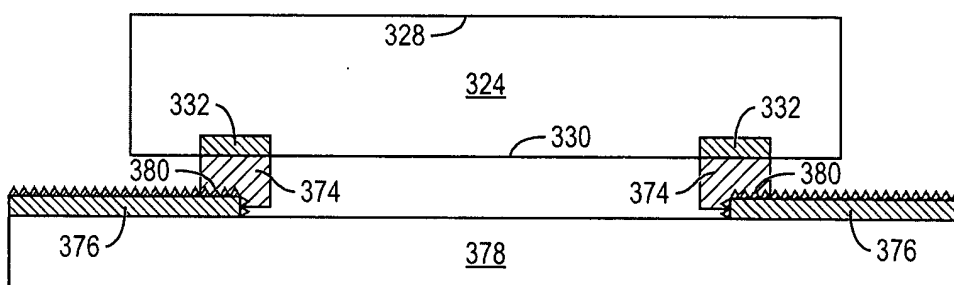


圖 15d

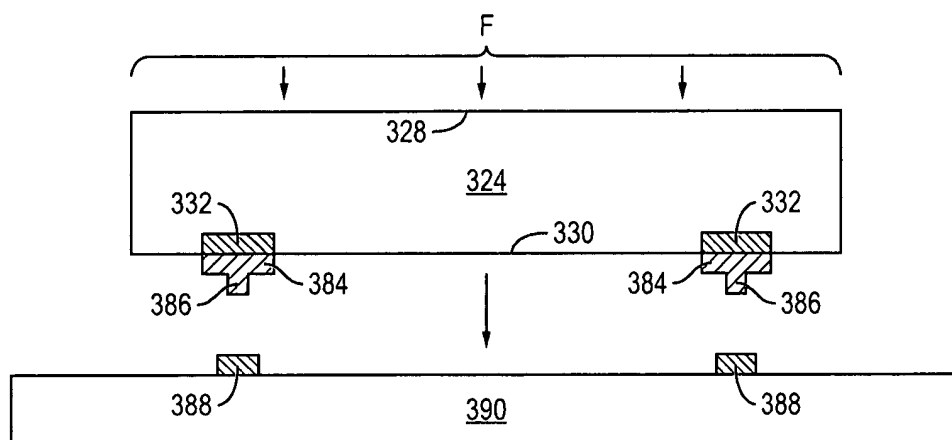


圖 16a

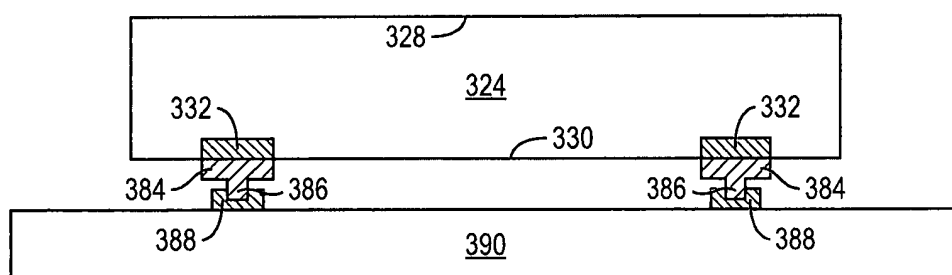


圖 16b

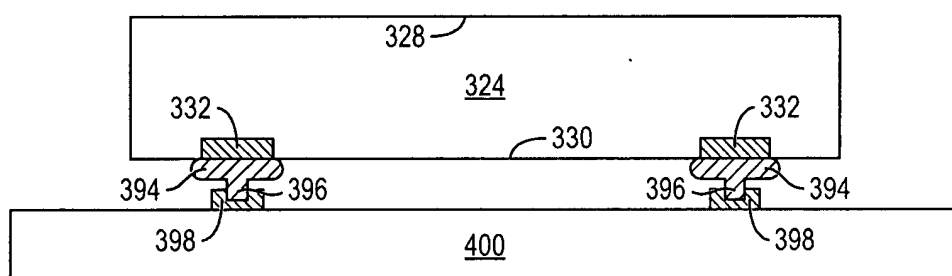


圖 16c

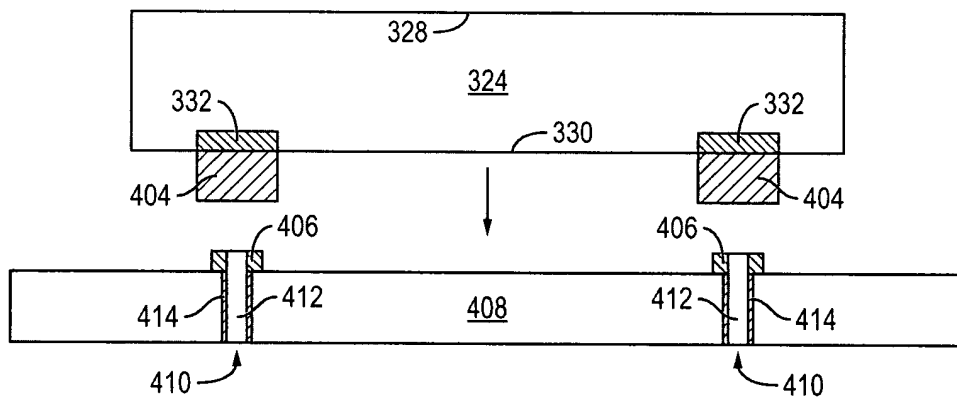


圖17a

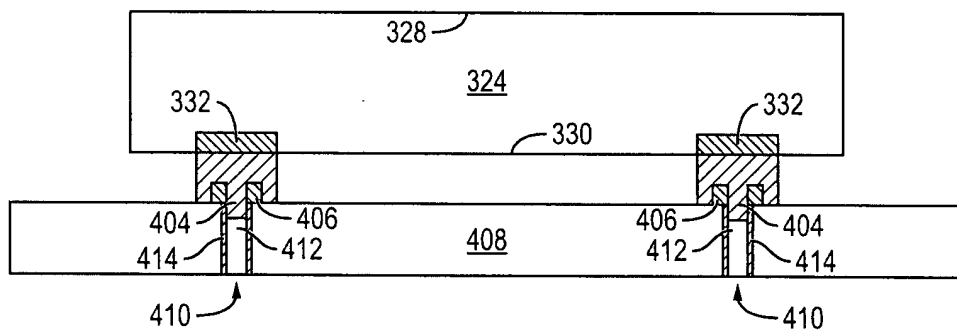
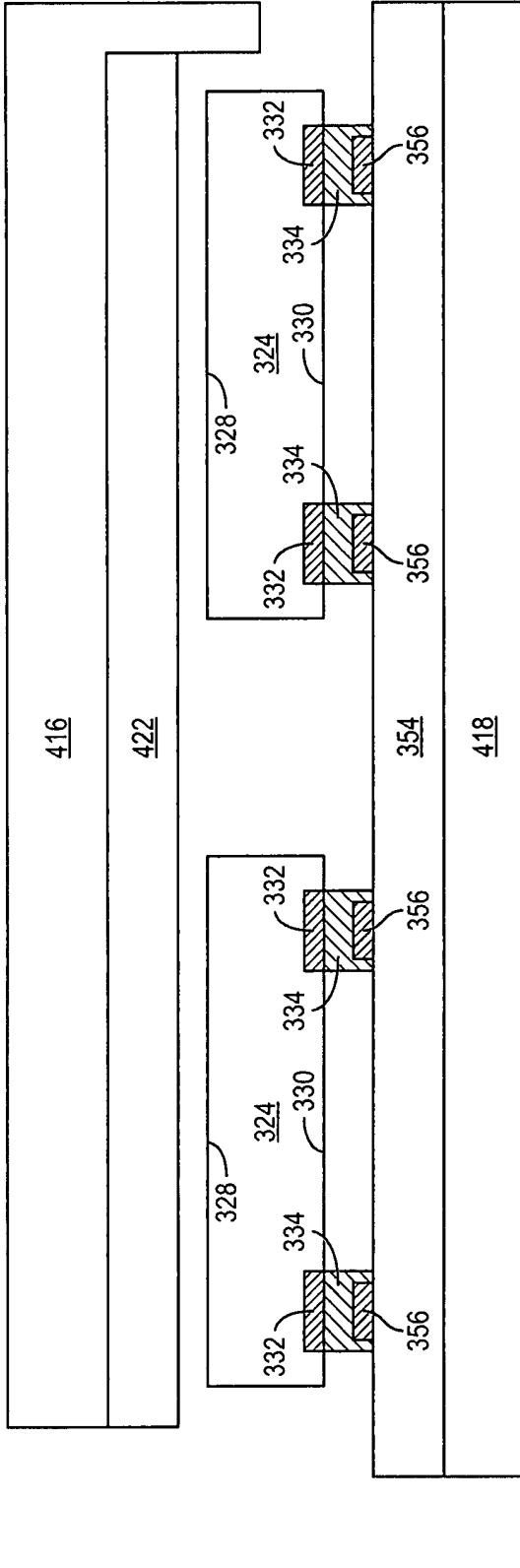
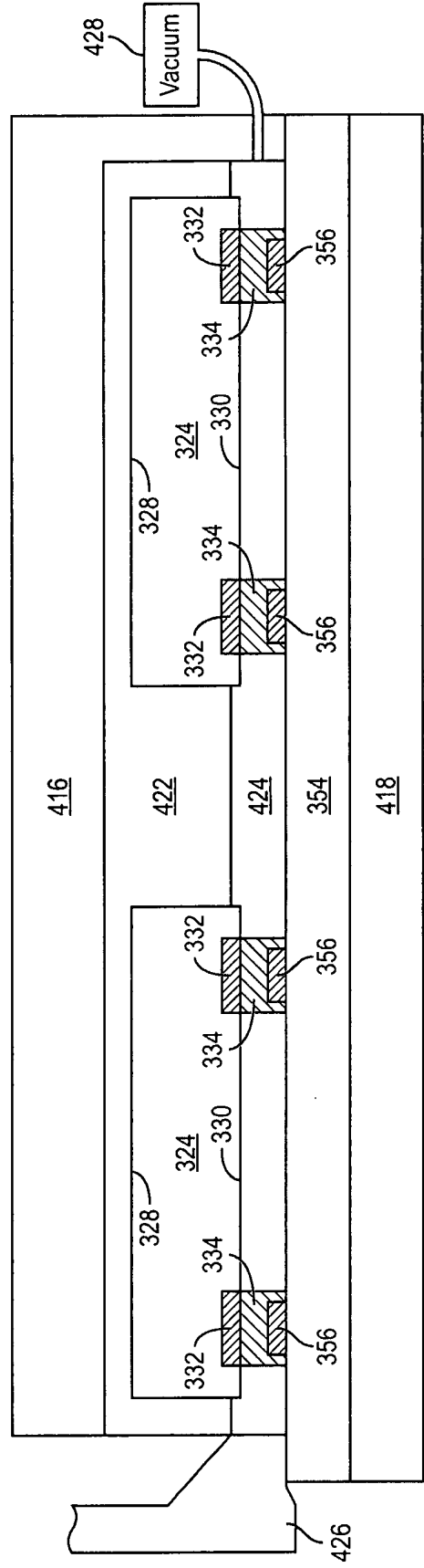


圖17b



420

圖 18a



420

圖 18b

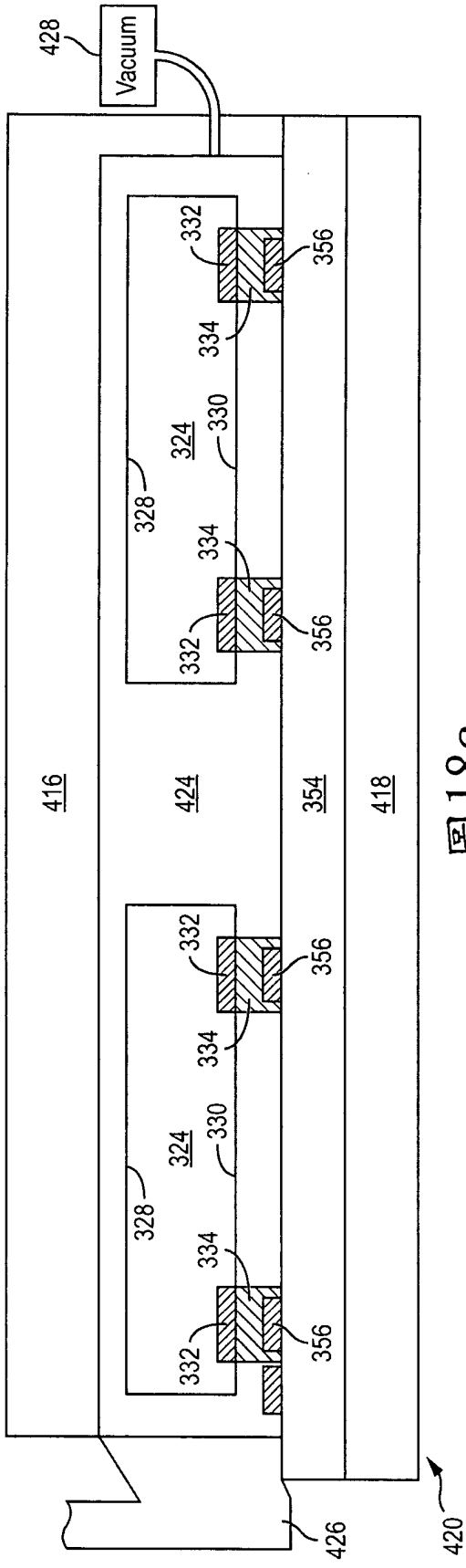


圖18C

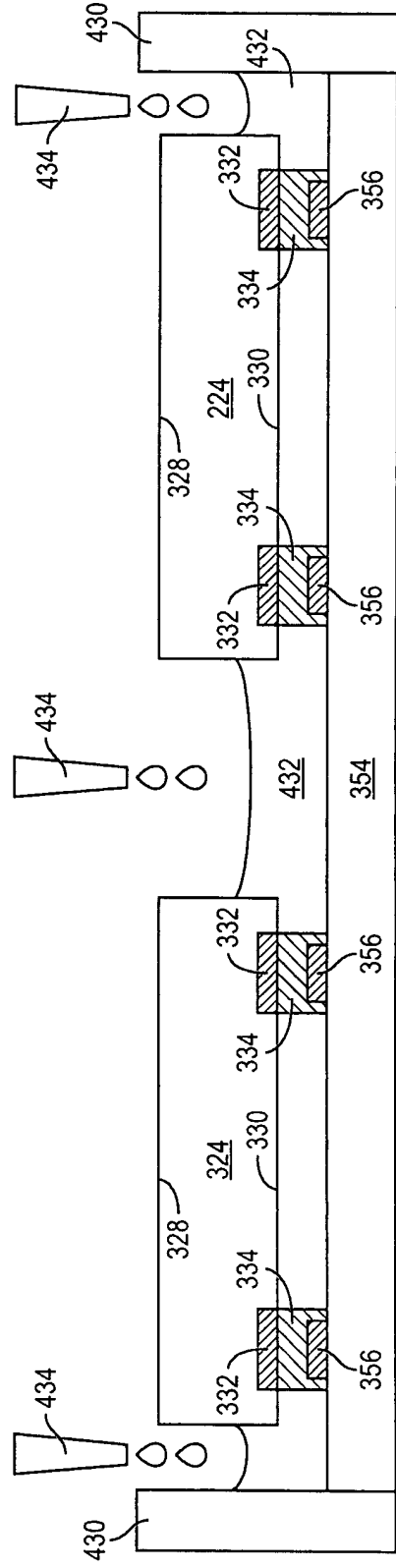


圖19

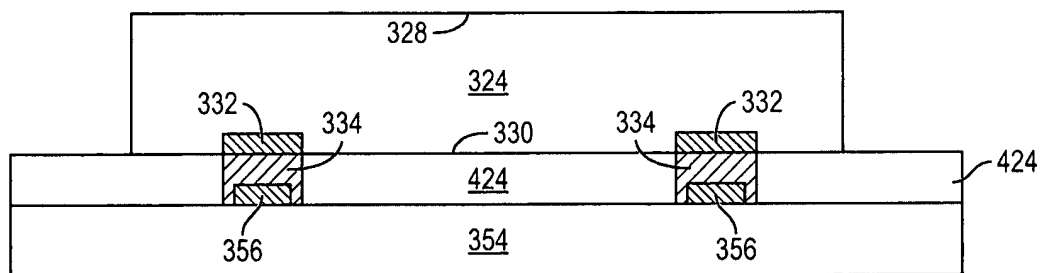


圖 20

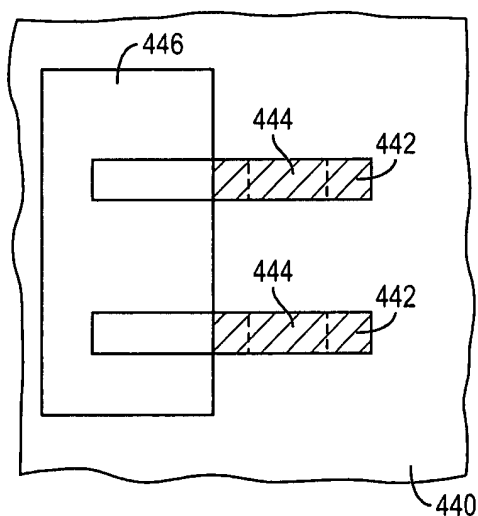


圖 21a

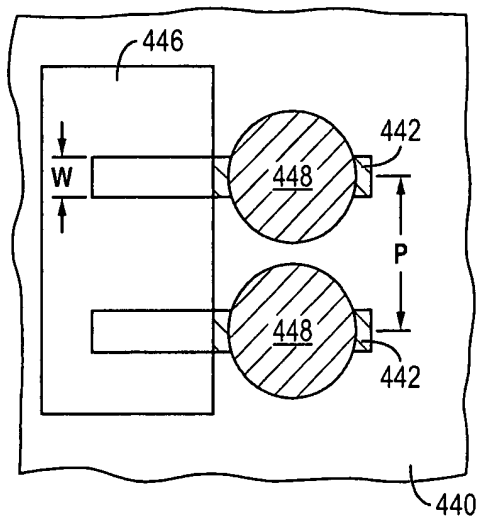


圖 21b

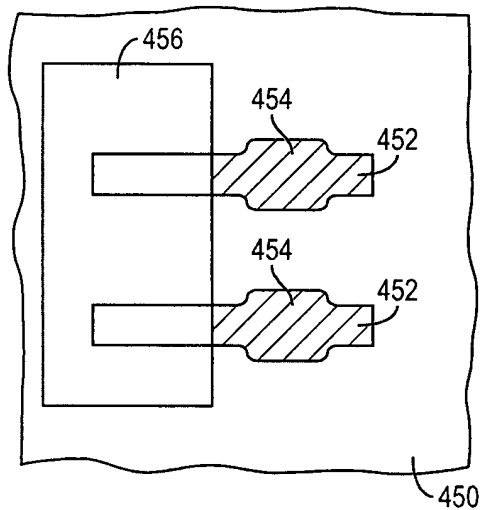


圖21c

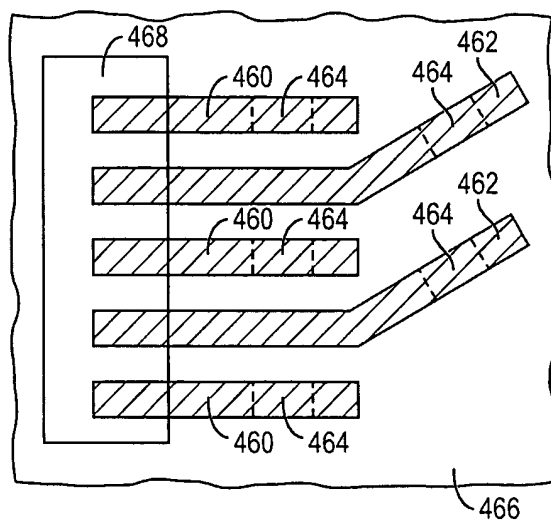


圖21d

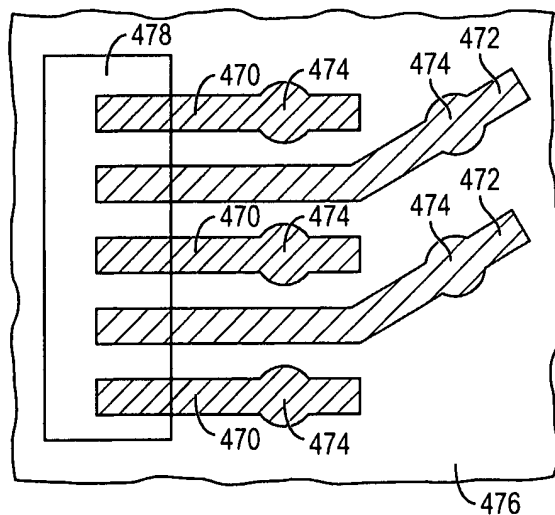


圖21e

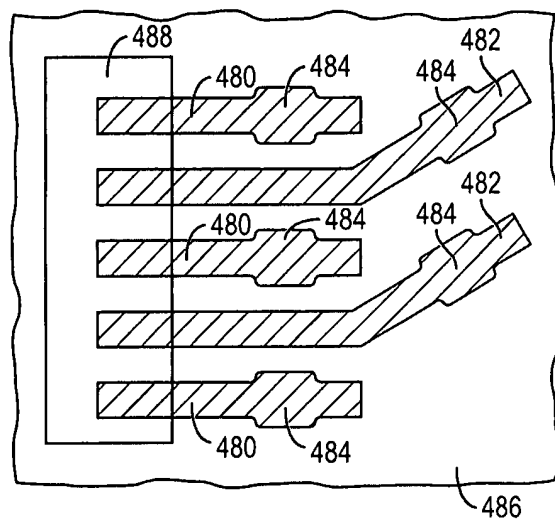


圖21f

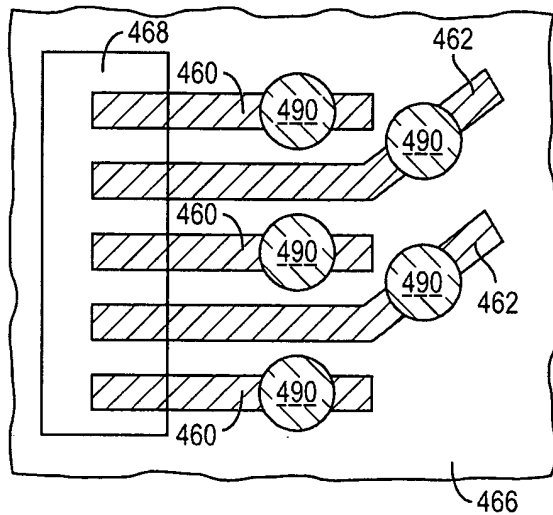


圖 21g

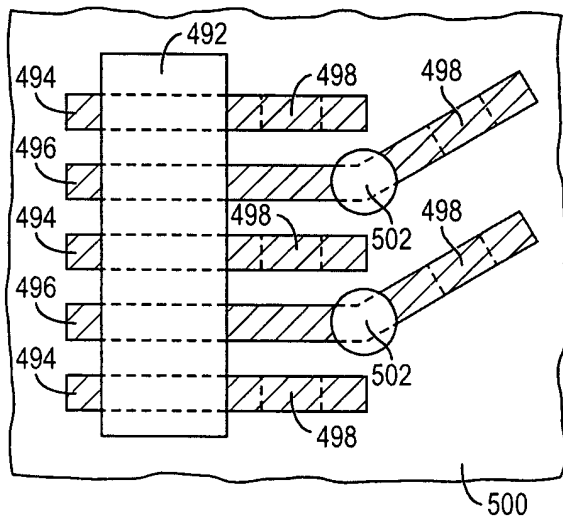


圖 22a

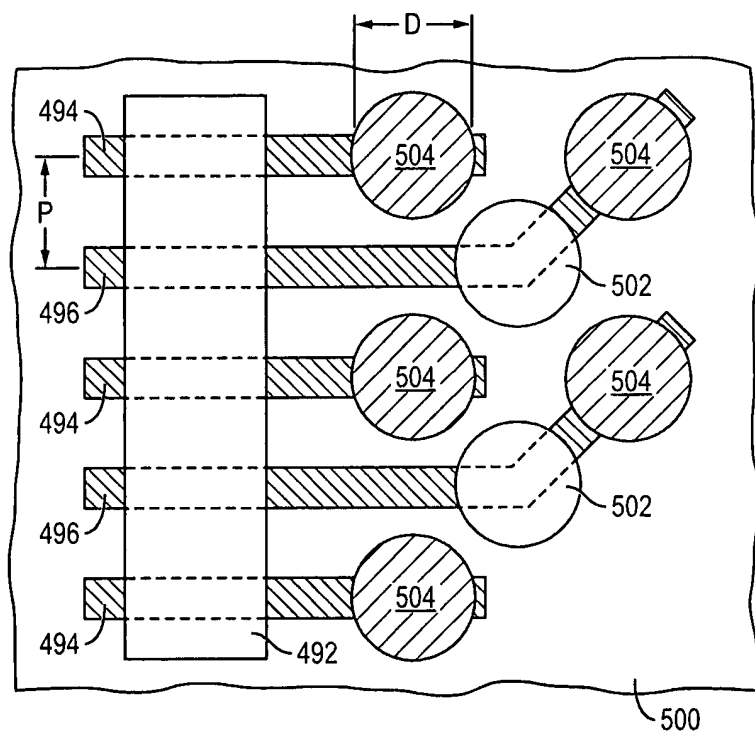


圖 22b

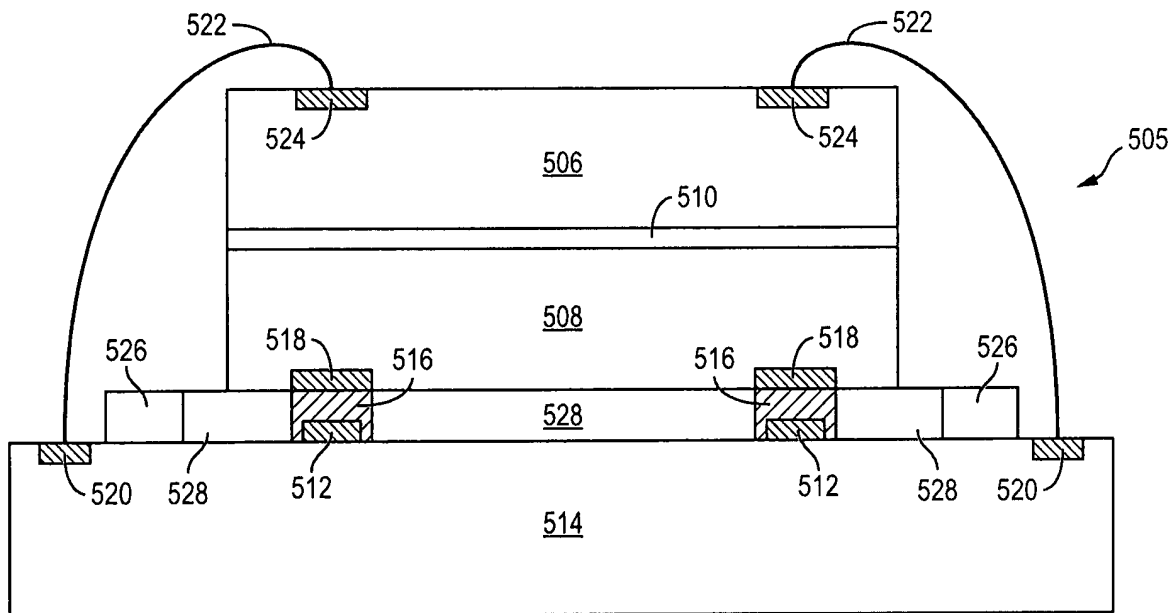


圖 23

四、指定代表圖：

(一)本案指定代表圖為：圖 5。

(二)本代表圖之元件符號簡單說明：

120	晶粒墊佈局
122	信號墊
124	晶粒表面
126	晶粒邊緣
128	電源墊
130	接地墊
132	中央區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無