



## (12) 发明专利

(10) 授权公告号 CN 108766936 B

(45) 授权公告日 2023.09.19

(21) 申请号 201810568682.4

(74) 专利代理机构 上海专利商标事务所有限公

(22) 申请日 2012.05.31

司 31100

(65) 同一申请的已公布的文献号

专利代理人 金红莲 钱慰民

申请公布号 CN 108766936 A

(51) Int.CI.

(43) 申请公布日 2018.11.06

H01L 21/78 (2006.01)

(30) 优先权数据

H01L 21/308 (2006.01)

13/161,026 2011.06.15 US

H01L 21/67 (2006.01)

(62) 分案原申请数据

B23K 26/06 (2014.01)

201280001234.7 2012.05.31

B23K 26/0622 (2014.01)

(73) 专利权人 应用材料公司

B23K 26/364 (2014.01)

地址 美国加利福尼亚州

B23K 26/40 (2014.01)

(72) 发明人 类维生 S·辛格

(56) 对比文件

M·R·亚拉曼希里 B·伊顿  
A·库玛

US 2006/0205182 A1, 2006.09.14

US 2010/0246611 A1, 2010.09.30

CN 101542714 A, 2009.09.23

CN 101490819 A, 2009.07.22

审查员 孙汝杰

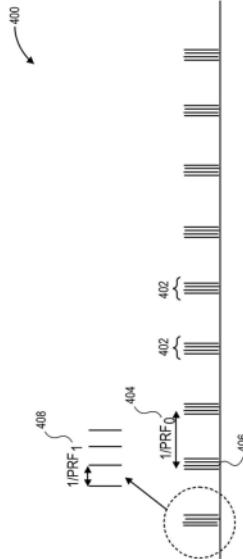
权利要求书3页 说明书10页 附图10页

## (54) 发明名称

使用具有多重脉冲串的脉冲列激光与等离子体蚀刻的晶圆切割

## (57) 摘要

本发明涉及使用具有多重脉冲串的脉冲列激光与等离子体蚀刻的晶圆切割。本文描述切割半导体晶圆的方法，每个晶圆具有多个集成电路。一种方法包括以下步骤：于半导体晶圆上方形成掩模。所述掩模由覆盖并保护所述集成电路的层所组成。以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模，以提供具有间隔的图案化掩模。所述图案化暴露出在集成电路之间的半导体晶圆的区域。之后经由图案化掩模中的间隔蚀刻半导体晶圆，以切割所述集成电路。



1. 一种切割包含前表面和与所述前表面相对的后表面的半导体晶圆的方法, 在所述前表面上具有多个集成电路, 所述方法包含以下步骤:

于所述半导体晶圆的所述前表面上形成最外侧掩模, 所述最外侧掩模包含覆盖并保护所述集成电路的层;

以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述最外侧掩模和所述半导体晶圆的一部分, 以提供图案化的最外侧掩模并在所述集成电路之间形成部分进入但不穿透所述半导体晶圆的沟道, 各所述沟道具有宽度, 其中使用基于电光调制器或声光调制器的脉冲检出器来只传送某些脉冲同时阻挡所有其他的脉冲; 及

使所述图案化的最外侧掩模暴露来通过所述沟道对所述半导体晶圆进行等离子体蚀刻以形成对应的沟道延伸并切割所述集成电路, 各所述对应的沟道延伸具有所述宽度,

其中, 以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述最外侧掩模和所述半导体晶圆的一部分包含: 使用具有在540纳米至250纳米范围内的波长的基于飞秒的激光。

2. 如权利要求1所述的方法, 其中以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述最外侧掩模和所述半导体晶圆的一部分的步骤包含使用每个串具有2-5个脉冲的串。

3. 如权利要求1所述的方法, 其中以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述最外侧掩模和所述半导体晶圆的一部分的步骤包含使用在300kHz至10MHz范围中的串频率, 及为所述串频率的10-20倍的脉冲频率。

4. 如权利要求3所述的方法, 其中所述脉冲频率提供在50-500飞秒(femtosecond)范围中的脉冲时间间隔。

5. 一种切割包含前表面和与所述前表面相对的后表面的硅基板的方法, 在所述前表面上具有多个集成电路, 所述方法包含以下步骤:

于所述硅基板的所述前表面上形成最外侧聚合物层, 所述最外侧聚合物层覆盖并保护所述集成电路, 所述集成电路包含位于低介电常数材料层与铜层上方的二氧化硅层;

以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述最外侧聚合物层、所述二氧化硅层、所述低介电常数材料层、所述铜层以及所述硅基板的一部分, 以形成所述集成电路之间的部分进入但不穿透所述硅基板的区域的沟道, 各所述沟道具有宽度, 其中使用基于电光调制器或声光调制器的脉冲检出器来只传送某些脉冲同时阻挡所有其他的脉冲; 及

从所述硅基板的所述前表面通过所述沟道对所述硅基板进行等离子体蚀刻, 以形成对应的沟道延伸并切割所述集成电路, 各所述对应的沟道延伸具有所述宽度,

其中, 以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述最外侧聚合物层、所述二氧化硅层、所述低介电常数材料层、所述铜层以及所述硅基板的一部分包含: 使用具有在540纳米至250纳米范围内的波长的基于飞秒的激光。

6. 如权利要求5所述的方法, 其中以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述最外侧聚合物层、所述二氧化硅层、所述低介电常数材料层、所述铜层以及所述硅基板的一部分的步骤包含在剥蚀所述低介电常数材料层与所述铜层之前剥蚀所述二氧化硅层。

7. 如权利要求5所述的方法, 其中以使用多重脉冲串的脉冲列激光雕绘工艺图案化的步骤包含使用每个串具有2-5个脉冲的串。

8. 如权利要求5所述的方法, 其中以使用多重脉冲串的脉冲列激光雕绘工艺图案化的步骤包含使用在300kHz至10MHz范围中的串频率, 及为所述串频率的10-20倍的脉冲频率。

9. 如权利要求8所述的方法,其中所述脉冲频率提供在50-500飞秒(femtosecond)范围中的脉冲时间间隔。

10. 一种切割包含多个集成电路的半导体晶圆的方法,所述方法包含:

在所述半导体晶圆上方形成掩模,所述掩模包含覆盖并保护所述集成电路的层;

以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模以提供具有间隔的图案化掩模,暴露出在所述集成电路之间的所述半导体晶圆的区域,其中,使用多重脉冲串的所述脉冲列激光雕绘工艺用于精确地控制切口宽度和所述间隔的深度,并且使用基于电光调制器或声光调制器的脉冲检出器来只传送某些脉冲同时阻挡所有其他的脉冲;及

经由所述图案化掩模中的所述间隔而蚀刻所述半导体晶圆,以切割所述集成电路,

其中,以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模包含:使用具有在540纳米至250纳米范围内的波长的基于飞秒的激光。

11. 如权利要求10所述的方法,其中以使用多重脉冲串的所述脉冲列激光雕绘工艺图案化所述掩模的步骤包含使用每个串具有2-5个脉冲的串。

12. 如权利要求10所述的方法,其中以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模的步骤包含使用在300kHz至10MHz范围中的串频率及为所述串频率的10-20倍的脉冲频率。

13. 如权利要求12所述的方法,其中所述脉冲频率提供在50-500飞秒范围中的脉冲时间间隔。

14. 如权利要求10所述的方法,其中以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模的步骤包含在所述集成电路之间的所述半导体晶圆的所述区域中形成沟道,并且蚀刻所述半导体晶圆的步骤包含蚀刻以使用多重脉冲串的所述脉冲列激光雕绘工艺形成的所述沟道。

15. 一种用于切割包含多个集成电路的半导体晶圆的系统,所述系统包含:

工厂接口;

激光雕绘设备,所述激光雕绘设备与所述工厂接口耦接并包含激光器,所述激光器设以传送具有多重脉冲串的脉冲列;

群集工具,所述群集工具与所述工厂接口连接,所述群集工具包含等离子体蚀刻腔室;以及

基于电光调制器或声光调制器的脉冲检出器,所述脉冲检出器配置为只传送某些脉冲同时阻挡所有其他的脉冲,

其中,所述工厂接口用于在具有所述激光雕绘设备的外部制造设施与所述群集工具之间传送所述半导体晶圆,所述激光雕绘设备用于图案化形成于所述半导体晶圆上方的掩模以形成间隔,所述间隔暴露出在所述集成电路之间的所述半导体晶圆的区域,其中所述多重脉冲串的所述脉冲列用于精确地控制切口宽度和所述间隔的深度,且所述等离子体蚀刻腔室用于经由所述间隔而蚀刻所述半导体晶圆,

其中,所述设以传送具有多重脉冲串的脉冲列的激光器是具有在540纳米至250纳米范围内的波长的基于飞秒的激光器。

16. 如权利要求15所述的系统,其中设以传送具有多重脉冲串的脉冲列的所述激光器是锁模激光器。

17. 如权利要求16所述的系统,其中所述锁模激光器与基于调制器的脉冲检出器耦接,所述调制器选自由电光调制器和声光调制器组成的群组中。

18. 如权利要求15所述的系统,其中所述激光雕绘设备设以执行对半导体晶圆的集成电路之间的街道的激光剥蚀,且其中所述等离子体蚀刻腔室设以蚀刻所述半导体晶圆以在所述激光剥蚀之后切割所述集成电路。

19. 一种切割包含多个集成电路的半导体晶圆的方法,所述方法包含:

在硅基板上方形成聚合物层,所述聚合物层覆盖并保护位于所述硅基板上的集成电路,所述集成电路包含位于低介电常数材料层与铜层上方的二氧化硅层;

以使用多重脉冲串的脉冲列激光雕绘工艺来图案化所述聚合物层、所述二氧化硅层、所述低介电常数材料层和所述铜层,以形成间隔,所述间隔暴露出在所述集成电路之间的所述硅基板的区域,其中使用多重脉冲串的所述脉冲列激光雕绘工艺用于精确地控制切口宽度和所述间隔的深度,并且使用基于电光调制器或声光调制器的脉冲检出器来只传送某些脉冲同时阻挡所有其他的脉冲;及

经由所述间隔而蚀刻所述硅基板,以切割所述集成电路,

其中,以使用多重脉冲串的脉冲列激光雕绘工艺来图案化所述聚合物层、所述二氧化硅层、所述低介电常数材料层和所述铜层包含:使用具有在540纳米至250纳米范围内的波长的基于飞秒的激光。

20. 如权利要求19所述的方法,其中以使用多重脉冲串的所述脉冲列激光雕绘工艺来图案化所述聚合物层、所述二氧化硅层、所述低介电常数材料层和所述铜层的步骤包含在剥蚀所述低介电常数材料层和所述铜层之前剥蚀所述二氧化硅层。

## 使用具有多重脉冲串的脉冲列激光与等离子体蚀刻的晶圆切割

[0001] 本申请是申请日为2012年5月31日、申请号为“201280001234.7”、发明名称为“使用具有多重脉冲的脉冲列激光与等离子体蚀刻的晶圆切割”的发明专利申请的分案申请。

### 背景技术

#### 1) 技术领域

[0002] 本发明的实施例属于半导体处理的领域,尤其是属于切割半导体晶圆的方法,其中每个晶圆上具有多个集成电路。

#### 2) 背景技术

[0004] 在半导体晶圆处理中,将集成电路形成于晶圆(亦可指称为基板)上,晶圆由硅或其他半导体材料所组成。一般来说,利用各种材料层(可为半导体的、导体的或绝缘的)形成这些集成电路。使用各种习知的工艺来掺杂、沉积及蚀刻这些材料,以形成集成电路。每个晶圆经处理而形成许多含有集成电路的个别区域,这些含有集成电路的个别区域习知为管芯。

[0005] 在集成电路形成工艺之后,“切割”晶圆以彼此分离出个别的管芯,而用于封装或使用于较大电路内的未封装形式中。用于晶圆切割的两种主要技术为雕绘与锯切。使用雕绘将尖端为钻石的雕绘器沿着预先形成的雕绘线移动经过整个晶圆表面。这些雕绘线沿着管芯之间的间隔延伸。这些间隔一般指称为“街道”。钻石雕绘器沿着这些街道在晶圆表面形成浅刮痕。在施加压力时,例如以滚轴施加压力,晶圆会沿着雕绘线分离。晶圆中的分裂会沿着晶圆基板的晶格结构行进。雕绘可用于厚度约10密尔(千分之一英寸)或更薄的晶圆。对于较厚的晶圆,目前锯切是较佳的切割方法。

[0006] 使用锯切时,尖端为钻石且每分钟以高转数旋转的锯子接触晶圆表面并沿着街道锯切晶圆。晶圆安装于支撑构件上,支撑构件例如延伸穿过膜框的黏膜,并且将锯子重复地施用于垂直与水平街道。不管是雕绘或是锯切,都有的一个问题是在沿着管芯的断边形成缺口和凿孔。另外,裂缝会形成并从管芯边缘延伸进入基板,而使得集成电路无法运作。当使用雕绘时缺口与裂缝尤其是个问题,因为只能雕绘方形或长方形管芯在晶体结构<110>方向上的一边。因此,分割管芯的另一边时会产生锯齿状的分割线。由于缺口与裂缝,在晶圆上的管芯之间需要有额外的间隔,以防止集成电路损坏,例如将缺口与裂缝维持在距离实际的集成电路一段距离。需要间隔的结果是,无法在标准尺寸的晶圆上形成尽可能多的管芯,因而浪费了可在其他方面用于电路的晶圆面积。使用锯切使半导体晶圆面积的浪费更为严重。锯子的刀刃约有15微米厚。如此,为确保锯子在刻痕周围造成的破裂及其他损伤不会伤害到集成电路,经常必须将每个管芯的电路分隔三至五百微米。此外,在切割之后需要大量清洗每个管芯,以移除微粒及其他从锯切工艺产生的污染物。

[0007] 等离子体切割也被使用,但也一样有所限制。例如,一个阻碍等离子体切割实施

的限制可能是成本。图案化抗蚀剂的标准光刻操作可能导致实施成本过高。另一个可能阻碍等离子体切割实施的限制在于在沿着街道切割而等离子体处理经常碰见的金属(如铜)会造成生产问题或产量限制。

## 发明内容

[0008] 本发明的实施例包括切割半导体晶圆的方法，其中每个晶圆上具有多个集成电路。

[0009] 在实施例中，切割具有多个集成电路的半导体晶圆的方法包括以下步骤：于半导体晶圆上方形成掩模，所述掩模由覆盖并保护所述集成电路的层所组成。然后以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模，以提供具有间隔的图案化掩模、在集成电路之间的半导体晶圆的暴露区域。之后经由图案化掩模中的间隔而蚀刻半导体晶圆，以切割所述集成电路。

[0010] 在另一实施例中，一种切割半导体晶圆的系统包括工厂界面。激光雕绘设备与所述工厂界面连接并包括设以传送具有多重脉冲串的脉冲列的激光器。等离子体蚀刻腔室亦与所述工厂界面连接。

[0011] 在另一实施例中，一种切割具有多个集成电路的半导体晶圆的方法包括以下步骤：于硅基板上方形成聚合物层。所述聚合物层覆盖并保护位于硅基板上的集成电路。所述集成电路由位于低介电常数材料层与铜层上方的二氧化硅层所组成。以使用多重脉冲串的脉冲列激光雕绘工艺来图案化聚合物层、二氧化硅层、低介电常数材料层与铜层，以暴露出在集成电路之间的硅基板区域。之后经由间隔蚀刻硅基板，以切割所述集成电路。

## 附图说明

[0012] 图1为依据本发明的实施例，表示在切割半导体晶圆的方法中的操作的流程图，其中半导体晶圆包括多个集成电路。

[0013] 图2A图示依据本发明的实施例，包括多个集成电路的半导体晶圆在执行切割半导体晶圆的方法期间相对于图1的流程图的操作102的截面视图。

[0014] 图2B图示依据本发明的实施例，包括多个集成电路的半导体晶圆在执行切割半导体晶圆的方法期间相对于图1的流程图的操作104的截面视图。

[0015] 图2C图示依据本发明的实施例，包括多个集成电路的半导体晶圆在执行切割半导体晶圆的方法期间相对于图1的流程图的操作106的截面视图。

[0016] 图3图示依据本发明的实施例一列单脉冲的时间图。

[0017] 图4图示依据本发明的实施例一列多重脉冲串的时间图。

[0018] 图5图示依据本发明的实施例使用在飞秒范围中的激光脉冲对比较长脉冲时间的激光脉冲的效果。

[0019] 图6图示依据本发明的实施例，可用于半导体晶圆或基板的街道区域的堆叠材料的截面视图。

[0020] 图7A-7D图示依据本发明的实施例，在切割半导体晶圆的方法中各种操作的截面视图。

[0021] 图8图示依据本发明的实施例，用于激光与等离子体切割晶圆或基板的工具布局

的方块图。

[0022] 图9图示依据本发明的实施例，例示性计算机系统的方块图。

### 具体实施方式

[0023] 描述切割半导体晶圆的方法，其中每个晶圆上具有多个集成电路。在以下说明中提出了许多特定细节，如具有脉冲列多重脉冲串的基于飞秒(femtosecond)的激光雕绘与等离子体蚀刻条件及材料方法，以提供对于本发明实施例完整的了解。对于本领域技术人员来说，可不以这些特定细节来实施本发明实施例将是显而易见的。在其他的例子中，已知的方面如集成电路制造并未详细描述，以免非必要地混淆了本发明的实施例。此外，应了解图中所示的各种实施例为说明性的表示，且非必然依比例绘制。

[0024] 可以实施牵涉初始激光雕绘及后续等离子体蚀刻的混合晶圆或基板切割工艺用于管芯切割。可以使用激光雕绘工艺来干净地移除掩模层、有机及无机介电层及器件层。然后可以在暴露或部分蚀刻晶圆或基板时立即终止激光蚀刻工艺。之后可以使用切割工艺的等离子体蚀刻部分来蚀刻穿透晶圆或基板的块体，如穿透单晶硅的块体，以产出管芯或芯片切割。

[0025] 在组合激光雕绘与等离子体蚀刻切割工艺的激光雕绘部分期间，可能需要激光以特定的顺序来干净地移除掩模层、有机及无机介电层及器件层。之后，经由下方的硅层或基板的任何剩余部分应用等离子体蚀刻工艺以实现芯片切割。即使是在工艺的第一部分中使用基于飞秒的激光的案例中，可能仍存在关键的工艺挑战，例如(但不限于)避免微裂缝、不同层间的剥离、无机介电层的缺口、对于精确的切口宽度控制的潜在需求或对于精确的剥蚀深度控制的潜在需求。

[0026] 对于激光剥蚀，可将具有给定脉冲重复率的一列单脉冲应用于进行切割的晶圆或基板。通常将每个脉冲时间平均地分隔(例如脉冲到脉冲的时间分隔等于脉冲重复频率的倒数)。依据本发明的实施例，将一列依时间成形的飞秒多重脉冲串取代一列单脉冲，而应用于激光雕绘工艺。可使用应用一列依时间成形的多重脉冲串来更佳地控制离子化工艺并产出较低的剥蚀阈值。在一个实施例中，使用一列多重脉冲串来更精确地控制剥蚀宽度(如切口宽度)与深度。

[0027] 因此，在本发明的一个方面，可以使用利用多重脉冲串的脉冲列激光雕绘工艺与等离子体蚀刻工艺的组合来将半导体晶圆切割成切割的集成电路。图1为依据本发明的实施例表示在切割半导体晶圆的方法中的操作的流程图100，所述半导体晶圆包括多个集成电路。图2A-2C图示依据本发明的实施例在执行切割半导体晶圆的方法期间包括多个集成电路的半导体晶圆对应流程图100的操作的截面视图。

[0028] 参照流程图100的操作102及对应的图2A，于半导体晶圆或基板204上方形成掩模202。掩模202由覆盖并保护集成电路206的层所组成，集成电路206形成于半导体晶圆204的表面上。掩模202也覆盖形成于每个集成电路206之间的中间街道207。

[0029] 依据本发明的实施例，形成掩模202的步骤包括以下步骤：形成层例如(但非局限于)光致抗蚀剂层或I-line图案化层。举例来说，聚合物层(如光致抗蚀剂层)可由以其它方式适用于光刻工艺的材料所组成。在一个实施例中，光致抗蚀剂层是由正光致抗蚀剂材料所组成，正光致抗蚀剂材料例如(但非局限于)248纳米(nm)抗蚀剂、193纳米抗蚀剂、157纳

米抗蚀剂、极紫外光(EUV)抗蚀剂或具有重氮萘醌增感剂的酚醛树脂。在另一实施例中，光致抗蚀剂层是由负光致抗蚀剂材料所组成，负光致抗蚀剂材料例如(但非局限于)顺-聚异戊二烯及聚乙烯醇肉桂酸酯(Poly-vinyl-cinnamate)。

[0030] 在实施例中，半导体晶圆或基板204是由适合承受制造工艺且上面可适当配置半导体处理层的材料所组成。举例来说，在一个实施例中，半导体晶圆或基板204是由基于第IV族的材料所组成，基于第IV族的材料例如(但非局限于)晶体硅、锗或硅/锗。在特定实施例中，提供半导体晶圆204的步骤包括提供单晶硅基板。在特定实施例中，单晶硅基板掺杂有杂质原子。在另一实施例中，半导体晶圆或基板204是由III-V族材料所组成，例如用于制造发光二极管(LED)的III-V族材料基板。

[0031] 在实施例中，半导体晶圆或基板204已于所述半导体晶圆或基板204上或所述半导体晶圆或基板204中配置有半导体器件阵列作为集成电路206的部分。此类半导体器件的实例包括但不限于制造于硅基板中并为介电层所围绕的存储器器件或互补式金属氧化半导体(CMOS)晶体管。可于这些器件或晶体管上方及在周围的介电层中形成多个金属内连线，且这些金属内连线可用于电连接这些器件或晶体管，以形成集成电路206。组成街道207的材料可以与用于形成集成电路206的那些材料类似或相同。举例来说，街道207可由介电材料、半导体材料及金属化的层所组成。在一个实施例中，街道207中的一个或多个包括类似于集成电路206的真实器件的测试器件。

[0032] 参照流程图100的操作104及对应的图2B，以使用多重脉冲串的脉冲列激光雕绘工艺图案化掩模202，以提供具有间隔210的图案化掩模208、在集成电路206之间的半导体晶圆或基板204的暴露区域。如此，激光雕绘工艺用以移除原始形成于集成电路206之间的街道207的材料。依据本发明的实施例，以使用多重脉冲串的脉冲列激光雕绘工艺图案化掩模202的步骤包括以下步骤：在集成电路206之间形成部分进入半导体晶圆204的区域的沟道212，如图2B中所图示。

[0033] 参照流程图100的操作104，可以使用一列激光脉冲。例如，图3说明依据本发明的实施例一列单脉冲的时间图300。参照图3，依时间沿着水平轴图示一列基于脉冲重复频率( $PRF_0$ )304的单脉冲302。单脉冲302之间的间隔为 $PRF_0$ 的倒数，如图3中所图示。亦即通常将每个脉冲302时间平均地分隔(例如脉冲到脉冲的时间分隔等于脉冲重复频率的倒数)。可将此列单脉冲302应用于进行切割的晶圆或基板。

[0034] 视被剥蚀的层的复杂度而定，一列单脉冲可能无法提供对于剥蚀性能最优化的能量。然而，在单脉冲期间传送较大的强度可能会导致缺陷形成。替代地，可以将一列多重脉冲串用于剥蚀。例如，图4图示依据本发明的实施例一列多重脉冲串的时间图400。

[0035] 参照图4，依时间沿着水平轴图示一列基于第一脉冲重复频率( $PRF_0$ )404的多重脉冲串402。多重脉冲串402之间的间隔(例如单脉冲406的群组中心之间)为 $PRF_0$ 的倒数，如图4中所图示。亦即通常将每个多重脉冲串402时间平均地分隔(例如多重脉冲串群到多重脉冲串群的时间分隔等于第一脉冲重复频率的倒数)。亦依时间沿着水平轴图示基于第二脉冲重复频率( $PRF_1$ )408、在多重脉冲串402内的每个单脉冲406。单脉冲406之间的间隔为 $PRF_1$ 的倒数，如图4中所图示。亦即通常将每个单脉冲406时间平均地分隔。可将此列多重脉冲串402应用于进行切割的晶圆或基板。

[0036] 可于给定的多重脉冲串402中使用任何适当数量的单脉冲406。在实施例中，用于

给定的多重脉冲串402的单脉冲406的数量约在2-5的范围内。在实施例中，第一脉冲重复频率( $\text{PRF}_0$ )404大约在200kHz至10MHz的范围内，虽然较佳地大约在500kHz至5MHz的范围内。在一个这样的实施例中，第二脉冲重复频率( $\text{PRF}_1$ )408约为第一脉冲重复频率( $\text{PRF}_0$ )404的10-20倍(例如单脉冲406之间的间隔比较紧凑，约为多重脉冲串402的中心之间的间隔的十分之一至二十分之一)。在另一个这样的实施例中，在给定的多重脉冲串402中的单脉冲406之间的间隔基于约在几十飞秒至几百飞秒范围中的时间间隔，如大约在50-500飞秒范围内。在特定实施例中，多重脉冲串402以固定的串重复率执行。

[0037] 再次参照图3与图4，可以将图300的脉冲列视为一列依时间成形的、在每个串中仅有一个脉冲的飞秒脉冲串。相比之下，图400的脉冲列为一列依时间成形的、在每个串中有多于一个脉冲的飞秒多重脉冲串。在实施例中，经由使用与单脉冲串相对的这种多重脉冲串，使得由切割晶圆或基板所消耗的光子能量较少，而转变成较少的热损伤。较少的热损伤可以产生微裂缝、不同层间的剥离或无机介电层的缺口的最少化。依据本发明的实施例，将一列依时间成形的飞秒多重脉冲串取代一列单脉冲而应用于激光雕绘工艺。这种方法可以量子化传送至晶圆或基板或是晶圆或基板上的薄膜、用于雕绘的激光强度。

[0038] 在实施例中，可以使用形式为具有第一与第二脉冲重复率的脉冲列的锁模激光来传送脉冲串402的个别脉冲406。可以选择某些脉冲用于从这种脉冲列传送，例如只传送某些脉冲并阻挡所有其他的脉冲。可以用脉冲检出器执行选择的传送，所述脉冲检出器本质上为电控的光开关。在实施例中，脉冲检出器基于电光调制器或声光调制器，且与适当的电子驱动器结合。

[0039] 在电光器件的案例中，脉冲检出器可由波克斯盒(Pockels cell)与偏振光学元件(如薄膜起偏器)一起组成。可以使用波克斯盒来操作偏振状态，然后起偏器可以视起偏器的偏振来传送或阻挡脉冲。在声光脉冲检出器的案例中，可以将短RF脉冲施加于声光调制器，以便使想要的脉冲偏转至稍微修改过的方向。之后可使偏转的脉冲通过缝隙，而阻挡其他的脉冲。在任一个案例中，可以经由脉冲列中脉冲的时间距离(如经由脉冲源的脉冲重复率)而非脉冲持续期间来决定调制器需要的速度。

[0040] 脉冲检出器的电子驱动器可以满足额外的功能，例如，在一个实施例中，电子驱动器使用来自感测原始脉冲列的快速光电二极管的信号，以将开关与输入脉冲同步。然后触发信号可以在任何时间来到，而电子元件将会在适合的时间对开关动作，以传送下一个抵达的输入脉冲。为了在超短脉冲获得高脉冲能量，可以降低脉冲重复率。可以经由在种子激光器与放大器之间放置脉冲检出器来进行脉冲重复率的降低。放大器设以仅对想要的脉冲动作。被阻挡的脉冲不一定会构成强的能量损失，因为种子激光器的平均功率与放大器的平均输出功率相比可能是小的，而且剩余的平均功率对于饱和放大器是足够的。

[0041] 即使在脉冲列中使用了多重脉冲串，可以利用使用基于飞秒的激光(例如与基于皮秒(picosecond)的激光或基于纳秒(nanosecond)的激光相比)来进一步最适化进行切割工艺的复合堆叠层的剥蚀性能。因此，在实施例中，以激光雕绘工艺图案化掩模206的步骤包括以下步骤：使用具有脉冲宽度在飞秒范围中的激光。具体地，可以使用具有波长在可见光谱加紫外光(UV)与红外光(IR)范围(合为宽带光谱)中的激光，以提供基于飞秒的激光，即具有脉冲宽度在飞秒( $10^{-15}$ 秒)等级的激光。在一个实施例中，剥蚀并非或本质上非为波长相关的，因而适用于复合膜，如掩模202、街道207及可能的一部分半导体晶圆或基板204

的膜。

[0042] 图5图示依据本发明的实施例使用在飞秒范围中的激光脉冲对比较长脉冲宽度的激光脉冲的效果。参照图5,对比较长的脉冲宽度(例如以皮秒处理通孔500B的损伤502B与以纳秒处理通孔500A的明显损伤502A),经由使用在飞秒范围中的激光脉冲宽度可以缓和或消除热损伤的问题(例如以飞秒处理通孔500C的极微至无损伤502C)。在形成通孔500C期间损伤的消除或缓和可能是由于缺乏低能量的再耦合(如基于皮秒的激光剥蚀中所见)或热平衡(如基于纳秒的激光剥蚀中所见),如图5中所图示。

[0043] 激光参数选择,如脉冲宽度,对于展开成功的激光雕绘与切割工艺可能是关键的,成功的激光雕绘与切割工艺可最小化缺口、微裂缝及剥离,以达成清洁的激光雕绘切割。激光雕绘切割愈清洁,则为最终管芯切割所可能执行的蚀刻工艺将愈平顺。在半导体器件晶圆中,所述半导体器件晶圆上通常配置有许多不同材料类型(如导体、绝缘体、半导体)与厚度的功能性层。此类材料可包括但不限于有机材料如聚合物、金属或无机介电质如二氧化硅与氮化硅。

[0044] 位于晶圆或基板上的个别集成电路之间的街道可包括与集成电路本身类似的或相同的层。举例来说,图6图示依据本发明的实施例,可用于半导体晶圆或基板的街道区域的堆叠材料截面视图。

[0045] 参照图6,街道区域600包括具有所图示相对厚度的硅基板顶部602、第一二氧化硅层604、第一蚀刻终止层606、第一低介电常数介电层608(如对于二氧化硅而言具有低于4.0的介电常数)、第二蚀刻终止层610、第二低介电常数介电层612、第三蚀刻终止层614、未掺杂的硅玻璃(USG)层616、第二二氧化硅层618及光致抗蚀剂层620。铜金属化622位于第一和第三蚀刻终止层606和614之间而且穿过第二蚀刻终止层610。在特定实施例中,第一、第二及第三蚀刻终止层606、610及614是由氮化硅所组成,而低介电常数介电层608和612是由掺杂碳的氧化硅材料所组成。

[0046] 在常规的激光照射(如基于纳秒或基于皮秒的激光照射)的下,街道600的材料在光吸收与剥蚀机制方面会表现地相当不同。举例来说,介电层如二氧化硅在正常条件下对于所有市购可得的激光波长基本上是透明的。相反的,金属、有机物(如低介电常数材料)及硅可以很容易地与光子耦合,尤其是在回应基于纳秒或基于皮秒的激光照射时。在实施例中,经由在剥蚀低介电常数材料层和铜层之前剥蚀二氧化硅层,而以基于飞秒的激光雕绘工艺使用多重脉冲串的激光列来图案化二氧化硅层、低介电常数材料层及铜层。

[0047] 依据本发明的实施例,适当的基于飞秒的激光工艺的特征在于通常会在各种材料中造成非线性相互作用的高峰值强度(照射)。在一个这样的实施例中,飞秒激光源具有大约在十飞秒至五百飞秒范围中的脉冲宽度,虽然较佳是在一百飞秒至四百飞秒的范围内。在一个实施例中,飞秒激光源具有大约在1570纳米至200纳米范围中的波长,虽然较佳是在540纳米至250纳米的范围内。在一个实施例中,激光与对应的光学系统提供于工作表面大约在3微米至15微米范围中的焦点,虽然较佳是大约在5微米至10微米的范围内。

[0048] 于工作表面的空间光束轮廓可为单一模式(高斯的)或具有顶帽形状的轮廓。在实施例中,激光源于工作表面传送的脉冲能量大约在0.5uJ至100uJ的范围内,虽然较佳为大约在1uJ至5uJ的范围内。在实施例中,激光雕绘工艺沿着工件表面以大约在300毫米/秒至5米/秒范围中的速度执行,虽然较佳为大约在500毫米/秒至2米/秒的范围内。

[0049] 雕绘工艺可仅为单一回合运作或是多回合执行,但在实施例中,较佳为1-2回合。在一个实施例中,工件中的雕绘深度大约是在5微米至50微米深的范围中,较佳为大约在10微米至20微米深的范围中。在实施例中,产生的激光光束切口宽度大约是在2微米至15微米的范围中,虽然在硅晶圆雕绘/切割中,于装置/硅界面量测较佳是大约在6微米至10微米的范围中。

[0050] 激光参数的选择可带有益处及优点,这些益处及优点如提供足够高的激光强度以达成无机介电质(如二氧化硅)的离子化,及在直接剥蚀无机介电质之前最小化下层损伤造成的剥离与缺口。同样的,可以选择对于工业应用可提供有意义的工艺产量的参数,且可精确地控制剥蚀宽度(如切口宽度)与深度。如上所述,与基于皮秒和基于纳秒的激光剥蚀工艺相比,基于飞秒的激光远较为适合提供这些优点。

[0051] 然而,即使是在基于飞秒的激光剥蚀范围中,某些波长亦可提供较其他波长更好的性能。举例来说,在一个实施例中,具有接近或在紫外线范围中的波长的基于飞秒的激光工艺较具有接近或在红外线范围中的波长的基于飞秒的激光工艺提供更清洁的剥蚀工艺。在特定的这种实施例中,适用于半导体晶圆或基板雕绘的基于飞秒的激光工艺基于具有约小于或等于540纳米的波长的激光。在特定的这种实施例中,使用约小于或等于四百飞秒的激光脉冲,且所述激光具有约小于或等于540纳米的波长。然而,在另一替代实施例中使用双激光波长(如红外线激光和紫外线激光的组合)。

[0052] 参照流程图100的操作106及对应的图2C,经由图案化掩模208中的间隔210蚀刻半导体晶圆204,以切割集成电路206。依据本发明的实施例,蚀刻半导体晶圆204的步骤包括以下步骤:经由蚀刻初始以使用具多重脉冲串的脉冲列的激光雕绘工艺形成的沟道212,以最终蚀刻穿透整个半导体晶圆204,如图2C中所图示。

[0053] 在实施例中,蚀刻半导体晶圆204的步骤包括以下步骤:使用等离子体蚀刻工艺。在一个实施例中,使用硅穿孔型蚀刻工艺。举例来说,在特定实施例中,半导体晶圆204的材料的蚀刻速度大于每分钟25微米。可将超高密度等离子体源用于管芯切割工艺的等离子体蚀刻部分。适合执行这种离子体蚀刻工艺的处理腔室的实例为可从美国加州森尼维耳市的应用材料公司(Applied Materials of Sunnyvale, CA, USA)取得的Applied Centura® Silvia™蚀刻系统。所述Applied Centura® Silvia™蚀刻系统结合了电容性与电感性的射频(RF)耦合,所述结合可比仅有电容性耦合可能提供的提供远较为独立的离子密度与离子能量控制,甚至还有磁性增强所提供的改良。所述结合致使离子密度有效地自离子能量退耦,因而不需高的、潜在损伤的DC偏压等级而可达成相对高密度的等离子体,甚至是在非常低的压力下。这产生异常宽的工艺窗口。然而,可以使用任意能蚀刻硅的等离子体蚀刻腔室。在例示性实施例中,使用深硅蚀刻以大于常规硅蚀刻速度约40%的蚀刻速度来蚀刻单晶硅基板或晶圆204,同时维持本质上精确的轮廓控制与实际上无扇形边的侧壁。在特定实施例中,使用硅穿孔型蚀刻工艺。所述蚀刻工艺基于反应性气体产生的等离子体,所述反应性气体通常是氟基气体,如SF<sub>6</sub>、C<sub>4</sub>F<sub>8</sub>、CHF<sub>3</sub>、XeF<sub>2</sub>或任何其他能以相对快的蚀刻速度蚀刻硅的反应性气体。在实施例中,在切割工艺之后移除掩模层208,如图2C中所图示。

[0054] 因此,再次参照流程图100及图2A-2C,可经由使用具多重脉冲串的脉冲列激光雕绘工艺的初始剥蚀,经由掩模层、经由晶圆街道(包括金属化)及部分进入硅基板剥蚀而进行晶圆切割。之后可经由后续的穿硅深等离子体蚀刻完成管芯切割。依据本发明的实施例,

以下结合图7A-7D描述用于切割的材料堆叠的特定实例。

[0055] 参照图7A, 用于混合激光剥蚀与等离子体蚀刻切割的材料堆叠包括掩模层702、器件层704及基板706。掩模层、器件层及基板位于管芯贴膜708上方, 管芯贴膜708贴附于背带710。在实施例中, 掩模层702为光致抗蚀剂层, 如上述关于掩模202的光致抗蚀剂层。器件层704包括位于一层或多层金属层(如铜层)和一层或多层低介电常数介电层(如掺杂碳的氧化物层)上方的无机介电层(如二氧化硅)。器件层704也可包括安置于集成电路之间的街道, 这些街道包括与集成电路相同或类似的层。基板706为大块单晶硅基板。

[0056] 在实施例中, 在贴附大块单晶硅基板706于管芯贴膜708之前, 从背侧薄化大块单晶硅基板706。所述薄化可经由背侧研磨工艺来执行。在一个实施例中, 将大块单晶硅基板706薄化至大约在50-100微米范围中的厚度。重要的是注意到, 在实施例中, 所述薄化于激光剥蚀与等离子体蚀刻切割工艺之前执行。在实施例中, 光致抗蚀剂层702的厚度大约为5微米, 而器件层704的厚度大约在2-3微米范围中。在实施例中, 管芯贴膜708(或任何能将薄化的或薄的晶圆或基板黏合于背带710的适当取代物)的厚度大约为20微米。

[0057] 参照图7B, 以使用多重脉冲串的脉冲列激光雕绘工艺712图案化掩模702、器件层704及一部分的基板706, 以于基板706中形成沟道714。参照图7C, 使用穿硅深等离子体蚀刻工艺716来将沟道714向下延伸至管芯贴膜708, 而暴露出管芯贴膜708的顶部, 并切割硅基板706。在穿硅深等离子体蚀刻工艺716期间, 器件层704由光致抗蚀剂层702保护。

[0058] 参照图7D, 切割工艺可进一步包括图案化管芯贴膜708, 而暴露出背带710的顶部, 并切割管芯贴膜708。在实施例中, 经由激光工艺或蚀刻工艺切割管芯贴膜。进一步的实施例可包括后续从背带710移除基板706的切割部分(如作为个别的集成电路)。在一个实施例中, 将切割的管芯贴膜708保留在基板706的切割部分的背侧上。其他的实施例可包括从器件层704移除掩模光致抗蚀剂层702。在替代的实施例中, 在基板706比大约50微米更薄的案例中, 使用激光剥蚀工艺712来完全切割基板706而不需使用额外的等离子体工艺。

[0059] 在实施例中, 在切割管芯贴膜708之后, 从器件层704移除掩模光致抗蚀剂层702。在实施例中, 将切割的集成电路从背带710移除用于封装。在一个这样的实施例中, 将图案化的管芯贴膜708保留于每个集成电路的背侧并包含于最终的封装中。然而, 在另一实施例中, 在切割工艺期间或之后移除图案化的管芯贴膜708。

[0060] 可配置单一工艺工具来执行具有多重脉冲串剥蚀的激光列与等离子体蚀刻切割工艺的混合中的许多或全部的操作。举例来说, 图8为依据本发明的实施例图示用于激光与等离子体切割晶圆或基板的工具布局的方块图。

[0061] 参照图8, 工艺工具800包括工厂界面802(FI), 工厂界面802具有多个与工厂界面802连接的承载室804。群集工具806与工厂界面802连接。群集工具806包括一个或多个等离子体蚀刻腔室, 如等离子体蚀刻腔室808。激光雕绘设备810也与工厂界面802连接。在一个实施例中, 工艺工具800的整体占地面积可为约3500毫米(3.5米)乘约3800毫米(3.8米), 如图8中所图示。

[0062] 在实施例中, 激光雕绘设备810安置设以传送具有多重脉冲串的脉冲列的激光器。所述激光器适用于执行混合激光与蚀刻切割工艺的激光剥蚀部分, 如上述的激光剥蚀工艺。在一个实施例中, 激光雕绘设备810亦包括可移动的台阶, 配置可移动的台阶以相对于激光器移动晶圆或基板(或晶圆或基板上的承载器)。在特定实施例中, 激光器也是可移动

的。在一个实施例中，激光雕绘设备810的整体占地面积可为约2240毫米乘约1270毫米，如图8中所图示。

[0063] 在实施例中，配置一个或多个等离子体蚀刻腔室808用于经由图案化掩模中的间隔蚀刻晶圆或基板，以切割多个集成电路。在一个这样的实施例中，配置所述一个或多个等离子体蚀刻腔室808以执行深硅蚀刻工艺。在特定实施例中，所述一个或多个等离子体蚀刻腔室808为可从美国加州森尼维耳市的应用材料公司(Applied Materials of Sunnyvale, CA, USA)取得的Applied Centura® Silvia™ 蚀刻系统。可将蚀刻腔室具体设计为用于深硅蚀刻，使用所述深硅蚀刻来产生切割的集成电路，所述集成电路容置于单晶硅基板或晶圆上或中。在实施例中，等离子体蚀刻腔室808包括高密度等离子体源，以有助于高硅蚀刻速度。在实施例中，工艺工具800的群集工具806部分中包括多于一个蚀刻腔室，以使切割工艺能有高的制造产量。

[0064] 工厂界面802可以是适当的常压接口，以连接在具有激光雕绘设备810的外部制造设施与群集工具806之间。工厂界面802可包括有手臂或叶片的自动控制装置，用于将晶圆(或晶圆上的承载器)从储存单元(如前开放划一箱)传送至群集工具806或激光雕绘设备810中的任一个或两个。

[0065] 群集工具806可包括其他在切割方法中适合执行功能的腔室。举例来说，在一个实施例中，在额外的蚀刻腔室处包括沉积室812。可配置所述沉积室812用于在激光雕绘晶圆或基板之前将掩模沉积于晶圆或基板的器件层上或上方。在一个这样的实施例中，沉积室812适用于沉积光致抗蚀剂层。在另一实施例中，在额外的蚀刻腔室处包括湿/干站814。所述湿/干站可适用于清洗残余物与碎片，或在基板或晶圆的激光雕绘与等离子体蚀刻切割工艺之后用于移除掩模。在实施例中，也包括量测站作为工艺工具800的组件。

[0066] 本发明的实施例可作为计算机程序产品或软件提供，所述计算机程序产品或软件可包括内部已储存指令的机器可读介质，可使用这些指令来编程计算机系统(或其他电子装置)，以执行依据本发明实施例的工艺。在一个实施例中，计算机系统与结合图8说明的工艺工具800连接。机器可读介质包括任一以机器(如计算机)可读形式储存或传送信息的机制。举例来说，机器可读的(如计算机可读的)介质包括机器(如计算机)可读的储存介质(如只读存储器(“ROM”)、随机存取存储器(“RAM”)、磁盘储存介质、光学储存介质、闪存装置等)、机器(如计算机)可读的传送媒介(电的、光的、声音的或其他形式的传播信号(如红外线信号、数字信号等))等。

[0067] 图9图示在计算机系统900例示形式中的机器的图示，于所述计算机系统900中，可执行一组指令，这组指令用以致使所述机器执行任意一个或多个本文中所描述的方法论。在替代的实施例中，可于局域网(LAN)、内联网、外联网或因特网中将所述机器与其他机器连接(如网络化)。所述机器可在客户机-服务器网络环境中作为服务器或客户机机器操作，或是在对等(或分布式)网络环境中作为同级机器。所述机器可以是个人计算机(PC)、平板计算机、机顶盒(STB)、个人数字助理(PDA)、蜂窝电话、网络用具、服务器、网络路由器、开关或桥接器或任何能执行一组指令(连续的或以其他方式)的机器，其中所述指令指定由所述机器执行的动作。进一步地，虽然只说明单一机器，也应将术语“机器”看作包括任何机器(如计算机)的集合，所述机器的集合个别地或联合地执行一组(或多组)指令，以执行任意一个或多个本文中所描述的方法论。

[0068] 例示性的计算机系统900包括经由总线930互相通信的处理器902、主存储器904(如只读存储器(ROM)、闪存、动态随机存取存储器(DRAM)如同步动态随机存取存储器(SDRAM)或Rambus动态随机存取存储器(RDRAM)等)、静态存储器906(如闪存、静态随机存取存储器(SRAM)等)及辅助存储器918(如数据储存装置)。

[0069] 处理器902表示一个或多个通用处理装置,如微处理器、中央处理单元或类似者。更特别的是,处理器902可为复杂指令集计算(CISC)微处理器、精简指令集计算(RISC)微处理器、极长指令字(VLIW)微处理器、实施其他指令集的处理器或实施多个指令集的组合的处理器。处理器902也可以是一个或多个专用处理装置,如应用特定的集成电路(ASIC)、现场可编程门阵列(FPGA)、数字信号处理器(DSP)、网络处理器或类似者。配置处理器902以执行处理逻辑926,用以执行本文中所述的操作。

[0070] 计算机系统900可进一步包括网络接口装置908。计算机系统900也可包括视频显示单元910(如液晶显示器(LCD)、发光二极管显示器(LED)或阴极射线管(CRT))、字母数字输入装置912(如键盘)、游标控制装置914(如鼠标)及信号产生装置916(如扬声器)。

[0071] 辅助存储器918可包括机器可存取储存介质(或更具体地为计算机可读储存介质)931,于机器可存取储存介质931上储存有一组或多组指令(如软件922),这些指令体现本文中所述的一个或多个方法论或功能。在计算机系统900执行软件922期间,软件922也可全部或至少部分存在于主存储器904和/或处理器902内,主存储器904和处理器902也构成机器可读储存介质。可经由网络接口装置908进一步通过网络920传送或接收软件922。

[0072] 虽然显示于例示性实施例的机器可存取储存介质931为单一介质,但应将术语“机器可读储存介质”看作为包括单一介质或多个介质(如集中或分布式的数据库和/或相关的缓存与服务器),所述介质储存所述一组或多组指令。也应将术语“机器可读储存介质”看作为包括任何能储存或编码指令集的介质,其中所述指令集由所述机器执行或使所述机器执行本发明的任一或多个方法论。因此,应将术语“机器可读储存介质”看作为包括但不限于固态存储器及光学与磁性介质。

[0073] 依据本发明的实施例,机器可存取的储存介质上储存有指令,这些指令致使数据处理系统执行切割具有多个集成电路的半导体晶圆的方法。所述方法包括以下步骤:于半导体晶圆上方形成掩模,所述掩模由覆盖并保护集成电路的层所组成。然后以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模,以提供具有间隔的图案化掩模。暴露出集成电路之间的半导体晶圆区域。之后经由图案化掩模中的间隔蚀刻所述半导体晶圆,以切割集成电路。

[0074] 因此,已揭示切割半导体晶圆的方法,其中每个晶圆具有多个集成电路。依据本发明的实施例,一种切割具有多个集成电路的半导体晶圆的方法包括以下步骤:于半导体晶圆上方形成掩模,所述掩模由覆盖及保护所述集成电路的层所组成。所述方法亦包括以下步骤:以使用多重脉冲串的脉冲列激光雕绘工艺图案化所述掩模,以提供具有间隔的图案化掩模,从而暴露介于集成电路间的半导体晶圆区域。所述方法亦包括以下步骤:经由图案化掩模中的间隔蚀刻所述半导体晶圆,以切割集成电路。在一个实施例中,以使用多重脉冲串的脉冲列激光雕绘工艺图案化掩模的步骤包括以下步骤:使用每个串具有2-5个脉冲的串。在一个实施例中,以使用多重脉冲串的脉冲列激光雕绘工艺图案化掩模的步骤包括以下步骤:使用基于飞秒的激光。

## 流程图100

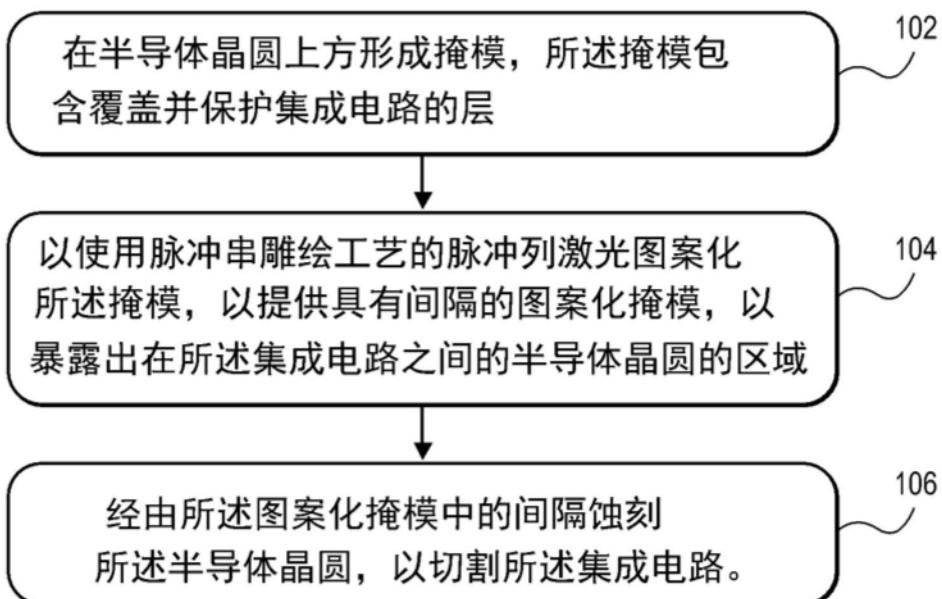


图1

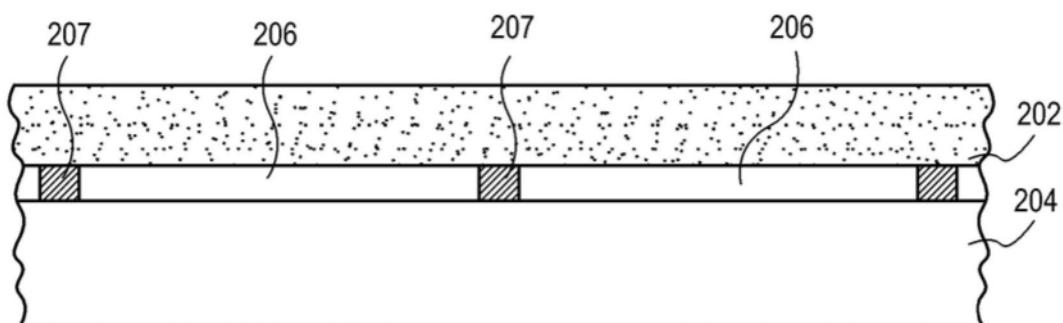


图2A

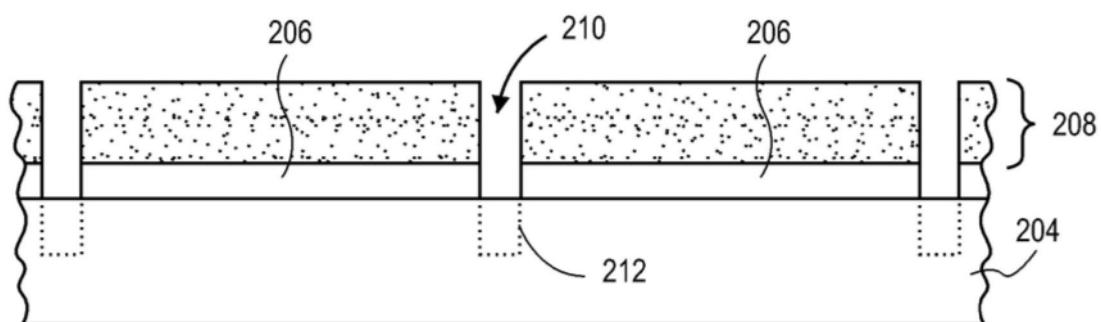


图2B

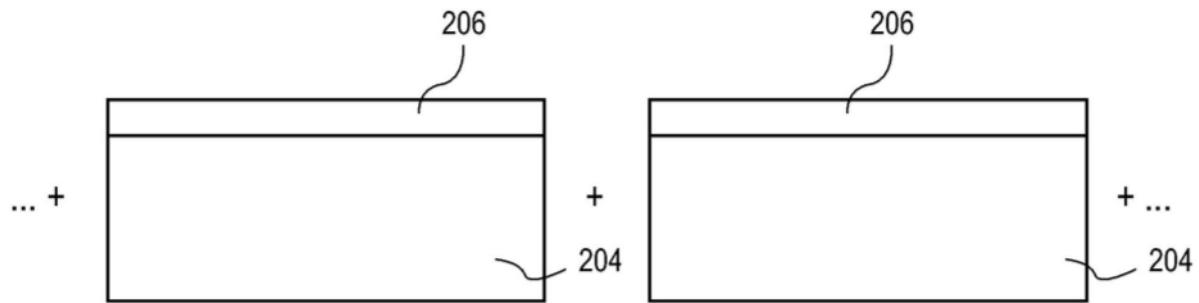


图2C

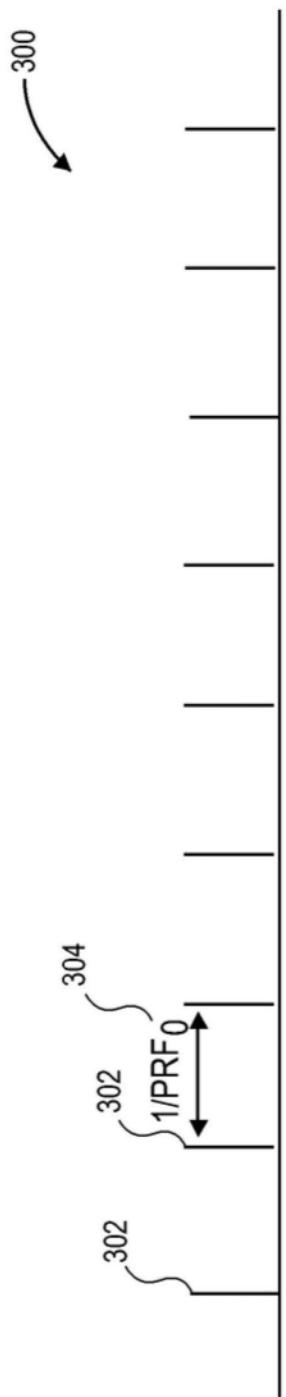


图3

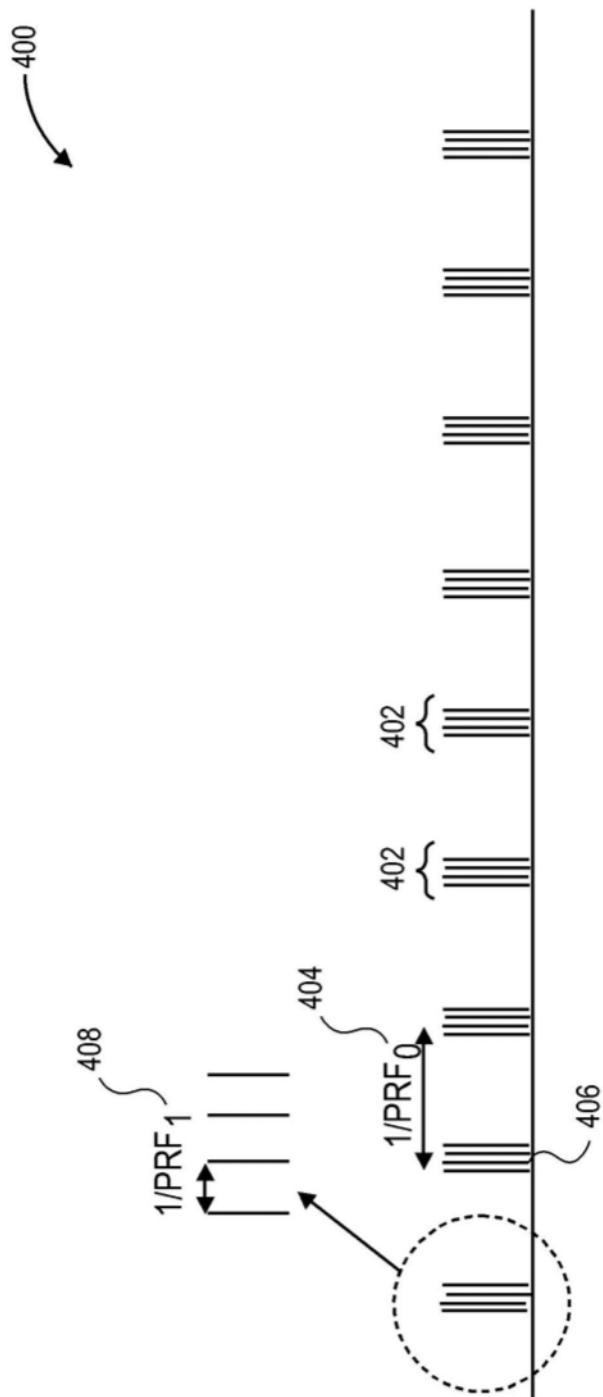


图4

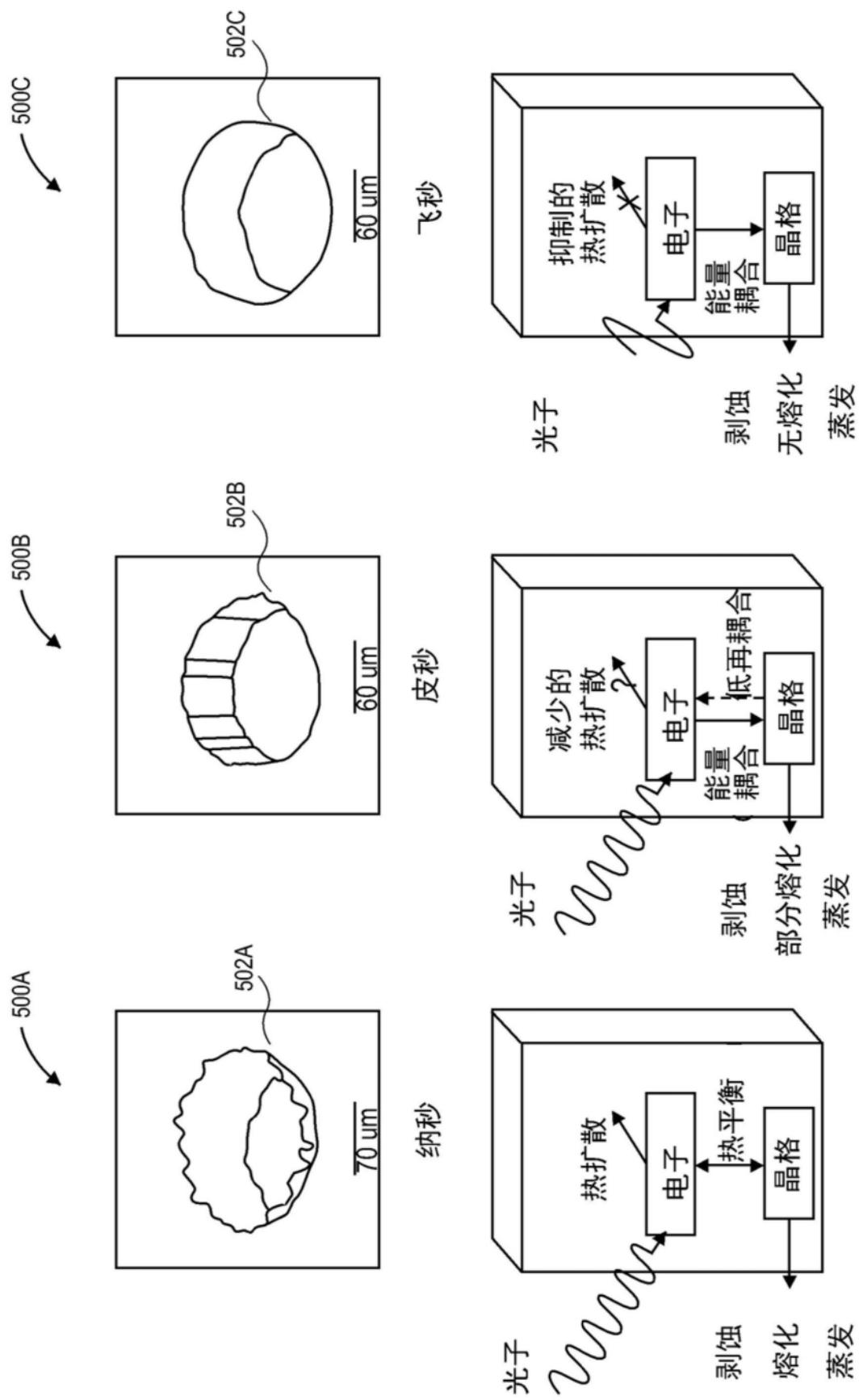


图5

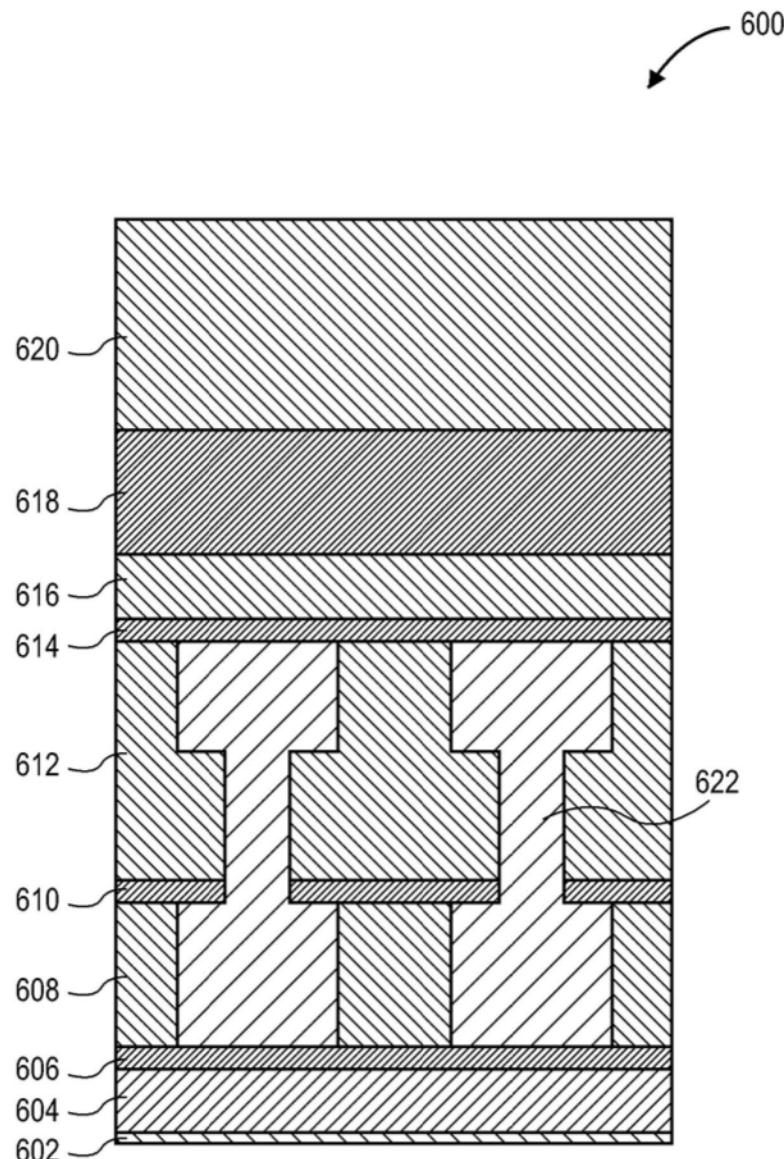


图6

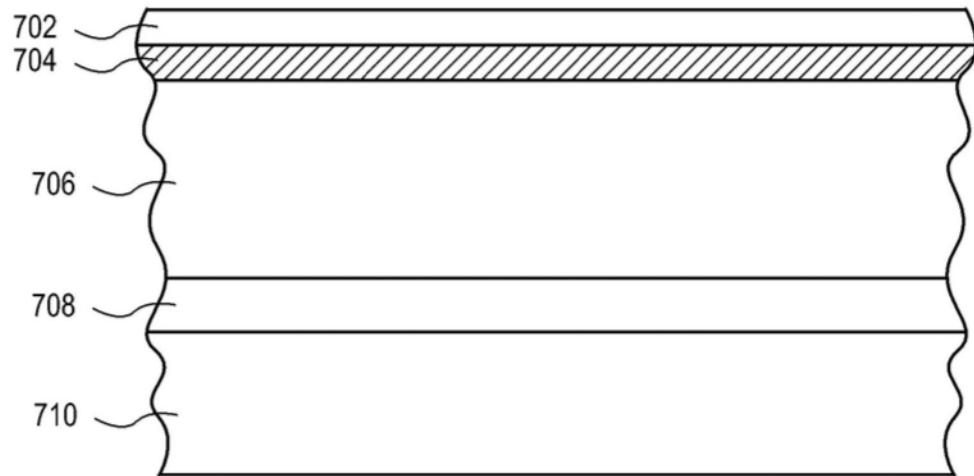


图7A

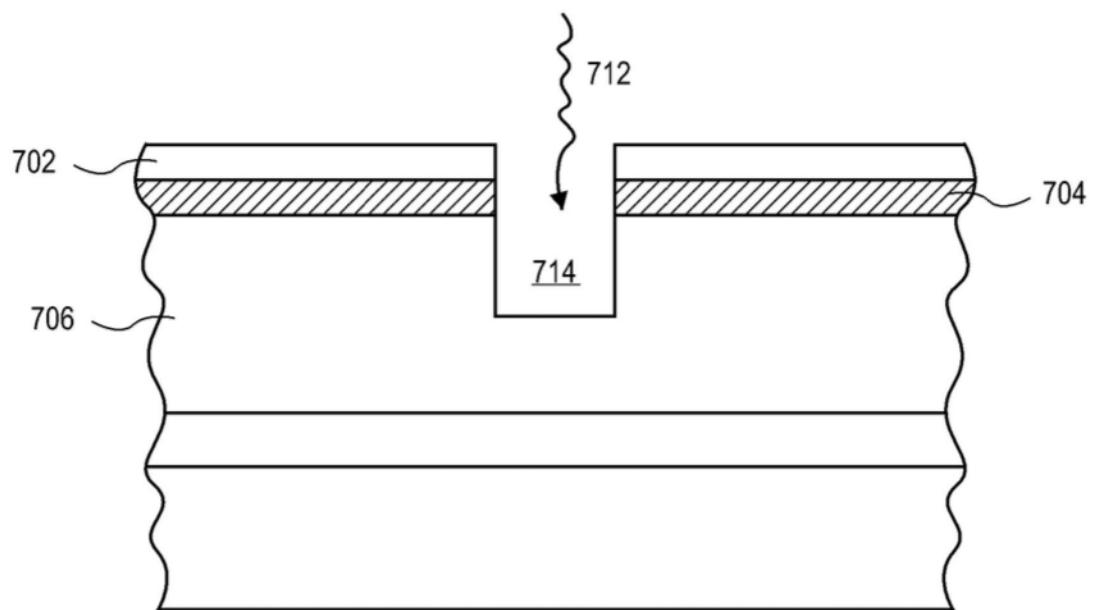


图7B

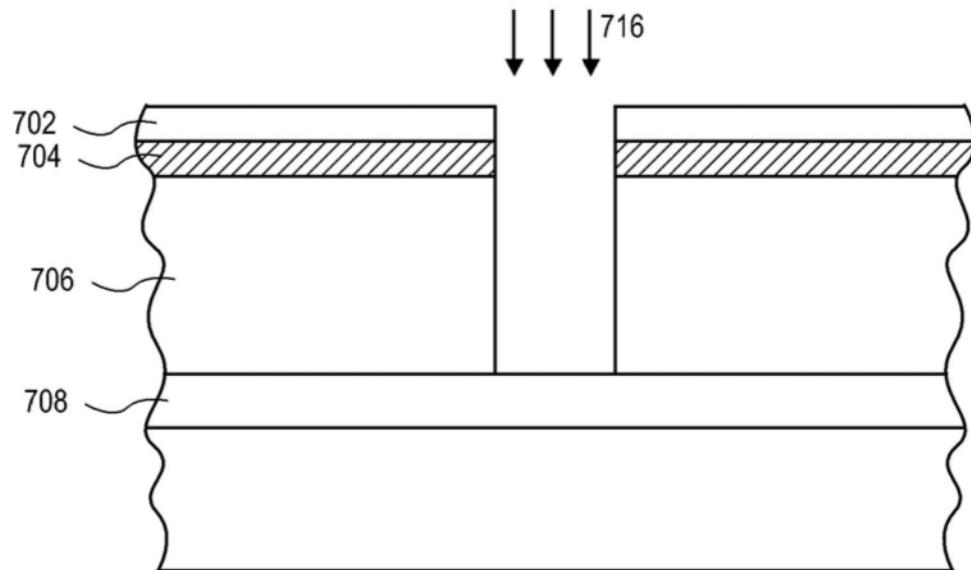


图7C

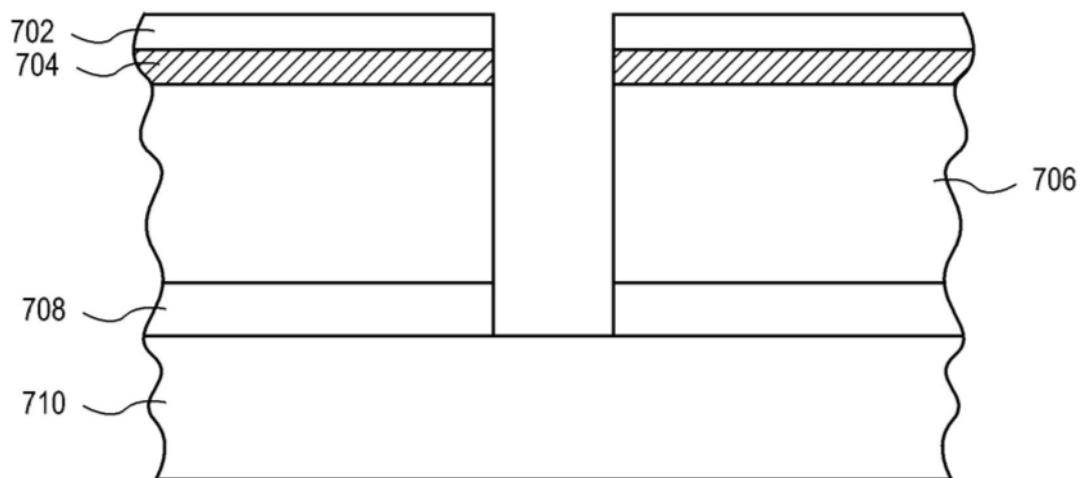


图7D

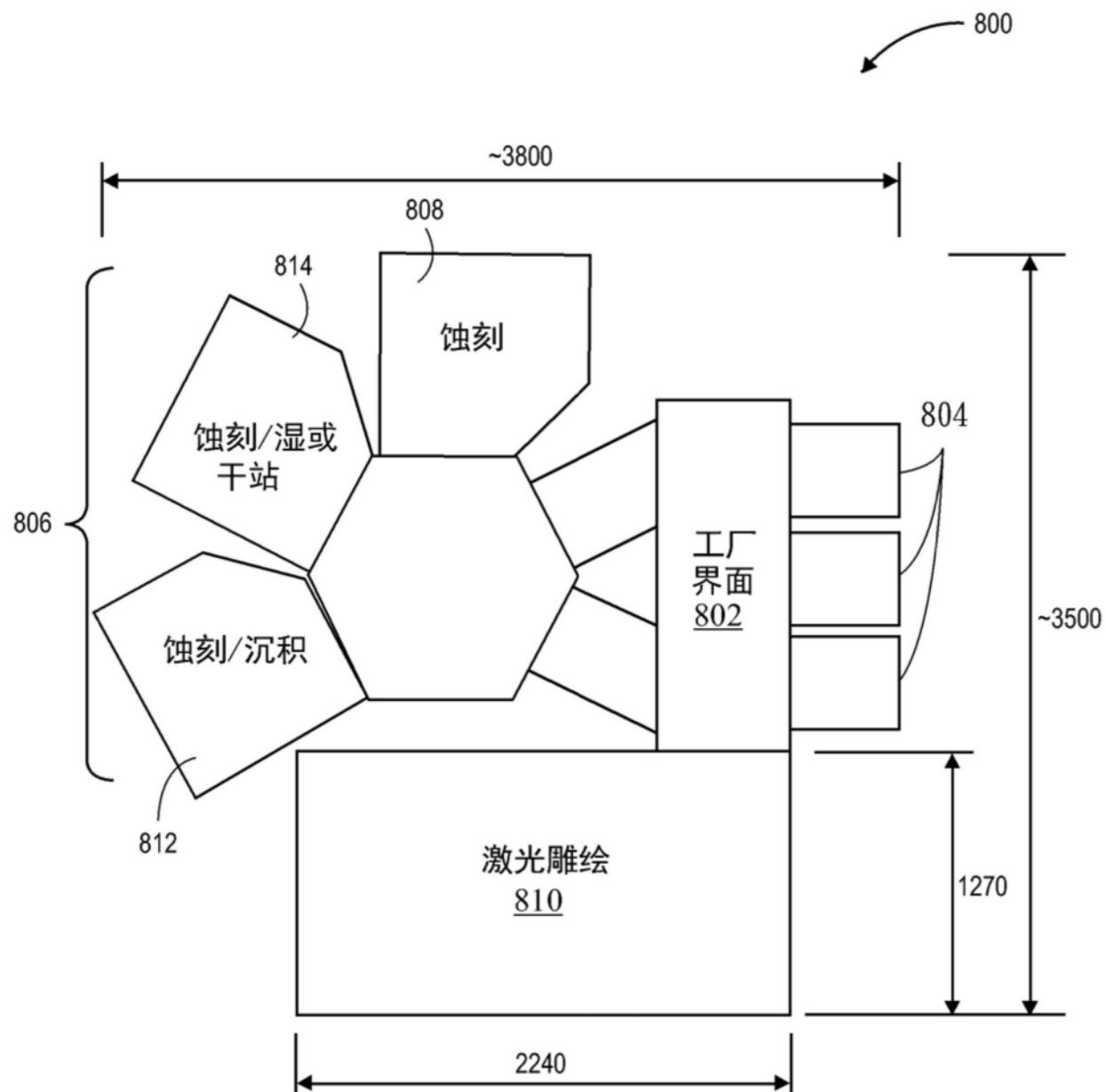


图8

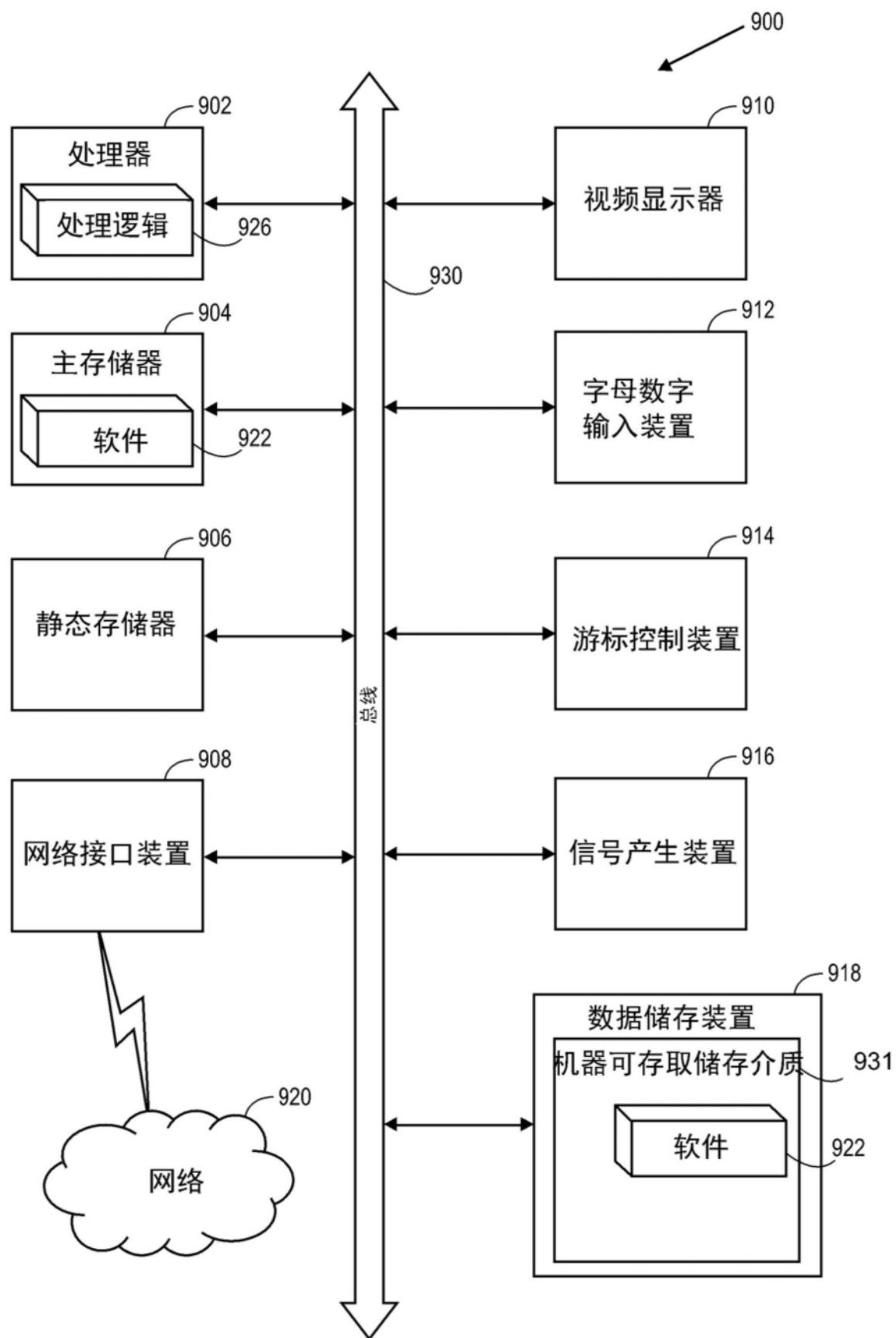


图9