

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-508114
(P2005-508114A)

(43) 公表日 平成17年3月24日(2005.3.24)

| | | |
|----------------------------|-----------------|-------------|
| (51) Int. Cl. ⁷ | F I | テーマコード (参考) |
| H04L 13/08 | H04L 13/08 | 5B077 |
| G06F 13/38 | G06F 13/38 310A | 5K034 |

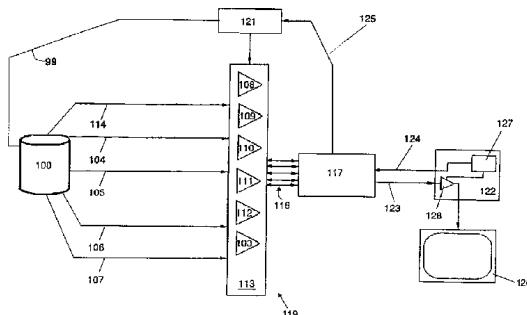
審査請求 未請求 予備審査請求 有 (全 38 頁)

| | | | |
|---------------|------------------------------|----------|---|
| (21) 出願番号 | 特願2003-540834 (P2003-540834) | (71) 出願人 | 501263810 トムソン ライセンシング ソシエテ ア ノニム Thomson Licensing S . A. フランス国, エフ-92100 ブロー ニュ ピヤンクール, ケ アルフォンス ル ガロ, 46 番地 |
| (86) (22) 出願日 | 平成14年10月31日 (2002.10.31) | (74) 代理人 | 100087321 弁理士 渡辺 勝徳 |
| (85) 翻訳文提出日 | 平成16年4月27日 (2004.4.27) | (74) 代理人 | 100115864 弁理士 木越 力 |
| (86) 国際出願番号 | PCT/US2002/034935 | (72) 発明者 | アスムス, チャールズ オーガスト アメリカ合衆国 ニュージャージー州 ブリ ンストン シカモア・ロード 34 |
| (87) 国際公開番号 | W02003/038641 | | 最終頁に続く |
| (87) 国際公開日 | 平成15年5月8日 (2003.5.8) | | |
| (31) 優先権主張番号 | 60/335, 511 | | |
| (32) 優先日 | 平成13年10月31日 (2001.10.31) | | |
| (33) 優先権主張国 | 米国 (US) | | |

(54) 【発明の名称】 家庭用ビデオ・サーバのための受入れ制御システム

(57) 【要約】

受入れ制御システムが、記憶装置と、記憶装置に相互接続されたバッファ・メモリとを備えている。バッファ・メモリに相互接続された受入れコントローラが、記憶装置とバッファ・メモリとの間の伝送に関するパラメータを測定する手段と、測定されているパラメータの少なくとも幾つかにตอบสนองして記憶装置とバッファ・メモリとの間のデータ転送を制御する手段とを備えている。



【特許請求の範囲】

【請求項 1】

記憶装置と、
前記記憶装置に結合されたバッファ・メモリと、
前記バッファ・メモリおよび前記記憶装置に結合された受入れコントローラとを備える受入れ制御システムであって、前記受入れコントローラが、
前記記憶装置と前記バッファ・メモリとの間の伝送に係のあるパラメータを決定する手段と、
前記パラメータの少なくとも幾つかに応答して前記記憶装置と前記バッファ・メモリとの間のデータ転送を制御する手段とを備える、受入れ制御システム。

10

【請求項 2】

伝送媒体を更に備え、前記バッファ・メモリが前記記憶媒体と前記伝送媒体との間に結合され、前記受入れコントローラが更に、
前記記憶装置によりデータを転送することのできるバースト・レートである第 1 のパラメータを決定する手段と、
前記記憶装置と前記伝送媒体との間で転送されることになる 1 つまたは複数のデータ・ストリームのそれぞれにより必要とされるデータ転送レートを決定し、それにより前記必要とされるデータ転送レートと利用可能なバースト・データ転送レートとの関係を決定する手段とを備える、請求項 1 に記載の受入れ制御システム。

20

【請求項 3】

前記受入れコントローラが更に、
前記 1 つまたは複数のデータ・ストリームのうちの第 1 のデータ・ストリームに関連するデータを転送した後で、前記 1 つまたは複数のデータ・ストリームのうちの第 2 のデータ・ストリームに関連するデータにアクセスする際に前記記憶装置が受ける遅延である、第 2 のパラメータを決定する手段と、
前記 1 つまたは複数のデータ・ストリームの全てに起因する遅延の総計を計算する手段とを備える、請求項 2 に記載の受入れ制御システム。

【請求項 4】

前記受入れコントローラが更に、
各データ・ストリームに起因する、前記バッファ・メモリと前記記憶装置との間で転送されるデータの量を決定する手段と、
何れかのデータ・ストリームが第 2 のデータ増分を前記バッファ・メモリに転送する前の、全てのデータ・ストリームが第 1 のデータ増分を前記バッファ・メモリに転送するのに必要とされる総時間を計算し、それによりサービス・サイクルを計算する手段とを備える、請求項 3 に記載の受入れ制御システム。

30

【請求項 5】

前記バッファ・メモリが、複数の個別バッファ・メモリに区分されたバッファ・メモリ領域の総容量を含み、各バッファ・メモリが、前記記憶装置と前記バッファ・メモリとの間で転送される個別データ・ストリームに関連するデータを記憶する、請求項 4 に記載の受入れ制御システム。

40

【請求項 6】

前記記憶装置が磁気ディスクである、請求項 5 に記載の受入れ制御システム。

【請求項 7】

第 1 のデータ・ストリームに関連するデータを転送した後で第 2 のデータ・ストリームに関連するデータの位置を見つける際に前記記憶装置が受ける遅延を決定する前記手段が、前記磁気ディスクの回転待ち時間を決定する、請求項 6 に記載の受入れ制御システム。

【請求項 8】

前記受入れコントローラが更に、
1 サービス・サイクル中に利用されるバッファ・メモリ領域の総容量を計算する手段と、
1 サービス・サイクル中に利用される前記バッファ・メモリ領域総容量を超える、前記バ

50

バッファ・メモリと前記磁気ディスクとの間のデータ転送を防止する手段とを備える、請求項 7 に記載の受入れ制御システム。

【請求項 9】

前記受入れコントローラが、前記利用可能なデータ転送レートに対する前記必要とされるデータ転送レートの比率を 1 未満にする、請求項 8 に記載の受入れ制御システム。

【請求項 10】

複数のデータ・ストリームをバッファ・メモリ中のそれぞれに対応する部分との間で転送する記憶装置による前記バッファ・メモリへのアクセスを制御する装置であって、前記バッファ・メモリと前記記憶装置とに相互接続された受入れコントローラを備え、前記受入れコントローラが、前記バッファ・メモリおよび前記記憶装置の特性に係のある複数のパラメータを決定し、前記受入れコントローラが、前記パラメータにตอบสนองして各データ・ストリームによる前記バッファ・メモリへのアクセスを制御する装置。

10

【請求項 11】

前記受入れコントローラが、前記バッファ・メモリ中の、第 1 のデータ・ストリームに対応する部分のメモリ容量をほぼ使い尽くした後で、次のデータ・ストリームに対応するデータを転送し、前記受入れコントローラが、各データ・ストリームから少なくともいくつかのデータを転送して、1 サービス・サイクルを完了する、請求項 10 に記載の装置。

【請求項 12】

前記受入れコントローラが、

前記記憶装置のバースト・データ転送レートである R と、
データ・ストリーム x により必要とされる比較的一定のデータ転送レートである r_x と、
前のデータ・ストリームからのデータ転送を停止して前記データ・ストリーム x からのデータ転送を開始するために必要とされる時間のせいで前記記憶装置に付随するデータ転送遅延である l_x と、

20

1 サービス・サイクル中にデータ・ストリーム x により利用されるバッファ・メモリの量である d_x と、

1 つの完全なサービス・サイクルで経過する時間である T とのパラメータうちの少なくとも 1 つを使用する、請求項 11 に記載の装置。

【請求項 13】

前記受入れコントローラが、対応するデータ転送レートを有する新たなデータ・ストリームを含めることを求める要求を受け取り、前記パラメータのうちの少なくとも幾つかに基づいて、前記データ・ストリームを前記送信されている複数のデータ・ストリーム中に受け入れるかどうかを決定する、請求項 12 に記載の装置。

30

【請求項 14】

前記受入れコントローラが、前記複数のデータ・ストリームおよび前記新たなデータ・ストリームを転送するのに必要とされるバッファ・メモリの総容量を計算し、前記必要とされるバッファ・メモリを、利用可能なバッファ・メモリと比較し、前記利用可能なバッファ・メモリが前記必要とされるバッファ・メモリよりも大きい場合は前記新たなデータ・ストリームを受け入れ、そうでない場合は前記新たなデータ・ストリームを受け入れない、請求項 13 に記載の装置。

40

【請求項 15】

前記受入れコントローラが、複数の合計値を生成する手段を備え、前記合計値が、以下の合計値、即ち

1 サービス・サイクル中に全てのデータ・ストリームにより利用されるバッファ・メモリの総容量である d_{a11} と、

全てのデータ・ストリームにより必要とされるデータ転送レートである r_{a11} と、
各データ・ストリームからのデータ転送を停止して次のデータ・ストリームからのデータ転送を開始するために必要とされる経過時間による総遅延である L とのうちの少なくとも 1 つを含む、請求項 12 に記載の装置。

【請求項 16】

50

前記受入れコントローラが、前記記憶装置と前記バッファ・メモリとの間のデータ転送のデータ・レートを最適化するRおよびLの各値を有する記憶装置を選択する手段を備える、請求項15に記載の装置。

【請求項17】

複数のデータ・ストリームをそれぞれに対応する転送レートで転送する方法であって、最大容量を有するバッファ・メモリとバースト転送レートを有するディスク記憶装置とに関係のある複数のパラメータを決定するステップと、

前記ディスク記憶装置と前記バッファ・メモリとの間で、前記ディスク記憶装置の前記バースト転送レートでデータをバースト転送し、前記バッファ・メモリとの間で、前記複数のデータ・ストリームのそれぞれに対応する各転送レートでデータを転送するステップと

10

、前記データ・ストリームの全てを転送するのに必要とされるバッファ・メモリ総容量を計算するステップと、

前記必要とされるバッファ・メモリ総容量が前記バッファ・メモリの前記最大容量を超えないように、前記データ・ストリームによる前記バッファ・メモリへのアクセスを制御するステップとを含む方法。

【請求項18】

ディスク記憶に関係のあるパラメータを決定する前記ステップが、ディスク・データ転送レートと、前のデータ・ストリームからデータが転送された後でデータ・ストリームからデータを転送することによるデータの位置を見つけることに起因する遅延とを決定するステップを含む、請求項17に記載の方法。

20

【請求項19】

第1のバッファ・メモリがほぼ満たされるまで、第1のデータ・ストリームに起因するデータを前記第1のバッファ・メモリに転送するステップと、

第2のバッファ・メモリがほぼ満たされるまで、第2のデータ・ストリームに起因するデータを前記第2のバッファ・メモリに転送するステップとを更に含む、請求項18に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、一般に、デジタル・データの伝送に関し、より詳細には、現在動作中の伝送データ・ストリームのセット(組)に追加のデータ・ストリームを加えることを求める要求が、デジタル・データ伝送システム中で受け入れられるかどうかを決定することに関する。

【背景技術】

【0002】

データ伝送システムは、ある地点から別の地点にデジタル・データを送信する。このデジタル・データは、それぞれ異なる複数のデータ・ストリームを同時に含むことができ、各データ・ストリームは、異なる信号を表す。データ伝送システムが、複数のデータ・ストリームを送信しており、新たなデータ・ストリームを含めることを求める要求を受け取ったときは、データ伝送システムがこの要求された新たなデータ・ストリームを含めるための記憶容量(capacity)を有するかどうかを判断しなければならない。データ源(source:ソース)からデータ記憶装置(sink:シンク)までの完全なデータ送信に関連して多くのパラメータ、接続(コネクション)、および回路があり、これらの全てが、このデータ送信を処理するために必要な記憶容量を有していなければならない。

40

【0003】

一実施例では、これらのデータ・ストリームは、ビデオおよび/または音声信号を表す。通常、ビデオおよび/または音声データ・ストリームは、磁気ディスクやハード・ドライブなどの大容量記憶装置に記憶される。より具体的には、ビデオおよび/または音声デー

50

タ・ストリームは、伝送システムから受け取られて大容量記憶装置に記憶される場合もあり (r e c o r d i n g : レコーディング、記録)、或いは大容量記憶装置から取り出されて伝送システムを介して送信される場合もある (p l a y b a c k : プレイバック、再生)。このようなシステムは、しばしばマルチメディア・システムと呼ばれる。前述のように、マルチメディア・システムなどの伝送システム中には、多くの接続がある。このような接続の1つは、大容量記憶装置と伝送システムの残りの部分との間に存在するものである。

【0004】

近年のマルチメディア・システムでは、ビデオおよび/または音声信号を表す多量のデータが、データ・ブロックとして大容量記憶装置に記憶されることが多く、各ブロックは一連のビットからなる。大容量記憶装置は、所望のデータ・ストリームを含む連続するブロックにアクセスする際のアクセス間で時間を要するので、大容量記憶装置との通信は、連続するデータ・バースト (d a t a b u r s t) を、待ち (レイテンシ) 時間 (l a t e n c y t i m e : 本出願では以後、 l (エル) とする) で分断されながら比較的高いデータ転送レート (d a t a R a t e : 本出願では以後、 R とする) で転送することにある。待ち時間は、ディスク・ドライブが次のデータ・ストリームを表すデータを提供するために位置を変えている時間であり、この間はデータが転送されない。ビデオ・データがリアルタイムで送信されるときは、連続する各ビデオ・フレームについてのデータが、受信位置で必要とされるときに利用可能でなければならない。このことは、バーストが大容量記憶装置に付随する待ち時間で分断されることなく、伝送媒体を介してより一定した伝送レート (t r a n s m i s s i o n r a t e : 本出願では以後、 r とする) が必要とされることを意味する。

10

20

【0005】

データを大容量記憶装置との間でバースト転送できるようにしながら、伝送媒体を介して比較的一定した伝送レートでデータを送信できるようにするために、バッファ・メモリと呼ばれる一時的なメモリ領域を大容量記憶装置と伝送媒体との間に結合する。これは、別個の専用メモリ装置としてもよく、或いは、大容量記憶装置へのアクセスを制御する処理回路の主 (メイン) メモリ中の、バッファとして使用されるように割り振られた部分としてもよい。このバッファはしばしば、データ源により満たされ、データ・シンク (記憶装置) により中身が取り出されるバケットとして視覚化される。例えば、再生中は、バッファ (バケット) は、ディスクからのデータによりバースト転送で満たされ、一定のデータ・レートで伝送媒体中に移される。記録中は、伝送媒体により一定のデータ・レートで満たされ、ディスク上にバースト転送で移される。

30

【0006】

当業者なら理解することだが、バッファ・メモリのサイズは、転送されている全てのデータ・ストリームについてのデータを保持できるほど十分に大きくなければならない。即ち、バッファ・メモリが十分に大きければ、全てのデータ・ストリームは、バッファ・メモリをオーバーフローさせることもなく、またバッファ・メモリが完全に空になることもなく、送信することができる。本発明者は、新たなデータ・ストリームの送信を求める要求を受け取られたときは常に、現在の伝送システムのパラメータ、特に、要求される一定伝送レート r 、ディスクのバースト・レート R 、ディスクの待ち時間 l 、およびバッファのサイズ (B u f f e r s i z e : 本出願では以後、 B とする) の数値を求めて、新たなデータ・ストリームをうまく送信できるかどうかを決定しなければならないことを認識した。うまく送信できる場合は、このデータ・ストリームはデータ伝送システム中に受け入れられ、そうでない場合は、受け入れられない。

40

【0007】

バッファおよび入出力の最適化の問題に対処する方法として、非常に多くの方法が存在する。例えば、オズデン氏 (O z d e n) 外に付与された「 L O O K A H E A D B U F F E R R E P L A C E M E N T M E T H O D U S I N G R A T I O O F C L I E N T S A C C E S S O R D E R O F F S E T S A N D B U F F E R D A T

50

A BLOCK OFFSETS」という名称の米国特許第5,870,551号には、バッファ・メモリ中の各データ・バッファに対する将来のアクセスを決定または推定する方法が開示されている。バッファ中の各データ・ブロックについて分析を行った後、将来にアクセスされる見込みが最も低いデータ・ブロックを、新たなデータで置き換えるように割り振る。

【0008】

バラクリシュナン氏 (Balakrishnan) に付与された「ENCODER BUFFER HAVING AN EFFECTIVE SIZE WHICH VARIES AUTOMATICALLY WITH THE CHANNEL BIT RATE」という名称の米国特許第5,566,208号には、伝送レートの上昇に伴ってバッファ・サイズが増大するビデオ伝送システムが開示されている。バッファ・サイズは $R(T(1-m_1) - M)$ に維持される。ここで、Rは、可変レートのビデオ信号の平均伝送レートであり、Tは、送信されるビデオ信号についての符号化処理と復号処理との間の固定遅延であり、 $R(1-m_1)$ は、通信システムが平均伝送レートRで達成する最小瞬間伝送レートであり、Mは、利用可能な最大の総バッファ記憶域である。

10

【0009】

ダン氏 (Dan) 外に付与された「LOAD BALANCING IN VIDEO ON DEMAND SERVERS BY ALLOCATING BUFFER TO STREAMS WITH SUCCESSIVELY LARGER BUFFER REQUIREMENTS UNTIL THE BUFFER REQUIREMENTS OF A STREAM CANNOT BE SATISFIED」という名称の米国特許第5,544,327号には、ビデオ・サーバの様々な映画記憶構成要素に掛かる負荷を、高い負荷のかかった要素上のストリームを優先的にバッファリング（一時記憶）することにより平衡させるバッファ・マネージャが開示されている。バッファ・メモリの割り振りは、新たな要求が到着したことにより記憶構成要素の負荷が増大したとき、または送信の一時停止によりバッファ領域が利用可能になったときに行われる。

20

【0010】

ダン氏 (Dan) 外に付与された「BUFFER MANAGEMENT POLICY FOR AN ON DEMAND VIDEO SERVER」という名称の米国特許第5,572,645号には、1つのデータ・ストリームによりすでに伝送されたデータ・ブロックを選択的に保持することにより、マルチメディア・サーバに必要とされるディスク帯域幅容量を削減する方法が開示されている。保持されたデータ・ブロックは、次いで他の媒体アプリケーションが再利用する。データ・ブロックのバッファリングがストリームに依存するため、バッファリングは変化するバッファ・アクセス・パターンに適應するので、記憶要件は、映画全体のバッファリングに必要な記憶要件よりも少ない。

30

【0011】

コリガン氏 (Corrigan) 外に付与された「OPTIMIZED I/O BUFFERS HAVING THE ABILITY TO INCREASE OR DECREASE IN SIZE TO MEET SYSTEM REQUIREMENTS」という名称の米国特許第5,179,662号には、そのデータ内容を補助記憶域に書き込む二重バッファリング方式が開示されている。コンピュータ・システムが1つのバッファにデータを補充できるようになる前に、このバッファがその書込み動作を完了することを、コンピュータ・システムが同期的に待機しなくてもよくなるまで、バッファ・サイズを増大させる。

40

【0012】

全てのこれらの受入れ制御およびバッファ管理のシステムは、データ・ストリームに関する理想化された前提、即ち、ピーク（最大）データ・レートを処理するように設計された高価なバッファ拡張機能を備えることによる理想化された前提条件があることが難点である。受入れ制御プロトコル (admission control protocol: アドミッション・コントロール・プロトコル) は、どんなビデオ・サーバ実現でもその中

50

心部に存在する。理想的には、ビデオ・データ・ストリームの定義特性とバッファ要件との間の予測可能な関係を提供する受入れ制御システムが必要とされる。

【発明の開示】

【0013】

(発明の概要)

本発明の原理によれば、受入れ制御システムが、記憶装置と、記憶装置に相互接続されたバッファ・メモリとを備えている。バッファ・メモリに相互接続された受入れコントローラが、記憶装置とバッファ・メモリとの間の伝送に関するパラメータを使用する手段と、測定されているパラメータの少なくとも幾つかに回答して記憶装置とバッファ・メモリとの間のデータ転送を制御する手段とを備えている。

10

【0014】

本発明のシステムでは、ビデオ・サーバは、大容量記憶装置の容量をより効果的に使用することにより、1ビデオ・ストリームあたりのコストをより低く抑えることができる。本明細書に述べる受入れ制御システムは、ビデオ・ストリームおよびビデオ・ストリーム帯域幅の割振りを制御するための性能パラメータとして、ビデオ・ストリーム・バッファ要件を使用する。新規な受入れ制御アルゴリズムが、ビット・レートや再生/記録やオフセットなどのビデオ・ストリーム特性をバッファ要件と比較し、それにより、ビデオ・ストリーム内のデータと結果的なバッファ使用との間のより予測可能な関係を提供する。分析モデルが、ビデオ・ストリームのビット・レートおよびディスク性能パラメータをバッファ領域要件に関係付け、ビデオ・サーバによりディスク転送中に使用されるバッファ・メモリ量を予測および管理できるようにする。

20

【発明を実施するための最良の形態】

【0015】

図1に、本発明の一実施例を組み込んだビデオ・サーバ119を簡略化した図を示す。サーバ119は、ランダム・アクセス可能な磁気ディスク装置100を備え、磁気ディスク装置100は、音声およびビデオ信号を表すデジタル・プログラム(番組)情報を記憶する。このデジタル情報は、磁気ディスク装置100から取り出され、ライン(Line:通信線)104、105、106、107、114に沿ってバッファ・メモリ113に送信される。バッファ・メモリ113は、ランダム・アクセス・メモリ・バッファ103、108、109、110、111、112を含んでいる。バッファの各出力は、伝送ライン118を介して電気通信網(ネットワーク)117にリンクされる。

30

【0016】

受入れコントローラ(admission controller:アドミッション・コントローラ)121は、クライアント122からの要求(リクエスト)、例えばディスク装置100に含まれるデジタル・データへのアクセスを求める要求に回答して、ディスク装置100から取り出されたデジタル信号にバッファ・メモリ103や108などを制御可能に割り振るよう適合された、プログラム可能な選択装置または切換え(switching:スイッチング)装置である。回路網(ネットワーク)117は、ライン123および124を介して、クライアント122の信号デコーダおよびビューア・インタフェースに相互接続される。クライアント122のデコーダ/インタフェースは、オンボード処理回路127およびローカル・バッファ128を備えている。クライアント122のデコーダ/インタフェースは、ビデオ表示装置126に接続される。受入れコントローラ121は、ライン125を介して回路網117にリンクされ、ライン99を介してディスク装置100にリンクされる。

40

【0017】

デジタル信号情報が、バッファ・メモリ113に送信されるレートは、ディスク装置100と、それに関連するバッファ・メモリ・リンク104~107および114との組合せの帯域幅を超えることはできない。クライアント122がバッファ・メモリ113へのアクセスを要求すると、受入れコントローラ121は、クライアント要求に対応するのに十分なバッファ領域およびディスク帯域幅があるかどうかを決定し、それに従ってビデオ

50

・データ・ストリームを割り振る。

【0018】

本発明では、ディスク装置100が複数の同時ビデオ・データ・ストリームを供給しているとき、ディスク装置100についてのモデルを作成する。このモデルを作成する際、次のように仮定する。第1に、ビデオ・ストリームは、ラウンドロビン (round-robin) 方式で、サイクル (cycle) またはラウンド (round) で供給される。即ち、各ビデオ・ストリームが1サイクルに1度ずつディスク装置100からバイトを受け取り、ビデオ・ストリームがサービスされる順番は固定である。第2に、各ビデオ・ストリームがサービスされる時は常に、そのビデオ・ストリームに関連するバッファ108、109、110などは完全に満たされる (または記録の場合は空になる)。第3に、データ転送時間および回転待ち時間は、各サイクル間で同じであり、データ転送レートは、オフセットまたはシリンダ位置にかかわらずディスク全体に亘って同じである。最後に、回路網117がバッファの中身を取り出す (または記録の場合はバッファを満たす) レート (速度) は継続的である。即ち、時間が経っても変化しない。

10

【0019】

本明細書中で、以下の表記を使用する。

「R」は、ディスク・ヘッドが正しい位置にきた後の、ディスクのビット転送レート、即ちバースト・データ転送レートである。

「 r_x 」は、個別のビデオ・データ・ストリームxについての、要求されるデータ転送レートである。

20

「 l_x 」(エル エックス) は、ビデオ・ストリームxについてのディスク回転待ち (レイテンシ) 時間である。

「 d_x 」は、1サイクルの間にストリームxに対するバッファから除去されるビット数である。

「T」は、1サイクルを完了するのに必要な時間である。

【0020】

各ビデオ・ストリームxについて要求されるデータ転送レート r_x を維持するには、各サイクルT中に伝送媒体との間で転送されるデータ・ビットの数 d_x は、以下のようにならなければならない。

【0021】

30

【数1】

$$d_x = r_x T$$

従って、バッファ・メモリは、ビデオ・ストリームxに d_x 個のビットを割り振らなければならない。そのため、 d_x が、全てのデータ・ストリームを処理するのに必要なバッファ・メモリ総容量である。

【0022】

バッファが、サイクルTで d_x ビットを伝送媒体との間で伝送するには、これらのビットは、このサイクルT内で、バースト・データ転送レートRでディスクから送信されてきたものでなければならない、またはディスクに送信できなければならない。従って、ビデオ・ストリームxについての実際のディスク・データ転送時間は、以下のようになる。

40

【0023】

【数2】

$$\frac{d_x}{R}$$

【0024】

図8を参照すると、3つのデータ・ストリームについての1サイクルのビデオ・データ・ストリーム・サービスに関する時間ラインが示してある。1つの完全なサイクルのビデオ・ストリーム・サービスを実施するのに必要な時間Tの期間が、3つの別々の段階に分割

50

されており、各段階は、3つのデータ・ストリームのうちの1つに関係のあるデータを転送する。ある段階 (p h a s e : フェーズ) 69は、時間 d_a / R を含むが、この時間は、ディスク装置100からの (または記録の場合はディスク装置100への) データ・バーストを、ビデオ・ストリーム a に対するバッファ・メモリ113に実際に転送することにより消費される時間である。ビデオ・ストリーム a が、例えばバッファ108 (図1) に関連すると仮定すると、期間70は、バッファ108中の利用可能な領域 d_a をディスク・データ転送レート R で割った値に等しいことになる。

【0025】

段階69は、回転待ち期間 l_a も含むが、この期間の間に、ヘッドの位置が変わり、ディスク装置100中のディスク (p l a t t e r : プラッタ) が回転して、バッファ108へのデータ転送を開始するための位置にくる。この期間はディスク・データ転送に先行するように例示してあるが、データ転送期間70全体に亘って生じる他の待ち期間がある場合もある。一般に、ディスク・アクセスを改善するために、データ・ストリームに関連するビデオ・データは、周知の連続的な方式で記憶される。しかし、連続的なデータの転送の中にも、その他の待ち期間がある。即ち、シリンダ上の連続的な各ブロックへのアクセス間の期間、および、あるシリンダから次のシリンダに切り換えるときの期間である。これら他の待ち期間は、ディスク・ヘッドの位置変更および回転待ち待機に関連する先行待ち期間に比べて非常に短く、図を簡単にするために、これら全てを図示の待ち期間 l_a に含める。

10

【0026】

別の段階71は、待ち期間 l_b と、それに続く、ビデオ・ストリーム b に関連するバッファ (例えば、バッファ109) へのデータ転送 d_b / R とで定められる。第3の段階72は、待ち期間 l_c と、ビデオ・ストリーム c に関連するデータ転送 d_c / R とを含んでいる。3つの段階が完了すると、この処理はビデオ・ストリーム a について繰り返す。サイクルが完了したときには、回路網117は、バッファ108から一定量 r_a だけ中身を取り出し終わっている。1サイクルあたりのデータ転送および待ち時間は、一定であると仮定するので、各ビデオ・ストリームごとのバッファ排出は、以下の対称関係により定義される。

20

【0027】

【数3】

$$\begin{aligned} d_a &= r_a \left(\frac{d_a}{R} + l_a + \frac{d_b}{R} + l_b + \frac{d_c}{R} + l_c \right); \\ d_b &= r_b \left(\frac{d_a}{R} + l_a + \frac{d_b}{R} + l_b + \frac{d_c}{R} + l_c \right); \text{ および} \\ d_c &= r_c \left(\frac{d_a}{R} + l_a + \frac{d_b}{R} + l_b + \frac{d_c}{R} + l_c \right) \end{aligned}$$

30

この d_a 、 d_b 、 d_c に関する3つの一次方程式のシステムは、クラメール (C r a m e r) の法則 (公式) を使用して記号的に解くことができ、以下の式が得られる。

40

【0028】

【数4】

$$\begin{aligned}
 d_a &= \frac{r_a(l_a + l_b + l_c)}{1 - \left(\frac{r_a}{R} + \frac{r_b}{R} + \frac{r_c}{R}\right)}; \\
 d_b &= \frac{r_b(l_a + l_b + l_c)}{1 - \left(\frac{r_a}{R} + \frac{r_b}{R} + \frac{r_c}{R}\right)}; \text{および} \\
 d_c &= \frac{r_c(l_a + l_b + l_c)}{1 - \left(\frac{r_a}{R} + \frac{r_b}{R} + \frac{r_c}{R}\right)}
 \end{aligned}$$

10

このパターンは、任意の数のデータ・ストリームに当てはまる。従って、一般には以下のようになる。

【0029】

【数5】

$$d_x = r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R}} \right)$$

20

従って、ビデオ・ストリーム x に関連するバッファについての総バッファ要件 B_x は、以下のとおりである。

【0030】

【数6】

$$B_x = \sum d_x = \sum r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R}} \right) \quad (\text{式1})$$

30

ビデオ・ストリーム x についてのデータを含むディスク・シリンダにおけるデータ転送レートを R_x とすると、バッファ排出量は、以下のように表現することができる。

【0031】

【数7】

$$d_x = r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R_y}} \right)$$

40

また、総バッファ要件は以下のとおりである。

【0032】

【数8】

$$B_x = \sum d_x = \sum r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R_y}} \right)$$

50

【 0 0 3 3 】

転送レートが、ディスク装置 1 0 0 全体に亘って一様であると仮定し、式 1 (上記) を利用すると、以下の場合に、

【 0 0 3 4 】

【 数 9 】

$$B_{all} = d_{all} = \sum d_x, r_{all} = \sum r_x, \text{および } L = \sum l_y,$$

式 1 は、次のように書き直すことができる。

【 0 0 3 5 】

【 数 1 0 】

$$B_{all} = d_{all} = r_{all} L \left(\frac{1}{1 - \frac{r_{all}}{R}} \right) \quad (\text{式 2})$$

【 0 0 3 6 】

式 2 で、 B_{a11} は、ディスク・ドライブ装置と伝送媒体との間でデータ・ストリームをうまく送信するのに必要な総バッファ・メモリである。R および L の値は、ディスク装置 1 0 0 の動作により決まる。パラメータ r は、伝送媒体を介して送信されるデータについての要求されるコンテンツ・データ・レートである。パラメータ R は、プログラム「transfer ()」などを使用して推定することができ、待ち時間 L は、ディスク装置のディスク (プラッタ) の回転時間の 2 分の 1 の平均待ち時間を使用して推定する。例えば、R の値は通常は 1 2 0 ~ 2 1 0 メガビット / 秒にあり、L の値はディスク装置 1 0 0 の回転速度により決まる。

【 0 0 3 7 】

式 2 を使用して、マルチメディア伝送システムで使用するための適切な動作パラメータを有するディスク・ドライブ装置 1 0 0 を選択する。図 4 ~ 図 6 を参照すると、所望の R および L の値を有するディスク装置を選択する方法の 1 つは、総バッファ要件 2 5 と総ビット・レート 2 4 との関係性を調べることである。まず、曲線 7 4 が実際のデータ点 7 5、7 6、7 7、7 8 などの下限を表すように、R および L それぞれの第 1 の値 7 9 および 8 0 を選択する。次いで、R の値 7 9 は固定したままで、L の第 2 の値 8 1 を選択し、外れたデータ点 8 3 をほぼ除外する曲線 8 2 を生成する。第 2 の曲線 8 2 は、受入れコントローラ 1 2 1 の所望の挙動を定める。

【 0 0 3 8 】

受入れ制御回路 1 2 1 (図 1) が、所望の一定伝送媒体データ・レート r の新たなデータ・ストリームを追加することを求める要求を、回路網 1 1 7 からライン 1 2 5 を介して受け取ると、受入れ制御回路 1 2 1 は、現在のデータ・ストリームと、要求のデータ・レート r の新たなデータ・ストリームとを含めて、また前述の方式で推定したディスク・ドライブ・パラメータを使用して、式 2 を再計算する。次いで、新たに計算したバッファ・サイズ B_{a11} を、利用可能な総バッファ・メモリ 1 1 3 サイズと比較する。新たに計算したバッファ・サイズ B_{a11} が利用可能な総バッファ・メモリ 1 1 3 サイズよりも小さい場合は、新たに要求されたデータ・ストリームをうまく送信するのに十分なバッファ・メモリ 1 1 3 領域があり、このデータ・ストリームは受け入れられる。新たに計算したバッファ・サイズ B_{a11} が利用可能な総バッファ・メモリ 1 1 3 サイズよりも大きい場合は、新たに要求されたデータ・ストリームをうまく送信するのに十分なバッファ・メモリ 1 1 3 領域がなく、このデータ・ストリームは受け入れられない。

【 0 0 3 9 】

提示されたビデオ・ストリーム 1 0 4、1 0 5、1 0 6 などの組合せが、曲線 8 2 の下の領域 8 4 にあるデータ点を生じる場合は、ビデオ・サーバ・システム 1 1 9 は、これらの

10

20

30

40

50

データ・ストリームの送受信をサポートすることができる。得られるデータ点が曲線 8 2 の上の領域 8 5 にある場合は、サーバ・システム 1 1 9 は、これらのデータ・ストリームの伝送をサポートすることができない。ディスク転送を達成するためにサーバ 1 1 9 により使用されるバッファ領域 1 1 3 の総容量は、構成可能だが限られた資源である。受入れコントローラ 1 2 1 は、伝送されるように提示されているビデオ・ストリームをサーバ 1 1 9 が処理することができるかどうかを決定し、処理することができる場合は、これらのストリームを中断させることなく供給する。

【 0 0 4 0 】

以上、本発明をマルチメディア・システムの文脈で述べた。ただし、データを大容量記憶装置に記録するか、または記録済みのデータを大容量記憶装置から取り出すデータ伝送システムなら、どんな伝送システムでも本発明による受入れ制御システムを組み込むことができることは、当業者なら理解できる。

10

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】 本発明を利用するビデオ・サーバを簡略化したブロック図である。

【 図 2 】 ビデオ再生ストリームの場合のバッファ使用を表すグラフである。

【 図 3 】 ビデオ記録ストリームの場合のバッファ使用を表すグラフである。

【 図 4 】 転送レートがディスク全体に亘って一様であると仮定した場合に、3つの再生ストリームに関する総バッファ要件と総ビット・レートとの間で経験的に決定される関係を表すグラフである。

20

【 図 5 】 転送レートがディスク全体に亘って一様であると仮定した場合に、4つの再生ストリームに関する総バッファ要件と総ビット・レートとの間で経験的に決定される関係を表すグラフである。

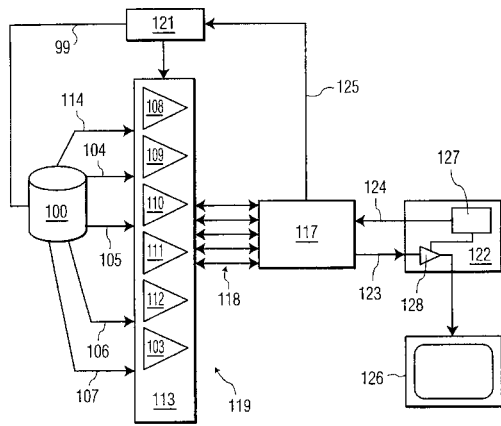
【 図 6 】 転送レートがディスク全体に亘って一様であると仮定した場合に、4つの混合データ・ストリーム（書込み、読出し、書込み、読出し）に関する総バッファ要件と総ビット・レートとの間で経験的に決定される関係を表すグラフである。

【 図 7 】 3つの記録ストリームに関する総バッファ要件と総ビット・レートとの間で経験的に決定される関係を表すグラフである。

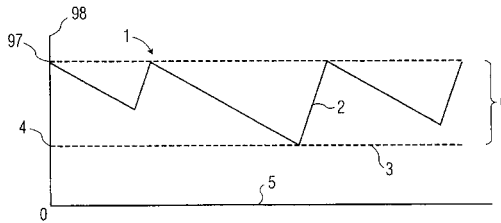
【 図 8 】 1サイクルのビデオ・ストリーム・サービスに関する時間ラインを示す図である。

30

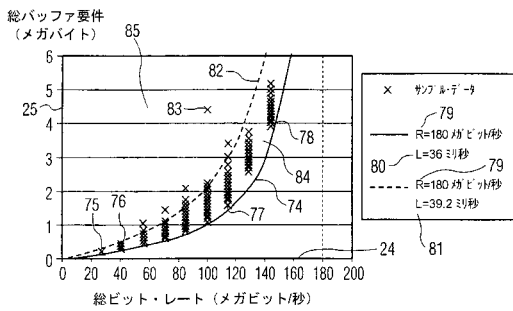
【 図 1 】



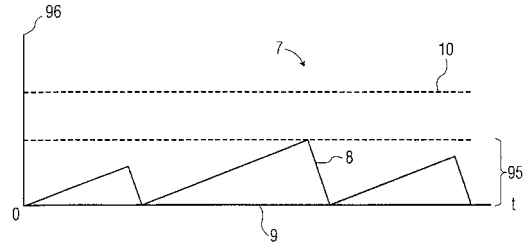
【 図 2 】



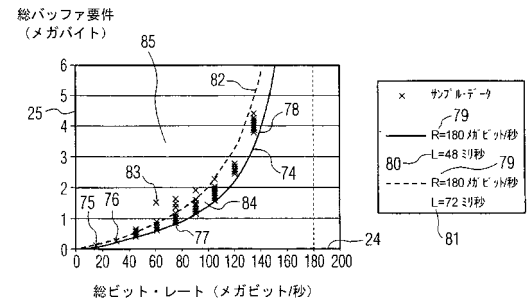
【 図 5 】



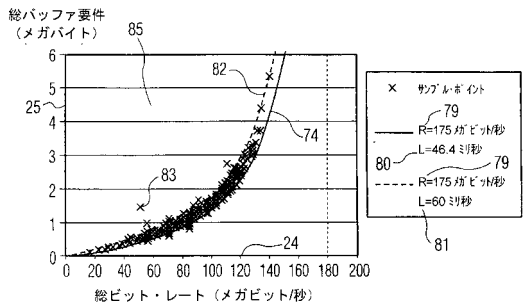
【 図 3 】



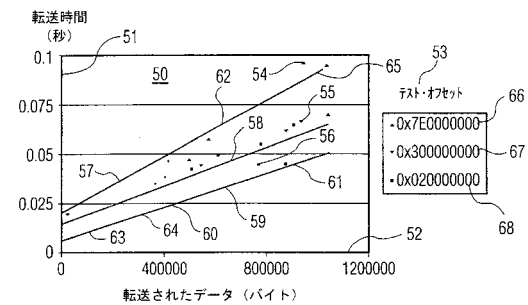
【 図 4 】



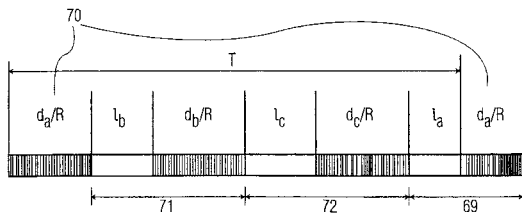
【 図 6 】



【 図 7 】



【 図 8 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
8 May 2003 (08.05.2003)

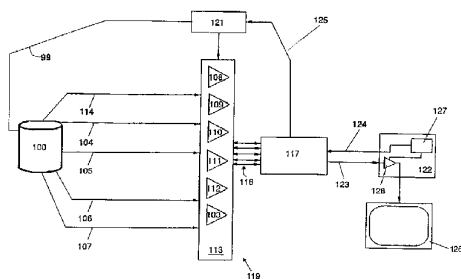
PCT

(10) International Publication Number
WO 03/038641 A1

- (51) International Patent Classification: G06F 15/16, 11/00, G01R 31/08, G08C 15/00, H04J 1/16
 - (52) International Application Number: PCT/US02/34935
 - (53) International Filing Date: 31 October 2002 (31.10.2002)
 - (54) Filing Language: English
 - (55) Publication Language: English
 - (56) Priority Data: 60/335,511 31 October 2001 (31.10.2001) US
 - (57) Applicant (for all designated States except US): THOMSON LICENSING S.A. [FR/FR]; 46, Quai Le Gallo, F-92648 Boulogne (FR).
 - (58) Inventor; and Inventor/Applicant (for US only): ASMUTH, Charles, August [US/US]; 34 Sycamore Road, Princeton, NJ 08540 (US).
 - (59) Agents: TRIPOLI, Joseph, S. et al.; Thomson multimedia Licensing Inc., Two Independence Way, Princeton, NJ 08540 (US).
 - (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
 - (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IT, LI, LU, MC, NL, PT, SI, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- Published: with international search report before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

[Continued on next page]

(54) Title: ADMISSION CONTROL SYSTEM FOR HOME VIDEO SERVERS



(57) Abstract: An admission control system (119) includes a storage device (100), and a buffer memory (113) interconnected to the storage device (100). An admission controller (121), interconnected to the buffer memory (113), includes means for measuring parameters pertaining to interconnections between the storage device and the buffer memory, and means for controlling data transfers between the storage device (100) and the buffer memory (113) in response to at least some of the parameters being measured.



WO 03/038641 A1

WO 03/038641 A1 

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 03/038641

PCT/US02/34935

ADMISSION CONTROL SYSTEM FOR HOME VIDEO SERVERS

FIELD OF THE INVENTION

The present invention relates generally to the transmission of digital data, and more particularly to determining whether a request to add an additional data stream to a currently operating set of transmission data streams may be honored in a digital data transmission system.

BACKGROUND OF THE INVENTION

Data transmission systems transmit digital data from one point to another. This digital data can simultaneously include several respectively different streams of data, each representing a different signal. When the data transmission system is transmitting a plurality of data streams, and a request is received to include a new data stream, a decision must be made whether the data transmission system has the capacity to include the requested new data stream or not. There are many parameters, connections and circuits involved in the complete transmission of data from a data source to a data sink and all must have the capacity to handle the data transmission.

In one embodiment, these streams of data represent video and/or audio signals. The video and/or audio data streams are usually stored on a mass storage device such as a magnetic disk or hard drive. More specifically, a video and/or audio data stream may be either received from the transmission system and stored on the mass storage device (recording), or retrieved from the mass storage device and transmitted over the transmission system (playback). Such a system is often termed a multimedia system. As described before, there are many connections in a transmission system, such as a multimedia system. One such connection is between the mass storage device and the remainder of the transmission system.

In modern multimedia systems the large amounts of data representing the video and/or audio signals are often stored in the mass storage device as blocks of

WO 03/038641

PCT/US02/34935

data, each block consisting of a series of bits. Because the mass storage device requires time between accessing successive blocks containing the desired data stream, data communications with the mass storage device consists of transferring successive bursts of data at a relatively high data rate (R in the remainder of this application) separated by the latency times (l in the remainder of the application), when the disk drive is repositioning to provide data representing the next data stream, during which no data is transferred. When the video data is transmitted in real time the data for each successive video frame must be available when needed at the receiving location. This means that a more constant transmission rate (r in the remainder of this application) is required over the transmission media without the bursts separated by latency times inherent in the mass storage device.

In order to allow data to be transmitted at the relatively constant transmission rate over the transmission medium while allowing data to be transferred to or from the mass storage device in bursts, a temporary memory area known as buffer memory is coupled between the mass storage device and the transmission medium. This may be a separate dedicated memory device, or may be a portion of the main memory of a processor, which controls access to the mass storage device, allocated for use as a buffer. This buffer is often visualized as a bucket which is filled by a data source and emptied by a data sink. For example, during playback, the buffer (bucket) is filled in bursts by data from the disk, and emptied at the constant data rate into the transmission medium, and during recording is filled at the constant data rate by the transmission medium and emptied in bursts onto the disk.

One skilled in the art understands that the size of the buffer memory must be sufficiently large to hold data for all the data streams being transferred. That is, if the buffer memory is sufficiently large, then all the data streams may be transmitted without either overflowing the buffer memory or allowing the buffer memory to completely empty. The inventor has realized that whenever a request to transmit a new data stream is received, the parameters of the current transmission system, and in particular the requested constant transmission rate r , the burst rate R of the disk, the latency time l of the disk, and the size of the buffer (B in the remainder of this application) must be evaluated to determine if the new data stream may be

WO 03/038641

PCT/US02/34935

successfully transmitted. If so, then that data stream is admitted into the data transmission system, otherwise, it is not admitted.

Numerous methods exist which address the problem of buffer and I/O optimization. For example, U.S. Patent No. 5,870,551 entitled LOOKAHEAD BUFFER REPLACEMENT METHOD USING RATIO OF CLIENTS ACCESS ORDER OFFSETS AND BUFFER DATA BLOCK OFFSETS, issued to Ozden et al, discloses a method of determining or estimating the future access of each data buffer in a buffer memory. After an analysis is performed for each data block in the buffer, the data block with the lowest probable future access is allocated to be replaced with new data.

U.S. Patent No. 5,566,208, entitled ENCODER BUFFER HAVING AN EFFECTIVE SIZE WHICH VARIES AUTOMATICALLY WITH THE CHANNEL BIT RATE, issued to Balakrishnan, discloses a video transmission system in which the size of the buffer is increased with an increasing transmission rate. The buffer size is maintained at $R\Delta T(1-m_1)-M$, where R is the average transmission rate of the variable rate video signal, ΔT is the fixed delay between the encoding and decoding processes for a transmitted video signal, $R(1-m_1)$ is the minimum instantaneous transmission rate that the communications system achieves at average transmission rate R, and M is the maximum total buffer storage available.

U.S. Patent No. 5,544,327, entitled LOAD BALANCING IN VIDEO ON DEMAND SERVERS BY ALLOCATING BUFFER TO STREAMS WITH SUCCESSIVELY LARGER BUFFER REQUIREMENTS UNTIL THE BUFFER REQUIREMENTS OF A STREAM CANNOT BE SATISFIED, issued to Dan et al., discloses a buffer manager that balances the loads on various movie storage elements of a video server by preferentially buffering streams on highly loaded elements. The allocation of buffer memory occurs when the storage element load increases due to the arrival of a new request or when buffer space becomes available due to a pause in transmission.

U.S. Patent No. 5,572,645, entitled BUFFER MANAGEMENT POLICY FOR AN ON DEMAND VIDEO SERVER, issued to Dan et al, discloses a method for

WO 03/038641

PCT/US02/34935

reducing the disk bandwidth capacity required by a multimedia server by selectively retaining data blocks that have already been delivered by one data stream. The retained data blocks are then available for reuse by other media applications. Due to stream dependent data block buffering, the storage requirement is less than that required for the buffering of an entire movie because the buffering adapts to changing buffer access patterns.

U.S. Patent No. 5,179,662, entitled OPTIMIZED I/O BUFFERS HAVING THE ABILITY TO INCREASE OR DECREASE IN SIZE TO MEET SYSTEM REQUIREMENTS, issued to Corrigan et al., discloses a double buffering scheme which writes its data content to auxiliary storage. The size of the buffers is increased until the computer system does not have to synchronously wait for one buffer to complete its write operation before it can refill that buffer with data.

All of these admission control and buffer management systems suffer from idealized assumptions regarding the data stream, or by providing expensive buffer expansion capabilities designed to deal with peak data rates. The admission control protocol is at the core of any video server implementation. Ideally, an admission control system is needed that provides a predictable relationship between the defining characteristics of the video data streams and the buffer requirements.

SUMMARY OF THE INVENTION

In accordance with principles of the present invention, an admission control system includes a storage device, and a buffer memory interconnected to the storage device. An admission controller, interconnected to the buffer memory, includes means for using parameters pertaining to interactions between the storage device and the buffer memory, and means for controlling data transfers between the storage device and the buffer memory in response to at least some of the parameters being measured.

The system of the present invention permits a video server to have a lower cost per video stream by using the capacity of the mass storage device more effectively. The admission control system described here uses video stream buffer

WO 03/038641

PCT/US02/34935

requirements as performance parameters to control the allocation of video streams and video stream bandwidth. A novel admission control algorithm compares the characteristics of the video stream such as bit rate, playback/record and offset, with the buffer requirements, thereby providing a more predictable relationship between the data within the video stream and the resultant buffer usage. An analytical model relates video stream bit rates and disk performance parameters to buffer space requirements, permitting prediction and management of the amount of buffer memory used by a video server during disk transfers.

BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a simplified block diagram of a video server utilizing the present invention;

Figure 2 is a graph depicting buffer usage for a video playback stream;

Figure 3 is a graph depicting buffer usage for a video recording stream;

Figure 4 is a graph depicting the experimentally determined relationship between the total buffer requirement and the total bit rate for three playback streams assuming a uniform transfer rate across the disk;

Figure 5 is a graph depicting the experimentally determined relationship between the total buffer requirement and the total bit rate for four playback streams assuming a uniform transfer rate across the disk;

Figure 6 is a graph depicting the experimentally determined relationship between the total buffer requirement and the total bit rate for four mixed data streams (Write, Read, Write, Read) assuming a uniform data transfer rate across the disk drive;

Figure 7 is a graph depicting the experimentally determined relationship between the total buffer requirement and the total bit rate for three recording video streams; and

Figure 8 illustrates the timeline for one cycle of video stream service.

DETAILED DESCRIPTION OF THE INVENTION

Figure 1 shows a simplified diagram of a video server 119 incorporating an embodiment of the present invention. The server 119 includes a randomly

WO 03/038641

PCT/US02/34935

accessible magnetic disk 100 which stores digital program information representing audio and video signals. This digital information is retrieved from the magnetic disk 100 and transmitted along lines 104, 105, 106, 107 and 114 to buffer memory 113. The buffer memory 113 includes random access memory buffers 103, 108, 109, 110, 111 and 112. Each output of the buffers is linked to telecommunications network 117 via transmission lines 118.

Admission controller 121 is a programmable selecting or switching device adapted to controllably allocate buffer memory 103, 108, etc. to the digital signals retrieved from disk 100 in response to requests from client 122, for example, for access to the digital data contained on disk 100. The network 117 is interconnected to the signal decoder and viewer interface of client 122 via lines 123 and 124. The decoder/interface of client 122 includes an on board processor 127 and a local buffer 128. The decoder/interface of client 122 is connected to a video display 126. The admission controller 121 is linked to the network 117 via line 125 and to the disk 100 via line 99.

The rate at which digital signal information is transmitted to the buffer memory 113 cannot exceed the bandwidth of the combination of the disk 100 and its associated buffer memory links 104 – 107 and 114. When clients 122 request access to the buffer memory 113, the admission controller 121 determines if there is enough buffer space and disk bandwidth to accommodate the client request and allocates video data streams accordingly.

The present invention creates a model for the disk 100 when it is serving several simultaneous video data streams. The following assumptions are made in creating this model. First, video streams are served in round-robin fashion in cycles or rounds, that is, each video stream receives bytes from the disk 100 once per cycle and the order in which the video streams are serviced is fixed. Second, the buffer 108, 109, 110, etc. associated with each video stream is completely filled (or emptied in the case of recording) whenever that video stream is serviced. Third, data transfer times and rotational latencies are the same from cycle to cycle, and the data transfer rate is the same across the disk, regardless of offset or cylinder position. Finally, the

WO 03/038641

PCT/US02/34935

rate of emptying (or filling in the case of recording) of the buffers by the network 117 is continuous, that is, does not vary over time.

The following notation is used:

R is the bit transfer rate of the disk after the disk head is in position, i.e. the burst data transfer rate;

r_x is the requested data transfer rate for an individual video data stream x ;

l_x is the disk rotational latency for video stream x ;

d_x is the number of bits removed from the buffer for stream x during one cycle;

T is the time required to complete one cycle.

To maintain the requested data transfer rate r_x for each video stream x , the number of data bits d_x transferred to or from the transmission medium during each cycle T , must be:

$$d_x = r_x T$$

The buffer memory, therefore, must allocate d_x bits to video stream x .

Consequently, $\sum d_x$ is the total amount of buffer memory required to process all of the data streams.

In order for the buffer to transfer d_x bits to or from the transmission medium in a cycle T , those bits must have been transferred from, or be able to be transferred to the disk at the burst data transfer rate R within that cycle T . The actual disk data transfer time for video stream x , thus, is:

$$\frac{d_x}{R}$$

Referring to Figure 8, the time line for one cycle of video data stream service for three data streams is illustrated. The interval of time T needed to perform one complete cycle of video stream service is divided into three separate phases, each

WO 03/038641

PCT/US02/34935

phase transferring data related to one of the three data streams. One phase 69 includes the time d_a/R consumed by actually transferring a burst of data from (or to for recording) the disk 100 to the buffer memory 113 for video stream *a*. Assuming video stream *a* is associated, for example, with buffer 108 (of Figure 1), the time period 70 will equal the available space d_a in buffer 108 divided by the disk data transfer rate *R*.

The phase 69 also includes the rotational latency period I_b during which the head is repositioned and the platter in disk 100 rotates into position to begin the transfer of data to buffer 108. Although illustrated as preceding the disk data transfer, there may be other latency periods which occur throughout the data transfer period 70. In general, to improve disk access, video data associated with a data stream will be stored in known contiguous fashion. However, there will be other latency periods even within transfers of contiguous data: time periods between access of each contiguous block on a cylinder and time periods when switching from one cylinder to the next. These other latency periods are very short compared with the preceding latency period associated with repositioning the disk head and waiting for the rotational latency, and in order to simplify the figure are all subsumed in the illustrated latency period I_b .

Another phase 71 is defined by the latency period I_b followed by data transfer d_b/R to the buffer (buffer 109, for example) associated with video stream *b*. A third phase 72 includes the latency period I_c and the data transfer d_c/R associated with video stream *c*. Once the three phases are complete, the process repeats for video stream *a*. By the time the cycle is completed, the network 117 has emptied buffer 108 by the constant amount $r_a T$. Since data transfer and latencies per cycle are assumed to be constant, the following symmetrical relationships define buffer drainage for each video stream:

$$\left. \begin{aligned} d_a &= r_a \left(\frac{d_a}{R} + I_a + \frac{d_b}{R} + I_b + \frac{d_c}{R} + I_c \right); \\ d_b &= r_b \left(\frac{d_a}{R} + I_a + \frac{d_b}{R} + I_b + \frac{d_c}{R} + I_c \right); \text{ and} \\ d_c &= r_c \left(\frac{d_a}{R} + I_a + \frac{d_b}{R} + I_b + \frac{d_c}{R} + I_c \right) \end{aligned} \right\}$$

WO 03/038641

PCT/US02/34935

This system of three linear equations for d_a , d_b and d_c may be solved symbolically using Cramer's rule to obtain:

$$\begin{aligned} d_a &= \frac{r_a(l_a + l_b + l_c)}{1 - \left(\frac{r_a}{R} + \frac{r_b}{R} + \frac{r_c}{R}\right)}; \\ d_b &= \frac{r_b(l_a + l_b + l_c)}{1 - \left(\frac{r_a}{R} + \frac{r_b}{R} + \frac{r_c}{R}\right)}; \text{ and} \\ d_c &= \frac{r_c(l_a + l_b + l_c)}{1 - \left(\frac{r_a}{R} + \frac{r_b}{R} + \frac{r_c}{R}\right)} \end{aligned}$$

This pattern is true for any number of data streams. Thus, in general,

$$d_x = r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R}} \right)$$

The total buffer requirement B_x for the buffer associated with video stream x is therefore

$$B_x = \sum d_x = \sum r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R}} \right) \quad (\text{Equation 1})$$

Assuming that the data transfer rate at the disk cylinder containing data for video stream x is R_x , the amount of buffer drainage can be expressed as

$$d_x = r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R_y}} \right)$$

WO 03/038641

PCT/US02/34935

and the total buffer requirement is

$$B_x = \sum d_x = \sum r_x \left(\frac{\sum l_y}{1 - \sum \frac{r_y}{R_y}} \right)$$

Assuming a uniform transfer rate across disk 100 and utilizing Equation 1 (above), if

$$B_{all} = d_{all} = \sum d_x, r_{all} = \sum r_x, \text{ and } L = \sum l_y,$$

Equation 1 can be rewritten as

$$B_{all} = d_{all} = r_{all} L \left(\frac{1}{1 - \frac{r_{all}}{R}} \right) \quad (\text{Equation 2})$$

In Equation 2, B_{all} is the total buffer memory required to successfully transmit the data streams between the disk drive and the transmission medium. The values of R and L are dependent on the operation of disk 100. The parameter r is the requested constant data rate for data transmitted over the transmission medium. The parameter R may be estimated using the program 'transfer()' described above and the latency L may be estimated using an average latency of one half of the rotational period of the disk platters. For example, values of R typically reside between 120 and 210 Megabits/sec, and values of L depends on the rotational speed of the disk 100.

Equation 2 may be used to select disk drives 100 having appropriate operational parameters for use in a multimedia transmission system. Referring to Figures 4 - 6, one method of selecting disks having desired values of R and L is to examine the relationship between the total buffer requirement 25 and the total bit rate 24. Initially first values 79 and 80 of R and L , respectively, are selected so that curve 74 represents the lower bound of actual data points 75, 76, 77, 78, etc. The value 79 of R is then kept fixed and a second value 81 of L is selected in order to

WO 03/038641

PCT/US02/34935

produce a curve 82 which excludes all but a few outlying data points 83. The second curve 82 defines the desired behavior of admission controller 121.

When a request is received by the admission control circuit 121 (of Figure 1) from the network 117 via line 125 to add a new data stream at a desired constant transmission medium data rate r . The admission control circuit 121 recalculates Equation 2 including the current data streams and the new data stream at the requested data rate r and using the disk drive parameters estimated in the manner described above. The newly calculated buffer size B_{all} is then compared to the total available buffer memory 113 size. If the newly calculated buffer size B_{all} is less than the total buffer memory 113 size, then there is sufficient buffer memory 113 space to successfully transmit the newly requested data stream and that data stream is admitted. If the newly calculated buffer size B_{all} is greater than the total buffer memory 113 size, then there is not sufficient buffer memory 113 space to successfully transmit the newly requested data stream and that data stream is not admitted.

If a proposed combination of video streams 104, 105, 106, etc. produces a data point lying in region 84 beneath curve 82, the video server system 119 can support the transmission and reception of those data streams. If the resulting data point resides in region 85 above curve 82, then the server system 119 will not be able to support the transmission of those data streams. The total amount of buffer space 113 used by server 119 to accomplish disk transfer is a configurable but limited resource. The admission controller 121 determines if the server 119 is capable of processing the video streams being presented for transmission, and if so, those streams may be served without interruption.

The invention has been described above in the context of a multimedia system. However, one skilled in the art will understand that any data transmission system which records data on a mass storage device, or retrieves previously recorded data from a mass storage device may incorporate an admission control system in accordance with the present invention.

WO 03/038641

PCT/US02/34935

CLAIMS

What is claimed is:

1. An admission control system comprising:
 - a storage device;
 - a buffer memory, coupled to the storage device; and
 - an admission controller, coupled to the buffer memory and the storage device, the admission controller comprising:
 - means for determining parameters pertaining to interactions between the storage device and the buffer memory; and
 - means for controlling data transfers between the storage device and the buffer memory in response to at least some of the parameters.
2. The admission control system of claim 1, further comprising a transmission medium wherein the buffer memory is coupled between the storage device and the transmission medium; wherein the admission controller further comprises:
 - means for determining a first parameter being a burst rate at which data is capable of being transferred by the storage device; and
 - means for determining a data transfer rate required by each of one or more streams of data to be transferred between the storage device and the transmission medium, thereby determining a relationship between the required data transfer rate to an available burst data transfer rate.
3. The admission control system of claim 2, wherein the admission controller further comprises:
 - means for determining a second parameter being a delay encountered by the storage device in accessing data associated with a second one of the one or more data streams after transferring data associated with a first one of the one or more data streams; and
 - means for calculating a total of delays attributable to all of the one or more data streams.

WO 03/038641

PCT/US02/34935

4. The admission control system of claim 3, wherein the admission controller further comprises:

means for determining a quantity of data transferred between the buffer memory and the storage device attributable to each data stream; and

means for calculating a total time required for all data streams to transfer a first increment of data to the buffer memory before any data stream transfers a second increment of data to the buffer memory, thereby calculating a service cycle.

5. The admission control system of claim 4, wherein the buffer memory comprises a total amount of buffer memory space partitioned into a plurality of individual buffer memories, each buffer memory storing data associated with an individual data stream being transferred between the storage device and the buffer memory.

6. The admission control system of claim 5, wherein the storage device is a magnetic disk.

7. The admission controls system of claim 6, wherein the means for determining a delay encountered by the storage device in locating data associated with a second data stream after transferring data associated with a first data stream determines rotational latency of the magnetic disk.

8. The admission control system of claim 7, wherein the admission controller further comprises:

means for calculating the total amount of buffer memory space utilized during a service cycle; and

means for preventing transfer of data between the buffer memory and the magnetic disk that exceeds the total amount of buffer memory utilized during a service cycle.

9. The admission control system of claim 8, wherein the admission controller causes the ratio of the required data transfer rate to the available data transfer rate to be less than one.

WO 03/038641

PCT/US02/34935

10. A device for regulating access to a buffer memory by a storage device transferring multiple data streams to and from respectively corresponding portions of the buffer memory, comprising an admission controller interconnected to the buffer memory and the storage device, the admission controller determining a plurality of parameters relating to characteristics of the buffer memory and the storage device, the admission controller regulating access to the buffer memory by each data stream in response to the parameters.

11. The device of claim 10, wherein the admission controller substantially exhausts the memory capacity of the portion of the buffer memory corresponding to a first data stream before transferring data corresponding to a subsequent data stream, the admission controller transferring at least some data from each data stream in order to complete one service cycle.

12. The device of claim 11, wherein the admission controller uses at least one of the parameters:

R, where R is a burst data transfer rate of the storage device;

r_x , where r_x is a relatively constant data transfer rate required by data stream x;

l_x , where l_x is a data transfer delay inherent in the storage device due to a time required to stop transferring data from a preceding data stream and to start transferring data from the data stream x;

d_x , where d_x is a quantity of buffer memory utilized by data stream x during one service cycle; and

T, where T is an elapsed time for one complete service cycle.

13. The device of claim 12 wherein the admission controller receives a request to include a new data stream having a corresponding data transfer rate and determines on the basis of at least some of the parameters whether to admit that data stream into the plurality of data streams being transferred.

14. The device of claim 13 wherein the admission controller calculates the total amount of buffer memory required to transfer the plurality of data streams and the new data stream and compares the required buffer memory to the available

WO 03/038641

PCT/US02/34935

buffer memory and admits the new data stream if the available buffer memory is greater than the required buffer memory and does not admit the new data stream otherwise.

15. The device of claim 12, wherein the admission controller includes means for creating a plurality of summed values, the summed values including at least one of the summed values:

d_{all} , where d_{all} is a total quantity of buffer memory utilized by all data streams during one service cycle;

r_{all} , where r_{all} is a data transfer rate required by all data streams; and

L , where L is a total delay due to an elapsed time required to stop transferring data from each data stream and to start transferring data a next data stream.

16. The device of claim 15, wherein the admission controller includes means for selecting a storage device having respective values for R and L that optimizes the data rate for transfers of data between the storage device and the buffer memory.

17. A method for transferring a plurality of data streams at respective corresponding transfer rates, comprising:

determining a plurality of parameters relating to a buffer memory having a maximum capacity and a disk storage device having a burst transfer rate;

transferring data between the disk storage device and the buffer memory in bursts at the burst transfer rate of the disk storage device and transferring data to and from the buffer memory at the respective transfer rates corresponding to each of the plurality of data streams

calculating a total amount of buffer memory required to transfer all of the data streams; and

controlling access to the buffer memory by the data streams such that the total required buffer memory does not exceed the maximum capacity of the buffer memory.

18. The method of claim 17, wherein the step of determining parameters relating to disk storage includes determining a disk data transfer rate and a delay

WO 03/038641

PCT/US02/34935

attributable to locating data attributable to transferring data from one data stream after data has been transferred from a previous data stream.

19. The method of claim 18, further comprising the steps of:
transferring data attributable to a first data stream to a first buffer memory until the first buffer memory is substantially filled; and
transferring data attributable to a second data stream to a second buffer memory until the second buffer memory is substantially filled.

WO 03/038641

PCT/US02/34935

1/4

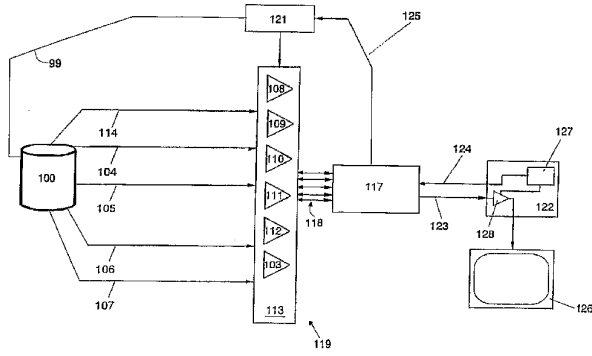


Figure 1

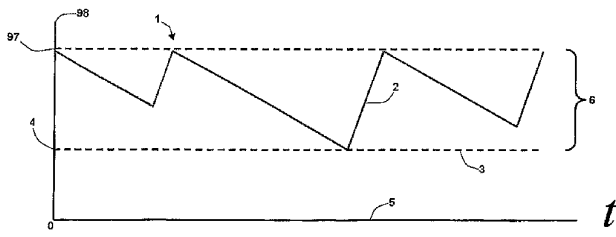


Figure 2

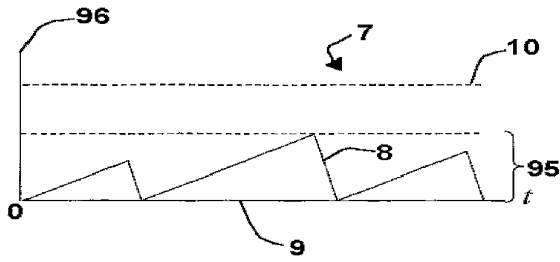


Figure 3

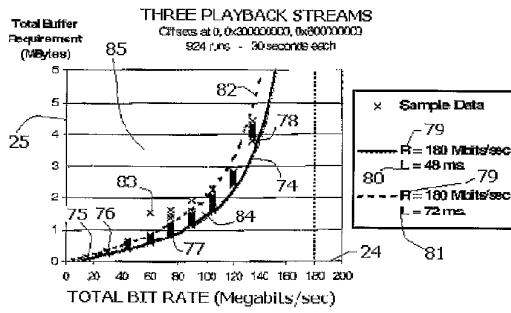


Figure 4

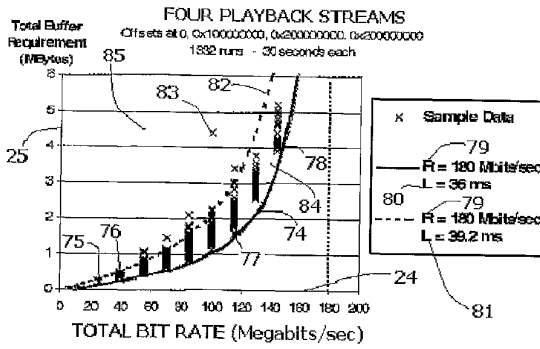


Figure 5

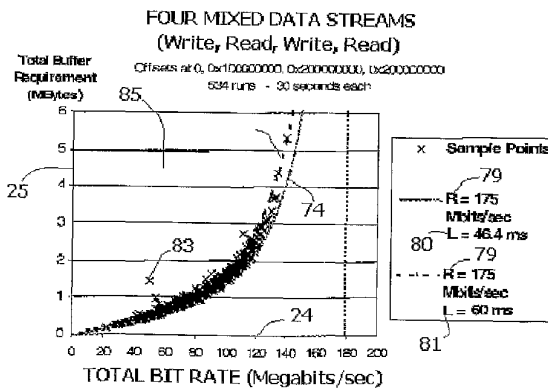


Figure 6

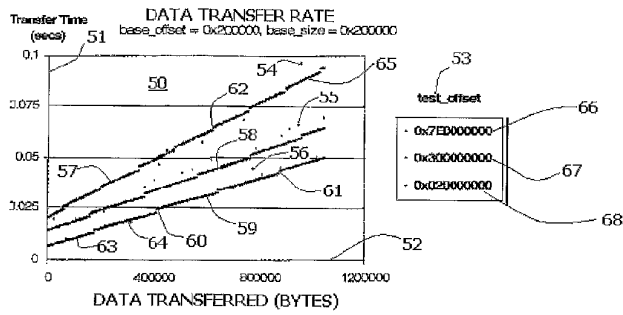


Figure 7

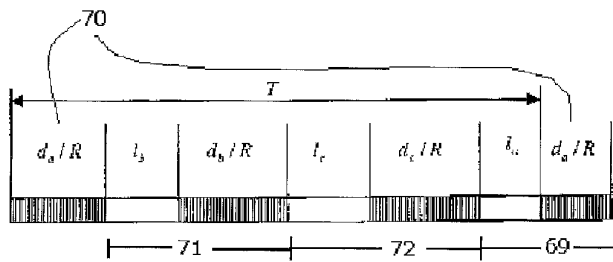


Figure 8

【 国際調査報告 】

| INTERNATIONAL SEARCH REPORT | | International application No. PCT/US05/54935 | | | | | | | | | | | | |
|---|---|---|--|----|--|---|--|--|---|---|--|---|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER | | | | | | | | | | | | | | |
| IPC(7) : G06F 15/16, 11/06, G01R 31/08; G06C 15/00; H04J 1/10 US CL : 709/227, 229; 710/36, 52; 370/230 | | | | | | | | | | | | | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | | | | | | | | | | | | | |
| B. FIELDS SEARCHED | | | | | | | | | | | | | | |
| Minimum documentation searched (classification system followed by classification symbols) | | | | | | | | | | | | | | |
| U.S. : 709/227, 229; 710/36, 52; 370/230, 231, 233, 234, 235 | | | | | | | | | | | | | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | | | | | | | | | | | | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | | | | | | | | | | | | | |
| EAST, USPAT, JPO, EPO search terms admission control system, admission controller, buffer, storage, parameter | | | | | | | | | | | | | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | | | | | | | | | | | | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. | | | | | | | | | | | | |
| X | US 5,917,804 A (SHAH et al) 29 June 1999, see entire document, especially figure 7. | 1-19 | | | | | | | | | | | | |
| A | US 6,240,066 B1(NAGARAJAN et al) 29 May 2001, see entire document, especially figure 1. | 1-19 | | | | | | | | | | | | |
| A | US 5,280,483 A (KAMOI et al) 18 January 1994, see entire document, especially figures 2, 8 and 9A. | 1-19 | | | | | | | | | | | | |
| A, P | US 6,442,164 B1 (WU) 27 August 2002, see entire document, especially figure 3. | 1-19 | | | | | | | | | | | | |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | | | | | | | | | | | | | |
| <table border="0"> <tr> <td>* Special categories of cited documents:</td> <td>**</td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E" earlier document published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"Z" document member of the same patent family</td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table> | | | * Special categories of cited documents: | ** | "A" document defining the general state of the art which is not considered to be of particular relevance | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention | "E" earlier document published on or after the international filing date | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone | "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents such combination being obvious to a person skilled in the art | "O" document referring to an oral disclosure, use, exhibition or other means | "Z" document member of the same patent family | "P" document published prior to the international filing date but later than the priority date claimed | |
| * Special categories of cited documents: | ** | | | | | | | | | | | | | |
| "A" document defining the general state of the art which is not considered to be of particular relevance | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention | | | | | | | | | | | | | |
| "E" earlier document published on or after the international filing date | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone | | | | | | | | | | | | | |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents such combination being obvious to a person skilled in the art | | | | | | | | | | | | | |
| "O" document referring to an oral disclosure, use, exhibition or other means | "Z" document member of the same patent family | | | | | | | | | | | | | |
| "P" document published prior to the international filing date but later than the priority date claimed | | | | | | | | | | | | | | |
| Date of the actual completion of the international search 06 FEBRUARY 2003 | | Date of mailing of the international search report 05 MAR 2003 | | | | | | | | | | | | |
| Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3220 | | Authorized officer JEFFREY GAY <i>James R. Matthews</i> Telephone No. (703) 306-5651 | | | | | | | | | | | | |

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

Fターム(参考) 5B077 AA01 BB05 DD11

5K034 AA05 AA10 BB01 BB06 CC02 CC05 DD02 FF02 HH25 HH32

HH42