

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/76 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580020781.X

[45] 授权公告日 2009 年 4 月 22 日

[11] 授权公告号 CN 100481493C

[22] 申请日 2005.5.11

[21] 申请号 200580020781.X

[30] 优先权

[32] 2004.6.23 [33] US [31] 10/875,105

[86] 国际申请 PCT/US2005/016254 2005.5.11

[87] 国际公布 WO2006/007070 英 2006.1.19

[85] 进入国家阶段日期 2006.12.22

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 维什努·K·凯姆卡

维贾·帕塔萨拉蒂 祝荣华

阿米塔瓦·鲍斯

[56] 参考文献

US5925910A 1999.7.20

CN1468449A 2004.1.14

US4989058 1991.1.29

审查员 穆 堃

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 黄启行 穆德骏

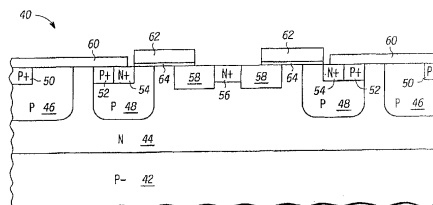
权利要求书 4 页 说明书 6 页 附图 1 页

[54] 发明名称

LDMOS 晶体管

[57] 摘要

一种 LDMOS 晶体管(10)，在该 LDMOS 晶体管(10)的掺杂区域的中心插入有肖特基二极管(28，16)。典型的 LDMOS 晶体管在中心具有漂移区(16)。在此情况下，将肖特基二极管(28，16)插入在该漂移区(16)的中心，这提供了以正向方向从源区(22)连接到漏区(24)的肖特基二极管(28，16)，使得将漏电压钳位到低于 PN 结阈值的电压，从而避免将该 PN 结(16，12)正向偏置。一种替换方式是将肖特基二极管(60，44)插入在其中形成了源区(54)的阱中，其在该 LDMOS 晶体管(40)的周围。在这样的情况下，肖特基二极管(60，44)不同地形成，但仍然从源区(54)以正向方向连接到漏区(56)，以实现期望的漏区(56)上电压钳位。



1. 一种器件结构，包括：

衬底，其具有半导体区域；

LDMOS 晶体管结构，其在该半导体区域中，具有连续的掺杂区域以执行基于晶体管的功能，该连续的掺杂区域具有第一掺杂区域，该第一掺杂区域的特征在于比该连续的掺杂区域更重掺杂且在深度上比该连续的掺杂区域更浅，并具有与该连续的掺杂区域相同的导电类型，其中该连续的掺杂区域作为漏区；以及

肖特基二极管，其被该连续的掺杂区域所围绕。

2. 如权利要求 1 所述的器件结构，其中，该肖特基二极管包括：

硅化物区域，其在该半导体区域的表面上；以及

该半导体区域的一部分，在该硅化物区域下并被该连续的掺杂区域所围绕。

3. 一种器件结构，包括：

衬底，其具有半导体区域；

LDMOS 晶体管结构，其在该半导体区域中，具有连续的掺杂区域以执行基于晶体管的功能，该连续的掺杂区域具有第一掺杂区域，该第一掺杂区域的特征在于比该连续的掺杂区域更重掺杂且在深度上比该连续的掺杂区域更浅，并具有与该连续的掺杂区域相同的导电类型，其中该连续的掺杂区域作为漏区；以及

肖特基二极管，其被该连续的掺杂区域所围绕；

其中，该半导体区域具有第一导电类型的本底掺杂，并且其中，该肖特基二极管包括：

硅化物区域，其位于该衬底的表面上；以及

第二掺杂区域，其在该半导体区域中，与该硅化物区域接触，具有第一导电类型，并具有比该半导体区域更高的浓度。

4. 如权利要求 3 所述的器件结构，其中，该 LDMOS 晶体管结构包括：

隔离区域，其在该连续的掺杂区域中，与该第一掺杂区域相邻，并与该连续的掺杂区域的边缘间隔开；

第三掺杂区域，其具有与该半导体区域相同的导电类型，并与该连续的掺杂区域间隔开，使得在该第三掺杂区域和该连续的掺杂区域间存在间隔区；以及

栅结构，其位于一部分的该第三掺杂区域、该间隔区、一部分的该连续的掺杂区域以及一部分的该隔离区域上。

5. 如权利要求 4 所述的器件结构，其中，该半导体区域的导电类型是 P 型。

6. 如权利要求 4 所述的器件结构，其中，该第三掺杂区域特征进一步在于：具有第一导电类型的第四掺杂区域，该第四掺杂区域具有比该半导体区域更高的掺杂浓度，以作为源区接触。

7. 如权利要求 6 所述的器件结构，其中，该第三掺杂区域特征进一步在于：具有第五掺杂区域，该第五掺杂区域与该间隔区间隔开并且在该间隔区和第四掺杂区域之间。

8. 一种器件结构，包括晶体管和肖特基二极管，其特征进一步在于具有：

衬底（12），其具有半导体区域；

该晶体管的栅结构（26），其位于该半导体区域上；

第一导电类型的第一掺杂区域（16），其在该半导体区域中，其中一部分的该第一掺杂区域在一部分的该栅结构下，并且该第一掺杂区域包括该晶体管的漏区接触（24）；

第一肖特基端，其包括在与该第一掺杂区域相邻的该半导体区域中的肖特基区域（18）；以及

第二肖特基端（28），其包括在该肖特基区域上的金属。

9. 如权利要求 8 所述的器件结构，其中，该肖特基区域与该第一掺杂区域邻接。

10. 如权利要求 8 所述的器件结构，其中，该晶体管是 LDMOS 晶体管。

11. 如权利要求 8 所述的器件结构，特征进一步在于：具有第二导电型的第二掺杂区域（14），其与该第一掺杂区域间隔开，其中，一部分的该第二掺杂区域在该栅结构下。

12. 如权利要求 11 所述的器件结构，其中，该第一掺杂区域特征进一步在于具有隔离区域（25），该隔离区域一部分在该栅结构下。

13. 如权利要求 12 所述的器件结构，进一步包括：

第三掺杂区域（20），其具有第二导电类型，具有比该第二掺杂区域更高的掺杂浓度，其中该第三掺杂区域在第二掺杂区域中；以及

第四掺杂区域，其具有第一导电类型，与该第三掺杂区域相邻，其中该第四掺杂区域在第二掺杂区域中。

14. 一种形成器件结构的方法，包括：

形成与肖特基二极管连接的 LDMOS 晶体管；

其中该方法特征进一步在于：

提供具有半导体区域的衬底；

形成位于该半导体区域上的 LDMOS 晶体管的栅结构；

在半导体区域中形成第一导电类型的第一掺杂区域，其中一部分的该第一掺杂区域在一部分的该栅结构下；

在该半导体区域中形成包括肖特基区域的第一肖特基端，该肖特基区域与该第一掺杂区域邻接，该第一掺杂区域用作漏区；以及

形成第二肖特基端，其包括在该肖特基区域上的金属。

LDMOS 晶体管

技术领域

本发明涉及 LDMOS 晶体管，并且更具体的，涉及具有保护以免将负电压施加到电流电极的 LDMOS 晶体管。

背景技术

LDMOS 晶体管具有与其较高的击穿电压相应的多种用途。在某些应用中，环境中存在电子噪声，例如汽车环境。可以发生的情况之一是已知为电感性回扫，其中由于电路的电感性特性，电流的快速关断可以导致负电压的产生。这一负电压可能将 PN 结正向偏置，并导致大量的电流流过。PN 结的该正向偏置通常不是处于隔离中，并涉及寄生双极晶体管。该正向偏置具有这样的影响：导通该双极晶体管，和导致在干扰逻辑和模拟电路的区域中有相对大量的电流流过。减轻这种情况的一项技术是，在 LDMOS 晶体管周围提供大的保护环，其收集该正向偏置电流。这需要占用非常大量的额外空间。其他的解决方案也趋向于占用大量的空间。

因此，需要提供对 LDMOS 晶体管的有效保护，以免受负电压噪声的影响，同时不过度增加 LDMOS 晶体管的尺寸。

发明内容

本发明的目的是提供一种器件结构，其包括：

衬底，其具有半导体区域；

LDMOS 晶体管结构，其在该半导体区域中，具有连续的掺杂区域以执行基于晶体管的功能，该连续的掺杂区域具有第一掺杂区域，该第一掺杂区域的特征在于比该连续的掺杂区域更重掺杂且在深度上比该连续的掺杂区域更浅，并具有与该连续的掺杂区域相同的导电类型，

其中该连续的掺杂区域作为漏区；以及
肖特基二极管，其被该连续的掺杂区域所围绕。

附图说明

以示例的方式示出了本发明，并且本发明并不受附图的限制，在附图中，相同的附图标记表示相似的要素，并且在附图中：

图 1 是本发明第一实施例的 LDMOS 晶体管的截面图；以及

图 2 是本发明第二实施例的 LDMOS 晶体管的截面图。

本领域技术人员将理解，附图中的各要素是处于简明的目的示出，并不必将其严格按比例绘制。例如，附图中的某些要素的尺度可以相对于其他要素放大，以助于提高对本发明实施例的理解。

具体实施方式

在一个方面，一种 LDMOS 晶体管具有插入在该 LDMOS 晶体管器件结构中心的肖特基二极管。一种典型的 LDMOS 晶体管在中心具有漂移区。在这种情况下，在该漂移区的中心插入肖特基二极管，这具有这样的效果：提供了以正向从源区连接到漏区的肖特基二极管，使得漏电压被钳位到低于该 PN 结阈值的电压，从而避免将该 PN 结正向偏置。一种替换方式是，在其中形成了源区的阱上插入肖特基二极管，其位于该 LDMOS 晶体管的周围。在这种情况下，不同地形成该肖特基二极管，但是其仍然以正向从源区连接到漏区，以在漏区上实现期望的电压钳位。这可以通过参考附图以及下面的说明来更好地理解。

图 1 中所示的是用作 LDMOS 晶体管的器件结构 10，其包括：P-衬底 12；掺杂成 P 的区域 14；掺杂成 N 的与区域 14 间隔开的区域 16，并且其作为用于该 LDMOS 晶体管的漂移区；掺杂成 P 的与区域 16 相邻的区域 18；在区域 14 中掺杂成 P+ 的区域 20；在区域 14 中与区域 20 相邻的掺杂成 N+ 的区域 22；在区域 16 中由例如氧化物的绝缘材料

形成的隔离区域 25；在区域 16 中掺杂成 N+ 的区域 24，并且其与隔离区域 25 相邻；在部分的区域 20 和 22 上的硅化钴的硅化物接触 27；与硅化物接触 27 间隔开的栅极 26；硅化物端 28，其是肖特基二极管 29 的正端，并且在区域 18 上。以常规的 LDMOS 晶体管方式，这些区域围绕中心，在此情况下中心是区域 18。区域 14、16 和 18 形成在衬底 12 中。区域 20 和 22 形成在区域 14 中。隔离区域 25 和区域 24 形成在区域 16 中。栅极 26 在部分的区域 14、区域 14 和 16 间的间隔区、部分的区域 16 以及部分隔离区域 25 上。晶体管 10 是一种类型的常规 LDMOS 晶体管，但是增加有由硅化物端 28 和区域 16 构成的肖特基二极管 29。区域 24 作为漏区接触和肖特基二极管 29 的保护环。

在漏区 24 上在负电压条件下，肖特基二极管 29 在漏区 24 在大约 -0.2V 下变成正向偏置，因为衬底 12 通过区域 20 接地，区域 20 被短接到区域 22，晶体管 27 的源区。这一正向偏置导致从接触 27 通过区域 20 和 14 以及衬底 12 至区域 18 并通过硅化物 28 流动的电流。在 -0.2V 下的这一电流防止漏区 24 达到足以将在区域 16 和衬底 12 的界面处的 PN 结正向偏置的负值。衬底 12 在未示出的其它位置与其它 N 区域接触。如果在区域 16 和衬底 12 间的该结被正向偏置，这可能具有这样的影响：产生基极-发射极电流，这可能导致来自与衬底 12 接触的其他 N 区域的电流。

区域 18 和硅化物 28 容易集成到用于制造 LDMOS 晶体管的通常工艺过程中。在形成诸如区域 16 的区域时，掩模阻挡 N 型注入进入随后被区域 18 所占据的区域。通过其他区域被掩模的注入形成区域 22 和 24。通过其他区域被掩模的注入形成区域 18。将 P 区 14 比 P 区 18 更重地掺杂，因此需要一个以上的注入步骤来形成这些区域 14 和 18。在形成区域 16、18 和 24 之后，将区域 18 与临近区域 18 的区域 14 的一部分一起硅化。结果，肖特基二极管 29 被作为 LDMOS 晶体管的漏区的区域 16 所围绕。在区域 16 中并作为 LDMOS 晶体管的漏区接触的区域 24 比区域 16 浅得多，并且也围绕肖特基二极管。

图 2 中所示的是用在 LDMOS 晶体管的器件结构 40，其包括：P-衬底 42；掺杂成 N 型的区域 44，并且其作为用于该 LDMOS 晶体管的漂移区；掺杂成 P 的区域 46；掺杂成 P 并与区域 46 间隔开的区域 48；由例如氧化物的绝缘材料形成的隔离区域 58；掺杂成 N+ 并作为漏区接触的区域 56；掺杂成 P+ 的区域 50；掺杂成 P+ 的区域 52；掺杂成 N+ 并与区域 52 相邻的区域 54；在衬底 42 的表面上的硅化物端 60，其作为肖特基二极管 65 的正端，该肖特基二极管由硅化物端 60 和在区域 46 和 48 之间的部分区域 44 形成；以及栅极 62，其与硅化物端 60 间隔开，并通过栅介质 64 与衬底 42 分开。区域 46 和 48 在区域 44 中。区域 50 在区域 46 中。区域 52 和 54 在区域 48 中。区域 50 和 52 作为 LDMOS 晶体管的体接触，并分别比它们所在的区域 46 和 48 浅得多。区域 54 作为 LDMOS 晶体管的源区。硅化物端 60 在区域 50、与区域 50 相邻的部分区域 46、区域 46 和 48 间的间隔区、区域 52 以及部分区域 54 上。硅化物端 60，除了是肖特基二极管 65 的正端外，还将 LDMOS 晶体管的源区短接到区域 52，区域 52 操作作为沟道的体接触，该沟道在栅极 62 下区域 48 中衬底 42 的表面上。这类似于器件结构 10 之处在于，它是另一常规 LDMOS 结构，但具有增加的肖特基二极管。

区域 46 和 48 为肖特基二极管 65 提供了部分夹断效应，这提高了其反向偏置漏电流。对夹断的进一步改进来自于使区域 46 和 48 甚至更深，同时保持它们的边界非常垂直。本领域技术人员将理解，在实践中，图 2 中所示 LDMOS 晶体管以及图 1 中所示的 LDMOS 晶体管和与它们相同的许多其他结构联系（tie）。这样做是为了实现能够操作为高电压驱动器的最终 LDMOS 晶体管。在图 2 的器件结构 40 的情况下，区域 46 并不是实现裸功能（bare functioning）晶体管所必须的，而是在提供最终 LDMOS 晶体管上有用的，并且在辅助集成在器件结构 40 中的肖特基二极管的性能上是有用的。因此，在这个意义上来讲，区域 46 是 LDMOS 的一部分，并且在辅助最终 LDMOS 意义上来讲，提供了与区域 48 相同的功能，并且可以被认为是与 48 相同的区域，

并与区域 48 一起基本围绕肖特基二极管 65。但是对于肖特基二极管 65 的存在，它们实际上是相同的区域。由于肖特基二极管 65 的存在，这些区域不是连续的，但是它们可以被认为是基本上连续，因为它们具有相同的晶体管功能，它们以相同的方式并在相同时间形成，它们之间是相同类型，因此它们相邻，并且它们电互连。结果是区域 46 和 48 一起作为基本连续的掺杂区域，该区域作为 LDMOS 晶体管的体区，并且围绕肖特基二极管 65。

在漏区 56 在负电压情况下，在漏区 56 在大约 -0.2V 下，由于硅化物端 60 接地，肖特基二极管 65 变成正向偏置。该正向偏置导致从硅化物端 60 通过区域 44 到区域 56 的电流。在 -0.2V 下的该电流防止在区域 56 的漏区达到足以将区域 44 和衬底 42 的界面处的 PN 结正向偏置的负值。衬底 42 与图中未示出的在另外位置的 N 区域接触。如果区域 44 和衬底 42 间的结被正向偏置，这会产生基极-发射极电流，这导致来自与衬底 42 接触的其他 N 区域的电流。

所增加的工艺复杂度是很小的。进行漂移注入以在衬底 42 中形成区域 44 是公知的。在重复 LDMOS 晶体管的区域中，在区域 46 和 48 上，在对区域 46 和 48 进行注入时，这些区域间的间隔区被掩模。在形成区域 50、52、54 和 56 时，间隔区也被掩模。区域 50 和 52 被同时注入。区域 54 和 56 被同时注入。利用区域 44 作为本底(background)，区域 46 和 48 间的间隔区有效地作为肖特基二极管 65 的负端。以正常的工艺形成硅化物，来将区域 52 和 54 短接，并且该硅化是在区域 52 和 54 上进行的。很简单的，将该硅化物在区域 46 和 48 之间的间隔区上简单地延伸，以形成肖特基二极管 65 的正端。

因此，在两个实施例，将肖特基二极管集成作为 LDMOS 晶体管的一部分，以提供保护避免负电压被施加到 LDMOS 晶体管的漏端。

在前述的说明中，参考具体实施例对本发明进行了说明。然而，

本领域普通技术人员知道，可以进行各种修改和改变而不脱离如下面的权利要求所阐述的本发明的精神和范围。例如，可以使用不同于硅的其他半导体材料作为衬底。前面将各掺杂区域描述为是 P 或 N，但是这些导电类型可以是相反的，来实现类似的结果。用于肖特基二极管的金属可以是不同于硅化钴的其他金属。因此，本说明书与附图被认为是示例性的，而不是限制的意义，并且所有这些修改都被包括在本发明权利要求的范围内。

上面参考了具体实施例描述了益处、优点和问题的解决方案。然而，这些益处、优点、问题的解决方案，以及导致任何的益处、优点或解决方案显现或变得更突出的任何要素（多个），都不认为是任何或全部权利要求的关键的、需要的或必要的特征或要素。如在此所使用的，术语“包括”、“包含”或其其他类型的变形，意图覆盖非排他性的内涵，使得包括一系列要素的过程、方法、产品或装置不是仅包括这些要素，而是可以包括未明示列出的或对于这些过程、方法、产品或装置所内含的其他要素。

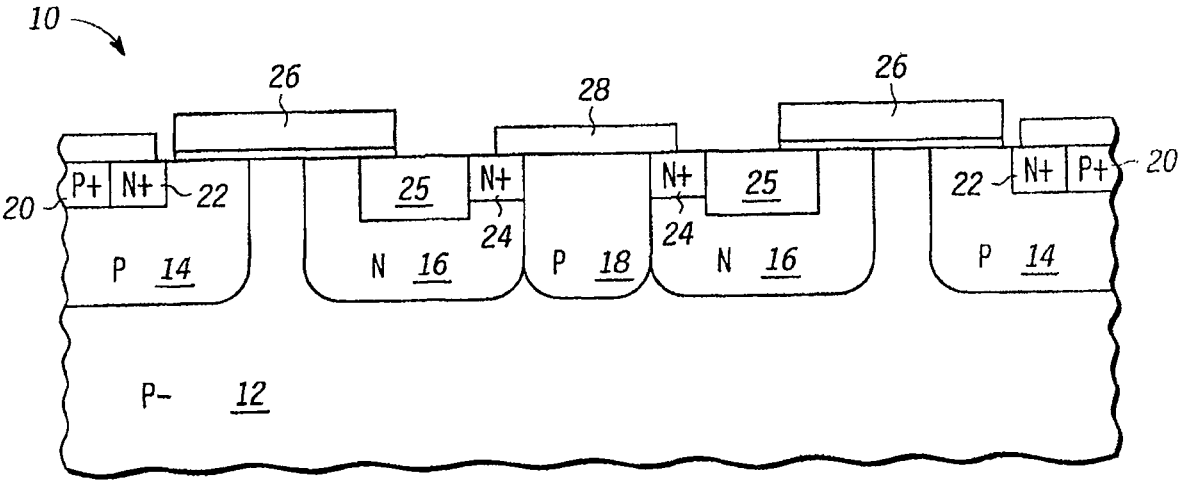


图1

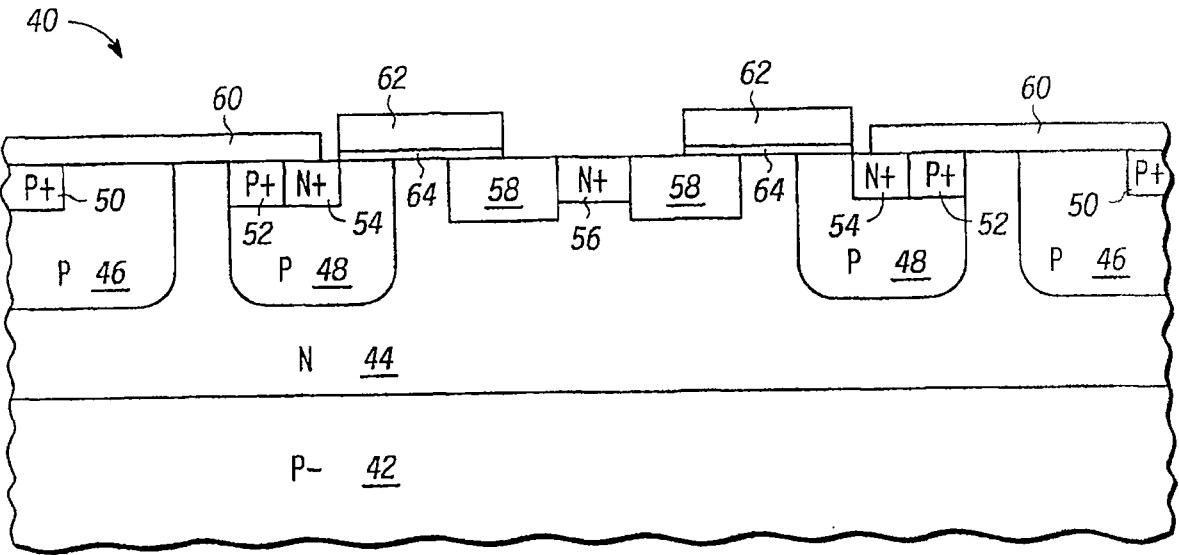


图2