



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 G11C 11/402, 29/00		(11) 国際公開番号 WO 92/09083	
		(43) 国際公開日 1992年5月29日 (29. 05. 1992)	
(21) 国際出願番号 (22) 国際出願日 (30) 優先権データ 特願平 2/316522 1990年11月20日 (20. 11. 90) JP		添付公開書類 国際調査報告書 補正書	
(71) 出願人 (米国を除くすべての指定国について) 沖電気工業株式会社 (OKI ELECTRIC INDUSTRY CO., LTD.) [JP/JP] 〒105 東京都港区虎ノ門1丁目7番12号 Tokyo, (JP)			
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 高杉 教 (TAKASUGI, Atsushi) [JP/JP] 〒105 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内 Tokyo, (JP)			
(74) 代理人 弁理士 鈴木敏明 (SUZUKI, Toshiaki) 〒108 東京都港区芝浦4丁目10番3号 沖電気工業株式会社内 Tokyo, (JP)			
(81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), DK (欧州特許), ES (欧州特許), FR (欧州特許), GB (欧州特許), GR (欧州特許), IT (欧州特許), JP, LU (欧州特許), NL (欧州特許), SE (欧州特許), US.			

(54) Title : SYNCHRONOUS SEMICONDUCTOR MEMORY

(54) 発明の名称 同期型半導体メモリ

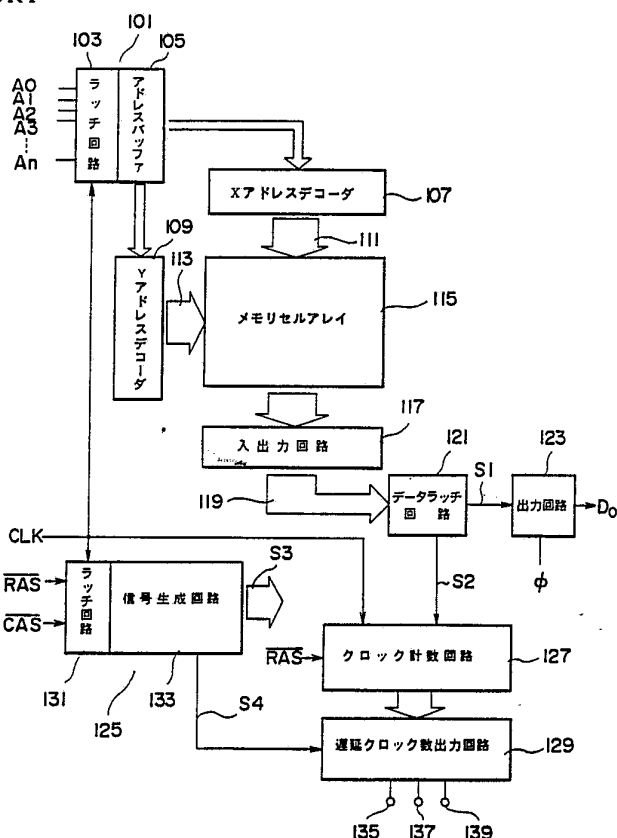
- ```

103 ... latching circuit
105 ... address buffer
107 ... X address decoder
109 ... Y address decoder
115 ... memory cell array
117 ... input/output circuit
121 ... data latching circuit
123 ... output circuit
127 ... clock counting circuit
129 ... delayed-number-of-clocks output circuit
131 ... latching circuit
133 ... signal generating circuit

```

**(57) Abstract**

A dynamic random access memory capable of controlling the output timing of read data, which comprises a circuit (127) for counting clock pulses until the read data is transferred to a data latching circuit (121), and a circuit (129) for outputting the counted value to an external unit, so as to make it possible to control the output timing. Moreover, the dynamic random access memory is provided with a circuit (125) capable of controlling the output timing by an external input signal.



(57) 要約

読み出しデータの出力タイミングを調整可能なダイナミックランダムアクセスメモリに関するものである。

読み出しデータがデータラッチ回路(121)まで転送されるまでのクロックパルスをカウントする回路(127)及び外部へそのカウント数を出力する回路(129)を持つダイナミックランダムアクセスメモリにより、出力タイミングを調整可能にした。

また、出力タイミングを外部入力信号によって調整可能な回路(125)をダイナミックランダムアクセスメモリに設けた。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

|    |           |    |             |                 |         |
|----|-----------|----|-------------|-----------------|---------|
| AT | オーストリア    | ES | スペイン        | ML              | マリ      |
| AU | オーストラリア   | FI | フィンランド      | MN              | モンゴル    |
| BB | バルバドス     | FR | フランス        | MR              | モーリタニア  |
| BE | ベルギー      | GA | ガボン         | MW              | マラウイ    |
| BF | ブルキナ・ファソ  | GI | ギニア         | NL              | オランダ    |
| BG | ブルガリア     | GB | イギリス        | NO              | ノルウェー   |
| BJ | ベナン       | GR | ギリシャ        | PL              | ポーランド   |
| BR | ブラジル      | HU | ハンガリー       | RO              | ルーマニア   |
| CA | カナダ       | IT | イタリア        | SD              | スーダン    |
| CF | 中央アフリカ共和国 | JP | 日本          | SE              | スウェーデン  |
| CG | コンゴ       | KP | 朝鮮民主主義人民共和国 | SN              | セネガル    |
| CH | スイス       | KR | 大韓民国        | SU <sup>+</sup> | ソヴィエト連邦 |
| CI | コート・ジボアール | LI | リヒテンシュタイン   | TD              | チャード    |
| CM | カメルーン     | LK | スリランカ       | TG              | トーゴ     |
| CS | ナエコスロバキア  | LU | ルクセンブルグ     | US              | 米国      |
| DE | ドイツ       | MC | モナコ         |                 |         |
| DK | デンマーク     | MG | マダガスカル      |                 |         |

<sup>+</sup>SUの指定はロシア連邦の指定としての効力を有する。しかし、その指定が旧ソヴィエト連邦のロシア連邦以外の他の国で効力を有するかは不明である。

## 明 細 書

## 同 期 型 半 導 体 メ モ リ

## (技術分野)

5           本発明は、同期型半導体メモリに関するもので、特に同期型ダイナミックランダムアクセスメモリ（以下DRAMという）の出力制御方式に関するものである。

## (背景技術)

          従来の同期型半導体メモリは、特開昭61-39295号、及び特開昭62-275384号に開示されている。

          同期型半導体メモリはメモリセルアレイを有する。このメモリセルの入力にはデコーダが接続される。メモリセルアレイの出力にはラッチ回路及び出力バッファが接続される。

15           メモリセルアレイからデータを読出す場合、外部から入力されるアドレスをデコーダで解読し、メモリセルアレイ中のメモリセルを選択する。選択されたメモリセルに保管されているデータは、ラッチ回路に一時ラッチされる。その後、同期クロックに同期してラッチされたデータは出力バッファより外部へ読出される。上述の同期型スタティックランダムアクセスメモリ（以下SRAMという）では、1メモリアクセス期間中に同期クロックの1パルスのみが出力バッファに入力するため、このパルスに同期して読出しデータを出力バッファからの的確に  
20  
25           出力することができる。

5 一方、DRAMでは1メモリアクセス期間中に同期クロックの連続する複数のパルスが出力バッファに入力される。従来の同期方式をDRAMに適用した場合、同期クロックのどのパルスに応答して読出しデータを出力バッファから外部へ出力するかを予め決定しておく必要がある。

10 ところが、DRAMでは、1メモリアクセス期間中において、アドレスの入力と、データの読出しあるいは書込みを行うため、読出しデータをラッチ回路に入力させるタイミングに遅れが生じる可能性がある。従って、従来の同期方式を適用したDRAMでは出力バッファの動作タイミングを精度よく制御出来ない。

15 本発明の目的は1メモリアクセス期間中に出力バッファに入力される同期クロックの複数のパルスの中から、最適なパルスを選択して出力バッファの動作タイミングを決定する同期型DRAMを提供することにある。

本発明の他の目的は、適確な同期制御を行う同期型DRAMを提供するものである。

(発明の開示)

20 第1の発明は、アドレスをデコードしてメモリセルを選択し、該メモリセルに対するデータの書込み及び読出しを行うDRAMにおいて、メモリセルの読出しをラッチすると共にラッチ完了信号を出力するデータラッチ回路と、前記データラッチ回路でラッチされた読出しデータ  
25 を外部へ出力する出力回路と、アクセス開始時から前

記ラッチ完了信号の出力時までの期間、同期クロック数を計数するクロック計数回路と、クロック計数回路出力を外部へ出力する遅延クロック数出力回路とを、設けたものである。

- 5       第2の発明は、アドレスをデコードしてメモリセルを選択し、該メモリセルに対するデータの書込み及び読出しを行うDRAMにおいて、前記メモリセルの読出しデータをラッチするデータラッチ回路と、同期クロック及び、外部入力信号によって設定される遅延クロック数に  
10       応じた出力制御信号を出力する出力クロック遅延制御回路と、前記データラッチ回路でラッチされた読出しデータを前記出力制御信号に基づき外部へ出力する出力回路とを、設けたものである。

（図面の簡単な説明）

- 15       第1図は本発明の第1の実施例を示す同期型DRAMの構成ブロック図、第2図は第1図のクロック計数回路及び遅延クロック数出力回路の回路図、第3図は第1図のタイミング図、第4図は本発明の第2の実施例を示す同期型DRAMの構成ブロック図、第5図は第4図のタイ  
20       ミング図、第6図は本発明の第3の実施例を示す同期型DRAMの構成ブロック図、第7図は第6図の出力クロック遅延制御回路の回路図、第8図は第6図のタイミング図である。

（発明を実施するための最良の形態）

- 25       第1図は、本発明の第1の実施例を示す同期型DRAMの

概略の構成ブロック図である。

この同期型 D R A M は、外部から入力されるアドレス A 0 ~ A n を受け取り、X アドレス及び Y アドレスを出力するアドレス入力回路 1 0 1 を備えている。アドレス  
5 入力回路 1 0 1 は、同期クロック（以下、C L K という）に同期してアドレス A 0 ~ A n を入力するラッチ回路 1 0 3 と、このラッチ回路 1 0 3 の出力に基づき X アドレスと Y アドレスを発生するアドレスバッファ 1 0 5 とで構成される。アドレスバッファ 1 0 5 の出力に X アドレスデコーダ 1 0 7 及び Y アドレスデコーダ 1 0 9 が接  
10 続されている。

X アドレスデコーダ 1 0 7 及び Y アドレスデコーダ 1 0 9 の出力は、複数のワード線 1 1 1 及びビット線 1 1 3 がそれぞれ接続される図示せぬメモリセルがマト  
15 リクス状に配列されたメモリセルアレイ 1 1 5 はワード線 1 1 1 及びビット線 1 1 3 に接続されている。これらワード線 1 1 1 とビット線 1 1 3 のそれぞれの交点にメモリセルが接続されている。X アドレスデコーダ 1 0 7 は、複数のワード線 1 1 1 中の 1 本のワード線を選択する。Y アドレスデコーダ 1 0 9 は複数のビット線 1 1 3  
20 中の 1 本のビット線を選択する。

ビット線 1 1 1 は、読出し／書込みのための入出力回路 1 1 7 を介してデータバス 1 1 9 に接続される。データバス 1 1 9 はデータラッチ回路 1 2 1 に接続されている。データラッチ回路 1 2 1 は、データバス 1 1 9 に読  
25

出された読出しデータをラッチする。その後データラッチ回路 1 2 1 はラッチした読出しデータ S 1 を出力回路 1 2 3 へ与えると共にラッチ完了信号 S 2 を出力する。出力回路 1 2 3 は、クロック信号 C L K に同期した出力制御信号  $\phi$  により活性化し、読出しデータ S 1 を読出しデータ D 0 の形で外部へ出力する。この実施例では、出力回路 1 2 3 は出力バッファで構成されている。

また、この実施例の D R A M は、メモリ制御信号発生回路 1 2 5、クロック計数回路 1 2 7、及び遅延クロック数出力回路 1 2 9 が設けられている。メモリ制御信号発生回路 1 2 5 は、外部から入力されるクロック信号 C L K、ロウ アドレス ストロープ信号 R A S、及びコラム アドレス ストロープ信号 C A S を入力し、メモリ内部回路を制御するための各種のメモリ制御信号 S 3 及びドライブ信号 S 4 を出力する。メモリ制御信号発生回路 1 2 5 は、クロック信号 C L K に応答して、ローアドレスストロープ信号 R A S 及びカラムアドレスストロープ信号 C A S をラッチするラッチ回路 1 3 1 と、このラッチ回路 1 3 1 の出力を受け、メモリ制御信号 S 3 及びドライブ信号 S 4 を生成する信号生成回路 133 とで構成される。ドライブ信号 S 4 は遅延クロック数出力回路 1 2 9 へ送られる。

クロック計数回路 1 2 7 は、ローアドレスストロープ信号 R A S の立下がりに応答して、クロック信号 C L K のクロック数を計数する。そして、データラッチ回路

1 2 1 からラッチ完了信号 S 2 を受け取ると、クロック  
計数回路 1 2 7 は計数動作を停止する。クロック計数回  
路 1 2 7 の出力は遅延クロック数出力回路 1 2 9 に接続  
されている。遅延クロック数出力回路 1 2 9 は、メモリ  
5 制御信号発生回路 8 からのドライブ信号 S 4 に応答して、  
クロック計数回路 1 2 7 の出力を遅延クロック数出力端  
子 1 3 5, 1 3 7, 1 3 9 へ出力する回路である。ここ  
で、出力端子 1 3 5 は計数したクロック数 (2 進数) の  
1 桁目、出力端子 1 3 7 は 2 桁目、出力端子 1 3 9 は 3  
10 桁目を出力する。

第 2 図は、第 1 図に示すクロック計数回路 1 2 7 及び  
遅延クロック数出力回路 1 2 9 の構成を示す回路図であ  
る。

クロック計数回路 1 2 7 は、ラッチ完了信号 S 2 によ  
りクロック信号 C L K の入力を制御して駆動クロック信  
号 S 5 を出力する N O R ゲート 2 0 1 と、ローアドレス  
15 ストローブ信号 R A S に応答してリセット信号 S 6 を出  
力するリセットパルス発生回路 2 0 3 とを有する。出力  
はアドレスカウンタ 2 0 5 が接続されている。アドレス  
カウンタ 2 0 5 は、リセット信号 S 6 でリセットされ、  
20 駆動クロック信号 S 5 によりカウントアップする。アド  
レスカウンタ 2 0 5 のアドレスカウンタ出力 P 0, P 1,  
P 2 は遅延クロック数出力回路 1 2 9 の入力に接続され  
ている。ここで、アドレスカウンタ出力 P 0 はアドレス  
25 カウント数 (2 進数) の 1 桁目を、出力 P 1 は 2 桁目を、

出力 P 2 は 3 桁目を表す。

遅延クロック数出力回路 1 2 9 は、ドライブ信号 S 4  
により開閉制御されるトライステートインバータ 2 0 7 ,  
2 0 9 , 2 1 1 で構成され、これらトライステートイン  
5 バータ 2 0 7 , 2 0 9 , 2 1 1 の出力に、遅延クロック  
数出力端子 1 3 5 , 1 3 7 , 1 3 9 がそれぞれ接続され  
ている。

第 3 図は第 1 図のタイミング図であり、この図を参照  
しつつ第 1 図及び第 2 図の動作を説明する。

10 時刻 t 1 にローアドレスストロブ信号 R A S が立下  
ってアクセス（データ読出し）が開始すると、クロック  
計数回路 1 2 7 内のリセットパルス発生回路 2 0 3 から  
リセット信号 S 6 のワンショットパルスが発生する。こ  
このリセット信号 S 6 によりアドレスカウンタ 2 0 5 がリ  
15 セットされ、出力 P 0 , P 1 , P 2 は “L” レベルにな  
る。時刻 t 7 までデータラッチ回路 1 2 1 にはデータバ  
ス 1 1 9 から読出しデータが転送されないため、該デー  
タラッチ回路 1 2 1 から出力されるラッチ完了信号 S 2  
は時刻 t 7 まで “L” レベルのままである。そのため、  
20 クロック計数回路 1 2 7 内の NOR ゲート 2 0 1 は時刻  
t 7 までクロック信号 C L K を入力して駆動クロック信  
号 S 5 をアドレスカウンタ 2 0 5 へ供給する。これによ  
り、時刻 t 2 , t 3 , t 4 , t 5 において駆動クロック  
信号 S 5 の立上がりに同期してアドレスカウンタ 2 0 5  
25 がカウントアップする（出力 P 0 , P 1 , P 2 参照）。

この間、外部から供給されるアドレス  $A_0 \sim A_n$  は、アドレス入力回路 101 に取込まれる。アドレス入力回路 101 から X アドレス及び Y アドレスが出力され、X アドレスデコーダ 107 及び Y アドレスデコーダ 109 へそれぞれ供給される。X アドレスデコーダ 107 及び Y アドレスデコーダ 109 は、X アドレス及び Y アドレスをそれぞれ解読し、メモリセルアレイ 115 中のメモリセルを選択する。選択されたメモリセルの記憶データは、時刻  $t_6$  に、データバス 119 を介してデータラッチ回路 121 へ転送される。

時刻  $t_6$  からある時間後の時刻  $t_7$  に、データラッチ回路 121 から出力されるラッチ完了信号  $S_2$  が “H” レベルとなり、クロック計数回路 127 内の NOR ゲート 201 からのクロック信号 CLK の出力が停止される。従って、出力  $P_0$ ,  $P_1$ ,  $P_2$  の信号のレベルは固定される。そして、時刻  $t_8$  において、メモリ制御信号発生回路 125 から出力されるドライブ信号  $S_4$  が “H” レベルとなり、遅延クロック数出力回路 129 内のトライステートインバータ 207, 209, 211 がオン状態となり、固定されたアドレスカウンタ出力  $P_0$ ,  $P_1$ ,  $P_2$  の信号のレベルが該トライステートインバータ 207, 209, 211 を介して遅延クロック数出力端子 135, 137, 139 に現れる。

この第 1 の実施例では、1 メモリアクセス中に入力されるクロック信号 CLK の連続する複数個パルスのうち

どのクロックパルスで、出力回路 1 2 3 を活性化したら、最適なクロック同期動作による出力ができるかを、遅延クロック数出力端子 1 3 5, 1 3 7, 1 3 9 などをテスター等で測定することにより、簡単に判断できる。

5 一般に、D R A M においてアクセス開始よりデータラッチ回路 1 2 1 までのデータ転送時間は製造のばらつきなどによってばらつく。このデータ転送時間は遅延クロック数出力端子 1 3 5, 1 3 7, 1 3 9 から出力される遅延クロック数から判断出来る。そして、この判断結果  
10 に基づきクロック信号 C L K に同期した出力制御信号  $\phi$  を生成する。この出力制御信号  $\phi$  により提供回路 1 2 3 を活性化して読出しデータ D 0 を出力すれば、クロック信号 C L K に同期して的確に読出しデータ D 0 を出力することができる。

15 第 4 図は、本発明の第 2 の実施例を示す同期型 D R A M の概略の構成ブロック図であり、第 1 図中の要素と共通の要素には共通の符号が付されている。

第 2 の実施例のし D R A M はデータラッチ回路 1 2 1 の出力とクロック計数回路 1 2 7 の入力との間に、遅延回路 4 0 1 が接続されている点を除けば、第 1 の実施例  
20 の D R A M と同じである。この遅延回路 4 0 1 は、データラッチ回路 1 2 1 から出力されるラッチ完了信号 S 2 を受け取り、所定の遅延時間 T d だけ遅延しラッチ完了遅延信号 S 7 を生成する。遅延回路 4 0 1 はこのラッチ  
25 完了遅延信号 S 7 をクロック計数回路 1 2 7 へ与える。

第2の実施例の遅延回路401は、複数段のインバータで構成されている。

第5図は、第4図のタイミング図であり、この図を参照しつつ第2の実施例のDRAMの動作を説明する。

- 5 RASが立下ってアクセスが開始される時刻 $t_{11}$ から時刻 $t_{15}$ までデータラッチ回路121には読出しデータが転送されないため、データラッチ回路121から出力されるラッチ完了信号S2は“L”レベルである。そのため、クロック計数回路127は、時刻 $t_{12}$ ,
- 10  $t_{13}$ ,  $t_{14}$ ,  $t_{16}$ に駆動クロック信号S5の立上がり同期してカウント動作を行なう。この間、メモリセルが選択され、その選択されたメモリセルの記憶データが時刻 $t_{15}$ にデータバス119を介してデータラッチ回路121へ転送される。
- 15 読出しデータがデータラッチ回路121へ転送されると、該データラッチ回路121から出力されるラッチ完了信号S2が“H”レベルになる。そのラッチ完了信号S2は遅延回路401で一定の遅延時間 $T_d$ だけ遅延され、該遅延回路401から時刻 $t_{17}$ で“H”レベルになるラッチ完了遅延信号S7として出力される。クロック計数127はこのラッチ完了遅延信号S7に応答して回路計数動作を停止する。その後、時刻 $t_{18}$ において、メモリ制御信号発生回路125から出力されるドライブ信号S4が“H”レベルとなる。停止したクロック計数回路127のアドレスカウンタ出力P0, P1, P2の
- 20
- 25

信号レベルはドライブ信号 S 4 に応答して遅延クロック数出力端子 1 3 5, 1 3 7, 1 3 9 に表われる。

この第 2 の実施例では、データラッチ回路 1 2 9 の出力に遅延回路 4 0 1 を設けたので、製造ばらつきや使用動作時の最悪条件等を考慮したマージンが得られる。従って、第 1 の実施例よりもマージンを考慮して最適な遅延クロック数を選択できるので、クロック信号 C L K に同期したより精度の高い読出しデータの出力が可能となる。

第 6 図は、本発明の第 3 の実施例を示す同期型 DRAM の概略の構成ブロック図であり、第 1 図中の要素と共通の要素には共通の符号が付されている。

第 3 の実施例の D R A M は、第 1 図のデータラッチ回路 1 2 1 に代えて、データバス 1 1 9 からのメモリセル読出しデータをラッチして読出しデータ S 1 を出力回路 1 2 3 へ出力するデータラッチ回路 6 0 1 を設けている。また、第 3 の実施例の D R A M では第 1 図のクロック計数回路 1 2 7 及び遅延クロック数出力回路 1 2 9 に代えて、外部入力端子 6 0 3, 6 0 5 及び出力クロック遅延制御回路 6 0 7 を設けている。

外部入力端子 6 0 3, 6 0 5 は、遅延クロック指定用の外部入力信号 S E L 0, S E L 1 をそれぞれ入力する端子であり、出力クロック遅延制御回路 6 0 7 に接続されている。出力クロック遅延制御回路 6 0 7 は、クロック信号 C L K, ロードアドレスストローク信号 R A S, メ

メモリ制御信号発生回路 1 2 5 からのドライブ信号 S 4 及び外部入力信号 S E L 0, S E L 1 を受け取り、出力回路 1 2 3 を動作させるための出力制御信号  $\phi a$  を生成する。

5       第 7 図は、第 6 図に示す出力クロック遅延制御回路 6 0 7 の構成例を示す回路図である。

この出力クロック遅延制御回路 4 0 は、シフトレジスタ部 6 0 9 及び論理回路部 6 1 1 より構成されている。  
シフトレジスタ部 6 0 9 は、ローアドレスストロープ信号 R A S の立下りに同期して立下るドライブ信号 S 4 を反転するインバータ 6 1 3 と、ローアドレスストロープ信号 R A S の立下り及び立上り同期してワンショットパルスをも有するリセット信号 S 8 を出力するリセットパルス発生回路 6 1 5 と、クロック信号 C L K に同期してインバータ 6 1 3 の出力をシフトする 5 つのフリップフロップ（以下 F F という）6 1 7, 6 1 9, 6 2 1, 6 2 3 及び 6 2 5 で構成されている。インバータ 6 1 3 の出力は第 1 の F F 6 1 7 の入力に接続され、第 1 の F F 6 1 7 の出力は第 2 の F F 6 1 9 の入力に、第 2 の F F 6 1 9 の出力は第 3 の F F 6 2 1 の入力に、第 3 の F F 6 2 1 の出力は第 4 の F F 6 2 3 の入力に、第 4 の F F 6 2 3 の出力は第 5 の F F 6 2 5 の入力に接続されている。リセットパルス発生回路 6 1 5 の出力は第 1 ～第 5 の F F 6 1 7 - 6 2 5 のリセット入力に接続される。また、クロック信号 C L K は第 1 ～第 5 の F F 6 1 7 - 6 2 5 の

## 1 3

タイミング入力に入力される。シフトレジスタ部 6 0 9 の第 3, 第 4 及び第 5 の F F 6 2 1, 6 2 3, 6 2 5 の出力を論理回路部 6 1 1 に供給する。

5 論理回路部 6 1 1 は、シフトレジスタ部 6 0 9 の出力及び外部入力信号 S E L 0, S E L 1 の組み合わせにより出力制御信号  $\phi$  a の立下りタイミングを選択する回路である。論理回路部 6 1 1 は外部入力信号 S E L 0, S E L 1 をそれぞれ受け取る第 1 及び第 2 の入力端子 6 0 3 及び 6 0 5 と、インバータ 6 2 7, 6 2 9 と、信号  
10 選択用の第 1, 第 2 及び第 3 の N A N D ゲート 6 3 1, 6 3 3, 6 3 5 と、これら N A N D ゲート 6 3 1, 6 3 3, 6 3 5 の出力より出力制御信号  $\phi$  a を生成する第 4 の N A N D ゲート 6 3 7 とで、構成されている。第 1 の外部端子 6 0 3 は第 1 及び第 2 の N A N D ゲート 6 3 1, 6 3 3 の第 1 入力に接続されると共にインバータ 6 2 9  
15 を介して第 3 の N A N D ゲート 6 3 5 の第 1 入力に接続される。第 2 の外部端子 6 0 5 は第 1 の N A N D ゲート 6 3 1 の第 2 入力に接続されると共に、インバータ 6 2 7 を介して第 2 及び第 3 の N A N D ゲート 6 3 3, 6 3 5 の第 2 入力に接続される。第 3 の F F 6 2 1 の出力は第 3 の N A N D ゲート 6 3 5 の第 3 入力に、第 4 の F F 6 2 3 の出力は第 2 の N A N D ゲート 6 3 3 の第 3 入力に、第 5 の F F 6 2 5 の出力は第 1 の N A N D ゲート 6 3 1 の第 3 入力にそれぞれ接続される。第 1, 第 2 及び第 3 の N A N D ゲート 6 3 1, 6 3 3, 6 3 5 の出力  
20  
25

は第4のNANDゲート637の第1, 第2及び第3入力に接続される。

5 第8図は第6図の同期型DRAMの動作タイミングチャートであり、この図を参照しつつ第6図の同期型DRAMの動作を説明する。

10 時刻 $t_{22}$ 付近において、アドレス入力回路101はアドレス $A_0 \sim A_n$ 中のXアドレス801を受け取り、時刻 $t_{23}$ 付近においてYアドレス803を受け取る。その後、クロック信号CLKとは独立してアナログ的に、アドレスバッファ105より出力されるXアドレス及びYアドレスがXアドレスデコーダ107及びYデコーダ109にそれぞれ転送される。そして、Xアドレスデコーダ107及びYアドレスデコーダ109の出力によってメモリセルアレイ115中のメモリセルが選択される。

15 その選択されたメモリセルの記憶データ805は時刻 $t_{25}$ においてデータバス119を介してデータラッチ回路601へ転送される。

20 一方、出力クロック制御回路607のシフトレジスタ部609に入力されたローアドレスストロブ信号RASは時刻 $t_{21}$ において立下がり、この立下がりに応答してリセットパルス発生回路615はワンショットパルスを有したリセット信号S8を出力する。このリセット信号S8により第1～第5のFF617～625は時刻 $t_{21}$ よりやや遅れてリセットされる（第8図では全てのFFの出力が“L”レベルの場合を示しているため、

25

リセット動作は信号上に表れていない)。この後、ドライブ信号 S 4 が立下がり、この立下がりに応答してインバータ 6 1 3 の出力信号 S 4 A が立上がり “H” レベルとなる。出力信号 S 4 A が “H” レベルとなって最初の  
5 クロック信号 C L K の立上る時刻 t 2 2 において、この立上りに応答して第 1 の F F 6 1 7 の出力信号 A は “L” レベルから “H” レベルとなる。以降時刻 t 2 3, t 2 4, t 2 6 及び t 2 7 において第 2 - 第 5 の F F 6 1 9 - 6 2 5 の出力信号 B - E がそれぞれ “L” レベルから  
10 “H” レベルとなる。その後、ローアドレスストロープ信号 R A S は時刻 t 2 8 において立上り、これに応答してリセットパルス発生回路はワンショットパルスを有したリセット信号 S 8 を出力しドライブ信号 S 4 も立上る。従って、インバータ 6 1 3 の出力信号 A は “H” レベル  
15 から “L” レベルとなる。第 1 - 第 5 の F F 6 1 7 - 6 2 5 の出力信号 A - E はリセット信号 S 8 のパルスに応答して、“H” レベルから “L” レベルになる。

次に出力クロック遅延制御回路 6 0 7 の論理回路部 6 1 1 の動作について説明する。なお、この動作説明は  
20 外部入力信号 S E L 0 が “H” レベル、S E L 1 が “L” レベルの場合 (第 8 図の (a) 参照)、外部入力信号 S E L 0, S E L 1 とも “L” レベルの場合 (第 8 図の (b) 参照) 及び外部入力信号 S E L 0, S E L 1 とも “H” レベルの場合 (第 8 図の (c) 参照) の 3 つに分けて説明する。

25 第 8 図の (a) の場合

この場合第4のNANDゲート637の出力信号である出力制御信号 $\phi a$ は時刻 $t_{26}$ で立上がり、時刻 $t_{28}$ で立下がる。これは第1～第4のNANDゲートの入出力の信号レベルを表わした下記表1により説明される。

5

10

15

20

25

1 7

表 1

| 信 号                                                      | 時刻 $t_{26}$ における<br>レベル | 時刻 $t_{28}$ における<br>レベル |
|----------------------------------------------------------|-------------------------|-------------------------|
| S E L 0                                                  | H                       | H                       |
| S E L 1                                                  | L                       | L                       |
| C                                                        | H                       | H $\rightarrow$ L       |
| D                                                        | L $\rightarrow$ H       | H $\rightarrow$ L       |
| E                                                        | L                       | H $\rightarrow$ L       |
| 第 1 の NAND631 の入力                                        | L, H, L                 | H $\rightarrow$ L, H, L |
| 第 1 の NAND631 の出力                                        | H                       | H                       |
| 第 2 の NAND633 の入力                                        | L $\rightarrow$ H, H, H | H $\rightarrow$ L, H, H |
| 第 2 の NAND633 の出力                                        | H $\rightarrow$ L       | L $\rightarrow$ H       |
| 第 3 の NAND635 の入力                                        | H, H, L                 | H $\rightarrow$ L, H, L |
| 第 3 の NAND635 の出力                                        | H                       | H                       |
| 第 4 の NAND637 の入力<br>(第 1 ~ 第 3 の NAND<br>631 ~ 635 の出力) | H, H $\rightarrow$ L, H | H, L $\rightarrow$ H, H |
| 第 4 の NAND637 の出力<br>( $\phi a$ )                        | L $\rightarrow$ H       | H $\rightarrow$ L       |

出力回路 1 2 3 は出力制御信号  $\phi a$  に応答して、時刻  $t 2 6$  から所定の遅延時間  $T a$  だけ遅れて読出しデータ  $D 0 (8 0 5)$  を出力する。

第 8 図の (b) の場合

5        この場合出力制御信号  $\phi a$  は時刻  $t 2 4$  で立上り時刻  $t 2 8$  で立下がる。これは下記表 2 により説明される。

10

15

20

25

表 2

| 信 号                               | 時刻 $t_{24}$ における<br>レベル  | 時刻 $t_{28}$ における<br>レベル  |
|-----------------------------------|--------------------------|--------------------------|
| S E L 0                           | L                        | L                        |
| S E L 1                           | L                        | L                        |
| C                                 | $L \rightarrow H$        | $H \rightarrow L$        |
| D                                 | L                        | $H \rightarrow L$        |
| E                                 | L                        | $H \rightarrow L$        |
| 第 1 の NAND631 の入力                 | L, L, L                  | $H \rightarrow L$ , L, L |
| 第 1 の NAND631 の出力                 | H                        | H                        |
| 第 2 の NAND633 の入力                 | L, L, H                  | $H \rightarrow L$ , L, H |
| 第 2 の NAND633 の出力                 | H                        | H                        |
| 第 3 の NAND635 の入力                 | $L \rightarrow H$ , H, H | $H \rightarrow L$ , H, H |
| 第 3 の NAND635 の出力                 | $H \rightarrow L$        | $L \rightarrow H$        |
| 第 4 の NAND637 の入力                 | H, H, $H \rightarrow L$  | H, H, $L \rightarrow H$  |
| 第 4 の NAND637 の出力<br>( $\phi a$ ) | $L \rightarrow H$        | $H \rightarrow L$        |

20

出力回路 1 2 3 は出力制御信号  $\phi a$  に応答して読出しデータ D 0 ( 8 0 5 ) を出力しようとするが、時刻 t 24 では、まだ出力回路 1 2 3 に読出し出力 D 0 ( 8 0 5 ) は、所定の遅延時間 T a より長い時間 T b だけ遅れて読出しデータ D 0 を出力する。

第 8 図の (c) の場合

この場合、出力制御信号  $\phi a$  は時刻 t 27 で立上り、時刻 t 28 で立下がる。これは下記表 3 により説明される。

10

15

20

25

2 1

表 3

| 信 号                               | 時刻 $t_{27}$ における<br>レベル | 時刻 $t_{28}$ における<br>レベル |
|-----------------------------------|-------------------------|-------------------------|
| S E L 0                           | H                       | H                       |
| S E L 1                           | H                       | H                       |
| C                                 | H                       | H $\rightarrow$ L       |
| D                                 | H                       | H $\rightarrow$ L       |
| E                                 | L $\rightarrow$ H       | H $\rightarrow$ L       |
| 第 1 の NAND631 の入力                 | L $\rightarrow$ H, H, H | H $\rightarrow$ L, H, H |
| 第 1 の NAND631 の出力                 | H $\rightarrow$ L       | L $\rightarrow$ H       |
| 第 2 の NAND633 の入力                 | H, H, L                 | H $\rightarrow$ L, H, L |
| 第 2 の NAND633 の出力                 | H                       | H                       |
| 第 3 の NAND635 の入力                 | H, L, L                 | H, L, L                 |
| 第 3 の NAND635 の出力                 | H                       | H                       |
| 第 4 の NAND637 の入力                 | H $\rightarrow$ L, H, H | L $\rightarrow$ H, H, H |
| 第 4 の NAND637 の出力<br>( $\phi a$ ) | L $\rightarrow$ H       | H $\rightarrow$ L       |

出力回路 1 2 3 は出力制御信号  $\phi a$  に応答して所定の遅延時間  $T a$  だけ遅れて読出しデータ  $D 0$  ( 8 0 5 ) を出力する。

5 第 8 図の (b) の場合、出力制御信号  $\phi a$  の立上がり時に、データラッチ回路 6 0 1 へまだ読出しデータ  $D 0$  が送られていないため、クロック信号  $C L K$  の立上り時刻  $t 26$  より出力回路 1 2 3 のデータ出力までに時間  $T b$  が必要となる。これに対し、第 8 図の (a) 及び (b) の場合、出力制御信号  $\phi a$  の立上がり時に既にデータラッチ回路 6 0 1  
10 に読出しデータ  $D 0$  がラッチされているため、クロック信号  $C L K$  の立上り時刻  $t 26$  又は  $t 27$  から時間  $T a$  だけ遅れて出力回路 123 が読出しデータ  $D 0$  を出力できる。

15 上述の 3 つのケースを比較すると、第 8 図の (b) の場合ではローアドレスストロブ信号  $R A S$  の立下り時刻  $t 21$  からアクセス開始までの時間は速いものの、クロック信号  $C L K$  の立上りからのアクセス開始は遅い。第 8 図 (c) の場合ではローアドレスストロブ信号  $R A S$  の立上り時刻  $t 21$  からのアクセス開始までの時間が遅くなる。従って、第 8 図 (a) の場合が最適な出力制御信号  $\phi a$  を発生させる場合といえる。従って、外部入力信号  $S E L 0$  を “H” レベルに  $S E L 1$  を “L” レベルにセットすれば、出力クロック遅延制御回路 6 0 7 から出力される出力制御信号  $\phi a$  により出力回路 1 2 3 から読出しデータ  $D 0$  が出力され、最適な同期動作が得られる。  
20  
25

## 2 3

なお、第 3 の実施例と同一構成の D R A M でも製造ばらつきで、メモリセルアレイ 1 1 5 からデータラッチ回路 6 0 1 までの読出しデータの転送速度が速い場合は、第 8 図の (b) の場合が最適な同期動作となることもある。

5        この第 3 の実施例では、出力制御信号  $\phi a$  を、外部入力信号 S E L 0, S E L 1 及び出力クロック遅延制御回路 6 0 7 により、任意に設定できるようにしたため、製造ばらつきや使用条件等の相違があっても、最適な同期動作ができる。

10        なお、本発明は、上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

第 3 図に示したように、データラッチ回路 1 2 1 まで読出しデータが転送された直後の時刻  $t_8$  のクロック信号 C L K の立上りで、クロック計数回路 1 2 7 は出力を外部に出力する。しかし、時刻  $t_8$  のクロック信号 C L K の立下りでクロック計数回路 1 2 7 が出力を外部に出力することも可能である。また、第 5 図に示したように、ラッチ完了遅延信号 S 7 の発生直後の時刻  $t_{18}$  のクロック信号 C L K の立上りで、クロック計数回路 1 2 7 は出力を外部に出力する。しかし、時刻  $t_8$  のクロック信号 C L K の立下りでクロック計数回路 1 2 7 が出力を外部に出力することも可能である。

(産業上の利用性)

25        以上説明したように、本発明の D R A M は、最適なク

ロックパルスに同期してメモリからの読出しデータを出  
力出来る同期型 D R A M に適用出来る。

5

10

15

20

25

## 請 求 の 範 囲

1. 複数のメモリセルが行列状に配列されたメモリセル  
アレイと、このメモリセルアレイと接続され、前記複数  
のメモリセルの中から特定のメモリセルを選択する回路  
と、

前記メモリセルアレイと接続され、前記メモリセルに  
記憶されたデータを転送する手段と、

この転送手段と接続され、転送手段からデータを受け  
取り、データとラッチすると共に、データ転送完了信号  
を出力するデータラッチ回路と、

このデータラッチ回路に接続され、データラッチ回路  
からラッチされたデータを受け取り、制御信号に従って  
受け取ったデータを出力する出力回路と、

前記データラッチ回路に接続され、クロック信号及び  
データ転送完了信号を受け取り、前記データ転送完了信  
号を受け取った後のクロック信号のクロックパルス数を  
計数するクロック計数回路と、

このクロック計数回路に接続され、クロック計数回路  
で計算したパルス数を出力するクロック数出力回路とを  
有する同期型半導体メモリ。

2. 前記データラッチ回路とクロック計数回路との間に  
接続され、前記データラッチ回路から受け取ったデータ  
転送完了信号を遅延させて前記クロック計数回路へ与え  
る遅延回路を更に有した請求の範囲 1 項記載の同期型半  
導体メモリ。

3. 前記メモリセル選択手段は、

アドレス信号を受け取り、このアドレス信号に基いて  
Xアドレス信号及びYアドレス信号を出力するアドレス  
入力回路と、

5 このアドレス入力回路に接続され、前記Xアドレス信号を受け取り、このXアドレス信号に基いて前記メモリセルアレイの行を選択するXアドレスデコーダと、

前記アドレス入力回路に接続され、前記Yアドレス信号を受け取り、このYアドレス信号に基いて前記メモリセルアレイの列を選択するYアドレスデコーダとを有する  
10 請求項1記載の同期型半導体メモリ。

4. 前記アドレス入力回路は、

クロック信号に応答して前記アドレス信号を受け取る  
ラッチ回路と、

15 このラッチ回路に接続され、ラッチ回路から出力されたアドレス信号に基きXアドレス信号及びYアドレス信号を出力するアドレスバッファとを有する請求項3記載の同期型半導体メモリ。

5. 前記クロック数出力回路に接続され、クロック数出力回路を駆動させるドライブ信号を発生する制御信号発生回路を更に有する請求項1記載の同期型半導体メモリ。  
20

6. 前記クロック計数回路は、

前記クロック信号及びデータ転送完了信号を受け取り  
データ転送完了信号に基いてクロック信号の出力を制御  
25 するゲート回路と、

リセット信号を発生するリセット信号発生回路と、

このリセット信号発生回路及びゲート回路に接続され、  
前記リセット信号によりリセットされ、前記ゲート回路  
から出力されたクロック信号のパルス数をカウントする  
5 アドレスカウンタとを有する請求項1記載の同期型半導  
体メモリ。

7. 前記クロック数出力回路は、前記クロック計数回路  
の出力を入力し、前記ドライブ信号によって開閉制御さ  
れるトライステートインバータを有する請求項1記載の  
10 同期型半導体メモリ。

8. 複数のメモリセルが行列状に配列されたメモリセル  
アレイと、

このメモリセルアレイと接続され、前記複数のメモリ  
セルの中から特定のメモリセルを選択する回路と、

15 前記メモリセルアレイと接続され、メモリセルに記憶  
されたデータを転送する手段と、

この転送手段と接続され、転送手段からデータを受け  
取り、制御信号に応答して受け取ったデータを出力する  
データ出力回路と、

20 外部入力端子を有し、この入力端子を介して受け取っ  
た外部入力信号とクロック信号とから前記制御信号を生  
成する制御信号発生回路とを有する同期型半導体メモリ。

9. 前記制御信号発生回路は、シフトレジスタ部と論理  
回路部とを有する請求項1記載の同期型半導体メモリ。

## 補正された請求の範囲

[1992年4月3日(03.04.92)国際事務局受理;出願当初の請求の範囲1及び9は補正された請求の範囲1及び9に置きかえられた;他の請求の範囲は変更なし(3頁)].

1. (補正後) 複数のメモリセルが行列状に配列されたメモリセルアレイと、このメモリセルアレイと接続され、前記複数のメモリセルの中から特定のメモリセルを選択する回路と、

前記メモリセルアレイと接続され、前記メモリセルに記憶されたデータを転送する手段と、

この転送手段と接続され、転送手段からデータを受け取り、データをラッチすると共に、データ転送完了信号を出力するデータラッチ回路と、

このデータラッチ回路に接続され、データラッチ回路からラッチされたデータを受け取り、制御信号に従って受け取ったデータを出力する出力回路と、

前記データラッチ回路に接続され、クロック信号及びデータ転送完了信号を受け取り、前記データ転送完了信号を受け取った後のクロック信号のクロックパルス数を計数するクロック計数回路と、

このクロック計数回路に接続され、クロック計数回路で計算したパルス数を出力するクロック数出力回路とを有する同期型半導体メモリ。

2. 前記データラッチ回路とクロック計数回路との間に接続され、前記データラッチ回路から受け取ったデータ転送完了信号を遅延させて前記クロック計数回路へ与える遅延回路を更に有した請求の範囲1項記載の同期型半導体メモリ。

3. 前記メモリセル選択手段は、

アドレス信号を受け取り、このアドレス信号に基づいて  
Xアドレス信号及びYアドレス信号を出力するアドレス  
入力回路と、

5       このアドレス入力回路に接続され、前記Xアドレス信号  
を受け取り、このXアドレス信号に基づいて前記メモリ  
セルアレイの行を選択するXアドレスデコーダと、

前記アドレス入力回路に接続され、前記Yアドレス信号  
を受け取り、このYアドレス信号に基づいて前記メモリ  
10     セルアレイの列を選択するYアドレスデコーダとを有す  
る請求項1記載の同期型半導体メモリ。

4. 前記アドレス入力回路は、

クロック信号に応答して前記アドレス信号を受け取る  
ラッチ回路と、

15     このラッチ回路に接続され、ラッチ回路から出力され  
たアドレス信号に基づきXアドレス信号及びYアドレス信  
号を出力するアドレスバッファとを有する請求項3記載  
の同期型半導体メモリ。

5. 前記クロック数出力回路に接続され、クロック数出  
20     力回路を駆動させるドライブ信号を発生する制御信号発  
生回路を更に有する請求項1記載の同期型半導体メモリ。

6. 前記クロック計数回路は、

前記クロック信号及びデータ転送完了信号を受け取り  
データ転送完了信号に基づいてクロック信号の出力を制御  
25     するゲート回路と、

リセット信号を発生するリセット信号発生回路と、

このリセット信号発生回路及びゲート回路に接続され、  
前記リセット信号によりリセットされ、前記ゲート回路  
から出力されたクロック信号のパルス数をカウントする  
5 アドレスカウンタとを有する請求項1記載の同期型半導  
体メモリ。

7. 前記クロック数出力回路は、前記クロック計数回路  
の出力を入力し、前記ドライブ信号によって開閉制御さ  
れるトライステートインバータを有する請求項1記載の  
10 同期型半導体メモリ。

8. 複数のメモリセルが行列状に配列されたメモリセル  
アレイと、

このメモリセルアレイと接続され、前記複数のメモリ  
セルの中から特定のメモリセルを選択する回路と、

15 前記メモリセルアレイと接続され、メモリセルに記憶  
されたデータを転送する手段と、

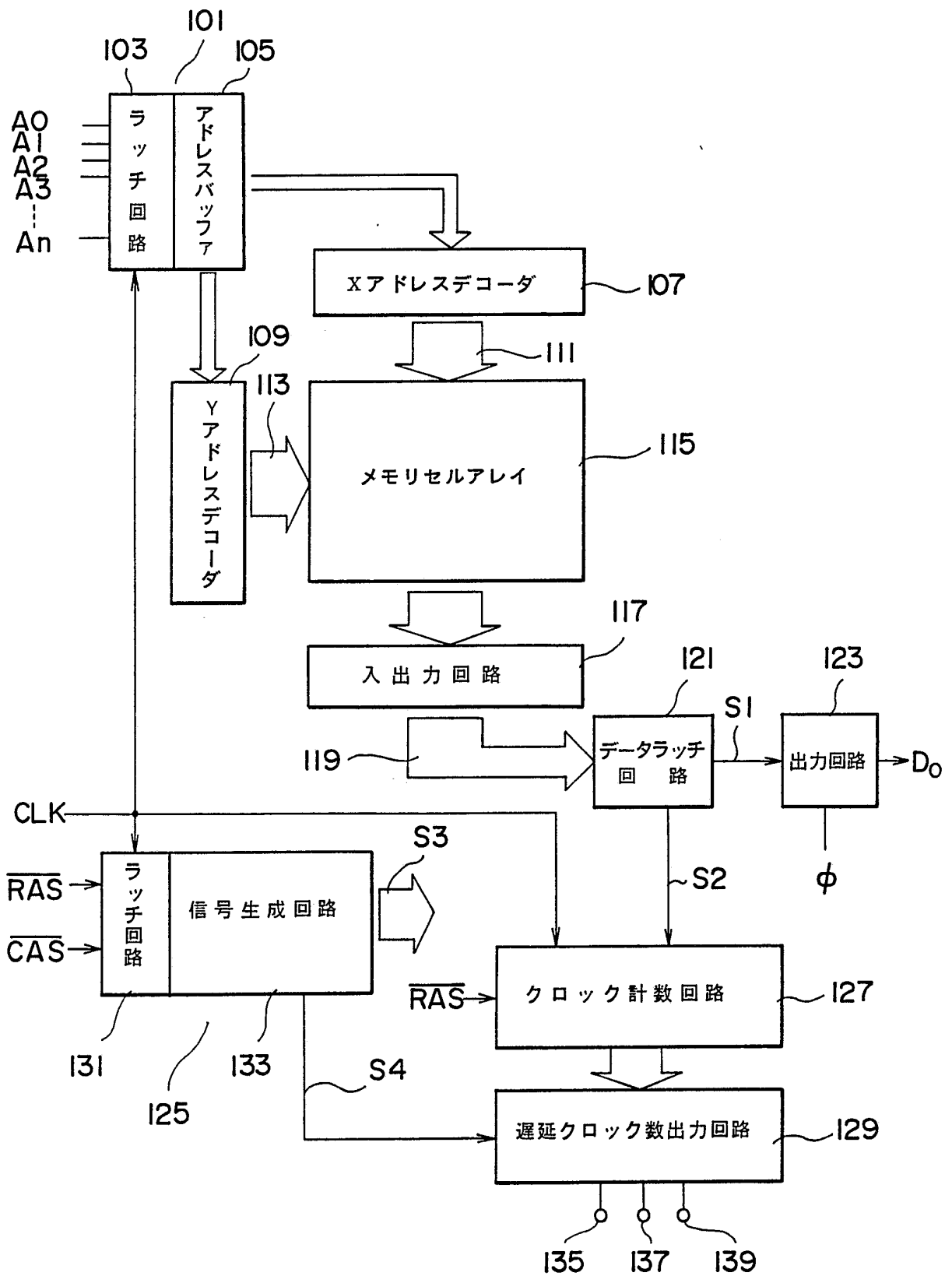
この転送手段と接続され、転送手段からデータを受け  
取り、制御信号に応答して受け取ったデータを出力する  
データ出力回路と、

20 外部入力端子を有し、この入力端子を介して受け取っ  
た外部入力信号とクロック信号とから前記制御信号を生  
成する制御信号発生回路とを有する同期型半導体メモリ。

9. 前記制御信号発生回路は、シフトレジスタ部と論理  
回路部とを有する請求項8記載の同期型半導体メモリ。

1 / 8

FIG. 1



261

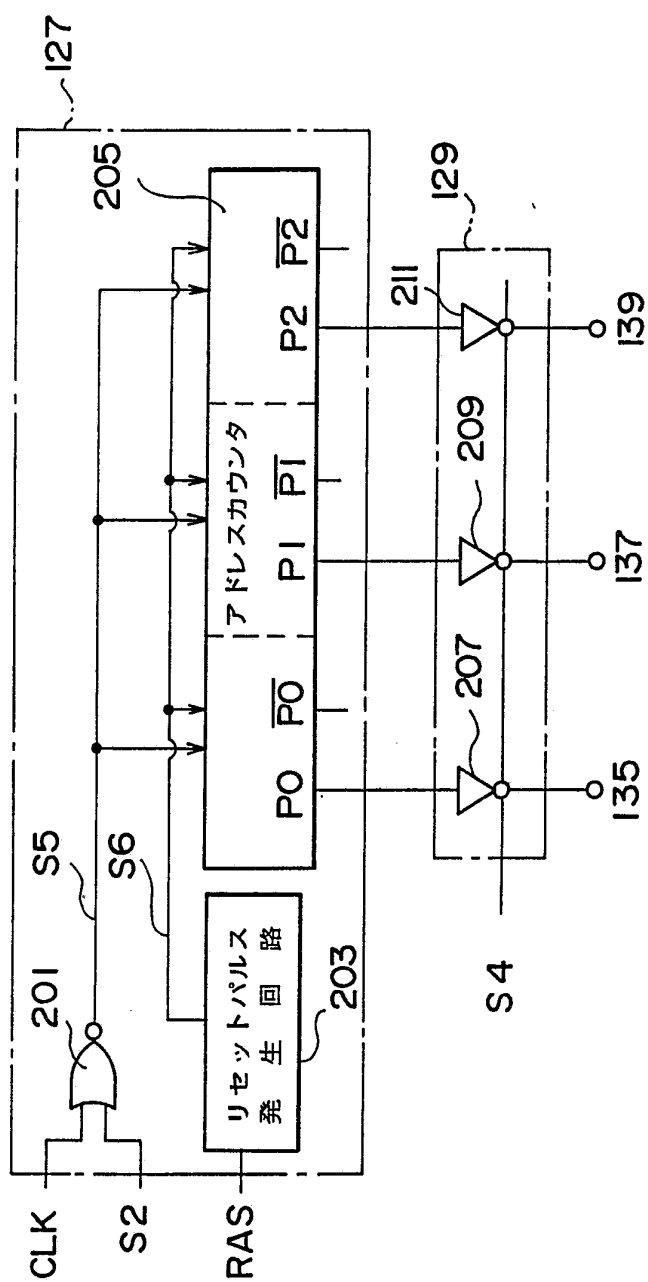


FIG. 3

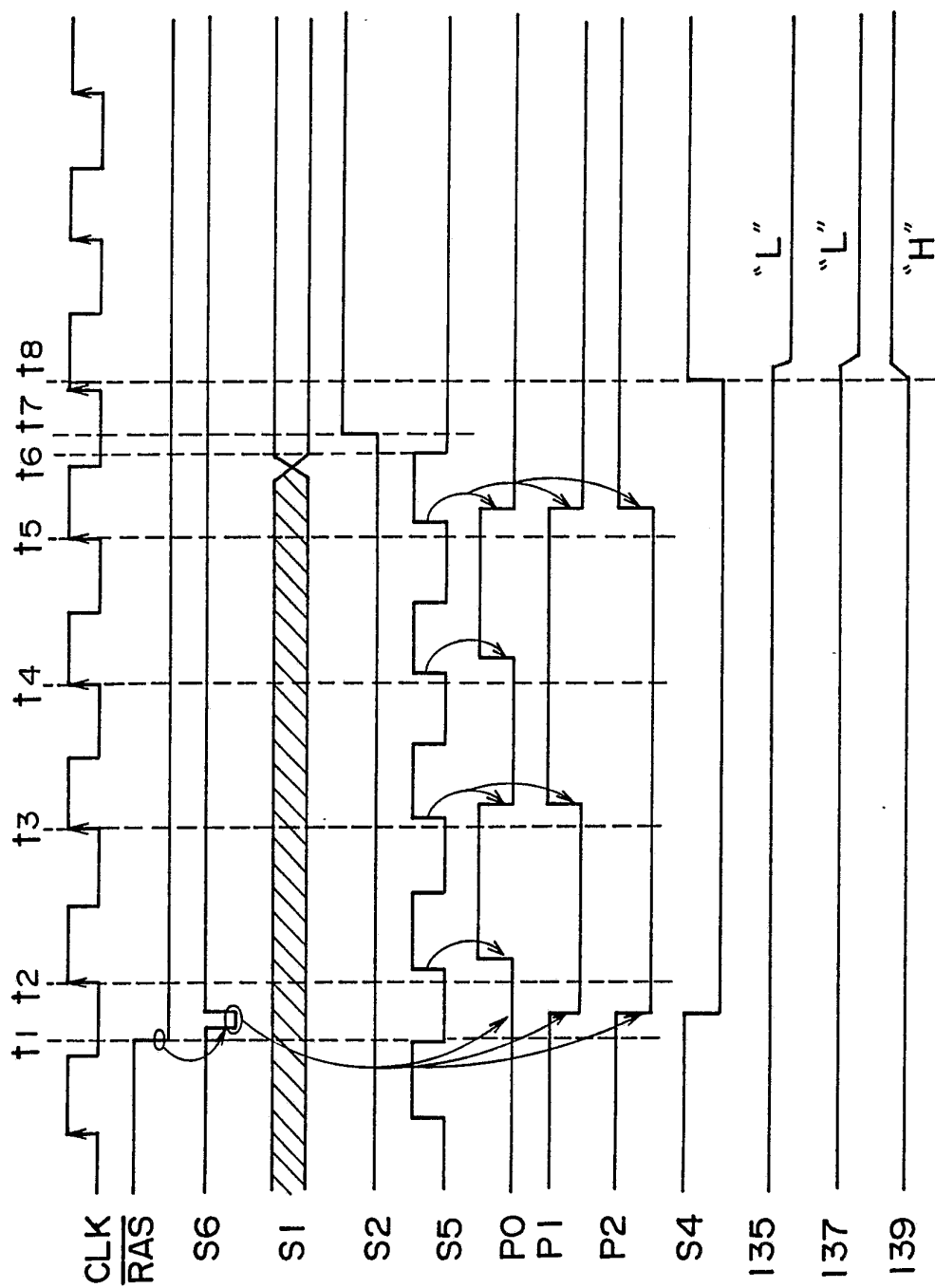
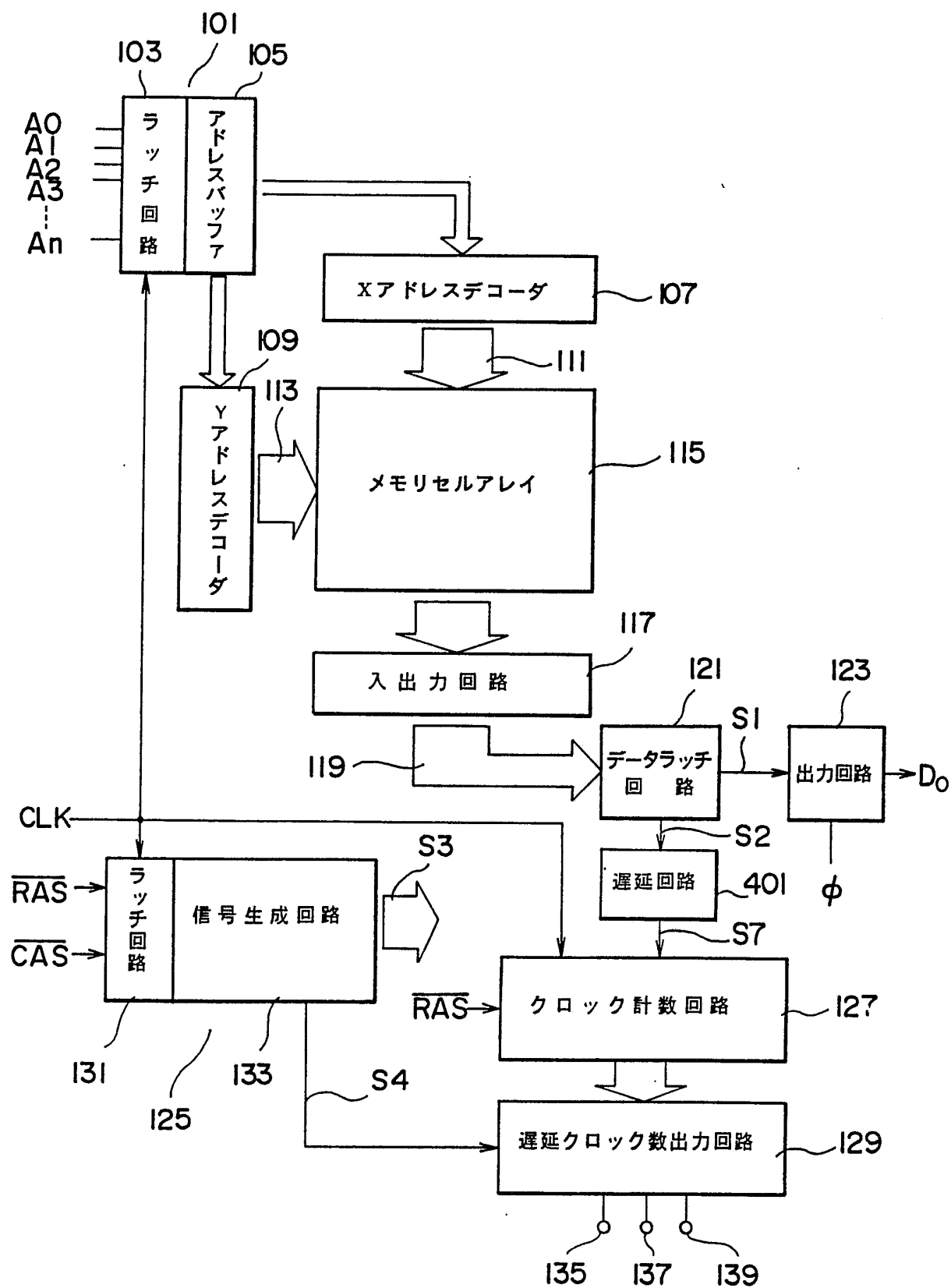


FIG. 4



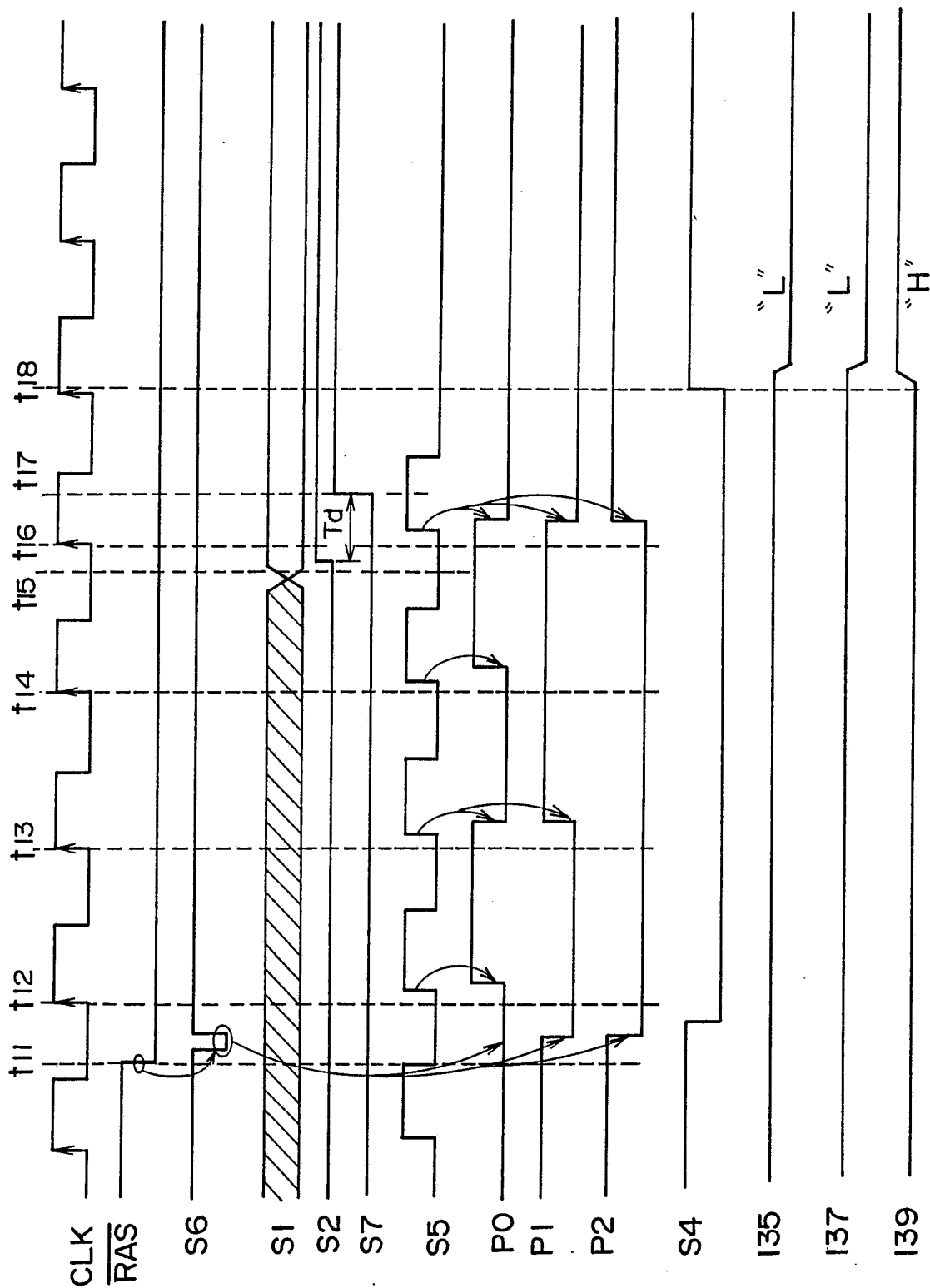


FIG. 5

FIG. 6

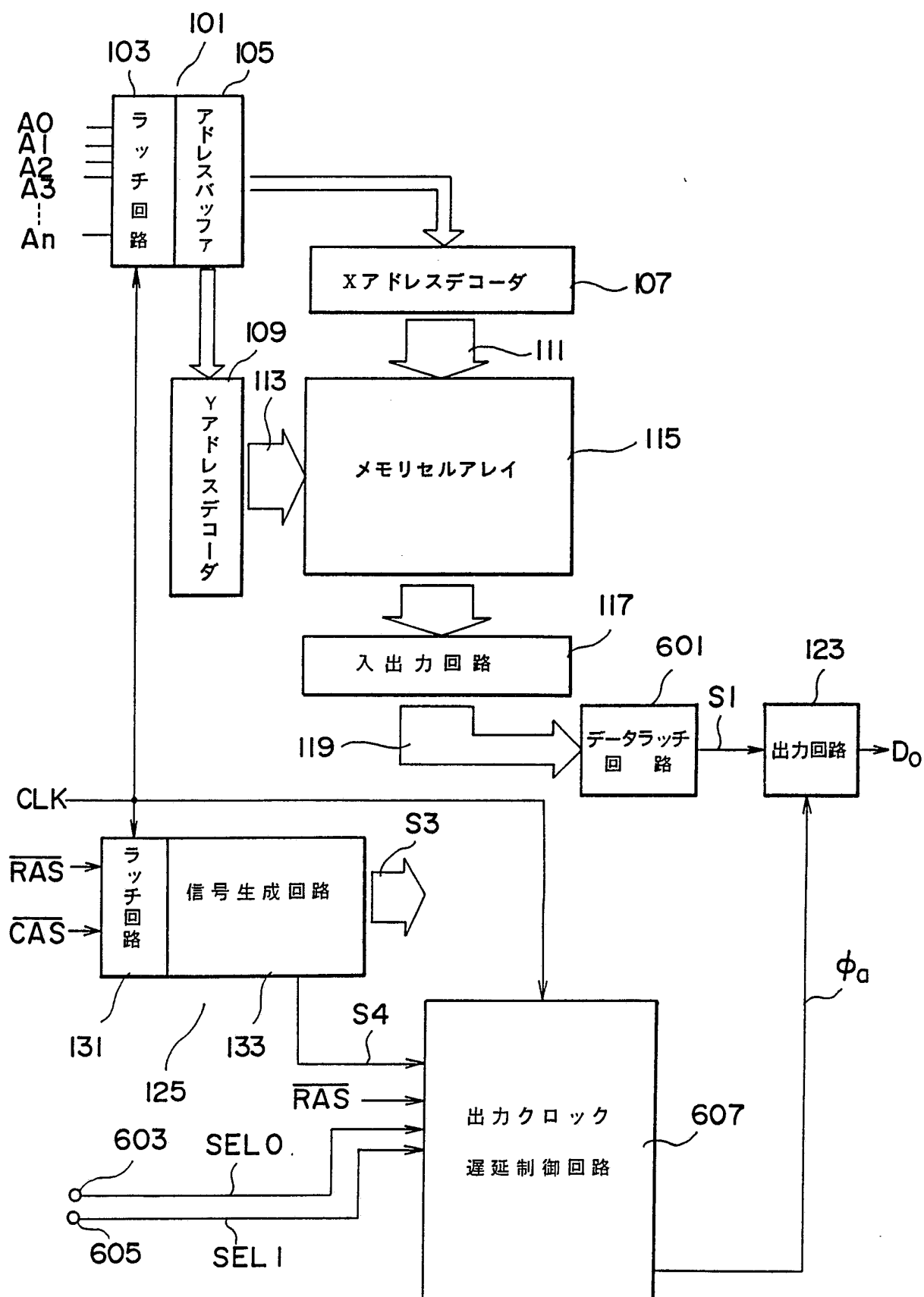
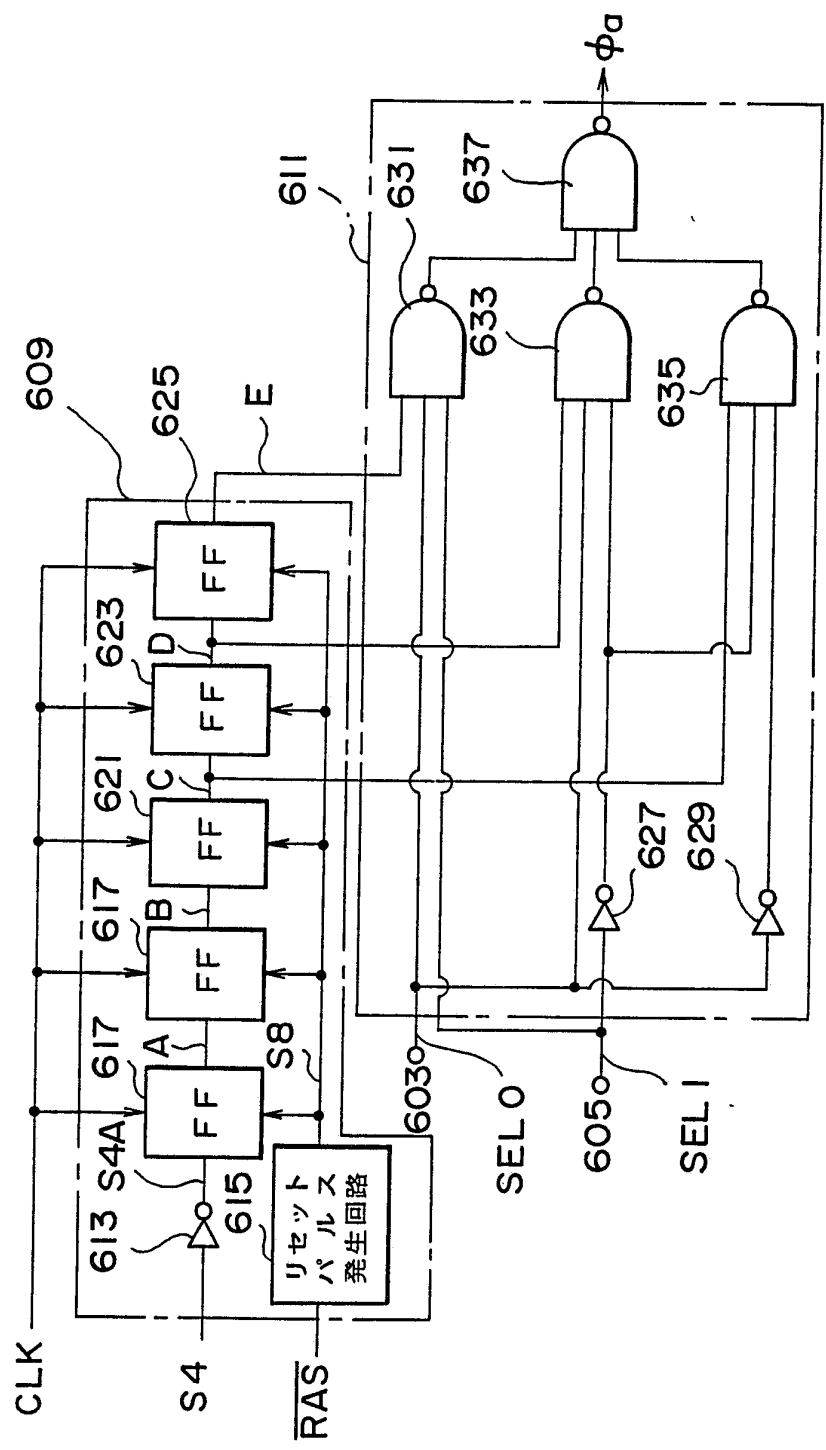
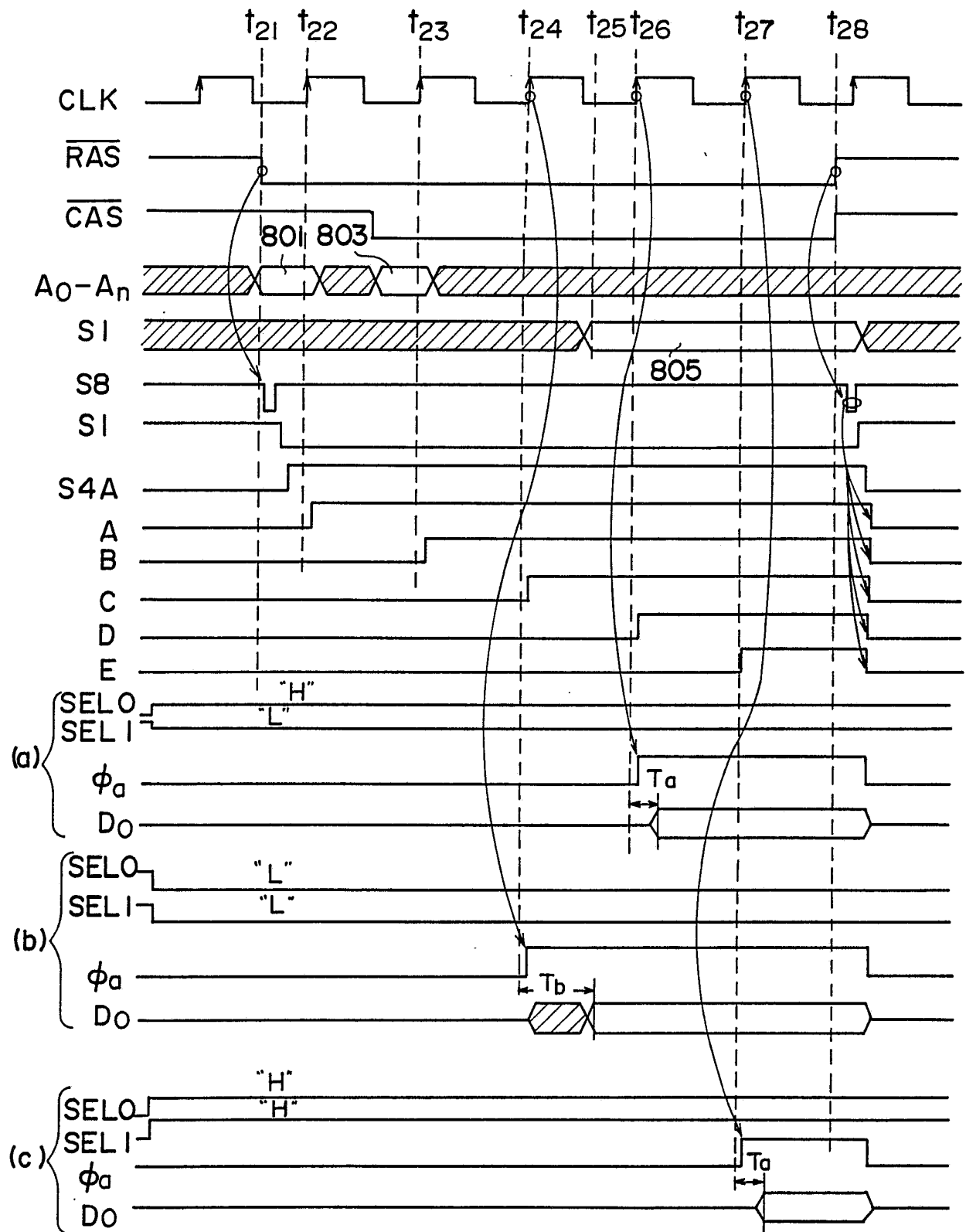


FIG. 7



8 / 8

FIG. 8



# INTERNATIONAL SEARCH REPORT

International Application No PCT/JP91/01584

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                |                                     |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------|-------------------------------------|
| <b>I. CLASSIFICATION OF SUBJECT MATTER</b> (if several classification symbols apply, indicate all) <sup>6</sup>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                |                                     |
| According to International Patent Classification (IPC) or to both National Classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                |                                     |
| Int. Cl <sup>5</sup> G11C11/402, 29/00                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                                                |                                     |
| <b>II. FIELDS SEARCHED</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                |                                     |
| Minimum Documentation Searched <sup>7</sup>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                                                |                                     |
| Classification System                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | Classification Symbols                                                                                         |                                     |
| IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | G11C11/402, 29/00                                                                                              |                                     |
| Documentation Searched other than Minimum Documentation<br>to the Extent that such Documents are Included in the Fields Searched <sup>8</sup>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                                                |                                     |
| Jitsuyo Shinan Koho                      1950 - 1991<br>Kokai Jitsuyo Shinan Koho              1971 - 1991                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                |                                     |
| <b>III. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <sup>9</sup>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                |                                     |
| Category *                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | Citation of Document, <sup>11</sup> with indication, where appropriate, of the relevant passages <sup>12</sup> | Relevant to Claim No. <sup>13</sup> |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | JP, A, 02-105389 (Matsushita Electronics Corp.),<br>April 17, 1990 (17. 04. 90),<br>(Family: none)             | 1-6                                 |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | JP, A, 53-108243 (Omron Corp.),<br>September 20, 1978 (20. 09. 78),<br>(Family: none)                          | 8, 9                                |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | JP, A, 63-217452 (Mitsubishi Electric Corp.),<br>September 9, 1988 (09. 09. 88),<br>(Family: none)             | 8, 9                                |
| <p>* Special categories of cited documents: <sup>10</sup></p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p> |                                                                                                                |                                     |
| <b>IV. CERTIFICATION</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                                |                                     |
| Date of the Actual Completion of the International Search                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | Date of Mailing of this International Search Report                                                            |                                     |
| February 7, 1992 (07. 02. 92)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | February 18, 1992 (18. 02. 92)                                                                                 |                                     |
| International Searching Authority                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | Signature of Authorized Officer                                                                                |                                     |
| Japanese Patent Office                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                                                |                                     |

# 国 際 調 査 報 告

国際出願番号PCT/JP 91/ 01584

|                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                      |                    |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|--------------------|
| I. 発明の属する分野の分類                                                                                                                                                                                                                                                                                                                                                                                                                                |                                                                                      |                    |
| 国際特許分類 (IPC) <b>Int. Cl<sup>5</sup></b><br><b>G11C11/402.29/00</b>                                                                                                                                                                                                                                                                                                                                                                            |                                                                                      |                    |
| II. 国際調査を行った分野                                                                                                                                                                                                                                                                                                                                                                                                                                |                                                                                      |                    |
| 調 査 を 行 っ た 最 小 限 資 料                                                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                      |                    |
| 分 類 体 系                                                                                                                                                                                                                                                                                                                                                                                                                                       | 分 類 記 号                                                                              |                    |
| <b>IPC</b>                                                                                                                                                                                                                                                                                                                                                                                                                                    | <b>G11C11/402.29/00</b>                                                              |                    |
| 最小限資料以外の資料で調査を行ったもの                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                      |                    |
| <b>日本国実用新案公報            1950-1991年</b><br><b>日本国公開実用新案公報    1971-1991年</b>                                                                                                                                                                                                                                                                                                                                                                    |                                                                                      |                    |
| III. 関連する技術に関する文献                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                      |                    |
| 引用文献の※<br>カテゴリー                                                                                                                                                                                                                                                                                                                                                                                                                               | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                    | 請求の範囲の番号           |
| <b>A</b>                                                                                                                                                                                                                                                                                                                                                                                                                                      | <b>JP, A, 02-105389 (松下電子工業株式会社),</b><br><b>17. 4月. 1990 (17. 04. 90), (ファミリーなし)</b> | <b>1 - 6</b>       |
| <b>A</b>                                                                                                                                                                                                                                                                                                                                                                                                                                      | <b>JP, A, 53-108243 (立石電機株式会社),</b><br><b>20. 9月. 1978 (20. 09. 78), (ファミリーなし)</b>   | <b>8, 9</b>        |
| <b>A</b>                                                                                                                                                                                                                                                                                                                                                                                                                                      | <b>JP, A, 63-217452 (三菱電機株式会社),</b><br><b>9. 9月. 1988 (09. 09. 88), (ファミリーなし)</b>    | <b>8, 9</b>        |
| ※引用文献のカテゴリー<br>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」 先行文献ではあるが、国際出願日以後に公表されたもの<br>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)<br>「O」 口頭による開示、使用、展示等に言及する文献<br>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献<br>「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」 同一パテントファミリーの文献 |                                                                                      |                    |
| IV. 認 証                                                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                      |                    |
| 国際調査を完了した日<br><b>07. 02. 92</b>                                                                                                                                                                                                                                                                                                                                                                                                               | 国際調査報告の発送日<br><b>18.02.92</b>                                                        |                    |
| 国際調査機関<br><br><b>日本国特許庁 (ISA/JP)</b>                                                                                                                                                                                                                                                                                                                                                                                                          | 権限のある職員<br><br><b>特許庁審査官            廣 瀬 文 雄 ㊞</b>                                    | <b>5 L 8 5 2 6</b> |