

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191947

(P2017-191947A)

(43) 公開日 平成29年10月19日(2017. 10. 19)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/66 (2006.01)	H O 1 L 29/66 T	5 F 1 1 O
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 O 1 J	5 F 1 4 O
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 2 2	
H O 1 L 29/786 (2006.01)		

審査請求 有 請求項の数 5 O L (全 18 頁)

(21) 出願番号	特願2017-120312 (P2017-120312)	(71) 出願人	301021533
(22) 出願日	平成29年6月20日 (2017. 6. 20)		国立研究開発法人産業技術総合研究所
(62) 分割の表示	特願2015-535383 (P2015-535383) の分割		東京都千代田区霞が関1-3-1
原出願日	平成26年7月30日 (2014. 7. 30)	(74) 代理人	100125298
(31) 優先権主張番号	特願2013-182662 (P2013-182662)		弁理士 塩田 伸
(32) 優先日	平成25年9月4日 (2013. 9. 4)	(72) 発明者	森 貴洋
(33) 優先権主張国	日本国 (JP)		茨城県つくば市東1-1-1 国立研究開 発法人産業技術総合研究所つくばセンター 内
(31) 優先権主張番号	特願2013-234748 (P2013-234748)	F ターム (参考)	5F110 AA07 AA16 BB13 CC01 DD05
(32) 優先日	平成25年11月13日 (2013. 11. 13)		DD13 EE01 EE05 EE09 EE14
(33) 優先権主張国	日本国 (JP)		EE44 EE45 FF01 FF27 FF29
			GG02 GG03 GG12 GG32 GG52
			GG58 HJ01 HJ04 HJ13 HK05
			HK17 HK33 HK34 HM12
			最終頁に続く

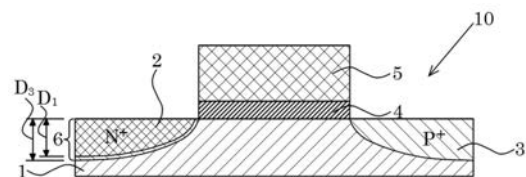
(54) 【発明の名称】 半導体素子及びその製造方法、並びに半導体集積回路

(57) 【要約】

【課題】本発明は、簡易かつ低コストに製造でき、大きなトンネル電流が得られ、優れた動作特性を有する半導体素子及びその製造方法、並びに前記半導体素子を有する半導体集積回路を提供することを課題とする。

【解決手段】本発明の半導体素子は、アイソエレクトロニックトラップ形成不純物を含む間接遷移型半導体の半導体領域でトンネル接合の全体又は一部が構成され、前記間接遷移型半導体がシリコン及び前記シリコンとゲルマニウムとの混晶のいずれかであり、前記アイソエレクトロニックトラップ形成不純物がA l とN とで形成されることを特徴とする。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

アイソエレクトロニックトラップ形成不純物を含む間接遷移型半導体の半導体領域でトンネル接合の全体又は一部が構成され、前記間接遷移型半導体がシリコン及び前記シリコンとゲルマニウムとの混晶のいずれかであり、前記アイソエレクトロニックトラップ形成不純物が A 1 と N とで形成されることを特徴とする半導体素子。

【請求項 2】

トンネル接合が P N 接合で形成される請求項 1 に記載の半導体素子。

【請求項 3】

トンネル接合がショットキー接合で形成される請求項 1 に記載の半導体素子。

10

【請求項 4】

トンネル接合の全体又は一部を構成するように、アイソエレクトロニックトラップ形成不純物が導入された間接遷移型半導体の半導体領域を形成する工程を含み、前記間接遷移型半導体がシリコン及び前記シリコンとゲルマニウムとの混晶のいずれかであり、前記アイソエレクトロニックトラップ形成不純物が A 1 と N とで形成されることを特徴とする半導体素子の製造方法。

【請求項 5】

請求項 1 から 3 のいずれかに記載の半導体素子を有することを特徴とする半導体集積回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、動作原理としてトンネル現象を利用する半導体素子及びその製造方法、並びに前記半導体素子を有する半導体集積回路に関する。

【背景技術】

【0002】

近年、L S I の低消費電力化を目指した試みが盛んである。動作電圧の低減は、その試みの一つであるが、従来の回路で用いられている M O S トランジスタでは、物理的な限界から大幅な低電圧化が困難である。そのため、L S I の低消費電力化のため、従来の M O S トランジスタとは異なる動作原理に基づく低電圧スイッチングデバイスの開発が待望されている。

30

【0003】

半導体のバンド間トンネル現象を利用したトンネル電界効果トランジスタは、その一つであり、M O S トランジスタとは異なる動作原理としてトンネル現象を利用する。トンネル現象は、電位による障壁を越えることのないエネルギーの電子でも、ある確率でその障壁の反対側に通過する現象であり、トンネル電界効果トランジスタでは、トンネル障壁と呼ばれるエネルギー障壁を通過するトンネル電流をゲート電圧で制御することで動作可能とされ、従来の M O S トランジスタよりも低い電圧で動作可能とされる（例えば、非特許文献 1 参照）。

【0004】

40

しかしながら、トンネル電界効果トランジスタでは、トンネル障壁を通過するトンネル電流の電流量を規定するトンネル抵抗が大きいと、O N 操作時の電流（O N 電流）が小さく、高速動作が困難である。こうしたことから、O N 電流を増加させる手法が幾つか提案されている。

例えば、ソース領域及びドレイン領域の不純物濃度を極めて高くし、また、これら領域の厚みを薄くすることで、急峻な不純物プロファイルを形成可能とし、トンネル電流を増加させる手法が提案されている（特許文献 1 参照）。しかしながら、この手法によっても、トンネル電流を実用レベルまで増加させることが困難であるのが実情である。

また、段差を設けた半導体基板を用いて、トンネル現象が起こる領域の面積を大きくすることで、トンネル電流を増加させる手法が提案されている（特許文献 2 参照）。しかし

50

ながら、このような手法では、製造コストが嵩むとともに、大面積化によるゲートのキャパシタ容量増加に伴い、動作が遅くなる問題がある。

また、半導体層の形成材料として直接遷移型の化合物半導体を用いることで、トンネル電流を増加させる手法が提案されている（非特許文献2参照）。しかしながら、このような手法では、既存の設備の多くで製造ができないため、新たな設備投資が必要となり、製造コストが高くなる問題がある。

したがって、簡易かつ低コストに製造でき、大きなトンネル電流が得られ、優れた動作特性を有する半導体素子としては、満足できるものが存在しないというのが現状である。

【0005】

また、トンネル電流の増加は、トンネル電界効果トランジスタ以外の半導体素子、例えば、トンネル現象を利用する共鳴トンネルダイオード、エサキダイオード等においても、共通して求められる課題である。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-147861号公報

【特許文献2】特開2012-164699号公報

【非特許文献】

【0007】

【非特許文献1】W.Y.Choi et al., IEEE Electron Device Letters vol.28, p743(2007), “Tunneling Field-Effect Transistors (TFETs) with Subthreshold Swing (SS) Less Than 60mV/dec”

【非特許文献2】G. Dewey et al., 2011 International Electron Devices Meeting Technical Digest, 33.6, “Fabrication, characterization, and physics of III-V heterojunction tunneling Field Effect Transistors (H-TFET) for steep sub-threshold swing”

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、従来における前記諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明は、簡易かつ低コストに製造でき、大きなトンネル電流が得られ、優れた動作特性を有する半導体素子及びその製造方法、並びに前記半導体素子を有する半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

前記課題を解決するための手段としては、以下の通りである。即ち、

<1> アイソエレクトロニックトラップ形成不純物を含む間接遷移型半導体の半導体領域でトンネル接合の全体又は一部が構成され、前記間接遷移型半導体がシリコン及び前記シリコンとゲルマニウムとの混晶のいずれかであり、前記アイソエレクトロニックトラップ形成不純物がA1とNとで形成されることを特徴とする半導体素子。

<2> トンネル接合がPN接合で形成される前記<1>に記載の半導体素子。

<3> トンネル接合がショットキー接合で形成される前記<1>に記載の半導体素子。

<4> トンネル接合の全体又は一部を構成するように、アイソエレクトロニックトラップ形成不純物が導入された間接遷移型半導体の半導体領域を形成する工程を含み、前記間接遷移型半導体がシリコン及び前記シリコンとゲルマニウムとの混晶のいずれかであり、前記アイソエレクトロニックトラップ形成不純物がA1とNとで形成されることを特徴とする半導体素子の製造方法。

<5> 前記<1>から<3>のいずれかに記載の半導体素子を有することを特徴とする半導体集積回路。

10

20

30

40

50

【発明の効果】

【0010】

本発明によれば、従来技術における前記諸問題を解決することができ、簡易かつ低コストに製造でき、大きなトンネル電流が得られ、優れた動作特性を有する半導体素子及びその製造方法、並びに前記半導体素子を有する半導体集積回路を提供することができる。

【図面の簡単な説明】

【0011】

【図1】伝導帯から不純物準位に捕獲された電子が荷電子帯に遷移する様子を示す図である。

【図2】トンネル電流が増大する様子を模式的に示す図である。

10

【図3(a)】PN接合に対するアイソエレクトロニックトラップ形成不純物の導入例を示す図である。

【図3(b)】図3(a)の導入例におけるバンド構造を示す図である。

【図4(a)】ショットキー接合に対するアイソエレクトロニックトラップ形成不純物の導入例を示す図である。

【図4(b)】図4(a)の導入例におけるバンド構造を示す図である。

【図5】本発明の一実施形態に係るトンネル電界効果トランジスタを説明する説明図である。

【図6】本発明の他の実施形態に係るトンネル電界効果トランジスタを説明する説明図である。

20

【図7(a)】トンネル電界効果トランジスタの製造工程の一例を示す図(1)である。

【図7(b)】トンネル電界効果トランジスタの製造工程の一例を示す図(2)である。

【図7(c)】トンネル電界効果トランジスタの製造工程の一例を示す図(3)である。

【図7(d)】トンネル電界効果トランジスタの製造工程の一例を示す図(4)である。

【図7(e)】トンネル電界効果トランジスタの製造工程の一例を示す図(5)である。

【図7(f)】トンネル電界効果トランジスタの製造工程の一例を示す図(6)である。

【図7(g)】トンネル電界効果トランジスタの製造工程の一例を示す図(7)である。

【図7(h)】トンネル電界効果トランジスタの製造工程の一例を示す図(8)である。

【図7(i)】トンネル電界効果トランジスタの製造工程の一例を示す図(9)である。

【図7(j)】トンネル電界効果トランジスタの製造工程の一例を示す図(10)である

30

。【図7(k)】トンネル電界効果トランジスタの製造工程の一例を示す図(11)である。

【図8】アイソエレクトロニックトラップ形成不純物を含むSiウエハと比較用Siウエハを発光させた時の発光スペクトルを示す図である。

【図9】実施例1のトンネル電界効果トランジスタと、比較例1のトンネル電界トランジスタのトンネル電流の比較シミュレーションを行った結果を示す図である。

【図10】実施例2及び比較例2に係るトンネルダイオードのI-V特性の測定結果を示す図である。

【図11】実施例3及び比較例3に係るトンネル電界効果トランジスタのドレイン電圧ードレイン電流特性を測定した結果を示す図である。

40

【図12】実施例3及び比較例3に係るトンネル電界効果トランジスタのゲート電圧ードレイン電流特性を測定した結果を示す図である。

【発明を実施するための形態】

【0012】

(半導体素子及びその製造方法)

本発明の半導体素子は、トンネル接合の全体又は一部を構成する間接遷移型半導体の半導体領域にアイソエレクトロニックトラップ形成不純物が含まれることを特徴とする。

また、本発明の半導体素子の製造方法は、前記トンネル接合の全体又は一部を構成するように、前記アイソエレクトロニックトラップ形成不純物が導入された前記間接遷移型半

50

導体の前記半導体領域を形成する工程を含むことを特徴とする。

これにより、簡易かつ低コストに製造でき、大きなトンネル電流が得られ、優れた動作特性を有する半導体素子が得られる。

【0013】

半導体におけるアイソエレクトロニックトラップとしては、間接遷移型半導体であるGaPにNをドーピングした場合が最も有名である。これを例に見ると、GaPにおいてドーピングされたNは、Pの位置に置換されるが、NとPは、両者ともV族であるため、キャリアを放出せず、ドナーやアクセプタにはならない。しかし、電子の引き寄せ易さを表す電気陰性度は、PよりもNの方が大きく、窒素原子の周辺では、電子が引き寄せられ易くなる。即ち、Nは、中性不純物として伝導帯中の電子を捕獲するアイソエレクトロニックトラップとして働く。Nの不純物準位に捕獲された電子は、波数空間中に広がっているため、運動量保存則が緩和され、荷電子帯への遷移が可能となる。図1は、間接遷移型半導体のバンド図に不純物準位を記したものに係り、伝導帯から不純物準位に捕獲された電子が荷電子帯に遷移する様子を示している。該図1に示すように、アイソエレクトロニックトラップとして電子を捕獲する不純物準位の波数kは、どのような値をとってもよく、電子の荷電子帯への遷移を可能とする。

このように、不純物準位を介して電子が遷移することで、間接遷移型半導体中であっても直接遷移型半導体のように伝導帯－荷電子帯間の電子遷移確率が増大する。GaPの場合では、この増大現象を利用して、伝導帯中の電子を荷電子帯に遷移させてホールと再結合させ、発光強度を増大させる発光素子として応用される。

【0014】

トンネル現象は、上述の発光現象と同様に、伝導帯－荷電子帯間の電子遷移によって説明できる現象である。同源であるから、発光確率を表す式とトンネル確率を表す式とは、よく似ており、両者とも伝導帯－荷電子帯間の遷移に関する、いわゆるフェルミの黄金律によって記述できる。

本発明の半導体素子では、同源の物理現象である発光現象増大の原理を、トンネル確率増大のために適用する。即ち、前記アイソエレクトロニックトラップ形成不純物を含む前記間接遷移型半導体の前記半導体領域で前記トンネル接合の全体又は一部が構成されることにより、前記トンネル接合に生じるトンネル障壁中に前記アイソエレクトロニックトラップ形成不純物の不純物準位を形成し、前記トンネル障壁中を通過する電子を増大させ、トンネル電流を増大させる。図2は、N型トンネル電界効果トランジスタを例にとり、トンネル電流が増大する様子を模式的に示した図である。前記アイソエレクトロニックトラップが形成された間接遷移型半導体には、前述の不純物準位が形成され、P⁺領域のソース－チャネル領域間のトンネル障壁間を通過するトンネル電流に加え、前記不純物準位に捕獲された電子の遷移に基づくトンネル電流が生ずる。

このように、本発明の半導体素子では、前記アイソエレクトロニックトラップ形成不純物によるトンネル電流の増大が可能とされる。

【0015】

前記間接遷移型半導体としては、特に制限はなく、目的に応じて適宜選択することができるが、既存の半導体設備の多くを利用することができ、簡便で製造コストを低減させる観点から、シリコン、ゲルマニウム及びこれらの混晶のいずれかが好ましい。前記間接遷移型半導体の半導体領域としては、これらの半導体基板から構成することができる。

【0016】

前記トンネル障壁の形成方法としては、特に制限はなく、公知の形成方法によって形成することができ、例えば、公知の構造に基づくPN接合、ショットキー接合等から、適用する半導体素子の種類に応じて適宜選択することができる。

【0017】

前記アイソエレクトロニックトラップ形成不純物としては、特に制限はなく、前記間接遷移型半導体に応じて、適宜選択することができる。即ち、前記間接遷移型半導体と置換ないし結合して前記間接遷移型半導体におけるキャリアを捕獲する不純物が該当し、前記

不純物としては、単一元素又は2種以上の元素からなる物質であり、それ自身からはキャリアを放出しない物質が該当する。

中でも、前記間接遷移型半導体がシリコンである場合には、AlとN（III-V族化合物半導体材料）が好ましく、また、ゲルマニウムの場合には、C、Snが好ましい。即ち、これらの材料であれば、既存の製造設備の多くを利用することができ、簡便かつ低コストに前記半導体素子を製造することができる。

前記半導体領域中に導入する前記アイソエレクトロニックトラップ形成不純物の不純物濃度としては、特に制限はないが、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ が好ましい。前記不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 未満であると、十分な数の電子をトンネルさせることができず、電流が増加しないことがあり、 $1 \times 10^{20} \text{ cm}^{-3}$ を超えると、不純物準位を形成しないことがある。

10

【0018】

前記PN接合に対する前記アイソエレクトロニックトラップ形成不純物の導入例を図3(a)に示す。該図3(a)の導入例では、前記アイソエレクトロニックトラップ形成不純物は、P型領域(P⁺領域)とN型領域とで形成される半導体領域において、前記P型領域と前記N型領域の境界に位置する前記トンネル接合の形成箇所を含むように前記P型領域から前記N型領域に亘って前記アイソエレクトロニックトラップ形成不純物が導入される(領域T₁)。

このように形成されるPN接合では、図3(b)のバンド構造に示すように、P型領域(P⁺領域)とN型領域とで形成されるPN接合のトンネル障壁中に、前記アイソエレクトロニックトラップ形成不純物による不純物準位が形成され、該不純物準位に捕獲された電子が前記トンネル障壁を通過可能とされる。

20

【0019】

また、前記ショットキー接合に対する前記アイソエレクトロニックトラップ形成不純物の導入例を図4(a)に示す。該図4(a)の導入例では、前記アイソエレクトロニックトラップ形成不純物は、金属領域とN型の半導体領域において、前記金属領域と前記半導体領域の境界に位置する前記トンネル接合の形成箇所を含むように前記半導体領域に前記アイソエレクトロニックトラップ形成不純物が導入される(領域T₂)。

このように形成されるショットキー接合では、図4(b)のバンド構造に示すように、前記金属領域と前記半導体領域とで形成されるショットキー接合のトンネル障壁中に、前記アイソエレクトロニックトラップ形成不純物による不純物準位が形成され、該不純物準位に捕獲された電子が前記トンネル障壁を通過可能とされる。

30

【0020】

前記半導体素子としては、特に制限はなく、トンネル現象を利用する半導体素子に広く適用することができ、例えば、トンネル電界効果トランジスタ、共鳴トンネルダイオード、エサキダイオード等の半導体素子として用いることができる。また、その素子構造としては、前記アイソエレクトロニックトラップ形成不純物を導入すること以外は、目的とする半導体素子の公知の素子構造に基づき、構成することができる。

【0021】

前記半導体素子の一実施形態として、トンネル電界効果トランジスタの構成例を図5を参照しつつ説明する。

40

【0022】

トンネル電界効果トランジスタ10は、ソース領域2と、ソース領域2に隣接して配され、その境界をトンネル障壁が形成されるトンネル接合とするチャンネル領域1と、チャンネル領域1に隣接して配されるドレイン領域3と、チャンネル領域1上にゲート絶縁膜4を介して配されるゲート電極5で構成されるとともに、ソース領域2及びチャンネル領域1中に前記アイソエレクトロニックトラップ形成不純物を導入して形成された半導体領域6で前記トンネル接合の全体又は一部が構成される。なお、ここで半導体領域6は、ソース領域2の形成深さD₁よりも深いD₃の位置まで、前記アイソエレクトロニックトラップ形成不純物を導入することで、前記トンネル接合の全体に跨るように形成される。

50

また、ここでは、P型トンネル電界効果トランジスタの構成例を示し、ソース領域2をN型(N⁺)の半導体領域とし、ドレイン領域3をP型(P⁺)の半導体領域としている。N型トンネル電界効果トランジスタとして構成する場合には、ソース領域2をP型の半導体領域とし、ドレイン領域3をN型の半導体領域とする。

【0023】

チャンネル領域1としては、例えば、シリコン、ゲルマニウム等の半導体基板により形成される。前記半導体基板としては、その半導体材料の単結晶構造で、真性半導体又は低濃度に不純物物質がドーピングされたものを好適に用いることができる。

ソース領域2及びドレイン領域3としては、例えば、前記半導体基板に不純物物質をイオン注入して形成される。前記イオン注入される不純物物質としては、ソース領域2及びドレイン領域3中にキャリアを生じさせる材料であれば特に制限はなく、通常、ボロン(B)、リン(P)、ヒ素(As)等が挙げられる。

前記イオン注入される不純物物質の濃度としては、ゲート電界を印加した際に、前記トンネル障壁の幅を効果的に低減させる観点から、高濃度であることが好ましく、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ が好ましい。

また、前記イオン注入の方法としては、特に制限はなく、公知のイオン注入法により実施することができ、例えば、二フッ化ホウ素(BF₂)ガス、ホスフィン(PH₃)ガス、アルシン(AsH₃)ガス、固体リン、固体ヒ素等のイオン源を用い、ボロン(B)、リン(P)、ヒ素(As)等の不純物物質を前記半導体基板に打ち込む方法が挙げられる。

また、前記イオン注入後、注入された前記不純物物質を活性化させるため、活性化アニールすることが好ましい。前記活性化アニールの方法としては、特に制限はなく、公知の方法を挙げることができ、例えば、ハロゲンランプを用い、前記半導体基板をランプからの光によって直接加熱する方法等が挙げられる。

【0024】

前記アイソエレクトロニックトラップ形成不純物が導入される半導体領域6の形成方法としては、特に制限はなく、例えば、イオン注入法が挙げられる。

前記アイソエレクトロニックトラップ形成不純物としては、前述の通りであり、前記半導体基板がシリコン半導体基板である場合には、AlとNを好適に用いることができる。

また、前記イオン注入後、前記アイソエレクトロニックトラップ形成不純物を活性化させるため、活性化アニールすることが好ましい。前記活性化アニールの方法としては、特に制限はなく、公知の方法を挙げることができ、例えば、ハロゲンランプを用い、前記半導体基板をランプからの光によって直接加熱する方法等が挙げられる。

【0025】

ゲート絶縁膜4の形成材料としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、HfO₂、Al₂O₃、ZrO₂等が挙げられる。

また、ゲート絶縁膜4の形成方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、前記形成材料を用いた、ALD(Atomic Layer Deposition)法、スパッタリング法、CVD(Chemical Vapor Deposition)法等が挙げられる。

ゲート絶縁膜4上に形成されるゲート電極5の形成材料としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、TiN、Ta₂N₅、NiSi等が挙げられる。

また、ゲート電極5の形成方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、前記形成材料を用いた、スパッタリング法、CVD法が挙げられる。

【0026】

このように形成されるトンネル電界効果トランジスタ10では、ゲート電極5から印加されるゲート電界により、ソース領域2ーチャンネル領域1間の前記トンネル障壁の幅が薄くなり、トンネル現象により電子が前記トンネル障壁を通過し、チャンネル領域1に形成さ

10

20

30

40

50

れるチャネルを通じて、ソース領域 2ードレイン領域 3 間に前記トンネル電流が流れる。

この際、トンネル電界効果トランジスタ 10 では、併せて、前記トンネル障壁中に存在する前記アイソエレクトロニックトラップ形成不純物が形成する前記不純物準位を介して前記トンネル障壁を乗り越えるように電子が遷移するため、前記トンネル電流を増大させることができる。

【0027】

次に、前記半導体素子の他の実施形態として、トンネル電界効果トランジスタの構成例を図 6 を参照しつつ説明する。

このトンネル電界効果トランジスタ 20 では、ショットキー接合によるトランジスタの素子構造としている。

【0028】

トンネル電界効果トランジスタ 20 は、ソース電極 22 と、ソース電極 22 に隣接して配され、その境界をトンネル障壁が形成されるトンネル接合とする半導体のチャネル領域 21 と、チャネル領域 21 に隣接して配されるドレイン電極 23 と、チャネル領域 21、ソース電極 22 及びドレイン電極 23 を支持する絶縁基板 28 と、チャネル領域 21 上にゲート絶縁膜 24 を介して配されるゲート電極 25 とで構成されるとともに、チャネル領域 21 の一部に前記アイソエレクトロニックトラップ形成不純物を導入して形成された半導体領域 26 で前記トンネル接合の全体又は一部が構成される。即ち、このトンネル電界効果トランジスタ 20 では、ソース電極 22 とチャネル領域 21 間のショットキー接合を前記トンネル接合とする。

このトンネル電界効果トランジスタ 20 を P 型動作させる場合には、チャネルとなる半導体が真性であるときの仕事関数よりも大きい仕事関数を有する金属をソース電極として用いる。また、N 型動作させる場合には、チャネルとなる半導体が真性であるときの仕事関数よりも小さい仕事関数を有する金属をソース電極として用いる。

【0029】

ソース電極 22 及びドレイン電極 23 の形成材料としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、シリコンをチャネルとする場合、 NiSi_2 等の金属シリサイド等が挙げられる。

また、ソース電極 22 及びドレイン電極 23 の形成方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、前記形成材料を用いた、スパッタリング法、CVD 法が挙げられる。

絶縁基板 28 としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、 SiO_2 基板等が挙げられる。

なお、チャネル領域 21、ゲート絶縁膜 24、ゲート電極 25 及び半導体領域 26 については、前述のトンネル電界効果トランジスタ 10 で説明の事項に基づいて構成できるため、説明を省略する。

【0030】

このように形成されるトンネル電界効果トランジスタ 20 では、ゲート電極 25 から印加されるゲート電界により、ソース電極 22ーチャネル領域 21 間の前記トンネル障壁の幅が薄くなり、トンネル現象により電子が前記トンネル障壁を通過し、チャネル領域 21 に形成されるチャネルを通じて、ソース電極 22ードレイン電極 23 間に前記トンネル電流が流れる。

この際、トンネル電界効果トランジスタ 20 では、併せて、前記トンネル障壁中に存在する前記アイソエレクトロニックトラップ形成不純物が形成する前記不純物準位を介して前記トンネル障壁を乗り越えるように電子が遷移するため、前記トンネル電流を増大させることができる。

【0031】

次に、前記トンネル電界効果トランジスタの製造方法の一例を図 7 (a)～図 7 (k) を用いて説明する。なお、本製造方法は、前記トンネル電界効果トランジスタの簡便な製造例を説明する一実施形態に係り、より実用的な製造方法として、特開 2012ー204

10

20

30

40

50

583号公報等に記載の公知の製造方法を適宜採用することができる。

【0032】

まず、ハンドル用Si層107上に、厚み145nmのSiO₂絶縁層（BOX層）108と、厚み50nmのp型不純物が $1 \times 10^{15} \text{ cm}^{-3}$ 程度ドーパされたチャンネル領域101とが、この順で形成されたSOIウエハを用意する。

次に、このSOIウエハのチャンネル領域101上に保護酸化膜110を厚み5nmで形成する（図7（a）参照）。

次に、電子線リソグラフィーにより、保護酸化膜110上に厚み200nmのレジスト層111aを形成する（図7（b）参照）。

次に、レジスト層111aをマスクとして、5keVの加速エネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、Asを用いたイオン注入を行い、チャンネル領域101にソース領域102を形成する（図7（c）参照）。

次に、酸素アッシング処理により、レジスト層111aを除去し、表面をSPM（Sulfuric Acid Peroxide Mixture）洗浄する（図7（d）参照）。SPM洗浄は、洗浄液として、H₂SO₄とH₂SO₄を4：1の割合で混合させたものを用い、120℃の温度で洗浄処理を行う。

【0033】

次に、SPM洗浄された保護酸化膜110上に厚み200nmのレジスト層111bを形成する（図7（e）参照）。

次に、レジスト層111bをマスクとして、5keVの加速エネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、BF₃を用いたイオン注入を行い、チャンネル領域101にドレイン領域103を形成する（図7（f）参照）。

次に、酸素アッシング処理により、レジスト層111bを除去し、表面をSPM洗浄する（図7（g）参照）。SPM洗浄は、洗浄液として、H₂SO₄とH₂SO₄を4：1の割合で混合させたものを用い、120℃の温度で洗浄処理を行う。

次に、N₂ガス雰囲気の大気圧下で、1,000℃の温度で1秒間、活性化アニール処理し、ソース領域102及びドレイン領域103中の各不純物物質を活性化させる。

【0034】

次に、保護酸化膜110側から、Alを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入するとともに、Nを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、ソース領域102、チャンネル領域101及びドレイン領域103の表層側に、アイソエレクトロニックトラップ形成不純物としてのAlとNを含む半導体領域106を形成する（図7（h）参照）。

次に、N₂ガス雰囲気の大気圧下で、450℃の温度で60時間、活性化アニール処理し、半導体領域106中のアイソエレクトロニックトラップ形成不純物を活性化させる。

【0035】

次に、1%濃度の希フッ酸（DHF）を用いて、保護酸化膜110を除去する（図7（i）参照）。

次に、SC2洗浄液（HClとH₂O₂の混合液）を用い、80℃の温度条件下で5分間洗浄する。

次に、ALD法により、250℃の温度条件下でHfO₂を堆積させ、半導体領域106上に厚み2.4nmのゲート絶縁膜104を形成する。なお、このゲート絶縁膜104の厚みは、SiO₂膜換算膜厚（EOT：Equivalent Oxide Thickness）で1nmである。

次に、スパッタリング法により、ゲート絶縁膜104上にTa₂N（厚み10nm）とpoly-Si（厚み50nm）とを積層させた積層構造のゲート電極105を厚み60nmで形成する（図7（j）参照）。

次に、マスクを用いたリソグラフィー加工により、ゲート絶縁膜104及びゲート電極105を形状加工する（図7（k）参照）。

以上により、トンネル電界効果トランジスタ100を製造する。

10

20

30

40

50

【0036】

ところで、このトンネル電界効果トランジスタ100では、前述のトンネル電界効果トランジスタ10（図5参照）と、ゲート絶縁膜－チャンネル領域の界面を基準とした前記アイソエレクトロニックトラップ形成不純物を含む半導体領域（半導体領域6，106）の形成深さが異なり、ソース領域102に対する半導体領域106の前記形成深さがソース領域102全体の一部までとされる。

ここで、前記ゲート絶縁膜－前記チャンネル領域の界面を基準とした前記ソース領域の形成深さを D_1 としたとき、前記ソース領域－前記チャンネル領域間の前記トンネル接合では、前記形成深さ D_1 よりも浅い D_2 までの前記トンネル接合で、前記トンネル現象が発生することが多い。

したがって、トンネル電界効果トランジスタ100では、ソース領域102に対する半導体領域106の前記形成深さを、前記ソース領域の形成深さ D_1 よりも浅い位置 D_2 としている（図7（k）参照）。

一方、トンネル電界効果トランジスタ10（図5参照）のように、ソース領域2に対する半導体領域6の前記形成深さをソース領域2の形成深さ D_1 よりも深い位置 D_3 とした場合、前記トンネル現象に寄与しない D_2 より深い位置における前記トンネル接合で、前記アイソエレクトロニックトラップ形成不純物に基づく、OFF時のリーク電流が余計に生じることとなる。

したがって、前記トンネル電界効果トランジスタにおける前記ゲート絶縁膜－前記チャンネル領域の界面を基準とした前記アイソエレクトロニックトラップ形成不純物を含む半導体領域の形成深さは、前記ソース領域の形成深さよりも浅いことが好ましい。

なお、ショットキー接合のトンネル電界効果トランジスタ20（図6参照）では、アイソエレクトロニックトラップ形成不純物を含む半導体領域26の形成深さを、ソース電極22の厚みと同じとしているが、pn接合のトンネル電界効果トランジスタ10，100と同様に、前記ゲート絶縁膜－前記チャンネル領域の界面を基準とした前記アイソエレクトロニックトラップ形成不純物を含む半導体領域の形成深さは、前記ソース電極の厚みによる深さよりも浅いことが好ましい。

【0037】

（半導体集積回路）

本発明の半導体集積回路は、本発明の前記半導体素子を有することを特徴とする。

前記半導体素子を集積化する方法としては、特に制限はなく、目的に応じて適宜選択することができ、公知の方法を適宜採用することができる。

【実施例】

【0038】

（実施例1）

図7（k）に示すトンネル電界効果トランジスタ100の構成に準拠して、シミュレーションに係る実施例1のトンネル電界効果トランジスタを想定した。このトンネル電界効果トランジスタでは、チャンネル領域101を形成するSOI層の厚みを45nmとし、ゲート絶縁膜104を厚み0.7nmのSiN層上に、厚み2.0nmのHfO₂層を配して形成し、ゲート電極105として、仕事関数が4.7eVの金属の層を厚み60nmで形成し、BOX層としてのSiO₂絶縁層の厚みを145nmで形成することを想定している。

また、N型のソース領域102は、5keVの加速エネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、Asを用いたイオン注入を行った場合の不純物分布を有し、P型のドレイン領域は、5keVの加速エネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、BF₂を用いたイオン注入を行った場合の不純物分布を有することを想定している。

また、アイソエレクトロニックトラップ形成不純物を含む半導体領域106は、Alを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入するとともに、Nを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して形成することを想定している。

10

20

30

40

50

【0039】

(比較例1)

実施例1のトンネル電界効果トランジスタと比較するための比較例1のトンネルトランジスタとしては、アイソエレクトロニックトラップ形成不純物を含む半導体領域106を形成しないこと以外は、実施例1のトンネル電界効果トランジスタと同じ構成としたものを想定する。

【0040】

ここで、実施例1のトンネル電界効果トランジスタと、比較例1のトンネル電界トランジスタのトンネル電流の比較シミュレーションを行う前に、アイソエレクトロニックトラップ形成不純物を含むSiウエハと、アイソエレクトロニックトラップ形成不純物を含

10

まない比較用Siウエハに対して、発光測定を行い、伝導帯からキャリアが荷電子帯に遷移する遷移確率を求めた。

即ち、前記遷移確率は、発光強度に比例することから、前記発光強度を測定することによって、前記シミュレーションに用いる前記遷移確率を求めることとした。

また、この遷移確率に関する情報は、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハと、前記比較用Siウエハの前記遷移確率の割合から求めることとした。

ここで、下記参考文献に報告されるように、前記アイソエレクトロニックトラップ形成不純物を含まない状態では、トンネル電流は、TAフォノンを介した遷移により生ずると考えられるため、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハにお

20

けるTAフォノンによる発光及び前記比較用SiウエハにおけるTAフォノンによる間接遷移型の発光と、前記アイソエレクトロニックトラップ形成不純物による発光の比を前記発光測定により求め、この発光強度に関する比から、前記遷移確率の比を求めることとした。

参考文献：Rigorous theory and simulified model of the band-to-band tunneling in silicon A. Schenk, Solid-State Electronics 36, 19-34(1993)

【0041】

なお、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハは、厚み525 μm のSiウエハに、Alを15 keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入するとともに、Nを15 keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、その後、450℃で60時間アニールして形成したものに係り、前記比較用Siウエハは、前記アイソエレクトロニックトラップ形成不純物を含

30

【0042】

前記アイソエレクトロニックトラップ形成不純物を含むSiウエハ及び前記比較用Siウエハに対して、10 Kの温度条件下で、励起光として波長532 nmの緑色レーザ光を照射して、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハと前記比較用Siウエハを発光させた。この時の発光スペクトルを図8に示す。

この図8に示すように、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハ(IET formed Si)では、前記比較用Siウエハ(Reference Si)から確認されない発光ピークが確認されることから、この発光は、前記アイソエレクトロニックトラップ形成不純物による発光(IET発光)と考えられる。また、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハ(IET formed Si)及び前記比較用Siウエハ(Reference Si)のそれぞれから確認される発光ピークは、TAフォノンによる発光(TA発光)と考えられる。

40

ここで、図8に示すそれぞれの発光ピークのピーク面積は、前記比較用Siウエハ(Reference Si)のピーク面積と、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハ(IET formed Si)のピーク面積とで1:27の割合であり、前記アイソエレクトロニックトラップ形成不純物を含むSiウエハでは、前記比較用Siウエハに対して、27倍の遷移確率を有すると見積もることができる。

50

【0043】

この結果に基づき、実施例1のトンネル電界効果トランジスタと、比較例1のトンネル電界トランジスタのトンネル電流の比較シミュレーションを行った。即ち、比較例1のトンネル電界トランジスタに対し、実施例1のトンネル電界効果トランジスタのトンネル確率を27倍として、トンネル電流の比較シミュレーションを行った。結果を図9に示す。

この図9に示すように、実施例1のトンネル電界効果トランジスタ（with IET）では、比較例1のトンネル電界トランジスタ（reference）よりも、大きなトンネル電流が得られることが分かる。

【0044】

（実施例2）

更に、前記アイソエレクトロニックトラップ形成不純物によるトンネル電流の増大を実証するため、以下のように実施例2に係るトンネルダイオードを作製した。

先ず、LOCOS（Local Oxidation of Silicon）素子分離にてデバイス領域が確定され、素子領域に厚み10nmのSiO₂の熱酸化保護膜が形成されたSi基板を用意した。なお、このSi基板のSi層は、P型半導体層として、P型不純物が $2 \times 10^{18} \text{ cm}^{-3}$ の濃度でドーピングされている。

次いで、前記Si基板の前記素子領域に形成された前記保護膜を1%濃度の希フッ酸（DHF）で10分間薬液処理することで除去した。

次いで、前記薬液処理により露出した前記Si層表面に残る残留酸素を除去するため、水素雰囲気下、800℃で1時間の水素アニール処理を行った。

次いで、前記水素アニール処理後の前記Si基板に対して、500℃の温度条件下でSiH₃ガスを用いたCVDを行い、Siのエピタキシャル成長層を厚み30nmで形成した。また、同時に、このエピタキシャル成長層の形成中にPH₃ガスを流すことで不純物の導入を行い、リンが $2 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度でドーピングされた状態の前記エピタキシャル成長層からなるN型半導体層を形成した。

次いで、前記N型半導体層上からAlを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、その後、Nを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して、前記P型半導体層と前記N型半導体層の界面を跨ぐように、前記アイソエレクトロニックトラップ形成不純物としてのAlとNを導入した。

次いで、この不純物の不純物準位を形成するため、窒素雰囲気下、450℃、60時間の低温アニールを行った。

次いで、前記N型半導体層上にスパッタリング法によりAlの表面電極層を厚み200nmで形成した。

次いで、前記保護膜上に体積させた前記N型半導体層及び前記表面電極層に対し、フォトリソグラフィ及びRIE（Reactive Ion Etching）による選択的エッチング処理を行って除去し、前記P型半導体層の前記デバイス領域上に前記N型半導体層及び前記表面電極層が形成されるように加工を行った。

最後に、前記Si基板の前記表面電極層が形成される側と反対側の面上にスパッタリング法によりAlの裏面電極層を厚み200nmで形成し、実施例2に係るトンネルダイオードを作製した。

【0045】

（比較例2）

また、実施例2に係るトンネルダイオードとのダイオード特性を比較するため、前記アイソエレクトロニックトラップ形成不純物を導入せず、また、前記低温アニールを行わなかったこと以外は、実施例2に係るトンネルダイオードを作製方法と同様にして、比較例2に係るトンネルダイオードを作製した。

【0046】

実施例2及び比較例2に係るトンネルダイオードのI-V特性を測定した結果を図10に示す。

10

20

30

40

50

図10に示すように、比較例2に係るトンネルダイオードのI-V特性(図中のcontrol)では、トンネル現象により、逆方向電圧を加えた場合でも電流(トンネル電流)が流れることが確認される。このトンネル電流に関し、実施例2に係るトンネルダイオードのI-V特性(図中、IET formed)では、前記逆方向電圧での比較において、比較例2に係るトンネルダイオードの前記トンネル電流よりも、約2桁分値が大きい前記トンネル電流が確認される。

このことは、前記アイソエレクトロニックトラップ形成不純物の導入により、前記トンネル電流を増大させることができることを示している。

したがって、本発明の前記半導体素子においては、前記アイソエレクトロニックトラップ形成不純物を導入することにより、大きな前記トンネル電流を得ることができる。

なお、図10中、比較的大きな順方向電圧を加えたときに、比較例2に係るトンネルダイオードの方が大きな電流値を示しているが、これは、実施例2に係るトンネルダイオードでは、前記アイソエレクトロニックトラップ形成不純物のイオン注入時の注入欠陥により、キャリアの不純物濃度が低下し、抵抗値が増加したためである。

また、前記I-V特性の測定、更に前記シミュレーション試験に関する前記発光強度の測定は、10Kの温度条件下で行っているが、前記欠陥を有する場合、室温等の温度条件下で測定を行うと、前記注入欠陥の影響に基づく、前記トンネル電流の増大が生じるため、前記アイソエレクトロニックトラップ形成不純物の影響のみに注目する観点から、前記影響を受けない十分に低い温度で測定を行ったものに係り、本発明の前記半導体装置は、室温等の温度条件下で用いることができる。

また、前記実施例2に係るトンネルダイオードでは、比較のために前記注入欠陥の影響を排除しなかったが、前記注入欠陥は、適切な温度でのアニール処理等を行うことで、その影響を容易に排除することができる。

【0047】

(実施例3)

更に、トンネル電界効果トランジスタについて、先のシミュレーション結果を補足し、前記アイソエレクトロニックトラップ形成不純物によるトンネル電流の増大を実証するため、実施例3に係るトンネル電界効果トランジスタを作製し、その効果の検証を行った。

ここで、実施例3に係るトンネル電界効果トランジスタは、先に説明したP型のトンネル電界効果トランジスタ100と同様に作製し(図7(a)~(k)参照)、ドレイン電極及びソース電極の配設により、ソース領域102をドレイン領域とし、ドレイン領域103をソース領域として作動させるN型動作のトンネル電界効果トランジスタとして素子構成した。

【0048】

(比較例3)

また、実施例3に係るトンネル電界効果トランジスタとのトランジスタ特性を比較するため、前記アイソエレクトロニックトラップ形成不純物を含む半導体領域106の形成工程(図7(h)参照)を省き、また、その後の半導体領域106に対する前記活性化アニールを行わなかったこと以外は、実施例3に係るトンネル電界効果トランジスタと同様にして、比較例3に係るトンネル電界効果トランジスタを作製した。

【0049】

実施例3及び比較例3に係るトンネル電界効果トランジスタのドレイン電圧ードレイン電流特性を測定した結果を図11に示す。なお、図11では、左側(control)が比較例3に係るトンネル電界効果トランジスタのドレイン電圧ードレイン電流特性の測定結果を示し、右側(IET-assisted TFE T)が実施例3に係るトンネル電界効果トランジスタのドレイン電圧ードレイン電流特性の測定結果を示している。

ドレイン電圧ードレイン電流特性は、ゲート電圧(V_g)を2.0Vから2.5Vまで0.1Vずつ変更して合計6回測定して行っているが、図11に示すように、いずれの場合においても実施例3に係るトンネル電界効果トランジスタの方が、比較例3に係るトンネル電界効果トランジスタよりも高いドレイン電流を得ることができており、その差は、

およそ 1.1 倍にも達していた。

また、実施例 3 及び比較例 3 に係るトンネル電界効果トランジスタのゲート電圧－ドレイン電流特性を測定した結果を図 12 に示す。なお、この測定は、ドレイン電圧 (V_d) を 1.0 V として行ったものである。

この図 12 に示すように、ゲート電圧が正の方向に大きくなるにつれ、実施例 3 に係るトンネル電界効果トランジスタのドレイン電流の値が、比較例 3 に係るトンネル電界効果トランジスタのドレイン電流の値よりも漸次高い値を示すように推移し、その差は、最大で 10 倍を超えるものであった。

これら図 11, 12 に示す各測定結果から、実施例 3 及び比較例 3 に係るトンネル電界効果トランジスタでは、トンネル現象によりドレイン電流（トンネル電流）が流れることが確認されるとともに、その大きさは、前記アイソエレクトロニックトラップ形成不純物の導入により増大させることができることが確認された。

【符号の説明】

【0050】

1, 21, 101 チャネル領域

2, 102 ソース領域

3, 103 ドレイン領域

4, 24, 104 ゲート絶縁膜

5, 25, 105 ゲート電極

6, 26, 106, T_1 , T_2 アイソエレクトロニックトラップ形成不純物を

含む半導体領域

10, 20, 100 トンネル電界効果トランジスタ

22 ソース電極

23 ドレイン電極

28 絶縁基板

107 ハンドル用 Si 層

108 SiO_2 絶縁層

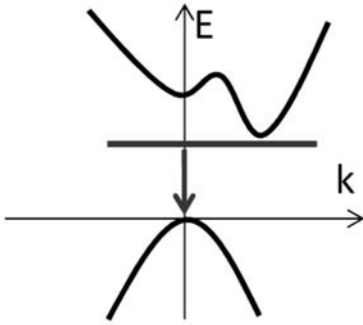
110 保護酸化膜

111a, 111b レジスト層

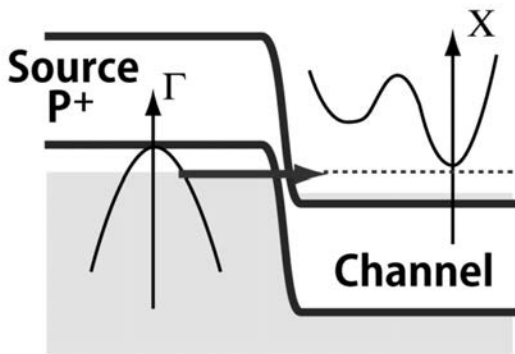
10

20

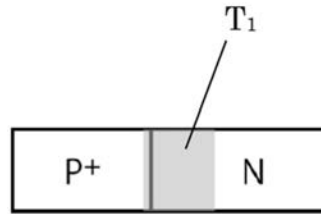
【図 1】



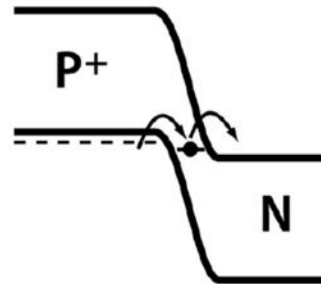
【図 2】



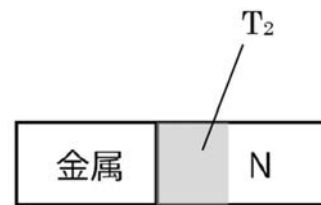
【図 3 (a)】



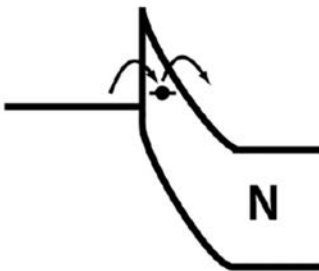
【図 3 (b)】



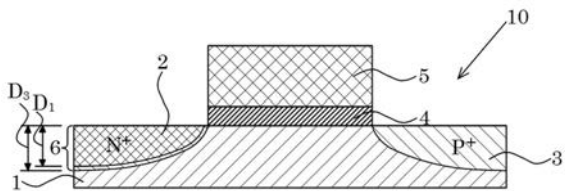
【図 4 (a)】



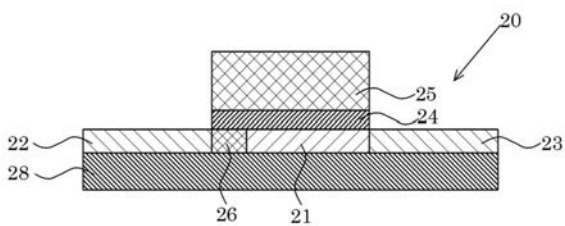
【図 4 (b)】



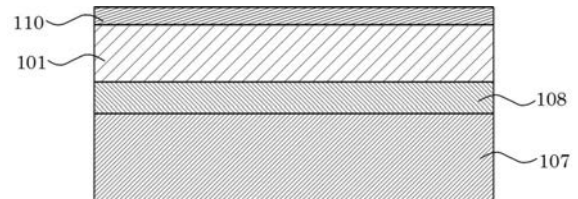
【図 5】



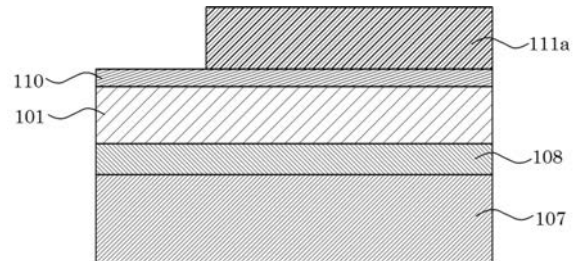
【図 6】



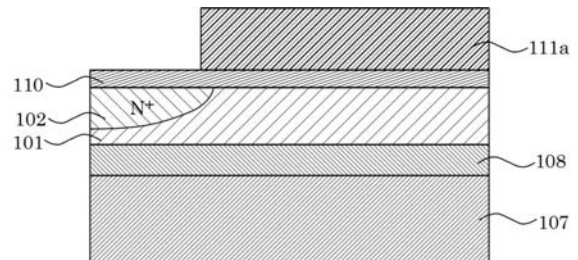
【図 7 (a)】



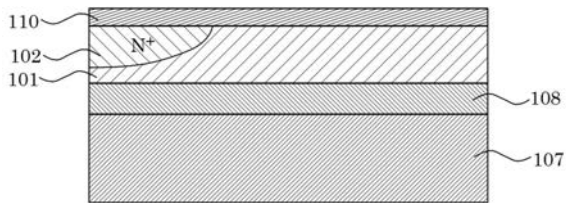
【図 7 (b)】



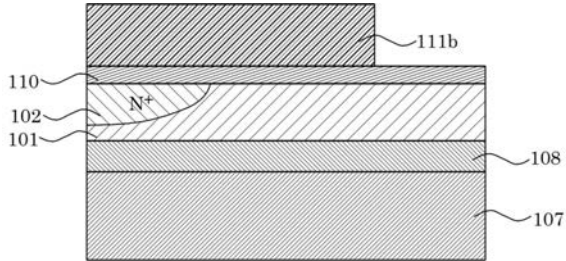
【図 7 (c)】



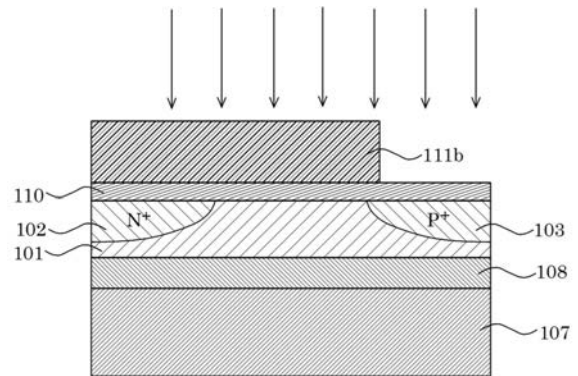
【図 7 (d)】



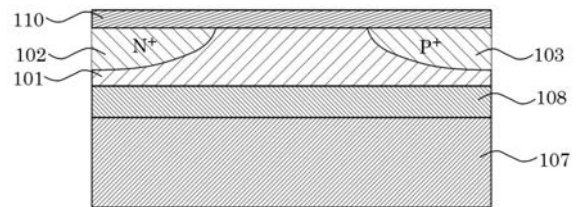
【図 7 (e)】



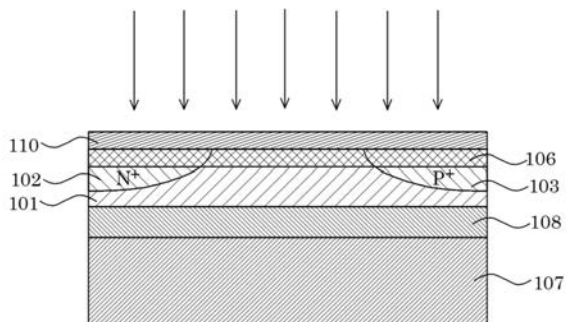
【図 7 (f)】



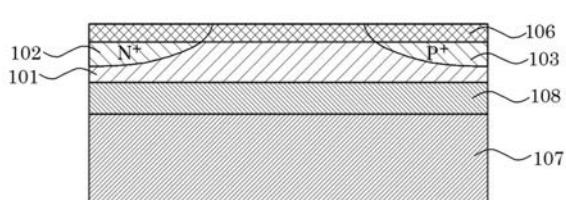
【図 7 (g)】



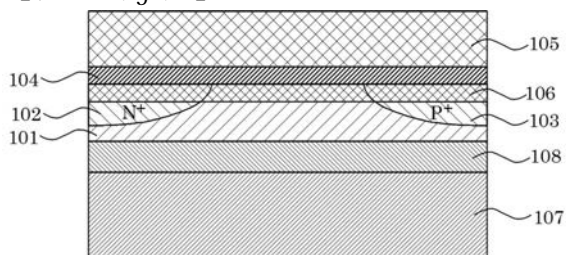
【図 7 (h)】



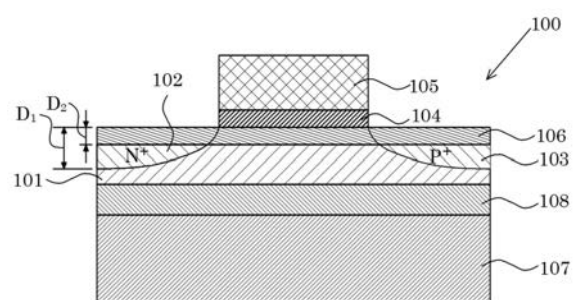
【図 7 (i)】



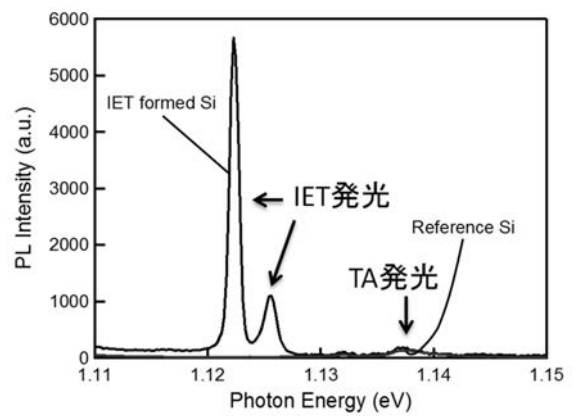
【図 7 (j)】



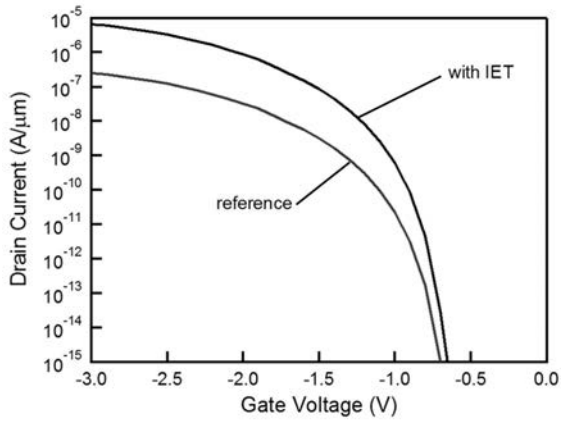
【図 7 (k)】



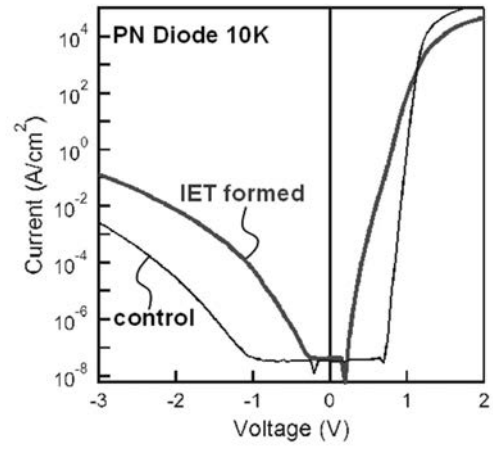
【図 8】



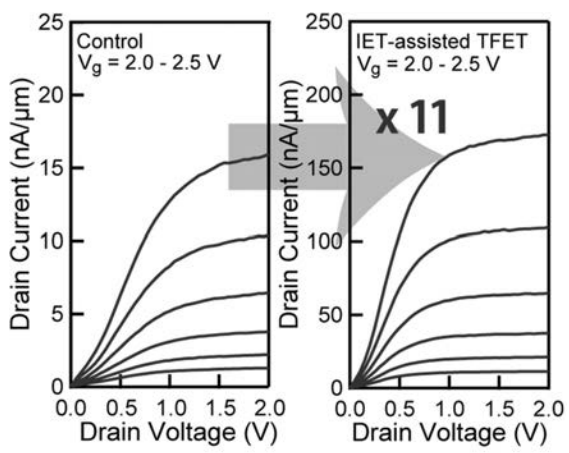
【図 9】



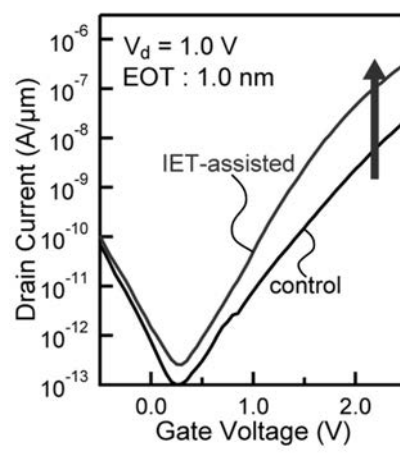
【図 10】



【図 11】



【図 12】



フロントページの続き

Fターム(参考) 5F140 AC12 AC13 AC36 BA01 BA03 BD11 BE09 BF01 BF08 BF10
BH21 BH49 BJ01 BJ08 BJ30 BK13 BK21