

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5232773号
(P5232773)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int.Cl.	F 1
H03F 3/24	(2006.01) HO 3 F 3/24
H03F 1/02	(2006.01) HO 3 F 1/02
H03F 1/32	(2006.01) HO 3 F 1/32
H03F 3/68	(2006.01) HO 3 F 3/68 Z
H04B 1/04	(2006.01) HO 4 B 1/04 R

請求項の数 38 (全 157 頁) 最終頁に続く

(21) 出願番号	特願2009-507684 (P2009-507684)	(73) 特許権者	500288603 パーカーヴィジョン インコーポレイテッド アメリカ合衆国 32256 フロリダ州 ジャクソンビル ベイメドウズ ウエイ 7915
(86) (22) 出願日	平成19年3月12日 (2007.3.12)	(74) 代理人	100077481 弁理士 谷 義一
(65) 公表番号	特表2009-534988 (P2009-534988A)	(74) 代理人	100088915 弁理士 阿部 和夫
(43) 公表日	平成21年9月24日 (2009.9.24)	(72) 発明者	ディヴィッド エフ. ソレルス アメリカ合衆国 32068 フロリダ州 ミドルバーグ ライドアウト レーン 3129
(86) 國際出願番号	PCT/US2007/006197		
(87) 國際公開番号	W02007/133323		
(87) 國際公開日	平成19年11月22日 (2007.11.22)		
審査請求日	平成22年3月3日 (2010.3.3)		
(31) 優先権主張番号	60/794,121		
(32) 優先日	平成18年4月24日 (2006.4.24)		
(33) 優先権主張国	米国(US)		
(31) 優先権主張番号	60/797,653		
(32) 優先日	平成18年5月5日 (2006.5.5)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】 RF電力伝送、変調および增幅のシステムおよび方法

(57) 【特許請求の範囲】

【請求項1】

出力ステージにおけるリアルタイム出力ステージクラス制御のための方法であって、出力波形の電力レベルを決定するステップと、前記決定された電力レベルに従って、所望の出力ステージ動作クラスを決定するステップであって、前記所望の出力ステージ動作クラスは、前記決定された電力レベルのための前記出力ステージの電力効率および線形性のうち1つまたは複数を高めることであるステップと、

前記出力ステージ電力増幅器を、前記所望の出力ステージ動作クラスに従って動作するように制御するステップとを含むことを特徴とする方法。

【請求項2】

前記制御するステップは、前記出力ステージを、前記出力波形の前記決定された電力レベルに従って、複数の出力ステージ動作クラスの間で移行するように制御するステップを含むことを特徴とする請求項1に記載の方法。

【請求項3】

前記制御するステップは、前記出力ステージのバイアスを制御するステップを含むことを特徴とする請求項1に記載の方法。

【請求項4】

前記制御するステップは、前記出力ステージの入力信号の振幅を制御するステップを含むことを特徴とする請求項1に記載の方法。

【請求項 5】

前記制御するステップは、

前記出力ステージの入力信号の位相を制御するステップと、

前記出力ステージのバイアスを制御するステップと、

前記出力ステージの入力信号の振幅を制御するステップとのうち、1つまたは複数を含むことを特徴とする請求項1に記載の方法。

【請求項 6】

前記入力信号の位相を制御するステップと、前記出力ステージのバイアスを制御するステップと、前記出力ステージの入力信号の振幅を制御するステップとの使用は、前記出力波形の決定された制御領域、および、前記決定された電力レベルに基づくことを特徴とする請求項5に記載の方法。

10

【請求項 7】

前記制御領域の境界は、前記出力波形の相補累積密度関数 (Complementary Cumulative Density Function) (CCDF) およびサイドバンド性能基準に基づいて決定されることを特徴とする請求項6に記載の方法。

【請求項 8】

前記出力ステージの動作クラスを、前記出力波形の軌道における変化に従って制御するステップをさらに含むことを特徴とする請求項1に記載の方法。

【請求項 9】

前記出力ステージは、前記出力波形の複素包絡線が増大するにつれて、より高い動作クラスへスイッチすることを特徴とする請求項1に記載の方法。

20

【請求項 10】

前記出力ステージは、前記出力波形の複素包絡線が低減するにつれて、より低い動作クラスへスイッチすることを特徴とする請求項1に記載の方法。

【請求項 11】

前記出力波形の前記電力レベルが、決定されたしきい値を超えるとき、前記出力ステージの入力信号の位相を制御するステップをさらに含むことを特徴とする請求項1に記載の方法。

【請求項 12】

前記出力波形の前記決定された電力レベルが第1のしきい値を超えるが、第2のしきい値より低いとき、(a)前記出力ステージの入力信号の位相、(b)前記出力ステージのバイアス、および、(c)前記出力ステージの入力信号の振幅のうち、1つまたは複数を制御するステップをさらに含むことを特徴とする請求項1に記載の方法。

30

【請求項 13】

前記出力波形の前記決定された電力レベルが、決定されたしきい値より低いとき、(a)前記出力ステージのバイアス、および、(b)前記出力ステージの入力信号の振幅のうち、1つまたは複数を制御するステップをさらに含むことを特徴とする請求項1に記載の方法。

【請求項 14】

前記電力増幅器の出力電流を、前記出力波形の前記決定された電力レベルに従って制御するステップをさらに含むことを特徴とする請求項1に記載の方法。

40

【請求項 15】

電力増幅のための装置であって、

情報を受けし、複数の制御信号を前記受信された情報から生成するように構成される入力回路と、

前記入力回路に結合され、前記制御信号および周波数基準信号を受信し、前記周波数基準信号および前記制御信号を使用して、複数のほぼ一定の包絡線信号を生成するように構成されるペクトル変調回路と、

前記ほぼ一定の包絡線信号を受信し、前記ほぼ一定の包絡線信号を増幅かつ結合して、出力信号を生成するように構成される出力ステージと、

50

前記出力ステージを、前記出力信号の電力レベルに従って、1つまたは複数の出力ステージ動作クラスの間で移行するように制御する手段とを備えることを特徴とする装置。

【請求項16】

前記制御する手段は、前記出力ステージを、前記出力信号の波形軌道に従って、1つまたは複数の出力ステージ動作クラスの間で移行するように制御する手段とを備えることを特徴とする請求項15に記載の装置。

【請求項17】

前記制御する手段は、

前記出力ステージの入力信号の位相を制御する手段とを備えることを特徴とする請求項15に記載の装置。

10

【請求項18】

前記制御する手段は、

前記出力ステージのバイアスを制御する手段とを備えることを特徴とする請求項15に記載の装置。

【請求項19】

前記制御する手段は、

前記出力ステージの入力信号の振幅を制御する手段とを備えることを特徴とする請求項15に記載の装置。

【請求項20】

前記制御する手段は、

前記出力ステージを、前記出力信号の複素包絡線が増大するにつれて、より高い動作クラスへスイッチするように制御する手段とを備えることを特徴とする請求項15に記載の装置。

20

【請求項21】

前記制御する手段は、

前記出力ステージを、前記出力信号の複素包絡線が低減するにつれて、より低い動作クラスへスイッチするように制御する手段とを備えることを特徴とする請求項15に記載の装置。

【請求項22】

前記制御する手段は、

前記出力ステージの出力電流を、前記出力信号の前記電力レベルに従って制御する手段とを備えることを特徴とする請求項15に記載の装置。

30

【請求項23】

伝達関数に従い、IおよびQデータから振幅情報を生成するように構成される伝達関数モジュールと、

前記振幅情報に基づいて、ほぼ一定の包絡線信号を生成するように構成された複数のベクトル変調器と、

出力信号を生成するために、前記ほぼ一定の包絡線信号を増幅かつ結合する出力ステージと

を備え、

前記出力ステージは、前記出力信号の波形軌道に従い、1つまたは複数の動作クラスの間で移行するように制御されるように構成されることを特徴とする装置。

40

【請求項24】

前記出力ステージは、前記出力信号の波形包絡線がその最大値からゼロに向かって低減するにつれて、クラスS出力ステージからクラスA出力ステージにトラバースするように制御されるように構成されることを特徴とする請求項23に記載の装置。

【請求項25】

前記出力ステージは、前記出力信号の波形包絡線のゼロ交差で、クラスA出力ステージにトラバースするように制御されるように構成されることを特徴とする請求項23に記載の装置。

50

【請求項 2 6】

前記出力ステージは、前記出力信号の波形包絡線が、前記波形包絡線のゼロ交差から増加するについて、より高い動作クラスの出力ステージにトラバースするように制御されるように構成されることを特徴とする請求項 2 3 に記載の装置。

【請求項 2 7】

前記ほぼ一定の包絡線信号は、前記出力ステージに、前記 1 つまたは複数の動作クラスの間で移行させるように制御されることを特徴とする請求項 2 3 に記載の装置。

【請求項 2 8】

前記出力ステージへの入力信号の振幅は、前記出力ステージに、前記 1 つまたは複数の動作クラスの間で移行させるように制御されることを特徴とする請求項 2 3 に記載の装置

10

【請求項 2 9】

前記伝達関数は、前記出力ステージへの入力信号の振幅を制御し、前記出力ステージに、前記 1 つまたは複数の動作クラスの間で移行させるように構成されることを特徴とする請求項 2 3 に記載の装置。

【請求項 3 0】

前記出力ステージへの入力信号は、前記出力ステージに、前記 1 つまたは複数の動作クラスの間で移行させるようにバイアスがかけられることを特徴とする請求項 2 3 に記載の装置。

【請求項 3 1】

前記伝達関数は、前記出力ステージへの入力信号にバイアスをかけ、それにより、前記出力ステージに、前記 1 つまたは複数の動作クラスの間で移行させるように構成されることを特徴とする請求項 2 3 に記載の装置。

20

【請求項 3 2】

前記出力ステージは、前記出力ステージの駆動レベルおよびバイアスを制御することにより、クラス A 出力ステージへ移行し、その結果、出力電流導通角が 360 度に等しくなるように構成可能であることを特徴とする請求項 2 3 に記載の装置。

【請求項 3 3】

前記出力ステージは、前記出力ステージの駆動レベルおよびバイアスを制御することにより、クラス A B 出力ステージへ移行し、その結果、出力電流導通角が 180 度より大きく、360 度より小さくなるように構成可能であることを特徴とする請求項 2 3 に記載の装置。

30

【請求項 3 4】

前記出力ステージは、前記出力ステージの駆動レベルおよびバイアスを制御することにより、クラス B 出力ステージへ移行し、その結果、出力電流導通角が 180 度にほぼ等しくなるように構成可能であることを特徴とする請求項 2 3 に記載の装置。

【請求項 3 5】

前記出力ステージは、前記出力ステージの駆動レベルおよびバイアスを制御することにより、クラス C 出力ステージへ移行し、その結果、出力電流導通角が 180 度より小さくなるように構成可能であることを特徴とする請求項 2 3 に記載の装置。

40

【請求項 3 6】

前記出力ステージは、前記出力ステージの駆動レベルおよびバイアスを制御することにより、クラス D 出力ステージへ移行し、その結果、前記出力ステージがスイッチモードにおいて動作されるように構成可能であることを特徴とする請求項 2 3 に記載の装置。

【請求項 3 7】

前記出力ステージは、前記出力ステージをパルス幅変調された（ PWM ）出力信号を生成するように制御することにより、クラス S 出力ステージへ移行するように制御されるように構成可能であることを特徴とする請求項 2 3 に記載の装置。

【請求項 3 8】

前記出力ステージは、大きさ - 位相シフト変換のスペクトルの範囲内で変化する前記伝

50

達関数に追従して、前記1つまたは複数の動作クラスの間で移行させるように制御される
ように構成可能であることを特徴とする請求項23に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、RF電力伝送、変調および増幅に関する。より詳細には、本発明は、ベクトル結合 (vector combining) 電力増幅のための方法およびシステムに関する。

【背景技術】

【0002】

電力増幅器では、典型的には線形性と電力効率の間に複雑なトレードオフが存在する。

【0003】

線形性は、その入力を出力変数に関係付ける特性曲線における電力増幅器の動作範囲によって決定され、動作範囲がより線形であるほど、電力増幅器はより線形であると言われる。線形性は、電力増幅器の望ましい特性である。一態様では、例えば、電力増幅器は、変化する振幅、および/または位相、および/または周波数の信号を均一に増幅することが望ましい。したがって、線形性は、電力増幅器の出力信号品質を決定する重要なものである。

【0004】

電力効率を、増幅器に供給された総電力によって除算された、負荷に送達された総電力の関係を用いて計算することができる。理想的な増幅器では、電力効率は100%である。典型的には、電力増幅器は、増幅器の理論最大電力効率を決定するクラスに分割される。電力効率は、特に、電力増幅器が電力消費を大きく占める無線通信方式では、明らかに電力増幅器の望ましい特性である。

【0005】

残念ながら、電力増幅器における従来の線形性と効率の間のトレードオフは、電力増幅器がより線形であるほど、その電力効率が低いというものである。例えば、最も線形な増幅器は、増幅器の最も効率の低いクラスであるクラスA動作のためにバイアスされる。一方、クラスB、C、D、E、その他など、より高いクラスの増幅器はより電力効率がよいが、かなり非線形であり、スペクトル的に歪んだ出力信号の結果となる可能性がある。

【0006】

上述のトレードオフはさらに、典型的な無線通信信号によって強調される。例えば、OFDM、CDMAおよびW-CDMAなど、無線通信信号は一般に、それらのピーク対平均電力比によって特性化される。非線形な増幅器が採用されるとき、信号のピーク対平均比が大きいほど、より非線形な歪みが生じるようになる。

【0007】

アウトフェージング (out phasing) 増幅技術が、RF増幅器設計のために提案されている。いくつかの態様では、しかし、既存のアウトフェージング技術は、特に、例えば無線通信規格によって定義されるような、複素信号増幅要件を満たすことにおいて不十分である。

【0008】

一態様では、既存のアウトフェージング技術は、所望の出力信号の定包絡線成分 (constant envelope constituents) を結合するとき、絶縁および/または結合素子を採用する。例えば、成分信号を結合するために電力結合器が使用されることは、一般的なことである。しかし、この結合手法は典型的には、挿入損失およびバンド幅の制限による出力信号電力の低下、および、したがって電力効率の低減の結果となる。

【0009】

別の態様では、典型的に大きいサイズの結合素子は、モノリシックな増幅器設計に入れることは不可能である。

10

20

30

40

50

【発明の開示】**【発明が解決しようとする課題】****【0010】**

したがって、必要とされるものは、既存の電力増幅技術の欠陥を解決しながら、電力効率を最大にし、非線形歪みを最小にする、電力増幅方法およびシステムである。さらに、従来の電力結合回路および技術の制限なしに実装することができる、電力増幅方法およびシステムが必要とされる。

【課題を解決するための手段】**【0011】**

ベクトル結合電力増幅のための実施形態が、本明細書で開示される。

10

【0012】

一実施形態では、複数のほぼ一定の包絡線信号は個別に増幅され、次いで結合されて、所望の時変複素包絡線信号 (time-varying complex envelope envelope signal) が形成される。1つまたは複数のこれらの信号の位相および / または周波数特性は、所望の時変複素包絡線信号の所望の位相、周波数、および / または振幅特性を提供するように制御される。

【0013】

別の実施形態では、時変複素包絡線信号は、複数のほぼ一定の包絡線成分信号 (substantially constant envelope constituent signals) に分解される。これらの成分信号は増幅され、次いで再結合されて、元の時変包絡線信号の増幅されたバージョンが構成される。

20

【0014】

本発明の実施形態を、変調されたキャリア信号により、かつ、ベースバンド情報およびクロック信号により、実施することができる。本発明の実施形態はまた、周波数アップコンバージョンをも達成する。したがって、本発明の実施形態は、周波数アップコンバージョン、増幅および変調のための統合された解決法を表す。

【0015】

本発明の実施形態を、アナログおよび / またはデジタル制御により実装することができる。本発明を、アナログコンポーネントにより、あるいは、アナログコンポーネントおよびデジタルコンポーネントの組み合わせにより、実装することができる。後者の実施形態では、デジタル信号処理を、さらなるコスト節約のために、既存のベースバンドプロセッサにおいて実装することができる。

30

【0016】

本発明の追加の特徴および利点を、以下に続く説明において述べる。さらなる特徴および利点は、本明細書で述べる説明に基づいて、当業者には明らかになり、あるいは、本発明の実施により知ることができる。本発明の利点は、明細書およびこれの特許請求の範囲、ならびに添付の図面において特に指摘された構造および方法によって実現かつ達成されるであろう。

【0017】

前述の概要および以下の詳細な説明はいずれも例示的かつ説明のためのものであり、特許請求の範囲に記載された本発明の実施形態のさらなる説明を提供することを意図するものであることを理解されたい。

40

【0018】

本発明の実施形態を、添付の図面を参照して説明し、図面においては全体的に、類似の参照番号は、等しいかあるいは機能的に類似の要素を示す。また、全体的に、参照番号の一番左の数字は、関連する要素が最初に導入される図面を識別する。

【0019】

本発明を、添付の図面を参照して説明する。要素が最初に現れる図面は典型的には、対応する参照番号の一番左の数字によって示される。

【発明を実施するための最良の形態】

50

【0020】

目次

1. 序文	
1.1. 時変複素包絡線入力信号の生成の実施例	
1.2. 定包絡線信号からの時変複素包絡線信号の生成の実施例	
1.3. ベクトル電力増幅 (Vector Power Amplification)	
n) 概観	
2. 全体の数学的概観	
2.1. フェーザ信号表現	
2.2. 時変複素包絡線信号	10
2.3. 時変包絡線信号の定包絡線分解	
3. ベクトル電力増幅 (VPA) 方法およびシステム	
3.1. デカルト4分岐 (Cartesian 4-Branch) ベクトル電力増幅器	
3.2. デカルトポーラデカルトポーラ (Cartesian-Polar-Cartesian-Polar) (CPCP) 2分岐ベクトル電力増幅器	
3.3. 直接デカルト (Direct Cartesian) 2分岐ベクトル電力増幅器	
3.4. IおよびQデータ - ベクトル変調器伝達関数	
3.4.1. デカルト4分岐VPA伝達関数	20
3.4.2. CP CP 2分岐VPA伝達関数	
3.4.3. 直接デカルト2分岐VPA伝達関数	
3.4.4. 大きさ - 位相シフト変換	
3.4.4.1. 正弦波信号のための大きさ - 位相シフト変換	
3.4.4.2. 方形波信号のための大きさ - 位相シフト変換	
3.4.5. 波形歪み補償	
3.5. 出力ステージ	
3.5.1. 出力ステージの実施形態	
3.5.2. 出力ステージ電流整形	
3.5.3. 出力ステージ保護	30
3.6. 高調波制御 (Harmonic Control)	
3.7. 電力制御	
3.8. 例示的ベクトル電力増幅器の実施形態	
4. 追加の例示的実施形態および実装	
4.1. 概観	
4.1.1. 出力電力および電力効率の制御	
4.1.2. 誤差補償および／または訂正	
4.1.3. マルチバンドマルチモード動作	
4.2. デジタル制御モジュール	
4.3. VPAアナログコア	40
4.3.1. VPAアナログコア実装 A	
4.3.2. VPAアナログコア実装 B	
4.3.3. VPAアナログコア実装 C	
5. VPA出力ステージのリアルタイム増幅器クラス制御	
6. 概要	
7. 結論	
【0021】	
序文	
ベクトル結合電力増幅のための方法、装置およびシステムが、本明細書で開示される。	
【0022】	50

ベクトル結合電力増幅は、線形性および電力効率を同時に最適化するための手法である。一般的に言えば、また、図50の流れ図502を参照すると、ステップ504で、変化する振幅および位相を有する時変複素包絡線入力信号が、定包絡線成分信号に分解される。ステップ506で、定包絡線成分信号が増幅され、次いでステップ508で加算されて、入力複素包絡線信号の増幅されたバージョンが生成される。ほぼ一定の包絡線信号は、最小限の非線形歪みの懸念で増幅される可能性があるので、定包絡線信号を加算した結果は、最小の非線形歪みを受ける一方で、最適な効率をもたらす。

【0023】

したがって、ベクトル結合電力増幅は、最小の非線形歪みレベルを維持しながら、複素信号を効率的に増幅するために、非線形電力増幅器を使用することを可能にする。

10

【0024】

便宜上、限定ではなく、本発明の方法およびシステムは時として、本明細書で、ベクトル電力増幅(VPA)方法およびシステムと呼ばれる。

【0025】

本発明の実施形態によるVPA方法およびシステムの概要を、これから提供する。明確にするために、ある用語を最初に以下で定義する。このセクションで説明するこれらの定義は便宜上でのみ提供され、限定するものではない。これらの用語の意味は、本明細書で提供される教示の全体に基づいて、当業者には明らかになるであろう。これらの用語を、明細書全体でさらに詳細に論じる場合がある。

【0026】

20

信号包絡線という用語は、本明細書で使用されるとき、信号が時間領域において変動するときに、信号がその中に含まれる振幅境界を指す。直交変調信号を、 $r(t) = i(t) \cdot \cos(c \cdot t) + q(t) \cdot \sin(c \cdot t)$ によって記述することができ、ただし、 $i(t)$ および $q(t)$ は同相および直交信号を表し、信号包絡線 $e(t)$ は

【0027】

【数1】

$$e(t) = \sqrt{i(t)^2 + q(t)^2}$$

【0028】

30

に等しく、 $r(t)$ に関連付けられた位相角は逆正接($q(t) / i(t)$)に関係する。

【0029】

定包絡線信号という用語は、本明細書で使用されるとき、同相および直交信号を指し、ただし、

【0030】

【数2】

$$e(t) = \sqrt{i(t)^2 + q(t)^2}$$

【0031】

40

であり、 $e(t)$ は相対的にあるいはほぼ一定の値を有する。

【0032】

時変包絡線信号という用語は、本明細書で使用されるとき、時変信号包絡線を有する信号を指す。時変包絡線信号を、同相および直交信号に関して、

【0033】

【数3】

$$e(t) = \sqrt{i(t)^2 + q(t)^2}$$

【0034】

50

と記述することができ、 $e(t)$ は時変値を有する。

【0035】

位相シフトという用語は、本明細書で使用されるとき、基準位相に対して時変または定包絡線信号の位相成分を後退あるいは前進させることを指す。

【0036】

1.1) 複素包絡線時変入力信号の生成の実施例

図1Aおよび1Bは、時変包絡線および位相複素入力信号の生成を例示する実施例である。図1Aで、時変包絡線キャリア信号104および106は、位相制御器110に入力される。位相制御器110は、信号104および106の位相成分を操作する。すなわち、位相制御器110は、信号104および106を位相シフトしてもよい。結果として生じる信号108および112を、したがって、信号104および106に対して位相シフトしてもよい。図1Aの実施例では、位相制御器110は、信号108および112を見ると分かるように、時刻 t_0 で、信号104および106において位相の反転(180度位相シフト)を引き起こす。信号108および112は、時変複素キャリア信号を表す。信号108および112は、時変包絡線および位相成分を共に有する。加算されるとき、信号108および112は信号114の結果となる。信号114もまた、時変複素信号を表す。信号114は、本発明のVPAの実施形態に対する一実施例の入力信号であってもよい(例えば、図50のステップ504への一実施例の入力)。

10

【0037】

時変複素信号をまた、図1Bに例示するように生成してもよい。図1Bで、信号116および118はベースバンド信号を表す。例えば、信号116および118は、信号の同相(I)および直交(Q)ベースバンド成分である場合がある。図1Bの実施例では、信号116および118は、+1から-1へ移行するときにゼロ交差を受ける。信号116および118は、信号120、または、90度位相シフトされた信号120で乗算される。信号116は、信号120の0度シフトされたバージョンで乗算される。信号118は、信号120の90度シフトされたバージョンで乗算される。結果として生じる信号122および124は、時変複素キャリア信号を表す。信号122および124は、信号116および118の時変振幅に従って変化する包絡線を有することに留意されたい。さらに、信号122および124は共に、信号116および118のゼロ交差で位相の反転を受ける。信号122および124は加算されて、信号126の結果となる。信号126は時変複素信号を表す。信号126は、本発明のVPAの実施形態に対する一実施例の入力信号を表す場合がある。加えて、信号116および118は、本発明のVPAの実施形態に対する実施例の入力信号を表す場合がある。

20

【0038】

1.2) 定包絡線信号からの時変複素包絡線信号の生成の実施例

このセクションの説明は、全体的に図50のステップ508の動作に関係する。図1Cは、2つ以上のほぼ一定の包絡線信号の和からの時変複素信号の生成についての3つの実施例を例示する。しかし、本明細書で提供された教示に基づいて、図1Cの実施例において例示された概念を2つ以上の定包絡線信号の場合に同様に拡張することができることは、当業者には理解されよう。

30

【0039】

図1Cの実施例1では、定包絡線信号132および134が位相制御器130に入力される。位相制御器130は、信号132および134の位相成分を操作して、信号136および138をそれぞれ生成する。信号136および138は、ほぼ一定の包絡線信号を表し、加算されて、信号140が生成される。実施例1に関連付けられた図1Cのフェーザ表現は、信号136および138をそれぞれフェーザ P_{136} および P_{138} として例示する。信号140は、フェーザ P_{140} として例示される。実施例1では、 P_{136} および P_{138} は、フェーザ表現の実軸に整合されると仮定される基準信号に対して角度 α_1 だけ対称的に位相シフトされる。対応して、時間領域信号136および138は、同量であるが、基準信号に対して逆方向に位相シフトされる。したがって、 P_{136} および P_{138} の和である P_{140} は、

40

50

₀は、基準信号と同相である。

【0040】

図1Cの実施例2では、ほぼ一定の包絡線信号132および134が位相制御器130に入力される。位相制御器130は、信号132および134の位相成分を操作して、信号142および144をそれぞれ生成する。信号142および144は、ほぼ一定の包絡線信号であり、加算されて信号150が生成される。実施例2に関連付けられたフェーザ表現は、信号142および144をそれぞれフェーザ P_{142} および P_{144} として例示する。信号150は、フェーザ P_{150} として例示される。実施例2では、 P_{142} および P_{144} は、基準信号に対して対称的に位相シフトされる。したがって、 P_{140} と同様に、 P_{150} もまた基準信号と同相である。 P_{142} および P_{144} は、しかし、基準信号に対して、それにより₂となる角度だけ位相シフトされる。 P_{150} は、結果として、実施例1の P_{140} とは異なる大きさを有する。時間領域表現では、信号140および150は同相であるが、互いに対しても異なる振幅を有することに留意されたい。

【0041】

図1Cの実施例3では、ほぼ一定の包絡線信号132および134が位相制御器130に入力される。位相制御器130は、信号132および134の位相成分を操作して、信号146および148をそれぞれ生成する。信号146および148は、ほぼ一定の包絡線信号であり、加算されて信号160が生成される。実施例3に関連付けられたフェーザ表現は、信号146および148をそれぞれフェーザ P_{146} および P_{148} として例示する。信号160は、フェーザ P_{160} として例示される。実施例3では、 P_{146} は、基準信号に対して角度₃だけ位相シフトされる。 P_{148} は、基準信号に対して角度₄だけ位相シフトされる。₃および₄は、等しくても等しくなくてもよい。したがって、 P_{146} および P_{148} の和である P_{160} は、もはや基準信号と同相ではない。 P_{160} は、基準信号に対して角度だけ位相シフトされる。同様に、 P_{160} は、実施例1および2の P_{140} および P_{150} に対してだけ位相シフトされる。 P_{160} はまた、実施例3で例示するように、 P_{140} に対して振幅において変化する場合もある。

【0042】

要約すると、図1Cの実施例は、時変振幅信号を、2つ以上のほぼ一定の包絡線信号の和によって得ることを実証する（実施例1）。さらに、時変信号は、2つ以上のほぼ一定の包絡線信号を逆方向に等しくシフトすることによって、振幅変化を有することができるが、それに与えられた位相変化を有することはできない（実施例2）。信号の2つ以上の定包絡線成分を同じ方向に等しくシフトすると、時変信号に位相変化を与えることはできるが、振幅変化を与えることはできない。いかなる時変振幅および位相信号も、2つ以上のほぼ一定の包絡線信号を使用して生成することができる（実施例3）。

【0043】

図1Cの実施例における信号は、例示のためにのみ正弦波形として図示されることに留意されたい。本明細書の教示に基づいて、他のタイプの波形もまた使用されている場合があることは、当業者には理解されよう。また、図1Cの実施例は、例示のためにのみ本明細書で提供され、本発明の特定の実施形態に対応する場合も対応しない場合もあることに留意されたい。

【0044】

1.3) ベクトル電力増幅概観

ベクトル電力増幅の大まかな概観をこれから提供する。図1Dは、例示的時変複素入力信号172の電力増幅を例示する。図1Aおよび1Bに例示するような信号114および126は、信号172の実施例である場合がある。さらに、信号172は、104および106（図1A）、108および112（図1A）、116および118（図1B）、ならびに、122および124（図1B）など、2つ以上の成分信号によって生成されるか、あるいはこれらからなる場合がある。

【0045】

図1Dの実施例では、VPA170は、本発明によるVPAシステムの実施形態を表す

10

20

30

40

50

。VPA170は、信号172を増幅して、増幅された出力信号178を生成する。出力信号178は、最小の歪みを有して効率的に増幅される。

【0046】

図1Dの実施例では、信号172および178は、電圧信号 $V_{in}(t)$ および $V_{out}(t)$ をそれぞれ表す。いかなる時刻でも、図1Dの実施例では、 $V_{in}(t)$ および $V_{out}(t)$ は $V_{out}(t) = K e_{V_{in}}(t + t')$ となるよう関係し、ただし、Kは倍率であり、 t' は、VPAシステムにおいて存在する場合のある時間遅延を表す。電力の意味合いでは、

【0047】

【数4】

$$\frac{V_{out}^2(t)}{Z_{out}} > \frac{V_{in}^2(t)}{Z_{in}}$$

10

【0048】

であり、ただし、出力信号178は、入力信号172の電力増幅されたバージョンである。

【0049】

図1Dに例示するような、時変複素信号の線形（または、ほぼ線形）の電力増幅は、図1Eに示すような現在の実施形態によって達成される。

20

【0050】

図1Eは、本発明の実施形態によるベクトル電力増幅の実施形態を概念的に例示する、一実施例のブロック図である。図1Eでは、入力信号172は時変複素信号を表す。例えば、入力信号172は、図1Aおよび1Bに例示するように生成されてもよい。実施形態では、信号172は、デジタル信号であってもアナログ信号であってもよい。さらに、信号172は、ベースバンド信号であってもキャリアベースの信号であってもよい。

【0051】

図1Eを参照すると、本発明の実施形態によれば、入力信号172またはその均等物がVPA182に入力される。図1Eの実施形態では、VPA182は、状態マシン184およびアナログ回路186を含む。状態マシン184は、デジタルおよび/またはアナログコンポーネントを含む場合がある。アナログ回路186は、アナログコンポーネントを含む。VPA182は、入力信号172を処理して、図1Eに例示するように、2つ以上の信号188 - {1, . . . , n}を生成する。図1Cにおける信号136、138、142、144および146、148に関して記載したように、信号188 - {1, . . . , n}は、異なる期間にわたって互いに対しても位相シフトされてもそうでなくてもよい。さらに、VPA182は、信号188 - {1, . . . , n}の和が、ある実施形態では、信号172の増幅されたバージョンである可能性のある信号194の結果となるように、信号188 - {1, . . . , n}を生成する。

30

【0052】

なお、図1Eを参照すると、信号188 - {1, . . . , n}は、ほぼ一定の包絡線信号である。したがって、前の段落の説明は、図50のステップ504に対応する。

40

【0053】

全体的に図50のステップ506に対応する図1Eの実施例では、定包絡線信号188 - {1, . . . , n}はそれぞれ、対応する電力増幅器（PA）190 - {1, . . . , n}によって独立して増幅されて、増幅された信号192 - {1, . . . , n}が生成される。実施形態では、PA190 - {1, . . . , n}は、各定包絡線信号188 - {1, . . . , n}をほぼ等しく増幅する。増幅された信号192 - {1, . . . , n}は、ほぼ一定の包絡線信号であり、ステップ508で加算されて、出力信号194が生成される。出力信号194は、入力信号172の線形的（あるいは、ほぼ線形的）増幅されたバージョンである可能性があることに留意されたい。出力信号194はまた、本明細書

50

に記載するように、入力信号 172 の周波数アップコンバートされたバージョンである場合もある。

【0054】

全体の数学的概観

2.1) フェーザ信号表現

図1は、信号 $r(t)$ のフェーザ表現信号

【0055】

【数5】

\overline{R}

10

【0056】

102を例示する。信号のフェーザ表現は、信号の包絡線の大きさ、および、基準信号に対する信号の位相シフトを明示的に表す。本書では、便宜上、限定ではなく、基準信号は、フェーザ表現の直交空間の実 (Re) 軸に整合されるものとして定義される。本発明は、しかし、この実施形態に限定されない。信号の周波数情報は、この表現において暗示的であり、基準信号の周波数によって与えられる。例えば、図1を参照すると、また、実軸が $\cos(t)$ 基準信号に対応すると仮定すると、フェーザ

【0057】

【数6】

\overline{R}

20

【0058】

は、関数 $r(t) = R(t) \cos(t + \phi(t))$ に変換されるようになり、ただし、Rは、

【0059】

【数7】

\overline{R}

【0060】

の大きさである。

30

【0061】

なお、図1を参照すると、フェーザ

【0062】

【数8】

\overline{R}

【0063】

を、実部フェーザ

【0064】

【数9】

40

\overline{I}

【0065】

および虚部フェーザ

【0066】

【数10】

\overline{Q}

【0067】

に分解することができることに留意されたい。

50

【0068】

【数11】

 \tilde{I}

【0069】

および

【0070】

【数12】

 \tilde{Q}

10

【0071】

は、基準信号に対して

【0072】

【数13】

 \tilde{R}

【0073】

の同相および直交フェーザ成分であると言われる。さらに、

20

【0074】

【数14】

 \tilde{I}

【0075】

および

【0076】

【数15】

 \tilde{Q}

30

【0077】

に対応する信号は、それぞれ、 $I(t) = R(t) \cdot \cos(\phi(t))$ および $Q(t) = R(t) \cdot \sin(\phi(t))$ として、 $r(t)$ に関するに留意されたい。時間領域では、信号 $r(t)$ をまた、その同相および直交成分に関して、以下のように書くこともできる。

$$r(t) = I(t) \cdot \cos(\phi(t)) + Q(t) \cdot \sin(\phi(t)) = \\ R(t) \cdot \cos(\phi(t)) \cdot \cos(\phi(t)) + R(t) \cdot \sin(\phi(t)) \cdot \\ \sin(\phi(t)) \quad (1)$$

【0078】

図1の実施例では、 $R(t)$ が特定の時刻で例示されることに留意されたい。

40

【0079】

2.2) 時変複素包絡線信号

図2は、2つの異なる時刻 t_1 および t_2 での信号 $r(t)$ のフェーザ表現を例示する。信号の包絡線の大きさを表す、フェーザの大きさ、ならびにその相対的な位相シフトは、共に時間 t_1 から t_2 へと変化することに留意されたい。図2では、これは、フェーザ

【0080】

【数16】

 \tilde{R}_1

50

【0081】

および

【0082】

【数17】

 \overrightarrow{R}_2

【0083】

の変化する大きさ、および、それらの対応する位相シフト角 ϕ_1 および ϕ_2 によって例示される。信号 $r(t)$ は、したがって、時変複素包絡線信号である。

10

【0084】

さらに、図2から、信号 $r(t)$ の実および虚フェーザ成分もまた、振幅において時変であることに留意されたい。したがって、それらの対応する時間領域信号もまた、時変包絡線を有する。

【0085】

図3A～3Cは、時変複素包絡線信号を生成するための一実施例の変調を例示する。図3Aは、信号 $m(t)$ の図を例示する。図3Bは、キャリア信号 $c(t)$ の一部の図を例示する。図3Cは、信号 $m(t)$ および $c(t)$ の乗算の結果生じる信号 $r(t)$ を例示する。

20

【0086】

図3Aの実施例では、信号 $m(t)$ は、時変の大きさの信号である。 $m(t)$ はさらに、ゼロ交差を受ける。キャリア信号 $c(t)$ は、図3Bの実施例では、典型的には信号 $m(t)$ のものよりも高い、あるキャリア周波数で振動する。

【0087】

図3Cから、結果として生じる信号 $r(t)$ は時変包絡線を有することに留意されたい。さらに、図3Cから、 $r(t)$ は、変調信号 $m(t)$ がゼロに交差する瞬間に、位相の反転を受けることに留意されたい。一定でない包絡線および位相を共に有するので、 $r(t)$ は時変複素包絡線信号であると言われる。

【0088】

2.3) 時変包絡線信号の定包絡線分解

30

時変の大きさおよび位相のいかなるフェーザも、基準フェーザに対して適切に指定された位相シフトを有する2つ以上の一定の大きさのフェーザの和によって得ることができる。

【0089】

図3Dは、一実施例の時変包絡線および位相信号 $S(t)$ の図を例示する。例示を容易にするため、信号 $S(t)$ を、最大の包絡線の大きさ A を有する正弦波信号であると仮定する。図3Dはさらに、いずれかの時刻に、2つの定包絡線信号 $S_1(t)$ および $S_2(t)$ の和によって、どのように信号 $S(t)$ を得ることができるかの一実施例を示す。一般に、 $S_1(t) = A_1 \sin(\omega_1 t + \phi_1(t))$ および $S_2(t) = A_2 \sin(\omega_2 t + \phi_2(t))$ である。

40

【0090】

例示のため、図3Dにおいて、 $S(t)$ に対して信号 $S_1(t)$ および $S_2(t)$ を適切に位相整合することによって、どのように信号 $S_1(t)$ および $S_2(t)$ を加算して、 $S(t) = K(S_1(t) + S_2(t))$ 、ただし K は定数となるようにすることができるかを例示する、3つの図が提供される。すなわち、信号 $S(t)$ を、いかなる時刻にも2つ以上の信号に分解することができる。図3Dから、期間 T_1 に渡って、 $S_1(t)$ および $S_2(t)$ は共に信号 $S(t)$ に対して同相であり、よって、和は信号 $S(t)$ の最大の包絡線の大きさ A となる。しかし、期間 T_3 に渡って、信号 $S_1(t)$ および $S_2(t)$ は、互いに対して180度異相であり、よって、和は信号 $S(t)$ の最小の包絡線の大きさとなる。

50

【0091】

図3Dの実施例は、正弦波信号の場合を例示する。しかし、フーリエ級数またはフーリエ変換によって表すことができるキャリア信号を変調する、いかなる時変包絡線も、2つ以上のほぼ一定の包絡線信号に同様に分解することは、当業者には理解されよう。よって、複数のほぼ一定の包絡線信号の位相を制御することによって、いかなる時変複素包絡線信号を生成することもできる。

【0092】

ベクトル電力増幅方法およびシステム

本発明の実施形態によるベクトル電力増幅方法およびシステムは、いかなる時変包絡線信号をも2つ以上のほぼ一定の包絡線成分信号に分解するため、または、このような成分信号を受信あるいは生成し、これらの成分信号を増幅し、次いで、増幅された信号を加算して、時変複素包絡線信号の増幅されたバージョンを生成するための、能力に依拠する。

10

【0093】

セクション3.1～3.3では、本発明のベクトル電力増幅（VPA）の実施形態が提供され、4分岐および2分岐の実施形態が含まれる。この説明では、各VPAの実施形態が最初に、実施形態の基本的概念の数学的導出を用いて概念的に提示される。VPAの実施形態の動作の方法の一実施形態が次いで提示され、その後に、VPAの実施形態の様々なシステムレベルの実施形態が続く。

【0094】

セクション3.4は、本発明の実施形態による制御モジュールの様々な実施形態を提示する。本発明の実施形態による制御モジュールは、本発明のあるVPAの実施形態を可能にするために使用される場合がある。いくつかの実施形態では、制御モジュールは、VPAの実施形態の入力ステージとVPAの実施形態の後続のベクトル変調ステージの間の中間物である。

20

【0095】

セクション3.5は、本発明の実施形態によるVPA出力ステージの実施形態を説明する。出力ステージの実施形態は、VPAの実施形態の出力信号を生成することを対象とする。

【0096】

セクション3.6は、本発明の実施形態による高調波制御を対象とする。本発明のある実施形態で高調波制御を実装して、VPAの実施形態の高調波における実および虚電力を操作し、よって、出力での基本周波数において存在する電力を増大させてもよい。

30

【0097】

セクション3.7は、本発明の実施形態による電力制御を対象とする。本発明のVPAの実施形態が採用される場合のある応用例の電力レベル要件を満たすために、本発明のある実施形態で電力制御を実装してもよい。

【0098】

3.1) デカルト4分岐ベクトル電力増幅器

本明細書で、例示を容易にするため、限定ではなく、デカルト4分岐VPAの実施形態と呼ばれる本発明の一実施形態によれば、時変複素包絡線信号は、4つのほぼ一定の包絡線成分信号に分解される。これらの成分信号は、等しくあるいはほぼ等しく、個別に増幅され、次いで加算されて、元の時変複素包絡線信号の増幅されたバージョンが構成される。

40

【0099】

この実施形態では、例示のため、限定ではなく、4つの分岐が採用されることに留意されたい。本発明の範囲は、他の数の分岐の使用を含し、このような変形形態の実装は、本明細書に含まれた教示に基づいて、当業者には明らかになるであろう。

【0100】

一実施形態では、時変複素包絡線信号は最初に、その同相および直交ベクトル成分に分解される。フェーザ表現では、同相および直交ベクトル成分は、信号の実部および虚部フ

50

エーザにそれぞれに対応する。

【0101】

上述のように、信号の同相および直交ベクトル成分の大きさは、信号の大きさに比例して変化し、よって、信号が時変包絡線信号であるとき、定包絡線ではない。したがって、4分岐VPAの実施形態はさらに、信号の同相および直交ベクトル成分の各々を4つのほぼ一定の包絡線成分に分解し、2つは同相信号成分、2つは直交信号成分である。この概念を、フェーザ信号表現を用いて図4に例示する。

【0102】

図4の実施例では、フェーザ

【0103】

【数18】

\vec{I}_1

【0104】

および

【0105】

【数19】

\vec{I}_2

【0106】

は、2つの時刻 t_1 および t_2 での例示的時変複素包絡線信号の実部フェーザにそれぞれ対応する。フェーザ

【0107】

【数20】

\vec{I}_1

【0108】

および

【0109】

【数21】

\vec{I}_2

【0110】

は、異なる大きさを有することに留意されたい。

【0111】

なお、図4を参照すると、瞬時 t_1 で、フェーザ

【0112】

【数22】

\vec{I}_1

【0113】

を、上側および下側フェーザ

【0114】

10

20

30

40

【数23】

 $\overrightarrow{I_{U_1}}$

【0115】

および

【0116】

【数24】

 $\overrightarrow{I_{L_1}}$

10

【0117】

の和によって得ることができる。同様に瞬時 t_2 で、フェーザ

【0118】

【数25】

 $\overrightarrow{I_2}$

【0119】

を、上側および下側フェーザ

20

【0120】

【数26】

 $\overrightarrow{I_{U_2}}$

【0121】

および

【0122】

【数27】

 $\overrightarrow{I_{L_2}}$

30

【0123】

の和によって得ることができる。フェーザ

【0124】

【数28】

 $\overrightarrow{I_{U_1}}$

【0125】

40

および

【0126】

【数29】

 $\overrightarrow{I_{U_1}}$

【0127】

は、等しいかあるいはほぼ等しい大きさを有することに留意されたい。同様に、フェーザ

【0128】

【数30】

$$\overrightarrow{I}_{L_1}$$

【0129】

および

【0130】

【数31】

$$\overrightarrow{I}_{L_2}$$

10

【0131】

は、ほぼ等しい大きさを有する。したがって、時変包絡線信号の実部フェーザを、いずれかの時刻に、少なくとも2つのほぼ一定の包絡線成分の和によって得ることができる。

【0132】

フェーザ

【0133】

【数32】

$$\overrightarrow{I}_{U_1}$$

20

【0134】

および

【0135】

【数33】

$$\overrightarrow{I}_{L_1}$$

【0136】

の、

30

【0137】

【数34】

$$\overrightarrow{I}_1$$

【0138】

に対する位相シフト、ならびに、フェーザ

【0139】

【数35】

$$\overrightarrow{I}_{U_2}$$

40

【0140】

および

【0141】

【数36】

$$\overrightarrow{I}_{L_2}$$

【0142】

50

の、

【0 1 4 3】

【数37】

$\overrightarrow{I_2}$

【0 1 4 4】

に対する位相シフトはそれぞれ、フェーザ

【0 1 4 5】

【数38】

$\overrightarrow{I_1}$

10

【0 1 4 6】

および

【0 1 4 7】

【数39】

$\overrightarrow{I_2}$

【0 1 4 8】

の所望の大きさに従って設定される。ある場合には、上側および下側フェーザが等しい大きさを有するように選択されるとき、上側および下側フェーザは、そのフェーザに対して位相において対称的にシフトされる。これは図4の実施例において例示され、すべて等しい大きさを有する。

20

【0 1 4 9】

【数40】

$\overrightarrow{I_{U_1}}, \overrightarrow{I_{L_1}}, \overrightarrow{I_{U_2}}$

【0 1 5 0】

および

【0 1 5 1】

30

【数41】

$\overrightarrow{I_{L_2}}$

【0 1 5 2】

に対応する。第2の場合、上側および下側フェーザの位相シフトは、そのフェーザに対して位相においてほぼ対称的にシフトされる。本明細書の説明に基づいて、上側および下側フェーザの大きさおよび位相シフトの値は全く等しいものである必要はないことは、当業者には理解されよう。

【0 1 5 3】

40

一実施例として、さらに、図4に例示した場合では、図4の

【0 1 5 4】

【数42】

$\frac{\phi_1}{2}$

【0 1 5 5】

および

【0 1 5 6】

50

【数43】

$$\frac{\phi_2}{2}$$

【0157】

として例示された相対位相シフトは、以下のように、正規化されたフェーザ

【0158】

【数44】

$$\overrightarrow{I_1}$$

10

および

【0159】

【数45】

$$\overrightarrow{I_2}$$

【0160】

の大きさに関係することを検証することができる。

20

【0161】

【数46】

$$\frac{\phi_1}{2} = \cot^{-1} \left(\frac{I_1}{2\sqrt{1 - \frac{I_1^2}{4}}} \right); \text{ および} \quad (2)$$

30

$$\frac{\phi_2}{2} = \cot^{-1} \left(\frac{I_2}{2\sqrt{1 - \frac{I_2^2}{4}}} \right), \quad (3)$$

【0162】

ただし、 I_1 および I_2 はそれぞれ、フェーザ

【0163】

40

【数47】

$$\overrightarrow{I_1}$$

【0164】

【数48】

$$\overrightarrow{I_2}$$

【0165】

の正規化された大きさを表し、 I_1 および I_2 の領域は、方程式(2)および(3)が有効である領域に従って適切に制限される。方程式(2)および(3)は、相対位相シフトを

50

正規化された大きさに関係付けるための 1 つの表現であることに留意されたい。また、方程式 (2) および (3) の他の、解法、等価表現および / または簡約表現を採用してもよい。また、相対位相シフトを正規化された大きさに関係付けるルックアップテーブルを使用してもよい。

【0166】

上述の概念を、図 4 に例示するように、信号 $r(t)$ の虚フェーザまたは直交成分部に同様に適用することができる。したがって、いずれかの時刻 t で、信号 $r(t)$ の虚フェーザ部

【0167】

【数 49】

10



【0168】

を、ほぼ等しくかつ一定の大きさの上側および下側フェーザ成分

【0169】

【数 50】



【0170】

20

および

【0171】

【数 51】



【0172】

を加算することによって、得ることができる。この実施例では、

【0173】

【数 52】

30



【0174】

および

【0175】

【数 53】



は、

【0176】

40

【数 54】



【0177】

に対して、時間 t での

【0178】

【数 55】



50

【0179】

の大きさに従って設定された角度だけ、位相において対称的にシフトされる。

【0180】

【数56】

 $\overline{\overrightarrow{Q}_U}$

【0181】

および

【0182】

【数57】

10

 $\overline{\overrightarrow{Q}_L}$

【0183】

の、所望のフェーザ

【0184】

【数58】

 $\overline{\overrightarrow{Q}}$

【0185】

20

に対する関係は、 Q_U および Q_L をそれぞれ I_U および I_L の代わりに用いることによって、方程式2および3に定義されたように関係付けられる。

【0186】

上記の考察から、フェーザ表現では、可変の大きさおよび位相のいずれかのフェーザ

【0187】

【数59】

 $\overline{\overrightarrow{R}}$

【0188】

30

を、4つのほぼ一定の大きさのフェーザ成分の和によって構成することができるということになる。

【0189】

【数60】

$$\overline{\overrightarrow{R}} = \overline{\overrightarrow{I}_U} + \overline{\overrightarrow{I}_L} + \overline{\overrightarrow{Q}_U} + \overline{\overrightarrow{Q}_L};$$

$$\overline{\overrightarrow{I}_U} + \overline{\overrightarrow{I}_L} = \overline{\overrightarrow{I}};$$

$$\overline{\overrightarrow{Q}_U} + \overline{\overrightarrow{Q}_L} = \overline{\overrightarrow{Q}};$$

(4)

40

$$I_U = I_L = \text{定数} ;$$

$$Q_U = Q_L = \text{定数} ;$$

【0190】

ただし、 I_U 、 I_L 、 Q_U および Q_L はそれぞれ、フェーザ

【0191】

【数61】

 $\overrightarrow{I_U}, \overrightarrow{I_L}, \overrightarrow{Q_U}$

【0192】

および

【0193】

【数62】

 $\overrightarrow{Q_L}$

10

【0194】

の大きさを表す。

【0195】

対応して、時間領域では、時変複素包絡線正弦波信号 $r(t) = R(t) \cos(\phi(t))$ は、以下のように、4つの定包絡線信号の和によって構成される。

【0196】

【数63】

$$r(t) = I_U(t) + I_L(t) + Q_U(t) + Q_L(t);$$

20

$$I_U(t) = \text{sgn}(\overrightarrow{I}) \times I_U \times \cos\left(\frac{\phi_I}{2}\right) \times \cos(\omega t) + I_U \times \sin\left(\frac{\phi_I}{2}\right) \times \sin(\omega t);$$

$$I_L(t) = \text{sgn}(\overrightarrow{I}) \times I_L \times \cos\left(\frac{\phi_I}{2}\right) \times \cos(\omega t) - I_L \times \sin\left(\frac{\phi_I}{2}\right) \times \sin(\omega t); \quad (5)$$

$$Q_U(t) = -\text{sgn}(\overrightarrow{Q}) \times Q_U \times \cos\left(\frac{\phi_Q}{2}\right) \times \sin(\omega t) + Q_U \times \sin\left(\frac{\phi_Q}{2}\right) \times \cos(\omega t);$$

$$Q_L(t) = -\text{sgn}(\overrightarrow{Q}) \times Q_L \times \cos\left(\frac{\phi_Q}{2}\right) \times \sin(\omega t) - Q_L \times \sin\left(\frac{\phi_Q}{2}\right) \times \cos(\omega t). \quad (5)$$

30

【0197】

ただし、

【0198】

【数64】

$$\text{sgn}(\overrightarrow{I}) = \pm 1$$

【0199】

であり、

40

【0200】

【数65】

 \overrightarrow{I}

【0201】

が正の実軸と同相であるか、180度異相であるかによって決まる。同様に、

【0202】

【数66】

$$\overline{\text{sgn}(\overline{Q})} = \pm 1$$

であり、

【0203】

【数67】

$$\overline{Q}$$

【0204】

10

が虚軸と同相であるか、180度異相であるかによって決まる。

【0205】

【数68】

$$\frac{\phi_I}{2}$$

【0206】

は、実軸に対する

【0207】

【数69】

20

$$\overline{I_U}$$

および

【0208】

【数70】

$$\overline{I_L}$$

【0209】

30

の位相シフトに対応する。同様に、

【0210】

【数71】

$$\frac{\phi_Q}{2}$$

【0211】

は、虚軸に対する

【0212】

【数72】

40

$$\overline{Q_U}$$

【0213】

および

【0214】

【数73】

$$\overline{Q_L}$$

50

【0215】

の位相シフトに対応する。

【0216】

【数74】

$$\frac{\phi_I}{2}$$

【0217】

および

【0218】

【数75】

$$\frac{\phi_Q}{2}$$

【0219】

を、(2)および(3)で与えられた方程式を用いて計算することができる。

【0220】

方程式(5)を、さらに以下のように簡約することができる。

【0221】

【数76】

$$r(t) = I_U(t) + I_L(t) + Q_U(t) + Q_L(t);$$

$$I_U(t) = \text{sgn}(\bar{I}) \times I_{UX} \times \cos(\omega t) + I_{UY} \times \sin(\omega t);$$

$$I_L(t) = \text{sgn}(\bar{I}) \times I_{UX} \times \cos(\omega t) - I_{UY} \times \sin(\omega t); \quad (6)$$

$$Q_U(t) = -Q_{UX} \times \cos(\omega t) + \text{sgn}(\bar{Q}) \times Q_{UY} \times \sin(\omega t);$$

$$Q_L(t) = Q_{UY} \times \cos(\omega t) - \text{sgn}(\bar{Q}) \times Q_{UX} \times \sin(\omega t).$$

10

【0222】

ただし、

【0223】

【数77】

$$I_{UX} = I_U \times \cos\left(\frac{\phi_I}{2}\right) = I_L \times \cos\left(\frac{\phi_I}{2}\right)$$

$$I_{UY} = I_U \times \sin\left(\frac{\phi_I}{2}\right) = I_L \times \sin\left(\frac{\phi_I}{2}\right)$$

$$Q_{UX} = Q_U \times \sin\left(\frac{\phi_Q}{2}\right) = Q_L \times \sin\left(\frac{\phi_Q}{2}\right) \quad , \quad \text{および} \quad Q_{UY} = Q_U \times \cos\left(\frac{\phi_Q}{2}\right) = Q_L \times \cos\left(\frac{\phi_Q}{2}\right)$$

40

【0224】

方程式(5)および(6)における時間領域表現は正弦波形の場合について提供されたが、等価表現を非正弦波形について、適切な基底関数を用いて展開することができることは、当業者には理解できよう。さらに、当業者には本明細書の教示に基づいて理解されるように、ほぼ一定の包絡線信号への上述の2次元分解を、適切に多次元分解に拡張することができる。

【0225】

図5は、デカルト4分岐VPAの実施形態の一実施例のブロック図である。所望の電力レベルおよび周波数特性の出力信号r(t)578は、デカルト4分岐VPAの実施形態によるベースバンド同相および直交成分から生成される。

50

【0226】

図5の実施例では、合成器510など、周波数発生器は、出力信号 $r(t)578$ と同じ周波数を有する基準信号 $A * \cos(t)511$ を生成する。基準信号の選択が所望の出力信号に従って行われることは、当業者には理解できよう。例えば、所望の出力信号の所望の周波数が2.4GHzである場合、基準信号の周波数は2.4GHzに設定される。このように、本発明の実施形態は、周波数アップコンバージョンを達成する。

【0227】

図5を参照すると、1つまたは複数の分相器が、信号521、531、541および551を基準信号511に基づいて生成するために使用される。図5の実施例では、これは、分相器512、514および516を使用して、0度位相シフトを分相器の各々で適用することによって行われる。しかし、基準信号511の信号521、531、541および551を生成するために、様々な技術を使用してもよいことは、当業者には理解されよう。例えば、1:4分相器を、单一のステップで、あるいは図5の実施例の実施形態において、4つのレプリカ521、531、541および551を生成するために使用してもよく、信号511を、信号521、531、541、551に直結することができる。実施形態に応じて、様々な位相シフトを適用して、所望の信号521、531、541および551の結果となるようにしてもよい。

10

【0228】

なお、図5を参照すると、信号521、531、541および551がそれぞれ、対応するベクトル変調器520、530、540および550に、それぞれ提供される。ベクトル変調器520、530、540および550は、それらの適切な入力信号と共に、(6)で提供された方程式に従って、信号 $r(t)$ の4つの定包絡線成分を生成する。図5の実施例の実施形態では、ベクトル変調器520および530は、信号 $r(t)$ の $I_u(t)$ および $I_L(t)$ 成分をそれぞれ生成する。同様に、ベクトル変調器540および550は、信号 $r(t)$ の $Q_u(t)$ および $Q_L(t)$ 成分をそれぞれ生成する。

20

【0229】

ベクトル変調器520、530、540および550の各々の実際の実装は、変わるものがある。例えば、(6)における方程式に従って定包絡線成分を生成するために様々な技術が存在することは、当業者には理解されよう。

30

【0230】

図5の実施例の実施形態では、ベクトル変調器520、530、540、550の各々は、信号522、531、541、551を位相整合するための入力分相器(`input phase splitter`)522、532、542、552を含む。したがって、入力分相器522、532、542、552は、同相および直交成分またはそれらの各入力信号を生成するために使用される。

【0231】

各ベクトル変調器520、530、540、550では、同相および直交成分が振幅情報で乗算される。図5では、例えば、乗算器524は、信号521の直交成分を $I_u(t)$ の直交振幅情報 I_{uY} で乗算する。並行して、乗算器526は、同相レプリカ信号を $I_u(t)$ の同相振幅情報 $sgn(I) \times I_{uX}$ で乗算する。

40

【0232】

$I_u(t)$ を生成するために、定包絡線成分信号525および527が、分相器528または代替加算技術を用いて加算される。結果として生じる信号529は、信号 $r(t)$ の $I_U(t)$ 成分に対応する。

【0233】

上述と類似の方法で、ベクトル変調器530、540および550は、信号 $r(t)$ の $I_L(t)$ 、 $Q_u(t)$ および $Q_L(t)$ 成分をそれぞれ生成する。 $I_L(t)$ 、 $Q_u(t)$ および $Q_L(t)$ は、図5の信号539、549および559にそれぞれ対応する。

【0234】

さらに、上述のように、信号529、539、549および559は、ほぼ等しくかつ

50

一定の大きさの包絡線を有することによって特性化される。したがって、信号 529、539、549 および 559 が対応する電力増幅器 (PA) 562、564、566 および 568 に入力されるとき、対応する増幅された信号 563、565、567 および 569 は、ほぼ一定の包絡線信号である。

【0235】

電力増幅器 562、564、566 および 568 は、信号 529、539、549、559 の各々をそれぞれ増幅する。一実施形態では、ほぼ等しい電力増幅が信号 529、539、549 および 559 の各々に適用される。一実施形態では、PA 562、564、566 および 568 の電力増幅レベルは、出力信号 $r(t)$ の所望の電力レベルに従って設定される。

10

【0236】

なお、図 5 を参照すると、増幅された信号 563 および 565 が、加算器 572 を使用して加算されて、信号 $r(t)$ の同相成分

【0237】

【数 78】

$\bar{I}(t)$

【0238】

の増幅されたバージョン 573 が生成される。同様に、増幅された信号 567 および 569 が、加算器 574 を使用して加算されて、信号 $r(t)$ の直交成分

20

【0239】

【数 79】

$\bar{Q}(t)$

【0240】

の増幅されたバージョン 575 が生成される。

【0241】

信号 573 および 575 が、図 5 に示すように、加算器 576 を使用して加算され、結果として生じる信号は所望の出力信号 $r(t)$ に対応する。

30

【0242】

図 5 の実施例では、加算器 572、574 および 576 は例示のためにのみ使用されていることに留意されたい。様々な技術を、増幅された信号 563、565、567 および 569 を加算するために使用してもよい。例えば、増幅された信号 563、565、567 および 569 をすべて 1 つのステップで加算して、信号 578 の結果としてもよい。実際には、本発明の様々な VPA の実施形態によれば、加算が増幅後に行われれば、十分である。本発明のある VPA の実施形態は、以下でさらに説明するように、ワイヤを介した直結など、損失が最低限の加算技術を使用する。別法として、ある VPA の実施形態は、従来の電力結合技術を使用する。他の実施形態では、以下でさらに説明するように、電力増幅器 562、564、566 および 568 を、多入力 1 出力の電力増幅器として実装することができる。

40

【0243】

デカルト 4 分岐 VPA の実施形態の動作を、図 6 のプロセス流れ図を参照してこれからさらに説明するものとする。このプロセスは、所望の出力信号のベースバンド表現を受信することを含む、ステップ 610 で開始する。一実施形態では、これは、所望の出力信号の同相 (I) および直交 (Q) 成分を受信することを含む。別の実施形態では、これは、所望の出力信号の大きさおよび位相を受信することを含む。デカルト 4 分岐 VPA の実施形態の一実施形態では、I および Q はベースバンド成分である。別の実施形態では、I および Q は RF 成分であり、ベースバンドへダウンコンバートされる。

【0244】

50

ステップ 620 は、所望の出力信号の所望の出力信号周波数に従って設定されたクロック信号を受信することを含む。図 5 の実施例では、ステップ 620 は、基準信号 511 を受信することによって達成される。

【0245】

ステップ 630 は、I 成分を処理して、出力信号周波数を有する第 1 および第 2 の信号を生成することを含む。第 1 および第 2 の信号は、ほぼ一定かつ等しい大きさの包絡線、および、I 成分に等しい和を有する。第 1 および第 2 の信号は、上述の $I_U(t)$ および $I_L(t)$ 定包絡線成分に対応する。図 5 の実施例では、ステップ 630 は、ベクトル変調器 520 および 530 によって、それらの適切な入力信号と共に、達成される。

【0246】

ステップ 640 は、Q 成分を処理して、出力信号周波数を有する第 3 および第 4 の信号を生成することを含む。第 3 および第 4 の信号は、ほぼ一定かつ等しい大きさの包絡線、および、Q 成分に等しい和を有する。第 3 および第 4 の信号は、上述の $Q_U(t)$ および $Q_L(t)$ 定包絡線成分に対応する。図 5 の実施例では、ステップ 630 は、ベクトル変調器 540 および 550 によって、それらの適切な入力信号と共に、達成される。

【0247】

ステップ 650 は、第 1、第 2、第 3 および第 4 の信号の各々を個別に増幅し、増幅された信号を加算して、所望の出力信号を生成することを含む。一実施形態では、第 1、第 2、第 3 および第 4 の信号の増幅はほぼ等しく、所望の出力信号の所望の電力レベルによるものである。図 5 の実施例では、ステップ 650 は、電力増幅器 562、564、566 および 568 が各信号 529、539、549 および 559 を増幅することによって、かつ、加算器 572、574 および 576 が、増幅された信号 563、565、567 および 569 を加算して、出力信号 578 を生成することによって達成される。

【0248】

図 7A は、図 6 のプロセス流れ図 600 を実装するベクトル電力増幅器 700 の例示的実施形態を例示するブロック図である。図 7A の実施例では、任意選択のコンポーネントが破線で例示される。他の実施形態では、追加のコンポーネントが任意選択であってもよい。

【0249】

ベクトル電力増幅器 700 は、同相 (I) 分岐 703 および直交 (Q) 分岐 705 を含む。I および Q 分岐の各々はさらに、第 1 の分岐および第 2 の分岐を備える。

【0250】

同相 (I) 情報信号 702 は、I データ伝達関数モジュール 710 によって受信される。一実施形態では、I 情報信号 702 は、デジタルベースバンド信号を含む。一実施形態では、I データ伝達関数モジュール 710 は、I 情報信号 702 をサンプルクロック 706 に従ってサンプルする。別の実施形態では、I 情報信号 702 はアナログベースバンド信号を含み、これが I データ伝達関数モジュール 710 に入力される前に、アナログ - デジタル変換器 (ADC) (図 7A に図示せず) を使用してデジタルに変換される。別の実施形態では、I 情報信号 702 は、I データ伝達関数モジュール 710 にアナログ形式で入力するアナログベースバンド信号を含み、I データ伝達関数モジュール 710 もまたアナログ回路を含む。別の実施形態では、I 情報信号 702 は、上述の実施形態のいずれかを使用して、I データ伝達関数モジュール 710 に入力される前にベースバンドにダウンコンバートされる、RF 信号を含む。

【0251】

I データ伝達関数モジュール 710 は、I 情報信号 702 を処理し、I 情報信号 702 の少なくとも 2 つの定包絡線成分信号の同相および直交振幅情報を決定する。図 5 を参照して上述したように、同相および直交ベクトル変調器入力振幅情報は、 $sgn(I) \times I_{UX}$ および I_{UY} にそれぞれ対応する。I データ伝達関数モジュール 710 の動作を、さらに以下でセクション 3.4 において説明する。

【0252】

10

20

30

40

50

I データ伝達関数モジュール 710 は、ベクトル変調器 760 および 762 の同相および直交振幅成分を制御するために使用される、情報信号 702 および 724 を出力する。一実施形態では、信号 722 および 724 はデジタル信号である。したがって、信号 722 および 724 の各々は、対応するデジタル - アナログ変換器 (DAC) 730 および 732 にそれぞれ供給される。DAC 730 および 732 の分解能およびサンプルレートが、出力信号 782 の所望の I 成分を達成するために選択される。DAC 730 および 732 は、DAC クロック信号 723 および 725 によってそれぞれ制御される。DAC クロック信号 723 および 725 は、同じクロック信号から導出されてもよいし、独立であつてもよい。

【0253】

10

別の実施形態では、信号 722 および 724 はアナログ信号であり、DAC 730 および 732 は必要とされない。

【0254】

図 7A の例示的実施形態では、DAC 730 および 732 は、デジタル情報信号 722 および 724 を対応するアナログ信号に変換し、これらのアナログ信号を任意選択の補間フィルタ 731 および 733 にそれぞれ入力する。アンチエイリアスフィルタとしての機能も果たす補間フィルタ 731 および 733 は、DAC 出力を整形して、所望の出力波形を生成する。補間フィルタ 731 および 733 は、信号 740 および 742 をそれぞれ生成する。信号 741 は、信号 740 の逆を表す。信号 740 ~ 742 は、ベクトル変調器 760 および 762 に入力される。

20

【0255】

ベクトル変調器 760 および 762 は、信号 740 ~ 742 を、適切に位相整合されたクロック信号で乗算して、I 情報信号 702 の定包絡線成分を生成する。これらのクロック信号は、所望の出力信号周波数によるレートを有するチャネルクロック信号 708 から導出される。例えば、750 および 752 など、複数の分相器、および、ベクトル変調器乗算器に関連付けられたフェーザを、適切に位相整合されたクロック信号を生成するためには使用してもよい。

【0256】

図 7A の実施形態では、例えば、ベクトル変調器 760 は、直交振幅情報信号 740 により、90 度シフトされたチャネルクロック信号を変調する。並行して、ベクトル変調器 760 は、同相振幅情報信号 742 により、同相チャネルクロック信号を変調する。ベクトル変調器 760 は、2 つの変調された信号を結合して、I 情報信号 702 の第 1 の変調された定包絡線成分 761 を生成する。同様に、ベクトル変調器 762 は、I 情報信号 702 の第 2 の変調された定包絡線成分 763 を、信号 741 および 742 を使用して生成する。信号 761 および 763 はそれぞれ、図 5 を参照して説明した $I_u(t)$ および $I_L(t)$ 定包絡線成分に対応する。

30

【0257】

並行して、かつ類似の方法で、ベクトル電力增幅器 700 の Q 分岐は、直交 (Q) 情報信号 704 の少なくとも 2 つの定包絡線成分信号を生成する。

【0258】

40

図 7A の実施形態では、例えば、ベクトル変調器 764 は、Q 情報信号 704 の第 1 の定包絡線成分 765 を、信号 744 および 746 を使用して生成する。同様に、ベクトル変調器 766 は、Q 情報信号 704 の第 2 の定包絡線成分 767 を、信号 745 および 746 を使用して生成する。

【0259】

図 5 に関して上述したように、成分信号 761、763、765 および 767 は、ほぼ等しくかつ一定の大きさの包絡線を有する。図 7A の例示的実施形態では、信号 761、763、765 および 767 は、対応する電力增幅器 (PA) 770、772、774 および 776 にそれぞれ入力される。PA 770、772、774 および 776 を、線形または非線形電力增幅器にすることができる。一実施形態では、PA 770、772、774

50

4 および 7 7 6 はスイッチング電力増幅器を含む。

【0260】

回路 7 1 4 および 7 1 6 (本明細書で、参照を容易にするため、限定ではなく「自己バイアス回路」と称する)、および、この実施形態では、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 のバイアスを、I および Q 情報信号 7 0 2 および 7 0 4 に従って制御する。図 7 A の実施形態では、自己バイアス回路 7 1 4 および 7 1 6 は、バイアス信号 7 1 5 および 7 1 7 をそれぞれ PA 7 7 0、7 7 2 および PA 7 7 4、7 7 6 に提供する。自己バイアス回路 7 1 4 および 7 1 6 を、さらに以下でセクション 3.5 において説明する。PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の実施形態もまた、以下でセクション 3.5 において論じる。

10

【0261】

一実施形態では、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 は、ほぼ等しい電力増幅をそれぞれのほぼ一定の包絡線信号 7 6 1、7 6 3、7 6 5 および 7 6 7 に適用する。他の実施形態では、PA ドライバが追加で採用されて、追加の電力増幅が提供される。図 7 A の実施形態では、PA ドライバ 7 9 4、7 9 5、7 9 6 および 7 9 7 が、ベクトル電力増幅器 7 0 0 の各分岐において、各ベクトル変調器 7 6 0、7 6 2、7 6 4、7 6 6 と各 PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の間に、任意選択で追加される。

【0262】

PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の出力が共に結合されて、ベクトル電力増幅器 7 0 0 の出力信号 7 8 2 が生成される。一実施形態では、ワイヤを使用して、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の出力が共に直結される。このような直結は、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の出力の間に抵抗性、誘導性または容量性の最小の絶縁があるか、あるいはないことを意味する。すなわち、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の出力は、介在するコンポーネントなしに共に結合される。別法として、一実施形態では、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の出力は、低または最小インピーダンス接続の結果となるインダクタンスおよび / またはキャパシタンス、および / または、最小の絶縁および最小の電力損失の結果となる接続を通じて、間接的に共に結合される。別法として、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 の出力は、ウィルキンソン、ハイブリッド、変圧器、または既知のアクティブ結合器など、周知の結合技術を使用して結合される。一実施形態では、PA 7 7 0、7 7 2、7 7 4 および 7 7 6 は、統合された増幅および電力結合を单一の動作において提供する。一実施形態では、本明細書に記載した電力増幅器および / またはドライバの 1 つまたは複数は、多入力 1 出力の電力増幅技術を使用して実装され、その実施例を図 7 B および 5 1 A ~ H に図示する。

20

【0263】

出力信号 7 8 2 は、I および Q 情報信号 7 0 2 および 7 0 4 の I および Q 特性を含む。さらに、出力信号 7 8 2 は、その成分と同じ周波数、および、よって所望のアップコンバートされた出力周波数のものである。ベクトル電力増幅器 7 0 0 の実施形態では、プルアップインピーダンス (p u l l - u p i m p e d a n c e) 7 8 0 が、ベクトル増幅器 7 0 0 の出力と電源の間に結合される。本発明の電力増幅方法およびシステムによる出力ステージの実施形態を、さらに以下でセクション 3.5 において説明する。

30

【0264】

ベクトル電力増幅器 7 0 0 の他の実施形態では、プロセス検出器が採用されて、増幅器の回路におけるいかなるプロセス変動もが補償される。図 7 A の実施形態では、例えば、プロセス検出器 7 9 1 ~ 7 9 3 が任意選択で追加されて、PA ドライバ 7 9 4 ~ 7 9 7 および分相器 7 5 0 における変動が監視される。さらなる実施形態では、周波数補償回路 7 9 9 を採用して、周波数変動を補償してもよい。

40

【0265】

図 7 B は、ベクトル電力増幅器 7 0 0 の別の例示的実施形態を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多くのあるいはより少ない任意選択のコンポーネントを有してもよい。

50

【0266】

この実施形態は、図7Aの増幅器の多入力1出力(MISO)実装を例示する。図7Bの実施形態では、ベクトル変調器760、762、764および766から出力された、定包絡線信号761、763、765および767が、MISO PA784および786に入力される。MISO PA784および786は、2入力1出力の電力増幅器である。一実施形態では、MISO PA784および786は、図7Aの実施形態に示すような素子770、772、774、776、794～797、またはその機能的均等物を含む。別の実施形態では、MISO PA784および786は、任意選択のプレドライバおよび任意選択のプロセス検出回路など、他の素子を含んでもよい。さらに、MISO PA784および786は、図7Bに示すような2入力PAであることに限定されない。他の実施形態では、以下で図51A～Hを参照してさらに説明するように、PA784および786は、いかなる数の入力および出力を有することもできる。10

【0267】

図8Aは、図6に示したデカルト4分岐VPA方法によるベクトル電力増幅器の別の例示的実施形態800Aを例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多くのあるいはより少ない任意選択のコンポーネントを有してもよい。

【0268】

図8Aの実施形態では、十分な分解能およびサンプルレートのDAC830が、図7Aの実施形態のDAC730、732、734および736に取って代わる。DAC830のサンプルレートは、DACクロック信号826によって制御される。20

【0269】

DAC830は、同相および直交情報信号810および820を、Iデータ伝達関数モジュール710およびQデータ伝達関数モジュール712からそれぞれ上述のように受信する。一実施形態では、入力セレクタ822は、信号810および820がDAC830に入力される順序を選択する。

【0270】

DAC830は、一度に単一のアナログ信号を出力してもよい。一実施形態では、図8Aに示すように、サンプルホールドアーキテクチャを使用して、増幅器の4つの分岐に対する適切な信号タイミングを保証してもよい。30

【0271】

DAC830は、アナログ信号832、834、836、838を、第1のセットのサンプルホールド回路842、844、846および848へ、順次出力する。一実施形態では、DAC830は、図7Aの実施形態のDAC730、732、734および736の動作をエミュレートするために、十分なレートでクロックされる。出力セレクタ824は、出力信号832、834、836および838のうち、どれが出力のために選択されるべきであるかを決定する。

【0272】

DAC830のDACクロック信号826、出力セレクタ信号824、入力セレクタ822、および、サンプルホールドクロック840A～Dおよび850は、独立にするか、あるいは伝達関数モジュール710および/または712に統合することができる、制御モジュールによって制御される。40

【0273】

一実施形態では、サンプルホールド回路(S/H)842、844、846および848は、クロック信号840A～Dに従って、DAC830から、受信されたアナログ値をサンプルホールドする。サンプルホールド回路852、854、856および858は、サンプルホールド回路842、844、846および848からのアナログ値を、それぞれサンプルホールドする。同様に、サンプルホールド回路852、854、856および858は、受信されたアナログ値をホールドし、同時にこれらの値をベクトル変調器760、762、764および766へ、共通クロック信号850に従ってリリースする。別50

の実施形態では、サンプルホールド回路 852、854、856 および 858 は、これらの値を、同じくアンチエイリアスフィルタである任意選択の補間フィルタ 731、733、735 および 737 へリリースする。一実施形態では、共通クロック信号 850 は、S/H 852、854、856 および 858 の出力が時間的に整合されることを保証するために使用される。

【0274】

ベクトル電力増幅器 800A の他の態様は、実質的には、ベクトル電力増幅器 700 に関して上述したものに対応する。

【0275】

図 8B は、図 6 に示したデカルト 4 分岐 VPA 方法によるベクトル電力増幅器の別の例示的実施形態 800B を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多くのあるいはより少ない任意選択のコンポーネントを有してもよい。

【0276】

実施形態 800B は、ベクトル電力増幅器の別の单一 DAC 実装を例示する。しかし、図 8A の実施形態とは対照的に、サンプルホールドアーキテクチャは単一のセットのサンプルホールド (S/H) 回路を含む。図 8B に示すように、S/H 842、844、846 および 848 は、信号 832、834、836 および 838 として例示した、DAC 830 からのアナログ値を受信する。S/H 回路 842、844、846 および 848 の各々は、図示のように異なるクロック 840A～D に従って、その受信された値をリリースする。信号 740、741、742、744、745 および 746 を生成するために使用されるアナログサンプルの間の時間差を、伝達関数 710 および 712 において補償することができる。図 8B の実施形態によれば、図 8A の実施形態と比較して S/H 回路の 1 レベルを除去し、それにより、増幅器のサイズおよび複雑性を低減することができる。

【0277】

ベクトル電力増幅器 800B の他の態様は、実質的には、ベクトル電力増幅器 700 および 800A に関して上述したものに対応する。

【0278】

図 8C は、ベクトル電力増幅器 700 の別の例示的実施形態 800C を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多くのあるいはより少ない任意選択のコンポーネントを有してもよい。図 8C の実施形態は、図 8A の増幅器の多入力 1 出力 (MISO) 実装を例示する。図 8C の実施形態では、ベクトル変調器 760、762、764 および 766 から出力された、定包絡線信号 761、763、765 および 767 が、MISO PA 860 および 862 に入力される。MISO PA 860 および 862 は、2 入力 1 出力の電力増幅器である。一実施形態では、MISO PA 860 および 862 は、図 7A の実施形態に示すような素子 770、772、774、776、794～797、またはその機能的均等物を含む。別の実施形態では、MISO PA 860 および 862 は、任意選択のプレドライバおよび任意選択のプロセス検出回路など、他の素子を含んでもよい。別の実施形態では、MISO PA 860 および 862 は、図 7A の実施形態に図示されない、プレドライバなど、他の素子を含んでもよい。さらに、MISO PA 860 および 862 は、図 8C に示すような 2 入力 PA であることに限定されない。他の実施形態では、以下で図 51A～H を参照してさらに説明するように、PA 860 および 862 は、いかなる数の入力および出力を有することもできる。

【0279】

ベクトル電力増幅器 800C の他の態様は、実質的には、ベクトル電力増幅器 700 および 800A に関して上述したものに対応する。

【0280】

図 8D は、ベクトル電力増幅器 700 の別の例示的実施形態 800D を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多

10

20

30

40

50

くのあるいはより少ない任意選択のコンポーネントを有してもよい。図 8 D の実施形態は、図 8 B の増幅器の多入力 1 出力 (MISO) 実装を例示する。図 8 D の実施形態では、ベクトル変調器 760、762、764 および 766 から出力された、定包絡線信号 761、763、765 および 767 が、MISO PA870 および 872 に入力される。MISO PA870 および 872 は、2 入力 1 出力の電力増幅器である。一実施形態では、MISO PA870 および 872 は、図 7 A の実施形態に示すような素子 770、772、774、776、794～797、またはその機能的均等物を含む。別の実施形態では、MISO PA870 および 872 は、任意選択のプレドライバおよび任意選択のプロセス検出回路など、他の素子を含んでもよい。別の実施形態では、MISO PA870 および 872 は、図 7 A の実施形態に図示されない、プレドライバなど、他の素子を含んでもよい。さらに、MISO PA870 および 872 は、図 8 D に示すような 2 入力 PA であることに限定されない。他の実施形態では、以下で図 51 A～H を参照してさらに説明するように、PA870 および 872 は、いかなる数の入力および出力を有することもできる。
10

【0281】

ベクトル電力増幅器 800D の他の態様は、実質的には、ベクトル電力増幅器 700 および 800B に関して上述したものに対応する。

【0282】

3.2) デカルトポーラデカルトポーラ 2 分岐ベクトル電力増幅器

デカルトポーラデカルトポーラ (CPCP) 2 分岐 VPA の実施形態をこれから説明するものとする (この実施形態の名称は、参照を容易にするために提供され、限定していない)。
20

【0283】

デカルトポーラデカルトポーラ (CPCP) 2 分岐 VPA 方法によれば、時変複素包絡線信号は、2 つのほぼ一定の包絡線成分信号に分解される。これらの成分信号は個別に増幅され、次いで加算されて、元の時変複素包絡線信号の増幅されたバージョンが構成される。加えて、時変複素包絡線信号の位相角が決定され、結果として生じる成分信号の加算が、適切な角度だけ位相シフトされる。

【0284】

CPCP 2 分岐 VPA 方法の一実施形態では、時変複素包絡線信号の大きさおよび位相角が、信号の同相および直交成分から計算される。大きさ情報が与えられると、2 つのほぼ一定の包絡線成分が、所望の時変包絡線信号の正規化されたバージョンから計算され、この正規化は、実装特有の位相および / または振幅の操作を含む。2 つのほぼ一定の包絡線成分は次いで、所望の時変包絡線信号の位相シフトに関係する適切な角度だけ位相シフトされる。ほぼ一定の包絡線成分は次いで、個別にほぼ等しく増幅され、加算されて、元の所望の時変包絡線信号の増幅されたバージョンが生成される。
30

【0285】

図 9 A および 9 B は、フェーザ信号表現を使用した CPCP 2 分岐 VPA の実施形態を概念的に例示する。図 9 A では、フェーザ

【0286】

【数 80】

\overline{R}_{in}

【0287】

は、時変複素包絡線入力信号 $r(t)$ を表す。いずれかの時刻に

【0288】

10

20

30

40

【数 8 1】

 $\overline{\overline{R}}_{in}$

【0 2 8 9】

は、信号 $r(t)$ の大きさおよび位相シフト角を反映する。図 9 A に示す実施例では、

【0 2 9 0】

【数 8 2】

 $\overline{\overline{R}}_{in}$

10

【0 2 9 1】

は、大きさ R および位相シフト角 ϕ によって特徴化される。上述のように、位相シフト角は基準信号に対して測定される。

【0 2 9 2】

図 9 A を参照すると、

【0 2 9 3】

【数 8 3】

 $\overline{\overline{R}}$

20

【0 2 9 4】

は、

【0 2 9 5】

【数 8 4】

 $\overline{\overline{U}}$

【0 2 9 6】

および

【0 2 9 7】

【数 8 5】

 $\overline{\overline{L}}$

30

【0 2 9 8】

によって生成された

【0 2 9 9】

【数 8 6】

 $\overline{\overline{R}}_{in}$

【0 3 0 0】

の相対振幅成分を表す。

40

【0 3 0 1】

なお、図 9 A を参照すると、いずれかの時刻に、

【0 3 0 2】

【数 8 7】

 $\overline{\overline{R}}$

【0 3 0 3】

を、上側フェーザ

【0 3 0 4】

50

【数 8 8】

【0 3 0 5】

および下側フェーザ

【0 3 0 6】

【数 8 9】

10

【0 3 0 7】

の和によって得ることができることに留意されたい。さらに、

【0 3 0 8】

【数 9 0】

および

【0 3 0 9】

【数 9 1】

20

【0 3 1 0】

を、ほぼ一定の大きさを有するように維持することができる。フェーザ

【0 3 1 1】

【数 9 2】

および

【0 3 1 2】

30

【数 9 3】

【0 3 1 3】

は、したがって、2つのほぼ一定の包絡線信号を表す。 $r'(t)$ を、よって、いずれかの時刻に、フェーザ

【0 3 1 4】

【数 9 4】

および

【0 3 1 5】

40

【数 9 5】

【0 3 1 6】

に対応する2つのほぼ一定の包絡線信号の和によって得ることができる。

【0 3 1 7】

【数96】

 $\overline{R'}$

【0318】

に対するフェーザ

【0319】

【数97】

 $\overline{U'}$

【0320】

および

【0321】

【数98】

 $\overline{L'}$

【0322】

の位相シフトは、

【0323】

【数99】

 $\overline{R'}$

【0324】

の所望の大きさ R に従って設定される。最も簡単な場合、上側および下側フェーザ

【0325】

【数100】

 $\overrightarrow{U'}$

【0326】

および

【0327】

【数101】

 $\overleftarrow{L'}$

【0328】

が等しい大きさを有するように選択されるとき、上側および下側フェーザ

【0329】

【数102】

 $\overrightarrow{U'}$

【0330】

および

【0331】

【数103】

 $\overleftarrow{L'}$

10

20

30

40

50

は、

【0 3 3 2】

【数1 0 4】

$\overrightarrow{R'}$

【0 3 3 3】

に対して、位相においてほぼ対称的にシフトされる。これは図9 A の実施例に例示される。それに限定されないが、「上側および下側」など、向きを指示あるいは示唆する用語および句は、参照を容易にするため、本明細書で使用され、機能的あるいは構造的に限定しないことに留意されたい。 10

【0 3 3 4】

図9 A に例示した場合では、

【0 3 3 5】

【数1 0 5】

$\overrightarrow{R'}$

【0 3 3 6】

に対する

【0 3 3 7】

【数1 0 6】

$\overrightarrow{U'}$

および

【0 3 3 8】

【数1 0 7】

$\overrightarrow{L'}$

【0 3 3 9】

の位相シフトは、図9 A では角度 30

【0 3 4 0】

【数1 0 8】

$\frac{\phi}{2}$

【0 3 4 1】

として例示され、以下のように

【0 3 4 2】

【数1 0 9】

$\overrightarrow{R'}$

【0 3 4 3】

の大きさに関係することを検証することができる。 40

【0 3 4 4】

【数110】

$$\frac{\phi}{2} = \cot^{-1} \left(\frac{R}{2\sqrt{1 - \frac{R^2}{4}}} \right) \quad (7)$$

【0345】

ただし、Rは、フェーザ

10

【0346】

【数111】

 \overline{R}

【0347】

の正規化された大きさを表す。

【0348】

方程式(7)を、さらに以下に約分することができる。

【0349】

【数112】

20

$$\frac{\phi}{2} = \cos^{-1} \left(\frac{R}{2} \right) \quad (7.10)$$

【0350】

ただし、Rは、フェーザ

【0351】

【数113】

 \overline{R}

【0352】

の正規化された大きさを表す。

30

【0353】

別法として、いかなるほぼ等価な数学的方程式、または、ルックアップテーブルなど、他のほぼ等価な数学的技術も使用することができる。

【0354】

上記の考察から、フェーザ表現では、可変の大きさおよび位相のいかなるフェーザ

【0355】

【数114】

 \overline{R}

【0356】

も、2つの一定の大きさのフェーザ成分の和によって構成することができるということになる。

40

【0357】

【数115】

$$\vec{R} = \vec{U} + \vec{L} \quad (8)$$

$$|\vec{U}| = |\vec{L}| = A = \text{定数}$$

【0358】

対応して、時間領域では、時変包絡線正弦波信号 $r'(t) = R(t) \times \cos(\omega t)$ は、以下のように、2つの定包絡線信号の和によって構成される。

【0359】

【数116】

$$r'(t) = U'(t) + L'(t);$$

$$U'(t) = A \times \cos(\omega t + \frac{\phi}{2}); \quad (9)$$

$$L'(t) = A \times \cos(\omega t - \frac{\phi}{2});$$

【0360】

ただし、Aは定数であり、

【0361】

【数117】

$$\frac{\phi}{2}$$

【0362】

は方程式(7)に示す通りである。

【0363】

図9Aから、さらに、方程式(9)を以下のように書き換えることができる事を検証することができる。

$$\begin{aligned} r'(t) &= U'(t) + L'(t), \\ U'(t) &= C \cos(\omega t) + \sin(\omega t), \quad (10) \\ L'(t) &= C \cos(\omega t) - \sin(\omega t), \end{aligned}$$

ただし、Cは、フェーザ

【0364】

【数118】

$$\vec{U}$$

および

【0365】

【数119】

$$\vec{L}$$

【0366】

の実部成分を示し、

【0367】

10

20

30

40

【数120】

$$\underline{A} \times \cos\left(\frac{\phi}{2}\right)$$

【0368】

に等しい。Cは、

【0369】

【数121】

$$\overrightarrow{U'}$$

【0370】

および

【0371】

【数122】

$$\overrightarrow{L'}$$

【0372】

の共通成分であることに留意されたい。およびは、フェーザ

【0373】

【数123】

$$\overrightarrow{U'}$$

【0374】

および

【0375】

【数124】

$$\overrightarrow{L'}$$

【0376】

の虚部成分をそれぞれ示す。

【0377】

【数125】

$$\alpha = \beta = A \times \sin\left(\frac{\phi}{2}\right)$$

【0378】

である。したがって、方程式(12)から、

【0379】

【数126】

$$r'(t) = 2C \times \cos(\omega t) = 2A \times \cos\left(\frac{\phi}{2}\right) \times \cos(\omega t)$$

【0380】

である。当業者には本明細書の教示に基づいて理解されるように、量A、BおよびCの上記表現の他の等価および/または簡約表現もまた使用してもよく、これには、例えば、ルックアップテーブルが含まれる。

10

20

30

40

50

【 0 3 8 1 】

【 数 1 2 7 】

 $\overrightarrow{R_{in}}$

【 0 3 8 2 】

は、

【 0 3 8 3 】

【 数 1 2 8 】

 $\overrightarrow{R'}$

10

【 0 3 8 4 】

に対して 一度だけシフトされることに留意されたい。したがって、方程式(8)を使用して、以下を推論することができる。

【 0 3 8 5 】

【 数 1 2 9 】

$$\overrightarrow{R_{in}} = \overrightarrow{R} e^{j\theta} = (\overrightarrow{U} + \overrightarrow{L}) e^{j\theta} = \overrightarrow{U} e^{j\theta} + \overrightarrow{L} e^{j\theta} \quad (11)$$

20

【 0 3 8 6 】

方程式(11)は、

【 0 3 8 7 】

【 数 1 3 0 】

 $\overrightarrow{R_{in}}$

【 0 3 8 8 】

の表現を、一度だけシフトされた上記のフェーザ

【 0 3 8 9 】

【 数 1 3 1 】

 $\overrightarrow{U'}$

および

【 0 3 9 0 】

【 数 1 3 2 】

 $\overrightarrow{L'}$

【 0 3 9 1 】

を加算することによって、得ることができることを示唆する。さらに、

【 0 3 9 2 】

【 数 1 3 3 】

 $\overrightarrow{R_{in}}$

40

【 0 3 9 3 】

の増幅された出力バージョン

【 0 3 9 4 】

【数 1 3 4】

 \overline{R}_{out}

【0 3 9 5】

を、フェーザ

【0 3 9 6】

【数 1 3 5】

 \overline{U}

および

【0 3 9 7】

【数 1 3 6】

 \overline{L}

【0 3 9 8】

の度シフトされたバージョンの各々を別々にほぼ等しく増幅すること、および、それらを加算することによって、得ることができる。図9Bは、この概念を例示する。図9Bでは、フェーザ

10

【0 3 9 9】

【数 1 3 7】

 \overline{U}

および

【0 4 0 0】

【数 1 3 8】

 \overline{L}

【0 4 0 1】

は、フェーザ

【0 4 0 2】

【数 1 3 9】

 \overline{U}

および

【0 4 0 3】

【数 1 4 0】

 \overline{L}

【0 4 0 4】

の、度シフトされ、増幅されたバージョンを表す。

30

【0 4 0 5】

【数 1 4 1】

 \overline{U}

【0 4 0 6】

および

【0 4 0 7】

40

【数142】

 \overline{L}

【0408】

は一定の大きさのフェーザであるため、

【0409】

【数143】

 \overline{U}

【0410】

および

【0411】

【数144】

 \overline{L}

【0412】

もまた一定の大きさのフェーザであることに留意されたい。フェーザ

【0413】

【数145】

 \overline{U}

【0414】

および

【0415】

【数146】

 \overline{L}

【0416】

の和は、図9Bに示すように、フェーザ

【0417】

【数147】

 \overline{R}_{out}

【0418】

となり、これは、入力信号

【0419】

【数148】

 \overline{R}_{in}

【0420】

の電力増幅されたバージョンである。

【0421】

等価的に、時間領域では、以下であることが分かる。

$$r_{out}(t) = U(t) + L(t),$$

$$U(t) = K [C \cos(\omega t + \phi) + S \sin(\omega t + \phi)], \quad (12)$$

$$L(t) = K [C \cos(\omega t + \phi) - S \sin(\omega t + \phi)].$$

ただし、 $r_{out}(t)$ は、フェーザ

【0422】

10

20

30

40

50

【数149】

 \overline{R}_{out}

【0423】

によって表現された時間領域信号に対応し、U(t)およびL(t)は、フェーザ

【0424】

【数150】

 \overline{U}

【0425】

10

および

【0426】

【数151】

 \overline{L}

【0427】

によって表現された時間領域信号に対応し、Kは電力増幅係数である。

【0428】

20

方程式(9)および(10)における時間領域表現は正弦波形の場合について提供されたが、等価表現を非正弦波形について、適切な基底関数を用いて展開することができるることは、当業者には理解されよう。

【0429】

図10は、CP CP 2分岐VPAの実施形態の例示的実施形態1000を概念的に例示するブロック図である。所望の電力レベルおよび周波数特性の出力信号r(t)は、CP CP 2分岐VPAの実施形態によれば、同相および直交成分から生成される。

【0430】

図10の実施例では、クロック信号1010は、出力信号r(t)を生成するための基準信号を表す。クロック信号1010は、所望の出力信号r(t)と同じ周波数のものである。

30

【0431】

図10を参照すると、Ick_phase信号1012およびQck_phase信号1014は、C1k信号1010の同相および直交成分によって乗算され、ベースバンドIおよびQ信号から計算される、振幅アナログ値を表す。

【0432】

なお、図10を参照すると、クロック信号1010はIck_phase信号1012で乗算される。並行して、クロック信号1010の90度シフトされたバージョンは、Qck_phase信号1014で乗算される。この2つの乗算された信号が結合されて、Rck信号1016が生成される。Rck信号1016は、クロック信号1010と同じ周波数のものである。さらに、Rck信号1016は、Q(t)およびI(t)の比による位相シフト角によって特性化される。Rck信号1016の大きさは、 $R^2 c1k = I^2 c1k_phase + Q^2 c1k_phase$ のようになる。したがって、Rck信号1016は、所望の出力信号r(t)の位相特性を有するほぼ一定の包絡線信号を表す。

40

【0433】

なお、図10を参照すると、Rck信号1016は並行して、2つのベクトル変調器1060および1062に入力される。ベクトル変調器1060および1062は、(12)に記載したように、所望の出力信号のr(t)の、U(t)およびL(t)ほぼ一定の包絡線成分をそれぞれ生成する。ベクトル変調器1060では、共通信号1028で乗算された同相Rck信号1020は、第1の信号1026で乗算されたRck信号の

50

90度シフトされたバージョン1018と結合される。並行して、ベクトル変調器1062では、共通信号1028で乗算された同相Rc1k信号1022は、第2の信号1030で乗算されたRc1k信号の90度シフトされたバージョン1024と結合される。共通信号1028、第1の信号1026および第2の信号1030は、方程式(12)に記載された実部C、ならびに虚部 および にそれぞれ対応する。

【0434】

各ベクトル変調器1060および1062の出力信号1040および1042は、入力信号r(t)のU(t)およびL(t)定包絡線成分にそれぞれ対応する。

【0435】

上述のように、信号1040および1042は、ほぼ等しくかつ一定の大きさの包絡線を有することによって特性化される。したがって、信号1040および1042が対応する電力増幅器(PA)1044および1046に入力されるとき、対応する増幅された信号1048および1050は、ほぼ一定の包絡線信号である。

【0436】

電力増幅器1044および1046は、ほぼ等しい電力増幅を信号1040および1042にそれぞれ適用する。一実施形態では、PA1044および1046の電力増幅レベルは、出力信号r(t)の所望の電力レベルに従って設定される。さらに、増幅された信号1048および1050は、互いに対しても同相である。したがって、共に加算されるとき、図10に示すように、結果として生じる信号1052は、所望の出力信号r(t)に対応する。

【0437】

図10Aは、CPCP2分岐VPAの実施形態の別の例示的実施形態1000Aである。実施形態1000Aは、図10の実施形態1000の多入力1出力(MISO)実装を表す。

【0438】

実施形態1000Aでは、ベクトル変調器1060および1062から出力された、定包絡線信号1040および1042は、MISO PA1054に入力される。MISO PA1054は、2入力1出力の電力増幅器である。一実施形態では、MISO PA1054は、例えば、プレドライバ、ドライバ、電力増幅器およびプロセス検出器(図10Aに図示せず)など、様々な素子を含んでよい。さらに、MISO PA1054は、図10Aに示すように、2入力PAであることに限定されない。他の実施形態では、以下で図51A～Hを参照してさらに説明するように、PA1054は、いかなる数の入力を有することもできる。

【0439】

CPCP2分岐VPAの実施形態の動作を、図11のプロセス流れ図1100に示す。

【0440】

このプロセスは、所望の出力信号のベースバンド表現を受信することを含む、ステップ1110で開始する。一実施形態では、これは、所望の出力信号の同相(I)および直交(Q)成分を受信することを含む。別の実施形態では、これは、所望の出力信号の大きさおよび位相を受信することを含む。

【0441】

ステップ1120は、所望の出力信号の所望の出力信号周波数に従って設定されたクロック信号を受信することを含む。図10の実施例では、ステップ1120は、クロック信号1010を受信することによって達成される。

【0442】

ステップ1130は、クロック信号を処理して、受信されたIおよびQ成分による位相シフト角を有する正規化されたクロック信号を生成することを含む。一実施形態では、正規化されたクロック信号は、IおよびQ成分の比による位相シフト角を有する定包絡線信号である。正規化されたクロックの位相シフト角は、元のクロック信号と相対的である。図10の実施例では、ステップ1130は、クロック信号1010の同相および直交成分

10

20

30

40

50

を $I_{clk_phase1012}$ および $Q_{clk_phase1014}$ 信号で乗算し、次いで、乗算された信号を加算して、 R_{clk} 信号 1016 を生成することによって達成される。

【0443】

ステップ 1140 は、I および Q 成分を処理して、第 1 および第 2 のほぼ一定の包絡線成分信号を生成するために必要とされる振幅情報を生成することを含む。

【0444】

ステップ 1150 は、ステップ 1140 の振幅情報を正規化されたクロック信号 R_{clk} を処理して、所望の出力信号の第 1 および第 2 の定包絡線成分を生成することを含む。一実施形態では、ステップ 1150 は、所望の出力信号の第 1 および第 2 の定包絡線成分を、正規化されたクロック信号の位相シフト角だけ位相シフトすることを含む。図 10 の実施例では、ステップ 1150 は、ベクトル変調器 1060 および 1062 が R_{clk} 信号 1016 を第 1 の信号 1026、第 2 の信号 1030 および共通信号 1028 で変調して、信号 1040 および 1042 を生成することによって達成される。

10

【0445】

ステップ 1160 は、第 1 および第 2 の定包絡線成分を個別に増幅し、増幅された信号を加算して、所望の出力信号を生成することを含む。一実施形態では、第 1 および第 2 の定包絡線成分の増幅はほぼ等しく、所望の出力信号の所望の電力レベルによるものである。図 10 の実施例では、ステップ 1160 は、PA1044 および 1046 が信号 1040 および 1042 を増幅して、増幅された信号 1048 および 1050 を生成することによって達成される。

20

【0446】

図 12 は、プロセス流れ図 1100 を実装するベクトル電力増幅器 1200 の例示的実施形態を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態では、より多くのあるいはより少ないコンポーネントが任意選択であってもよい。

20

【0447】

図 12 を参照すると、同相 (I) および直交 (Q) 情報信号 1210 は、I および Q データ伝達関数モジュール 1216 によって受信される。一実施形態では、I および Q データ伝達関数 1216 は、信号 1210 をサンプルクロック 1212 に従ってサンプルする。I および Q 情報信号 1210 は、所望の出力信号 $r(t)$ のベースバンド I および Q 情報を含む。

30

【0448】

一実施形態では、I および Q データ伝達関数モジュール 1216 は、情報信号 1210 を処理して、情報信号 1220、1222、1224 および 1226 を生成する。I および Q データ伝達関数モジュール 1216 の動作を、さらに以下でセクション 3.4 において説明する。

【0449】

図 12 を参照すると、情報信号 1220 は、所望の出力信号 $r(t)$ のベースバンドバージョンの第 1 および第 2 の定包絡線成分の直交振幅情報を含む。図 9A を参照すると、例えば、情報信号 1220 は、および直交成分を含む。再度、図 12 を参照すると、情報信号 1226 は、信号 $r(t)$ のベースバンドバージョンの第 1 および第 2 の定包絡線成分の同相振幅情報を含む。図 9A を参照すると、例えば、情報信号 1226 は、共通 C 同相成分を含む。

40

【0450】

なお、図 12 を参照すると、情報信号 1222 および 1224 は、正規化された同相 I_{clk_phase} および直交 Q_{clk_phase} 信号をそれぞれ含む。 I_{clk_phase} および Q_{clk_phase} は、信号 1210 に含まれた I および Q 情報信号の正規化されたバージョンである。一実施形態では、 I_{clk_phase} および Q_{clk_phase} は、 $(I^2_{clk_phase} + Q^2_{clk_phase} = \text{定数})$ であるよう

50

に正規化される。信号 1250 の位相は、所望の出力信号の位相に対応し、I c l k _ p h a s e および Q c l k _ p h a s e から作成されることに留意されたい。図 9 B を参照すると、I c l k _ p h a s e および Q c l k _ p h a s e は、以下のように I および Q に関係する。

【0451】

【数152】

$$\theta = \tan^{-1}\left(\frac{Q}{I}\right) = \tan^{-1}\left(\frac{Q_{clk_phase}}{I_{clk_phase}}\right) \quad (12.1)$$

10

【0452】

ただし、 は、所望の出力信号の位相を表し、図 9 B において b フェーザ

【0453】

【数153】

$\overline{R_{out}}$

【0454】

を表した。ベースバンド I および Q 情報の符号情報は、4 つの象限すべてについての を計算するために考慮されなければならない。

20

【0455】

図 12 の例示的実施形態では、情報信号 1220、1222、1224 および 1226 はデジタル信号である。したがって、信号 1220、1222、1224 および 1226 の各々は、対応するデジタル - アナログ変換器 (D A C) 1230、1232、1234 および 1236 に供給される。D A C 1230、1232、1234 および 1236 の分解能およびサンプルレートは、特定の信号方式に従って選択される。D A C 1230、1232、1234 および 1236 は、D A C クロック信号 1221、1223、1225 および 1227 によって、それぞれ制御される。D A C クロック信号 1221、1223、1225 および 1227 は、同じクロック信号から導出されてもよいし、独立であってよい。

30

【0456】

他の実施形態では、情報信号 1220、1222、1224 および 1226 はアナログ形式で生成され、D A C は必要とされない。

【0457】

図 12 を参照すると、D A C 1230、1232、1234 および 1236 は、デジタル情報信号 1220、1222、1224 および 1226 を対応するアナログ信号に変換し、これらのアナログ信号を任意選択の補間フィルタ 1231、1233、1235 および 1237 にそれぞれ入力する。アンチエイリアスフィルタとしての機能も果たす補間フィルタ 1231、1233、1235 および 1237 は、D A C 出力信号を整形して、所望の出力波形を生成する。補間フィルタ 1231、1233、1235 および 1237 は、信号 1240、1244、1246 および 1248 をそれぞれ生成する。信号 1242 は、信号 1240 の逆を表す。

40

【0458】

なお、図 12 を参照すると、I c l k _ p h a s e および Q c l k _ p h a s e 情報を含む、信号 1244 および 1246 は、ベクトル変調器 1238 に入力される。ベクトル変調器 1238 は、信号 1244 をチャネルクロック信号 1214 で乗算する。チャネルクロック信号 1214 は、所望の出力信号周波数に従って選択される。並行して、ベクトル変調器 1238 は、信号 1246 を、チャネルクロック信号 1214 の 90 度シフトされたバージョンで乗算する。すなわち、ベクトル変調器 1238 は、I c l k _ p h a s e の振幅を有する同相成分、および、Q c l k _ p h a s e の振幅を有する直交成分を生

50

成する。

【0459】

ベクトル変調器1238は、2つの変調された信号を結合して、Rc1k信号1250を生成する。Rc1k信号1250は、所望の出力周波数、および、信号1210に含まれたIおよびQデータによる位相シフト角を有する、ほぼ一定の包絡線信号である。

【0460】

なお、図12を参照すると、信号1240、1242および1248は、信号 $r(t)$ の複素包絡線のU、Lおよび共通C振幅成分をそれぞれ含む。信号1240、1242および1248は、Rc1k信号1250と共に、ベクトル変調器1260および1262に入力される。

10

【0461】

ベクトル変調器1260は、Rc1k信号1250の90度シフトされたバージョンで乗算された信号1240、および、Rc1k信号1250の0度シフトされたバージョンで乗算された信号1248を結合して、出力信号1264を生成する。並行して、ベクトル変調器1262は、Rc1k信号1250の90度シフトされたバージョンで乗算された信号1242、および、Rc1k信号1250の0度シフトされたバージョンで変調された信号1248を結合して、出力信号1266を生成する。

【0462】

出力信号1264および1266は、ほぼ一定の包絡線信号を表す。さらに、Rc1k信号1250に対する出力信号1264および1266の位相シフトは、/Cおよび/Cの比にそれぞれ関連付けられた角度関係によって決定される。一実施形態では、 $= -$ であり、したがって、出力信号1264および1266は、Rc1k信号1250に対して対称的に位相整合される。図9Bを参照すると、例えば、出力信号1264および1266は、一定の大きさのフェーザ

20

【0463】

【数154】

\overline{U}

【0464】

および

30

【0465】

【数155】

\overline{L}

【0466】

にそれぞれ対応する。

【0467】

出力信号1264および1266の和は、ベースバンド信号 $r(t)$ のIおよびQ特性を有する、チャネルクロック変調された信号の結果となる。ベクトル電力増幅器1200の出力で所望の電力レベルを達成するために、しかし、信号1264および1266が増幅されて、増幅された出力信号が生成される。図12の実施形態では、信号1264および1266はそれぞれ電力増幅器(PA)1270および1272に入力され、増幅される。一実施形態では、PA1270および1272はスイッチング電力増幅器を含む。自己バイアス回路1218は、以下でセクション3.5.2においてさらに説明するよう PA1270および1272のバイアスを制御する。図12の実施形態では、例えば、自己バイアス回路1218は、バイアス電圧1228をPA1270および1272へ提供する。

40

【0468】

一実施形態では、PA1270および1272は、ほぼ等しい電力増幅を各定包絡線信号1264～1266に適用する。一実施形態では、この電力増幅は、所望の出力電力レ

50

ベルに従って設定される。ベクトル電力増幅器 1200 の他の実施形態では、PA ドライバおよび / またはプレドライバが追加で採用されて、追加の電力増幅能力が増幅器に提供される。図 12 の実施形態では、例えば、PA ドライバ 1284 および 1286 がそれぞれ、ベクトル変調器 1260 および 1262 と後続の PA 1270 および 1272 の間に、任意選択で追加される。

【0469】

PA 1270 および 1272 の各出力信号 1274 および 1276 は、ほぼ一定の包絡線信号である。さらに、出力信号 1274 および 1276 が加算されるとき、結果として生じる信号は最小の非線形歪みを有する。図 12 の実施形態では、出力信号 1274 および 1276 が共に結合されて、ベクトル電力増幅器 1200 の出力信号 1280 が生成される。一実施形態では、PA 1270 および 1272 の出力の結合において絶縁が使用されない。したがって、結合によって最小の電力損失を受ける。一実施形態では、ワイヤを使用して、PA 1270 および 1272 の出力が共に直結される。このような直結は、PA 1270 および 1272 の出力の間に抵抗性、誘導性または容量性の最小の絶縁があるか、あるいはないことを意味する。すなわち、PA 1270 および 1272 の出力は、介在するコンポーネントなしに共に結合される。別法として、一実施形態では、PA 1270 および 1272 の出力は、低または最小インピーダンス接続の結果となるインダクタンスおよび / またはキャパシタンス、および / または、最小の絶縁および最小の電力損失の結果となる接続を通じて、間接的に共に結合される。別法として、PA 1270 および 1272 の出力は、ウィルキンソン、ハイブリッド結合器、変圧器、または既知のアクティブ結合器など、周知の結合技術を使用して結合される。一実施形態では、PA 1270 および 1272 は、統合された増幅および電力結合を单一の動作において提供する。一実施形態では、本明細書に記載した電力増幅器および / またはドライバの 1 つまたは複数は、多入力 1 出力の電力増幅技術を使用して実装され、その実施例を図 12A、12B および 51A～H に図示する。

【0470】

出力信号 1280 は、ベースバンド信号 $r(t)$ の I および Q 特性、ならびに、所望の出力電力レベルおよび周波数を有する信号を表す。ベクトル電力増幅器 1200 の実施形態では、プルアップインピーダンス 1288 が、ベクトル電力増幅器 1200 の出力と電源の間に結合される。他の実施形態では、インピーダンス整合ネットワーク 1290 が、ベクトル電力増幅器 1200 の出力で結合される。本発明の電力増幅方法およびシステムによる出力ステージの実施形態を、さらに以下でセクション 3.5 において説明する。

【0471】

ベクトル電力増幅器 1200 の他の実施形態では、プロセス検出器が採用されて、増幅器の回路におけるいかなるプロセス変動もが補償される。図 12 の例示的実施形態では、例えば、プロセス検出器 1282 が任意選択で追加されて、PA ドライバ 1284 および 1286 における変動が監視される。

【0472】

図 12A は、プロセス流れ図 1100 を実装するベクトル電力増幅器 1200A の別の例示的実施形態を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態では、より多くのあるいはより少ないコンポーネントが任意選択であってもよい。

【0473】

実施形態 1200A は、実施形態 1200 の多入力 1 出力 (MISO) 実装を例示する。実施形態 1200A では、ベクトル変調器 1260 および 1262 から出力された、定包絡線信号 1261 および 1263 が、MISO PA 1292 に入力される。MISO

PA 1292 は、2 入力 1 出力の電力増幅器である。一実施形態では、MISO PA 1292 は、図 12 の実施形態に示すような素子 1270、1272、1282、1284 および 1286 を含む。別の実施形態では、MISO PA 1292 は、図 12 の実施形態に図示されない、プレドライバなど、他の素子を含んでもよい。さらに、MISO

10

20

30

40

50

PA1292は、図12Aに示すような2入力PAであることに限定されない。他の実施形態では、以下で図51A～Hを参照してさらに説明するように、PA1292は、いかなる数の入力および出力を有することもできる。

【0474】

なお、図12Aを参照すると、実施形態1200Aは、自己バイアス信号をMISO PA1292へ送達するための一実装を例示する。図12Aの実施形態では、自己バイアス回路1218によって生成された自己バイアス信号1228は、MISO PA1292の異なるステージをバイアスするために、そこから送達された1つまたは複数の信号を有する。図12Aの実施例に示すように、3つのバイアス制御信号、バイアスA、バイアスBおよびバイアスCが自己バイアス信号1228から導出され、次いで、MISO PA1292の異なるステージに入力される。例えば、バイアスCは、MISO PA1292のプレドライバステージへのバイアス信号であってもよい。同様に、バイアスBおよびバイアスAは、MISO PA1292のドライバおよびPAステージへのバイアス信号であってもよい。

【0475】

図12Bの実施形態1200Bに示す別の実装では、自己バイアス回路1218は、バイアスA、バイアスBおよびバイアスCにそれぞれ対応する、別々の自己バイアス信号1295、1296および1297を生成する。信号1295、1296および1297は、自己バイアス回路1218内で別々に生成されてもそうでなくてもよいが、図示のように別々に出力される。さらに、信号1295、1296および1297は、MISO PA1292の異なるステージのバイアシングによって決定されるように関係付けられてもそうでなくてもよい。

【0476】

ベクトル電力増幅器1200Aおよび1200Bの他の態様は、実質的には、ベクトル電力増幅器1200に関して上述したものに対応する。

【0477】

図13は、CPCP2分岐VPAの実施形態によるベクトル電力増幅器の別の例示的実施形態1300を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態では、より多くのあるいはより少ないコンポーネントが任意選択であってもよい。

30

【0478】

図13の例示的実施形態では、十分な分解能およびサンプルレートのDAC1320が、図12の実施形態のDAC1230、1232、1234および1236に取って代わる。DAC1320は、DACクロック1324によって制御される。

【0479】

DAC1320は、情報信号1310をIおよびQデータ伝達関数モジュール1216から受信する。情報信号1310は、図12の実施形態における信号1220、1222、1224および1226と等しい情報内容を含む。

【0480】

DAC1320は、一度に単一のアナログ信号を出力してもよい。したがって、図13に示すように、サンプルホールドアーキテクチャを使用してもよい。

40

【0481】

DAC1320は、アナログ信号1332、1334、1336、1338を、第1のセットのサンプルホールド回路1342、1344、1346および1348へ、順次出力する。一実施形態では、DAC1320は、図12の実施形態のDAC1230、1232、1234および1236に取って代わるために、十分なレートでクロックされる。出力セレクタ1322は、出力信号1332、1334、1336および1338のうち、どれが出力のために選択されるべきであるかを決定する。

【0482】

DAC1320のDACクロック信号1324、出力セレクタ信号1322、およびサ

50

ンプルホールドクロック 1340A～D および 1350 は、独立にするか、あるいは伝達関数モジュール 1216 に統合することができる、制御モジュールによって制御される。

【0483】

一実施形態では、サンプルホールド回路 (S/H) 1342、1344、1346 および 1348 は、受信されたアナログ値をホールドし、クロック信号 1340A～D に従って、これらの値を第 2 のセットのサンプルホールド回路 1352、1354、1356 および 1358 へリリースする。例えば、S/H 1342 はその値を S/H 1352 へ、受信されたクロック信号 1340A に従ってリリースする。同様に、サンプルホールド回路 1352、1354、1356 および 1358 は、受信されたアナログ値をホールドし、同時にこれらの値を補間フィルタ 1231、1233、1235 および 1237 へ、共通クロック信号 1350 に従ってリリースする。共通クロック信号 1350 は、S/H 1352、1354、1356 および 1358 の出力が時間的に整合されることを保証するために使用される。

【0484】

別の実施形態では、S/H 1342、1344、1346 および 1348 を含む、単層の S/H 回路を採用することができる。したがって、S/H 回路 1342、1344、1346 および 1348 は、アナログ値を DAC 1320 から受信し、それぞれがその受信された値を、他のものから独立したクロックに従ってリリースする。例えば、S/H 1342 は、クロック 1340A によって制御され、クロック 1340A は、S/H 1344 を制御するクロック 1340B と同期化されていなくてもよい。S/H 回路 1342、1344、1346 および 1348 の出力が時間的に整合されることを保証するために、クロック 1340A～D の間の遅延が、増幅器の以前のステージにおいて事前補償される。例えば、クロック 1340A～D の間の時間差を補償するために、DAC 1320 は、信号 1332、1334、1336 および 1338 を、適切に選択された遅延を有して、S/H 回路 1342、1344、1346 および 1348 へ出力する。

【0485】

ベクトル電力増幅器 1300 の他の態様は、実質的には、ベクトル電力増幅器 1200 に関して上述したものに相当する。

【0486】

図 13A は、CPCP2 分岐 VPA の実施形態によるベクトル電力増幅器の別の例示的実施形態 1300A を例示するブロック図である。任意選択のコンポーネントが破線で表示されるが、他の実施形態では、より多くのあるいはより少ないコンポーネントが任意選択であってもよい。実施形態 1300A は、図 13 の実施形態 1300 の MISO 実装である。

【0487】

図 13A の実施形態では、ベクトル変調器 1260 および 1262 から出力された、定包絡線信号 1261 および 1263 が、MISO PA 1360 に入力される。MISO PA 1360 は、2 入力 1 出力の電力増幅器である。一実施形態では、MISO PA 1360 は、図 13 の実施形態に示すような素子 1270、1272、1282、1284 および 1286 を含む。別の実施形態では、MISO PA 1360 は、図 13 の実施形態において図示されない、プレドライバなど、他の素子、またはその機能的均等物を含んでもよい。さらに、MISO PA 1360 は、図 13A に示すような 2 入力 PA であることに限定されない。他の実施形態では、以下で図 51A～H を参照してさらに説明するように、PA 1360 はいかなる数の入力を有することもできる。

【0488】

図 13A の実施形態はさらに、図示のような单一または 2 つのレベルの S/H 回路を有する、2 つの異なるサンプルホールドアーキテクチャを例示する。この 2 つの実装は、図 13 に関して上述したものである。

【0489】

実施形態 1300A はまた、任意選択のバイアス制御回路 1218、および、関連付け

10

20

30

40

50

られたバイアス制御信号 1325、1326 および 1327 をも例示する。信号 1325、1326 および 1327 を、ある実施形態において MISO PA1360 の異なるステージをバイアスするために使用してもよい。

【0490】

ベクトル電力増幅器 1300A の他の態様は、ベクトル電力増幅器 1200 および 1300 について上述したものに相当する。

【0491】

3.3) 直接デカルト 2 分岐ベクトル電力増幅器

直接デカルト 2 分岐 VPA の実施形態を、これから説明するものとする。この名称は参考のために本明細書で使用され、機能的あるいは構造的に限定しない。

10

【0492】

直接デカルト 2 分岐 VPA の実施形態によれば、時変包絡線信号は 2 つの定包絡線成分信号に分解される。これらの成分信号は、個別に等しくあるいはほぼ等しく増幅され、次いで加算されて、元の時変包絡線信号の増幅されたバージョンが構成される。

【0493】

直接デカルト 2 分岐 VPA の実施形態の一実施形態では、時変包絡線信号の大きさおよび位相角は、入力信号の同相および直交成分から計算される。大きさおよび位相情報を使用して、同相および直交振幅成分が、時変包絡線信号の 2 つの定包絡線成分について計算される。2 つの定包絡線成分が次いで生成され、等しくあるいはほぼ等しく増幅され、加算されて、元の時変包絡線信号 R_{in} の増幅されたバージョンが生成される。

20

【0494】

直接デカルト 2 分岐 VPA の概念を、これから図 9A および 14 を参照して説明する。

【0495】

図 9A について上記で説明し、検証したように、フェーザ

【0496】

【数 156】

$\overrightarrow{R'}$

【0497】

30

を、

【0498】

【数 157】

$\overline{\overrightarrow{R'}}$

【0499】

を生成するために適切に位相整合された上側フェーザ

【0500】

【数 158】

$\overrightarrow{U'}$

【0501】

および下側フェーザ

【0502】

【数 159】

$\overrightarrow{L'}$

【0503】

の和によって、得ることができる。

【0504】

40

50

【数160】

 $\overrightarrow{R'}$

【0505】

は、大きさ R_{in} に比例するように計算される。さらに、

【0506】

【数161】

 $\overrightarrow{U'}$

【0507】

および

【0508】

【数162】

 $\overrightarrow{L'}$

【0509】

を、ほぼ一定の大きさを有するように維持することができる。時間領域では、

【0510】

【数163】

 $\overrightarrow{U'}$

【0511】

および

【0512】

【数164】

 $\overrightarrow{L'}$

【0513】

は、2つのほぼ一定の包絡線信号を表す。

【0514】

【数165】

 $\overrightarrow{R'}$

【0515】

の時間領域等価物 $r'(t)$ を、よって、いずれかの時刻に、2つのほぼ一定の包絡線信号の和によって得ることができる。

【0516】

図9Aに例示した場合では、

【0517】

【数166】

 $\overrightarrow{R'}$

に対する

【0518】

【数167】

 $\overrightarrow{U'}$

【0519】

10

20

30

40

50

および

【0520】

【数168】

\overrightarrow{L}

【0521】

の位相シフトは、図9Aにおいて角度

【0522】

【数169】

$\frac{\phi}{2}$

【0523】

として例示され、以下のように

【0524】

【数170】

\overrightarrow{R}

【0525】

の大きさに関係する。

【0526】

【数171】

$$\frac{\phi}{2} = \cot^{-1} \left(\frac{R}{2\sqrt{1 - \frac{R^2}{4}}} \right)$$

10

【0527】

ただし、Rは、フェーザ

【0528】

【数172】

\overrightarrow{R}

【0529】

の正規化された大きさを表す。

【0530】

時間領域では、時変包絡線信号、例えば、 $r'(t) = R(t) \cos(\omega t)$ を、2つの定包絡線信号の和によって、以下のように構成することができる。

$$r'(t) = U'(t) + L'(t),$$

$$U'(t) = C \times \cos(\omega t) + S \times \sin(\omega t), \quad (14)$$

$$L'(t) = C \times \cos(\omega t) - S \times \sin(\omega t).$$

ただし、Cは、フェーザ

【0531】

【数173】

\overrightarrow{U}

【0532】

および

20

(13)

30

40

50

【 0 5 3 3 】

【 数 1 7 4 】

 \overline{L}

【 0 5 3 4 】

の同相振幅成分を示し、

【 0 5 3 5 】

【 数 1 7 5 】

$$A \times \cos\left(\frac{\phi}{2}\right)$$

【 0 5 3 6 】

に等しいかあるいはほぼ等しい（Aは定数である）。およびは、フェーザ

【 0 5 3 7 】

【 数 1 7 6 】

 \overline{U}

【 0 5 3 8 】

および

【 0 5 3 9 】

【 数 1 7 7 】

 \overline{L}

【 0 5 4 0 】

の直交振幅成分をそれぞれ示す。

【 0 5 4 1 】

【 数 1 7 8 】

$$\alpha = \beta = A \times \sin\left(\frac{\phi}{2}\right)$$

【 0 5 4 2 】

である。基底関数を正弦から所望の関数に変更することによって、方程式（14）を非正弦波信号について修正することができることに留意されたい。

【 0 5 4 3 】

図14は、フェーザ

【 0 5 4 4 】

【 数 1 7 9 】

 \overline{R}

【 0 5 4 5 】

、ならびに、その2つの一定の大きさの成分フェーザ

【 0 5 4 6 】

【 数 1 8 0 】

 \overline{U}

【 0 5 4 7 】

および

【 0 5 4 8 】

10

20

30

40

【数181】

 \vec{L}

【0549】

を例示する。

【0550】

【数182】

 \vec{R}

【0551】

は、図9Aにおける

【0552】

【数183】

 \vec{R}'

【0553】

に対して一度だけシフトされる。したがって、以下であることを検証することができる。

【0554】

【数184】

$$\vec{R} = \vec{R}' \times e^{j\theta} = (\vec{U}' + \vec{L}') \times e^{j\theta} = \vec{U}' + \vec{L};$$

$$\vec{U}' = \vec{U} \times e^{j\theta}; \quad (15)$$

$$\vec{L}' = \vec{L} \times e^{j\theta}.$$

【0555】

方程式(15)から、さらに以下であることが分かる。

【0556】

【数185】

$$\vec{U}' = \vec{U} \times e^{j\theta} = (C + j\alpha) \times e^{j\theta};$$

$$\Rightarrow \vec{U}' = (C + j\alpha)(\cos\theta + j\sin\theta) = (C\cos\theta - \alpha\sin\theta) + j(C\sin\theta + \alpha\cos\theta). \quad (16)$$

【0557】

同様に、以下であることが分かる。

【0558】

【数186】

$$\vec{L}' = \vec{L} \times e^{j\theta} = (C + j\beta) \times e^{j\theta};$$

$$\Rightarrow \vec{L}' = (C + j\beta)(\cos\theta + j\sin\theta) = (C\cos\theta - \beta\sin\theta) + j(C\sin\theta + \beta\cos\theta). \quad (17)$$

【0559】

方程式(16)および(17)を、以下のように書き換えることができる。

【0560】

10

20

30

40

【数187】

$$\begin{aligned}\bar{U} &= (C \cos \theta - \alpha \sin \theta) + j(C \sin \theta + \alpha \cos \theta) = U_x + jU_y; \\ \bar{L} &= (C \cos \theta - \beta \sin \theta) + j(C \sin \theta + \beta \cos \theta) = L_x + jL_y.\end{aligned}\quad (18)$$

【0561】

等価的に、時間領域では、以下の通りである。

$$U(t) = U_{x1}(t) + U_{y2}(t),$$

$$L(t) = L_{x1}(t) + L_{y2}(t), \quad (19)$$

ただし、 $U_{x1}(t)$ および $U_{y2}(t)$ は、適切に選択された直交基底関数を表す。

10

【0562】

方程式 (18) および (19) から、時変包絡線信号 $r(t)$ の 2 つの定包絡線成分を決定するために、 α 、 β 、 C 、ならびに $\sin(\theta)$ および $\cos(\theta)$ の値を計算することは十分であることに留意されたい。さらに、 α および C を、信号 $r(t)$ の大きさおよび位相情報、等価的には I および Q 成分から、完全に決定することができる。

【0563】

図 15 は、直接デカルト 2 分岐 VPA の実施形態の例示的実施形態 1500 を概念的に例示するブロック図である。所望の電力レベルおよび周波数特性の出力信号 $r(t)$ は、直接デカルト 2 分岐 VPA の実施形態によれば、同相および直交成分から生成される。

【0564】

図 15 の実施例では、クロック信号 1510 は、出力信号 $r(t)$ を生成するための基準信号を表す。クロック信号 1510 は、所望の出力信号 $r(t)$ と同じ周波数のものである。

20

【0565】

図 15 を参照すると、例示的実施形態 1500 は、第 1 の分岐 1572 および第 2 の分岐 1574 を含む。第 1 の分岐 1572 は、ベクトル変調器 1520 および電力増幅器 (PA) 1550 を含む。同様に、第 2 の分岐 1574 は、ベクトル変調器 1530 および電力増幅器 (PA) 1560 を含む。

【0566】

なお、図 15 を参照すると、クロック信号 1510 は、並行して、ベクトル変調器 1520 および 1530 に入力される。ベクトル変調器 1520 では、 U_x 信号 1526 で乗算されたクロック信号 1510 の同相バージョン 1522 が、 U_y 信号 1528 で乗算されたクロック信号 1510 の 90 度シフトされたバージョン 1524 と加算される。並行して、ベクトル変調器 1530 では、 L_x 信号 1536 で乗算されたクロック信号 1510 の同相バージョン 1532 が、 L_y 信号 1538 で乗算されたクロック信号 1510 の 90 度シフトされたバージョン 1534 と加算される。 U_x 信号 1526 および U_y 信号 1528 はそれぞれ、方程式 (19) で提供された信号 $r(t)$ の $U(t)$ 定包絡線成分の同相および直交振幅成分に対応する。同様に、 L_x 信号 1536 および L_y 信号 1538 はそれぞれ、方程式 (19) で提供された信号 $r(t)$ の $L(t)$ 定包絡線成分の同相および直交振幅成分に対応する。

30

【0567】

したがって、ベクトル変調器 1520 および 1530 の各出力信号 1540 および 1542 はそれぞれ、方程式 (19) で上述したように、信号 $r(t)$ の $U(t)$ および $L(t)$ 定包絡線成分に対応する。上述のように、信号 1540 および 1542 は、等しくかつ一定の、あるいは、ほぼ等しくかつ一定の、大きさの包絡線を有することによって、特性化される。

40

【0568】

図 15 を参照すると、出力信号 $r(t)$ の所望の電力レベルを生成するため、信号 1540 および 1542 が対応する電力増幅器 1550 および 1560 に入力される。

【0569】

50

一実施形態では、電力増幅器 1550 および 1560 は、等しいかあるいはほぼ等しい電力増幅を、信号 1540 および 1542 にそれぞれ適用する。一実施形態では、PA 1550 および 1560 の電力増幅レベルは、出力信号 $r(t)$ の所望の電力レベルに従つて設定される。

【0570】

増幅された出力信号 1562 および 1564 は、ほぼ一定の包絡線信号である。したがつて、共に加算されるとき、図 15 に示すように、結果として生じる信号 1070 は、所望の出力信号 $r(t)$ に対応する。

【0571】

図 15A は、直接デカルト 2 分岐 VPA の実施形態の別の例示的実施形態 1500A である。実施形態 1500A は、図 15 の実施形態 1500 の多入力単一出力 (MISO) 実装を表す。

10

【0572】

実施形態 1500A では、ベクトル変調器 1520 および 1530 から出力された、定包絡線信号 1540 および 1542 は、MISO PA 1580 に入力される。MISO

PA 1580 は、2 入力 1 出力の電力増幅器である。一実施形態では、MISO PA 1580 は、例えば、プレドライバ、ドライバ、電力増幅器およびプロセス検出器 (図 15A に図示せず) など、様々な素子を含んでよい。さらに、MISO PA 1580 は、図 15A に示すように、2 入力 PA であることに限定されない。他の実施形態では、以下で図 51A ~ H を参照してさらに説明するように、PA 1580 はいかなる数の入力を有することもできる。

20

【0573】

直接デカルト 2 分岐 VPA の実施形態の動作を、図 16 のプロセス流れ図 1600 に示す。このプロセスは、所望の出力信号のベースバンド表現を受信することを含む、ステップ 1610 で開始する。一実施形態では、このベースバンド表現は I および Q 成分を含む。別の実施形態では、I および Q 成分は、ベースバンドにダウンコンバートされる RF 成分である。

【0574】

ステップ 1620 は、所望の出力信号の所望の出力信号周波数に従つて設定されたクロック信号を受信することを含む。図 15 の実施例では、ステップ 1620 は、クロック信号 1510 を受信することによって達成される。

30

【0575】

ステップ 1630 は、I および Q 成分を処理して、所望の出力信号の第 1 および第 2 の定包絡線成分信号の同相および直交振幅情報を生成することを含む。図 15 の実施例では、同相および直交振幅情報は、 U_x 、 U_y 、 L_x および L_y によって例示される。

【0576】

ステップ 1640 は、振幅情報を処理して、所望の出力信号の第 1 および第 2 の定包絡線成分信号を生成することを含む。一実施形態では、第 1 および第 2 の定包絡線成分信号は、所望の出力信号周波数によって変調される。図 15 の実施例では、ステップ 1640 は、ベクトル変調器 1520 および 1530、クロック信号 1510 および、振幅情報信号 1526、1528、1536 および 1538 によって、信号 1540 および 1542 を生成するために達成される。

40

【0577】

ステップ 1650 は、第 1 および第 2 の定包絡線成分を増幅し、増幅された信号を加算して、所望の出力信号を生成することを含む。一実施形態では、第 1 および第 2 の定包絡線成分の増幅は、所望の出力信号の所望の電力レベルによるものである。図 15 の実施例では、ステップ 1650 は、PA 1550 および 1560 が各信号 1540 および 1542 を増幅することによって、続いて、増幅された信号 1562 および 1564 を加算して、出力信号 1070 を生成することによって達成される。

【0578】

50

図17は、プロセス流れ図1600を実装するベクトル電力増幅器1700の例示的実施形態を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多くのあるいはより少ない任意選択のコンポーネントを有してもよい。

【0579】

図17を参照すると、同相(I)および直交(Q)情報信号1710は、IおよびQデータ伝達関数モジュール1716によって受信される。一実施形態では、IおよびQデータ伝達関数モジュール1716は、信号1710をサンプルクロック1712に従ってサンプルする。IおよびQ情報信号1710は、ベースバンドIおよびQ情報を含む。

【0580】

一実施形態では、IおよびQデータ伝達関数モジュール1716は、情報信号1710を処理して、情報信号1720、1722、1724および1726を生成する。IおよびQデータ伝達関数モジュール1716の動作を、さらに以下でセクション3.4において説明する。

10

【0581】

図17を参照すると、情報信号1720は、信号1740を生成するために、DAC1730を通じて処理される、ベクトル変調器1750直交振幅情報を含む。情報信号1722は、信号1742を生成するために、DAC1732を通じて処理される、ベクトル変調器1750同相振幅情報を含む。信号1740および1742が計算されて、ほぼ一定の包絡線信号1754が生成される。図17を参照すると、例えば、情報信号1720および1722はそれぞれ、上側直交および同相成分 U_y および U_x を含む。

20

【0582】

なお、図17を参照すると、情報信号1726は、信号1746を生成するために、DAC1736を通じて処理される、ベクトル変調器1752直交振幅情報を含む。情報信号1724は、信号1744を生成するために、DAC1734を通じて処理される、ベクトル変調器1752同相振幅情報を含む。信号1744および1746が計算されて、ほぼ一定の包絡線信号1756が生成される。図17を参照すると、例えば、情報信号1724および1726はそれぞれ、下側同相および直交成分 L_x および L_y を含む。

【0583】

図17の例示的実施形態では、情報信号1720、1722、1724および1726はデジタル信号である。したがって、信号1720、1722、1724および1726の各々は、対応するデジタル-アナログ変換器(DAC)1730、1732、1734および1736に供給される。DAC1730、1732、1734および1736の分解能およびサンプルレートは、特定の所望の信号方式に従って選択される。DAC1730、1732、1734および1736は、DACクロック信号1721、1723、1725および1727によって、それぞれ制御される。DACクロック信号1721、1723、1725および1727は、同じクロックから導出されてもよいし、互いから独立していくてもよい。

30

【0584】

他の実施形態では、情報信号1720、1722、1724および1726はアナログ形式で生成され、DACは必要とされない。

40

【0585】

図17を参照すると、DAC1730、1732、1734および1736は、デジタル情報信号1720、1722、1724および1726を対応するアナログ信号に変換し、これらのアナログ信号を任意選択の補間フィルタ1731、1733、1735および1737にそれぞれ入力する。アンチエイリアスフィルタとしての機能も果たす補間フィルタ1731、1733、1735および1737は、DAC出力信号を整形して、所望の出力波形を生成する。補間フィルタ1731、1733、1735および1737は、信号1740、1742、1744および1746をそれぞれ生成する。

【0586】

50

なお、図17を参照すると、信号1740、1742、1744および1746は、ベクトル変調器1750および1752に入力される。ベクトル変調器1750および1752は、第1および第2の定包絡線成分を生成する。図17の実施形態では、チャネルクロック1714が所望の出力信号周波数に従って設定され、それにより出力信号1770の周波数が確立される。

【0587】

図17を参照すると、ベクトル変調器1750は、チャネルクロック信号1714の90度シフトされたバージョンで乗算された信号1740、および、チャネルクロック信号1714の0度シフトされたバージョンで乗算された信号1742を結合して、出力信号1754を生成する。並行して、ベクトル変調器1752は、チャネルクロック信号1714の90度シフトされたバージョンで乗算された信号1746、および、チャネルクロック信号1714の0度シフトされたバージョンで乗算された信号1744を結合して、出力信号1756を生成する。

10

【0588】

出力信号1754および1756は、定包絡線信号を表す。出力信号1754および1756の和は、元のベースバンド信号のIおよびQ特性を有するキャリア信号の結果となる。実施形態では、ベクトル電力増幅器1700の出力で所望の電力レベルを生成するために、信号1754および1756が増幅され、次いで加算される。図17の実施形態では、例えば、信号1754および1756は、それぞれ対応する電力増幅器(PA)1760および1762に入力される。一実施形態では、PA1760および1762はスイッチング電力増幅器を含む。自己バイアス回路1718は、PA1760および1762のバイアスを制御する。図17の実施形態では、例えば、自己バイアス回路1718は、バイアス電圧1728をPA1760および1762へ提供する。

20

【0589】

一実施形態では、PA1760および1762は、等しいかあるいはほぼ等しい電力増幅を各定包絡線信号1754および1756に適用する。一実施形態では、この電力増幅は、所望の出力電力レベルに従って設定される。ベクトル電力増幅器1700の他の実施形態では、PAドライバが追加で採用されて、追加の電力増幅能力が増幅器に提供される。図17の実施形態では、例えば、PAドライバ1774および1776がそれぞれ、ベクトル変調器1750および1752と後続のPA1760および1762の間に、任意選択で追加される。

30

【0590】

PA1760および1762の各出力信号1764および1766は、ほぼ一定の包絡線信号である。図17の実施形態では、出力信号1764および1766が共に結合されて、ベクトル電力増幅器1700の出力信号1770が生成される。実施形態では、PA1760および1762の出力が直結されることに留意されたい。このような直結は、PA1760および1762の出力の間に抵抗性、誘導性または容量性の最小の絶縁があるか、あるいはないことを意味する。すなわち、PA1760および1762の出力は、介在するコンポーネントなしに共に結合される。別法として、一実施形態では、PA1760および1762の出力は、低または最小インピーダンス接続の結果となるインダクタンスおよび/またはキャパシタンス、および/または、最小の絶縁および最小の電力損失の結果となる接続を通じて、間接的に共に結合される。別法として、PA1760および1762の出力は、ウィルキンソン、ハイブリッド結合器、変圧器、または既知のアクティブ結合器など、周知の結合技術を使用して結合される。一実施形態では、PA1760および1762は、統合された増幅および電力結合を单一の動作において提供する。一実施形態では、本明細書に記載した電力増幅器および/またはドライバの1つまたは複数は、多入力1出力(MISO)電力増幅技術を使用して実装され、その実施例を図17A、17Bおよび51A～Hに図示する。

40

【0591】

出力信号1770は、ベースバンド信号の所望のIおよびQ特性、ならびに、所望の出

50

力電力レベルおよび周波数を有する信号を表す。ベクトル電力増幅器 1700 の実施形態では、プルアップインピーダンス 1778 が、ベクトル電力増幅器 1700 の出力と電源の間に結合される。他の実施形態では、インピーダンス整合ネットワーク 1780 が、ベクトル電力増幅器 1700 の出力で結合される。本発明の電力増幅方法およびシステムによる出力ステージの実施形態を、さらに以下でセクション 3.5 において説明する。

【0592】

ベクトル電力増幅器 1700 の他の実施形態では、プロセス検出器が採用されて、増幅器の回路におけるいかなるプロセスおよび/または温度変動もが補償される。図 17 の例示的実施形態では、例えば、プロセス検出器 1772 が任意選択により追加されて、PA ドライバ 1774 および 1776 における変動が監視される。

10

【0593】

図 17A は、プロセス流れ図 1600 を実装するベクトル電力増幅器の別の例示的実施形態 1700A を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多くのあるいはより少ない任意選択のコンポーネントを有してもよい。実施形態 1700A は、図 17 の増幅器の多入力 1 出力 (MISO) 実装を例示する。図 17A の実施形態では、ベクトル変調器 1750 および 1752 から出力された、定包絡線信号 1754 および 1756 が、MISO PA 1790 に入力される。MISO PA 1790 は、2 入力 1 出力の電力増幅器である。一実施形態では、MISO PA 1790 は、図 17 の実施形態に示すような素子 1760、1762、1772、1774 および 1776、またはその機能的均等物を含む。別の実施形態では、MISO PA 1790 は、図 17 の実施形態に図示されない、プレドライバなど、他の素子を含んでもよい。さらに、MISO PA 1790 は、図 17A に示すような 2 入力 PA であることに限定されない。他の実施形態では、以下で図 51A～H を参照してさらに説明するように、PA 1790 はいかなる数の入力を有することもできる。

20

【0594】

図 17B の実施形態 1700B として示す、実施形態 1700 の別の実施形態では、任意選択の自己バイアス回路 1718 は、バイアス A、バイアス B およびバイアス C にそれぞれ対応する、別々のバイアス制御信号 1715、1717 および 1719 を生成する。信号 1715、1717 および 1719 は、自己バイアス回路 1718 内で別々に生成されてもそうでなくともよいが、図示のように別々に出力される。さらに、信号 1715、1717 および 1719 は、MISO PA 1790 の異なるステージのために必要とされたバイアシングによって決定されるように関係付けられてもそうでなくともよい。

30

【0595】

図 18 は、図 17 の直接デカルト 2 分岐 VPA の実施形態によるベクトル電力増幅器の別の例示的実施形態 1800 を例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態は、より多くのあるいはより少ない任意選択のコンポーネントを有してもよい。

【0596】

図 18 の例示的実施形態では、十分な分解能およびサンプルレートの DAC 1820 が、図 17 の実施形態の DAC 1730、1732、1734 および 1736 に取って代わる。DAC 1820 は、DAC クロック 1814 によって制御される。

40

【0597】

DAC 1820 は、情報信号 1810 を I および Q データ伝達関数モジュール 1716 から受信する。情報信号 1810 は、図 17 の実施形態における信号 1720、1722、1724 および 1726 と等しい情報内容を含む。

【0598】

DAC 1820 は、一度に単一のアナログ信号を出力してもよい。したがって、図 18 に示すように、サンプルホールドアーキテクチャを使用してもよい。

【0599】

図 18 の実施形態では、DAC 1820 は、アナログ信号 1822、1824、182

50

6および1828を、それぞれサンプルホールド回路1832、1834、1836および1838へ順次出力する。一実施形態では、D A C 1 8 2 0は、図17の実施形態のD A C 1 7 3 0、1732、1734および1736に取って代わるために、十分な分解能およびサンプルレートのものである。出力セレクタ1812は、出力信号1822、1824、1826および1828のうち、どれが出力のために選択されるかを決定する。

【0600】

D A C 1 8 2 0のD A C クロック信号1814、出力セレクタ信号1812、およびサンプルホールドクロック1830A～Dおよび1840は、独立にするか、あるいは伝達関数モジュール1716に統合することができる、制御モジュールによって制御される。

【0601】

一実施形態では、サンプルホールド回路1832、1834、1836および1838は、それらの各値をサンプルホールドし、クロック信号1830A～Dに従って、これらの値を第2のセットのサンプルホールド回路1842、1844、1846および1848へリリースする。例えば、S / H 1 8 3 2はその値をS / H 1 8 4 2へ、受信されたクロック信号1830Aに従ってリリースする。同様に、サンプルホールド回路1842、1844、1846および1848は、受信されたアナログ値をホールドし、同時にこれらの値を補間フィルタ1852、1854、1856および1858へ、共通クロック信号1840に従ってリリースする。

【0602】

別の実施形態では、S / H 1 8 3 2、1834、1836および1838を含む、単一のセットのS / H回路を採用することができる。したがって、S / H回路1832、1834、1836および1838は、アナログ値をD A C 1 8 2 0から受信し、それぞれがその受信された値を、独立したクロック1830A～Dに従ってサンプルホールドする。例えば、S / H 1 8 3 2は、クロック1830Aによって制御され、クロック1830Aは、S / H 1 8 3 4を制御するクロック1830Bと同期化されていなくてもよい。例えば、クロック1830A～Dの間の時間差を補償するために、D A C 1 8 2 0は、信号1822、1824、1826および1828を、伝達関数モジュール1716によって計算された、適切に選択されたアナログ値と共に、S / H回路1832、1834、1836および1838へ出力する。

【0603】

ベクトル電力増幅器1800の他の態様は、実質的には、ベクトル電力増幅器1700に関して上述したものに対応する。

【0604】

図18Aは、直接デカルト2分岐V P Aの実施形態によるベクトル電力増幅器の別の例示的実施形態1800Aを例示するブロック図である。任意選択のコンポーネントが破線で例示されるが、他の実施形態では、より多くのあるいはより少ないコンポーネントが任意選択であってもよい。実施形態1800Aは、図18の実施形態1800の多入力1出力(M I S O)実装である。

【0605】

図18Aの実施形態では、ベクトル変調器1750および1752から出力された、定包絡線信号1754および1756が、M I S O P A 1 8 6 0に入力される。M I S O

P A 1 8 6 0は、2入力1出力の電力増幅器である。一実施形態では、M I S O P A 1 8 6 0は、図18の実施形態に示すような素子1744、1746、1760、1762および1772、またはその機能的均等物を含む。別の実施形態では、M I S O P A 1 8 6 0は、図18の実施形態において図示されない、プレドライバなど、他の素子を含んでもよい。さらに、M I S O P A 1 8 6 0は、図18Aに示すような2入力P Aであることに限定されない。他の実施形態では、以下で図51A～Hを参照してさらに説明するように、P A 1 8 6 0はいかなる数の入力を有することもできる。

【0606】

図18Aの実施形態はさらに、図示のような単一または2つのレベルのS / H回路を有

10

20

30

40

50

する、2つの異なるサンプルホールドアーキテクチャを例示する。この2つの実装は、図18に関して上述したものである。

【0607】

ベクトル電力増幅器1800Aの他の態様は、実質的には、ベクトル電力増幅器1700および1800に関して上述したものに相当する。

【0608】

3.4) IおよびQデータ - ベクトル変調器伝達関数

上述の実施形態のいくつかでは、IおよびQデータ伝達関数が提供されて、受信されたIおよびQデータが、ベクトル変調および増幅の後続のステージのための振幅情報入力に変換される。例えば、図17の実施形態では、IおよびQデータ伝達関数モジュール1716は、IおよびQ情報信号1710を処理して、信号 $r(t)$ の第1および第2の定包絡線成分1754および1756の同相および直交振幅情報信号1720、1722、1724および1726を生成する。続いて、ベクトル変調器1750および1752は、生成された振幅情報信号1720、1722、1724および1726を利用して、第1および第2の定包絡線成分信号1754および1756を作成する。他の実施例は、図7、8、12および13におけるモジュール710、712および1216を含む。これらのモジュールは、Iおよび/またはQデータを、ベクトル変調および増幅の後続のステージのための振幅情報入力に変換するために、伝達関数を実装する。

【0609】

本発明によれば、IおよびQデータ伝達関数モジュールを、デジタル回路、アナログ回路、ソフトウェア、ファームウェア、またはそれらのいかなる組み合わせを使用して実装してもよい。

【0610】

いくつかの要因は、本発明による伝達関数の実際の実装に影響を及ぼし、実施形態によって異なる。一態様では、選択されたVPAの実施形態は、伝達関数および関連モジュールの振幅情報出力を左右する。例えば、CPCP2分岐VPAの実施形態1200のIおよびQデータ伝達関数モジュール1216は、直接デカルト2分岐VPAの実施形態1700のIおよびQデータ伝達関数モジュール1716とは、出力が異なることは明らかである。

【0611】

別の態様では、伝達関数の複雑性は、VPA実装によってサポートされる必要のある所望の変調方式によって異なる。例えば、サンプルクロック、DACサンプルレートおよびDAC分解能は、所望の出力波形を構成するために、適切な伝達関数に従って選択される。

【0612】

本発明によれば、伝達関数の実施形態を、サポートされた実施形態の間で望むようにスイッチする能力により、1つまたは複数のVPAの実施形態をサポートするように設計してもよい。さらに、伝達関数の実施形態および関連モジュールを、複数の変調方式に対応するように設計することができる。例えば、本発明の実施形態を、複数の変調方式を（個別に、あるいは組み合わせて）サポートするように設計してもよく、これには、それに限定されないが、BPSK、QPSK、OQPSK、DPSK、CDMA、WCDMA、W-CDMA、GSM、EDGE、MPSK、MQAM、MSK、CPSK、PM、FM、OFDMおよびマルチトーン信号が含まれることは、当業者には理解されよう。一実施形態では、変調方式は、伝達関数モジュールを介して構成可能および/またはプログラマブルであってもよい。

【0613】

3.4.1) デカルト4分岐VPA伝達関数

図19は、デカルト4分岐VPAの実施形態による一実施例のIおよびQ伝達関数の実施形態を例示するプロセス流れ図1900である。このプロセスは、同相データ成分および直交データ成分を受信することを含む、ステップ1910で開始する。図7Aのデカル

10

20

30

40

50

ト4分岐VPAの実施形態では、例えば、これは、Iデータ伝達関数モジュール710がI情報信号702を受信すること、および、Qデータ伝達関数モジュール712がQ情報信号704を受信することによって例示される。図7Aの実施形態では、IおよびQデータ伝達関数モジュール710および712は別々のコンポーネントとして例示されることに留意されたい。実装では、しかし、IおよびQデータ伝達関数モジュール710および712は、別々であっても、単一のモジュールに結合されてもよい。

【0614】

ステップ1920は、I成分の第1および第2のほぼ等しくかつ一定の包絡線成分の間の位相シフト角を計算することを含む。並行して、ステップ1920はまた、Q成分の第1および第2のほぼ等しくかつ一定の包絡線成分の間の位相シフト角を計算することをも含む。上述のように、I成分の第1および第2の定包絡線成分は、I成分に対して適切に位相整合される。同様に、Q成分の第1および第2の定包絡線成分は、Q成分に対して適切に位相整合される。図7Aの実施形態では、例えば、ステップ1920は、IおよびQデータ伝達関数モジュール710および712によって行われる。

10

【0615】

ステップ1930は、I成分の第1および第2の定包絡線成分に関連付けられた同相および直交振幅情報を計算することを含む。並行して、ステップ1930は、Q成分の第1および第2の定包絡線成分に関連付けられた同相および直交振幅情報を計算することを含む。図7Aの実施形態では、例えば、ステップ1930は、IおよびQデータ伝達関数モジュール710および712によって行われる。

20

【0616】

ステップ1940は、計算された振幅情報を後続のベクトル変調ステージへ出力することを含む。図7Aの実施形態では、例えば、IおよびQ伝達関数モジュール710および712は、振幅情報信号722、724、726および728を、ベクトル変調器760、762、764および766へ、DAC730、732、734および736を通じて出力する。

【0617】

図20は、プロセス流れ図1900を実装する、図7Aの伝達関数モジュール710および712など、伝達関数モジュールの例示的実施形態2000を例示するブロック図である。図20の実施例では、伝達関数モジュール2000は、IおよびQデータ信号2010および2012を受信する。一実施形態では、IおよびQデータ信号2010および2012は、図7Aにおける信号702および704など、ベースバンド信号のIおよびQデータ成分を表す。

30

【0618】

図20を参照すると、一実施形態では、伝達関数モジュール2000は、サンプリングクロック2014に従って、IおよびQデータ信号2010および2012をサンプルする。サンプルされたIおよびQデータ信号は、伝達関数モジュール2000のコンポーネント2020および2022によって、それぞれ受信される。コンポーネント2020および2022は、サンプルされたIおよびQデータ信号の大きさをそれぞれ測定する。一実施形態では、コンポーネント2020および2022は大きさ検出器である。

40

【0619】

コンポーネント2020および2022は、測定されたIおよびQ大きさ情報を、伝達関数モジュール2000のコンポーネント2030および2032へ、それぞれ出力する。一実施形態では、測定されたIおよびQ大きさ情報は、デジタル信号の形式である。I大きさ情報に基づいて、コンポーネント2030は、サンプルされたI信号の第1および第2の等しくかつ一定、あるいは、ほぼ等しくかつ一定の包絡線成分の間の位相シフト角_Iを計算する。同様に、Q大きさ情報に基づいて、コンポーネント2032は、サンプルされたQ信号の第1および第2の等しくかつ一定、あるいは、ほぼ等しくかつ一定の包絡線成分の間の位相シフト角_Qを計算する。この動作を、これからさらに説明するものとする。

50

【0620】

図20の実施形態では、 I_1 および Q_1 は、IおよびQ大きさ信号の関数

【0621】

【数188】

 $f(|\vec{I}|)$

【0622】

および

【0623】

【数189】

10

 $f(|\vec{Q}|)$

【0624】

として例示される。実施形態では、関数

【0625】

【数190】

 $f(|\vec{I}|)$

【0626】

および

20

【0627】

【数191】

 $f(|\vec{Q}|)$

【0628】

は、それぞれベースバンドIおよびQ信号の相対的大きさに従って設定される。本発明の実施形態による

【0629】

【数192】

 $f(|\vec{I}|)$

30

【0630】

および

【0631】

【数193】

 $f(|\vec{Q}|)$

【0632】

を、以下でさらにセクション3.4.4において説明する。

【0633】

40

図20を参照すると、コンポーネント2030および2032は、計算された位相シフト情報をコンポーネント2040および2042にそれぞれ出力する。位相シフト角 φ_1 に基づいて、コンポーネント2040は、サンプルされたI信号の第1および第2の定包絡線成分の同相および直交振幅情報を計算する。同様に、位相シフト角 φ_2 に基づいて、コンポーネント2042は、サンプルされたQ信号の第1および第2の定包絡線成分の同相および直交振幅情報を計算する。対称性のため、本発明の実施形態では、計算は4つの値のみのために必要とされる。図20の実施例では、これらの値は、図5において提供されたように、 $\text{sgn}(I) \times I_{UX}$ 、 I_{UY} 、 Q_{UX} 、および、 $\text{sgn}(Q) \times Q_{UY}$ として例示される。

【0634】

50

コンポーネント 2040 および 2042 は、計算された振幅情報を、ベクトル電力増幅器の後続のステージへ出力する。実施形態では、4 つの計算された値の各々が、デジタル-アナログ変換器へ別々に出力される。図 7 A の実施形態に示すように、例えば、信号 722、724、726 および 728 は、それぞれ D A C 730、732、734 および 736 へ別々に出力される。他の実施形態では、図 8 A および 8 B に示すように、信号 722、724、726 および 728 は、単一の D A C へ出力される。

【0635】

3.4.2) C P C P 2 分岐 V P A 伝達関数

図 21 は、C P C P 2 分岐 V P A の実施形態による一実施例の I および Q 伝達関数の実施形態を例示するプロセス流れ図 2100 である。このプロセスは、ベースバンド信号の同相 (I) および直交 (Q) データ成分を受信することを含む、ステップ 2110 で開始する。図 12 の C P C P 2 分岐 V P A の実施形態では、例えば、これは、I および Q データ伝達関数モジュール 1216 が I および Q 情報信号 1210 を受信することによって例示される。

10

【0636】

ステップ 2120 は、受信された I および Q データ成分の大きさ | I | および | Q | を決定することを含む。

【0637】

ステップ 2130 は、測定された | I | および | Q | 大きさに基づいて、ベースバンド信号の大きさ | R | を計算することを含む。一実施形態では、| R | は、 $| R |^2 = | I |^2 + | Q |^2$ となる。図 12 の実施形態では、例えば、ステップ 2120 および 2130 は、受信された情報信号 1210 に基づいて、I および Q データ伝達関数モジュール 1216 によって行われる。

20

【0638】

ステップ 2140 は、測定された | I | および | Q | 大きさを正規化することを含む。一実施形態では、| I | および | Q | が正規化されて、(図 10 に示すような) I clk_phase および Q clk_phase 信号が、 $| I_{clk_phase} |^2 + | Q_{clk_phase} |^2 = \text{定数}$ となるように生成される。図 12 の実施形態では、例えば、ステップ 2140 は、受信された情報信号 1210 に基づいて、I および Q データ伝達関数モジュール 1216 によって行われる。

30

【0639】

ステップ 2150 は、第 1 および第 2 の定包絡線成分に関連付けられた同相および直交振幅情報を計算することを含む。図 12 の実施形態では、例えば、ステップ 2150 は、包絡線の大きさ | R | に基づいて、I および Q データ伝達関数モジュール 1216 によって行われる。

【0640】

ステップ 2160 は、生成された I clk_phase および Q clk_phase (ステップ 2140 から)、かつ、計算された振幅情報を (ステップ 2150 から)、適切なベクトル変調器へ出力することを含む。図 12 の実施形態では、例えば、I および Q データ伝達関数モジュール 1216 は、情報信号 1220、1222、1224 および 1226 を、ベクトル変調器 1238、1260 および 1262 へ、D A C 1230、1232、1234 および 1236 を通じて出力する。

40

【0641】

図 22 は、プロセス流れ図 2100 を実装する、伝達関数モジュール (図 12 のモジュール 1216 など) の例示的実施形態 2200 を例示するブロック図である。図 22 の実施例では、伝達関数モジュール 2200 は、I および Q データ信号 2210 を受信する。一実施形態では、I および Q データ信号 2210 は、例えば、図 12 の実施形態における信号 1210 など、ベースバンド信号の I および Q 成分を含む。

【0642】

一実施形態では、伝達関数モジュール 2200 は、サンプリングクロック 2212 に従

50

って、I および Q データ信号 2210 をサンプルする。サンプルされた I および Q データ信号は、伝達関数モジュール 2200 のコンポーネント 2220 によって受信される。コンポーネント 2220 は、サンプルされた I および Q データ信号の大きさ

【0643】

【数 194】

|\vec{I}|

【0644】

および

【0645】

【数 195】

|\vec{Q}|

【0646】

を測定する。

【0647】

測定された

【0648】

【数 196】

|\vec{I}|

【0649】

および

【0650】

【数 197】

|\vec{Q}|

【0651】

大きさに基づいて、コンポーネント 2230 は、ベースバンド信号の大きさ |R| を計算する。一実施形態では、

【0652】

【数 198】

|\vec{R}|

【0653】

は、

【0654】

【数 199】

$|\vec{R}|^2 = |\vec{I}|^2 + |\vec{Q}|^2$

【0655】

となる。

【0656】

並行して、コンポーネント 2240 は、測定された

【0657】

10

20

30

40

【数200】

| \vec{I} |

【0658】

および

【0659】

【数201】

| \vec{Q} |

【0660】

大きさを正規化する。—実施形態では、

【0661】

【数202】

| \vec{I} |

【0662】

および

【0663】

【数203】

| \vec{Q} |

【0664】

が正規化されて、 I_{clock_phase} および Q_{clock_phase} 信号が、 $|I_{clock_phase}|^2 + |Q_{clock_phase}|^2 = \text{定数}$ となるように生成され、ただし、 $|I_{clock_phase}|$ および $|Q_{clock_phase}|$ は、

【0665】

【数204】

| \vec{I} |

【0666】

および

【0667】

【数205】

| \vec{Q} |

【0668】

の正規化された大きさを表す。典型的には、定数が値Aを有するならば、測定された

【0669】

【数206】

| \vec{I} |

【0670】

および

【0671】

【数207】

| \vec{I} |

【0672】

大きさは共に量

10

20

30

40

50

【0673】

【数208】

$$\frac{A}{\sqrt{|\bar{I}|^2 + |\bar{Q}|^2}}$$

【0674】

によって除算される。

【0675】

コンポーネント2250は、計算された

10

【0676】

【数209】

$$|\vec{R}|$$

【0677】

大きさをコンポーネント2230から受信し、それに基づいて、第1および第2の定包絡線成分の間の位相シフト角 を計算する。計算された位相シフト角 を使用して、コンポーネント2250は次いで、第1および第2の定包絡線成分に関連付けられた同相および直交振幅情報を計算する。

【0678】

20

図22の実施形態では、位相シフト角 は、計算された大きさ

【0679】

【数210】

$$|\vec{R}|$$

【0680】

の関数

【0681】

【数211】

30

$$f(|\vec{R}|)$$

【0682】

として例示される。

【0683】

図22を参照すると、コンポーネント2240および2250は、正規化された | I c 1 k _ p h a s e | および | Q c 1 k _ p h a s e | 大きさ情報、および、計算された振幅情報を、適切なベクトル変調器への入力のために、D A Cへ出力する。実施形態では、出力値は別々にデジタル - アナログ変換器へ出力される。図12の実施形態に示すように、例えば、信号1220、1222、1224および1226は別々に、D A C1230、1232、1234および1236へそれぞれ出力される。他の実施形態では、図13および13Aに示すように、信号1220、1222、1224および1226は単一のD A Cへ出力される。

40

【0684】

3.4.3) 直接デカルト2分岐伝達関数

図23は、直接デカルト2分岐V P Aの実施形態による一実施例のIおよびQ伝達関数の実施形態を例示するプロセス流れ図2300である。このプロセスは、ベースバンド信号の同相(I)および直交(Q)データ成分を受信することを含む、ステップ2310で開始する。図17の直接デカルト2分岐V P Aの実施形態では、例えば、これは、IおよびQデータ伝達関数モジュール1716がIおよびQ情報信号1710を受信することに

50

よって例示される。

【0685】

ステップ2320は、受信されたIおよびQデータ成分の大きさ|I|および|Q|を決定することを含む。

【0686】

ステップ2330は、測定された|I|および|Q|大きさに基づいて、ベースバンド信号の大きさ|R|を計算することを含む。一実施形態では、|R|は、 $|R|^2 = |I|^2 + |Q|^2$ となる。図17の実施形態では、例えば、ステップ2320および2330は、受信された情報信号1710に基づいて、IおよびQデータ伝達関数モジュール1716によって行われる。

10

【0687】

ステップ2340は、測定された|I|および|Q|大きさに基づいて、ベースバンド信号の位相シフト角を計算することを含む。一実施形態では、は、

【0688】

【数212】

$$\theta = \tan^{-1}\left(\frac{|Q|}{|I|}\right)$$

【0689】

となり、IおよびQの符号がの象限を決定する。図17の実施形態では、例えば、ステップ2340は、情報信号1710において受信されたIおよびQデータ成分に基づいて、IおよびQデータ伝達関数モジュール1716によって行われる。

20

【0690】

ステップ2350は、ベースバンド信号の第1および第2の定包絡線成分に関連付けられた同相および直交振幅情報を計算することを含む。図17の実施形態では、例えば、ステップ2350は、以前に計算された大きさ|R|および位相シフト角に基づいて、IおよびQデータ伝達関数モジュール1716によって行われる。

【0691】

ステップ2360は、計算された振幅情報を、適切なベクトル変調器への入力のために、D A Cへ出力することを含む。図17の実施形態では、例えば、IおよびQデータ伝達関数モジュール1716は、情報信号1720、1722、1724および1726を、ベクトル変調器1750および1752へ、D A C1730、1732、1734および1736を通じて出力する。他の実施形態では、信号1720、1722、1724および1726は、図18および18Aに示すように、単一のD A Cへ出力される。

30

【0692】

図24は、プロセス流れ図2300を実装する伝達関数モジュールの例示的実施形態2400を例示するブロック図である。図24の実施例では、伝達関数モジュール2400(伝達関数モジュール1716など)は、図17における信号1710など、IおよびQデータ信号2410を受信する。一実施形態では、IおよびQデータ信号2410は、ベースバンド信号のIおよびQデータ成分を含む。

40

【0693】

一実施形態では、伝達関数モジュール2400は、サンプリングクロック2412に従って、IおよびQデータ信号2410をサンプルする。サンプルされたIおよびQデータ信号は、伝達関数モジュール2400のコンポーネント2420によって受信される。コンポーネント2420は、サンプルされたIおよびQデータ信号の大きさ

【0694】

【数213】



【0695】

50

および

【0696】

【数214】

$|\vec{Q}|$

【0697】

を測定する。

【0698】

測定された

【0699】

【数215】

10

$|\vec{I}|$

【0700】

および

【0701】

【数216】

$|\vec{Q}|$

【0702】

20

大きさに基づいて、コンポーネント2430は、大きさ

【0703】

【数217】

$|\vec{R}|$

【0704】

を計算する。一実施形態では、

【0705】

【数218】

30

$|\vec{R}|$

【0706】

は、

【0707】

【数219】

$$|\vec{R}|^2 = |\vec{I}|^2 + |\vec{Q}|^2$$

【0708】

となる。

40

【0709】

並行して、コンポーネント2440は、ベースバンド信号の位相シフト角を計算する。一実施形態では、は、

【0710】

【数220】

$$\theta = \tan^{-1} \left(\frac{|\vec{Q}|}{|\vec{I}|} \right)$$

【0711】

50

となり、ただし、IおよびQの符号が の象限を決定する。

【0712】

コンポーネント2450は、計算された

【0713】

【数221】

$|\vec{R}|$

【0714】

大きさをコンポーネント2430から受信し、それに基づいて、第1および第2の定包絡線成分信号の間の位相シフト角 を計算する。図24の実施形態では、位相シフト角 は、計算された大きさ

10

【0715】

【数222】

$|\vec{R}|$

【0716】

の関数

【0717】

【数223】

20

$f_3(|\vec{R}|)$

【0718】

として例示される。これを、さらにセクション3.4.4において説明する。

【0719】

並行して、コンポーネント2450は、計算された位相シフト角 をコンポーネント2440から受信する。および の関数として、コンポーネント2450は次いで、第1および第2の定包絡線成分を生成するベクトル変調器入力について、同相および直交振幅情報を計算する。一実施形態では、ベクトル変調器に供給された同相および直交振幅情報は、(18)において提供された方程式によるものである。

30

【0720】

コンポーネント2450は、計算された振幅情報を、ベクトル電力増幅器の後続のステージへ出力する。実施形態では、これらの出力値は、デジタル-アナログ変換器へ別々に出力される。図17の実施形態に示すように、例えば、信号1720、1722、1724および1726は、それぞれDAC1730、1732、1734および1736へ、別々に出力される。他の実施形態では、図18および18Aに示すように、信号1720、1722、1724および1726は単一のDACへ出力される。

【0721】

3.4.4) 大きさ - 位相シフト変換

図20の $f(|I|)$ 、 $f(|Q|)$ 、ならびに、図22および24の $f(|R|)$ の実施形態を、これからさらに説明するものとする。

40

【0722】

本発明によれば、フーリエ級数およびフーリエ変換によって表すことができるいかなる周期波形も、2つ以上の定包絡線信号に分解することができる。

【0723】

以下に、正弦および方形波形についての2つの実施例が提供される。

【0724】

3.4.4.1) 正弦波信号のための大きさ - 位相シフト変換

時変複素包絡線正弦波信号 $r(t)$ を考察する。時間領域では、これを以下のように表すことができる。

50

$$r(t) = R(t) \sin(t + \phi(t)) \quad (20)$$

ただし、 $R(t)$ は、時間 t での信号の包絡線の大きさを表し、 $\phi(t)$ は、時間 t での信号の位相シフト角を表し、 ω は、ラジアン / 秒による信号の周波数を表す。

【0725】

いざれかの時刻 t に、信号 $r(t)$ を、2つの適切に位相整合された、等しくかつ一定、あるいは、ほぼ等しくかつ一定の包絡線信号の和によって得ることができると検証することができる。すなわち、2つの定包絡線信号の間で適切に選択された位相シフト角 $\phi(t)$ について、以下であることが分かる。

$$R(t) \sin(t + \phi(t)) = A \sin(t) + A \sin(t + \omega t) \quad (21)$$

10

位相シフト角 $\phi(t)$ は、以下の説明において、 $R(t)$ の関数として導出される。これは、正弦波信号のための大きさ - 位相シフト変換に相当する。

【0726】

正弦三角恒等式 (sine trigonometric identity) を用いて、方程式 (21) を、以下のように書き換えることができる。

$$R(t) \sin(t + \phi(t)) = A \sin(t) + A \sin(t) \cos(t) + A \sin(t) \cos(t) \cos(t) \quad (22)$$

$$R(t) \sin(t + \phi(t)) = A \sin(t) \cos(t) \cos(t) + A(1 + \cos(t)) \sin(t).$$

【0727】

20

方程式 (22) から、信号 $r(t)$ が同相成分および直交成分の和として書かれることに留意されたい。したがって、包絡線の大きさ $R(t)$ を以下のように書くことができる。

【0728】

【数224】

$$R(t) = \sqrt{(A \sin(\phi(t)))^2 + (A(1 + \cos(\phi(t))))^2}; \quad (23)$$

$$\Rightarrow R(t) = \sqrt{2A(A + \cos(\phi(t)))}.$$

30

【0729】

方程式 (23) は、信号 $r(t)$ の包絡線の大きさ $R(t)$ を、信号 $r(t)$ の2つの定包絡線成分の間の位相シフト角 $\phi(t)$ に関係付ける。これらの定包絡線成分は、等しいかあるいはほぼ等しい包絡線の大きさ A を有し、これは典型的には 1 に正規化される。

【0730】

逆に、方程式 (23) から、位相シフト角 $\phi(t)$ を $R(t)$ の関数として以下のように書くことができる。

【0731】

【数225】

$$\phi(t) = \arccos\left(\frac{R(t)^2}{2A^2} - 1\right). \quad (24)$$

40

【0732】

方程式 (24) は、正弦波信号の場合の大きさ - 位相シフト変換を表し、図 26 に例示される。

【0733】

3.4.4.2) 方形波信号のための大きさ - 位相シフト変換

図 28 は、本発明の実施形態による2つの定包絡線方形波信号の結合を例示する。図 28 では、信号 2810 および 2820 は、周期 T 、デューティサイクル T ($0 < T < 1$)、および、包絡線の大きさ A_1 および A_2 をそれぞれ有する、定包絡線信号である。

50

【0734】

信号2830は、信号2810および2820を結合した結果、生じる。本発明の実施形態によれば、信号2830は、信号2810および2820の積に等しいかあるいはほぼ等しい大きさを有するようになる。すなわち、信号2830は、信号2810または2820のいずれかがゼロの大きさを有するときは常にゼロの大きさを有するようになり、信号2810および2820の両方がゼロでない大きさを有するとき、ゼロでない大きさを有するようになる。

【0735】

さらに、信号2830は、パルス幅変調された信号を表す。すなわち、信号2830の包絡線の大きさは、信号の1周期の間の信号2830のパルス幅によって決定される。より具体的には、信号2830の包絡線の大きさは、信号2830の曲線の下の領域に等しいかあるいは実質的にそうである。

10

【0736】

図28を参照すると、信号2810および2820は、互いに対しても時間シフト t' だけ時間シフトされるように図示される。等価的には、信号2810および2820は、互いに対しても位相シフト角

【0737】

【数226】

$$\phi = \left(\frac{t}{T} \right) \times 2\pi$$

20

【0738】

ラジアンだけ位相シフトされる。

【0739】

なお、図28を参照すると、図28における信号2830の包絡線の大きさRは、以下によって与えられることに留意されたい。

$$R = A_1 \times A_2 \times (T - t') \quad (25)$$

【0740】

したがって、以下によって、 t' がRに関係付けられることを推論することができる。

【0741】

【数227】

$$\phi = \left[\gamma - \frac{R}{T(A_1 A_2)} \right] \times (2\pi). \quad (26)$$

【0742】

方程式(26)から、 $t' = 0$ であるとき、Rは $A_1 A_2$ という最大値であることに留意されたい。すなわち、2つの定包絡線信号が互いに同相であるとき、包絡線の大きさは最大である。

【0743】

典型的な実装では、信号2810および2820は正規化され、等しいかあるいはほぼ等しい包絡線の大きさ1を有する。さらに、信号2810および2820は典型的には、0.5のデューティサイクルを有する。したがって、方程式(26)は以下のように約分される。

40

【0744】

【数228】

$$\phi = \left[0.5 - \frac{R}{T} \right] \times (2\pi). \quad (27)$$

50

【0745】

方程式(27)は、正規化され、等しいかあるいはほぼ等しい包絡線の大きさの方形波信号の場合の大きさ - 位相シフト変換を例示する。方程式(27)を図26に例示する。

【0746】

3.4.5) 波形歪み補償

ある実施形態では、大きさ - 位相シフト変換は、理論的あるいは実際的に望むように厳密に実装されない場合がある。実際に、導出された大きさを、最適(または、少なくとも改善された)動作のための位相シフト変換に合わせて調整あるいは調節することを必要とする、いくつかの要因が存在する場合がある。実際のところ、位相および振幅誤差がベクトル変調回路において存在する場合があり、ゲインおよび位相アンバランスがベクトル電力増幅器分岐において起こる可能性があり、歪みがMISO増幅器自体において存在する場合があり、これには、それに限定されないが、本明細書に記載したMISO増幅器内の单一回路ノードでトランジスタ出力を直結することによって導入された誤差が含まれる。これらの要因の各々は、単独で、あるいは組み合わせで、所望の出力信号 $r(t)$ からの偏差の結果となる出力波形歪みの一因となる。出力波形歪みがシステム設計要件を超えるとき、波形歪み補償が必要となる場合がある。

10

【0747】

図25は、フェーザ信号表現を用いて、信号への波形歪みの影響を例示する。図25では、

【0748】

20

【数229】

【0749】

は、所望の信号 $r(t)$ のフェーザ表現を表す。図25の実施例では、波形歪みは、実際の出力フェーザを、 $r(t)$ からフェーザ誤差領域内のいかなるところにも変化させる可能性がある。例示的フェーザ誤差領域を図25に例示し、これは最大誤差ベクトルの大きさに等しいかあるいはほぼ等しい。フェーザ

【0750】

【数230】

30

【0751】

および

【0752】

【数231】

40

【0753】

は、所望の $r(t)$ から偏差する潜在的出力フェーザの例を表す。

【0754】

本発明の実施形態によれば、波形歪みを、システムの製造中、および/または、リアルタイムまたは非リアルタイムの動作において、測定、計算あるいは推定することができる。図54Aおよび図55は、フェーザ誤差測定および訂正のために使用することができる方法の実施例である。これらの波形歪みを、システムにおける様々なポイントで補償あるいは低減することができる。例えば、分岐増幅器の間の位相誤差を、伝達関数内で、アナログ電圧オフセットをベクトル変調回路に印加すること、および/または、図58、59および60に例示した実施例のシステムに図示するような、リアルタイムまたは非リアル

50

タイムのフィードバック技術を使用することによって、調整することができる。同様に、分岐増幅アンバランスを、伝達関数内で、アナログ電圧オフセットをベクトル変調回路に印加すること、および／または、図 5 8、5 9 および 6 0 に図示したような、リアルタイムまたは非リアルタイムのフィードバック技術を使用することによって、調整することができる。図 5 8、5 9 および 6 0 に例示したシステムでは、例えば、波形歪み調整は、図 6 0 に例示するように、差動分岐振幅測定回路 6 0 2 4 および差動分岐位相測定回路 6 0 2 6 を使用して行われ、これらは、差動分岐振幅信号 5 9 5 0 および差動分岐位相信号 5 9 4 8 をそれぞれ提供する。これらの信号は A / D 変換器 5 7 3 2 へ、入力信号セレクタ 5 9 4 6 によって入力され、A / D 変換器 5 7 3 2 によって生成された値は、デジタル制御モジュール 5 6 0 0 に入力される。デジタル制御モジュール 5 6 0 2 は、A / D 変換器 5 7 3 2 によって生成された値を使用し、調整あるいはオフセットされた値を計算して、位相調整のための制御電圧をベクトル変調回路 5 9 2 2、5 9 2 4、5 9 2 6 および 5 9 2 8 へ、かつ、振幅調整のための制御電圧をゲインバランス制御回路 6 0 1 6 へ提供する。図 5 8 では、これらの制御電圧は、ゲインバランス制御信号 5 7 4 9 および位相バランス制御信号 5 7 5 1 を使用して例示される。上述のフィードバック手法はまた、システム振幅および位相誤差が指定された許容度内にとどまることを保証することによって、プロセス変動、温度変動、I C パッケージの変動、および回路基板の変動を補償する。追加の実施例のフィードバックおよびフィードフォワード誤差測定および補償技術を、さらにセクション 4 . 1 . 2 において説明する。

【 0 7 5 5 】

他の実施形態では、測定、計算、あるいは推定された波形歪みは、電力増幅器の伝達関数ステージで補償される。この手法では、伝達関数が、測定、計算、かつ／または推定された波形歪みを考慮に入れ、訂正するように設計される。図 7 8 は、V P A の分岐における振幅および位相誤差の存在下の大きさ - 位相シフト変換の数学的導出を例示する。図 7 8 の方程式 (2 8) は、例示的実施形態において位相および振幅誤差の両方を考慮に入れる。図 7 8 の

【 0 7 5 6 】

【 数 2 3 2 】

$R^* \sin(\omega^* t + \delta)$

【 0 7 5 7 】

は、例えば、図 2 5 の

【 0 7 5 8 】

【 数 2 3 3 】

\overline{R}_1

【 0 7 5 9 】

または

【 0 7 6 0 】

【 数 2 3 4 】

\overline{R}_2

【 0 7 6 1 】

のいずれかを表すことに留意されたい。方程式 (2 8) は、V P A 分岐の振幅 A_1 および A_2 が異なる可能性があること、および、各分岐が各位相誤差 $e_1(t)$ および $e_2(t)$ を含む可能性があることを仮定する。参照のため、論理的に完全なシステムでは、 $A_1 = A_2$ かつ $e_1(t) = e_2(t) = 0$ である。 (t) は、入力ベクトル $I(t)$ および $Q(t)$ の符号値に基づいて、象限によって調整される。したが

10

20

30

40

50

って、振幅または位相誤差がなければ、

【0762】

【数235】

$R^* \sin(\omega^* t + \delta)$

【0763】

に対応するフェーザは、図25の所望のフェーザ

【0764】

【数236】

\overline{R}

10

【0765】

に整合される。

【0766】

いくつかの実施形態では、実際のところは、

【0767】

【数237】

$R^* \sin(\omega^* t + \delta)$

【0768】

20

に対応するフェーザの振幅および位相成分が、所望のフェーザ

【0769】

【数238】

\overline{R}

【0770】

と比較されて、システム振幅および位相誤差偏差が生成される。所望のフェーザ

【0771】

【数239】

\overline{R}

30

【0772】

からのこれらの振幅および位相誤差偏差を、図25に示すように、システム伝達関数において補償することができる。一実施形態では、A1およびA2を実質的に等しくすることができます、ベクトル変調回路への制御入力を適切に調整することによって、e1(t)およびe2(t)を最小にすることができる。一実施形態では、図57に例示するように、これはデジタル制御モジュールによって行われ、デジタル制御モジュールは、デジタル-アナログ変換器D A C _ 0 1、D A C _ 0 2、D A C _ 0 3およびD A C _ 0 4を使用して、制御入力をベクトル変調回路に提供する。

【0773】

40

したがって、方程式(28)など、方程式を使用して、いずれかの時刻に、A1およびA2ならびにe1(t)およびe2(t)の値に基づいて、結果として生じるフェーザを計算することができるという事実を踏まえると、伝達関数修正を行って、システム誤差を補償することができ、このような伝達関数修正は、本明細書に含まれた教示に基づいて、当業者には明らかになるであろう。システム誤差を補償するために誤差テーブルおよび/または数学関数を生成するための例示的方法を、セクション4.1.2において説明する。これらの波形歪み訂正および補償技術を、デジタルまたはアナログ領域のいずれかにおいて実装することができることは、当業者には明らかになり、このような技術の実装は、本明細書に含まれた教示に基づいて、当業者には明らかになるであろう。

【0774】

50

3.5) 出力ステージ

本発明の実施形態の一態様は、ベクトル電力増幅器（VPA）の出力ステージでの成分信号の加算にある。これは例えば図7において示され、図7では、PA770、772、774および776の出力が加算される。これは同様に、例えば、図8、12、13、17および18において示される。VPAの出力を結合するための様々な実施形態を、本明細書で説明する。以下はVPAとの関連で説明されるが、以下の教示は一般にいかなる応用例におけるいかなるアクティブデバイスの出力の結合または加算にも適用されることを理解されたい。

【0775】

図29は、本発明の一実施形態によるベクトル電力増幅器出力ステージの実施形態2900を例示する。出力ステージ2900は、複数のベクトル変調器信号2910-{1, ..., n}が複数の対応する電力増幅器（PA）2920-{1, ..., n}に入力されることを含む。上述のように、信号2910-{1, ..., n}は、ベクトル電力増幅器の所望の出力信号の成分信号を表す。

【0776】

図29の実施例では、PA2920-{1, ..., n}は、入力信号2910-{1, ..., n}を等しく増幅するか、あるいはほぼ等しく増幅して、増幅された出力信号2930-{1, ..., n}を生成する。増幅された出力信号2930-{1, ..., n}は、加算ノード2940で共に直結される。本発明のこの実施例の実施形態によれば、加算ノード2940は、例えば、電力結合器など、結合または絶縁素子を含まない。図29の実施形態では、加算ノード2940は、ゼロインピーダンス（または、ほぼゼロインピーダンス）の導線である。したがって、結合素子を採用する従来のシステムとは異なり、本発明のこの実施形態による出力信号の結合は、最小の電力損失を受ける。

【0777】

別の態様では、本発明の出力ステージの実施形態を、多入力1出力（MISO）電力増幅器を使用して実装することができる。

【0778】

別の態様では、所望の出力電力レベルに従って出力ステージ電流を制御することによって、増幅器の電力効率を増大させるように、本発明の出力ステージの実施形態を制御することができる。

【0779】

以下においては、本発明のVPAの実施形態による様々な出力ステージの実施形態が、セクション3.5.1において提供される。セクション3.5.2では、本発明のあるVPAの実施形態の電力効率を増大させるための、出力ステージ電流整形関数の実施形態が提示される。セクション3.5.3では、本発明のある出力ステージの実施形態のために利用される場合のある、出力ステージ保護技術の実施形態を説明する。

【0780】

3.5.1) 出力ステージの実施形態

図30は、本発明の一実施形態による電力増幅器（PA）出力ステージの実施形態3000を例示するブロック図である。出力ステージの実施形態3000は、複数のPA分岐3005-{1, ..., n}を含む。各ベクトル変調器から入ってくる信号3010-{1, ..., n}は、出力ステージ3000のための入力を表す。本発明のこの実施形態によれば、信号3010-{1, ..., n}は、電力増幅器の所望の出力信号の等しくかつ一定、あるいは、ほぼ等しくかつ一定の包絡線成分信号を表す。

【0781】

PA分岐3005-{1, ..., n}は、等しいかあるいはほぼ等しい電力増幅を各信号3010-{1, ..., n}に適用する。一実施形態では、PA分岐3005-{1, ..., n}を通じた電力増幅レベルは、所望の出力信号の電力レベル要件に従って設定される。

【0782】

10

20

30

40

50

図30の実施形態では、PA分岐3005 - {1, . . . , n}はそれぞれ、電力増幅器3040 - {1, . . . , n}を含む。他の実施形態では、図30に例示するような、ドライバ3030 - {1, . . . , n}およびプレドライバ3020 - {1, . . . , n}もまた、PA分岐において電力増幅器素子より前に追加されてもよい。実施形態では、ドライバおよびプレドライバは、必要とされた出力電力レベルが単一の増幅ステージにおいて達成されない場合があるときは常に採用される。

【0783】

所望の出力信号を生成するため、PA分岐3005 - {1, . . . , n}の出力が加算ノード3050で直結される。加算ノード3050は、結合された出力の間に絶縁をわずかにもたらすか、あるいはもたらさない。さらに、加算ノード3050は、比較的無損失の加算ノードを表す。したがって、PA3040 - {1, . . . , n}の出力の加算において、最小の電力損失を受ける。

【0784】

出力信号3060は、出力ステージ3000の所望の出力信号を表す。図30の実施形態では、出力信号3060は、負荷インピーダンス3070を介して測定される。

【0785】

図31は、本発明による別の電力増幅器(PA)出力ステージの実施形態3100を示すブロック図である。図30の実施形態と同様に、出力ステージ3100は、複数のPA分岐3105 - {1, . . . , n}を含む。PA分岐3105 - {1, . . . , n}の各々は、プレドライバ3020 - {1, . . . , n}、ドライバ3030 - {1, . . . , n}、および電力増幅器3040 - {1, . . . , n}によって表される、複数の電力増幅ステージを含む場合がある。出力ステージの実施形態3100はさらに、各電力増幅ステージの出力で結合されたプルアップインピーダンスを含んで、そのステージのバイアシングを提供する。例えば、プルアップインピーダンス3125 - {1, . . . , n}および3135 - {1, . . . , n}はそれぞれ、プレドライバおよびドライバステージ出力を、電源または独立したバイアス電源に結合する。同様に、プルアップインピーダンス3145は、PAステージ出力を電源または独立したバイアス電源に結合する。本発明のこの実施形態によれば、プルアップインピーダンスは、この出力ステージの実施形態の効率には影響を及ぼす場合があるが、動作には必ずしも影響を及ぼすとは限らない場合のある、任意選択のコンポーネントを表す。

【0786】

図32は、本発明による別の電力増幅器(PA)出力ステージの実施形態3200を示すブロック図である。図30の実施形態と同様に、出力ステージ3200は、複数のPA分岐3205 - {1, . . . , n}を含む。PA分岐3205 - {1, . . . , n}の各々は、プレドライバ3020 - {1, . . . , n}、ドライバ3030 - {1, . . . , n}、および電力増幅器3040 - {1, . . . , n}によって表される、複数の電力増幅ステージを含む場合がある。出力ステージの実施形態3200はまた、各電力増幅ステージの出力で結合されたプルアップインピーダンスを含んで、そのステージの適切なバイアシングを達成する。さらに、出力ステージの実施形態3200は、各電力増幅ステージの出力で結合された整合インピーダンスを含んで、そのステージからの電力伝達を最大にする。例えば、整合インピーダンス3210 - {1, . . . , n}および3220 - {1, . . . , n}はそれぞれ、プレドライバおよびドライバステージ出力に結合される。同様に、整合インピーダンス3240は、PAステージ出力で結合される。整合インピーダンス3240は、加算ノード3250の後に続くPA出力ステージに結合されることに留意されたい。

【0787】

図30～32の上述の実施形態では、PAステージ出力は加算ノードでの直結によって結合される。例えば、図30の実施形態では、PA分岐3005 - {1, . . . , n}の出力は、加算ノード3050で共に結合される。加算ノード3050は、結合された出力の間に最小の絶縁をもたらす、ほぼゼロインピーダンスの導線である。類似の出力ステー

10

20

30

40

50

ジ結合を、図31および32に示す。本発明のある実施形態では、図30～32の実施形態、または、後に以下で説明する実施形態に示すような出力結合は、ある出力ステージ保護手段を利用する場合があることに留意されたい。これらの保護手段を、PA分岐の異なるステージで実装してもよい。さらに、必要とされる保護手段のタイプは、PA実装特有のものであってもよい。本発明の一実施形態による出力ステージ保護のさらなる考察を、セクション3.5.3において提供する。

【0788】

図33は、本発明による別の電力増幅器(PA)出力ステージの実施形態3300を例示するブロック図である。図30の実施形態と同様に、出力ステージ3300は、複数のPA分岐3305- $\{1, \dots, n\}$ を含む。PA分岐3305- $\{1, \dots, n\}$ の各々は、プレドライバ3020- $\{1, \dots, n\}$ 、ドライバ3030- $\{1, \dots, n\}$ 、および電力増幅器3040- $\{1, \dots, n\}$ によって表される、複数の電力増幅ステージを含む場合がある。出力ステージの実施形態3300はまた、各電力増幅ステージの出力で結合されたプルアップインピーダンス3125- $\{1, \dots, n\}$ 、3135- $\{1, \dots, n\}$ 、および3145を含んで、そのステージの適切なバイアシングを達成してもよい。加えて、出力ステージの実施形態3300は、各電力増幅ステージの出力で結合された整合インピーダンス3210- $\{1, \dots, n\}$ 、3220- $\{1, \dots, n\}$ 、および3240を含んで、そのステージからの電力伝達を最大にしてもよい。さらに、出力ステージの実施形態3300は、自己バイアス信号3310を、各PA分岐3305- $\{1, \dots, n\}$ のPAステージ入力で結合された、自己バイアスモジュール3340から受信する。自己バイアスモジュール3310は、PA3040- $\{1, \dots, n\}$ のバイアスを制御する。一実施形態では、自己バイアス信号3340は、所望の出力電力レベルおよび出力波形の信号包絡線に従って、PAステージを通じて、電流フローの量を制御する。自己バイアス信号の動作および自己バイアスモジュールのさらなる説明を、以下でセクション3.5.2において提供する。

【0789】

図34は、本発明による別の電力増幅器(PA)出力ステージの実施形態3400を例示するブロック図である。図30の実施形態と同様に、出力ステージ3400は、複数のPA分岐3405- $\{1, \dots, n\}$ を含む。PA分岐3405- $\{1, \dots, n\}$ の各々は、プレドライバ3020- $\{1, \dots, n\}$ 、ドライバ3030- $\{1, \dots, n\}$ 、および電力増幅器3040- $\{1, \dots, n\}$ によって表される、複数の電力増幅ステージを含む場合がある。出力ステージの実施形態3400はまた、各電力増幅ステージの出力で結合されたプルインピーダンス3125- $\{1, \dots, n\}$ 、3135- $\{1, \dots, n\}$ 、および3145を含んで、そのステージの所望のバイアシングを達成してもよい。加えて、出力ステージの実施形態3400は、各電力増幅ステージの出力で結合された整合インピーダンス3210- $\{1, \dots, n\}$ 、3220- $\{1, \dots, n\}$ 、および3240を含んで、そのステージからの電力伝達を最大にしてもよい。さらに、出力ステージの実施形態3400は、各PA分岐 $\{1, \dots, n\}$ のPAステージ入力で結合された複数の高調波制御回路ネットワーク3410- $\{1, \dots, n\}$ を含む。高調波制御回路ネットワーク3410- $\{1, \dots, n\}$ は、直列または並列で結合された、複数の抵抗、キャパシタンス、および/または誘導素子、および/またはアクティブデバイスを含む場合がある。本発明の一実施形態によれば、高調波制御回路ネットワーク3410- $\{1, \dots, n\}$ は、電力増幅器の出力周波数スペクトルを制御するための高調波制御機能を提供する。一実施形態では、高調波制御回路ネットワーク3410- $\{1, \dots, n\}$ は、加算された出力スペクトルにおける基本波へのエネルギー伝達が増大されるが、出力波形の高調波部分(harmonic content)が低減されるように、選択される。本発明の実施形態による高調波制御のさらなる説明を、以下でセクション3.6において提供する。

【0790】

図35は、本発明による別の電力増幅器(PA)出力ステージの実施形態3500を例

示するブロック図である。出力ステージの実施形態 3500 は、図 32 の出力ステージの実施形態 3200 に相当する差動出力を表す。実施形態 3500 では、PA ステージ出力 $3510 - \{1, \dots, n\}$ は連続的に結合されて、2 つの集合信号 (aggregate signals) の結果となる。この 2 つの集合信号は次いで、負荷インピーダンスを介して結合され、それにより、電力増幅器の出力に、2 つの集合信号の間の差を表すようにさせる。図 35 を参照すると、集合信号 3510 および 3520 は負荷インピーダンス 3530 を介して結合される。電力増幅器の出力は、負荷インピーダンス 3530 を介して、ノード 3540 および 3550 の間の電圧差として測定される。実施形態 3500 によれば、2 つの集合信号が互いに対しても 180 度異相であるとき、電力増幅器の最大出力が得られる。逆に、2 つの集合信号が互いに対しても同相であるとき、最小出力電力の結果となる。

【0791】

図 36 は、本発明による別の出力ステージの実施形態 3600 を例示するブロック図である。図 30 の実施形態と同様に、出力ステージ 3600 は、複数の PA 分岐 3605 - $\{1, \dots, n\}$ を含む。PA 分岐 $\{1, \dots, n\}$ の各々は、プレドライバ 3020 - $\{1, \dots, n\}$ 、ドライバ 3030 - $\{1, \dots, n\}$ 、および電力増幅器 (PA) 3620 - $\{1, \dots, n\}$ によって表される、複数の電力増幅ステージを含む場合がある。

【0792】

実施形態 3600 によれば、PA 3620 - $\{1, \dots, n\}$ はスイッチング電力増幅器を含む。図 36 の実施例では、電力増幅器 3620 - $\{1, \dots, n\}$ は、n p n バイポーラ接合トランジスタ (BJT) 素子 Q_1, \dots, Q_n を含む。BJT 素子 Q_1, \dots, Q_n は、共通のコレクタノードを有する。図 36 を参照すると、BJT 素子 Q_1, \dots, Q_n のコレクタ端子が共に結合されて、加算ノード 3640 が提供される。BJT 素子 Q_1, \dots, Q_n のエミッタ端子は接地ノードに結合されるが、BJT 素子 Q_1, \dots, Q_n のベース端子は、PA ステージへの入力端子を提供する。

【0793】

図 37 は、方形波入力信号に応答した、実施形態 3600 の PA ステージの出力信号を例示する (図 36 に関係する) 一実施例である。例示を容易にするため、2 分岐 PA ステージを考察する。図 37 の実施例では、方形波信号 3730 および 3740 がそれぞれ BJT 素子 3710 および 3720 に入力される。BJT 素子 3710 または 3720 のいずれかがオンになるとき、加算ノード 3750 が接地に短絡されることに留意されたい。したがって、入力信号 3730 または 3740 のいずれかが高いとき、出力信号 3780 はゼロとなる。さらに、出力信号 3780 は、入力信号 3730 および 3740 の両方がゼロであるときにのみ、高くなる。この配置によれば、PA ステージ 3700 はパルス幅変調を行い、それにより、出力信号の大きさは、入力信号の間の位相シフト角の関数である。

【0794】

実施形態は、本明細書に記載するような n p n BJT 実装に限定されない。例えば、本発明の実施形態を、p n p BJT、CMOS、NMOS、PMOS または他のタイプのトランジスタを使用して実装してもよいことは、当業者には理解されよう。さらに、所望のトランジスタスイッチング速度を、考察すべき要因として、GaAs および / または SiGe トランジスタを使用して、実施形態を実装することができる。

【0795】

図 36 に戻って参照すると、PA 3620 - $\{1, \dots, n\}$ はそれぞれ単一の BJT 表記を使用して例示されるが、各 PA 3620 - $\{1, \dots, n\}$ は複数の直列結合されたトランジスタを含んでもよいことに留意されたい。実施形態では、各 PA 内に含まれるトランジスタの数は、電力増幅器の必要とされた最大出力電力レベルに従って設定される。他の実施形態では、PA におけるトランジスタの数は、プレドライバ、ドライバおよび PA ステージにおけるトランジスタの数が等比数列 (geometric progression) である。

10

20

30

40

50

ression) に適合するようになる。

【0796】

図38は、本発明の一実施形態による例示的PAの実施形態3800を例示する。PAの実施形態3800は、BJT素子3870、LCネットワーク3860、およびバイアスインピーダンス3850を含む。BJT素子3870は、直列に結合された複数のBJTトランジスタQ1、...、Q8を含む。図38に例示するように、BJTトランジスタQ1、...、Q8は、それらのベース、コレクタおよびエミッタ端子で共に結合される。BJT素子3870のコレクタ端子3880は、PA3800のための出力端子を提供する。BJT素子3870のエミッタ端子3890は、基板に結合されても、先行する增幅器ステージのエミッタ端子に結合されてもよい。例えば、エミッタ端子3890は、先行するドライバステージのエミッタ端子に結合される。

【0797】

図38を参照すると、LCネットワーク3860は、PA入力端子3810と、BJT素子3870の入力端子3820の間に結合される。LCネットワーク3860は、複数の容量性および誘導素子を含む。任意選択により、高調波制御回路ネットワーク3830もまた、BJT素子3870の入力端子3820で結合される。上述のように、HCCネットワーク3830は、電力増幅器の出力周波数スペクトルを制御するための高調波制御機能を提供する。

【0798】

なお、図38を参照すると、バイアスインピーダンス3850は、Iref信号3840をBJT素子3870の入力端子3820へ結合する。Iref信号3840は、所望の出力電力レベルおよび信号包絡線特性に従って、BJT素子3870のバイアスを制御する、自己バイアス信号を表す。

【0799】

図38の実施形態では、BJT素子3870は8つのトランジスタを含むように例示されることに留意されたい。しかし、BJT素子3870が、電力増幅器の所望の出力電力レベルを達成するために必要とされるようないかなる数のトランジスタを含んでもよいことは、当業者には理解できよう。

【0800】

別の態様では、出力ステージの実施形態を、多入力1出力(MISO)電力増幅器を使用して実装することができる。図51Aは、例示的MISO出力ステージの実施形態5100Aを例示するブロック図である。出力ステージの実施形態5100Aは、MISO電力増幅器(PA)5120に入力される複数のベクトル変調器信号5110-{1,...,n}を含む。上述のように、信号5110-{1,...,n}は、電力増幅器の出力信号5130の定包絡線成分を表す。MISO PA5120は、多入力1出力の電力増幅器である。MISO PA5120は、信号5110-{1,...,n}を受信かつ増幅し、出力信号5130を生成するために分散マルチ信号増幅プロセス(distributed multi signal amplification process)を提供する。

【0801】

図51Aに示したものと同様のMISO実装は、上述の出力ステージの実施形態のいずれにも同様に拡張することができることに留意されたい。より具体的には、図29~37の出力ステージの実施形態のいずれも、MISO手法を使用して実装することができる。追加のMISO実施形態を、これから図51B~Iを参照して提供する。上述の実施形態のいずれも、これから提供されるMISO実施形態のいずれかを使用して実装することができることに留意されたい。

【0802】

図51Aを参照すると、MISO PA5120は、複素包絡線入力信号のほぼ一定の包絡線分解によって必要とされるようないかなる数の入力をも有することができる。例えば、2次元分解では、2入力の電力増幅器を使用することができる。本発明の実施形態に

よれば、いかなる数の入力のための M I S O P A をも作成するための構成単位が提供される。図 5 1 B は、本発明の一実施形態によるいくつかの M I S O 構成単位を例示する。M I S O P A 5 1 1 0 B は、2 入力 1 出力の P A ブロックを表す。一実施形態では、M I S O P A 5 1 1 0 B は、2 つの P A 分岐を含む。M I S O P A 5 1 1 0 B の P A 分岐は、例えば、図 2 9 ~ 3 7 を参照して上述したいずれかの P A 分岐に相当する場合がある。M I S O P A 5 1 2 0 B は、3 入力 1 出力の P A ブロックを表す。一実施形態では、M I S O P A 5 1 2 0 B は、3 つの P A 分岐を含む。M I S O P A 5 1 2 0 B の P A 分岐は、例えば、図 2 9 ~ 3 7 を参照して上述したいずれかの P A 分岐に相当する場合がある。

【 0 8 0 3 】

10

なお、図 5 1 B を参照すると、M I S O P A 5 1 1 0 B および 5 1 2 0 B は、本発明の実施形態によるいずれかの多入力 1 出力の電力増幅器のための基本構成単位を表す。例えば、M I S O P A 5 1 3 0 B は、4 入力 1 出力の P A であり、これは、例えば、M I S O P A 5 1 1 0 B など、2 つの 2 入力 1 出力の P A ブロックの出力を共に結合することによって作成することができる。これを図 5 1 C に例示する。同様に、M I S O P A 5 1 4 0 B、n 入力 1 出力の P A を、基本構成単位 5 1 1 0 B および 5 1 2 0 B から作成することができることを検証することができる。

【 0 8 0 4 】

図 5 1 D は、本発明の実施形態による 2 入力 1 出力の P A 構成単位の様々な実施形態を例示する。

20

【 0 8 0 5 】

実施形態 5 1 1 0 D は、2 入力 1 出力の P A 構成単位の n p n 実装を表す。実施形態 5 1 1 0 D は、P A の出力を提供する共通コレクタノードを使用して共に結合された、2 つの n p n トランジスタを含む。プルアップインピーダンス (p u l l - u p i m p e d a n c e) (図示せず) を、共通コレクタノードと供給ノード (図示せず) の間で結合することができる。

【 0 8 0 6 】

実施形態 5 1 3 0 D は、実施形態 5 1 1 0 D の p n p 相当物を表す。実施形態 5 1 3 0 D は、P A の出力を提供する共通コレクタノードで結合された、2 つの p n p トランジスタを含む。プルダウンインピーダンス (p u l l - d o w n i m p e d a n c e) (図示せず) を、共通コレクタノードと接地ノード (図示せず) の間で結合することができる。

30

【 0 8 0 7 】

実施形態 5 1 4 0 D は、2 入力 1 出力の P A 構成単位の相補的 n p n / p n p 実装を表す。実施形態 5 1 4 0 D は、P A の出力を提供する共通コレクタノードで結合された、n p n トランジスタおよび p n p トランジスタを含む。

【 0 8 0 8 】

なお、図 5 1 D を参照すると、実施形態 5 1 2 0 D は、2 入力 1 出力の P A 構成単位の N M O S 実装を表す。実施形態 5 1 2 0 D は、P A の出力を提供する共通ドレインノードで結合された、2 つの N M O S トランジスタを含む。

40

【 0 8 0 9 】

実施形態 5 1 6 0 D は、実施形態 5 1 2 0 D の P M O S 相当物を表す。実施形態 5 1 6 0 D は、P A の出力を提供する共通ドレインノードで結合された、2 つの P M O S トランジスタを含む。

【 0 8 1 0 】

実施形態 5 1 5 0 D は、2 入力 1 出力の P A 構成単位の相補的 M O S 実装を表す。実施形態 5 1 5 0 D は、P A の出力を提供する共通ドレインノードで結合された、P M O S トランジスタおよび N M O S トランジスタを含む。

【 0 8 1 1 】

図 5 1 D の 2 入力 1 出力の実施形態をさらに拡張して、多入力 1 出力の P A の実施形態を作成することができる。図 5 1 E は、本発明の実施形態による多入力 1 出力の P A の様

50

々な実施形態を例示する。

【0812】

実施形態5150Eは、多入力1出力のPAのn p n実装を表す。実施形態5150Eは、PAの出力を提供する共通コレクタノードを使用して共に結合された、複数のn p nトランジスタを含む。ブルアップインピーダンス(図示せず)を、共通コレクタノードと電源電圧(図示せず)の間で結合することができる。実施形態5150Eによるn入力1出力のPAを、追加のn p nトランジスタを2入力1出力のPA構成単位の実施形態5110Dに結合することによって、得ることができるに留意されたい。

【0813】

実施形態5170Eは、実施形態5150Eのp n p相当物を表す。実施形態5170Eは、PAの出力を提供する共通コレクタノードを使用して共に結合された、複数のp n pトランジスタを含む。ブルダウンインピーダンス(図示せず)を、共通コレクタノードと接地ノード(図示せず)の間で結合してもよい。実施形態5170Eによるn入力1出力のPAを、追加のp n pトランジスタを2入力1出力のPA構成単位の実施形態5130Dに結合することによって、得ることができるに留意されたい。

【0814】

実施形態5110Eおよび5130Eは、多入力1出力のPAの相補的n p n / p n p実装を表す。実施形態5110Eおよび5130Eは、PAの出力を提供する共通コレクタノードを使用して共に結合された、複数のn p nおよび/またはp n pトランジスタを含んでもよい。実施形態5110Eによるn入力1出力のPAを、追加のn p nおよび/またはp n pトランジスタを2入力1出力のPA構成単位の実施形態5140Dに結合することによって、得ることができるに留意されたい。同様に、実施形態5130Eによるn入力1出力のPAを、追加のn p nおよび/またはp n pトランジスタを2入力1出力のPA構成単位の実施形態5130Dに結合することによって、得ることができます。

【0815】

実施形態5180Eは、多入力1出力のPAのPMOS実装を表す。実施形態5180Eは、PAの出力を提供する共通ドレインノードを使用して共に結合された、複数のPMOSトランジスタを含む。実施形態5180Eによるn入力1出力のPAを、追加のNMOSトランジスタを2入力1出力のPA構成単位の実施形態5160Dに結合することによって、得ることができるに留意されたい。

【0816】

実施形態5160Eは、多入力1出力のPAのNMOS実装を表す。実施形態5160Eは、PAの出力を提供する共通ドレインノードを使用して共に結合された、複数のNMOSトランジスタを含む。実施形態5160Eによるn入力1出力のPAを、追加のPMOSトランジスタを2入力1出力のPA構成単位の実施形態5120Dに結合することによって、得ることができるに留意されたい。

【0817】

実施形態5120Eおよび5140Eは、多入力1出力のPAの相補的MOS実装を表す。実施形態5120Eおよび5140Eは、PAの出力を提供する共通ドレインノードを使用して共に結合された、複数のn p nおよびp n pトランジスタを含む。実施形態5120Eによるn入力1出力のPAを、追加のNMOSおよび/またはPMOSトランジスタを2入力1出力のPA構成単位5150Dに結合することによって、得ることができます。同様に、実施形態5140Eによるn入力1出力のPAを、追加のNMOSおよび/またはPMOSトランジスタを2入力1出力のPA構成単位5160Dに結合することによって、得ることができます。

【0818】

図51Fは、本発明の実施形態による、さらなる多入力1出力のPAの実施形態を例示する。実施形態5110Fは、多入力1出力のPAの相補的n p n / p n p実装を表す。実施形態5110Fを、PA構成単位5140Dの実施形態を繰り返して共に結合することによって、得ることができます。同様に、実施形態5120Fは、多入力1出力のPAの

10

20

30

40

50

NMOS / PMOS 相補的実装に相当するものを表す。実施形態 5120F を、PA 構成単位 5150D の実施形態を繰り返して共に結合することによって、得ることができる。

【0819】

上述の多入力 1 出力の実施形態はそれぞれ、PA の單一または複数の分岐に対応する場合があることに留意されたい。例えば、図 29 を参照すると、多入力 1 出力の実施形態のいずれかを使用して、單一または複数の PA2920 - {1, . . . , n} を置き換えてもよい。すなわち、PA2920 - {1, . . . , n} の各々を、上述の多入力 1 出力の PA の実施形態のいずれかを使用して実装してもよいし、図 29 に示すような 1 入力 1 出力の PA により実装してもよい。

【0820】

さらに、図 51D、51E および 51F の実施形態に示したトランジスタをそれぞれ、例えば、図 38 の例示的実施形態に示すような一連のトランジスタを使用して実装してもよいことに留意されたい。

【0821】

図 51G は、多入力 1 出力の PA 構成単位のさらなる実施形態を例示する。実施形態 5110G は、2 入力 1 出力の PA 構成単位の一実施形態を例示する。実施形態 5110G は、上述のような 1 入力 1 出力または多入力 1 出力の PA の実施形態によってそれぞれ実装することができる、2 つの PA 分岐を含む。さらに、実施形態 5110G は、PA の実施形態の 2 つの分岐に結合される、任意選択のバイアス制御信号 5112G を例示する。バイアス制御信号 5112G は、PA 分岐の特定の実装に基づいて、実施形態 5110G において任意選択で採用される。ある実装では、バイアス制御が PA の適切な動作のために必要となる。他の実装では、バイアス制御は PA の適切な動作のために必要とされないが、改善された PA 電力効率、出力回路保護、または電源オン時の電流の保護をもたらす場合がある。

【0822】

なお、図 51G を参照すると、実施形態 5120G は、3 入力 1 出力の PA 構成単位の一実施形態を例示する。実施形態 5120G は、上述のような 1 入力 1 出力または多入力 1 出力の PA の実施形態によってそれぞれ実装することができる、3 つの PA 分岐を含む。さらに、実施形態 5120G は、PA の実施形態の分岐に結合される、任意選択のバイアス制御信号 5114G を例示する。バイアス制御信号 5114G は、PA 分岐の特定の実装に基づいて、実施形態 5120G において任意選択で採用される。ある実装では、バイアス制御が PA の適切な動作のために必要となる。他の実装では、バイアス制御は PA の適切な動作のために必要とされないが、改善された PA 電力効率をもたらす場合がある。

【0823】

図 51H は、2 入力 1 出力の PA 構成単位のさらなる例示的実施形態 5100H を例示する。実施形態 5100H は、上述のような 1 入力 1 出力または多入力 1 出力の PA の実施形態によってそれぞれ実装することができる、2 つの PA 分岐を含む。実施形態 5100H はさらに、実施形態 5100H の実施形態において追加で採用することができる、図 51H において破線を用いて例示された任意選択の素子を含む。一実施形態では、PA 構成単位 5100H は、図 51H に示すように、ドライバステージおよび / またはプレドライバステージを PA 分岐の各々において含んでもよい。プロセス検出器をまた任意選択で採用して、PA のドライバおよび / またはプレドライバステージにおけるプロセスおよび温度変動を検出してもよい。さらに、任意選択のバイアス制御を、PA の実施形態の各分岐のプレドライバ、ドライバ、および / または PA ステージの各々に提供してもよい。バイアス制御を、1 つまたは複数のステージに、そのステージの特定の実装に基づいて提供してもよい。さらに、バイアス制御はある実装のために必要とされる場合があるが、他のものにおいては任意選択で採用することができる。

【0824】

図 51I は、多入力 1 出力の PA のさらなる例示的実施形態 5100I を例示する。実

10

20

30

40

50

施形態 5100I は、上述のような 1 入力 1 出力または多入力 1 出力の PA の実施形態によってそれぞれ実装することができる、少なくとも 2 つの PA 分岐を含む。実施形態 5100I はさらに、実施形態 5100I の実施形態において追加で採用することができる、任意選択の素子を含む。一実施形態では、PA は、図 51I に示すように、ドライバおよび / またはプレドライバステージを PA 分岐の各々において含んでもよい。プロセス検出器をまた任意選択で採用して、PA のドライバおよび / またはプレドライバステージにおけるプロセスおよび温度変動を検出してもよい。さらに、任意選択のバイアス制御を、PA の実施形態の各分岐のプレドライバ、ドライバ、および / または PA ステージの各々に提供してもよい。バイアス制御を、1 つまたは複数のステージに、そのステージの特定の実装に基づいて提供してもよい。さらに、バイアス制御はある実装のために必要とされる場合があるが、他のものにおいては任意選択で採用することができる。

10

【 0825 】

3.5.2) 出力ステージ電流制御 - 自己バイアスモジュール

本発明の実施形態による、出力ステージおよび任意選択のプレドライバおよびドライバステージのバイアスおよび電流制御技術の実施形態を、以下で説明する。ある実施形態では、出力ステージ電流制御関数が採用されて、ベクトル電力増幅器 (VPA) の実施形態の出力ステージ効率が増大される。他の実施形態では、出力ステージ電流制御が使用されて、過剰電圧および電流からの出力ステージ保護が提供され、これをさらにセクション 3.5.3 で説明する。実施形態では、出力ステージ電流制御関数は、図 33 を参照して上述した自己バイアスモジュールを使用して行われる。これらの電流制御関数を行うことにおける自己バイアスモジュールの動作の説明もまた、以下で本発明の一実施形態によって提示される。

20

【 0826 】

本発明の実施形態によれば、VPA の出力ステージ電流を、出力電力および出力波形の包絡線の関数として制御することによって、VPA の出力ステージの電力効率を増大させることができる。

【 0827 】

図 37 は、入力信号 S1 および S2 を有する 2 つの NPN トランジスタからなる多入力 1 出力の増幅器の部分概略図を例示する。S1 および S2 がほぼ類似の波形およびほぼ一定の包絡線信号となるように設計されるとき、S1 および S2 の位相関係を変更することによって、いかなる時変複素包絡線出力信号も回路ノード 3750 で作成することができる。

30

【 0828 】

図 39 は、一実施例の時変複素包絡線出力信号 3910、および、その対応する包絡線信号 3920 を例示する。信号 3910 は、時刻 t_0 で位相の反転を受けることに留意されたい。対応して、包絡線信号 3920 は、時間 t_0 でゼロ交差を受ける。出力信号 3910 は、例えば、W-CDMA、QPSK および OFDM など、典型的な無線信号方式による出力信号を例示する。

【 0829 】

図 40 は、出力信号 3910 に応答した、実施例の図、図 37 の出力ステージ電流を例示する。 I_{out} 信号 4010 は、自己バイアス制御のない出力ステージ電流を表し、 I_{out} 信号 4020 は、自己バイアス制御のある出力ステージ電流を表す。自己バイアス制御がなければ、S1 と S2 の間の位相シフトが 0 から 180 度まで変化するので、出力電流 I_{out} が増大する。自己バイアス制御があれば、出力電流 I_{out} は低減され、図 39 の t_0 か、あるいはそれに近いとき、最小にすることができる。

40

【 0830 】

I_{out} 信号 4020 は、包絡線信号 3920 に応じて変化することに留意されたい。したがって、 I_{out} 信号 4020 は、最大出力電力が必要とされるとき、最大であるが、必要とされる出力電力が低下するにつれて、低減される。特に、 I_{out} 信号 4020 は、関連付けられた出力電力がゼロになるにつれて、ゼロに近付く。したがって、本発明の実施

50

形態による出力ステージ電流制御は、大幅な節電の結果となり、電力増幅器の電力効率を増大させることは、当業者には理解されよう。

【0831】

本発明の実施形態によれば、出力ステージ電流制御を様々な関数に従って実装してもよい。一実施形態では、出力ステージ電流を、増幅器の所望の出力電力に対応するように整形することができる。このような実施形態では、出力ステージ電流は、所望の出力信号の包絡線から導出される関数であり、電力効率は増大する。

【0832】

図41は、本発明の実施形態による例示的自己バイアス出力ステージ電流制御関数4110および4120を例示する。関数4110は、上述のような出力電力および信号包絡線の関数を表す場合がある。一方、関数4120は、出力電力がしきい値より低いとき、所定の時間の量に渡って最小値になる、単純な整形関数を表す場合がある。したがって、関数4110および4120は、自己バイアス出力ステージ電流制御関数の2つの場合を表し、自己バイアス制御信号4110は I_{out} 応答4130の結果となり、自己バイアス制御信号4120は I_{out} 応答4140の結果となる。本発明は、しかし、これらの2つの例示的実施形態に限定されない。本発明の実施形態によれば、出力ステージ自己バイアス電流制御関数を、特定のベクトル電力増幅器設計の効率および電流消費要件に対応するように設計かつ実装してもよい。

【0833】

実装では、出力ステージ電流制御を実行するためのいくつかの手法が存在する。いくつかの実施形態では、出力ステージ電流整形が、自己バイアスモジュールを使用して行われる。自己バイアスモジュールは、図7および8の実施形態において自己バイアス回路714および716として例示される。同様に、自己バイアスモジュールは、図12および13の実施形態において自己バイアス回路1218として、また、図17および18の実施形態において自己バイアス回路1718として例示される。

【0834】

自己バイアスを使用した出力ステージ電流制御を、図48の実施形態のプロセス流れ図4800に示す。このプロセスは、ベクトル電力増幅器(VPA)の所望の出力信号の出力電力および出力信号包絡線情報を受信することを含む、ステップ4810で開始する。いくつかの実施形態では、自己バイアスを使用した出力ステージ電流制御の実装には、増幅器の所望の出力電力の先駆的知識が必要となる。出力電力情報は、包絡線および位相情報の形式であってもよい。例えば、図7、8、12、13、17および18の実施形態では、出力電力情報は、VPAの実施形態によって受信されたIおよびQデータ成分に含まれる。他の実施形態では、出力電力情報を、他の手段を使用して受信あるいは計算してもよい。

【0835】

ステップ4820は、出力電力および出力包絡線信号情報に従って信号を計算することを含む。実施形態では、自己バイアス信号は、所望の出力電力のある測度の関数として計算される。例えば、自己バイアス信号を、所望の出力信号の包絡線の大きさの関数として計算してもよい。図7、8、12、13、17および18の実施形態を参照すると、例えば、自己バイアス信号(図7および8における信号715および717、図12および13における信号1228、ならびに、図17および18における信号1728)は、所望の出力信号の受信されたIおよびQデータ成分に従って計算されることに留意されたい。図7、8、12、13、17および18において説明したものなど、ある実施形態では、自己バイアス信号は、自己バイアスモジュールが出力電力情報を提供されることによって計算される。他の実施形態では、自己バイアス信号は、VPAのIおよびQデータ伝達関数モジュールによって計算されてもよい。このような実施形態では、自己バイアスモジュールは実装において必要とされない場合がある。実施形態では、IおよびQデータ伝達関数モジュールは信号を計算し、その信号をDACに出力し、その出力信号は自己バイアス信号を表す。

10

20

30

40

50

【0836】

ステップ4830は、計算された信号をVPAの出力ステージで適用し、それにより、所望の出力信号の出力電力に従って、出力ステージの電流を制御することを含む。実施形態では、ステップ4830は、VPAのPAステージ入力で自己バイアス信号を結合することを含む。これを、例えば、自己バイアス信号3310がVPAの実施形態のPAステージ入力で結合される、図33および42の実施形態に例示する。これらの実施形態では、自己バイアス信号3310は、VPAの実施形態の所望の出力信号の出力電力に従って、PAステージトランジスタのバイアスを制御する。例えば、自己バイアス信号3310は、所望の出力電力が最小またはほぼゼロであるとき、PAステージトランジスタを遮断状態で動作させ、それにより、出力ステージ電流をほとんどあるいは全く引き出さないようにしてよい。同様に、最大出力電力が望まれるとき、自己バイアス信号3310は、クラスC、D、Eなど、スイッチングモードにおいて動作するために、PAステージトランジスタをバイアスしてもよい。自己バイアス信号3310はまた、所望の出力電力および信号包絡線特性に従って、PAステージトランジスタまたはFETを、順方向または逆方向バイアス状態において動作させてよい。

10

【0837】

他の実施形態では、ステップ4830は、プルアップインピーダンスを使用して、PAステージ入力、および、任意選択でVPAのドライバおよびプレドライバステージの入力で、自己バイアス信号を結合することを含む。図38および43は、このような実施形態を例示する。例えば、図38の実施形態では、バイアスインピーダンス3850は、自己バイアスIref信号3840を、BJT素子3870の入力端子3820に結合する。BJT素子3870は、例示的VPAの実施形態の1つのPA分岐のPAステージを表す。同様に、図43の実施形態では、自己バイアス信号4310は、トランジスタQ1、...、Q8に、対応するバイアスインピーダンスZ1、...、Z8を通じて結合される。トランジスタQ1、...、Q8は、例示的VPAの実施形態の1つの分岐のPAステージを表す。

20

【0838】

上述の自己バイアス回路を実装するための実施形態を、これから提供する。図27は、自己バイアス回路を実装するための3つの実施形態2700A、2700Bおよび2700Cを例示する。これらの実施形態は例示のために提供され、限定するものではない。他の実施形態は、本明細書に含まれた教示に基づいて、当業者には明らかになるであろう。

30

【0839】

実施形態2700Aでは、自己バイアス回路2700Aは、自己バイアス伝達関数モジュール2712、DAC2714、および任意選択の補間フィルタ2718を含む。自己バイアス回路2700Aは、IおよびQデータ信号2710を受信する。自己バイアス伝達関数モジュール2712は、受信されたIおよびQデータ信号2710を処理して、適切なバイアス信号2713を生成する。自己バイアス伝達関数モジュール2712は、バイアス信号2713をDAC2714へ出力する。DAC2714は、自己バイアス伝達モジュール2712において生成される場合のある、DACクロック2716によって制御される。DAC2714は、バイアス信号2713をアナログ信号に変換し、アナログ信号を補間フィルタ2718に出力する。アンチエイリアスフィルタとしての機能も果たす補間フィルタ2718は、DACの出力を整形して、実施形態5112GにおけるバイアスAとして例示された、自己バイアス信号2720を生成する。自己バイアス信号2720を使用して、増幅器のPAステージ、および/またはドライバステージ、および/またはプレドライバステージをバイアスしてもよい。一実施形態では、自己バイアス信号2720は、PAステージ内の異なるステージをバイアスするために、そこから導出されたいいくつかの他の自己バイアス信号を有してもよい。これを、実施形態2700Aに含まれない追加の回路を使用して行うことができる。

40

【0840】

対照的に、実施形態2700Bは、複数の自己バイアス信号が自己バイアス回路内で導

50

出される、自己バイアス回路の実施形態を例示する。実施形態 2700B に示すように、実施形態 2700B において回路ネットワーク A、B および C として例示された、回路ネットワーク 2722、2726 および 2730 は、自己バイアス信号 2724 および 2728 を自己バイアス信号 2720 から導出するため使用される。自己バイアス信号 2720、2724 および 2728 は、異なる増幅ステージをバイアスするために使用される。

【0841】

実施形態 2700C は、複数の自己バイアス信号が自己バイアス伝達関数モジュール 2712 内で独立して生成される、別の自己バイアス回路の実施形態を例示する。実施形態 2700C では、自己バイアス伝達関数モジュール 2712 は、複数のバイアス信号を、受信された I および Q データ信号 2710 に従って生成する。これらのバイアス信号は、関係付けられても関係付けられなくてもよい。自己バイアス伝達関数モジュール 2712 は、生成されたバイアス信号を後続の DAC 2732、2734 および 2736 に出力する。DAC 2732、2734 および 2736 は、DAC クロック信号 2733、2735 および 2737 によって、それぞれ制御される。DAC 2732、2734 および 2736 は、受信されたバイアス信号をアナログ信号に変換し、これらのアナログ信号を任意選択の補間フィルタ 2742、2744 および 2746 に出力する。アンチエイリアスフィルタとしての機能も果たす補間フィルタ 2742、2744 および 2746 は、DAC 出力を整形して、自己バイアス信号 2720、2724 および 2728 を生成する。実施形態 2700B と同様に、自己バイアス信号 2720、2724 および 2728 が使用されて、プレドライバ、ドライバおよび PA など、異なる増幅ステージがバイアスされる。

【0842】

上述のように、本発明による自己バイアス回路の実施形態は、実施形態 2700A、2700B および 2700C で説明したものに限定されない。例えば、自己バイアス回路を拡張して、例えば、実施形態 2700B および 2700C に示すような 3 つのみでなく、増幅の様々なステージのバイアスを制御するために必要とされるような、いかなる数のバイアス制御信号を生成することもできることは、当業者には理解されよう。

【0843】

3.5.3) 出力ステージ保護

上述のように、本発明の実施形態による出力ステージの実施形態は、結合または絶縁素子を使用せずに PA ステージで出力を直結することができる結果として、極めて電力効率がよい。ある状況および / または応用例におけるある出力ステージの実施形態では、しかし、このような直結手法に耐えるために、追加の特別な出力ステージ保護手段が必要となる場合がある。これは、例えば、図 51D および 51E に例示した 5110D、5120D、5130D、5160D、5150E、5160E、5170E および 5180E など、出力ステージの実施形態についての場合である可能性がある。本明細書でこのセクションにおいて説明するように、一般に、図 51D および 51E の実施形態 5140D、5150D、5110E、5120E、5130E および 5140E など、相補的な出力ステージの実施形態は、同じ出力ステージ保護手段を必要としない（が、任意選択で使用してもよい）ことに留意されたい。このような手段をサポートするための出力ステージ保護手段および実施形態を、これから提供する。

【0844】

一態様では、PA ステージの別個の分岐のトランジスタは、一般に、長期間にわたって同時に反対の動作状態になるべきではない。入力が最後の PA ステージに供給されない再起動または電源オンの後、PA 分岐内の過渡電流がこのモードを発生させ、PA ステージトランジスタが潜在的に互いを、あるいは出力に接続された回路素子を損なう結果となる場合がある。したがって、本発明の実施形態はさらに、PA ステージにおける出力電流を制限するために、自己バイアスモジュールを制約する。

【0845】

別の態様では、自己バイアスモジュールが出力電圧を PA ステージトランジスタの絶縁

10

20

30

40

50

破壊電圧仕様より低く制限することを保証することが望ましい場合がある。したがって、例えば、図42に例示したものなど、本発明の実施形態では、フィードバック素子4210がPAステージの共通コレクタノードと自己バイアスモジュールの間に結合される。フィードバック素子4210は、コレクタを監視して、PAステージトランジスタの電圧の基礎を形成し、トランジスタおよび/または回路素子を保護するために、必要に応じて自己バイアス信号を制約してもよい。

【0846】

他の出力ステージ保護技術もまた実装してもよいことは、当業者には理解されよう。さらに、出力ステージ保護技術は実装特有のものである場合がある。例えば、PAステージトランジスタのタイプ(npn、pnp、NMOS、PMOS、npn/pnp、NMOS/PMOS)に応じて、異なる保護機能が必要となる場合がある。

【0847】

3.6) 高調波制御

本発明の実施形態によれば、各分岐PAについての基本原理は、出力スペクトルの基本波への電力の伝達を最大にすることである。典型的には、各分岐PAは、高調波的に豊富な出力スペクトルを生じる、マルチステージである場合がある。一態様では、実電力の伝達は、基本波について最大化される。別の態様では、非基本波では、実電力伝達は最小化されるが、虚電力伝達は許容される場合がある。高調波制御は、本発明の実施形態によれば、様々な方法で行われる場合がある。

【0848】

一実施形態では、基本波上への実電力伝達は、PAステージ入力信号の波形整形を用いて最大化される。実際のところは、いくつかの要因が、基本波上への最大実電力伝達の結果となる最適波形の決定における役割を果たす。上述の本発明の実施形態3400は、PAステージ入力信号の波形整形を採用する一実施形態を表す。実施形態3400では、複数の高調波制御回路(HCC)ネットワーク3410-{1, . . . , n}が、各PA分岐{1, . . . , n}のPAステージ入力で結合される。HCCネットワーク3410-{1, . . . , n}は、PAステージ入力を波形整形する効果を有し、典型的には、加算された出力スペクトルの基本波への実電力伝達を最大化するように選択される。本発明の実施形態によれば、波形整形を使用して、高調波的に多様な波形の変形物を生成することができる。他の実施形態では、当業者には明らかとなるように、波形整形をプレドライバおよび/またはドライバステージで行うことができる。

【0849】

別の実施形態では、高調波制御は、PAステージ出力の波形整形を用いて達成される。図43は、本発明の例示的PAステージの実施形態4300を例示する。実施形態4300では、自己バイアス信号4310は、トランジスタQ1、. . . 、Q8へ、対応するバイアスインピーダンスZ1、. . . 、Z8を通じて結合される。インピーダンスZ1、. . . 、Z8が異なる値を有するとき、トランジスタQ1、. . . 、Q8は異なるバイアス点を有し、異なる時間にオンにすることができるに留意されたい。トランジスタQ1、. . . 、Q8をバイアスするこの手法は、スタガードバイアス(staggered bias)と呼ばれる。スタガードバイアスを使用して、バイアスインピーダンスZ1、. . . 、Z8に割り当てられた値に応じて、PA出力波形を様々な方法で整形することができることに留意されたい。

【0850】

スタガードバイアスを使用した高調波制御を、図49の実施形態のプロセス流れ図4900に示す。このプロセスは、電力増幅器(PA)スイッティングステージの複数のトランジスタの第1のポートで入力信号を結合すること含む、ステップ4910で開始する。図43の実施例の実施形態では、例えば、ステップ4910は、複数のトランジスタQ1、. . . 、Q8のベース端子でPA_IN信号4310を結合することに対応する。

【0851】

ステップ4920は、複数のトランジスタの第1のポートとバイアス信号の間で複数の

10

20

30

40

50

インピーダンスを結合することを含む。図43の実施例の実施形態では、例えば、ステップ4920は、各トランジスタQ1、...、Q8のベース端子とIref信号の間でインピーダンスZ1、...、Z8を結合することによって達成される。一実施形態では、複数のインピーダンスの値は、入力信号の時間スタガード(time-staggered)スイッチングを引き起こし、それにより、PAステージの出力信号を高調波的に整形するように、選択される。実施形態では、マルチステージスタガード出力(staggered output)は、複数のインピーダンスの複数の別個の値を選択することによって生成される場合がある。他の実施形態では、スイッチングは、等しいかあるいはほぼ等しい値を有するように複数のインピーダンスを選択することによって達成される。

【0852】

10

図44は、2ステージスタガードバイアス手法を使用した、例示的波形整形PA出力を示す。2ステージスタガードバイアス手法では、第1のセットのPAトランジスタが、第2のセットがオンにされる前に、最初にオンにされる。すなわち、バイアスインピーダンスは2つの異なる値を取る。波形4410は、PAステージへの入力波形を表す。波形4420は、2ステージスタガードバイアスによる波形整形PA出力を表す。出力波形4420は、それが1から0へ移行するにつれて二度傾斜し、これは、第1および第2のセットのトランジスタが連続的にオンになることに対応することに留意されたい。

【0853】

本発明の実施形態によれば、様々なマルチステージスタガードバイアス手法を設計してもよい。バイアスインピーダンス値は固定でも可変でもよい。さらに、バイアスインピーダンス値は、等しいかあるいはほぼ等しく、別個であってもよく、様々な順列に従って設定されてもよい。例えば、図43の実施例を参照すると、1つの例示的順列は、2ステージスタガードバイアスの結果となる、Z1 = Z2 = Z3 = Z4およびZ5 = Z6 = Z7 = Z8を設定する場合がある。

20

【0854】

3.7) 電力制御

本発明のベクトル電力增幅の実施形態は本質的に、出力電力制御を行うための機構を提供する。

【0855】

図45は、本発明の一実施形態による電力制御を行うための一手法を例示する。図45では、フェーザ

30

【0856】

【数240】

 $\overrightarrow{U_i}$

【0857】

および

【0858】

【数241】

 $\overrightarrow{L_i}$

【0859】

は、第1のフェーザ

【0860】

【数242】

 $\overrightarrow{R_i}$

【0861】

の上側および下側成分を表す。

40

50

【 0 8 6 2 】

【 数 2 4 3 】

 $\overrightarrow{U_1}$

【 0 8 6 3 】

および

【 0 8 6 4 】

【 数 2 4 4 】

 $\overrightarrow{L_1}$

10

【 0 8 6 5 】

は一定の大きさであり、

【 0 8 6 6 】

【 数 2 4 5 】

 $\overrightarrow{R_1}$

【 0 8 6 7 】

に対して、位相シフト角

20

【 0 8 6 8 】

【 数 2 4 6 】

 $\frac{\phi}{2}$

【 0 8 6 9 】

だけ、位相において対称的にシフトされる。フェーザ

【 0 8 7 0 】

【 数 2 4 7 】

 $\overrightarrow{U_2}$

30

【 0 8 7 1 】

および

【 0 8 7 2 】

【 数 2 4 8 】

 $\overrightarrow{L_2}$

【 0 8 7 3 】

は、第2のフェーザ

40

【 0 8 7 4 】

【 数 2 4 9 】

 $\overrightarrow{R_2}$

【 0 8 7 5 】

の上側および下側成分を表す。

【 0 8 7 6 】

【数250】

 $\overrightarrow{U_2}$

【0877】

および

【0878】

【数251】

 $\overrightarrow{L_2}$

10

【0879】

は一定の大きさであり、

【0880】

【数252】

 $\overrightarrow{R_2}$

【0881】

に対して、位相シフト角

【0882】

【数253】

 $\frac{\phi}{2} + \phi_{off}$

【0883】

だけ、位相において対称的にシフトされる。

【0884】

図45から、

【0885】

【数254】

20

 $\overrightarrow{R_1}$

【0886】

および

【0887】

【数255】

 $\overrightarrow{R_2}$

30

【0888】

は、互いに対して同相であるが、大きさのみが異なることに留意されたい。さらに、

【0889】

【数256】

 $\overrightarrow{U_2}$

【0890】

および

【0891】

40

【数257】

 \overline{L}_2

はそれぞれ、

【0892】

【数258】

 \overline{U}_1

【0893】

10

および

【0894】

【数259】

 \overline{L}_1

【0895】

に対して、等しくあるいはほぼ等しく位相シフトされる。したがって、本発明によれば、その成分信号を等しくあるいはほぼ等しく対称的にシフトすることによって、その位相シフト角を変更することなく、信号の大きさを操作することができることを推測することができる。

20

【0896】

上記の意見によれば、所望の出力信号の成分信号の位相シフト角に制約を課すことによつて、出力電力制御を行うことができる。図45を参照すると、例えば、位相シフト角

【0897】

【数260】

 $\frac{\phi}{2}$

【0898】

が取ることができる値の範囲を制約することによって、大きさの制約をフェーザ

30

【0899】

【数261】

 \overline{R}_1

【0900】

に課すことができる。

【0901】

本発明の実施形態によれば、最小位相シフト角条件を課すことによつて、最大出力電力レベルを達成することができる。例えば、図45を参照すると、

【0902】

40

【数262】

 $\frac{\phi}{2} \geq \phi_f$

【0903】

であるような条件を設定することによつて、フェーザ

【0904】

【数263】

\overline{R}_i

【0905】

の大きさが、ある最大レベルを超えないように制約される。同様に、最大位相シフト角条件は、最小大きさレベル要件を課す。

【0906】

電力制御の別の態様では、出力電力分解能は、最低電力増分または減分ステップサイズに關して定義される。本発明の一実施形態によれば、出力電力分解能を、最小位相シフト角ステップサイズを定義することによって実装してもよい。したがって、位相シフト角値は、所定のステップサイズを有する離散値範囲に従って設定される。図46は、例示的位相シフト角スペクトルを例示し、それにより、位相シフト角

【0907】

【数264】

$\frac{\phi}{2}$

【0908】

は、最小ステップ

【0909】

【数265】

ϕ_{step}

【0910】

を有する所定の値範囲に従って設定される。

【0911】

様々な電力制御方式を、上述の技術に類似の方法で実装してもよいことは、当業者には理解されよう。すなわち、本発明によれば、位相シフト角値において対応する制約を設定することによって、様々な電力制御アルゴリズムを設計することができる。データ伝達関数の上記の説明に基づいて、電力制御方式を当然、伝達関数実装に組み込むことができることも明らかである。

【0912】

3.8) 例示的ベクトル電力増幅器の実施形態

図47は、本発明によるベクトル電力増幅器の例示的実施形態4700を例示する。実施形態4700は、直接デカルト2分岐VPA方法に従って実装される。

【0913】

図47を参照すると、信号4710および4712は、伝達関数ステージから入ってくる信号を表す。この伝達関数ステージは、図47に図示されない。ブロック4720は、本発明の一実施形態によって任意選択で実装されてもよい直交生成器を表す。直交生成器4720は、ベクトル変調器4740および4742によってそれぞれ使用されるクロック信号4730および4732を生成する。同様に、信号4710および4712は、ベクトル変調器4740および4742に入力される。上述のように、ベクトル変調器4740および4742は、続いてPAステージによって処理される定包絡線成分を生成する。実施形態4700では、PAステージはマルチステージであり、それにより、各PA分岐は、プレドライバステージ4750～4752、ドライバステージ4760～4762、および電力増幅器ステージ4770～4772を含む。

【0914】

図47にさらに例示されるものは、自己バイアス信号4774および4776、ならび

10

20

30

40

50

に、高調波制御回路およびネットワークを結合するための端子 4780 および 4782 である。端子ノード 4780 は、ベクトル電力増幅器の出力端子を表し、2つの PA 分岐の出力の直結によって得られる。

【0915】

追加の例示的実施形態および実装

4.1) 概観

本発明の実施形態による例示的 VPA 実装を、このセクションで提供する。これらの VPA 実装の利点は、本明細書の教示に基づいて、当業者には明らかになるであろう。我々は、例示的 VPA 実装をより詳細に提示する前に、これらの利点のいくつかを以下に簡単に説明する。

10

【0916】

4.1.1) 出力電力および電力効率の制御

例示的 VPA の実装は、VPA 内の回路を使用して、電力制御を行うため、および / または電力効率を制御するための、数層の機能性を可能にする。図 52 は、MISO VPA の実施形態 5200 を使用して、この機能性を大まかに例示する。MISO VPA の実施形態 5200 は、任意選択のドライバおよびプレドライバステージを VPA の各分岐において有する、2 入力 1 出力の VPA である。前述の実施形態のように、VPA の各増幅ステージ（例えば、プレドライバステージ、ドライバステージなど）への入力バイアス電圧または電流は、バイアス信号（他の実施形態では、自己バイアスとも呼ばれる）を使用して制御される。実施形態 5200 では、別々のバイアス信号であるバイアス C、バイアス B およびバイアス A が、VPA のプレドライバ、ドライバおよび PA ステージにそれぞれ結合される。加えて、VPA の実施形態 5200 は、VPA の各ステージに電力供給するために使用される、電源信号（プレドライバ VSUPPLY、ドライバ VSUPPLY、および出力ステージ VSUPPLY）を含む。実施形態では、これらの電源信号は、電圧制御された電源を使用して生成され、さらに、それらの各増幅ステージをバイアスするために使用することができ、それにより、VPA の全体の電力効率を制御するため、および、電力制御を行うための追加の機能性、ならびに VPA の他の機能がもたらされる。例えば、独立して制御されるとき、電源信号およびバイアス信号を使用して、異なる電源電圧およびバイアス点で、VPA の異なる増幅ステージを操作し、VPA のための幅広い出力電力ダイナミックレンジを可能にすることができる。実施形態では、電圧制御された電源を、可変電圧源を適切な増幅ステージに提供する電圧制御されたスイッチング電源など、連続的に変化する電力源として実装することができる。他の実施形態では、電圧制御された電源を、スイッチを使用して異なる電源電圧を提供することによって実装することができる。例えば、VPA 出力ステージ、および / または任意選択のドライバステージ、および / または任意選択のプレドライバステージ電源を、所望の動作パラメータに応じて、3.3V、1.8V および 0V の間でスイッチすることができる。

20

【0917】

4.1.2) 誤差補償および / または訂正

例示的 VPA の実装は、VPA における誤差を監視かつ / または補償するための異なる手法を提供する。これらの誤差は、他の要因の中でも特に、VPA におけるプロセスおよび / または温度変動、ベクトル変調回路における位相および振幅誤差、VPA の分岐におけるゲインおよび位相アンバランス、ならびに、MISO 増幅器における歪み（例えば、上記のセクション 3.4.5 を参照）による場合がある。前述の VPA の実施形態では、この機能性の一部は、プロセス検出器回路（例えば、図 7A のプロセス検出器 792、図 12 のプロセス検出器 1282、図 17 のプロセス検出器 1772）において実施された。これらの手法を、フィードフォワード、フィードバック、および、ハイブリッドフィードフォワード / フィードバック技術として分類することができ、例示的 VPA 実装を説明する以下のセクションでさらに論じるように、様々な方法で実装することができる。これらの誤差監視および補償手法の概念的説明を、これから提供する。

30

【0918】

40

50

図54Aおよび54Bは、VPAにおける誤差を補償するためのフィードフォワード技術を大まかに例示するブロック図である。フィードフォワード技術は、VPA内のこれらの誤差を事前補償するために、VPAにおける期待誤差の先駆的知識に依拠する。よって、フィードフォワード技術は、誤差測定フェーズ（典型的には、テストおよび特性化プロセスで行われる）、および、誤差測定結果を使用した事前補償フェーズを含む。

【0919】

図54Aは、VPAの出力でのIデータおよびQデータにおける期待誤差を記述する、誤差テーブルまたは関数を生成するためのプロセス5400Aを例示する（誤差測定フェーズ）。このような誤差は典型的には、VPAにおける不完全性によるものである。プロセス5400Aは典型的には、VPA設計を完成させるより前にテスト室において行われ、受信器の出力で、VPAの入力でのIおよびQ値の範囲に対応するIおよびQ値を測定することを含む。典型的には、入力IおよびQ値は、360度極空間（polar space）の代表的範囲を生成するように、選択される（例えば、IおよびQ値を、30度の均一の間隔で選択してもよい）。続いて、入力IおよびQ値と出力IおよびQ値の間の誤差の差が計算される。例えば、特定のセットのIおよびQ入力値について、IおよびQを受信器の出力で測定した後、比較回路は、 I_{error} および Q_{error} として、入力IおよびQ値と受信器出力IおよびQ値の間のIデータおよびQデータにおける差を計算する。 I_{error} および Q_{error} は、特定のセットのIおよびQ入力値についての、VPAの出力でのIおよびQにおける期待誤差を表す。

【0920】

一実施形態では、受信器はVPAに統合されるか、あるいは、外部の較正および/またはテストデバイスによって提供される。別法として、受信器は、VPAを採用するデバイスにおける受信器モジュール（例えば、携帯電話における受信器）である。この代替実施形態では、VPA誤差テーブルおよび/またはフィードバック情報を、デバイスにおけるこの受信器モジュールによって生成することができる。

【0921】

計算された I_{error} および Q_{error} 値は、期待IおよびQ誤差を表す誤差テーブルまたは関数を様々なIおよびQ入力値について生成するために使用される。実施形態では、計算された I_{error} および Q_{error} 値がさらに補間されて、IおよびQ入力値の拡張範囲についての誤差値が生成され、それに基づいて誤差テーブルまたは関数が生成される。

【0922】

図54Bは、本発明の一実施形態によるフィードフォワード誤差事前補償（事前補償フェーズ）を例示する。例示のように、IおよびQ入力値は、VPAによる増幅より前に、誤差テーブルまたは関数によって決定されるようないすれかの期待 I_{error} および Q_{error} 値に対して訂正される。IおよびQ誤差事前補償をVPA内で、異なるステージで、かつ/または異なる温度で、かつ/または異なる動作パラメータで行ってもよい。図54Bの実施形態では、誤差訂正是VPAの増幅ステージより前に起こる。例えば、IおよびQ誤差訂正を、例えば、図12および17の伝達関数モジュール1216および1716など、VPAの伝達関数モジュールによって行ってもよい。 I_{error} および Q_{error} 値はVPAの伝達関数モジュールにおいて実装するためのいくつかの方法が存在し、これには、ルックアップテーブルおよび/またはデジタル論理を使用して誤差関数を実装することが含まれる。典型的には、フィードフォワード技術は、例えば、測定フェーズにおいて生成されたデータを格納するために、RAMまたはNVRAMなど、データストレージを必要とする。

【0923】

フィードフォワード技術とは対照的に、フィードバック技術は誤差を事前補償しないが、リアルタイム測定をVPAの出力内または出力で行い、例えば、プロセスまたは温度変動によるいかなる誤差または偏差をも検出する。図55は、本発明の実施形態による例示的デカルトフィードバック誤差訂正技術を概念的に例示するブロック図である。以下でさらに説明するように、図55は、受信器ベースのフィードバック技術を例示し、これにおいて、VPAの出力は、VPAにフィードバックされる前に、受信器によって受信される

10

20

30

40

50

。本発明の実施形態による他のフィードバック技術を、さらに以下で説明する。フィードバック技術は、VPA内の異なるステージで行われる場合のあるこれらのリアルタイム測定を行うために、追加の回路を必要とする場合があるが、最小のデータストレージを必要とするか、あるいはデータストレージを必要としない。以下の例示的VPA実装の説明においてさらに説明するように、フィードバック誤差訂正のためのいくつかの実装が存在する。

【0924】

ハイブリッドフィードフォワード/フィードバック技術は、フィードフォワードおよびフィードバック誤差事前補償および/または訂正コンポーネントを共に含む。例えば、ハイブリッドフィードフォワード/フィードバック技術は、誤差を事前補償してもよいが、低レートの周期的フィードバック機構を使用して、フィードフォワード事前補償を補つてもよい。

【0925】

4.1.3)マルチバンドマルチモードVPA動作

例示的VPAの実装は、データ伝送のための複数の周波数バンド(例えば、クワッドバンド)、および/または、複数の技術モード(例えば、トライモード)を同時にサポートするための、いくつかのVPAアーキテクチャを提供する。これらのVPAアーキテクチャの利点は、本明細書に提供される教示に基づいて、当業者には明らかになるであろう。実施形態では、VPAアーキテクチャは、TDD(時分割多重)およびFDD(周波数分割多重)ベースの規格を共にサポートするために、単一のPA分岐を使用することを可能にする。他の実施形態では、VPAアーキテクチャは、典型的にはFDDベースの規格のために必要とされる、出力ステージ(例えば、断路器)での費用のかかる、電力が不十分なコンポーネントの除去を可能にする。例示のため、限定ではなく、様々な通信規格のための、下側および上側スペクトルバンドにおける周波数バンド割り当てが、図53において提供される。DCS1800(デジタルセルラーシステム1800)およびPCS1900(パーソナル通信サービス1900)バンドは、GSM-1800およびGSM-1900としても知られる、異なるGSMベースの実装をサポートすることができることに留意されたい。3G TDDバンドは、例えば、UMTS TDD(ユニバーサル移動電話システム)およびTD-SCDMA(Time Division-Synchronous Code Division Multiple Access)(時分割同期符号分割多重アクセス)など、第三世代の時分割多重規格のために割り当てられる。3G FDDバンドは、例えば、WCDMA(広帯域CDMA)など、第三世代の周波数分割多重規格のために割り当てられる。

【0926】

本明細書の教示に基づいて、当業者には明らかになるように、例示的VPA実装によって可能にされる利点は、上述のものに加えて、様々な態様において存在する。以下では、例示的VPA実装のより詳細な説明を提供する。これには、VPAのデジタル制御回路の異なる実装の説明と、その後に続くVPAのアナログコアの異なる実装の説明が含まれる。本発明の実施形態は、本明細書に記載した特定の実装に限定されない。本明細書の教示に基づいて、当業者には理解されるように、例示的VPA実装において提供された特徴を結びつけることによって、いくつかの他のVPA実装が得られる場合がある。したがって、以下で説明する例示的VPA実装は、本発明の実施形態によるVPA実装の網羅的なりストを表すものではなく、本明細書に含まれた教示に基づく他の実装もまた本発明の範囲内である。例えば、あるデジタル制御回路を、ベースバンドプロセッサと共に統合あるいは結合することができる。加えて、直交生成器およびベクトル変調器など、あるアナログ制御回路を、デジタル制御回路を使用して実装することができる。一実施形態では、VPAシステムを、デジタル回路を使用して全体として実装することができ、ベースバンドプロセッサと完全に統合することができる。

【0927】

4.2)デジタル制御モジュール

10

20

30

40

50

VPAのデジタル制御モジュールは、他の機能の中でも特に、信号生成、性能監視およびVPA動作制御のために使用される、デジタル回路を含む。セクション3では、デジタル制御モジュールの信号生成機能（すなわち、定包絡線信号の生成）を、例えば、実施形態700、1200および1700において、デジタル制御モジュールの伝達関数モジュール（状態マシン）を参照して、詳細に説明した。デジタル制御モジュールの性能監視機能には、VPAの動作における誤差を監視かつ訂正するための機能、および／または、VPAの異なるステージのバイアスを制御するための機能が含まれる。デジタル制御モジュールのVPA動作制御機能には、VPAの動作に関係する様々な制御機能（例えば、VPAモジュールの電源投入またはプログラミング）が含まれる。ある実施形態では、これらの制御機能は任意選択であってもよい。他の実施形態では、これらの制御機能は、デジタル制御モジュールを通じて、VPAに接続された外部プロセッサにとってアクセス可能である。他の実施形態では、これらの機能はベースバンドプロセッサまたは他のデジタル回路に統合される。上述のものに加えて、他の機能もまた、デジタル制御モジュールによって行われる。デジタル制御モジュールの機能および実装を、これからより詳細に提供する。

【0928】

図56は、本発明の一実施形態によるデジタル制御モジュールの実施形態5600の大まかな例示である。デジタル制御モジュールの実施形態5600は、入力インターフェース5602、出力インターフェース5604、状態マシン5606、RAM（ランダムアクセスメモリ）5608、およびNVRAM（不揮発性RAM）5610を含む。実施形態では、RAM5608および／またはNVRAM5610は任意選択であってもよい。

【0929】

入力インターフェース5602は、信号をデジタル制御モジュール5600に入力するための複数のバスおよび／またはポートを提供する。これらのバスおよび／またはポートには、例えば、IおよびQデータ信号、外部プロセッサによって提供された制御信号、および／またはクロック信号を入力するためのバスおよび／またはポートが含まれる。一実施形態では、入力インターフェース5602はI/Oバスを含む。別の実施形態では、入力インターフェース5602は、フィードバック信号をVPAのアナログコアから受信するためのデータバスを含む。別の実施形態では、入力インターフェース5602は、デジタル制御モジュール5600から値を読み出すためのポートを含む。一実施形態では、デジタル制御モジュール5600に接続された外部プロセッサ（例えば、ベースバンドプロセッサ）によって、値がデジタル制御モジュール5600から読み出される。

【0930】

出力インターフェース5604は、信号をデジタル制御モジュール5600から出力するための複数の出力バスおよび／またはポートを提供する。これらの出力バスおよび／またはポートには、例えば、振幅情報信号（定包絡線信号を生成するために使用される）、バイアス制御信号（自己バイアス信号）、電圧制御信号（電源信号）、および出力選択信号を出力するためのバスおよび／またはポートが含まれる。

【0931】

状態マシン5606は、デジタル制御モジュール5600の信号生成および／または性能監視機能に関係する様々な機能を行う。一実施形態では、状態マシン5606は、信号生成機能を行うために、セクション3で述べたような伝達関数モジュールを含む。別の実施形態では、状態マシン5606は、他のタイプの信号の中でも特に、バイアス制御信号、電力制御信号、ゲイン制御信号および位相制御信号を生成するためのモジュールを含む。別の実施形態では、状態マシン5606は、フィードフォワード誤差訂正システムにおいて誤差事前補償を行うためのモジュールを含む。

【0932】

RAM5608および／またはNVRAM5610は、デジタル制御モジュール5600の任意選択のコンポーネントである。実施形態では、RAM5608およびNVRAM5610は、デジタル制御モジュール5600の外部に存在し、例えば、入力インターフェ

10

20

30

40

50

ース 5602 を介してデジタル制御モジュール 5600 に接続されたデータバスを通じて、デジタル制御モジュール 5600 にとってアクセス可能である場合がある。RAM 5608 および / または NVRAM 5610 は、特定の VPA 実装に応じて、必要とされる場合も必要とされない場合もある。例えば、誤差事前補償のためにフィードフォワード技術を採用する VPA 実装は、誤差テーブルまたは関数を格納するために、RAM 5608 または NVRAM 5610 を必要とする場合がある。一方、誤差訂正のためのフィードバック技術は、状態マシンにおけるデジタル論理モジュールにのみ依拠する場合があり、RAM 5608 または NVRAM 5610 ストレージを必要としない場合がある。同様に、RAM 5608 および NVRAM 5610 ストレージの量は、特定の VPA 実装によって決まる場合がある。典型的には、使用されるとき、NVRAM 5610 は、リアルタイムで生成されない、かつ / または、電源がオフにされるときに保持されなければならない、データを格納するために使用される。これには、例えば、VPA システムのテストおよび特性化フェーズにおいて生成されたスカラ値および角度値など、誤差テーブルおよび / または誤差値、および / または、伝達関数モジュールによって使用されたルックアップテーブルが含まれる。

【0933】

図 57 は、本発明の一実施形態による例示的デジタル制御モジュール実装 5700 を例示する。デジタル制御モジュール実装 5700 は特に、例示的 VPA デジタル制御モジュール 5700 の例示的入力インタフェース 5602 および例示的出力インタフェース 5604 を例示する。以下でさらに説明するように、VPA デジタル制御モジュール 5700 の入力および出力インタフェース 5602 および 5604 の信号は、VPA のアナログコアからの信号、および / または、VPA に接続された 1 つまたは複数の外部プロセッサ / 制御器へ / からの信号と、直接相關する。上記のセクションで説明した実施例の実施形態では、VPA のアナログコアは、例えば、図 1E において PA ステージ 190 - {1, . . . , n} と共にアナログ回路 186 によって表された。図 57 における入力および出力インタフェースのデータバスおよび / または信号のビット幅は、例示のためにのみ提供され、限定するものではないことに留意されたい。

【0934】

例示的デジタル制御モジュール 5700 の入力インタフェース 5602 は、A/D IN バス 5702、デジタル I/O バス 5704、および複数の制御信号 5706 ~ 5730 を含む。他のデジタル制御モジュール実装では、入力インタフェース 5602 は、より多くのあるいはより少ないデータバス、プログラミングバス、および / または制御信号を含んでもよい。

【0935】

A/D IN バス 5702 は、フィードバック情報を VPA のアナログコアからデジタル制御モジュール 5700 へ搬送する。フィードバック情報は、他の機能の中でも特に、VPA の出力電力、および / または、VPA の分岐における振幅および / または位相変動を監視するために使用することができる。図 57 に例示するように、A/D 変換器 5732 は、VPA のアナログコアから受信されたフィードバック情報を、A/D IN バス 5702 上でデジタル制御モジュール 5700 へ送信する前に、(A/D IN 信号 5736 を使用して) アナログからデジタルへ変換する。一実施形態では、デジタル制御モジュール 5700 は、A/D 変換器 5732 のクロック信号 A/D CLK 5734 を制御する。別の実施形態では、デジタル制御モジュール 5700 は、A/D 変換器 5732 への入力セレクタを制御して、A/D 変換器 5732 の入力で複数のフィードバック信号の間で選択する。一実施形態では、これは、A/D 入力セレクタ信号 5738 ~ 5746 を使用して行われる。

【0936】

デジタル I/O バス 5704 は、デジタル制御モジュール 5700 へ、あるいはそこからのデータおよび制御信号を、VPA に接続される場合のある 1 つまたは複数のプロセッサまたは制御器から、あるいはそこへ搬送する。一実施形態では、制御信号 5706 ~ 5

10

20

30

40

50

730のいくつかは、デジタル制御モジュール5700に、デジタルI/Oバス5704上で期待する（あるいは、その上で存在する）情報のタイプを通知するために使用される。例えば、P C / (I / Q) n 信号5724は、デジタル制御モジュール5700に対して、デジタルI/Oバス5704を介して電力制御情報を送信中であるか、I / Q データを送信中であるかを指示する。同様に、I / Q n 信号5720は、デジタル制御モジュール5700に対して、デジタルI/Oバス5704を介してIデータを送信中であるか、Qデータを送信中であるかを指示する。

【 0 9 3 7 】

VPAデジタル制御モジュール5700の入力インターフェース5602の他の制御信号には、デジタルE n a b l e / D i s a b l e n 5706、P R G M / R U N n 5708、R E A D / W R I T E n 5710、C L K _ O U T 5712、C L K _ I N × 2 E n a b l e / D i s a b l e n 5714、C L K _ I N × 4 E n a b l e / D i s a b l e n 5716、C L K _ I N 5718、T X / R X n 5726、S Y N T H P R G M / S Y N T H R U N n 5728、および、出力S E L / L A T C H n 5730が含まれる。

10

【 0 9 3 8 】

デジタルE n a b l e / D i s a b l e n 信号5706は、VPAの電源投入、リセットおよびシャットダウンを制御する。VPAを電源投入、リセットまたはシャットダウンするための信号は典型的には、VPAに接続されたプロセッサから来る。例えば、携帯電話で使用されるとき、携帯電話のベースバンドプロセッサまたは制御器は、VPAを受信モードでシャットダウンし、送信モードで使用可能にしてもよい。

20

【 0 9 3 9 】

P R G M / R U N n 信号5708は、デジタル制御モジュール5700に対して、それがプログラミング中であるか、実行モードであるかを指示する。プログラミングモードでは、デジタル制御モジュール5700を、VPAの所望の動作を使用可能にするようにプログラムすることができる。例えば、デジタル制御モジュール5700のメモリ（R A M 5608、N V R A M 5610）ビットを、通信用に使用されるべき規格（例えば、W C D M A、E D G E、G S Mなど）を指示するように、プログラムすることができる。デジタル制御モジュール5700のプログラミングは、デジタルI/Oバス5704を使用して行われる。

30

【 0 9 4 0 】

一実施形態では、VPAは、VPAを採用する最終製品またはデバイスにインストール（あるいは統合）された後、（部分的に、あるいは完全に）プログラムかつ／または再プログラムされる。例えば、携帯電話で使用されるとき、携帯電話が製造された後、（1）サポートされた波形、（2）電力制御、（3）高められた効率、および／または（4）電源投入およびパワーダウンプロファイルに関係する特徴など、新しい、追加の、修正された、あるいは異なる特徴を携帯電話に提供するために、VPAをプログラムすることができる。VPAをまた、ネットワークプロバイダによって望まれるように、波形または他の特徴を除去するようにプログラムすることもできる。

40

【 0 9 4 1 】

VPAのプログラミングは、支払いに基づくものにしてもよい。例えば、VPAを、エンドユーザによって選択かつ購入された特徴および機能拡張を含むようにプログラムしてもよい。

【 0 9 4 2 】

一実施形態では、VPAは、デバイスが製造された後、いずれかの周知の方法または技術を使用してプログラムされ、これには、それに限定されないが、（1）VPAを採用するデバイスのプログラミングインターフェースを使用した、VPAのプログラミング、（2）デバイスによって可読なメモリカード（例えば、携帯電話の場合、S I Mカード）上にプログラミングデータを格納することによる、VPAのプログラミング、および／または（3）ネットワークプロバイダまたは他のソースによって無線でプログラミングデータを

50

VPAへ転送することによる、VPAのプログラミングが含まれる。

【0943】

READ / WRITEn信号5710は、デジタル制御モジュール5700に対して、デジタルI/Oバス5704を介して、データがデジタル制御モジュールストレージ（RAM5608またはNVRAM5610）から読まれるか、そこに書き込まれるかを指示する。データがデジタル制御モジュール5700から読み出されているとき、CLK_O_{UT}信号5712は、デジタルI/Oバス5704から読み取るためのタイミング情報を指示する。

【0944】

CLK_IN信号5718は、基準クロック信号をデジタル制御モジュール5700へ提供する。典型的には、基準クロック信号は、VPAによってサポートされた通信規格に従って選択される。例えば、デュアルモードWCDMA / GSMシステムでは、基準クロック信号がWCDMAチップレート（3.84MHz）およびGSMチャネルラスター（channel raster）（200kHz）の倍数であることが望ましく、19.2MHzは両方の最小公倍数としてよく知られているレートである。さらに、CLK_IN信号5718を、基準クロック信号の倍数にすることができる。一実施形態では、CLK_IN × 2 Enable / Disable₅₇₁₄、CLK_IN × 4 Enable / Disable₅₇₁₆を使用して、VPAデジタル制御モジュール5700に対して、基準クロックの倍数が提供されていることを指示することができる。

【0945】

TX / RXn信号5726は、デジタル制御モジュール5700に対して、VPAを採用するシステム（例えば、携帯電話）がいつ送信または受信モードになりつつあるかを指示する。一実施形態では、デジタル制御モジュール5700は、システムがVPAの電源を投入するために送信モードになる直前に、通知を受ける。別の実施形態では、デジタル制御モジュール5700は、システムがスリープモードに入るため、あるいはVPAをシャットダウンするために受信モードになりつつあるとき、通知を受ける。

【0946】

SYNTH PRGM / SYNTH RUNn信号5728は、基準周波数をVPAに提供する合成器（図59に示す合成器5918および5920など）をプログラムするために使用される。SYNTH PRGM₅₇₂₈が高いとき、VPAデジタル制御モジュール5700は、デジタルI/Oバス5704上で、合成器をプログラムするためのデータを受信することを期待することができる。典型的には、合成器のプログラミングは、VPA伝送周波数を選択するとき、必要とされる。SYNTH RUN₅₇₂₈が高くなるとき、合成器は実行するように命令される。合成器はVPAシステムと統合されてもよいし、外部コンポーネントまたはサブシステムとして提供されてもよい。

【0947】

出力SEL / LATCHn信号5730は、伝送のために使用されるVPA出力を選択するために使用される。これは、VPAの出力の数に応じて、必要とされる場合も必要とされない場合もある。出力SEL₅₇₃₀が高くなるとき、デジタル制御モジュール5700は、デジタルI/Oバス5704上で出力を選択するためのデータを受信することを期待する。LATCH₅₇₃₀が高くなるとき、デジタル制御モジュール5700は、伝送のために使用されたVPA出力が、現行の送信シーケンスの期間中に保持される（変更することができない）ことを保証する。

【0948】

例示的デジタル制御モジュール5700の出力インターフェース5604は、複数のデータバス（5748、5750、5752、5754、5756、5758、5760、5762、5764および5766）、プログラミングバス5799、および、複数の制御信号（5768、5770、5772、5774、5776、5778、5780、5782、5784、5786、5788、5790、5792、5794、5796および5798）を含む。デジタル制御モジュール5700の他の実施形態では、出力インターフ

10

20

30

40

50

エース 5604 は、より多くのあるいはより少ないデータバス、プログラミングバス、および／または制御信号を有してもよい。

【0949】

データバス 5752、5754、5756 および 5758 は、VPA のアナログコアにおいてほぼ一定の包絡線信号を生成するために使用される、デジタル制御モジュール 5700 からのデジタル情報を搬送する。例示的デジタル制御モジュール 5700 は、4 分岐 VPA の実施形態（セクション 3.1 を参照）または 2 分岐 VPA の実施形態（セクション 3.3 を参照）において使用される場合があることに留意されたい。例えば、データバス 5752、5754、5756 および 5758 によって搬送されたデジタル情報は、図 7A の実施形態における信号 722、724、726 および 728、または、図 17 の実施形態における信号 1720、1722、1724 および 1726 に対応し、デジタル制御モジュール 5700 によって、（4 分岐 VPA の実施形態では）方程式（5）および（2 分岐 VPA の実施形態では）（18）に従って、生成される場合がある。データバス 5752、5754、5756 および 5758 によって搬送されたデジタル情報は、各デジタル - アナログコンバータ（DAC 01 ~ 04）を使用してデジタルからアナログへ変換されて、アナログ信号 5753、5755、5757 および 5759 がそれぞれ生成される。アナログ信号 5753、5755、5757 および 5759 は、以下で VPA アナログコア実装を参照してさらに説明するように、VPA のアナログコアにおけるベクトル変調器に入力される。一実施形態では、DAC 01 ~ 04 は、デジタル制御モジュールによって提供されたベクトル MOD DAC CLK 信号 5770 によって、制御かつ同期化される。さらに、DAC 01 ~ 04 には、同じ中央基準電圧 VREF_D 信号 5743 が提供される。

【0950】

データバス 5760 および 5762 は、VPA の PA 増幅ステージおよびドライバ増幅ステージ（VPA の異なる増幅ステージの例示については、図 52 を参照）のための、バイアス電圧信号を生成するために使用される、デジタル制御モジュール 5700 からのデジタル情報を搬送する。別の実施形態では、プレドライバステージバイアス制御など、追加の制御機能が使用される。データバス 5760 によって搬送されたデジタル情報は、DAC_05 を使用してデジタルからアナログへ変換されて、出力ステージバイアス信号 5761 が生成される。同様に、データバス 5762 によって搬送されたデジタル情報は、DAC_06 を使用してデジタルからアナログへ変換されて、ドライバステージバイアス信号 5763 が生成される。出力ステージバイアス信号 5761 およびドライバステージバイアス信号 5763 は、例えば、実施形態 5100H に例示されたバイアス信号 A および B に対応する。一実施形態では、DAC 05 および 06 は、自己バイアス DAC CLK 信号 5772 を使用して制御かつ同期化され、同じ中央基準電圧 VREF_E 信号 5745 が提供される。

【0951】

データバス 5764 および 5766 は、VPA の出力ステージおよびドライバステージのための電圧制御信号を生成するために使用される、デジタル制御モジュール 5700 からのデジタル情報を搬送する。データバス 5764 によって搬送されたデジタル情報は、DAC_07 を使用してデジタルからアナログへ変換されて、出力ステージ電圧制御信号 5765 が生成される。同様に、データバス 5766 によって搬送されたデジタル情報は、DAC_08 を使用してデジタルからアナログへ変換されて、ドライバステージ電圧制御信号 5767 が生成される。出力ステージ電圧制御信号 5765 およびドライバステージ電圧制御 5767 は、出力ステージおよびドライバステージのための電源電圧を生成するために使用され、VPA の出力ステージおよびドライバステージの電圧を制御するためのさらなる方法を提供する。一実施形態では、DAC 07 および 08 は、電圧制御 DAC CLK 信号 5774 を使用して制御かつ同期化され、同じ中央基準電圧 VREF_F 信号 5747 が提供される。

【0952】

10

20

30

40

50

データバス 5748 および 5750 は、ゲインおよび位相バランス制御信号を生成するために使用される、デジタル制御モジュール 5700 からのデジタル情報を搬送する。一実施形態では、ゲインおよび位相バランス制御信号は、A/D IN バス 5702 上で VPA のアナログコアから受信されたフィードバックゲインおよび位相情報に応答して生成される。データバス 5748 によって搬送されたデジタル情報は、DAC_09 を使用してデジタルからアナログへ変換されて、アナログゲインバランス制御信号 5749 が生成される。同様に、データバス 5750 によって搬送されたデジタル情報は、DAC_10 を使用してデジタルからアナログへ変換されて、アナログ位相バランス制御 5751 が生成される。ゲインおよび位相バランス制御信号 5749 および 5751 は、VPA のアナログコアにおけるゲインおよび位相を調節するための 1 つの機構を提供する。一実施形態では、DAC_09 および 10 は、バランス DAC CLK 信号 5768 を使用して制御かつ同期化され、同じ中央基準電圧 VREF_B5739 が提供される。

【0953】

プログラミングバス 5799 は、VPA のアナログコアにおいて 1 つまたは複数の周波数合成器をプログラムするために使用される、デジタル制御モジュール 5700 からのデジタル命令を搬送する。一実施形態では、プログラミングバス 5799 によって搬送されるデジタル命令は、SYNTH PRGM 信号 5728 が高いとき、デジタル I/O バス 5704 上で受信されたデータに従って生成される。周波数合成器をプログラムするためのデジタル命令には、選択された通信規格に従って周波数を生成するために適切な合成器（高バンドまたは低バンド）を設定するための命令が含まれる。一実施形態では、プログラミングバス 5799 は、3 ワイヤプログラミングバスである。

【0954】

上述のデータおよびプログラミングバスに加えて、出力インターフェース 5604 は複数の制御信号を含む。

【0955】

アナログ VPA コアの周波数合成器をプログラムするために使用される、プログラミングバス 5799 と共に、高バンド Enable / Disable および低バンド Enable / Disable 制御信号 5796 および 5798 が、アナログ VPA コアの高バンド周波数合成器および低バンド周波数合成器のうちどちらが使用可能 / 使用不可にされるかを制御するために、生成される。

【0956】

制御信号 5738、5740、5742、5744 および 5746 は、VPA のアナログコアからのフィードバック信号を、A/D 変換器 5732 の A/D IN 入力信号 5736 上へ多重化するための、入力セレクタを制御する。一実施形態では、制御信号 5738、5740、5744 および 5746 は、A/D IN 信号 5736 上での電力出力フィードバック信号、差動分岐振幅フィードバック信号、および差動分岐位相フィードバック信号の多重化を制御する。他のフィードバック信号は、他の実施形態において使用可能である場合がある。一実施形態では、フィードバック信号は、所定の多重化サイクルに従って多重化される。別の実施形態では、あるフィードバック信号は A/D IN 信号 5736 によって周期的に搬送されるが、他のものはデジタル制御モジュールによってオンデマンドで要求される。

【0957】

出力選択制御信号 5776、5778、5780、5782 および 5784 は、特定の VPA 実装が異なる周波数バンドおよび / または技術モードについて複数の出力をサポートするとき、VPA 出力を選択するために、デジタル制御モジュール 5700 によって生成される。一実施形態では、出力選択制御信号 5776、5778、5780、5782 および 5784 は、デジタル制御モジュール 入力信号 5730 に従って生成される。図 57 の実施例の実装では、デジタル制御モジュール 5700 は、5 つの異なる VPA 出力のうち 1 つを選択するための 5 つの出力選択制御信号を提供する。一実施形態では、出力選択制御信号 5776、5778、5780、5782 および 5784 は、選択された VPA

10

20

30

40

50

A出力に対応する回路の電源を投入し、残された選択されていないVPA出力に対応する回路の電源をオフにするために、VPAのアナログコア内の回路を制御する。実施形態では、いかなるときにも、出力選択制御信号5776、5778、5780、5782および5784は、VPAが送信モードであるとき、単一のVPA出力に対応する回路の電源が投入されることを保証する。異なるデジタル制御モジュールの実施形態は、特定のアナログコア実装によってサポートされたVPA出力の特定の数に応じて、より多くのあるいはより少ない出力選択制御信号を有してもよい。

【0958】

ベクトルMOD高バンド/ベクトルMOD低バンドn制御信号5786は、VPAのアナログコアにおいてベクトル変調器の高バンド周波数変調セットが使用されるか、低バンド周波数変調セットが使用されるかを指示するために、デジタル制御モジュール5700によって生成される。一実施形態では、高バンドおよび低バンドベクトル変調器は異なる特性を有し、各セットが変調周波数の範囲により適切になることが可能となる。制御信号5786は、VPAの選択された出力に従って生成される。一実施形態では、制御信号5786は、選択されたセットのベクトル変調器の電源が投入されること、および、他のセットのベクトル変調器の電源がオフにされることを保証するために、VPAのアナログコア内の回路を制御する。別の実施形態では、制御信号5786は、補間フィルタのセットを、選択されたセットのベクトル変調器に結合するために、VPAのアナログコア内の回路を制御する。

【0959】

3G高バンド/標準n制御信号5788は、VPAが幅広い範囲の高周波数バンドをサポートすることを可能にするために、必要であれば使用される場合のある任意選択の制御信号である。一実施形態では、制御信号5788は、アナログコアの出力ステージ回路を通じてより多くの電流を強制すること、および/または、VPAの出力インピーダンス特性を修正することを行ってもよい。

【0960】

フィルタ応答1/フィルタ応答2n制御信号5790は、VPAのアナログコアにおいて補間フィルタの応答を動的に変更するために使用される場合のある、任意選択の制御信号である。これは、補間フィルタが異なる通信規格について異なる最適応答を有するとき、必要となる場合がある。例えば、最適フィルタ応答は、WCDMAまたはEDGEでは約5MHzの3dBコーナー周波数を有するが、この周波数はGSMでは約400KHzである。したがって、制御信号5790は、使用された通信規格に従って補間フィルタを最適化することを可能にする。

【0961】

減衰器制御信号5792および5794は、追加の出力電力制御の特徴および機能を提供するために、必要であれば使用される場合のある任意選択の制御信号である。例えば、減衰器制御信号5792および5794を、VPAの出力上でRF減衰器を使用可能/使用不可にするように構成することができる。これらの減衰器は、シリコン、GaAsまたはCMOSプロセスを使用して製造することができる、特定のVPA実装に基づいて必要とされる場合がある。

【0962】

図58は、本発明の一実施形態による別の例示的デジタル制御モジュール5800を例示する。例示的デジタル制御モジュール5800は、多くの点でデジタル制御モジュール5700に類似している。特に、両実施形態5700、5800は、同じ入力インタフェース5602、および、出力インタフェースのかなりの部分を有する(図58の出力インタフェースには、参照番号5604' というラベルが付けられる)。例示的実施形態5700および5800の間の違いは、フィードバック情報のタイプがデジタル制御モジュールに提供されることに関係する。具体的には、これら2つの実施形態5700および5800は、誤差訂正のための極めて異なるフィードバック機構により動作するように設計される。これらの機構をさらに以下でセクション4.3において、例示的アナログコア実装

10

20

30

40

50

を参照して説明する。

【0963】

例示的実装5800は、例示的実装5700に比較して、異なる入力選択制御信号5808、5810および5812を含む。入力選択制御信号5810および5812は、フィードバック情報がVPAの高バンドアナログ回路から受信されるか、低バンドアナログ回路から受信されるかを、どのバンドが使用中であるかに応じて制御する。入力選択制御信号I/Qn5808は、VPAのアナログコアからのIおよびQフィードバックデータの多重化を制御する。一実施形態では、制御信号5812は、A/D IN信号5736においてIデータとQデータの間の順次スイッチングを可能にする。

【0964】

さらに例示的実施形態5700と区別して、例示的実施形態5800は追加のデータバス5802を含み、これは、自動ゲイン制御信号5806を生成するために使用されるデジタル制御モジュール5800からのデジタル情報を搬送する。自動ゲイン制御信号5806は、VPAのアナログコアにおけるフィードバック機構において使用された増幅器回路のゲインを制御するために使用される。フィードバック機構のこのコンポーネントのさらなる説明を、以下で提供する。一実施形態では、データバス5802によって搬送されたデジタル情報は、D A C _ 1 1によってデジタルからアナログへ変換されて、アナログ信号5806が生成される。D A C _ 1 1は、デジタル制御モジュールによって提供されたクロック信号5804によって制御され、V R E F B信号5739が中央基準電圧として提供される。

10

【0965】

例示的デジタル制御モジュール5700および5800は、デジタル制御モジュール実装において使用される場合のある典型的な入力および出力デジタル制御モジュール信号のいくつかを例示することに留意されたい。本明細書の教示に基づいて、当業者には理解されるように、VPAが使用されているシステム、および/または、デジタル制御モジュールと共に使用される特定のVPAアナログコアに応じて、より多くのあるいはより少ない入力および出力信号を使用してもよい。一実施形態では、例示的デジタル制御モジュール実装5700および5800を、フィードバックのみ、フィードフォワードのみ、または、フィードバックおよびフィードフォワードの両方の誤差訂正を使用するVPAアナログコアと共に使用してもよい。フィードフォワードのみの手法で使用されるとき、フィードバック素子および/または信号（例えば、A/D IN 5702、制御信号5738、5740、5742、5744、5746、ゲインおよび位相バランス制御信号5749および5751）を、使用不可にしても取り除いてもよい。したがって、例示的デジタル制御モジュール実装5700および5800の変形形態は、本発明の実施形態の範囲内である。

20

【0966】

4.3)VPAアナログコア

このセクションでは、VPAアナログコアの様々な例示的実装を提供する。以下で説明するように、様々な例示的実装は、多数のコンポーネント、回路、および/または信号を共有し、主な違いは、出力ステージアーキテクチャ、採用された誤差訂正フィードバック機構、および/または、チップ製造において使用される実際の半導体素材に關係する。本明細書の教示に基づいて、当業者には理解されるように、以下で説明する様々な例示的実装の間で特徴を交換、追加、かつ/または除去することによって、他のVPAアナログコア実装もまた考えられる。したがって、本発明の実施形態は、本明細書に記載した例示的実装に限定されない。

30

【0967】

4.3.1)VPAアナログコア実装A

図59は、本発明の一実施形態によるVPAアナログコア実装5900を例示する。一実施形態では、アナログコア5900の入力信号は、直接的あるいは間接的に（D A Cを通じて）、デジタル制御モジュール5600の出力インターフェース5604からの出力信

40

50

号に接続する。同様に、アナログコア 5900 からのフィードバック信号は、直接的あるいは間接的に (D A C を通じて)、デジタル制御モジュール 5600 の入力インターフェースに接続する。例示のため、アナログコア 5900 は、図 57 および図 59 の両方において同じ番号の信号によって示されるように、デジタル制御モジュール 5700 に接続されるものとして図 59 に図示される。

【0968】

アナログコア実装 5900 は、2 分岐 VPA の実施形態である。この実装 5900 は、しかし、本明細書の教示に基づいて当業者には明らかになるように、4 分岐または C P C P の VPA の実施形態へと容易に修正することができる。

【0969】

大まかには、アナログコア 5900 は、データ信号をデジタル制御モジュール 5700 から受信するための入力ステージ、ほぼ一定の包絡線信号を生成するためのベクトル変調ステージ、および、所望の VPA 出力信号を増幅かつ出力するための増幅出力ステージを含む。加えて、アナログコア 5900 は、アナログコアの異なるステージへの電力を制御かつ送達するための電源回路、任意選択の出力ステージ保護回路、および、VPA のデジタル制御モジュールへのフィードバック情報を生成かつ提供するための任意選択の回路を含む。

【0970】

VPA アナログコア 5900 の入力ステージは、任意選択の補間フィルタバンク (5910、5912、5914 および 5916)、および、複数のスイッチ 5964、5966、5968 および 5970 を含む。アンチエイリアスフィルタとしての機能も果たす場合のある補間フィルタ 5910、5912、5914 および 5916 は、D A C 01~04 のアナログ出力 5753、5755、5757 および 5759 を整形して、所望の出力波形を生成する。一実施形態では、補間フィルタ 5910、5912、5914 および 5916 の応答は、デジタル制御モジュール 5700 からの制御信号 5790 を使用して、動的に変更される。デジタル制御モジュール信号 5790 は、例えば、補間フィルタ 5910、5912、5914 および 5916 内のスイッチを制御して、フィルタ 5910、5912、5914 および 5916 内のアクティブ回路において変化を引き起こす (R C 回路を使用可能 / 使用不可にする) 場合がある。これは、補間フィルタ 5910、5912、5914 および 5916 が異なる通信規格について異なる最適応答を有するとき、必要となる場合がある。補間フィルタ 5910、5912、5914 および 5916 を、FIR フィルタまたはプログラマブル FIR フィルタなど、デジタル回路を使用して実装することができることに留意されたい。デジタルで実装されるとき、これらのフィルタを VPA システム内に含めるか、あるいは、ベースバンドプロセッサと統合することができる。

【0971】

続いて、スイッチ 5964、5966、5968 および 5970 を使用して、補間フィルタ 5910、5912、5914 および 5916 の出力が、VPA アナログコア 5900 の上側バンドパス 5964 または下側バンドパス 5966 のいずれかに接続するようにスイッチされる。上側および下側バンドパスの間のこの決定は通常、デジタル制御モジュール 5700 によって、VPA による伝送のために選択された周波数範囲に基づいて行われる。例えば、下側バンドパス 5966 は GSM - 900 用に使用されるが、上側バンドパス 5964 は WCDMA 用に使用される。一実施形態では、スイッチ 5964、5966、5968 および 5970 は、デジタル制御モジュール 5700 によって提供された、ベクトル MOD 高バンド / ベクトル MOD 低バンド n 信号 5786 によって制御される。信号 5786 は、スイッチ 5964、5966、5968 および 5970 の各々を各第 1 または第 2 の入力に結合することを制御し、それにより、補間フィルタ 5910、5912、5914 および 5916 の出力を VPA アナログコア 5900 の上側パス 5964 または下側パス 5966 のいずれかに結合することを制御する。

【0972】

10

20

30

40

50

VPA アナログコア 5900 のベクトル変調ステージは、アナログコア 5900 の上側バンドパス 5964 と下側バンドパス 5966 の間で分割された、複数のベクトル変調器 5922、5924、5926 および 5928 を含む。選択された動作のバンドに基づいて、上側バンドパスベクトル変調器 (5922、5924) または下側バンドパスベクトル変調器 (5926、5928) のいずれかがアクティブである。

【0973】

一実施形態では、ベクトル変調器 5922、5924 または 5926、5928 の動作は、例えば、図 17 の実施形態におけるベクトル変調器 1750 および 1752 の動作に類似している。ベクトル変調器 5922 および 5924 (または、5926 および 5928) は、入力信号 5919、5921、5923 および 5925 (5927、5929、5931 および 5933) を、任意選択の補間フィルタ 5910、5912、5914 および 5916 からそれぞれ受信する。入力信号 5919、5921、5923 および 5925 (または、5927、5929、5931 および 5933) は、ベクトル変調器によって定包絡線信号を生成するために使用される振幅情報を含む。さらに、ベクトル変調器 5922 および 5924 (または、5926 および 5928) は、高バンド RF_CLK 信号 5935 (低バンド RF_CLK 信号 5937) を、高バンド周波数合成器 5918 (低バンド周波数合成器 5920) から受信する。高バンド周波数合成器 5918 (低バンド周波数合成器 5920) は、任意選択で VPA アナログコアの外部あるいは内部に位置する。一実施形態では、高バンド周波数合成器 5918 (低バンド周波数合成器 5920) は、RF 周波数を 1.7 ~ 1.98 GHz の上側バンド範囲 (824 ~ 915 MHz の下側バンド範囲) で生成する。別の実施形態では、高バンド周波数合成器 5918 および低バンド周波数合成器 5920 は、デジタル制御モジュール信号 5796 および 5798 によってそれぞれ制御される。信号 5796 および 5798 は、例えば、選択された伝送周波数バンドに従って適切な周波数合成器の電源を投入し、選択された合成器に、選択された伝送周波数に従って RF 周波数クロックを生成するように命令する。

【0974】

ベクトル変調器 5922 および 5924 (または、5926 および 5928) は、入力信号 5919、5921、5923 および 5925 (5927、5929、5931 および 5933) を、高バンド RF_CLK 信号 5935 (低バンド RF_CLK 信号 5937) により変調する。一実施形態では、ベクトル変調器 5922 および 5924 (または、5926 および 5928) は、入力信号を、適切に導出かつ / または位相シフトされたバージョンの高バンド RF_CLK 信号 5935 (低バンド RF_CLK 信号 5937) により変調し、生成された変調信号を結合して、ほぼ一定の包絡線信号 5939 および 5941 (5943 および 5945) を生成する。

【0975】

別の実施形態では、ベクトル変調器 5922 および 5924 (または、5926 および 5928) はさらに、位相バランス制御信号 5751 を VPA デジタル制御モジュールから受信する。位相バランス制御信号 5751 は、ベクトル変調器 5922 および 5924 (または、5926 および 5928) を制御して、アナログコアからの位相フィードバック情報に応答して、定包絡線信号 5939 および 5941 (または、5943 および 5945) における位相において変化を引き起こす。振幅および位相フィードバック機構を、さらに以下で論じる。任意選択により、上側バンドパスベクトル変調器 5922 および 5924 はまた、3G 高バンド / 標準 n 信号 5788 をもデジタル制御モジュールから受信する。信号 5788 を、必要であれば、ベクトル変調器を上側バンドの最高周波数で駆動することをさらにサポートするために、使用することができる。

【0976】

VPA アナログコア 5900 の出力ステージは、アナログコア 5900 の上側バンドパス 5964 と下側バンドパス 5966 の間で分割された、複数の MISO 増幅器 5930 および 5932 を含む。選択された動作のバンドに基づいて、上側バンドパス MISO 增幅器 5930 または下側バンドパス MISO 增幅器 5932 のいずれかがアクティブである。

10

20

30

40

50

る。

【0977】

一実施形態では、MISO増幅器5930（または、5932）は、ほぼ一定の包絡線信号5939および5941（または、5943および5945）を、ベクトル変調器5922および5924（または、5926および5928）から受信する。MISO増幅器5930（または、5932）は、信号5939および5941（または、5943および5945）を個別に増幅して、増幅された信号を生成し、増幅された信号を結合して、出力信号5947（または、5949）を生成する。一実施形態では、MISO増幅器5930（または、5932）は、本明細書に記載するように、増幅された信号を、直結を介して結合する。本発明の実施形態による、増幅された信号を結合する他のモードは、セクション3において上述したものである。 10

【0978】

VPAアナログコア5900の出力ステージは、マルチバンドマルチモードVPA動作をサポートすることができる。図59に示すように、出力ステージは、それぞれ上側バンドおよび下側バンド動作のための2つのMISO増幅器5930および5932を含む。加えて、上側バンド5964および下側バンド5966の各々の出力はさらに、選択された伝送モード（例えば、GSM、WCDMAなど）に従って、1つまたは複数の出力バスの間でスイッチされる。典型的には、異なる伝送モードについて別々の出力バスが必要とされ、これは、FDDベースのモード（例えば、WCDMA）は出力でデュプレクサの存在を必要とするが、TDDベースのモード（例えば、GSM、EDGE）はT/Rスイッチされた出力を有するからである。 20

【0979】

アナログコア5900では、MISO増幅器5930の出力5947を、3つの出力バス5954、5956および5958のうち1つに結合することができ、各出力バス5954、5956、5958は、特定の伝送のモードのために、アンテナ（図示せず）またはコネクタ（図示せず）に結合されるものである。同様に、MISO増幅器5932の出力5949を、2つの出力バス5960および5962のうち1つに結合することができる。一実施形態では、デジタル制御モジュールによって提供された出力選択信号5776、5778、5780、5782および5784は、選択された伝送モードに基づいて、スイッチ5942および5944を制御して、アクティブMISO増幅器の出力を適切な出力バスに結合する。より多くのあるいはより少ない出力バス5954、5956、5958、5960および5962を使用してもよいことに留意されたい。 30

【0980】

したがって、2つのMISO増幅器5930および5932のみにより、アナログコア5900は複数の異なる伝送モードをサポートする。一実施形態では、アナログコア5900は、単一のMISO増幅器を使用して、GSM、EDGE、WCDMAおよびCDMA2000をサポートすることを可能にする。したがって、実装5900によるこの例示的VPAアナログコアの利点の1つが、サポートされた出力バスごとのPAの数の低減にあることは、明らかである。これは、VPAアナログコア5900のために必要とされるチップ面積の低減に直接対応する。 40

【0981】

一実施形態では、アナログコア5900の出力ステージは、任意選択の出力ステージ自己バイアス信号5761、ドライバステージ自己バイアス信号5763、およびゲインバランス制御信号5749を、デジタル制御モジュールから受信する。出力ステージ自己バイアス信号5761およびドライバステージ自己バイアス信号5763は、実際のMISO実装において使用されたトランジスタの特定のタイプに従って、必要とされる場合も必要とされない場合もある。一実施形態では、出力ステージ自己バイアス信号5761およびドライバステージ自己バイアス信号5763は、MISO増幅ステージのバイアスを制御して、VPAの電力出力および/または電力効率において変化を引き起こす。同様に、ゲインバランス制御信号5749は、デジタル制御モジュールによってアナログコアから 50

受信された電力出力フィードバック情報に応答して、異なるM I S O 増幅ステージのゲインレベルにおいて変化を引き起こす場合がある。これらの任意選択の出力ステージ入力信号のさらなる考察を、以下で提供する。

【 0 9 8 2 】

一実施形態では、アナログコア 5 9 0 0 の出力ステージは、任意選択のフィードバック信号をV P A のデジタル制御モジュール 5 7 0 0 に提供する。典型的には、これらのフィードバック信号は、デジタル制御モジュール 5 7 0 0 によって、V P A の分岐における振幅および位相変動を訂正するため、かつ / または、V P A の出力電力を制御するために使用される。アナログコア 5 9 0 0 の特定の実装では、差動フィードバック手法は、出力ステージによって提供された差動分岐振幅信号 5 9 5 0 および差動分岐位相信号 5 9 4 8 を使用して、振幅および位相変動を監視するために採用される。さらに、出力電力監視は、M I S O 増幅器 5 9 3 0 および 5 9 3 2 の出力電力をそれぞれ測定する、信号 P W R 検出 A 5 9 3 8 および P W R 検出 B 5 9 4 0 を使用して提供される。いかなるときにもM I S O 增幅器 5 9 3 0 および 5 9 3 2 のうち 1 つのみをアクティブにすることができるので、一実施形態では、加算器 5 9 5 2 を使用して、P W R 検出 A 5 9 3 8 および P W R 検出 B 5 9 4 0 が共に加算されて、V P A の出力電力に対応する信号が生成される。10

【 0 9 8 3 】

一実施形態では、出力ステージからのフィードバック信号は、デジタル制御モジュール 5 7 0 0 によって制御された入力セレクタ 5 9 4 6 を使用して多重化される。別の実施形態では、デジタル制御モジュール 5 7 0 0 は、A / D 入力セレクタ信号 5 7 3 8 、 5 7 4 0 、 5 7 4 2 、 5 7 4 4 および 5 7 4 6 を使用して、入力セレクタ 5 9 4 6 を制御し、受信されるフィードバック信号を選択する。フィードバック信号の監視は、リアルタイムのレートで起こる必要はない場合があり、周期的に低レートで行われることのみが必要である場合があることに留意されたい。例えば、分岐振幅および位相誤差訂正のために、フィードバック監視が行われるレートは、デジタル制御モジュールにおいて行われているフィードフォワード訂正の度合い、温度によるプロセス変動、または、変化するバッテリまたは電源電圧などの動作変化など、いくつかの要因によって決まる。20

【 0 9 8 4 】

上記で、フィードフォワードおよびフィードバック誤差補償および / または訂正技術の間のトレードオフを説明した。したがって、フィードバック監視が行われるレートを左右するパラメータは、典型的にはV P A の実際の設計者によって選択される、設計上の選択である。結果として、アナログコア実装 5 9 0 0 を、デジタル制御モジュールにおけるいかなるフィードフォワード訂正をも使用不可にすることによる純粋なフィードバック実装として、フィードバック信号の監視を使用不可にすることによる純粋なフィードフォワード実装、あるいは、可変フィードフォワード / フィードバック利用を有するハイブリッドフィードフォワード / フィードバック実装として、動作するようにプログラムすることができる。30

【 0 9 8 5 】

一実施形態では、アナログコア 5 9 0 0 の出力ステージは、任意選択の出力ステージ保護回路を含む。図 5 9 では、これは、M I S O 増幅器 5 9 3 0 および 5 9 3 2 にそれぞれ結合された、V S W R (電圧定在波比) 保護回路 5 9 3 4 および 5 9 3 6 を使用して例示される。V S W R 保護回路 5 9 3 4 、 5 9 3 6 は、実際のM I S O 増幅器の実装に応じて、必要とされる場合も必要とされない場合もある。一実施形態では、V S W R 保護回路 5 9 3 4 および 5 9 3 6 は、出力電圧レベルが出力ステージ絶縁破壊電圧を超える可能性があるとき、出力ステージ P A (例えば、図 6 0 の P A 6 0 3 0 および 6 0 3 2 を参照) を、熱シャットダウンまたはデバイス絶縁破壊になることから保護する。従来のシステムでは、これは、R F 断路器を P A の出力で使用することによって達成され、費用もかかり、損失も多い (典型的には、約 1 . 5 d B の電力損失を引き起こす) 。したがって、V S W R 保護回路 5 9 3 4 、 5 9 3 6 は、出力ステージでの断路器の必要性をなくし、さらに、V P A のコスト、サイズおよび電力損失を低減する。一実施形態では、V S W R 保護4050

回路 5934、5936 は、WCDMA をサポート可能な、断路器なしの出力ステージを使用可能にする。VSWR 保護回路 5934 および 5936 はまた、VPA を損なうことなく、VPA がいかなる VSWR レベルにも動作できるようにする。VSWR 保護回路を、VPA の特定の実装の最大出力電力をいかなる VSWR レベルにも送達するように、設計することができる。

【0986】

上述のように、アナログコア 5900 は、アナログコア 5900 の異なるステージへの電力を制御かつ送達するための電源回路を含む。一態様では、電源回路は、VPA アナログコア 5900 のアクティブ部分の電源を投入するための手段を提供する。別の態様では、電源回路は、VPA の電力効率および / または出力電力を制御するための手段を提供する。

10

【0987】

アナログコア実装 5900 では、電源回路は、MA 電源 5902、ドライバステージ電源 5904、出力ステージ電源 5906、およびベクトル M o d s 電源 5908 を含む。一実施形態では、電源回路は、デジタル制御モジュール 5700 によって提供された出力選択信号 5776、5778、5780、5782 および 5784 によって制御される。

【0988】

MA 電源 5902 は、VPA アナログコア 5900 のアクティブ部分の電源投入を制御するための回路を提供する。アナログコア 5900 では、MA 電源 5902 は、2 つの出力、MA1 VSUPPLY5903 および MA2 VSUPPLY5905 を有する。いかなるときにも、MA1 VSUPPLY5903 または MA2 VSUPPLY5905 のうち 1 つのみがアクティブであり、VPA アナログコア 5900 の上側バンド 5964 または下側バンド 5966 部分のみの電源が投入されることを保証する。一実施形態では、MA 電源 5902 のアクティブ出力が、後述のような固有の電源信号を有する回路を除いて、VPA アナログコア 5900 のすべてのアクティブ回路に結合される。MA 電源 5902 は、出力選択信号をデジタル制御モジュールから受信し、これは、出力信号 MA1 VSUPPLY5903 または MA2 VSUPPLY5905 の一方または他方を、VPA の選択された出力に基づいて使用可能にする。

20

【0989】

ドライバステージ電源 5904 は、電力を MISO 増幅器 5930、5932 のドライバステージ回路へ提供するための回路を含む。MA 電源 5902 と同様に、ドライバステージ電源 5904 は、2 つの出力、MA1 ドライバ VSUPPLY5907 および MA2 ドライバ VSUPPLY5909 を有し、いかなるときにも 2 つの出力のうち 1 つのみがアクティブである。ドライバステージ電源 5904 もまた、VPA の選択された出力に従って、出力選択信号 5776、5778、5780、5782 および 5784 によって制御される。加えて、ドライバステージ電源 5904 は、ドライバステージ電圧制御信号 5767 をデジタル制御モジュール 5700 から受信する。一実施形態では、これらの出力、MA1 ドライバ VSUPPLY5907 および MA2 ドライバ VSUPPLY5909 は、受信されたドライバステージ電圧制御信号 5767 に従って生成される。別の実施形態では、ドライバステージ電圧制御信号 5767 は、ドライバステージ電源 5904 に、MA1 ドライバ VSUPPLY5907 または MA2 ドライバ VSUPPLY5909 を増減させて、ドライバステージ電力増幅レベルを制御する。別の実施形態では、ドライバステージ電圧制御信号 5767 は、デジタル制御モジュール 5700 によって使用されて、アクティブ MISO 増幅器 5930 または 5932 のドライバステージの電源電圧において、ドライバステージ電源 5904 を使用して、変化に影響を及ぼし、それにより VPA の電力効率を制御する。

30

【0990】

出力ステージ電源 5906 は、電力を MISO 增幅器 5930、5932 の PA ステージ回路へ提供するための回路を含む。MA 電源 5902 と同様に、出力ステージ電源 5906 は、2 つの出力、MA1 出力ステージ VSUPPLY5911 および MA2 出力ステ

40

50

ージ V S U P P L Y 5 9 1 3 を有し、いかなるときにも 2 つの出力のうち 1 つのみがアクティブである。出力ステージ電源 5 9 0 6 もまた、V P A の選択された出力に従って、出力選択信号 5 7 7 6 、 5 7 7 8 、 5 7 8 0 、 5 7 8 2 および 5 7 8 4 によって制御される。加えて、出力ステージ電源 5 9 0 6 は、出力ステージ電圧制御信号 5 7 6 5 をデジタル制御モジュール 5 7 0 0 から受信する。一実施形態では、これらの出力、M A 1 出力ステージ V S U P P L Y 5 9 1 1 および M A 2 出力ステージ V S U P P L Y 5 9 1 3 は、受信された出力ステージ電圧制御信号 5 7 6 5 に従って生成される。別の実施形態では、出力ステージ電圧制御信号 5 7 6 5 は、出力ステージ電源 5 9 0 6 に、M A 1 出力ステージ V S U P P L Y 5 9 1 1 または M A 2 出力ステージ V S U P P L Y 5 9 1 3 を増減させて、P A ステージ電力増幅レベルを制御する。別の実施形態では、出力ステージ電圧制御信号 5 7 6 5 は、デジタル制御モジュール 5 7 0 0 によって使用されて、アクティブ M I S O 増幅器 5 9 3 0 または 5 9 3 2 の P A ステージの電源電圧において、出力ステージ電源 5 9 0 6 を使用して、変化に影響を及ぼし、それにより V P A の電力効率を制御する。
10

【 0 9 9 1 】

ベクトル M o d s 電源 5 9 0 8 は、アナログコア 5 9 0 0 のベクトル変調器 5 9 2 2 、 5 9 2 4 、 5 9 2 6 および 5 9 2 8 へ電力を提供するための回路を含む。アナログコア 5 9 0 0 では、ベクトル M o d s 電源 5 9 0 8 は、上側バンドベクトル変調器 5 9 2 2 および 5 9 2 4 、ならびに、下側バンドベクトル変調器 5 9 2 6 および 5 9 2 8 の電源をそれぞれ投入するための、2 つの出力 5 9 1 5 および 5 9 1 7 を有する。いかなるときにも、出力 5 9 1 5 または 5 9 1 7 のうち 1 つのみがアクティブであり、アナログコア 5 9 0 0 の上側バンドまたは下側ベクトル変調器のみの電源が投入されることを保証する。ベクトル M o d s 電源 5 9 0 8 は、ベクトル m o d 選択信号 5 7 8 6 をデジタル制御モジュール 5 7 0 0 から受信し、これは、選択された伝送周波数要件に従って、その 2 つの出力 5 9 1 5 および 5 9 1 7 のうちどちらがアクティブであるかを制御する。
20

【 0 9 9 2 】

上述の電源回路に加えて、アナログコア 5 9 0 0 は任意選択で電圧基準生成器回路を含んでもよい。電圧基準生成器回路は、V P A アナログコア 5 9 0 0 の外部に存在しても内部に存在してもよい。電圧基準生成器回路は、V P A 内の異なる回路のための基準電圧を生成する。一実施形態では、図 5 7 に例示するように、電圧基準生成器回路は基準電圧を、デジタル制御モジュールのデータ出力に結合された D A C 0 1 ~ 1 0 に提供する。別の実施形態では、図 5 9 に例示するように、電圧基準生成器回路は基準電圧を、V P A アナログコアにおける補間フィルタおよび / またはベクトル変調器に提供する。一実施形態では、V P A の同じ分岐の回路には、同じ基準電圧が提供される。例えば、V P A 分岐またはデータバスを表す、D A C 0 1 および 0 2 、補間フィルタ 5 9 1 0 および 5 9 1 2 、ならびに、ベクトル変調器 5 9 2 2 および 5 9 2 4 はすべて、同じ基準電圧 V R E F _ C 5 7 4 1 を共有することに留意されたい。異なる実装およびシステム性能要件では、電圧基準信号を、単一の基準電圧または複数の基準電圧として提供することができる。
30

【 0 9 9 3 】

図 6 0 は、V P A アナログコア実装 5 9 0 0 による出力ステージの実施形態 6 0 0 0 を例示する。出力ステージの実施形態 6 0 0 0 は、M I S O 増幅器ステージ 6 0 5 8 、任意選択の出力スイッチングステージ（スイッチ 6 0 4 4 によって実施される）、ならびに、任意選択の出力ステージ保護および電力検出回路を含む。
40

【 0 9 9 4 】

一実施形態では、M I S O 増幅器ステージ 6 0 5 8 は、アナログコア 5 9 0 0 における M I S O 増幅器 5 9 3 0 に対応する。したがって、M A _ V S U P P L Y 信号 6 0 0 6 、 M A _ D R I V E _ V S U P P L Y 信号 6 0 0 4 、および M A 出力ステージ V S U P P L Y 信号 6 0 0 2 は、図 5 9 の信号 5 9 0 3 、 5 9 0 7 および 5 9 1 1 にそれぞれ対応する。同様に、M A _ I N 1 および M A _ I N 2 入力信号 6 0 0 8 および 6 0 1 0 、ならびに、M A 出力信号 6 0 4 6 、 6 0 4 8 および 6 0 5 0 は、図 5 9 の M I S O 入力信号 5 9 3 9 および 5 9 4 1 、ならびに、出力信号 5 9 5 4 、 5 9 5 6 および 5 9 5 8 にそれぞれ対応する
50

。 P W R 検出信号 6 0 2 3 は、図 5 9 の P W R 検出 A 信号 5 9 3 8 に対応する。（一般に、M I S O 増幅器 5 9 3 2 の実装もまた、図 6 0 の M I S O 増幅器ステージ 6 0 5 8 に基づくようにすることができる。）

【 0 9 9 5 】

実施形態 6 0 0 0 における M I S O 増幅器ステージ 6 0 5 8 は、プレドライバ 6 0 1 2 および 6 0 1 4 によって実施されたプレドライバ増幅ステージ、ドライバ 6 0 1 8 および 6 0 2 0 によって実施されたドライバ増幅ステージ、ならびに、出力ステージ P A 6 0 3 0 および 6 0 3 2 によって実施された P A 増幅ステージを含む。一実施形態では、ほぼ一定の包絡線入力信号 M A I N 1 6 0 0 8 および M A I N 2 6 0 1 0 は、P A ステージの出力で加算される前に、M I S O 増幅器 6 0 5 8 の各ステージで増幅される。

10

【 0 9 9 6 】

一実施形態では、M I S O 増幅器ステージ 6 0 5 8 は、電圧制御された電源回路によって提供された電源信号によって電力供給される。図 5 9 を参照して上述したように、電源信号は、V P A アナログコア 5 9 0 0 の電源回路によって生成される。一実施形態では、電源信号は、M I S O 増幅器ステージ 6 0 5 8 の異なる増幅ステージの電源電圧を制御し、それにより、様々な動作条件下で V P A の電力効率に影響を及ぼすために使用される。別の実施形態では、電源信号は、M I S O 増幅器ステージ 6 0 5 8 の異なる増幅ステージの各々のゲインを制御し、それにより、電力制御機構を可能にするために使用される。さらに、電源信号を互いに独立して制御し、M I S O 増幅器ステージ 6 0 5 8 の異なる増幅ステージの各々のための電力および / または効率の独立制御を可能にすることができる。この独立制御は、例えば、V P A の所望の出力電力に従って、M I S O 増幅器 6 0 5 8 の 1 つまたは複数の増幅ステージを遮断することを可能にする。図 6 0 では、電源信号は、信号 6 0 0 2 、 6 0 0 4 および 6 0 0 6 を使用して例示される。

20

【 0 9 9 7 】

一実施形態では、M I S O 増幅器ステージ 6 0 5 8 はバイアス制御回路を含む。バイアス制御回路は、特定の M I S O 増幅器の実装によって、任意選択であってもよい。一実施形態では、バイアス制御回路は、M I S O 増幅器 6 0 5 8 の各増幅ステージの効率および / または電力を制御するための機構を提供する。この機構は、電源信号を参照して上述した機構から独立している。さらに、この機構は、各増幅ステージを独立して、かつ個別に制御することを提供する。図 6 0 では、バイアス制御回路は、ゲインバランス制御回路 6 0 1 6 、ドライバステージ自己バイアス回路 6 0 2 2 、および出力ステージ自己バイアス回路 6 0 2 8 を使用して例示される。

30

【 0 9 9 8 】

一実施形態では、ゲインバランス制御回路 6 0 1 6 は、図 6 0 に例示するように、プレドライバ増幅ステージの入力に結合される。ゲインバランス制御回路 6 0 1 6 は、ゲインバランス制御信号 5 7 4 9 をデジタル制御モジュール 5 7 0 0 から（D A C を通じて）受信し、入力バイアス制御信号 6 0 1 3 および 6 0 1 5 を出力する。ドライバステージ自己バイアス回路 6 0 2 2 は、図 6 0 に例示するように、ドライバ増幅ステージの入力に結合される。ドライバステージ自己バイアス回路 6 0 2 2 は、ドライバステージ自己バイアス信号 5 7 6 3 をデジタル制御モジュール 5 7 0 0 から（D A C を通じて）受信し、入力バイアス制御信号 6 0 1 7 および 6 0 1 9 を出力する。同様に、出力ステージ自己バイアス回路 6 0 2 8 は、図 6 0 に例示するように、P A 増幅ステージの入力に結合される。出力ステージ自己バイアス回路 6 0 2 8 は、出力ステージ自己バイアス信号 5 7 6 1 をデジタル制御モジュール 5 7 0 0 から（D A C を通じて）受信し、入力バイアス制御信号 6 0 2 9 および 6 0 3 1 を出力する。

40

【 0 9 9 9 】

一実施形態では、デジタル制御モジュール 5 7 0 0 は、M I S O 増幅器 6 0 5 8 のプレドライバステージ、ドライバステージおよび P A ステージのバイアスを、ゲインバランス制御信号 5 7 4 9 、ドライバステージ自己バイアス信号 5 7 6 3 、および出力ステージ自己バイアス信号 5 7 6 1 をそれぞれ使用して、独立制御する。別の実施形態では、デジタ

50

ル制御モジュール 5700 は、ゲインバランス制御信号 5749 のみを使用して、MISO 増幅器 6058 のプレドライバステージ、ドライバステージおよび / または PA ステージのバイアスにおける変化に影響を及ぼす場合がある。図 60 に例示するように、ゲインバランス制御回路 6016 は、ドライバステージ自己バイアス回路 6022 および出力ステージ自己バイアス回路 6028 に結合される。一実施形態では、VPA の全体のゲインにおける変化は、デジタル制御モジュール 5700 によって、最初にプレドライバステージでバイアスを制御することによって、影響を受ける。さらなるゲイン変化が必要とされる場合、バイアス制御はドライバステージで、続いて PA ステージで行われる。

【1000】

一実施形態では、MISO 増幅器ステージ 6058 は、誤差訂正および / または補償フィードバック機構を可能にするための回路を含む。出力ステージの実施形態 6000 では、差動フィードバック機構が採用され、それにより、差動分岐振幅測定回路 6024 および差動分岐位相測定回路 6026 はそれぞれ、MISO 増幅器 6058 の分岐の間の振幅および位相における差を測定する。一実施形態では、差動分岐振幅測定回路 6024 および差動分岐位相測定回路 6026 は、MISO 増幅器 6058 の PA ステージ (PA 6030 および 6032) の入力で結合される。他の実施形態では、回路 6024 および 6026 は、MISO 増幅器 6058 の以前のステージの入力で結合されてもよい。一実施形態では、差動分岐振幅測定回路 6024 および差動分岐位相測定回路 6026 は、差動分岐振幅信号 5950 および差動分岐位相信号 5948 をそれぞれ出力し、これらがデジタル制御モジュール 5700 へ (A / D 変換器を通じて) フィードバックされる。デジタル制御モジュール 5700 は、いずれかの特定のときに、MISO 増幅器 6058 の分岐の間の振幅および / または位相における正しい差を知っているので、差動分岐振幅信号 5950 および差動分岐位相信号 5948 に基づいて、振幅および / または位相におけるいかなる誤差をも決定することができる。

【1001】

出力ステージの実施形態 6000 は、任意選択の出力ステージ保護回路を含む。出力ステージ保護回路は、特定の MISO 増幅器の実装によって、必要とされる場合も必要とされない場合もある。図 60 では、出力ステージ保護回路は、VSWR 保護回路 6034 を使用して例示される。一実施形態では、VSWR 保護回路 6034 は、PA ステージの出力を監視し、MISO 増幅器 6058 のゲインを制御して、PA 6030 および 6032 を保護する。実施形態 6000 では、VSWR 保護回路 6034 は信号 6036 を受信し、これは PA ステージの出力へ、直接的あるいは間接的に結合される。一実施形態では、VSWR 保護回路 6034 は、PA ステージの出力での電圧レベルがあるレベルより低いままであることを保証して、PA 6030 および 6032 が熱シャットダウンになること、または、デバイス絶縁破壊を経験することを防止する。一実施形態では、VSWR 保護回路 6034 は、PA 6030 および 6032 の絶縁破壊電圧が超えられないことを保証する。したがって、PA 6030 および 6032 の出力での電圧レベルが所定のしきい値より上であるかどうかにかかわらず、VSWR 保護回路 6034 は、MISO 増幅ステージのゲインの低減を引き起こす場合がある。一実施形態では、VSWR 保護回路 6034 はバランスゲイン制御回路 6016 に結合され、これはドライバステージ自己バイアス回路 6022 および出力ステージ自己バイアス回路 6028 の両方に結合される。一実施形態では、VSWR 保護回路 6034 は、最初にプレドライバステージで、次いでドライバステージで、最後に PA ステージで、ゲインを低減することによって、出力ステージ PA での所定の電圧レベルに対応する。上述のように、VSWR 保護回路 6034 は、特定の MISO 増幅器の実装によって、必要とされる場合も必要とされない場合もある。例えば、GaAs (ガリウムヒ素) MISO 増幅器の実装は VSWR 保護回路を必要とせず、これは、GaAs トランジスタの典型的な絶縁破壊電圧が大きすぎて、多数の RF シナリオにおいて超えられないためである。

【1002】

出力ステージの実施形態 6000 は、任意選択の電力検出回路を含む。一実施形態では

10

20

30

40

50

、電力検出回路は、電力レベルフィードバックをデジタル制御モジュールへ提供するための手段としての機能を果たす。図60では、電力検出回路は、電力検出回路6038を使用して例示される。一実施形態では、電力検出回路6038は、MISO増幅器6058のPAステージの出力で結合される。電力検出回路6038は、図60において信号6040によって例示したように、PAステージの出力へ直接的に結合されても間接的に結合されてもよい。一実施形態では、電力検出回路6038はPWR検出信号6023を出力する。PWR検出信号6023は、図59に示したPWR検出A信号5938またはPWR検出B信号5940に相当する場合があり、これらは(A/D変換器を通じて)VPAのデジタル制御モジュールにフィードバックされる。デジタル制御モジュールは、PWR検出信号6023を使用して、VPAの出力電力を望むように調節する。

10

【1003】

出力ステージの実施形態6000の任意選択の出力スイッチングステージは、図60のスイッチ6044によって実施される。一実施形態では、スイッチ6044は、VPAの3つの出力6046、6048または6050のうち1つに結合される。前述のように、このスイッチは、デジタル制御モジュールによって提供された出力選択信号5776、5778および5780のセットによって制御される。スイッチ6044は、選択伝送モードおよび/または所望の出力周波数要件(例えば、GSM、WCDMAなど)に従って、適切な出力に結合される。

【1004】

したがって、VPAの出力でのプルアップインピーダンス結合を、様々な方法で行うことができる。一実施形態では、図60に示すように、プルアップインピーダンス6052、6054および6056は、出力6046、6048および6050とMA出力ステージVSUPPLY6002の間に、それぞれ結合される。別の実施形態では、単一のプルアップインピーダンスが使用され、PAステージの出力6042とMA出力ステージVSUPPLY6002の間に結合される。第1の手法の利点は、プルアップインピーダンスをスイッチ6044の後に配置することによって、インピーダンス6052、6054および/または6056のための値を選択するとき、スイッチ6044のインピーダンス特性を考慮に入れることができ、VPA設計者がVPAの効率を増大させるためのさらなる態様を開発することが可能となることがある。一方、第2の手法は、より少数のプルアップインピーダンスを必要とする。

20

【1005】

特定のMISO増幅器の実装によって、出力ステージの実施形態6000は、図60に例示されるものより多くのあるいはより少ない回路を含んでもよい。

【1006】

本発明の実施形態によれば、MISO増幅器ステージ6058、任意選択の出力スイッチングステージ(スイッチ6044)、ならびに任意選択の出力保護および電力検出回路を含む、出力ステージの実施形態6000を、SiGe(シリコンゲルマニウム)材料を使用して製造してもよい。別の実施形態では、MISO増幅器ステージ6058は、SiGeを使用して製造され、出力スイッチングステージは、GaAsを使用して製造される。別の実施形態では、PAステージ(PA6030および6032)および出力スイッチングステージは、GaAsを使用して製造されるが、MISO増幅器ステージ6058の他の回路および出力ステージの任意選択の回路は、SiGeを使用して製造される。別の実施形態では、PAステージ、ドライバステージ、および出力スイッチングステージは、GaAsを使用して製造されるが、MISO増幅器ステージ6058の他の回路および出力ステージの任意選択の回路は、SiGeを使用して製造される。別の実施形態では、PAステージ、ドライバステージ、プレドライバステージ、および出力スイッチングステージは、GaAsを使用して製造される。別の実施形態では、VPAシステムは、SiGeまたはGaAs材料において実装することができる出力ステージ(6030または6032)を除いて、すべての回路について、CMOSを使用して実装されてもよい。別の実施形態では、VPAシステムは、全体としてCMOSにおいて実装されてもよい。当業者に

30

40

50

は理解できるように、出力ステージの回路のために使用される製造材料の他の変形形態および／または組み合わせも可能であり、したがって、これも本発明の実施形態の範囲内である。

【1007】

したがって、異なる半導体材料は異なるコストおよび性能を有するので、本発明の実施形態は、幅広い範囲のコストおよび性能オプションを包含する、様々なVPA設計を提供する。

【1008】

4.3.2) VPA アナログコア実装B

図61は、本発明の一実施形態による代替VPAアナログコア実装6100を例示する。例示のため、VPAアナログコア6100を図61において、デジタル制御モジュール5700に接続されるものとして図示するが、別法として、他のデジタル制御モジュールを使用することができる。アナログコア6100とデジタル制御モジュール実装5700の間の物理的接続は、図57および61の両方において同じ番号の信号によって示されるように、図61に例示される。

10

【1009】

アナログコア実装6100は、2分岐VPAの実施形態に対応する。この実装は、しかし、本明細書の教示に基づいて当業者には明らかになるように、4分岐またはCPCPのVPAの実施形態へと容易に修正することができる。

【1010】

20

アナログコア実装6100は、上述のアナログコア実装5900と同じ入力ステージおよびベクトル変調ステージを有する。したがって、アナログコア実装5900と同様に、アナログコア6100は、VPAの上側バンドおよび下側バンド動作のための上側バンドパス5964および下側バンドパス5966をそれぞれ含む。

【1011】

アナログコア5900とアナログコア6100の間の違いの1つは、VPAの出力ステージにある。2つのMISO増幅器5930および5932を含むアナログコア5900の出力ステージとは対照的に、アナログコア6100の出力ステージは、アナログコアの上側バンドパス5964と下側バンドパス5966の間で分割された、5つのMISO増幅器6126、6128、6130、6132および6134を含む。一実施形態では、出力ステージは、SiGeおよびGaAsのMISO増幅器の組み合わせを含む。一実施形態では、上側バンドパス5964は、3つのMISO増幅器6126、6128および6130を含み、下側バンドパス5966は、2つのMISO増幅器6132および6134を含む。選択された動作のバンドに基づいて、上側バンドパス5964または下側バンドパス5966のいずれかにおいて、単一のMISO増幅器がアクティブである。一実施形態では、MISO増幅器6126、6128、6130、6132および6134の各々を、VPAの単一の伝送モード（例えば、WCDMA、GSM、EDGEなど）専用にすることができる。これは、MISO増幅器5930および5932の各々が複数の伝送モードをサポートするアナログコア5900とは対照的である。各アーキテクチャの利点および欠点を、さらに以下で論じる。

30

【1012】

40

パスごとの複数のMISO増幅器を有する結果として、アナログコア6100において、ベクトル変調ステージをMISO増幅器に結合するために、スイッチングステージが必要となる。図61では、これは、スイッチ6118、6120、6122および6124を使用して例示される。一実施形態では、選択された伝送モードに従って、スイッチ6118および6120は、ベクトル変調器5922および5924の出力5939および5941を、MISO増幅器6126、6128および6130のうち1つに結合する。同様に、スイッチ6122および6124は、選択された伝送モードおよび／または周波数要件に従って、出力5943および5945を、MISO増幅器6132および6134のうち1つに結合する。

50

【1013】

一実施形態では、MISO増幅器6126（または、6128、6130、6132、6134）は、定包絡線信号6119および6121（または、6123および6125、6127および6129、6131および6133、6135および6137）を受信する。MISO増幅器6126（または、6128、6130、6132、6134）は、信号6119および6121（または、6123および6125、6127および6129、6131および6133、6135および6137）を個別に増幅して、増幅された信号を生成し、増幅された信号を結合して、出力信号6142（6144、6146、6148、6150）を生成する。一実施形態では、MISO増幅器6126（または、6128、6130、6132、6134）は、本明細書に記載するように、増幅された信号を、直結を介して結合する。本発明の実施形態による、増幅された信号を結合する他のモードは、セクション3において上述したものである。

【1014】

VPAアナログコア6100の出力ステージは、マルチバンドマルチモードVPA動作をサポートすることができる。さらに、アナログコア6100の出力ステージは、サポートされた各伝送モード用の1つのMISO増幅器の専用となることができるので、出力スイッチングステージ（アナログコア5900においてスイッチ5942および5944によって実施された）を取り除くことができる。これは、より効率的な出力ステージ（スイッチングステージによる電力損失がない）の結果となるが、より大きいチップ面積を犠牲にする。これは、アナログコア5900のアーキテクチャとアナログコア6100のアーキテクチャの間の主なトレードオフを要約するものである。

【1015】

一実施形態では、アナログコア6100の出力ステージは、任意選択のバイアス制御信号をデジタル制御モジュール5700から受信する。これらは、出力ステージ自己バイアス信号5761、ドライバステージ自己バイアス信号5763、およびゲインバランス制御信号5749であり、アナログコア5900を参照して上述したものである。

【1016】

一実施形態では、アナログコア6100の出力ステージは、任意選択のフィードバック信号をVPAのデジタル制御モジュール5700に提供する。これらのフィードバック信号には、アナログコア5900を参照して上述した、差動分岐振幅信号5950および差動分岐位相信号5948が含まれて、差動フィードバック手法がVPAの分岐における振幅および位相変動を監視できるようにする。また、アナログコア5900と同様に、出力電力監視は、PWR検出信号6152、6154、6156、6158および6160を使用して提供され、その各々は、VPAの出力6142、6144、6146、6148および6150のうち1つを測定する。いかなるときにもVPA出力のうち1つのみをアクティブにすることができるので、一実施形態では、加算器5952を使用して、PWR検出信号6152、6154、6156、6158および6160が共に加算されて、VPAの現行出力電力に対応する信号が生成される。

【1017】

アナログコア5900と同様に、出力ステージからのフィードバック信号は、デジタル制御モジュールによって制御された入力セレクタ5946を使用して多重化される。フィードバック信号の多重化の他の態様は、アナログコア5900を参照して上述されている。

【1018】

アナログコア5900と同様に、アナログコア6100を、デジタル制御モジュールにおけるいかなるフィードフォワード訂正をも使用不可にすることによる純粋なフィードバック実装として、フィードバック信号の監視を使用不可にすることによる純粋なフィードフォワード実装、あるいは、可変フィードフォワード／フィードバック利用を有するハイブリッドフィードフォワード／フィードバック実装として、動作するように設計することができる。

10

20

30

40

50

【1019】

一実施形態では、アナログコア6100の出力ステージは、任意選択の出力ステージ保護回路を含む。図61では、これは、MISO増幅器6128、6130および6134にそれぞれ結合された、VSWR(電圧定在波比)保護回路6136、6138および6140を使用して例示される。VSWR保護回路は、実際のMISO増幅器の実装に応じて、必要とされる場合も必要とされない場合もある。例えば、GAs増幅器であるMISO増幅器6126および6132は、多数の応用例についてVSWR保護回路を必要としないことに留意されたい。本発明の実施形態によるVSWR保護回路の機能および利点は、アナログコア5900を参照して上述されている。

【1020】

アナログコア6100は、そのアナログコアの異なるステージへの電力を制御かつ送達するための電源回路を含む。一態様では、電源回路は、VPAアナログコアのアクティブ部分の電源を投入するための手段を提供する。別の態様では、電源回路は、VPAの電力効率および/または出力電力を制御するための手段を提供する。

【1021】

アナログコア6100の電源回路は、アナログコア5900の電源回路とほぼ類似であり、違いは、アナログコア5900では2つであるのに対して、アナログコア6100は5つのMISO増幅器を含むことである。図61では、電源回路は、GMAおよびMA電源回路6102、ドライバステージ電源回路5904、出力ステージ電源回路5908およびベクトルModulation電源回路5908において実施される。回路6102、5904および5906の各々は、5つの出力電源信号を有し、VPAのアクティブMISO増幅器によって、これらの5つの出力信号のうち単一のものがいかなるときにもアクティブである。アナログコア6100の電源回路の機能および動作は、上述のアナログコア5900の電源回路のものとほぼ類似である。

【1022】

図62は、VPAアナログコア実装6100による出力ステージの実施形態6200を例示する。出力ステージの実施形態6200は、MISO増幅器ステージ6220、ならびに、任意選択の出力ステージ保護および電力検出回路を含む。

【1023】

図61に示したMISO増幅器6126、6128、6130、6132および/または6134を、MISO増幅器ステージ6220など、増幅器を使用して実装することができる。

【1024】

出力ステージの実施形態6200は、図60に例示した出力ステージの実施形態6000とほぼ類似であり、主な違いは、実施形態6200における出力スイッチングステージ(図60のスイッチ6044によって実施された)の除去にある。

【1025】

実施形態6000と同様に、実施形態6200におけるMISO増幅器ステージ6220は、プレドライバ6206および6208によって実施されたプレドライバ増幅ステージ、ドライバ6210および6212によって実施されたドライバ増幅ステージ、ならびに、出力ステージPA6214および6216によって実施されたPA増幅ステージを含む。一実施形態では、ほぼ一定の包絡線入力信号MA_IN1_6202およびMA_IN2_6204は、PAステージの出力で加算される前に、MISO増幅器6220の各ステージで増幅される。入力信号MA_IN1_6202およびMA_IN2_6204は、例えば、図61の信号6123および6125に対応する。

【1026】

一実施形態では、出力ステージの実施形態6200のMISO増幅器ステージ6220は、電圧制御された電源回路によって提供された電源信号によって電力供給される。別の実施形態では、MISO増幅器ステージ6220は、デジタル制御モジュールによって制御可能な任意選択のバイアス制御回路を含む。別の実施形態では、MISO増幅器ステー

10

20

30

40

50

ジ 6 2 2 0 は、誤差訂正および／または補償フィードバック機構を可能にするための回路を含む。別の実施形態では、出力ステージの実施形態 6 2 0 0 は、任意選択の出力ステージ保護回路および電力検出回路を含む。出力ステージの実施形態 6 2 0 0 のこれらの態様（電源、バイアス制御、誤差訂正、出力保護および電力検出）は、出力ステージの実施形態 6 0 0 0 に関して上述したものにほぼ類似である。

【 1 0 2 7 】

本発明の実施形態によれば、出力ステージの実施形態 6 2 0 0 を、M I S O 増幅器ステージ 6 2 2 0 、ならびに任意選択の出力保護および電力検出回路を含めて、S i G e (シリコンゲルマニウム) 材料を使用して製造してもよい。別の実施形態では、M I S O 増幅器ステージ 6 2 2 0 は、全体として S i G e を使用して製造される。別の実施形態では、M I S O 増幅器ステージ 6 2 2 0 の P A ステージ (P A 6 2 1 4 および 6 2 1 6) は、G a A s を使用して製造されるが、M I S O 増幅器ステージ 6 2 2 0 の他の回路および出力ステージの任意選択の回路は、S i G e を使用して製造される。別の実施形態では、M I S O 増幅器ステージ 6 2 2 0 の P A ステージおよびドライバステージ (ドライバ 6 2 1 0 および 6 2 1 2) は、G a A s を使用して製造されるが、M I S O 増幅器ステージ 6 2 2 0 の他の回路および出力ステージの任意選択の回路は、S i G e を使用して製造される。別の実施形態では、P A ステージ、ドライバステージ、プレドライバステージ (プレドライバ 6 2 0 6 および 6 2 0 8) は、G a A s を使用して製造される。別の実施形態では、V P A システムは、S i G e または G a A s 材料において実装することができる出力ステージ (6 2 1 4 または 6 2 1 6) を除いて、すべての回路について、C M O S を使用して実装されてもよい。別の実施形態では、V P A システムは、全体として C M O S において実装されてもよい。当業者には理解できるように、出力ステージの回路のために使用される製造材料の他の変形形態および／または組み合わせも可能であり、したがって、これも本発明の実施形態の範囲内である。さらに、例えば、M I S O 増幅器 6 1 2 8 、6 1 3 0 および 6 1 3 4 が S i G e 増幅器であり、M I S O 増幅器 6 1 2 6 および 6 1 3 2 が G a A s 増幅器である（それらの出力ステージの 1 つまたは複数のステージが G a A s である）、図 6 1 に例示するように、同じ V P A 内の出力ステージを、異なる材料を使用して製造してもよい。

【 1 0 2 8 】

4 . 3 . 3) V P A アナログコア実装 C

図 6 3 は、本発明の一実施形態による別の V P A アナログコア実装 6 3 0 0 を例示する。例示のため、実施例のアナログコア 6 3 0 0 を図 6 3 において、デジタル制御モジュール 5 8 0 0 に接続されるものとして図示するが、別法として、他のデジタル制御モジュールを使用することができる。アナログコア 6 3 0 0 とデジタル制御モジュール 5 8 0 0 の間の物理的接続は、図 5 8 および図 6 3 の両方において同じ番号の信号によって示される。

【 1 0 2 9 】

アナログコア実装 6 3 0 0 は、2 分岐 V P A の実施形態に対応する。この実装は、しかし、本明細書の教示に基づいて当業者には明らかになるように、4 分岐または C P C P の V P A の実施形態へと容易に修正することができる。

【 1 0 3 0 】

アナログコア実装 6 3 0 0 は、図 5 9 のアナログコア 5 9 0 0 と同様の入力ステージ、ペクトル変調ステージおよび増幅出力ステージを含む。これらのステージの機能、動作および制御は、図 5 9 を参照して上述されている。

【 1 0 3 1 】

アナログコア 5 9 0 0 と同様に、アナログコア 6 3 0 0 は、フィードバック誤差訂正および／または補償機構を含む。しかし、アナログコア 5 9 0 0 とは対照的に、アナログコア 6 3 0 0 は、アナログコア 5 9 0 0 における差動フィードバック機構とは対照的に、受信器ベースのフィードバック機構を採用する。受信器ベースのフィードバック機構は、V P A のアクティブ出力を受信し、受信された出力から I データおよび Q データを生成し、

10

20

30

40

50

生成された I および Q データをデジタル制御モジュールへフィードバックする、受信器を有することに基づくものである。VPA の入力と出力の間の遅延を推定することによって、フィードバック I および Q 信号を、それらの対応する入力 I および Q 信号に適切に整合することができる。別の実施形態では、受信器フィードバックは、デカルト I および Q データ信号ではなく、複素出力信号（大きさ、および、位相ポーラ（phase polar）情報）を含む。

【1032】

一実施形態では、これは、受信器（図示せず）を VPA のアクティブ出力（5947 または 5949）で結合することによって行われる。図 63 では、信号 6302 および 6304 は、受信器への上側バンドおよび下側バンド RF 入力をそれぞれ表す。アナログコア 6300 の上側バンドパス 5964 が使用されているか、下側バンドパス 5966 が使用されているかに応じて、いかなるときにも信号 6302 および 6304 のうち 1 つのみがアクティブであることが可能である。同様に、受信器ベースのフィードバック機構は、上側バンドパスおよび下側バンドパスを含む。一実施形態では、上側バンドおよび下側バンドフィードバックパスの各々は、自動ゲイン制御器（AGC）（6306 および 6308）、I/Q サンプルホールド（S/H）回路（6314、6316、および、6318、6320）、スイッチング回路（6322 および 6324）、および、任意選択の補間フィルタ（6326 および 6328）を含む。一実施形態では、デジタル制御モジュールによって、入力選択信号 5810 および 5812 を用いて制御されたスイッチ 6330 は、上側バンドまたは下側バンドフィードバックパスのいずれかをデジタル制御モジュールに結合する。さらに、結合されたフィードバックパスに基づいて、デジタル制御モジュール I/Q n 選択信号 5808 は、スイッチング回路 6322 または 6324 を制御して、デジタル制御モジュールへの I データおよび Q データの結合を交互に行う。本明細書の教示に基づいて当業者には理解できるように、他の実装もまた可能である。

【1033】

一実施形態では、AGC 回路は、受信器が有用な I および Q 情報を、VPA 出力電力のワイドダイナミックレンジを介してフィードバックすることを可能にするために、使用される。例えば、出力信号 5954、5956、5958、5960 および 5962 は、ある携帯電話の応用例において、+35 dBm から -60 dBm まで変化する可能性がある。I および Q データが正確なフィードバック情報を含むために、受信器の I および Q 出力は、出力信号電力とは無関係に、A/D in 信号 5736 の入力電圧範囲の大部分を利用するようにスケーリングされる必要がある。デジタル制御モジュール 5800 は、必要とされた出力電力まで VPA を制御するように設計され、これにより、デジタル制御モジュール 5800 が、A/D 5732 を通じてデジタル化される適切な A/D 入力電圧を達成するために適切な受信器ゲインを決定することが可能となる。

【1034】

受信器ベースのフィードバック機構を有する VPA アナログコアを、純粋なフィードバック、フィードフォワード、またはハイブリッドフィードバック / フィードフォワードシステムとして実装することができる。上述のように、純粋なフィードバック実装は、デジタル制御モジュールにおいて最小量のメモリ（RAM5608、NVRAM5610）を必要とするか、あるいはメモリを必要としない。これは、アナログコアからの差動フィードバック測定回路の除去に加えて、アナログコア 6300 によるアナログコア実装の 1 つの利点を表す場合がある。それにもかかわらず、アナログコア 6300 を、デジタル制御モジュール 5800 におけるいかなるフィードフォワード訂正をも使用不可にすることによる純粋なフィードバック実装として、フィードバック信号の監視を使用不可にすることによる純粋なフィードフォワード実装、あるいは、可変フィードフォワード / フィードバック利用を有するハイブリッドフィードフォワード / フィードバック実装として、動作するようにプログラムすることができる。

【1035】

一実施形態では、アナログコア 6300 の出力ステージは、任意選択の出力ステージ保

10

20

30

40

50

護回路を含む。これは図63に図示されないが、アナログコア実装5900および6100を参照して上述されたものである。アナログコア6300の他の様態（バイアス制御、電源など）は、アナログコア5900とほぼ類似であり、図59を参照して上述されている。

【1036】

図64は、VPAアナログコア実装6300による出力ステージの実施形態6400を例示する。出力ステージの実施形態6400は、MISO増幅器ステージ6434および出力スイッチングステージを含む。一実施形態では、MISO増幅器ステージ6434は、図63に示したMISO増幅器5930および/または5932に対応する（すなわち、MISO増幅器5930、5932のいずれかまたは両方を、MISO増幅器ステージ6434など、増幅器を使用して実装することができる）。10

【1037】

出力ステージの実施形態6400は、図60に例示した出力ステージの実施形態6000とほぼ類似であり、主な違いは、受信器ベースのフィードバック機構の使用による差動分岐測定回路（6024および6026）の除去にある。

【1038】

実施形態6000と同様に、実施形態6400におけるMISO増幅器ステージ6434は、プレドライバ6406および6408によって実施されたプレドライバ増幅ステージ、ドライバ6410および6412によって実施されたドライバ増幅ステージ、ならびに、出力ステージPA6414および6416によって実施されたPA増幅ステージを含む。一実施形態では、定包絡線入力信号MA_IN1_6402およびMA_IN2_6404は、MISO増幅器ステージ6434のPAステージの出力で加算される前に、MISO増幅器ステージ6434の各ステージで増幅される。20

【1039】

一実施形態では、出力ステージの実施形態6400のMISO増幅器ステージ6434は、電圧制御された電源回路によって提供された電源信号によって電力供給される。別の実施形態では、MISO増幅器ステージ6434は、デジタル制御モジュールによって制御可能な任意選択のバイアス制御回路を含む。別の実施形態では、出力ステージの実施形態6400は、任意選択の出力ステージ保護回路（図64に図示せず）を含む。出力ステージの実施形態6400のこれらの態様（電源、バイアス制御、および出力保護）は、出力ステージの実施形態6000に関して上述したものにほぼ類似である。30

【1040】

本発明の実施形態によれば、出力ステージの実施形態6400を、MISO増幅器ステージ6434、出力スイッチングステージ6420、および任意選択の出力保護回路を含めて、SiGe（シリコンゲルマニウム）材料を使用して製造してもよい。別の実施形態では、MISO増幅器ステージ6434は、SiGeを使用して製造され、出力スイッチングステージ6420は、GaAsを使用して製造される。別の実施形態では、MISO増幅器ステージ6434のPAステージ（PA6414および6416）および出力スイッチングステージ6420は、GaAsを使用して製造されるが、MISO増幅器ステージ6434の他の回路および出力ステージの任意選択の回路は、SiGeを使用して製造される。別の実施形態では、PAステージ、ドライバステージ（ドライバ6410および6412）、および出力スイッチングステージ6420は、GaAsを使用して製造されるが、MISO増幅器ステージ6434の他の回路および出力ステージの任意選択の回路は、SiGeを使用して製造される。別の実施形態では、PAステージ、ドライバステージ、プレドライバステージ（プレドライバ6406および6408）、および出力スイッチングステージ6420は、GaAsを使用して製造される。別の実施形態では、VPAシステムは、SiGeまたはGaAs材料において実装することができる出力ステージ（6214または6216）を除いて、すべての回路について、CMOSを使用して実装されてもよい。別の実施形態では、VPAシステムは、全体としてCMOSにおいて実装されてもよい。当業者には理解できるように、出力ステージの回路のために使用される製造4050

材料の他の変形形態および／または組み合わせも可能であり、したがって、これも本発明の実施形態の範囲内である。さらに、例えば、M I S O 増幅器 6128、6130 および 6134 が S i G e 増幅器であり、M I S O 増幅器 6126 および 6132 が G a A s 増幅器である（それらの出力ステージの 1 つまたは複数のステージが G a A s である）、図 61 に例示するように、同じ V P A 内の出力ステージを、異なる材料を使用して製造してもよい。

【 1 0 4 1 】

V P A 出力ステージのリアルタイム増幅器クラス制御

本発明の実施形態によれば、V P A 出力ステージを、その出力波形軌道における変化に従ってその増幅器動作クラスを変更するように、制御することができる。この概念を、図 65 において、例示的 W C D M A 波形を参照して例示する。図 65 におけるグラフは、V P A 出力ステージの動作クラスに対する W C D M A 出力波形包絡線のタイミング図を例示する。出力波形包絡線は、V P A 出力ステージの出力電力に正比例することに留意されたい。

【 1 0 4 2 】

V P A 出力ステージ増幅器クラスは、出力波形包絡線がその最大値からゼロに向かって低減するにつれて、クラス S 増幅器からクラス A 増幅器へトラバースすることに留意されたい。ゼロ交差で、V P A 出力ステージは、出力波形包絡線が増大するにつれて、より高いクラスの増幅器動作へスイッチングする前に、クラス A 増幅器として動作する。

【 1 0 4 3 】

V P A 出力ステージ増幅器動作クラスを制御するためのこのリアルタイム能力によって克服される 1 つの重要な問題は、位相精度制御の問題である。図 65 に示した実施例に関して、位相精度制御の問題は、いずれかの所与の電力レベルで高品質の波形を生成するために、40 dB の出力電力ダイナミックレンジが望ましいという事実にある。しかし、40 dB の出力電力ダイナミックレンジ（約 1.14 度または 1.5 ピコ秒）を生成するために必要とされる位相精度は、高容量の応用例における実用的な回路の許容度をはるかに超える。理解されるように、この段落および本明細書の他の箇所で引用された特定の電力範囲は、例示のためにのみ提供され、限定するものではない。

【 1 0 4 4 】

本発明による実施形態は、複数の動作クラスを波形軌道に基づいて移行して、すべての波形について、実用的な制御精度に対する効率の最高のバランスを維持するようにすることによって、位相精度制御の問題を解決する。実施形態では、V P A 出力ステージの出力電力ダイナミックレンジは 90 dB を超える。

【 1 0 4 5 】

一実施形態では、より高い瞬時信号電力レベルで、動作における増幅器クラス（クラス S）は効率が高く、位相精度は、位相制御を使用して容易に達成される。より低い瞬時信号電力レベルでは、しかし、位相制御は、必要とされた波形線形性を達成するために十分でない場合がある。これを図 66 に例示し、これは、V P A の分岐の間の V P A 出力電力（dBm 単位）対アウトフェージング角度のプロットを示す。高い電力レベルでは、アウトフェージング角度における変化が、より低い電力レベルよりも小さい出力電力変化の結果となることが分かる。したがって、位相制御は、より低い電力レベルよりも、より高い電力レベルで、より高い分解能の電力制御を提供する。

【 1 0 4 6 】

したがって、高分解能の電力制御をより低い電力レベルでサポートするため、位相制御に加えて、他の制御の機構が必要とされる。図 67 は、例示的 Q P S K 波形を使用した、本発明の実施形態による例示的電力制御機構を例示する。Q P S K コンステレーションが、 $\cos(\omega t)$ および $\sin(\omega t)$ によって定義された複素領域における単位円に課せられる。コンステレーション空間は、3 つの同心および非交差領域、すなわち、最外の「位相制御のみ」の領域、中心の「位相制御、バイアス制御、および振幅制御」の領域、および、最内の「バイアス制御および振幅制御」の領域の間で分割される。本発明の実施

10

20

30

40

50

形態によれば、最外、中心および最内領域は、出力波形の電力レベルに従って適用される電力制御のタイプを定義する。例えば、図67を参照すると、より低い電力レベル（最内領域に入る点）では、バイアス制御および振幅制御が、必要とされた波形線形性を提供するために使用される。一方、より高い電力レベル（最外領域に入る点）では、位相制御（アウトフェーディング角度を制御することによる）のみで十分である。

【1047】

当業者には理解できるように、図67に例示された制御領域は、例示のためにのみ提供され、限定するものではない。他の制御領域を、本発明の実施形態によって定義することができる。典型的には、排他的ではないが、制御領域の境界は、所望の出力波形の相補累積密度関数（CCDF）およびサイドバンド性能基準に基づくものである。したがって、制御領域の境界は、VPAの所望の出力波形に従って変化する。

10

【1048】

実施形態では、異なる制御領域によって定義された電力制御機構は、異なるクラスの増幅器の間のVPA出力ステージの移行を可能にする。これを図68に示し、これは、出力波形包絡線に対する出力ステージ増幅器クラス動作、および、単位円に課せられた制御領域を、並べて例示する。図69はさらに、出力波形包絡線に応じた出力ステージ電流を示す。出力ステージ電流は、出力波形包絡線に密接に従うことに留意されたい。特に、出力波形包絡線がゼロ交差を受けるとき、出力ステージ電流は完全にゼロになることに留意されたい。

【1049】

図70は、出力ステージ電流に対するVPA出力ステージ理論効率を例示する。図70の出力ステージ電流波形は、図69に示したものに対応することに留意されたい。一実施形態では、VPA出力ステージは、98%（以上）の時間に渡って100%の理論効率で動作する。図70から、出力ステージ電流における変化による、異なる増幅器動作クラスの間の出力ステージの移行にも留意されたい。

20

【1050】

図71は、本発明の一実施形態による例示的VPAを例示する。例示のため、限定のためではなく、異なる増幅器動作クラスの間のVPA出力ステージ（図71においてMISO増幅器として例示された）の移行を引き起こすために使用することができる、様々な制御機構をさらに説明するために、図71の例示的実施形態を本明細書で使用する。

30

【1051】

図71のVPAの実施形態は、伝達関数モジュール、周波数基準合成器によって制御された1対のベクトル変調器、および、MISO増幅器出力ステージを含む。伝達関数モジュールは、IおよびQデータを受信し、ベクトル変調器によって使用される振幅情報を生成して、ほぼ一定の包絡線信号を生成する。ほぼ一定の包絡線信号は、MISO増幅器出力ステージを使用して单一の動作において増幅かつ加算される。

【1052】

本発明の実施形態によれば、MISO増幅器出力ステージを、出力波形軌道における変化に従って、異なる増幅器動作クラスの間でリアルタイムに移行させることができる。一実施形態では、これは、ベクトル変調器によって生成された定包絡線信号の位相を制御することによって達成される。別の実施形態では、MISO増幅器入力信号の振幅は、伝達関数を使用して制御される。別の実施形態では、MISO増幅器入力が、伝達関数を使用してバイアスされて（MISO入力のバイアシングを、MISO増幅器内のいずれかの増幅ステージで行うことができる）、MISO増幅器動作クラスが制御される。他の実施形態では、MISO増幅器ステージが異なる増幅器動作クラスの間で移行できるようにするために、これらの制御機構（位相、入力バイアスおよび/または入力振幅）の組み合わせが使用される。

40

【1053】

図72は、本発明の一実施形態による、出力波形軌道における変化による、電力増幅器におけるリアルタイム増幅器クラス制御のための方法を例示するプロセス流れ図100で

50

ある。プロセス流れ図100は、所望の出力波形の瞬時電力レベルを決定することを含む、ステップ110で開始する。一実施形態では、瞬時電力レベルは、所望の出力波形包絡線の関数として決定される。

【1054】

決定された瞬時電力レベルに基づいて、プロセス流れ図100のステップ120は、所望の増幅器動作クラスを決定することを含み、前記増幅器動作クラスは、電力増幅器の電力効率および線形性を最適化する。一実施形態では、増幅器動作クラスを決定することは、所望の出力波形の特定のタイプ(例えば、CDMA、GSM、EDGE)によって決まる。

【1055】

ステップ130は、電力増幅器を、決定された増幅器動作クラスに従って動作するよう10に制御することを含む。一実施形態では、電力増幅器は、本明細書に記載するように、位相制御、バイアス制御、および/または振幅制御方法を使用して制御される。

【1056】

プロセス流れ図100によれば、電力増幅器は、所望の出力波形の瞬時電力レベルに従って、異なる増幅器動作クラスの間で移行するよう20に制御される。他の実施形態では、電力増幅器は、所望の出力波形の平均出力電力に従って、異なる増幅器動作クラスの間で移行するよう制御される。さらなる実施形態では、電力増幅器は、所望の出力波形の瞬時電力レベルおよび平均出力電力の両方に従って、異なる増幅器動作クラスの間で移行するよう制御される。

【1057】

本発明の実施形態によれば、電力増幅器を、中間増幅器クラス(AB、B、CおよびD)を通過しながら、クラスA増幅器からクラスS増幅器まで移行するよう制御することができる。

【1058】

本発明の実施形態は、電力増幅器の、異なる増幅器クラスへの移行を、以下のように制御する。

【1059】

クラスA増幅器を達成するため、電力増幅器の駆動レベルおよびバイアスは、出力電流導通角が360度に等しくなるよう30に制御される。導通角は、出力電流が増幅器中を流れている駆動周期の角度部分として定義される。

【1060】

クラスAB増幅器を達成するため、電力増幅器の駆動レベルおよびバイアスは、出力電流導通角が180度より大きく、360度より小さくなるよう40に制御される。

【1061】

クラスB増幅器を達成するため、電力増幅器の駆動レベルおよびバイアスは、出力電流導通角が180度にほぼ等しくなるよう40に制御される。

【1062】

クラスC増幅器を達成するため、電力増幅器の駆動レベルおよびバイアスは、出力電流導通角が180度より小さくなるよう40に制御される。

【1063】

クラスD増幅器を達成するため、電力増幅器の駆動レベルおよびバイアスは、増幅器がスイッチモード(オン/オフ)において動作されるよう40に制御される。

【1064】

クラスS増幅器を達成するため、増幅器は、パルス幅変調された(PWM)出力信号を生成するよう40に制御される。

【1065】

一実施形態では、上述のVPA出力ステージのリアルタイム増幅器クラス制御は、伝達関数における動的変化がVPAのデジタル制御モジュールにおいて実装されることを伴う。これをさらに以下で、図73~77を参照して説明する。

10

20

30

40

50

【1066】

図73は、2つの分岐を有するn p n実装による、一実施例のVPA出力ステージを例示する。VPA出力ステージの各分岐は、それぞれのほぼ一定の包絡線信号を受信する。ほぼ一定の包絡線信号は、図73においてIN1およびIN2として例示される。VPA出力ステージのトランジスタがそれらのエミッタノードによって共に結合されて、VPAの出力ノードが形成される。

【1067】

VPA出力ステージがクラスS増幅器として動作するとき、これは、パルス幅変調(PWM)を、受信されたほぼ一定の包絡線信号IN1およびIN2上で達成する。この増幅器動作クラスにおけるVPA出力ステージの理論等価回路を、図74に例示する。VPA出力ステージのトランジスタは、この動作クラスにおけるスイッチング増幅器に相当することに留意されたい。ほぼ一定の包絡線信号IN1およびIN2の間のアウトフェーディング角度の関数としてのVPAの出力は、(IN1およびIN2がほぼ等しい振幅の値Aを有すると仮定して)

【1068】

【数266】

$$SQ(\theta) = A \frac{\pi - \theta}{2\pi}$$

【1069】

によって与えられる。大きさ-位相シフト変換として上述した、この関数のプロットを、図76に例示する。

【1070】

一方、VPA出力ステージがクラスA増幅器として動作するとき、これは完全加算ノードをエミュレートする。この増幅器動作クラスにおけるVPA出力ステージの理論等価回路を、図75に例示する。VPA出力ステージのトランジスタは、この動作クラスにおける電流源に相当することに留意されたい。ほぼ一定の包絡線信号IN1およびIN2の間のアウトフェーディング角度の関数としてのVPAの出力は、(IN1およびIN2がほぼ等しい振幅の値Aを有すると仮定して)

【1071】

【数267】

$$R(\theta) = AA\sqrt{2(1 + \cos(\theta))}$$

【1072】

によって与えられる。大きさ-位相シフト変換として上述した、この関数のプロットを、図76に例示する。

【1073】

本発明の一実施形態によれば、増幅器動作クラスAおよびSは、VPA出力ステージの増幅器動作範囲の2つの両極端を表す。しかし、上述のように、VPA出力ステージは、例えば、クラスAB、B、CおよびDを含む、複数の他の増幅器動作クラスを移行してもよい。したがって、VPAのデジタル制御モジュールによって実装された伝達関数は、大きさ-位相シフト変換関数のスペクトル内で変化し、図76に例示した変換関数は、このスペクトルの境界を表す。これを図77に図示し、これは、VPA出力ステージの増幅器動作クラスの範囲に対応する、大きさ-位相シフト変換関数のスペクトルを例示する。図77は、A、AB、B、C、DおよびSの6つの増幅器動作クラスに対応する、6つの関数を例示する。一般に、しかし、無数の関数を、2つの極端な動作クラスAおよびSに対応する関数を使用して生成することができる。一実施形態では、これは、この2つの関数の加重和を使用して行われ、(1 - K) × R() + K × SQ()によって与えられ、ただし、0 ≤ K ≤ 1である。

【1074】

10

20

30

40

50

概要

電力増幅およびアップコンバージョンを提供するために信号を処理することに関係する、新しい概念のための数学的基礎が、本明細書で提供される。これらの新しい概念は、任意の波形が、実際にはほぼ一定の包絡線である波形の和から構成されることを可能にする。所望の出力信号および波形は、所望の出力信号の複素包絡線の知識から作成することができる、ほぼ一定の包絡線成分信号から構成されてもよい。成分信号は、市販されておらず、文献または関連技術において教示あるいは発見されていない、新しく、固有で新規の技術を使用して、加算される。さらに、本開示で提供された様々な技術および回路の混合は、現在提供されているものと比較するとき、優れた線形性、電力付加効率、モノリシックな実装および低コストを可能にする、本発明の固有の態様を提供する。加えて、本発明の実施形態は、本質的に、プロセスおよび温度変動にそれほど敏感ではない。ある実施形態は、本明細書に記載された多入力 1 出力増幅器の使用を含む。

10

【1075】

本発明の実施形態を、ハードウェア、ソフトウェアおよびファームウェアの混合によって実装することができる。デジタル技術もアナログ技術も、マイクロプロセッサおよびDSPの有無にかかわらず、使用することができる。

【1076】

本発明の実施形態を、一般に、通信システムおよびエレクトロニクスについて実装することができる。加えて、限定なしに、機械工、電気機械工、電気光学および流体機械工は、信号を効率的に増幅かつ変換するために同じ原理を使用することができる。

20

【1077】

結論

本発明を、特定の機能およびそれらの関係の実行を例示する、機能的構成単位を用いて上述した。これらの機能的構成単位の境界は、本明細書で、説明の便宜上、任意に定義された。特定の機能およびそれらの関係が適切に行われる限り、代替境界を定義することができる。このようないかなる代替境界も、よって、特許請求の範囲に記載された発明の範囲および精神内のものである。これらの機能的構成単位を、個別のコンポーネント、特定用途向け集積回路、適切なソフトウェアなどを実行するプロセッサ、および、それらの組み合わせによって実装することは、当業者には理解されよう。

30

【1078】

本発明の様々な実施形態を上述したが、これらは例としてのみ、限定ではなく、提示されたことを理解されたい。よって、本発明の幅および範囲は、上述の例示的実施形態のいずれによっても限定されるべきではないが、以下の特許請求の範囲およびそれらの均等物に従ってのみ、定義されるべきである。

【図面の簡単な説明】

【1079】

【図1】信号のフェーザ表現を例示する図である。

【図1A】例示的時変複素包絡線信号の生成を例示する一実施例の図である。

【図1B】例示的時変複素包絡線信号の生成を例示する別の実施例の図である。

【図1C】2つ以上の定包絡線信号の和からの、例示的時変複素包絡線信号の生成を例示する一実施例の図である。

40

【図1D】本発明の一実施形態による一実施例の時変複素包絡線信号の電力増幅を例示する図である。

【図1E】本発明のベクトル電力増幅の実施形態を例示するブロック図である。

【図2】時変複素包絡線信号のフェーザ表現を例示する図である。

【図3A】時変複素包絡線信号を生成するための一実施例の変調を例示する図である。

【図3B】時変複素包絡線信号を生成するための一実施例の変調を例示する図である。

【図3C】時変複素包絡線信号を生成するための一実施例の変調を例示する図である。

【図3D】時変包絡線信号の定包絡線分解を例示する一実施例の図である。

【図4】本発明の一実施形態のデカルト4分岐ベクトル電力増幅(VPA)方法を例示す

50

るフェーザ図である。

【図5】デカルト4分岐VPA方法の例示的実施形態を例示するブロック図である。

【図6】デカルト4分岐VPA方法による電力増幅のためのプロセス流れ図の実施形態の図である。

【図7A】デカルト4分岐VPA方法を実装するためのベクトル電力増幅器の例示的実施形態を例示するブロック図である。

【図7B】デカルト4分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図8A】デカルト4分岐VPA方法によるベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。10

【図8B】デカルト4分岐VPA方法によるベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図8C】デカルト4分岐VPA方法によるベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図8D】デカルト4分岐VPA方法によるベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図9A】本発明の一実施形態のデカルトボーラデカルトボーラ(CP CP)2分岐ベクトル電力増幅(VPA)方法を例示するフェーザ図である。

【図9B】本発明の一実施形態のデカルトボーラデカルトボーラ(CP CP)2分岐ベクトル電力増幅(VPA)方法を例示するフェーザ図である。20

【図10】CP CP 2分岐VPA方法の例示的実施形態を例示するブロック図である。

【図10A】CP CP 2分岐VPA方法の別の例示的実施形態を例示するブロック図である。

【図11】CP CP 2分岐VPA方法による電力増幅のためのプロセス流れ図の実施形態の図である。

【図12】CP CP 2分岐VPA方法を実装するためのベクトル電力増幅器の例示的実施形態を例示するブロック図である。

【図12A】CP CP 2分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図12B】CP CP 2分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。30

【図13】CP CP 2分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図13A】CP CP 2分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図14】本発明の一実施形態の直接デカルト2分岐ベクトル電力増幅(VPA)方法を例示するフェーザ図である。

【図15】直接デカルト2分岐VPA方法の例示的実施形態を例示するブロック図である。

【図15A】直接デカルト2分岐VPA方法の別の例示的実施形態を例示するブロック図である。40

【図16】直接デカルト2分岐VPA方法による電力増幅のためのプロセス流れ図の実施形態の図である。

【図17】直接デカルト2分岐VPA方法を実装するためのベクトル電力増幅器の例示的実施形態を例示するブロック図である。

【図17A】直接デカルト2分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図17B】直接デカルト2分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図18】直接デカルト2分岐VPA方法を実装するためのベクトル電力増幅器の別の例50

示的実施形態を例示するブロック図である。

【図18A】直接デカルト2分岐VPA方法を実装するためのベクトル電力増幅器の別の例示的実施形態を例示するブロック図である。

【図19】デカルト4分岐VPA方法によるIおよびQ伝達関数の実施形態を例示するプロセス流れ図である。

【図20】デカルト4分岐VPA方法によるIおよびQ伝達関数の例示的実施形態を例示するブロック図である。

【図21】CPCP2分岐VPA方法によるIおよびQ伝達関数の実施形態を例示するプロセス流れ図である。

【図22】CPCP2分岐VPA方法によるIおよびQ伝達関数の例示的実施形態を例示するブロック図である。 10

【図23】直接デカルト2分岐VPA方法によるIおよびQ伝達関数の実施形態を例示するプロセス流れ図である。

【図24】直接デカルト2分岐VPA方法によるIおよびQ伝達関数の例示的実施形態を例示するブロック図である。

【図25】信号フェーザの表現における波形歪みの影響を例示するフェーザ図である。

【図26】本発明の一実施形態による大きさ・位相変換関数を例示する図である。

【図27】本発明の実施形態によるバイアス回路の例示的実施形態を例示する図である。

【図28】本発明の一実施形態による定包絡線信号を結合する方法を例示する図である。

【図29】本発明によるベクトル電力増幅器出力ステージの実施形態を例示する図である。 20

【図30】電力増幅器(PA)出力ステージの実施形態のブロック図である。

【図31】別の電力増幅器(PA)出力ステージの実施形態のブロック図である。

【図32】別の電力増幅器(PA)出力ステージの実施形態のブロック図である。

【図33】本発明による別の電力増幅器(PA)出力ステージの実施形態のブロック図である。

【図34】本発明による別の電力増幅器(PA)出力ステージの実施形態のブロック図である。

【図35】本発明による別の電力増幅器(PA)出力ステージの実施形態のブロック図である。 30

【図36】本発明による別の電力増幅器(PA)出力ステージの実施形態のブロック図である。

【図37】本発明の一実施形態による一実施例の出力信号を例示する図である。

【図38】例示的PAの実施形態を例示する図である。

【図39】一実施例の時変複素包絡線PA出力信号および対応する包絡線信号を例示する図である。

【図40】PA出力ステージ電流の実施例のタイミング図を例示する図である。

【図41】例示的出力ステージ電流制御関数を例示する図である。

【図42】別の電力増幅器(PA)出力ステージの実施形態のブロック図である。

【図43】例示的PAステージの実施形態を例示する図である。 40

【図44】例示的波形整形PA出力信号を例示する図である。

【図45】電力制御方法を例示する図である。

【図46】別の電力制御方法を例示する図である。

【図47】例示的ベクトル電力増幅器の実施形態を例示する図である。

【図48】本発明の一実施形態による出力ステージ電流整形を実装するためのプロセス流れ図である。

【図49】本発明の一実施形態による高調波制御を実装するためのプロセス流れ図である。

。

【図50】本発明の一実施形態による電力増幅のためのプロセス流れ図である。

【図51A】例示的多入力1出力(MISO)出力ステージの実施形態を例示する図であ。 50

る。

【図 5 1 B】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。

【図 5 1 C】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。

【図 5 1 D】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。

【図 5 1 E】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。

【図 5 1 F】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。 10

【図 5 1 G】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。

【図 5 1 H】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。

【図 5 1 I】例示的多入力 1 出力（M I S O）出力ステージの実施形態を例示する図である。

【図 5 2】例示的 M I S O 増幅器の実施形態を例示する図である。

【図 5 3】様々な通信規格のための、下側および上側スペクトルバンドにおける周波数バンド割り当てを例示する図である。 20

【図 5 4 A】誤差を補償するためのフィードフォワード技術を例示する図である。

【図 5 4 B】誤差を補償するためのフィードフォワード技術を例示する図である。

【図 5 5】受信器ベースのフィードバック誤差訂正技術を例示する図である。

【図 5 6】デジタル制御モジュールの実施形態を例示する図である。

【図 5 7】別のデジタル制御モジュールの実施形態を例示する図である。

【図 5 8】別のデジタル制御モジュールの実施形態を例示する図である。

【図 5 9 A】V P A アナログコアの実施形態を例示する図である。

【図 5 9 B】V P A アナログコアの実施形態を例示する図である。

【図 5 9 C】V P A アナログコアの実施形態を例示する図である。

【図 5 9 D】V P A アナログコアの実施形態を例示する図である。 30

【図 6 0】図 5 9 の V P A アナログコアの実施形態による出力ステージの実施形態を例示する図である。

【図 6 1 A】別の V P A アナログコアの実施形態を例示する図である。

【図 6 1 B】別の V P A アナログコアの実施形態を例示する図である。

【図 6 1 C】別の V P A アナログコアの実施形態を例示する図である。

【図 6 1 D】別の V P A アナログコアの実施形態を例示する図である。

【図 6 2】図 6 1 の V P A アナログコアの実施形態による出力ステージの実施形態を例示する図である。

【図 6 3 A】別の V P A アナログコアの実施形態を例示する図である。

【図 6 3 B】別の V P A アナログコアの実施形態を例示する図である。 40

【図 6 3 C】別の V P A アナログコアの実施形態を例示する図である。

【図 6 3 D】別の V P A アナログコアの実施形態を例示する図である。

【図 6 4】図 6 3 の V P A アナログコアの実施形態による出力ステージの実施形態を例示する図である。

【図 6 5】本発明の一実施形態による、例示的波形を使用したリアルタイム増幅器クラス制御を例示する図である。

【図 6 6】出力電力対アウトフェージング角度の一実施例のプロットの図である。

【図 6 7】本発明の一実施形態による、例示的 Q P S K 波形を使用した例示的電力制御機構を例示する図である。

【図 6 8】本発明の一実施形態による、例示的波形を使用したリアルタイム増幅器クラス 50

制御を例示する図である。

【図69】本発明の一実施形態による、例示的波形を使用したリアルタイム増幅器クラス制御を例示する図である。

【図70】本発明の一実施形態による、VPA出力ステージ理論効率対VPA出力ステージ電流の例示的プロットを例示する図である。

【図71】本発明の一実施形態による例示的VPAを例示する図である。

【図72】本発明の一実施形態による、電力増幅器におけるリアルタイム増幅器クラス制御のための方法を例示するプロセス流れ図である。

【図73】一実施例のVPA出力ステージを例示する図である。

【図74】図73のVPA出力ステージの増幅器クラスS動作のための等価回路を例示する図である。 10

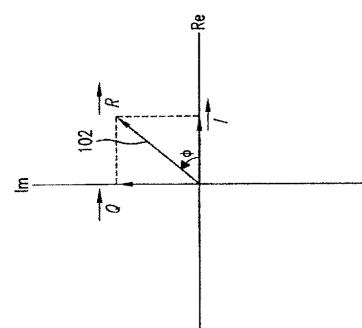
【図75】図73のVPA出力ステージの増幅器クラスA動作のための等価回路を例示する図である。

【図76】図73のVPA出力ステージの増幅器クラスAおよびクラスS動作のための例示的大きさ-位相シフト変換関数を例示するプロットの図である。

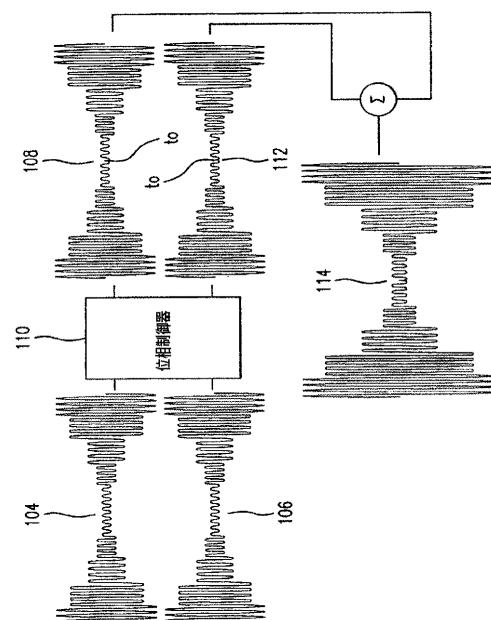
【図77】図73のVPA出力ステージの増幅器動作クラスの範囲に対応する大きさ-位相シフト変換関数のスペクトルを例示するプロットの図である。

【図78】分岐位相および振幅誤差の存在下の大きさ-位相シフト変換の数学的導出を例示する図である。

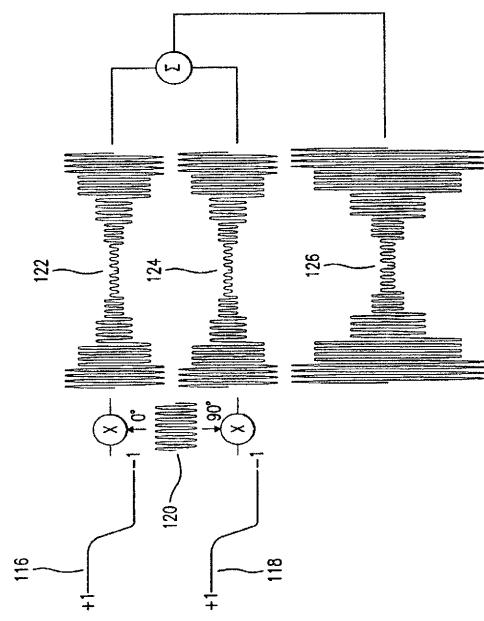
【図1】



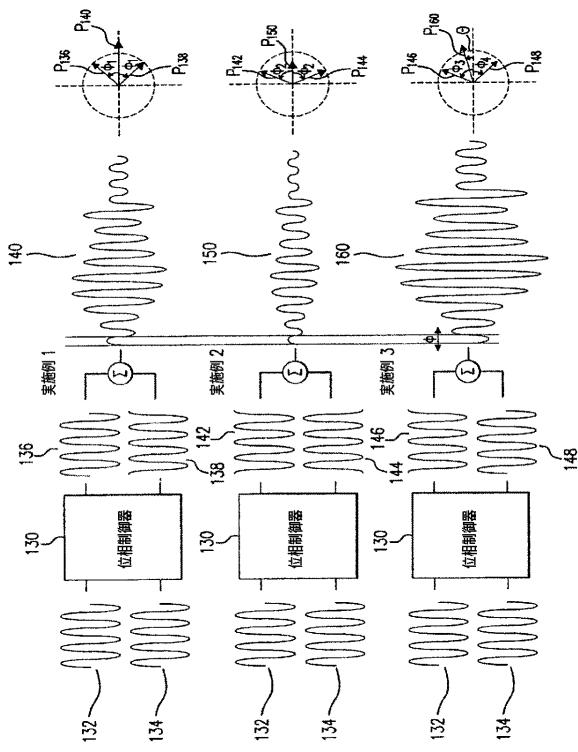
【図1A】



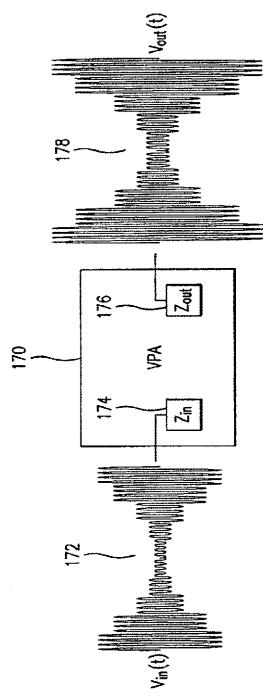
【図 1 B】



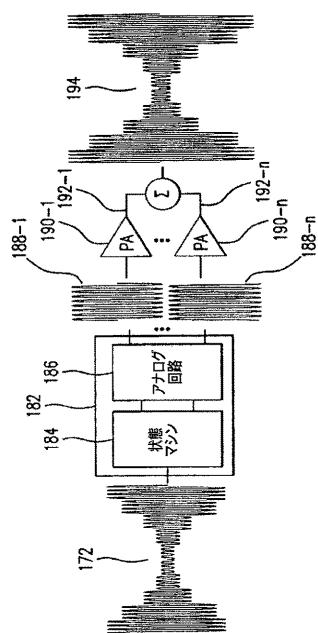
【図 1 C】



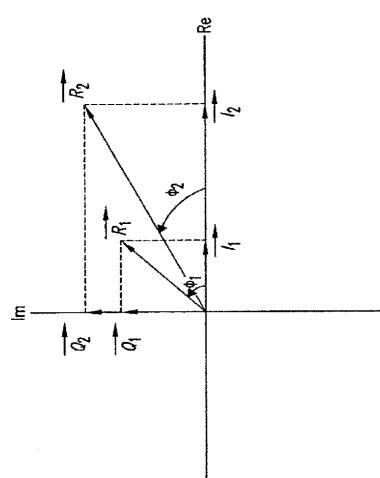
【図 1 D】



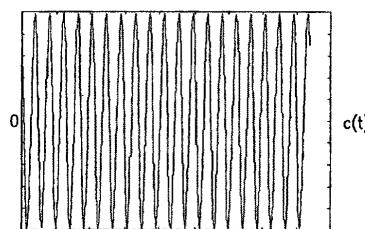
【図 1 E】



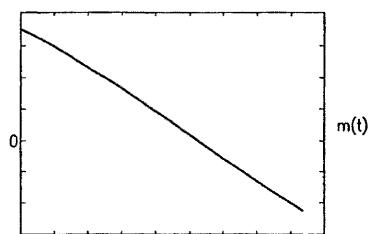
【図2】



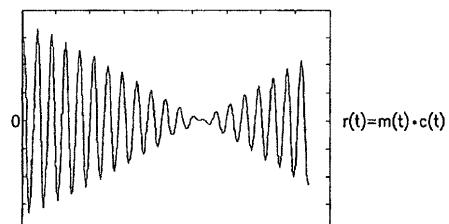
【図3 B】



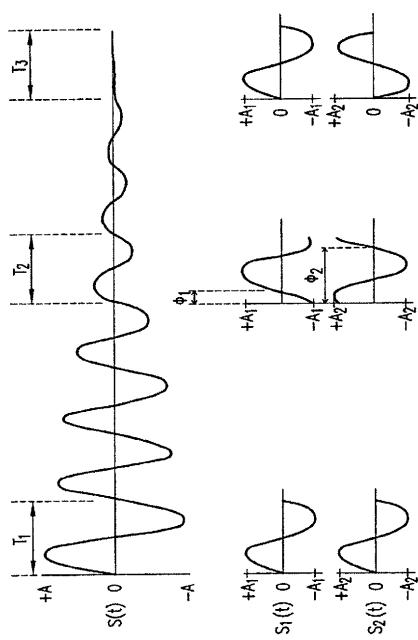
【図3 A】



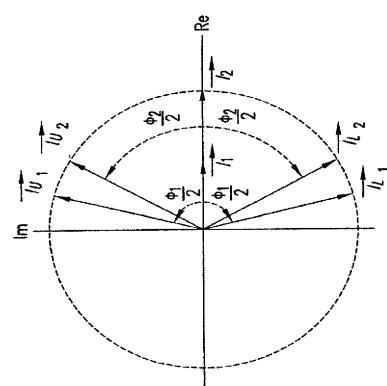
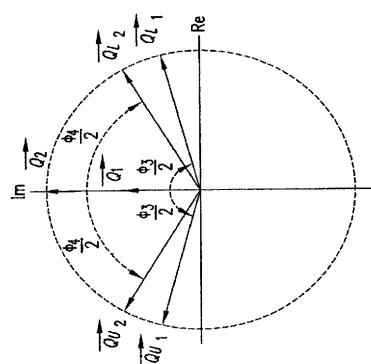
【図3 C】



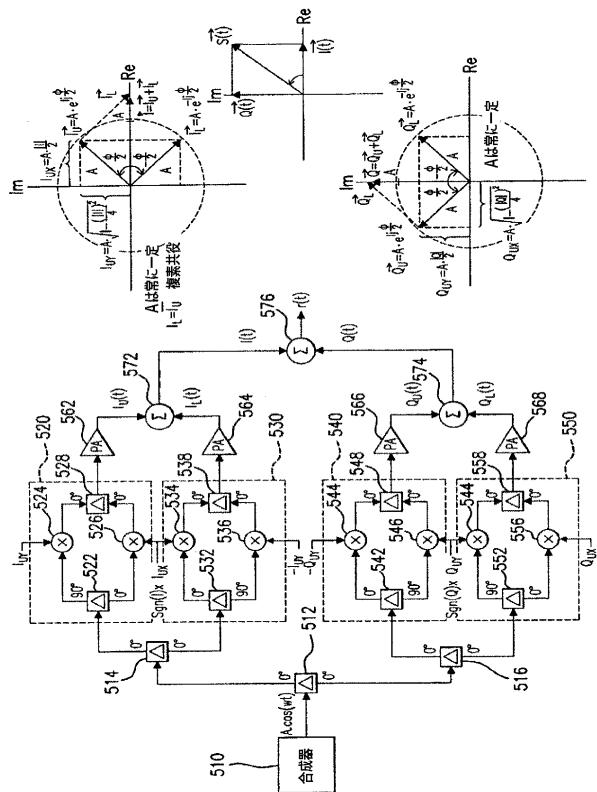
【図3 D】



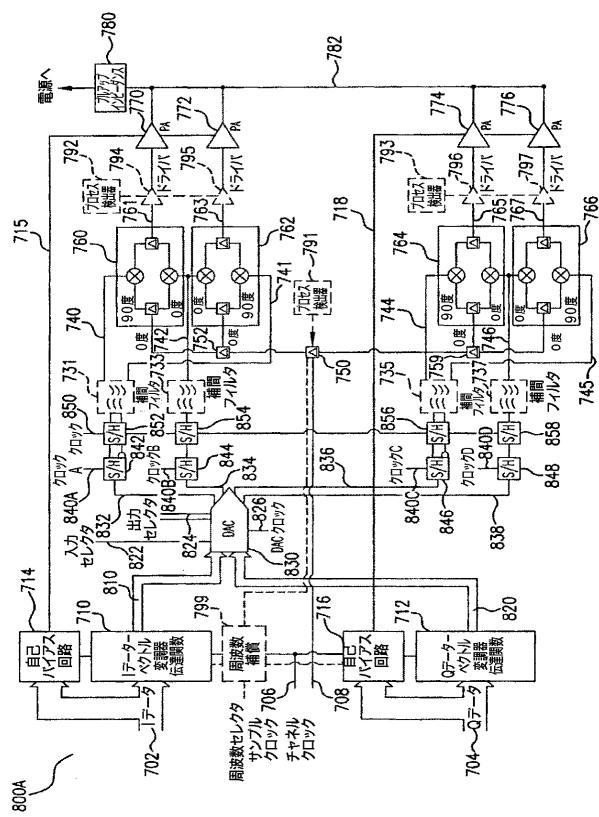
【図4】



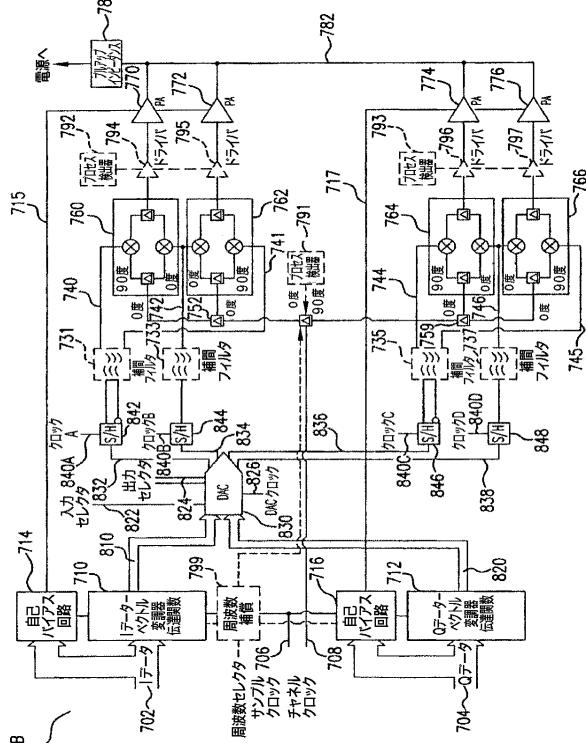
【図5】



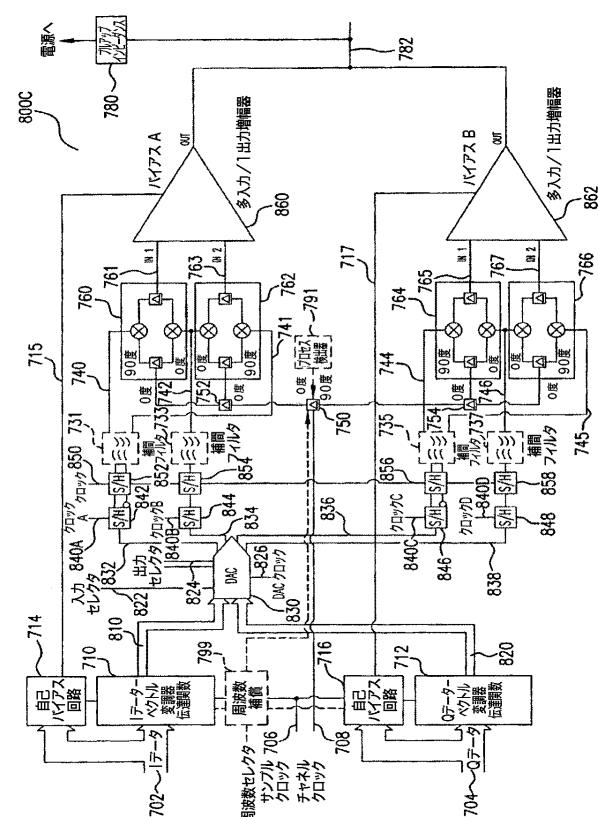
【図 8 A】



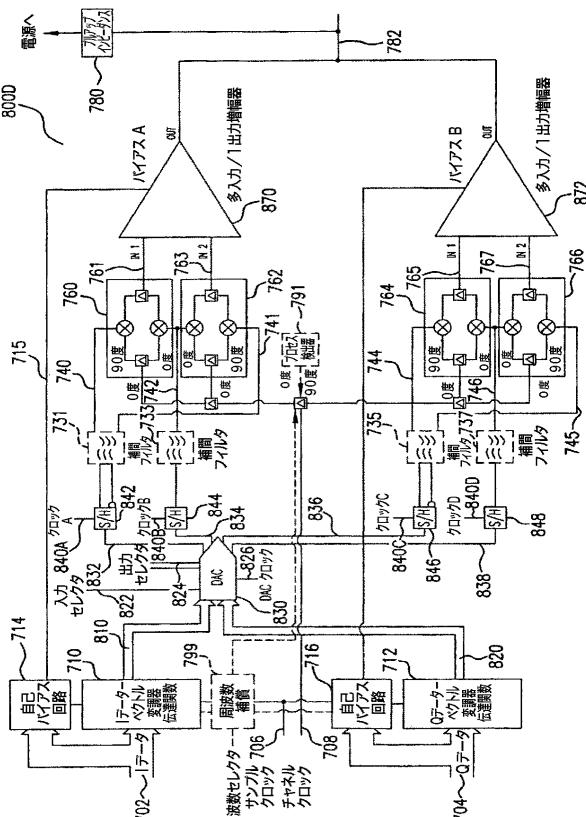
【図 8 B】



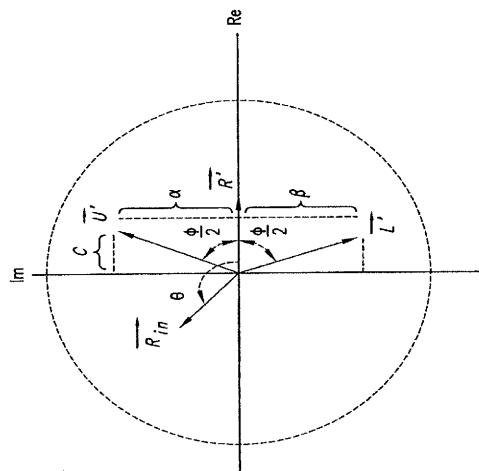
【図 8 C】



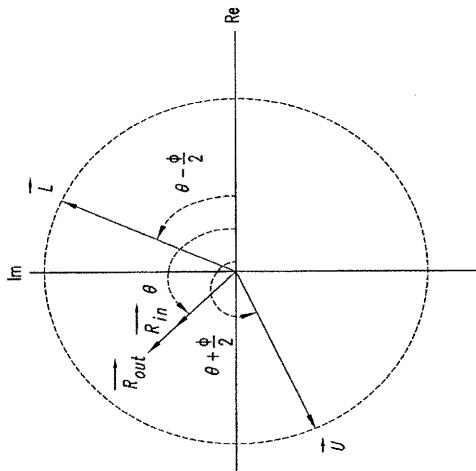
【図 8 D】



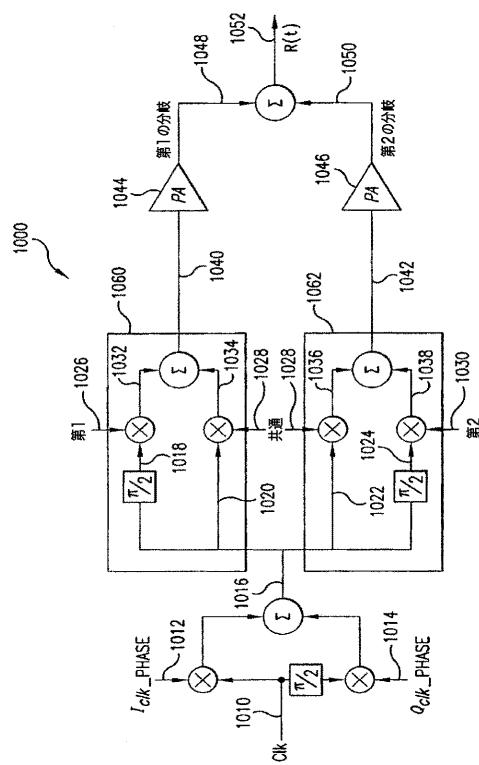
【図 9 A】



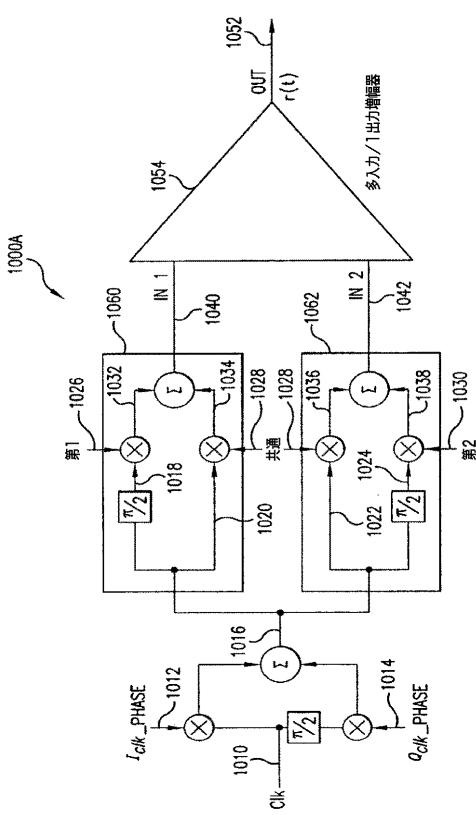
【図 9 B】



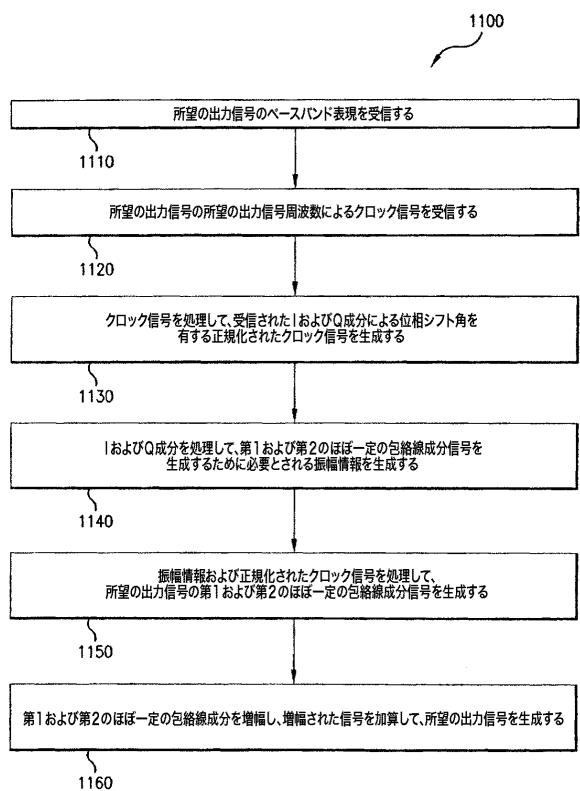
【図 10】



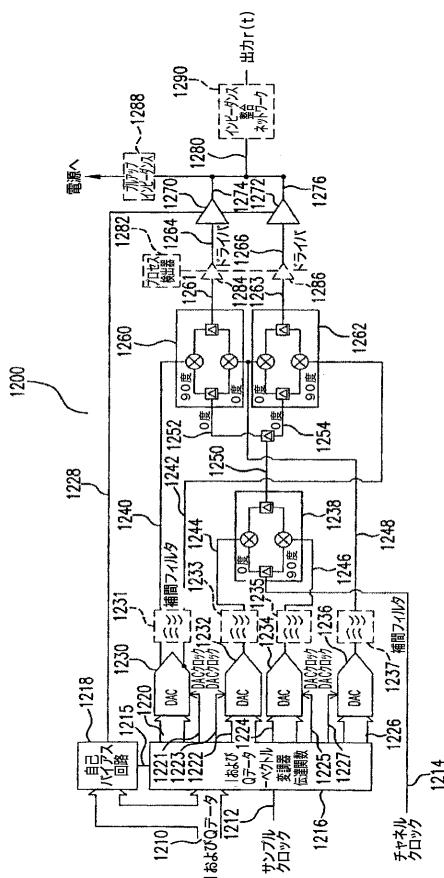
【図 10 A】



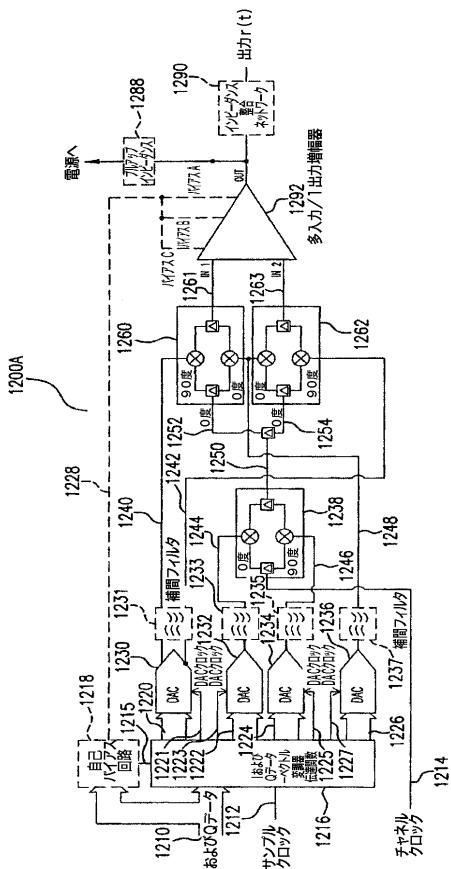
【図11】



【図12】

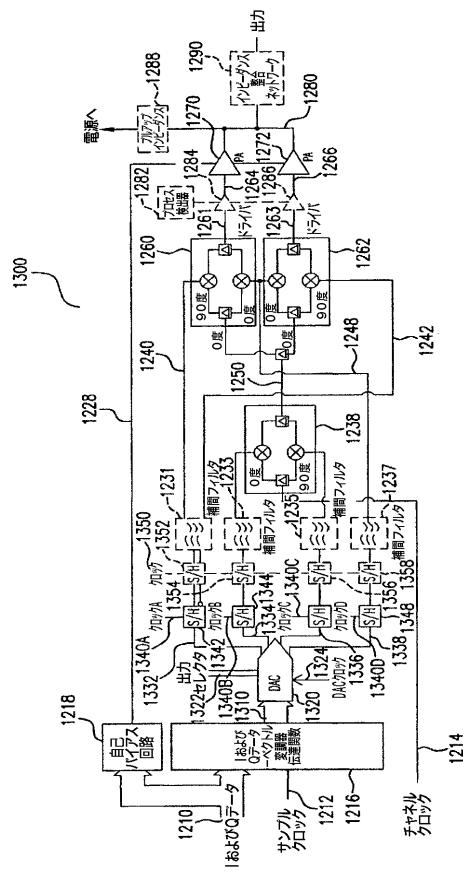


【図12A】

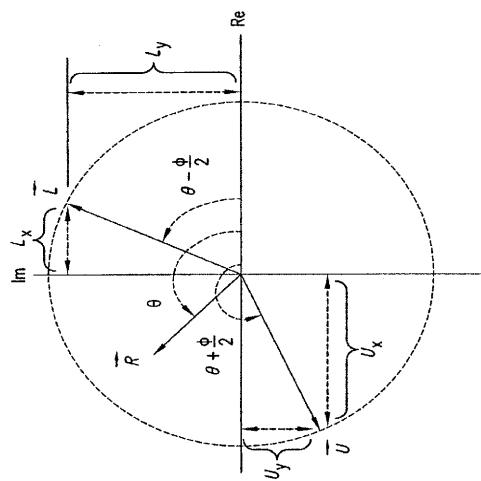


【図12B】

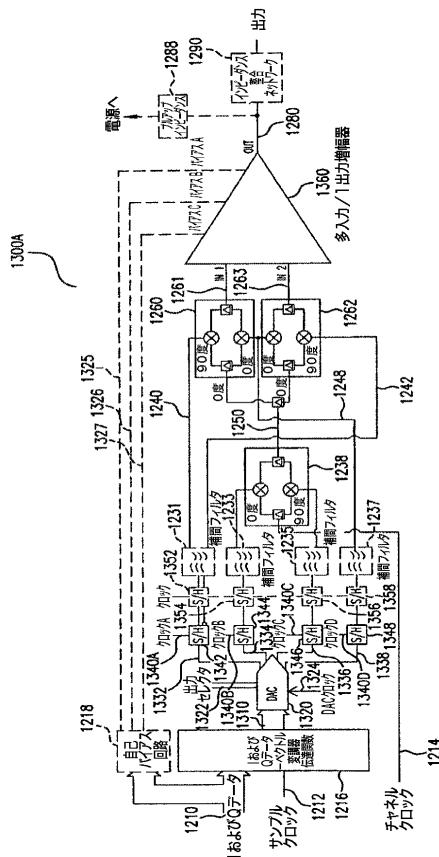
【図13】



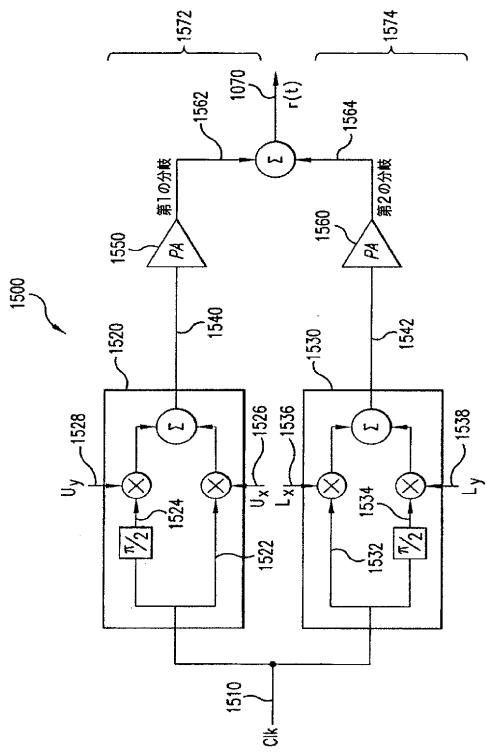
【 図 1 4 】



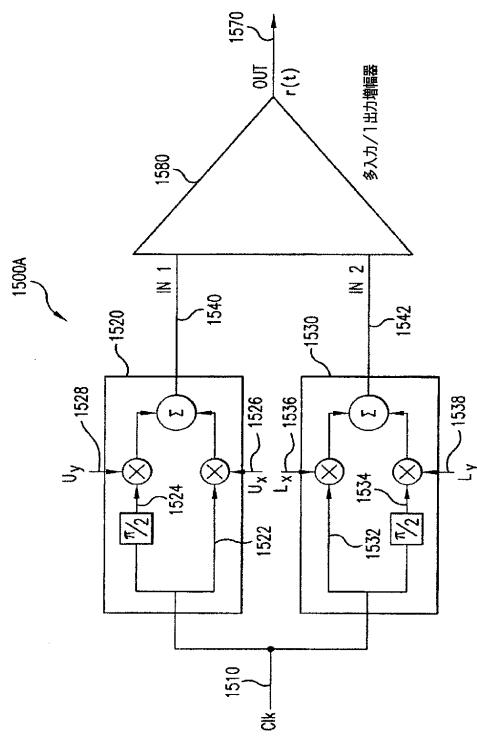
【図13A】



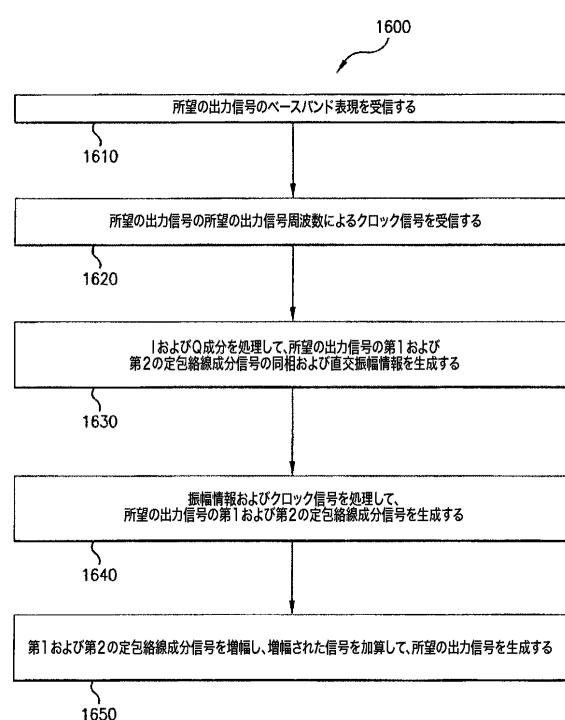
【 図 15 】



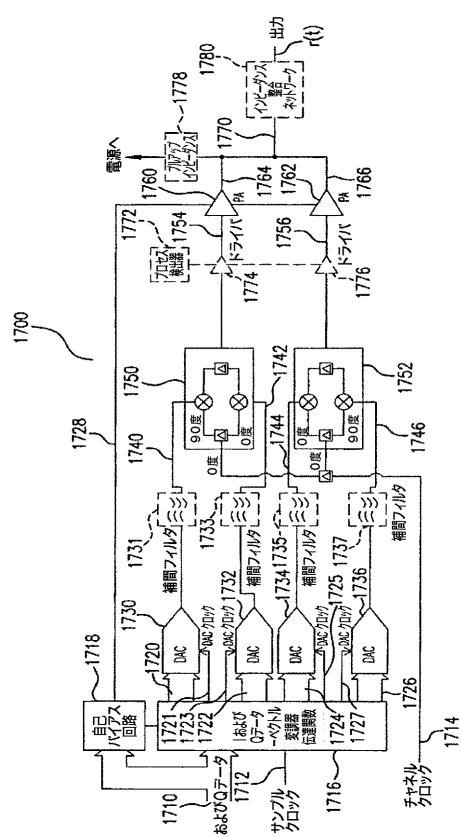
【図 15 A】



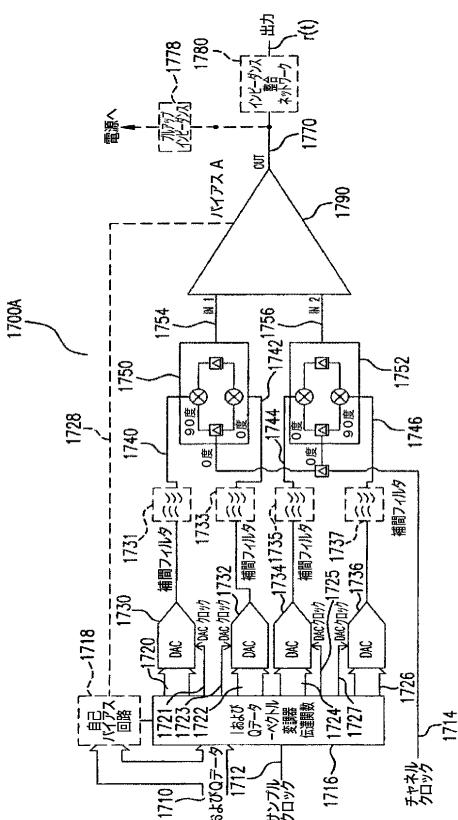
【図 16】



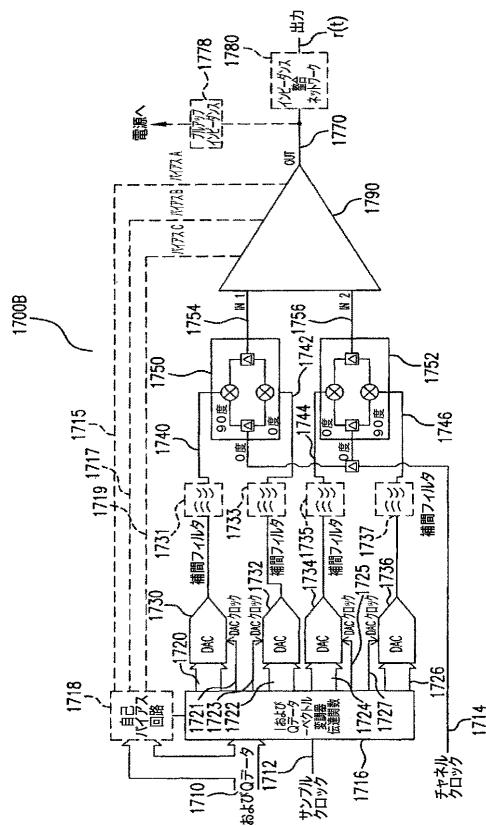
【図 17】



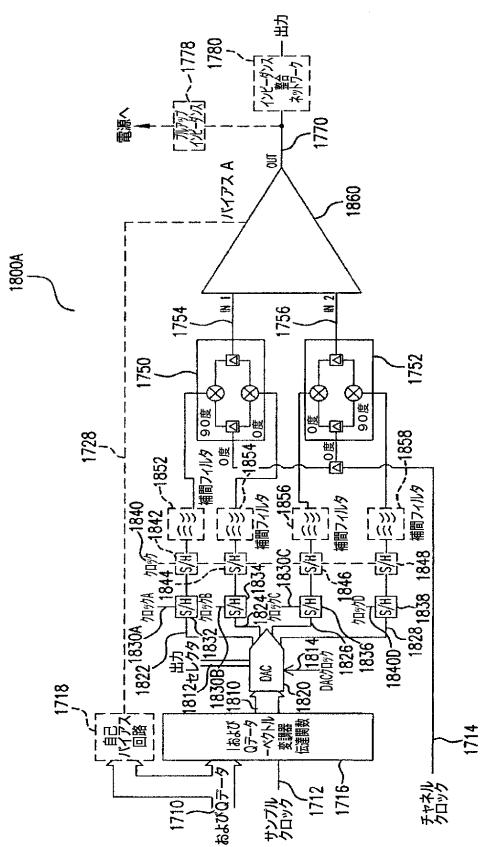
【図 17 A】



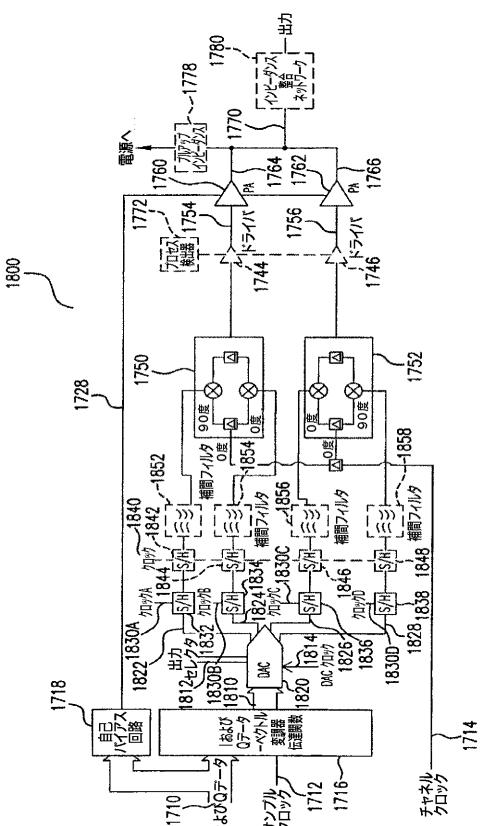
【図 17B】



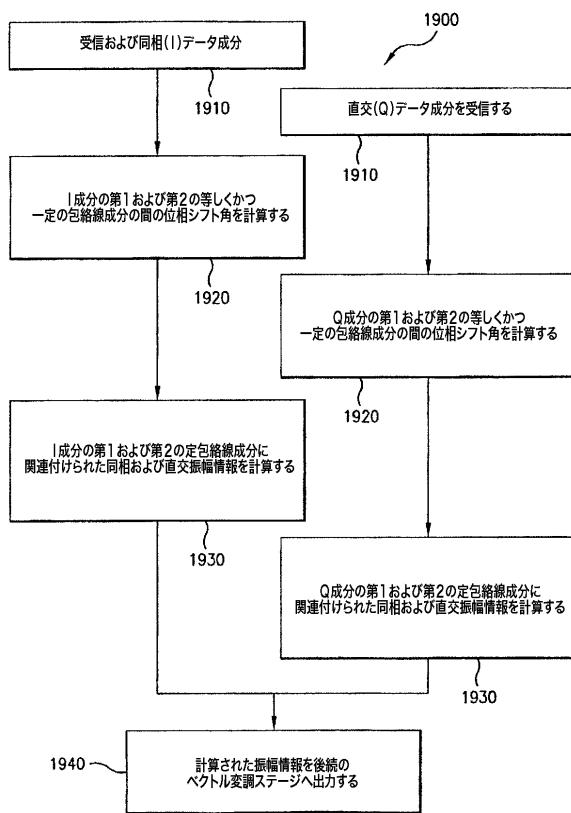
【図18A】



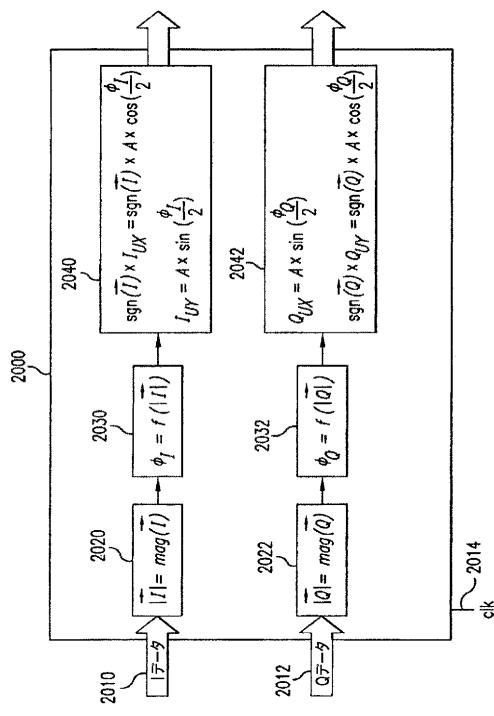
【図18】



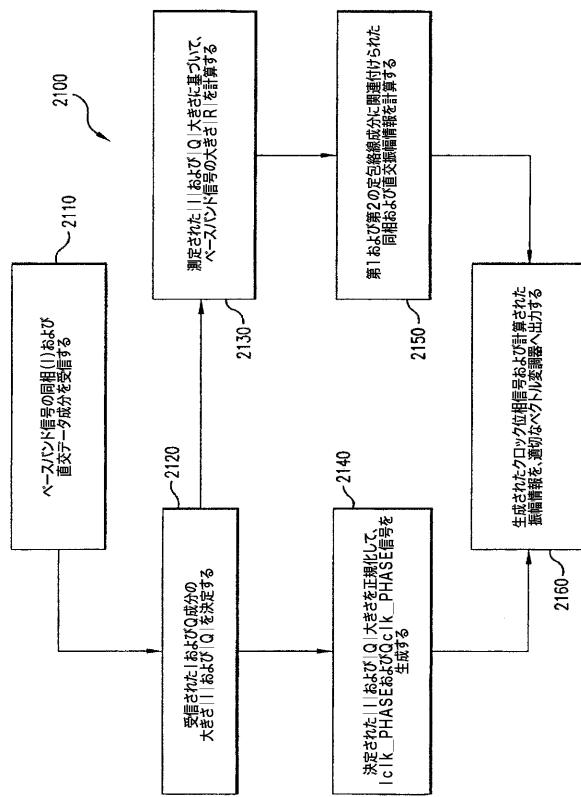
【 図 19 】



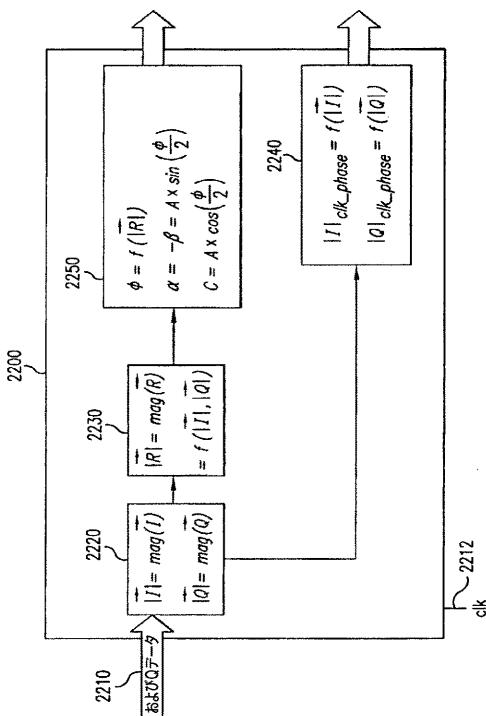
【図 2 0】



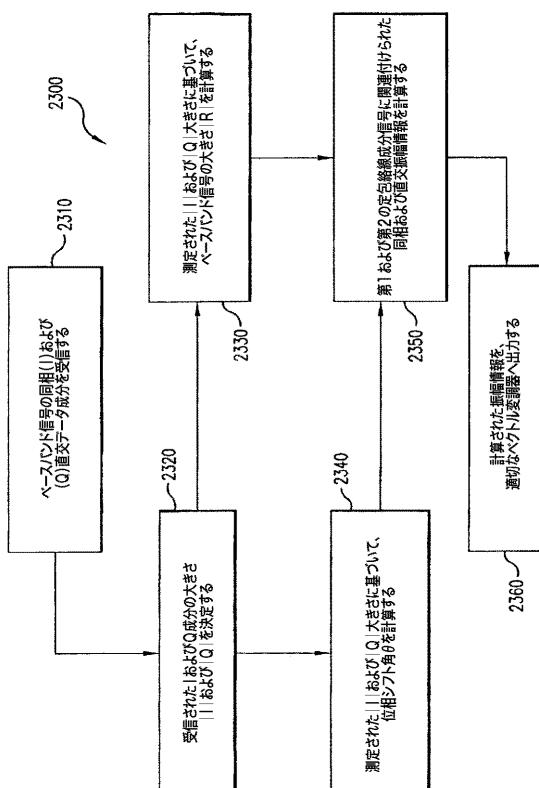
【図 2 1】



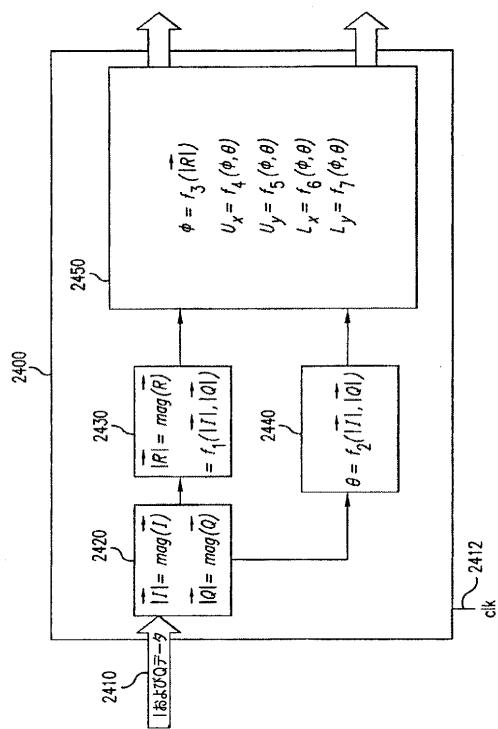
【図 2 2】



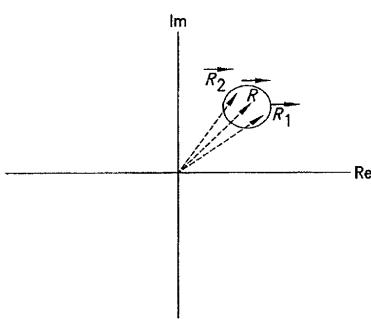
【図 2 3】



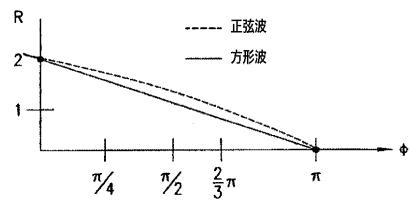
【図24】



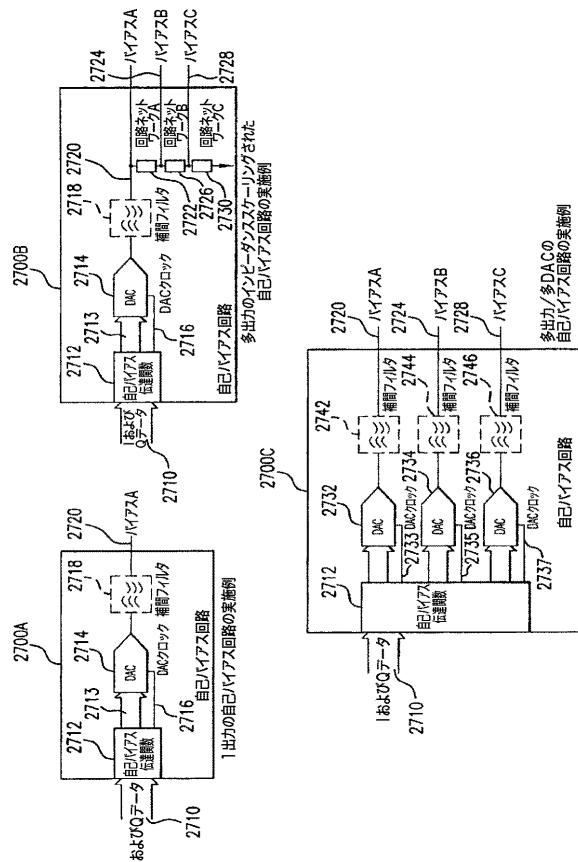
【図25】



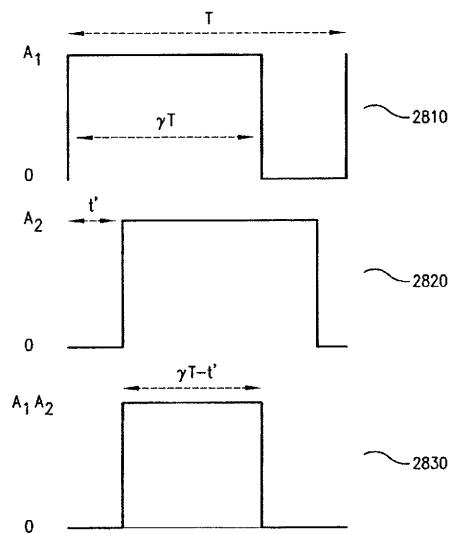
【 図 2 6 】



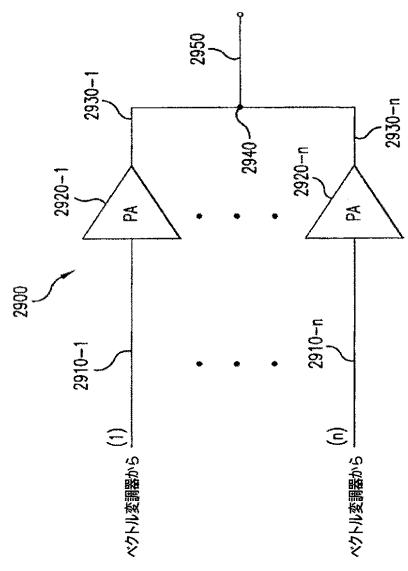
【図27】



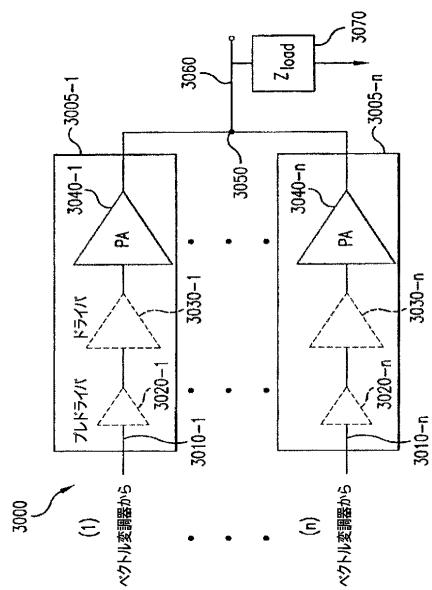
【 図 2 8 】



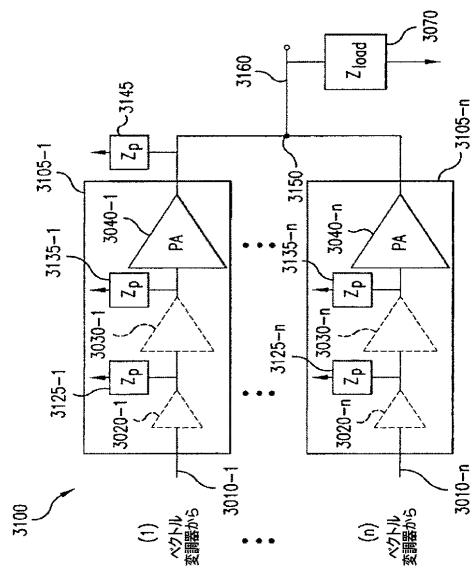
【図 29】



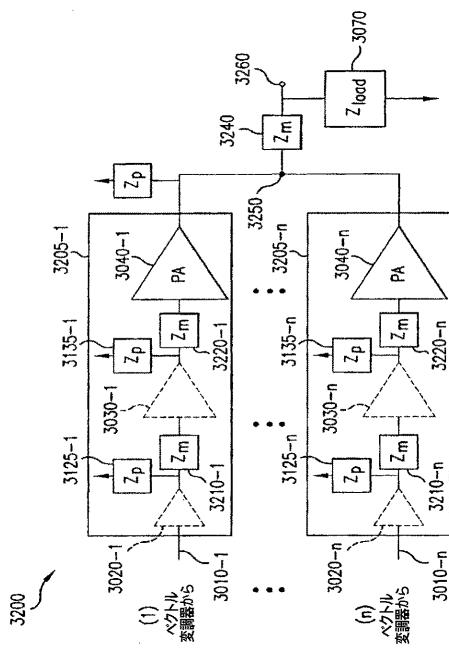
【図 30】



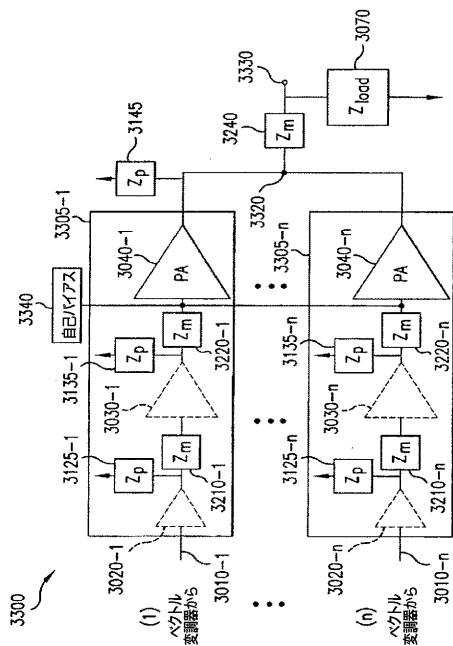
【図 31】



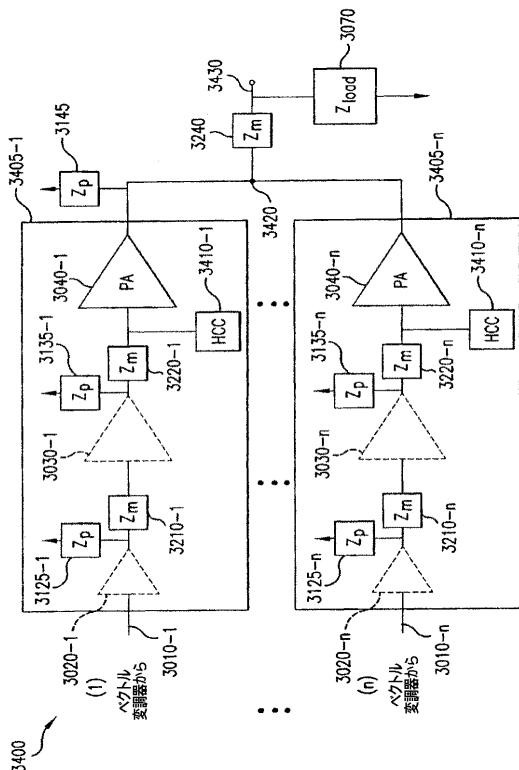
【図 32】



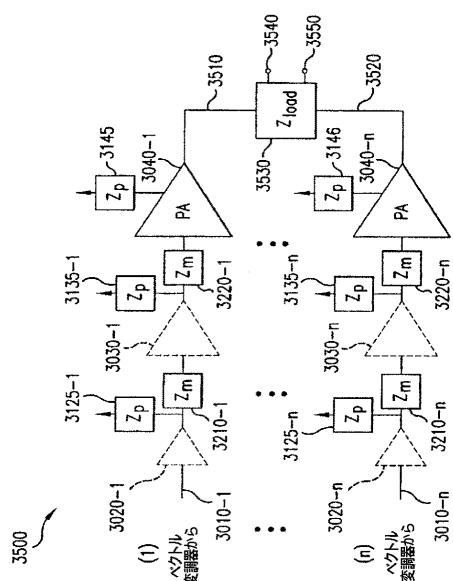
【図 3 3】



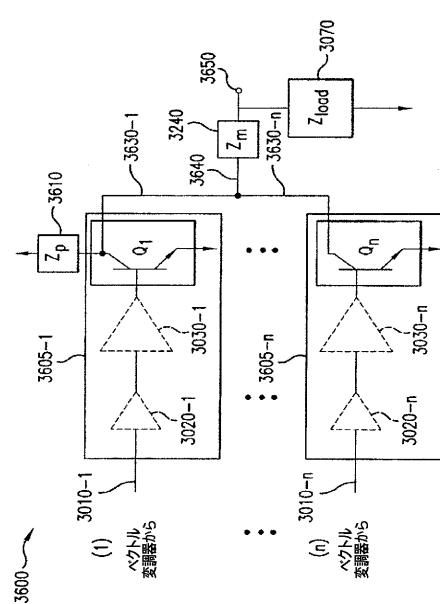
【図 3 4】



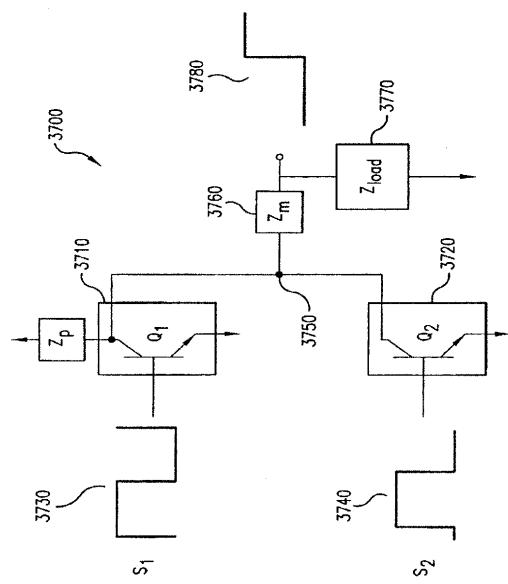
【図 3 5】



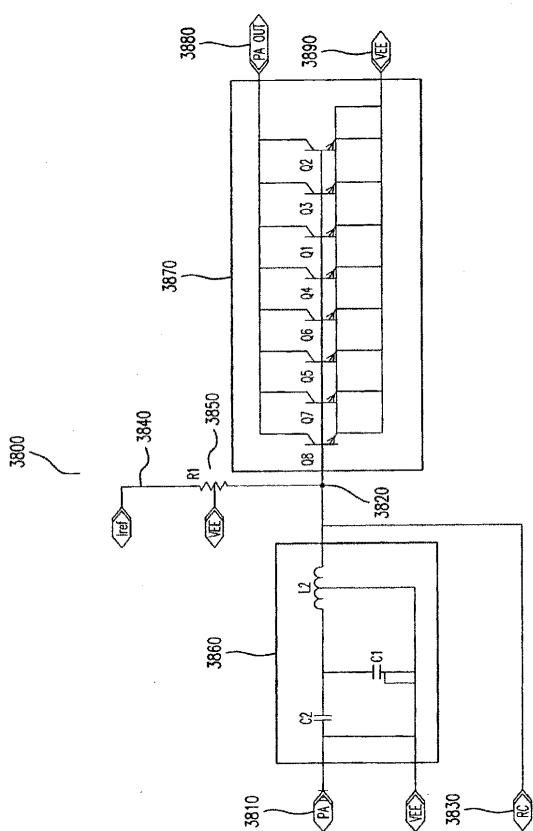
【図 3 6】



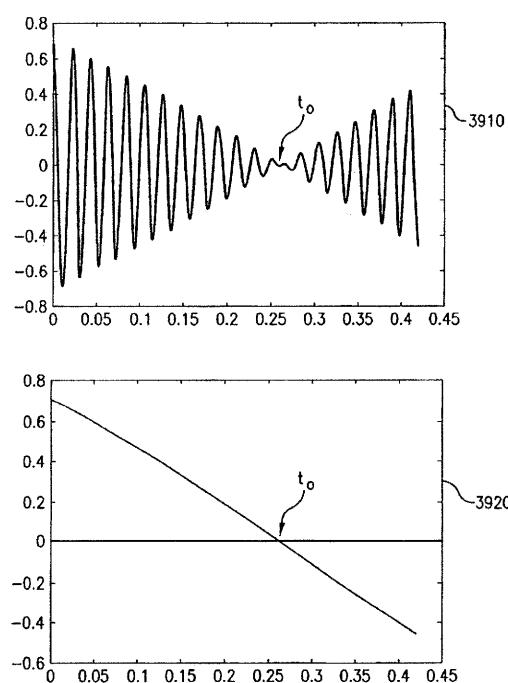
【図37】



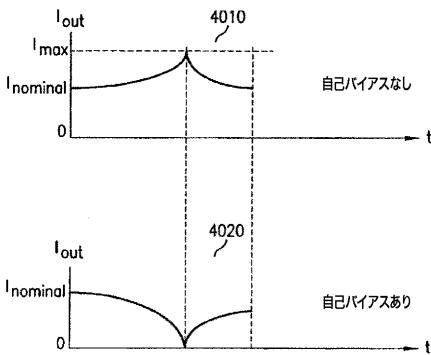
【図38】



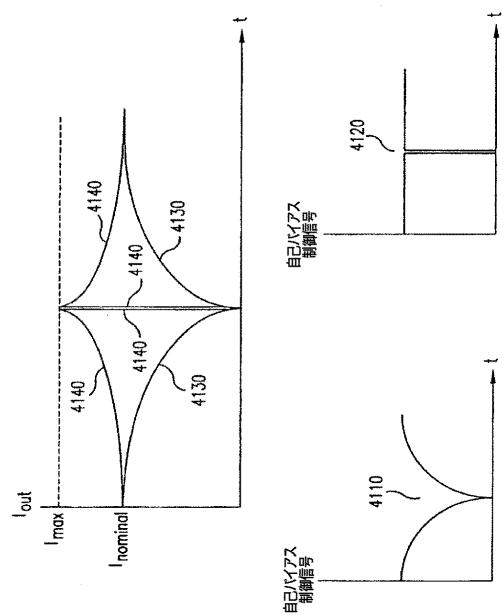
【図39】



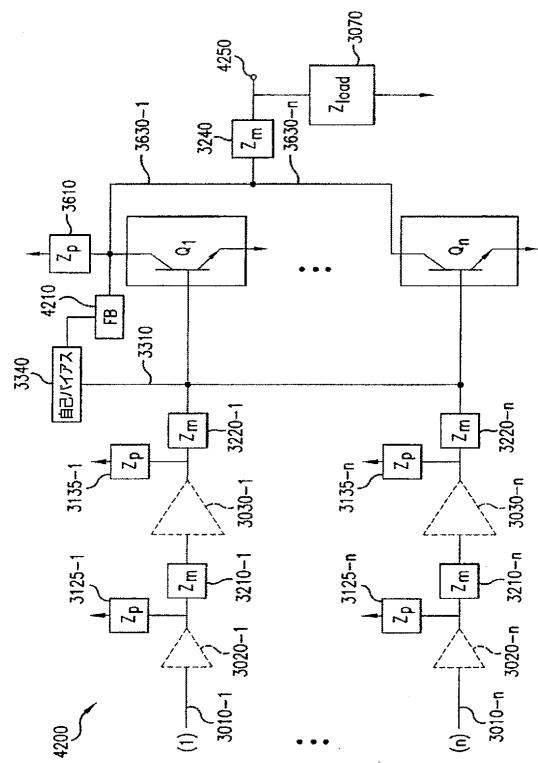
【図40】



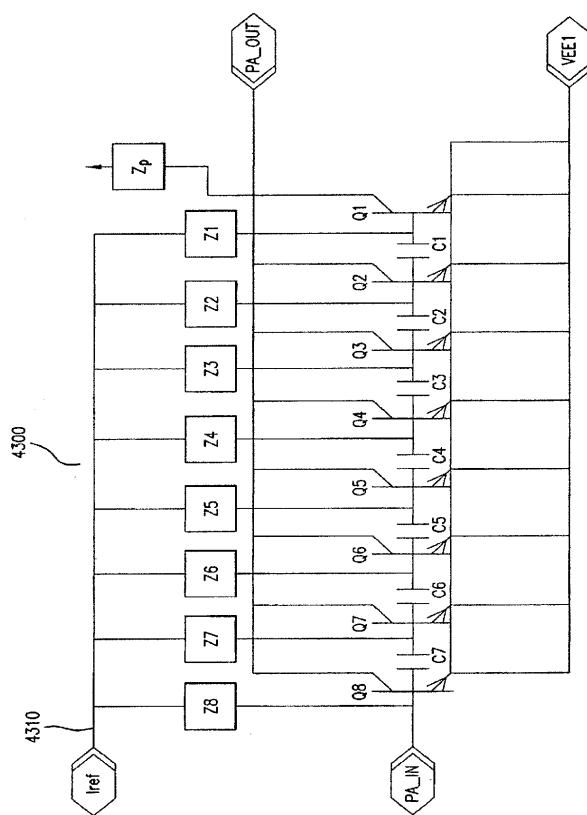
【図 4 1】



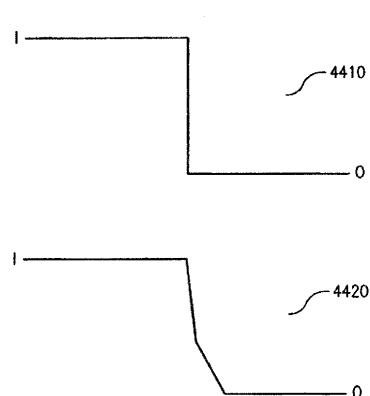
【図 4 2】



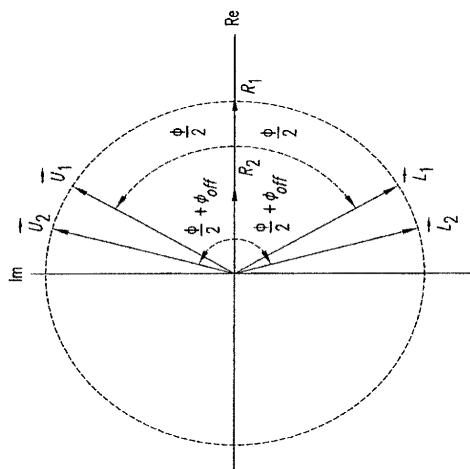
【図 4 3】



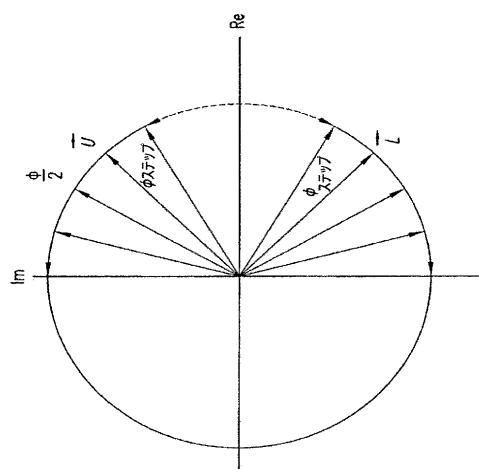
【図 4 4】



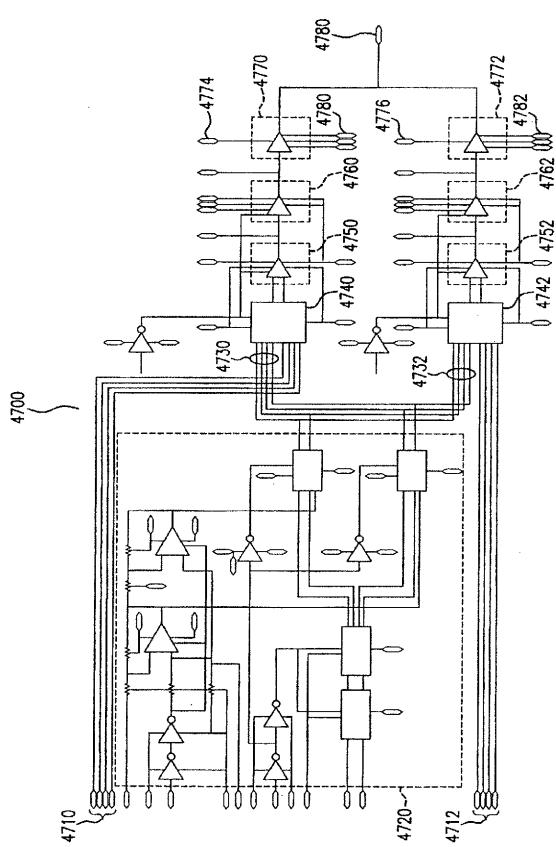
【図45】



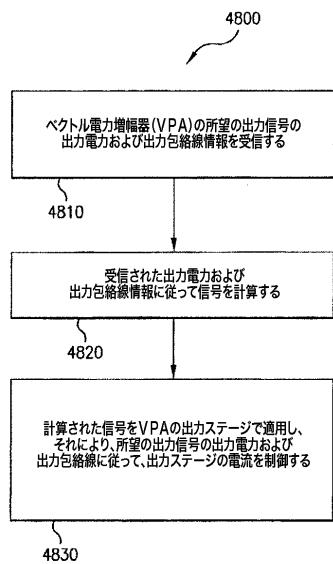
【図46】



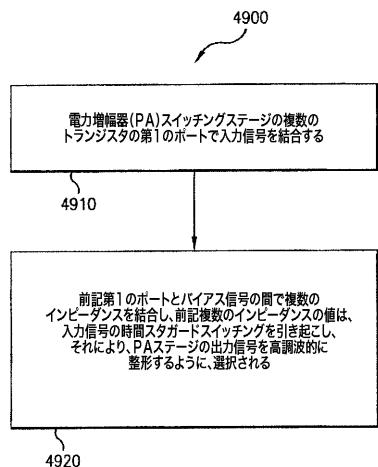
【図47】



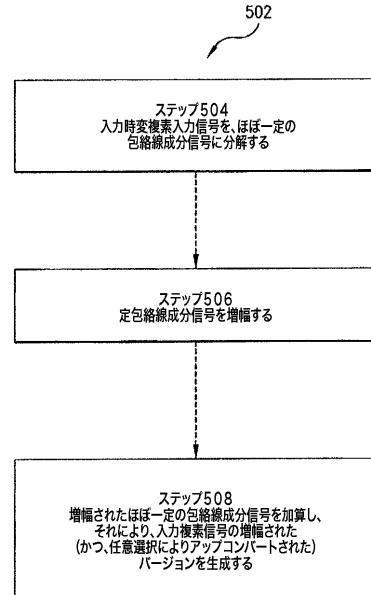
【図48】



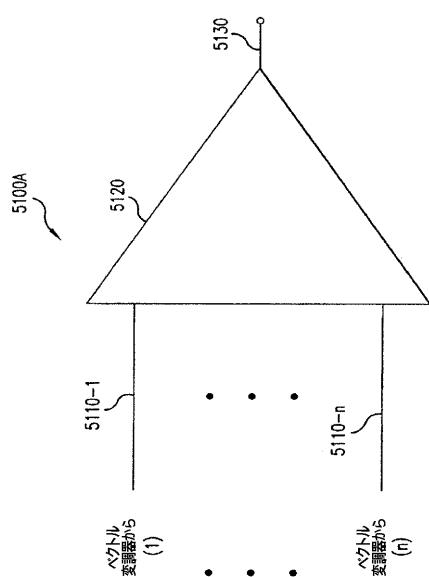
【図 4 9】



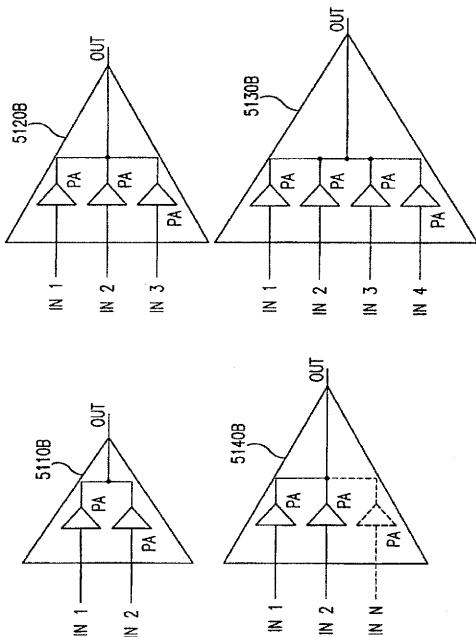
【図 5 0】



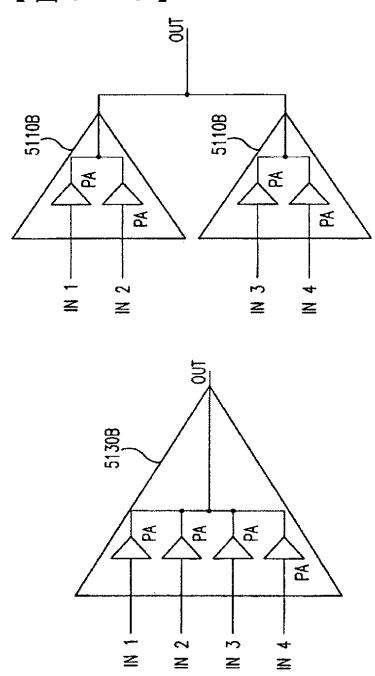
【図 5 1 A】



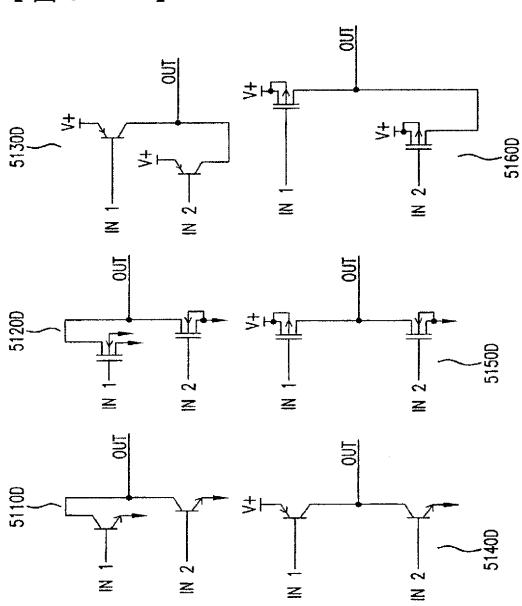
【図 5 1 B】



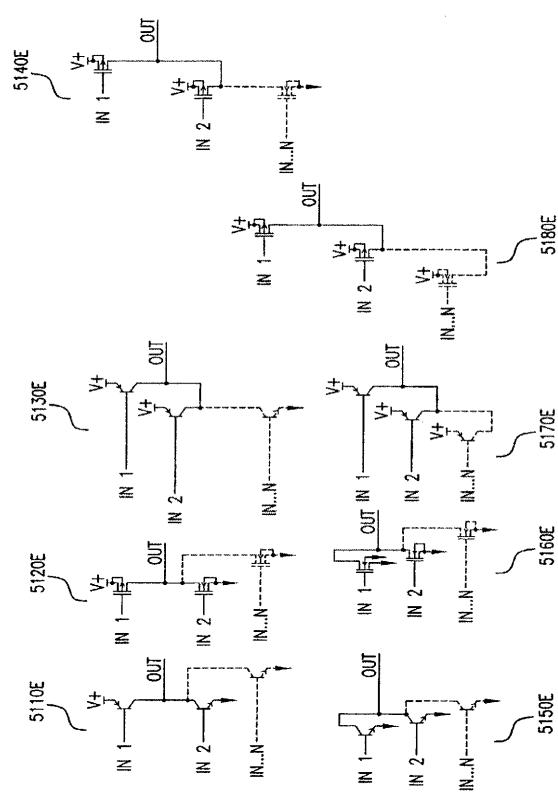
【図 5 1 C】



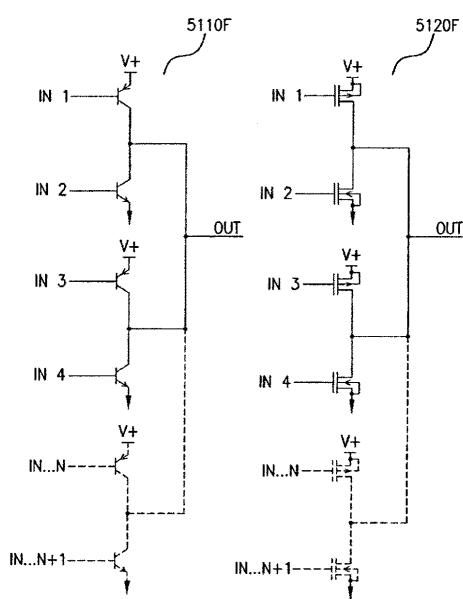
【図 5 1 D】



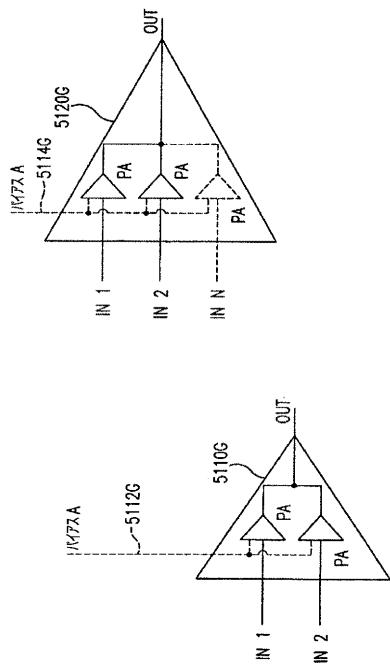
【図 5 1 E】



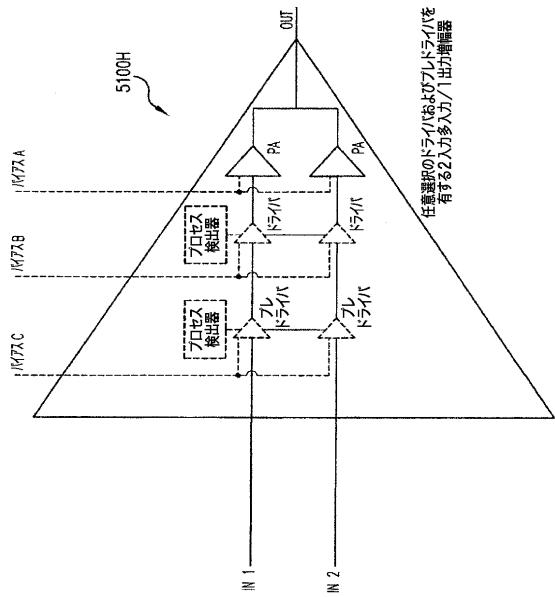
【図 5 1 F】



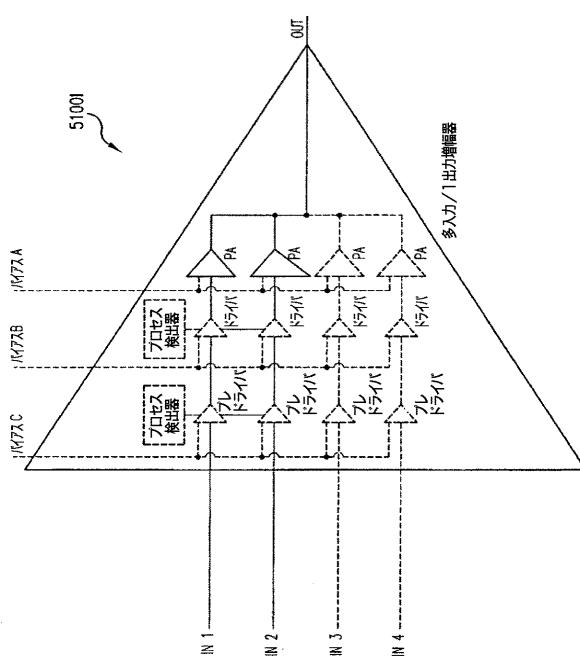
【図 5 1 G】



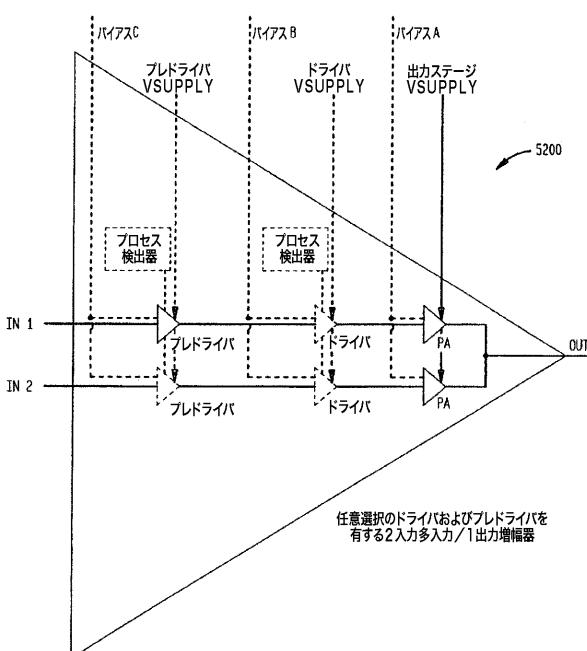
【図 5 1 H】



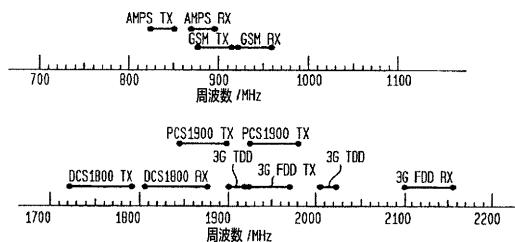
【図 5 1 I】



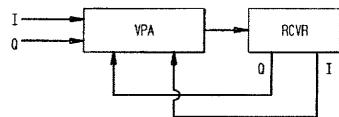
【図 5 2】



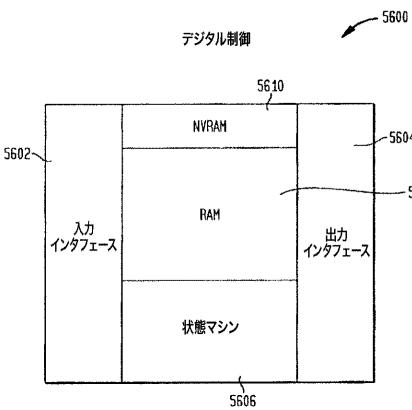
【図 5 3】



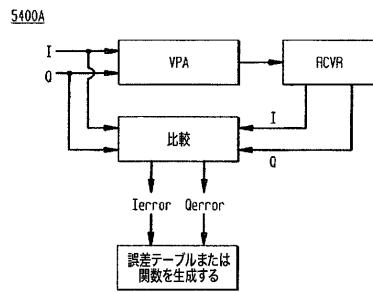
【図 5 5】



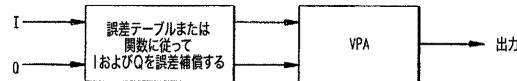
【図 5 6】



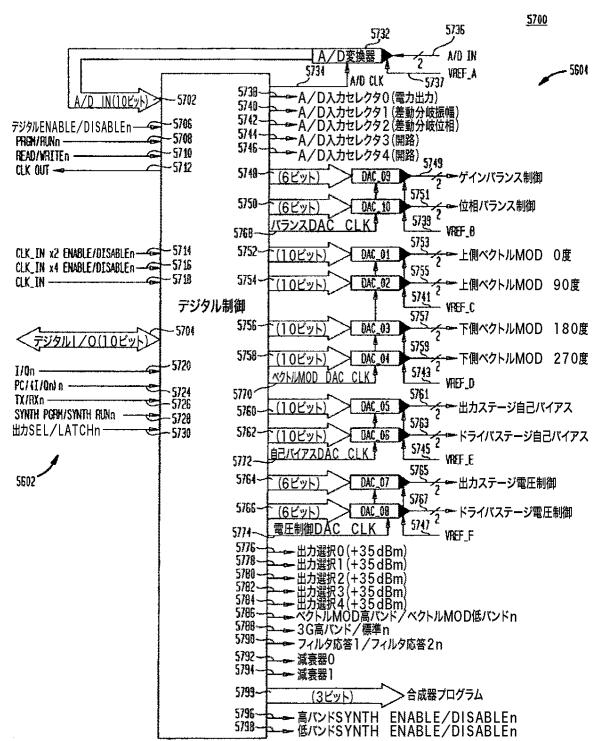
【図 5 4 A】



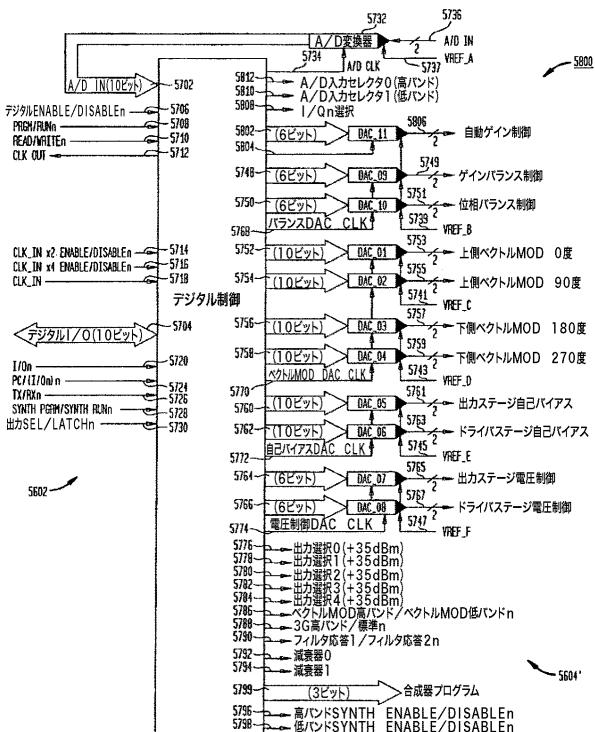
【図 5 4 B】



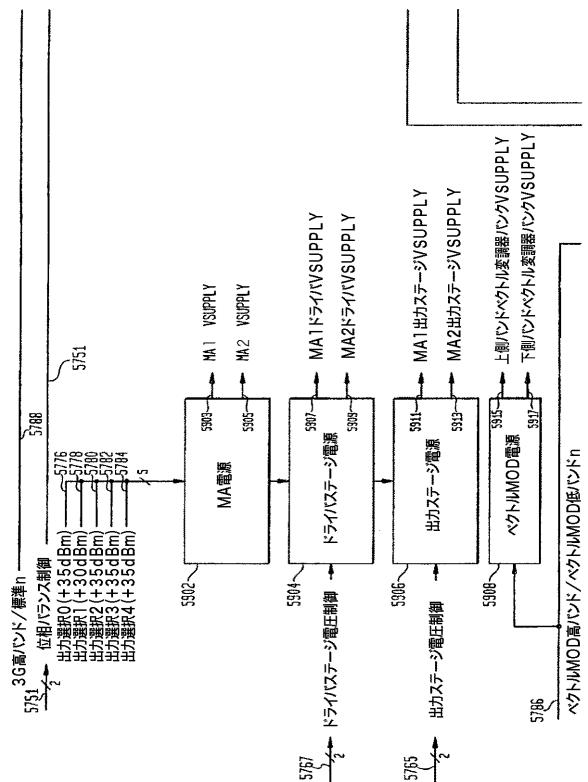
【図 5 7】



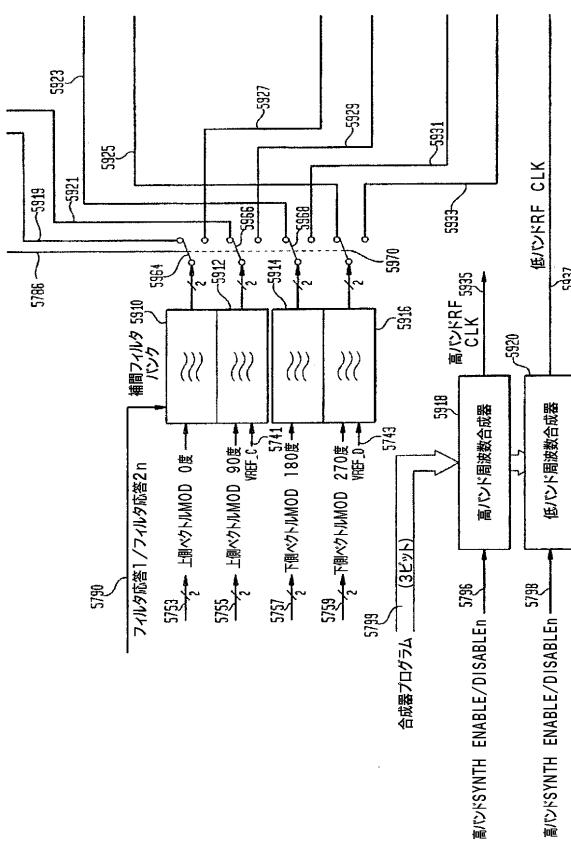
【図 5 8】



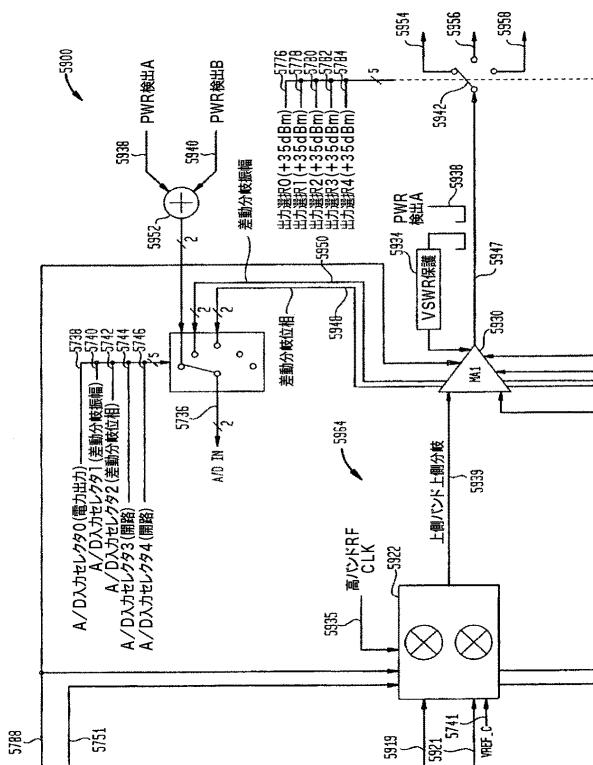
【図 59 A】



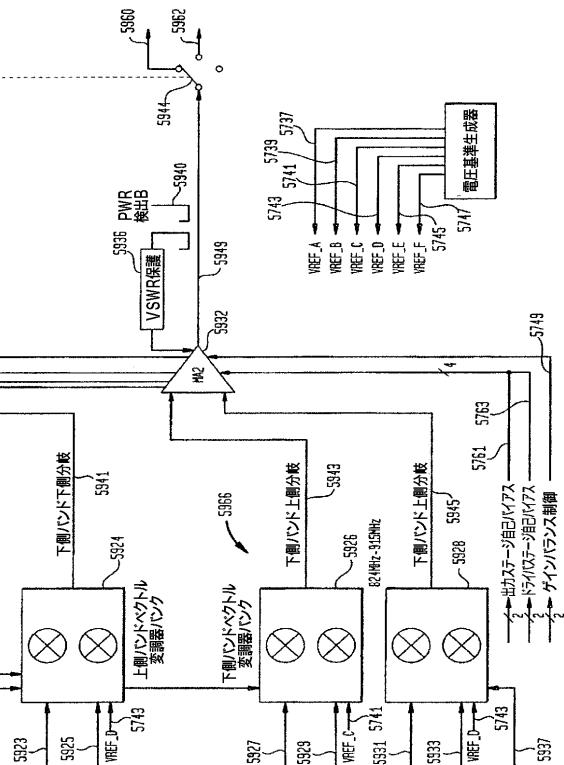
【図 59 B】



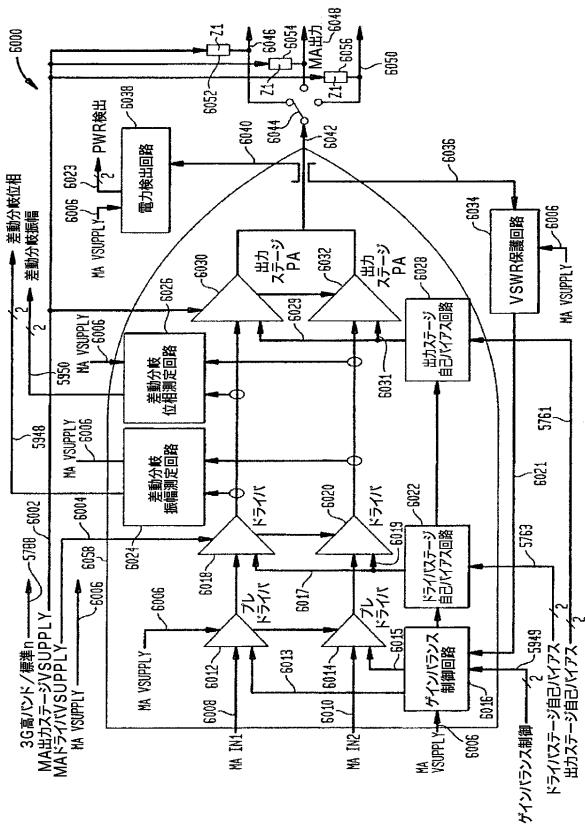
【図 59 C】



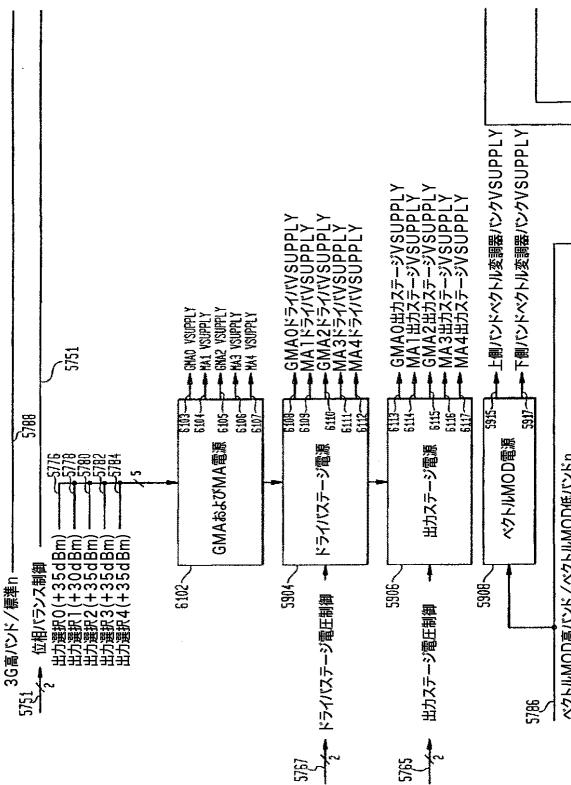
【図 59 D】



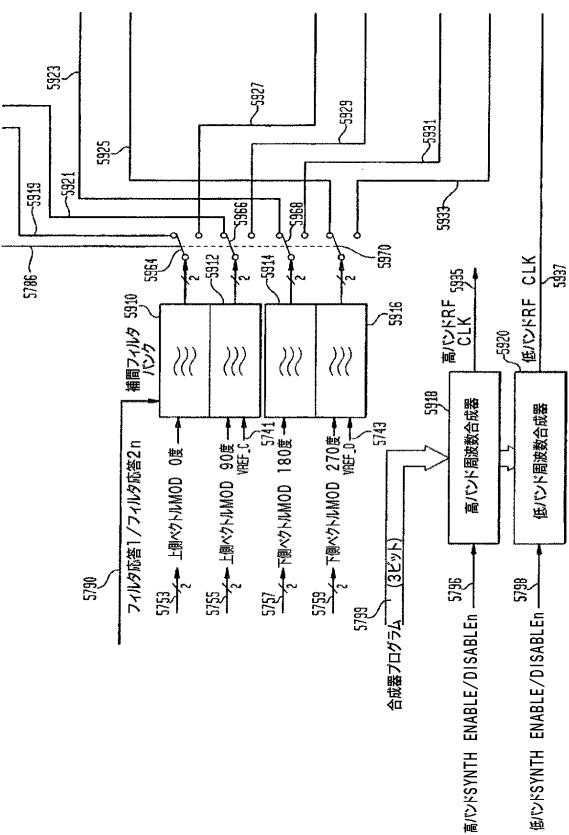
【図 6 0】



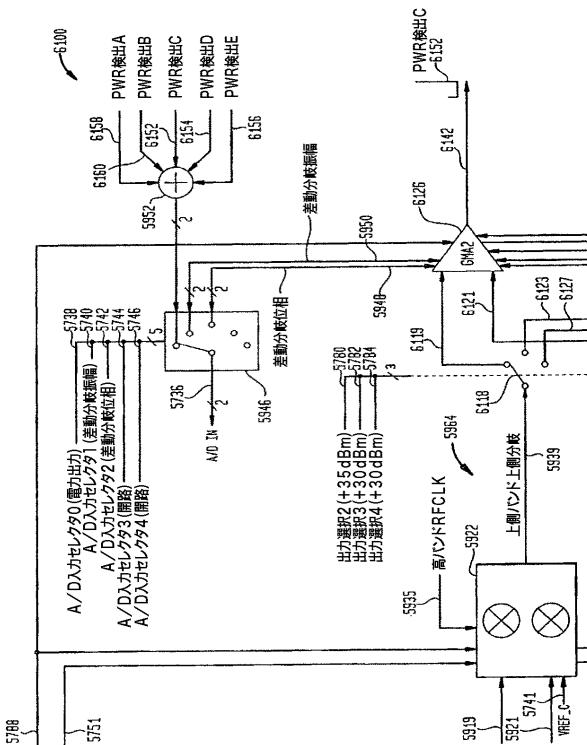
【図 6 1 A】



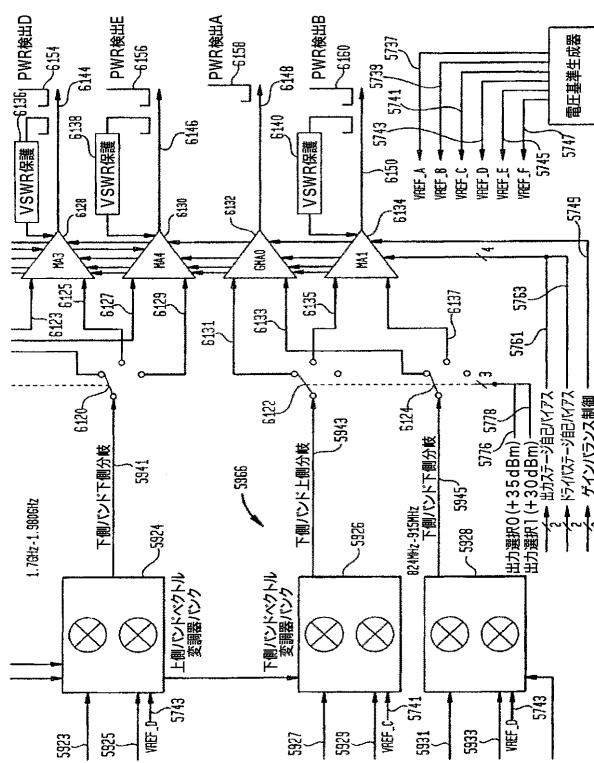
【図61B】



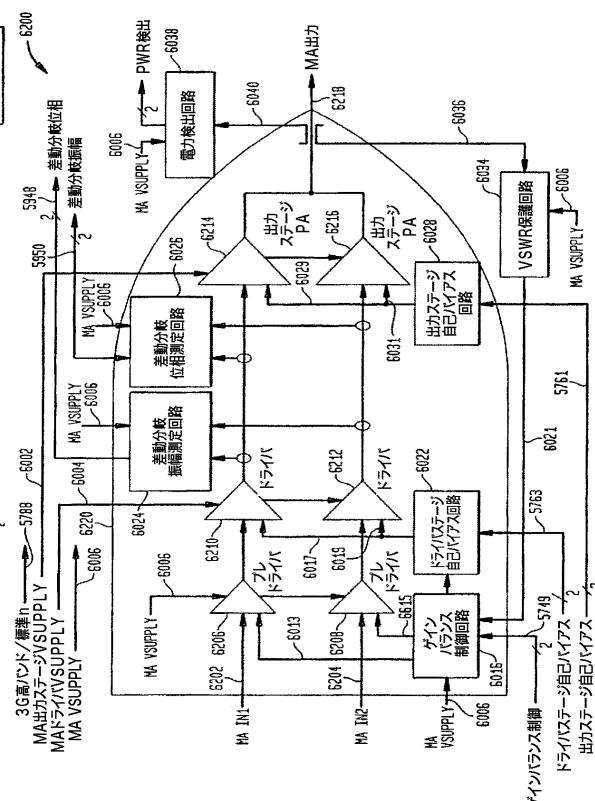
【図 6.1.C】



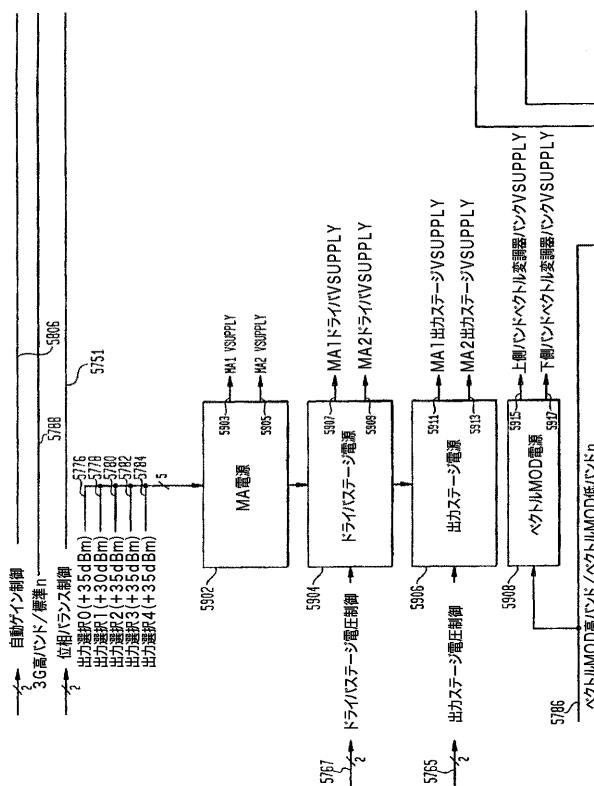
【図 6 1 D】



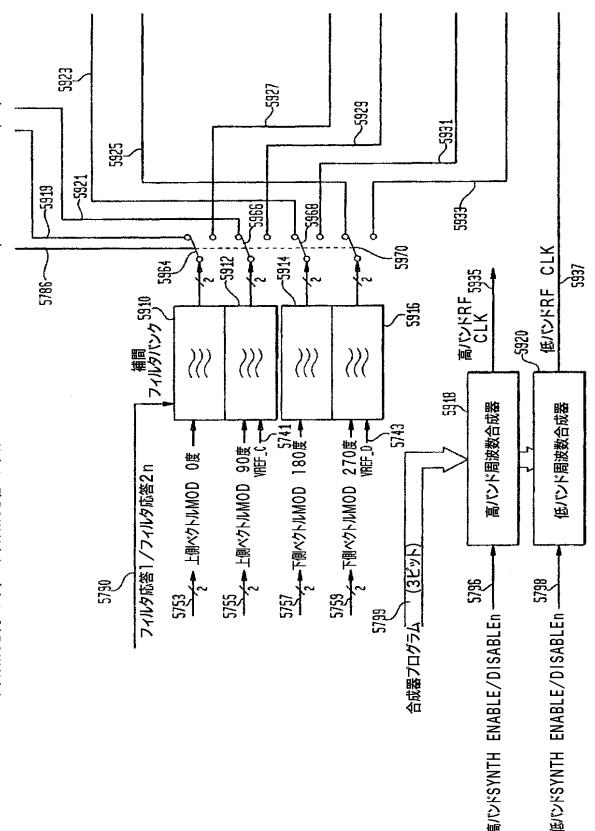
【図 6 2】



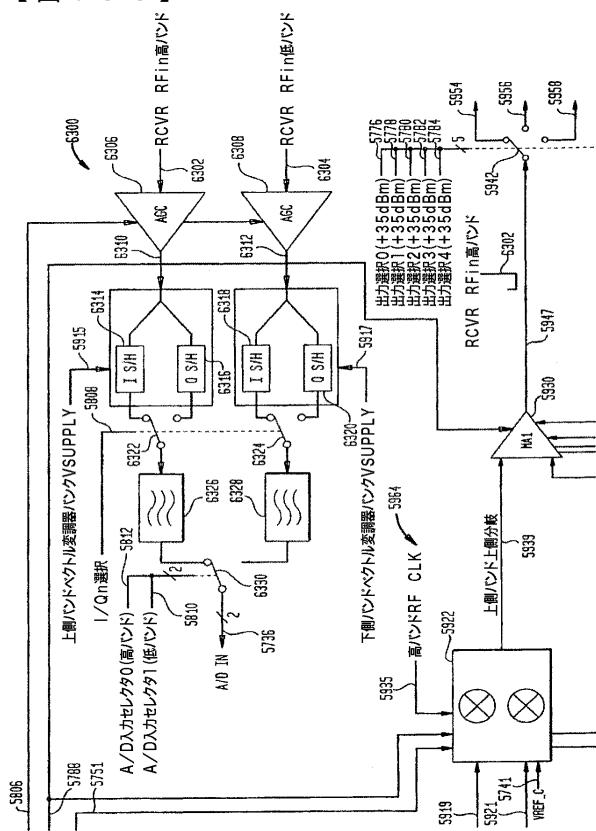
【図 6 3 A】



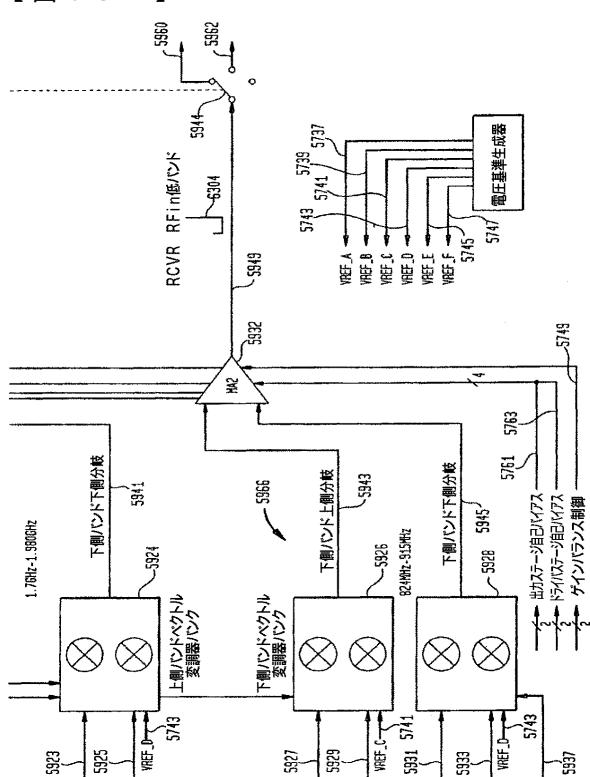
【図 6 3 B】



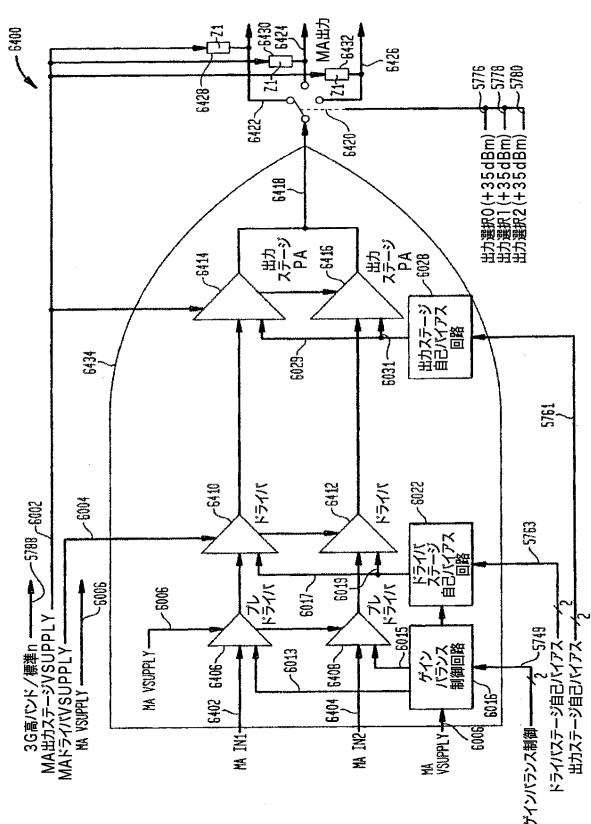
【図 6 3 C】



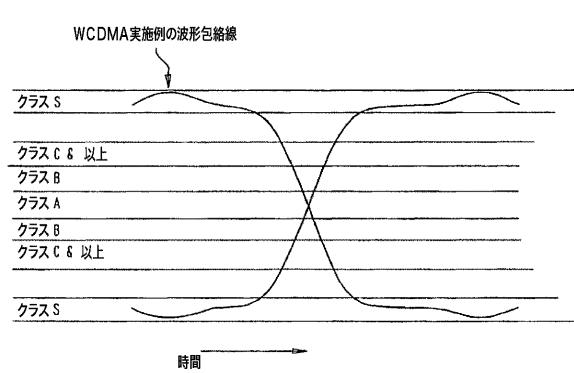
【図 6 3 D】



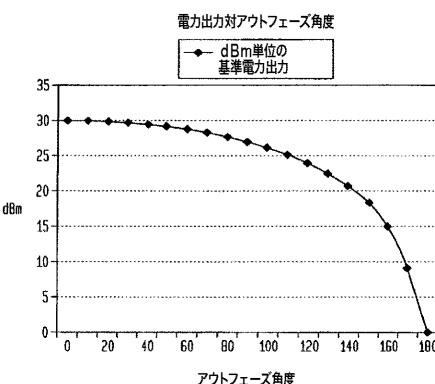
【図 6 4】



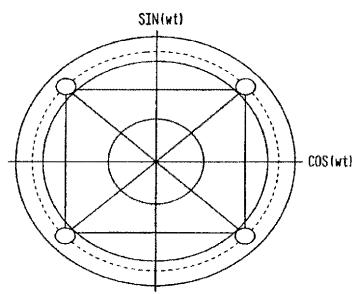
【図 6 5】



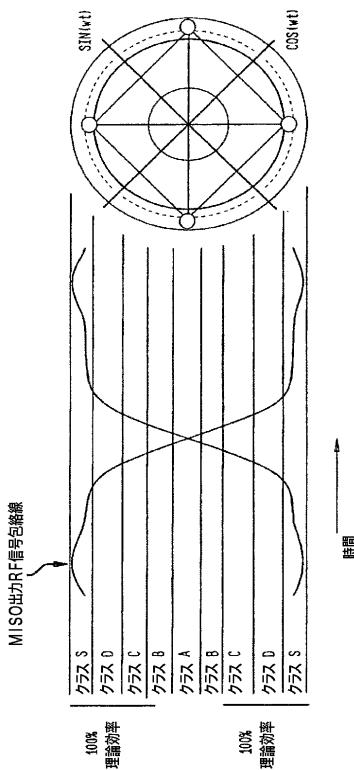
【図 6 6】



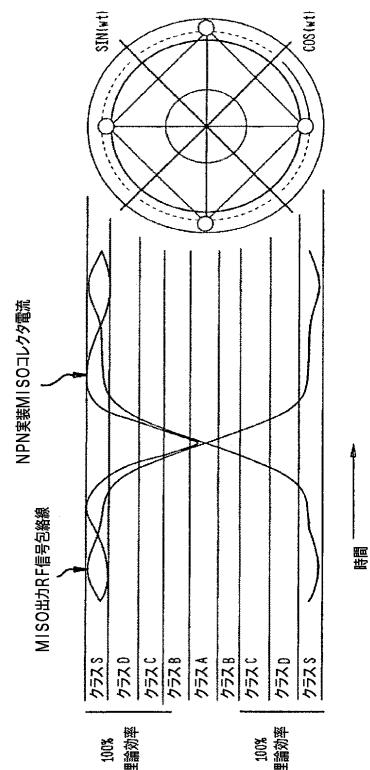
【図 6 7】



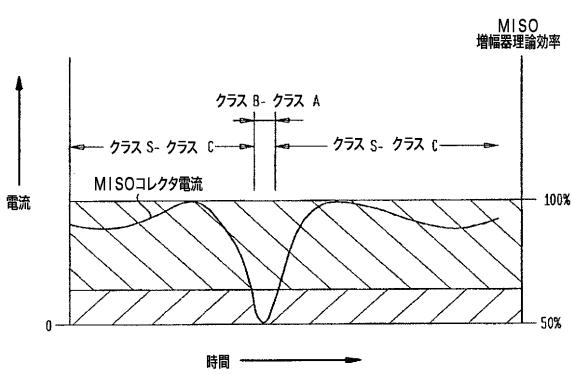
【図 6 8】



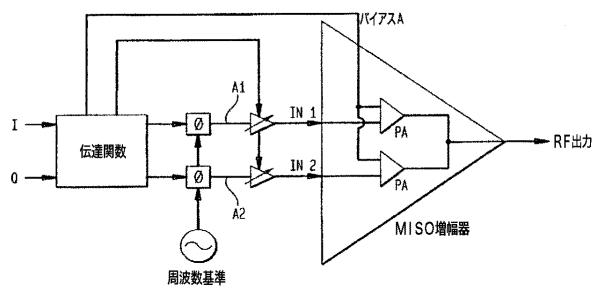
【図 6 9】



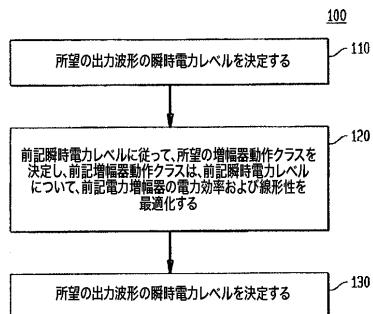
【図 7 0】



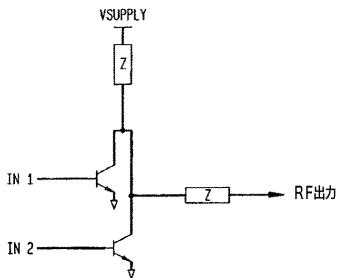
【図 7 1】



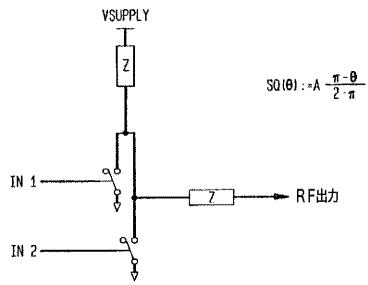
【図72】



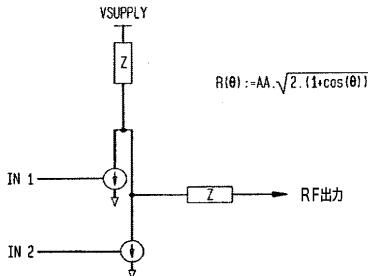
【図73】



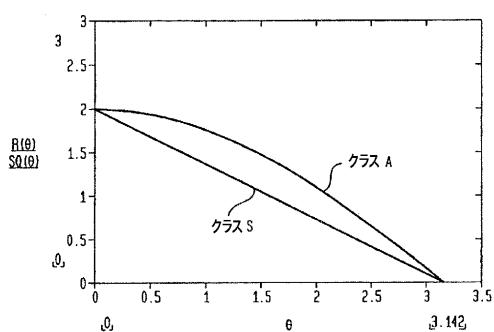
【図74】



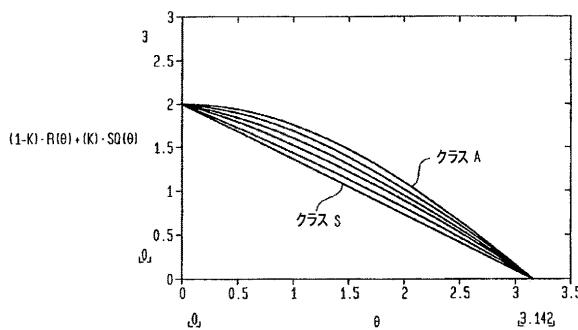
【図75】



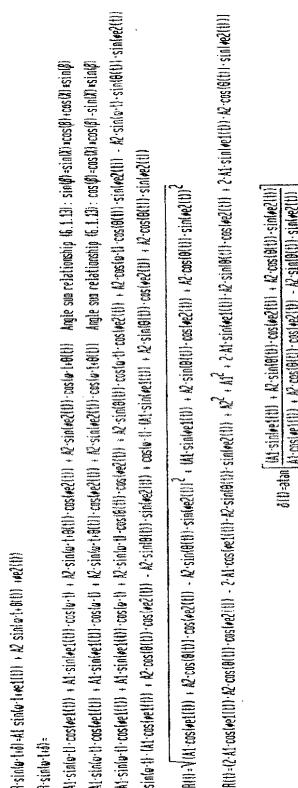
【図76】



【図77】



【図78】



フロントページの続き

(51)Int.Cl.

F I

H 0 4 B 1/04

A

(31)優先権主張番号 60/798,705
(32)優先日 平成18年5月9日(2006.5.9)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/508,970
(32)優先日 平成18年8月24日(2006.8.24)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/509,031
(32)優先日 平成18年8月24日(2006.8.24)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/508,989
(32)優先日 平成18年8月24日(2006.8.24)
(33)優先権主張国 米国(US)

(72)発明者 グレゴリー エス . ローリンズ

アメリカ合衆国 3 2 7 4 6 フロリダ州 ヒースロー ハーストン コート 1 5 5

(72)発明者 マイケル ダブリュ . ローリンズ

アメリカ合衆国 3 2 7 4 6 フロリダ州 レイク メアリー スブルースウッド ロード 3 4
9

審査官 高橋 義昭

(56)参考文献 米国特許第0 7 2 0 0 3 6 9 (U S , B 1)

特開平0 5 - 0 3 7 2 6 3 (J P , A)

特開2 0 0 5 - 1 0 1 9 4 0 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 3 F 1 / 0 2 1 / 3 2 3 / 2 4 3 / 6 8

H 0 4 B 1 / 0 4