



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I602296 B

(45)公告日：中華民國 106 (2017) 年 10 月 11 日

(21)申請案號：099142147

(22)申請日：中華民國 99 (2010) 年 12 月 03 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L27/092 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2009/12/04 日本

2009-276274

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；河江大輔 KAWAE, DAISUKE (JP)；鄉戶

宏充 GODO, HIROMICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2004/0132296A1

US 2008/0191285A1

US 2009/0045397A1

審查人員：黃本立

申請專利範圍項數：8 項 圖式數：20 共 119 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

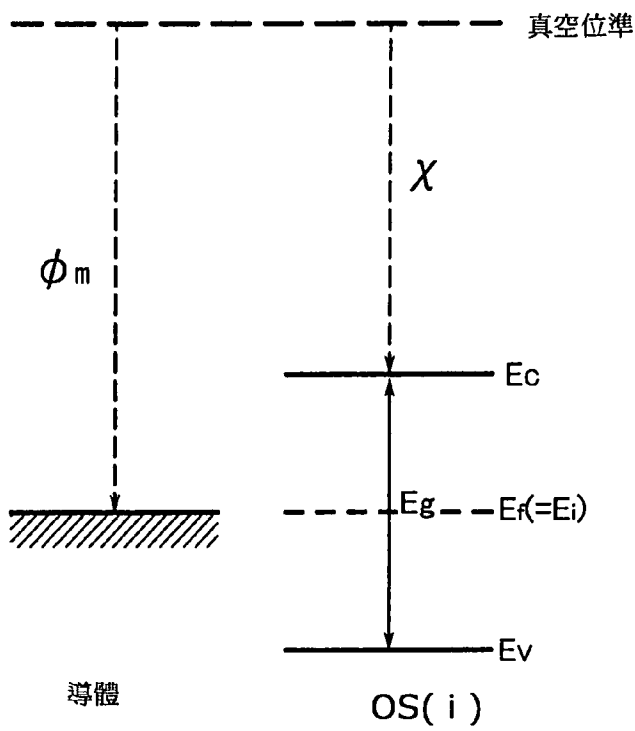
(57)摘要

本發明的其中一個目的在於提供包含氧化物半導體的 p 通道電晶體。另一個目的在於提供包含氧化物半導體的 n 通道電晶體及包含氧化物半導體的 p 通道電晶體之互補金屬氧化物半導體(CMOS)結構。包含氧化物半導體的 p 通道電晶體包含閘極電極層、閘極絕緣層、氧化物半導體層、及與氧化物半導體層相接觸的源極和汲極電極層。當使用於半導體裝置中的氧化物半導體層的氧化物半導體的電子親和力及能帶隙分別為  $\chi$ (eV)和  $E_g$ (eV)時，使用於源極電極層和汲極電極層之導體的功函數( $\Phi_m$ )滿足  $\Phi_m > \chi + E_g/2$ ，並且，以  $(\chi + E_g - \Phi_m)$  表示之用於電洞( $\Phi_{Bp}$ )的障壁小於 0.25 eV。

One object is to provide a p-channel transistor including an oxide semiconductor. Another object is to provide a complementary metal oxide semiconductor (CMOS) structure of an n-channel transistor including an oxide semiconductor and a p-channel transistor including an oxide semiconductor. A p-channel transistor including an oxide semiconductor includes a gate electrode layer, a gate insulating layer, an oxide semiconductor layer, and a source and drain electrode layers in contact with the oxide semiconductor layer. When the electron affinity and the band gap of an oxide semiconductor used for the oxide semiconductor layer in the semiconductor device, respectively, are  $\chi$  (eV) and  $E_g$  (eV), the work function ( $\Phi_m$ ) of the conductor used for the source electrode layer and the drain electrode layer satisfies  $\Phi_m > \chi + E_g/2$  and the barrier for holes ( $\Phi_{Bp}$ ) represented by  $(\chi + E_g - \Phi_m)$  is less than 0.25 eV.

指定代表圖：

圖 2A



# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099142147

※申請日：099/12/03

※IPC 分類：H01L 29/78 (2006.01)  
H01L 27/092 (2006.01)  
H01L 29/40 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明的其中一個目的在於提供包含氧化物半導體的 p 通道電晶體。另一個目的在於提供包含氧化物半導體的 n 通道電晶體及包含氧化物半導體的 p 通道電晶體之互補金屬氧化物半導體 (CMOS) 結構。包含氧化物半導體的 p 通道電晶體包含閘極電極層、閘極絕緣層、氧化物半導體層、及與氧化物半導體層相接觸的源極和汲極電極層。當使用於半導體裝置中的氧化物半導體層的氧化物半導體的電子親和力及能帶隙分別為  $\chi$  (eV) 和  $E_g$  (eV) 時，使用於源極電極層和汲極電極層之導體的功函數 ( $\phi_m$ ) 滿足  $\phi_m > \chi + E_g/2$ ，並且，以  $(\chi + E_g - \phi_m)$  表示之用於電洞 ( $\phi_{Bp}$ ) 的障壁小於 0.25 eV。

### 三、英文發明摘要：

One object is to provide a p-channel transistor including an oxide semiconductor. Another object is to provide a complementary metal oxide semiconductor (CMOS) structure of an n-channel transistor including an oxide semiconductor and a p-channel transistor including an oxide semiconductor. A p-channel transistor including an oxide semiconductor includes a gate electrode layer, a gate insulating layer, an oxide semiconductor layer, and a source and drain electrode layers in contact with the oxide semiconductor layer. When the electron affinity and the band gap of an oxide semiconductor used for the oxide semiconductor layer in the semiconductor device, respectively, are  $\chi$  (eV) and  $E_g$  (eV), the work function ( $\phi_m$ ) of the conductor used for the source electrode layer and the drain electrode layer satisfies  $\phi_m > \chi + E_g/2$  and the barrier for holes ( $\phi_{Bp}$ ) represented by  $(\chi + E_g - \phi_m)$  is less than 0.25 eV.

四、指定代表圖：

(一) 本案指定代表圖為：第 2A 圖。

(二) 本代表圖之元件符號簡單說明：無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於包含氧化物半導體的半導體裝置及其製造方法。

注意，本說明書中的半導體裝置意指能夠利用半導體特徵而操作的所有裝置，並且電子光學裝置、半導體電路、以及電子設備都包含在半導體裝置中。

### 【先前技術】

使用形成於具有絕緣表面的基板之上的半導體薄膜（具有約數奈米至數佰奈米的厚度）以形成薄膜電晶體（TFT）之技術已受到注目。薄膜電晶體可以被應用至例如IC或電光裝置等範圍廣泛的電子裝置，特別是，正被推動快速發展作為影像顯示裝置中的切換元件之薄膜電晶體。已知以矽為基礎的半導體材料可以被應用至薄膜電晶體，此外，氧化物半導體已受到注目作為可被應用至薄膜電晶體的另一材料。

關於用於氧化物半導體的材料，已知氧化鋅或含有氧化鋅作為其成分的材料。此外，揭示出使用具有小於 $10^{18}/\text{cm}^3$ 的電子載子濃度的非晶氧化物（氧化物半導體）所形成的薄膜電晶體（請參見專利文獻1至3）。

### [參考文獻]

[專利文獻1]日本公告專利申請號2006-165527

[專利文獻2]日本公告專利申請號2006-165528

[專利文獻3]日本公告專利申請號2006-165529

### 【發明內容】

爲了實現包含具有設計彈性、更高功能、及更高可靠度的薄膜電晶體，需要具有n通道電晶體及p通道電晶體等二個極性的電晶體。但是，使用氧化物半導體所形成的p通道電晶體難以具有實際上要被使用的優異特性。

慮及上述問題，本發明的其中一個實施例之目的在於提供包含氧化物半導體的p通道電晶體。

本發明的其中一個實施例之另一目的在於提供包含氧化物半導體的n通道電晶體及包含氧化物半導體的p通道電晶體之互補金屬氧化物半導體（CMOS）結構。

此外，本發明的其中一個實施例之另一目的在於提供高度功能及高度可靠之包含電晶體的半導體裝置，所述電晶體包括氧化物半導體。

根據本發明的其中一個實施例之氧化物半導體是藉由去除n型雜質的氫而高度純化以致於儘可能不包含氧化物半導體的主成分以外的雜質，而取得本質的（i型）半導體或是儘可能接近本質的半導體。換言之，根據本發明的其中一個實施例之氧化物半導體具有之特點係藉由去除儘可能多之例如氫或水等雜質但非添加雜質而被製成i型（本質的）半導體或製成接近本質的半導體。因此，本發明的其中一個實施例之氧化物半導體層高度純化而變成電性

上 i 型的（本質的）。

因此，本說明書中使用的氧化物半導體層作為載子通過的路徑而未被界定為 n 型氧化物半導體層或 p 型氧化物半導體層。使用 i 型（本質的）氧化物半導體層，形成 n 通道電晶體（也稱為 NMOS 電晶體）及 p 通道電晶體（也稱為 PMOS 電晶體）。用於接觸氧化物半導體層的源極和汲極電極層之導體的功函數（ $\phi_m$ ）被控制以便決定 n 通道電晶體和 p 通道電晶體。

在下述條件下取得 p 通道電晶體：使用於源極電極層和汲極電極層之導體的功函數（ $\phi_m$ ）大於氧化物半導體的電子親和力（ $\chi$ ）與氧化物半導體的能隙的一半（ $E_g/2$ ）之總合（亦即， $\phi_m > \chi + E_g/2$ ），並且，以（ $\chi + E_g - \phi_m$ ）表示之用於電洞的障壁小於 0.25 eV。

當以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於以（ $\phi_m - \chi$ ）表示之用於電子（ $\phi_{Bn}$ ）的障壁（亦即  $\phi_{Bn} > \phi_{Bp}$ ）時，電洞容易被注射入。

因此，為了製造 p 通道電晶體，使用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）需要滿足  $\phi_m > \chi + E_g/2$ 。

此外，當以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於 0.25 eV 時，p 通道電晶體呈現有利的開啓電流（on-current）特徵。

因此，使用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）滿足  $\phi_m > \chi + E_g/2$  以及以（ $\chi + E_g - \phi_m$ ）表

示之用於電洞 ( $\phi_{Bp}$ ) 的障壁小於 0.25 eV，以致於電洞從源極電極層的導體被注射入，通過氧化物半導體，並且抵達汲極電極層的導體。因此，可以取得作為 p 通道電晶體的操作。

關於氧化物半導體膜，使用例如以 In-Sn-Ga-Zn-O 為基礎的膜等四成分的金屬氧化物膜；例如以 In-Ga-Zn-O 為基礎的膜、以 In-Sn-Zn-O 為基礎的膜、以 In-Al-Zn-O 為基礎的膜、以 Sn-Ga-Zn-O 為基礎的膜、以 Al-Ga-Zn-O 為基礎的膜、或以 Sn-Al-Zn-O 為基礎的膜等三成分的金屬氧化物膜；例如以 In-Zn-O 為基礎的膜、以 Sn-Zn-O 為基礎的膜、以 Al-Zn-O 為基礎的膜、以 Zn-Mg-O 為基礎的膜、以 Sn-Mg-O 為基礎的膜、或以 In-Mg-O 為基礎的膜等二成分的金屬氧化物；或以 In-O 為基礎的膜、以 Sn-O 為基礎的膜、以 Zn-O 為基礎的膜。此外，上述氧化物半導體膜可以含有  $\text{SiO}_2$ 。

關於氧化物半導體膜，使用以  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的薄膜。此處，M 是選自 Ga、Al、M、及 Co 的其中之一或更多個金屬元素。舉例而言，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、等等。成分公式以  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的氧化物半導體膜包含 Ga 作為 M 時被稱為以 In-Ga-Zn-O 為基礎的氧化物半導體，並且以 In-Ga-Zn-O 為基礎的氧化物半導體的薄膜也稱為以 In-Ga-Zn-O 為基礎的非單晶膜。

關於使用於 p 通道電晶體之源極電極層和汲極電極層

的導體，舉例而言，使用例如氧化錫（ $\text{SnO}$ ）、 $\text{LaCuOCh}$ （ $\text{Ch}$ =例如S或Se等硫族元素）、 $\text{CuAO}_2$ （ $\text{A}=\text{B}$ 、 $\text{Al}$ 、 $\text{Ga}$ 、 $\text{In}$ 、等等）、 $\text{SrCu}_2\text{O}_2$ 、 $\text{NiO}$ 、 $\text{Cu}_2\text{O}$ 、或 $\text{CuO}$ 等金屬氧化物。可以添加雜質以增加金屬氧化物的導電率。舉例而言，使用添加Mg的 $\text{LaCuOCh}$ 或添加Li的 $\text{NiO}$ 。

本說明書中所揭示的本發明的其中一個實施例是包含電晶體的半導體裝置，所述電晶體包含閘極電極層、閘極絕緣層、氧化物半導體層、及與氧化物半導體層相接觸的源極和汲極電極層。當半導體裝置中之使用於氧化物半導體層的氧化物半導體的電子親和力及能帶隙分別為 $\chi$ （eV）及 $E_g$ （eV）時，使用於源極和汲極電極層的導體的功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ 以及以 $(\chi + E_g - \phi_m)$ 表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV。

本說明書中所揭示的本發明的另一個實施例是包含電晶體的半導體裝置，所述電晶體包含閘極電極層、閘極絕緣層、含有銦、銻、及鋅之至少其中之一的氧化物半導體層、及與氧化物半導體層相接觸的源極和汲極電極層。當半導體裝置中之使用於氧化物半導體層的氧化物半導體的電子親和力及能帶隙分別為 $\chi$ （eV）及 $E_g$ （eV）時，使用於源極和汲極電極層的導體的功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ 以及以 $(\chi + E_g - \phi_m)$ 表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV。

本說明書中所揭示的本發明的另一個實施例是包含p通道電晶體和n通道電晶體的半導體裝置，所述p通道電晶

體包含第一閘極電極層、第一閘極絕緣層、第一氧化物半導體層、及與第一氧化物半導體層相接觸的第一源極和第一汲極電極層，所述n通道電晶體包含第二閘極電極層、第二閘極絕緣層、第二氧化物半導體層、及與第二氧化物半導體層相接觸的第二源極和第二汲極電極層。當半導體裝置中之使用於第一氧化物半導體層的第一氧化物半導體的電子親和力及能帶隙分別為 $\chi_1$  (eV) 及 $E_{g1}$  (eV) 時，使用於第一源極和第一汲極電極層的第一導體的功函數 ( $\phi_{m1}$ ) 滿足 $\phi_{m1} > \chi_1 + E_{g1}/2$ 以及以 $(\chi_1 + E_{g1} - \phi_{m1})$ 表示之用於電洞 ( $\phi_{Bp1}$ ) 的障壁小於0.25 eV。

本說明書中所揭示的本發明的另一個實施例是包含p通道電晶體和n通道電晶體的半導體裝置，所述p通道電晶體包含第一閘極電極層、第一閘極絕緣層、第一氧化物半導體層、及與第一氧化物半導體層相接觸的第一源極和第一汲極電極層，所述n通道電晶體包含第二閘極電極層、第二閘極絕緣層、第二氧化物半導體層、及與第二氧化物半導體層相接觸的第二源極和第二汲極電極層。當半導體裝置中之使用於第一氧化物半導體層的第一氧化物半導體的電子親和力及能帶隙分別為 $\chi_1$  (eV) 及 $E_{g1}$  (eV) 時，使用於第一源極和第一汲極電極層的第一導體的功函數 ( $\phi_{m1}$ ) 滿足 $\phi_{m1} > \chi_1 + E_{g1}/2$ 以及以 $(\chi_1 + E_{g1} - \phi_{m1})$ 表示的用於電洞 ( $\phi_{Bp1}$ ) 的障壁小於0.25 eV，且使用於第一氧化物半導體層的第一氧化物半導體及使用於第二氧化物半導體層的第二氧化物半導體是由相同的材料所形成

注意，在本說明書中，爲了便於說明而使用例如「第一」及「第二」等序號，但非代表步驟的次序及層的堆疊次序。此外，本說明書的序號並非代表指明本發明的特別名稱。

在下述條件下取得p通道電晶體（PMOS電晶體）：使用於源極電極層和汲極電極層之導體的功函數（ $\phi_m$ ）大於氧化物半導體的電子親和力（ $\chi$ ）與氧化物半導體的能隙（ $E_g/2$ ）的一半之總合（亦即， $\phi_m > \chi + E_g/2$ ），並且以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV。

本發明的其中一個實施例是提供包含氧化物半導體的n通道電晶體及包含氧化物半導體的p通道電晶體之互補金屬氧化物半導體（CMOS）結構。

本發明的其中一個實施例提供高度功能的及高度可靠的半導體裝置，其中，包含p通道電晶體和n通道電晶體以及使用n通道電晶體和p通道電晶體等二個極性。

### 【實施方式】

於下，將參考附圖，詳述本發明的實施例。注意，本發明不限於下述說明，並且，習於此技藝者容易瞭解知，可以以不同方式修改此處所揭示的模式及細節。因此，本發明不應被解釋成侷限於下述實施例的說明。

( 實施例 1 )

在本實施例中，將說明包含氧化物半導體的 p 通道電晶體的其中一個模式。

本說明書中所使用的氧化物半導體層被高度純化而變成電性上為 i 型的（本質的）。

為了防止包含氧化物半導體的電晶體的電特徵變異，從氧化物半導體層去除造成變異之例如氫、濕氣、羥基、或氫化物（也稱為氫化合物）等雜質。此外，藉由供應去除雜質的步驟中同時降低之氧化物半導體的主成分之氧，將氧化物半導體層高度地純化而變成電性上為 i 型的（本質的）。

因此，較佳的是氧化物半導體含有儘可能少的氫。含於氧化物半導體中的氫較佳小於  $1 \times 10^{16} / \text{cm}^3$  且儘可能多地被去除至接近 0。

高度純化的氧化物半導體包含極度少的載子（接近 0）。氧化物半導體的載子濃度小於  $1 \times 10^{14} / \text{cm}^3$ ，較佳小於  $1 \times 10^{12} / \text{cm}^3$ ，又較佳小於  $1 \times 10^{11} / \text{cm}^3$ 。

由於氧化物半導體包含極度少的載子，當在反方向施加偏壓且測量電晶體的電流－電壓（I-V）特性時，關閉狀態電流降低。較佳的是關閉狀態電流儘可能少。關閉狀態電流（也稱為漏電流）是在施加 -1 V 至 -10 V 之間的給定閘極電壓之情形中在電晶體的源極與汲極之間流動的電流。在本說明書中所揭示之包含氧化物半導體的電晶體的通道寬度（w）中每  $1 \mu\text{m}$  的電流值小於或等於  $100 \text{ aA} / \mu\text{m}$

，較佳小於或等於  $10 \text{ aA} / \mu\text{m}$ ，更佳小於或等於  $1 \text{ aA} / \mu\text{m}$ 。

以二次離子質譜儀（SIMS）或根據SIMS的資料，取得上述氫的濃度範圍。此外，以霍爾效應來測量載子密度。關於使用於霍爾效應測量的設備之實例，可為特定的電阻／電洞測量系統ResiTest 8310（由TOYO公司所製造）。根據該特定的電阻／電洞測量系統ResiTest 8310，磁場的方向及強度在某循環中且與其同步地改變，而僅偵測到在樣品中所造成的霍爾電動電壓，以便能夠執行AC（交流電）霍爾測量。

此外，不儘氧化物半導體層中例如濕氣等雜質被降低，存在於閘極絕緣層中的雜質也被降低，並且，存在於氧化物半導體膜與設於氧化物半導體膜之上及之下且與其接觸的膜之間的介面之例如濕氣等雜質也被降低。

氧化物半導體被高度純化，使得儘可能地不含有氧化物半導體的主成分以外的雜質，藉此，能夠取得電晶體的可利操作。

因此，本說明書中所使用的氧化物半導體層作為載子通過的通道而未被定義n型氧化物半導體層或p型氧化物半導體層。使用i型（本質的）氧化物半導體層，以形成n通道電晶體（也稱為NMOS電晶體）及p通道電晶體（也稱為PMOS電晶體）。與氧化物半導體層相接觸之用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）被控制以決定n通道電晶體及p通道電晶體。

於下，將說明取決於使用於源極和汲極電極層的導體的功函數之對於氧化物半導體的電子注射特性及電洞注射特性的改變之計算結果、以及取決於電子和電洞注射特性的變化之MOS電晶體的極性變化（n通道或p通道）。使用二維裝置模擬器來執行計算。注意，在此使用Silvaco, Inc.製造的軟體ATLAS作為裝置模擬器。

圖2A及2B均概念地顯示使用於源極或汲極電極層的導體與使用於氧化物半導體層的氧化物半導體（被說明為OS(i)）之間的接合部份的能帶結構。在圖2A及2B中，導體的功函數較佳以 $\phi_m$ （eV）來表示，氧化物半導體的電子親和力以 $\chi$ （eV）來表示，共價帶的能階以 $E_v$ 來表示，導電帶的能階以 $E_g$ （eV）來表示。圖2A及2B顯示在 $\phi_m > \chi$ 的情形中的導體及氧化物半導體。圖2A顯示真空位準、導體的功函數（ $\phi_m$ ）、及氧化物半導體的電子親和力（ $\chi$ ）之間的關係。

習知的氧化物半導體通常是n型的，在該情形中費米能階（ $E_f$ ）較接近導電帶並遠離位於能帶隙的中間之本質費米能階（ $E_i$ ）。注意，知悉某些氫在氧化物半導體中是施體且是造成氧化物半導體成為n型半導體的因素之一。

根據本發明的其中一個實施例之氧化物半導體是藉由去除n型雜質的氫而被高度純化以致於儘可能不包含氧化物半導體的主成分以外的雜質，而製成本質的（i型）半導體或是儘可能接近本質的半導體。換言之，根據本發明的其中一個實施例之氧化物半導體具有之特徵係藉由去除

儘可能多的例如氫或水等雜質但非添加雜質而被製成i型（本質的）半導體或製成接近本質的半導體。結果，費米能階（ $E_f$ ）與本質費米能階（ $E_i$ ）處於相同的能階。

圖2B顯示以（ $\phi_m - \chi$ ）表示之用於電子（ $\phi_{Bn}$ ）的障壁，以及以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁。電子及電洞從導體流向氧化物半導體側。從圖2B可見，當用於電洞（ $\phi_{Bp}$ ）的障壁高於用於電子（ $\phi_{Bn}$ ）的障壁（亦即， $\phi_{Bn} < \phi_{Bp}$ ）時，電子容易被注射入；相反地，當用於電洞（ $\phi_{Bp}$ ）的障壁小於用於電子（ $\phi_{Bn}$ ）的障壁（亦即， $\phi_{Bn} > \phi_{Bp}$ ）時，電洞容易被注射入。從源極電極層的導體注射入至氧化物半導體的電子或電洞通過氧化物半導體，並且，抵達汲極電極層的導體。

圖3顯示使用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）之情形中以及在其功函數（ $\phi_m$ ）滿足 $\phi_m = \chi$ 的情形中閘極－源極電壓（ $V_{gs}$ ）與源極－汲極電流（ $I_{ds}$ ）（ $V_{gs}$ - $I_{ds}$ 特性曲線）的特性曲線變化之計算結果。注意，使用以In-Ga-Zn-O為基礎的氧化物半導體作為氧化物半導體的實例；其電子親和力（ $\chi$ ）係設定為4.3 eV；其能隙（ $E_g$ ）係設定為3.15 eV。如圖6所示，使用具有頂部閘極結構的平面電晶體，其中，源極電極層105a和汲極電極層105b被設置成接觸氧化物半導體層103，閘極絕緣層102被設置成覆蓋氧化物半導體層以及源極電極層105a和汲極電極層105b，閘極電極層101係設於閘極絕緣層102上之。注意，在所述條件下計算 $V_{gs}$ - $I_{ds}$ 特性：氧化物半

導體層 103 的厚度 ( $d_{os}$ ) 是 200 nm，閘極絕緣層 102 的厚度 ( $d_{GI}$ ) 是 100 nm，介電常數是 4.0，通道長度 ( $L$ ) 是  $10\mu\text{m}$ ，通道寬度 ( $W$ ) 是  $1\mu\text{m}$ ，閘極－汲極電壓 ( $V_{ds}$ ) 是 0.1 V。

如圖 3 所示，當  $\phi_m = \chi$  ( $\phi_m < \chi + E_g/2$ ) 時呈現正閘極偏壓下電流值增加的 n 型的特性；相反地，當  $\phi_m = \chi + E_g$  ( $\phi_m > \chi + E_g/2$ ) 時呈現負閘極偏壓下電流值增加的 p 型的特性。

因此，為了製造 p 通道電晶體，使用於源極電極層和汲極電極層的導體的功函數 ( $\phi_m$ ) 需要滿足  $\phi_m > \chi + E_g/2$ 。

圖 4 顯示當功函數 ( $\phi_m$ ) 的值在滿足  $\phi_m > \chi + E_g/2$  的功函數 ( $\phi_m$ ) 之內變化時電晶體的  $V_{gs}$ - $I_{ds}$  特性曲線的改變。在圖 4 中，在功函數 ( $\phi_m$ ) 為 7.5 eV、7.45 eV、7.25 eV、及 7.15 eV 的情形中  $V_{gs}$ - $I_{ds}$  特性曲線分別以黑色菱形資料標誌、黑色方塊資料標誌、x 形資料標誌、星形資料標誌、及黑色三角資料標誌來表示。

圖 5 顯示當圖 4 中的閘極－源極電壓 ( $V_{gs}$ ) 是 5 V 時汲極電極 ( $I_{ds}$ ) 與以  $(\chi + E_g - \phi_m)$  表示之用於電洞 ( $\phi_{Bp}$ ) 的障壁之間的關係。

如圖 5 所示，當以  $(\chi + E_g - \phi_m)$  表示之用於電洞 ( $\phi_{Bp}$ ) 的障壁小於 0.25 eV 時，呈現 p 通道電晶體的有利的開啓電流特徵。

圖 1A 至 1C 是能帶圖 (概要圖)。圖 1A 是導體與導體

和氧化物半導體層接合之前的用於源極或汲極電極層的導體及氧化物半導體層（OS(i)）的能帶圖。圖1A至1C的電晶體是p通道電晶體，其中，功函數（ $\phi_m$ ）滿足 $\phi_{m1} > \chi_1 + E_{g1}/2$ ，並且，以 $(\chi + E_g - \phi_m)$ 表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV，以致於 $\phi_{m1} = \chi + E_g$ 。在p通道電晶體，來自源極電極層的電洞通過半導體層的共價帶（ $E_v$ ）及抵達汲極層，使得p通道電晶體操作。

圖1B及1C是圖6中的O-P剖面的能帶圖（概要圖）。圖1B顯示源極電極層（S）、氧化物半導體層（OS(i)）、及汲極電極層（D）接合以及源極和汲極具有相同電位的電壓（ $V_{ds}=0$  V）之情形。圖1C顯示相對於源極之負電位（ $V_{ds}<0$  V）施加至汲極的情形。

如圖1C所示，藉由適當地選取源極電極層和汲極電極層的功函數（ $\phi_m$ ），可以有效率地注射入及饋送電洞。此外，由於能帶隙大，所以，用於電子（ $\phi_{Bn}$ ）的障壁高；因此，當施加反向偏壓至閘極時產生的漏電流（關閉狀態電流）受到抑制。

因此，在下述條件下取得p通道電晶體（PMOS電晶體）：使用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ ，並且，以 $(\chi + E_g - \phi_m)$ 表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV。

關於氧化物半導體膜，使用例如以In-Sn-Ga-Zn-O為基礎的膜等四成分的金屬氧化物膜；例如以In-Ga-Zn-O為基礎的膜、以In-Sn-Zn-O為基礎的膜、以In-Al-Zn-O為基

礎的膜、以 Sn-Ga-Zn-O 爲基礎的膜、以 Al-Ga-Zn-O 爲基礎的膜、或以 Sn-Al-Zn-O 爲基礎的膜等三成分的金屬氧化物膜；或者，例如以 In-Zn-O 爲基礎的膜、以 Sn-Zn-O 爲基礎的膜、以 Al-Zn-O 爲基礎的膜、以 Zn-Mg-O 爲基礎的膜、以 Sn-Mg-O 爲基礎的膜、或以 In-Mg-O 爲基礎的膜等二成分的金屬氧化物；以 In-O 爲基礎的膜、以 Sn-O 爲基礎的膜、以 Zn-O 爲基礎的膜。此外，上述氧化物半導體膜可以含有  $\text{SiO}_2$ 。

關於氧化物半導體膜，使用以  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的薄膜。此處，M 是選自 Ga、Al、M、及 Co 的其中之一或更多個金屬元素。舉例而言，M 可爲 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、等等。成分公式以  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的氧化物半導體膜包含 Ga 作爲 M 時被稱爲以 In-Ga-Zn-O 爲基礎的氧化物半導體，並且，以 In-Ga-Zn-O 爲基礎的氧化物半導體的薄膜也稱爲以 In-Ga-Zn-O 爲基礎的非單晶膜。

關於使用於 p 通道電晶體之源極電極層和汲極電極層的導體，舉例而言，使用例如氧化錫 ( $\text{SnO}$ )、 $\text{LaCuOCh}$  ( $\text{Ch} = \text{例如 S 或 Se 等，硫族元素}$ )、 $\text{CuAO}_2$  ( $\text{A} = \text{B、Al、Ga、In、等等}$ )、 $\text{SrCu}_2\text{O}_2$ 、 $\text{NiO}$ 、 $\text{Cu}_2\text{O}$ 、或  $\text{CuO}$  等金屬氧化物。可以添加雜質以增加金屬氧化物的導電率。舉例而言，使用添加 Mg 的  $\text{LaCuOCh}$  或添加 Li 的  $\text{NiO}$ 。以濺射法或真空蒸鍍法，形成源極和汲極電極層。

因此，在下述條件下取得 p 通道電晶體 (PMOS 電晶體

)：使用於源極電極層和汲極電極層的導體的功函數 ( $\phi_m$ ) 大於氧化物半導體的電子親和力 ( $\chi$ ) 及氧化物半導體的能隙的一半 ( $E_g/2$ ) (亦即,  $\phi_m > \chi + E_g/2$ )，並且，以 ( $\chi + E_g - \phi_m$ ) 表示之用於電洞 ( $\phi_{Bp}$ ) 的障壁小於 0.25 eV。

因此，取得高度功能及高度可靠的電半導體裝置，其中，包括包含氧化物半導體的 p 通道電晶體和 n 通道電晶體及使用 p 通道電晶體和 n 通道電晶體的二個極性。

#### (實施例 2)

在本實施例中，將說明本說明書中所揭示的應用至 p 通道電晶體的電晶體的其它結構實例。

圖 7A 及 7B 顯示半導體裝置的平面結構實例及剖面結構實例。圖 7A 及 7B 中所示的電晶體 450 是底部閘極型薄膜電晶體的其中之一，也被稱為反轉堆疊型薄膜電晶體。圖 7A 是具有底部閘極型結構的電晶體 450 的平面視圖，圖 7B 是圖 7 的 C1-C2 剖面視圖。電晶體 450 是 p 通道電晶體。

電晶體 450 包含設於具有絕緣表面的基板 400 之上的閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極層 405a、和汲極電極層 405b。覆蓋電晶體 450 的絕緣層 407 係堆疊於氧化物半導體層 403 之上。保護絕緣層 409 係形成於絕緣層 407 之上。

圖 8 顯示半導體裝置的剖面結構的另一實例。圖 8 中所示的電晶體 360 是底部閘極型結構電晶體的其中之一，稱

為通道保護型（通道阻絕型）電晶體，也稱為反轉堆疊型薄膜電晶體。電晶體360是p通道電晶體。

電晶體360包含設於具有絕緣表面的基板320之上的閘極電極層361、閘極絕緣層322、氧化物半導體層362、作為覆蓋氧化物半導體層362的通道形成區之通道保護層的絕緣層366、源極電極層365a、和汲極電極層365b。形成覆蓋電晶體360的保護絕緣層323。

圖9顯示半導體裝置的剖面結構的另一實例。電晶體350是底部閘極型薄膜電晶體，並且，包含設於具有絕緣表面的基板340之上的閘極電極層351、閘極絕緣層342、源極電極層355a、汲極電極層355b、及氧化物半導體層352。形成覆蓋電晶體350且接觸氧化物半導體層352的絕緣層356。保護絕緣層343係形成於絕緣層356之上。注意，電晶體350是p通道電晶體。

在電晶體350中，閘極絕緣層343存在於包含電晶體350的整個區域中，並且，閘極電極層351係設於閘極絕緣層342與具有絕緣表面的基板340之間。源極電極層355a和汲極電極層355b係設於閘極絕緣層342之上。此外，氧化物半導體層352係設於閘極絕緣層342、源極電極層355a、和汲極電極層355b之上。在本實施例中，源極電極層355a和汲極電極層355b係延伸超出氧化物半導體層352的周圍部份之外。

圖10A及10B顯示半導體裝置的平面結構實例及剖面結構的另一實例。圖10A及10B中所示的電晶體460是頂部

閘極型薄膜電晶體的其中之一。圖 10A 是電晶體 460 的平面視圖，圖 10B 是圖 10A 的 D1-D2 剖面視圖。電晶體 460 是 p 通道電晶體。

電晶體 460 包含設於具有絕緣表面的基板 470 之上的絕緣層 457、氧化物半導體層 452、源極電極層 465a、汲極電極層 465b、閘極絕緣層 462、和閘極電極層 461。設置分別電連接至且接觸源極電極層 465a 和汲極電極層 465b 之佈線層 464a 和佈線層 464b。

雖然使用單閘極電晶體作為電晶體 350、360、450、和 460 以供說明，但是，於需要時，可以形成包含多個通道形成區的多閘極電晶體。

根據本發明的其中一個實施例之氧化物半導體是藉由去除 n 型雜質的氫而被高度純化以致於儘可能不包含氧化物半導體的主成分以外的雜質，而取得本質的（i 型）半導體或是儘可能接近本質的半導體。換言之，根據本發明的其中一個實施例之氧化物半導體具有之特徵係藉由去除儘可能多的例如氫或水等雜質但非添加雜質而被製成 i 型（本質的）半導體或製成接近本質的半導體。氧化物半導體層 352、362、403、及 452 被高度純化而變成電性上為 i 型的（本質的）。

因此，較佳的是氧化物半導體含有儘可能少的氫。含於氧化物半導體中的氫較佳小於  $1 \times 10^{16}/\text{cm}^3$  且儘可能多地被去除至接近 0。

高度純化的氧化物半導體包含極度少的載子（接近 0

）。氧化物半導體的載子濃度小於  $1 \times 10^{14} / \text{cm}^3$ ，較佳小於  $1 \times 10^{12} / \text{cm}^3$ ，又較佳小於  $1 \times 10^{11} / \text{cm}^3$ 。

由於氧化物半導體包含極度少的載子，當在反方向施加偏壓且測量電晶體的電流－電壓（I-V）特性時，關閉狀態電流降低。較佳的是關閉狀態電流儘可能少。關閉狀態電流（也稱為漏電流）是在施加 -1 V至 -10 V之間的給定閘極電壓之情形中在電晶體的源極與汲極之間流動的電流。包含氧化物半導體的電晶體的通道寬度（w）中每  $1 \mu\text{m}$  的電流值小於或等於  $100 \text{ aA} / \mu\text{m}$ ，較佳小於或等於  $10 \text{ aA} / \mu\text{m}$ ，更佳小於或等於  $1 \text{ aA} / \mu\text{m}$ 。

此外，不儘氧化物半導體層 352、362、403、及 452 中例如濕氣等雜質被降低，存在於閘極絕緣層 322、342、402、及 462 中的雜質也被降低，並且，存在於氧化物半導體膜與設於氧化物半導體膜之上及之下且與其接觸的膜之間的介面之例如濕氣等雜質也被降低。

氧化物半導體層被高度純化，以致於儘可能地不含有氧化物半導體的主成分以外的雜質，藉此，能夠取得電晶體 350、360、450、及 460 的有利操作。

因此，氧化物半導體層 352、362、403、及 452 均未被定義 n 型氧化物半導體層或 p 型氧化物半導體層，而是作為載子通過的通道。使用 i 型（本質的）氧化物半導體層，以形成 n 通道電晶體（也稱為 NMOS 電晶體）及 p 通道電晶體（也稱為 PMOS 電晶體）。與氧化物半導體層 352、362、403、及 452 相接觸之使用於源極電極層 355a、365a、

405a、及465a和汲極電極層層355b、365b、405b、及465b的個別導體的功函數（ $\phi_m$ ）受到控制，因而能夠製成p通道電晶體350、360、450、及460。

在下述條件下取得p通道電晶體：使用於源極電極層355a、365a、405a、及465a和汲極電極層355b、365b、405b、及465b的個別導體的功函數（ $\phi_m$ ）大於氧化物半導體的電子親和力（ $\chi$ ）與氧化物半導體的能隙的一半（ $E_g/2$ ）之總合（亦即， $\phi_m > \chi + E_g/2$ ），並且，以（ $\chi + E_g - \phi_m$ ）表示之用於電洞的障壁小於0.25 eV。

當以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於以（ $\phi_m - \chi$ ）表示之用於電子（ $\phi_{Bn}$ ）的障壁（亦即 $\phi_{Bn} > \phi_{Bp}$ ）時，電洞容易被注射入。

因此，爲了取得p通道電晶體350、360、450、及460，使用於源極電極層355a、365a、405a、及465a和汲極電極層355b、365b、405b、及465b的個別導體的功函數（ $\phi_m$ ）需要滿足 $\phi_m > \chi + E_g/2$ 。

此外，當以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV時，p通道電晶體呈現有利的開啓電流特徵。

如上所述，使用於源極電極層355a、365a、405a、及465a和汲極電極層355b、365b、405b、及465b的個別導體的功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ 並且以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV，以致於電洞分別從源極電極層355a、365a、405a、及465a的導體

被注射入，通過氧化物半導體，並且抵達汲極電極層355b、365b、405b、及465b的導體。因此，每一個電晶體350、360、450、及460作為p通道電晶體而操作。

關於使用於p通道電晶體350、360、450、及460之源極電極層355a、365a、405a、及465a和汲極電極層355b、365b、405b、及465b的導體，舉例而言，使用例如氧化錫（ $\text{SnO}$ ）、 $\text{LaCuOCh}$ （ $\text{Ch}$ =例如S或Se等硫族元素）、 $\text{CuAO}_2$ （ $\text{A}=\text{B}$ 、 $\text{Al}$ 、 $\text{Ga}$ 、 $\text{In}$ 、等等）、 $\text{SrCu}_2\text{O}_2$ 、 $\text{NiO}$ 、 $\text{Cu}_2\text{O}$ 、或 $\text{CuO}$ 等金屬氧化物。可以添加雜質以增加金屬氧化物的導電率。舉例而言，使用添加Mg的 $\text{LaCuOCh}$ 或添加Li的 $\text{NiO}$ 。注意，以濺射法或真空蒸鍍法，形成源極電極層355a、365a、405a、及465a和汲極電極層355b、365b、405b、及465b。

本說明書中的源極電極層和汲極電極層均是與氧化物半導體層相接觸的導電膜。因此，在源極電極層和汲極電極層堆疊的情形中，使用功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ 並且以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV之導體，以至少形成與氧化物半導體層相接觸的導電膜。

舉例而言，在源極電極層和汲極電極層依此順序作為第一導電膜和第二導電膜而相堆疊的情形中，使用功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ 並且以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV之導體，以形成與氧化物半導體層相接觸的第一導電膜。使用另一導體，以

形成第二導電膜。使用與第二導電膜相同的材料，以形成例如佈線層464a和佈線層464b等分別電連接至源極電極層465a和汲極電極層465b之導電膜。

使用選自Al、Cr、Cu、Ta、Ti、Mo、及W的元素、含有這些元素中的任何元素作為成分之合金、含有這些元素中的任何元素的組合之合金膜、等等，以形成未與氧化物半導體層相接觸的第二導電膜。或者，使用一結構，其中，Cr、Ta、Ti、Mo、W、等等的高熔點金屬層被堆疊於Al、Cu等等的金屬層的上表面或底表面的其中之一或二者上。或者，可以使用添加有例如Si、Ti、Ta、W、Mo、Cr、Nd、Sc、或Y等防止鋁膜中產生鬚狀或丘狀的元素之Al材料，以便增進抗熱性。或者，透光導電材料可以備使用於第二導電膜。

關於氧化物半導體層352、362、403、和452，使用例如以In-Sn-Ga-Zn-O為基礎的膜等四成分的金屬氧化物膜；例如，以In-Ga-Zn-O為基礎的膜、以In-Sn-Zn-O為基礎的膜、以In-Al-Zn-O為基礎的膜、以Sn-Ga-Zn-O為基礎的膜、以Al-Ga-Zn-O為基礎的膜、或以Sn-Al-Zn-O為基礎的膜等三成分的金屬氧化物膜；例如，以In-Zn-O為基礎的膜、以Sn-Zn-O為基礎的膜、以Al-Zn-O為基礎的膜、以Zn-Mg-O為基礎的膜、以Sn-Mg-O為基礎的膜、或以In-Mg-O為基礎的膜等二成分的金屬氧化物；或以In-O為基礎的膜、以Sn-O為基礎的膜、以Zn-O為基礎的膜。此外，上述氧化物半導體膜可以含有SiO<sub>2</sub>。

關於氧化物半導體層 352、362、403、及 452，使用以  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的薄膜。此處，M 是選自 Ga、Al、M、及 Co 的其中之一或更多個金屬元素。舉例而言，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、等等。成分公式以  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的氧化物半導體膜包含 Ga 作為 M 時被稱為以 In-Ga-Zn-O 為基礎的氧化物半導體，並且，以 In-Ga-Zn-O 為基礎的氧化物半導體的薄膜也稱為以 In-Ga-Zn-O 為基礎的非單晶膜。

在稀有氣體（典型上為氬）氛圍、氧氛圍、或稀有氣體（典型上為氬）與氧的混合氛圍中，以濺射法來形成氧化物半導體層

較佳的是使用高純度氣體以作為形成氧化物半導體層時使用的濺射氣體，在高純度氣體中，例如氬、水、羥基或氫化物等雜質被去除以致於濃度為約數 ppm 或約數 ppb。

濺射法的實例包含以高頻電源作為濺射電源的 RF 濺射法、DC 濺射法、以及以脈衝方式施加偏壓的脈衝式 DC 濺射法。在形成絕緣膜的情形中，主要使用 RF 濺射法，在形成金屬膜的情形中，主要使用 DC 濺射法。

此外，有多源濺射設備，其中，設置複數個不同材料的複數靶。藉由多源濺射設備，在相同腔室中形成堆疊的不同材料膜，或者，在相同腔室中，同時藉由放電而形成具有多種材料的膜。

也有在腔室內設有磁系統且用於磁控管濺射法的濺射

設備、及使用微波產生的電漿而未使用輝光放電之用於 ECR 濺射法的濺射設備。

此外，關於使用濺射法的沈積法，可以使用反應濺射法或偏壓濺射法，在反應濺射法中，靶材物質及濺射氣體成份在沈積期間彼此化學地反應以形成其薄的化合物膜，在偏壓濺射法中，在沈積期間，電壓也被施加至基板。

對於作為具有絕緣表面的基板 320、340、400、或 470 之基板並無特別限定，只要其至少對後續執行的熱處理具有足夠的抗熱性即可。舉例而言，使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等的玻璃基板。

在使用玻璃基板且後續執行的熱處理的溫度高的情形中，較佳使用應變點等於或高於  $730^{\circ}\text{C}$  的玻璃基板。關於玻璃基板，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃等玻璃材料。使用含有的氧化鋇 ( $\text{BaO}$ ) 的量比氧化硼 ( $\text{Ba}_2\text{O}_3$ ) 量多、且為實際抗熱玻璃之玻璃材料作為玻璃基板。

注意，可以使用例如陶瓷基板、石英基板、或藍寶石基板等絕緣體形成的基板，以取代玻璃基板。或者，可以使用結晶玻璃等等。又或者，適當地使用塑膠基板等等。

在底部閘極型電晶體 350、360、420、及 450 中，作為基底膜的絕緣膜設於基板與閘極電極層之間。基底膜具有防止雜質元素從基板擴散出的功能，並且，可以形成為具有使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜的其中之一或更多的單層結構或堆疊層結構。

使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、或鈳等金屬材料或含有任何這些材料作為主成份之合金材料，將閘極電極層 351、361、401、及 461 均形成為單層或堆疊層。

舉例而言，關於閘極電極層 351、361、401、及 461 的雙層結構，下述結構是較佳的：鋁層及堆疊於其之上的鉬層之雙層結構、銅層及堆疊於其之上之鉬層之雙層結構、銅層及堆疊於其之上的氮化鈦層或氮化鉭層之雙層結構、以及氮化鈦層及鉬層之雙層結構。關於三層結構，鎢層或氮化鎢層、鋁及矽的合金層或鋁及鈦的合金層、以及氮化鈦層或鈦層之堆疊是較佳的。注意，使用透光導電膜，以形成閘極電極層。關於透光導電膜的實施例可為透光導電氧化物等等。

以電漿 CVD 法、濺射法、等等，形成閘極絕緣層 322、342、402、及 462 均成為具有氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層、及氧化鉛層的其中之一或更多的單層結構或堆疊結構。較佳的是閘極絕緣層 322、342、402、及 462 不含有大量的氫。在以濺射法形成氧化矽膜的情形中，使用矽靶或石英靶作為靶，並且，使用氧或氧及氫的混合氣體作為濺射氣體。

閘極絕緣層 322、342、402、及 462 具有一結構，其中，氮化矽層及氧化矽層從閘極電極層側堆疊。舉例而言，以濺射法形成厚度等於或大於 50 nm 且小於或等於 200 nm

的氮化矽層 ( $\text{SiN}_y$  ( $y>0$ )) 作為第一閘極絕緣層，並且，厚度大於或等於 5 nm 且小於或等於 300 nm 的氧化矽層 ( $\text{SiO}_x$  ( $x>0$ )) 係堆疊於第一閘極絕緣層之上作為第二閘極絕緣層；因此，形成厚度 100 nm 的閘極絕緣層。可以視薄膜電晶體的所需特性而適當地設定閘極絕緣層 322、342、402、及 462 的厚度。厚度為約為 350 nm 至 400 nm。

此外，為了在閘極絕緣層 322、342、402、及 462 以及氧化物半導體層 352、362、403、及 452 中含有儘可能少的氫、羥基、及濕氣，較佳的是，在濺射設備的預熱室中，將閘極電極層形成於上的基板或是有達到閘極絕緣層的複數層形成於其之上的基板 394 預熱，以作為膜形成的前置處理，以致於被吸附於基板的例如氫或濕氣等雜質被消除。關於設置在預熱室中的抽真空單元，較佳使用低溫泵。預熱處理可以省略。或者，在形成絕緣層 356、366、407、及 457 之前，對有達到及包含源極電極層和汲極電極層的複數層形成於其之上的基板執行預熱處理。

適當地以例如濺射法等不會使例如水或氫等雜質進入絕緣層 356、366、407、及 457 之方法，形成厚度至少 1 nm 的絕緣層 356、366、407、及 457。當氫含於絕緣層 356、366、407、及 457 中時，造成氫進入氧化物半導體層或自氫取出氧化物半導體層中的氧，藉以使得氧化物半導體層的背景通道具有更低的電阻（成為 n 型），以致於可以形成寄生通道。因此，重要的是採用不使用氫之形成方法以致於形成含有儘可能少的氫之氧化物絕緣層 356、366、407

、及 457。

在本實施例中，以濺射法形成厚度 200 nm 的氧化矽膜作為絕緣層 356、366、407、及 457。在膜沈積時的基板溫度可以高於或等於室溫且小於或等於 300℃，在本實施例中為 100℃。在稀有氣體（典型上為氬）氛圍中、氧氛圍中、或含有氧和稀有氣體（典型上為氬）的氛圍中，以濺射法形成氧化矽膜。使用氧化矽靶或矽靶作為靶。舉例而言，藉由使用矽靶，在氧及氮的氛圍中，以濺射法沈積氧化矽。使用未含有例如濕氣、氫離子、或 OH<sup>-</sup>等雜質的無機絕緣膜，以形成絕緣層 356、366、407、及 457。典型上，使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、等等。

在該情形中，較佳的是在沈積絕緣層 356、366、407、及 457 時去除餘留在處理室中的濕氣。這是為了防止氧化物半導體層 352、362、403、及 452 以及絕緣層 356、366、407、及 457 含有氫、羥基、或濕氣。

為了從處理室中去除餘留的濕氣，較佳使用吸附型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。使用設有冷阱的渦輪泵作為抽真空單元。舉例而言，在使用低溫泵抽真空的處理室中，排掉氫分子、例如水（H<sub>2</sub>O）等包含氫原子的化合物、等等。因此，可以降低處理室中形成的絕緣層 356、366、407、及 457 中的雜質濃度。

較佳使用例如氫、水、羥基或氫化物被去除以致於濃

度為約數 ppm 或約數 ppb 的高純度氣體，作為形成絕緣層 356、366、407、及 457 時的濺射氣體。

當使用具有很多缺陷的氧化矽層作為氧化物絕緣層時，在形成氧化矽層後藉由此熱處理，含於氧化物半導體層中的例如氫、濕氣、或羥基、或氫化物等雜質擴散至氧化物絕緣層，以致於進一步降低氧化物半導體層中的雜質。

關於保護絕緣層 323、343、及 409，使用未含有例如濕氣、氫離子、或  $\text{OH}^-$  等雜質且阻擋它們從外部進入的無機絕緣膜；舉例而言，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜、等等。舉例而言，以 RF 濺射法形成氮化矽膜。由於 RF 濺射法具有高生產力，所以，較佳使用其作為形成保護絕緣層 323、343、及 409 的方法。

因此，在下述條件下取得具有各種結構的 p 通道電晶體：使用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）大於氧化物半導體的電子親和力（ $\chi$ ）及能隙的一半（ $E_g/2$ ）的總合（亦即， $\phi_m > \chi + E_g/2$ ），以及以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於 0.25 eV。

因此，提供高度功能及高度可靠的電半導體裝置，其中，包括包含氧化物半導體的 p 通道電晶體和 n 通道電晶體及使用 p 通道電晶體和 n 通道電晶體的二個極性。

在本實施例中，於下將說明具有包含氧化物半導體的 n 通道電晶體和包含氧化物半導體的 p 通道電晶體之互補金屬氧化物半導體（CMOS）結構、以及 CMOS 的製造方法

實例。

將參考圖12A至12E，說明在基板500上製造作為p通道電晶體的電晶體510及作為n通道電晶體的電晶體520的製程。

首先，在第一微影步驟中，在具有絕緣表面的基板500之上形成導電膜，然後，形成閘極電極層511和521。

在基板500與閘極電極層511和521之間設置作為基底膜的絕緣膜。

使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、或鈳等金屬材料或含有任何這些材料作為主成份之合金材料，將閘極電極層511和521形成為單層或堆疊層。

接著，在閘極電極層511及521之上形成閘極絕緣層502。以電漿CVD法、濺射法、等等，形成閘極絕緣層502至具有氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、或氧化鋁層的單層結構或堆疊結構。較佳的是閘極絕緣層502未包含大量的氫。

然後，在閘極絕緣層502之上形成厚度為大於或等於2 nm且小於或等於200 nm的氧化物半導體膜。注意，視氧化物半導體材料而適當地設定氧化物半導體膜的適當厚度，並且，視材料而適當地設定厚度。在本實施例中，使用以In-Ga-Zn-O為基礎的金屬氧化物靶材，以濺射法形成氧化物半導體膜。

第一熱處理的溫度高於或等於400℃且低於或等於750℃，較佳高於或等於400℃且低於基板的應變點。此處，

將基板置於熱處理設備的其中之一的電熱爐中，並且，在450℃下，在氮氛圍中，使氧化物半導體膜受到熱處理一小時，以防止水或氫混入氧化物半導體膜；因此，取得氧化物半導體膜530（請參見圖12A）。

接著，在第二微影步驟中，將氧化物半導體膜530處理成島狀氧化物半導體層513和523（請參見圖12B）。在將氧化物半導體膜處理成島狀氧化物半導體層之後，執行脫水或脫氫的熱處理。

使用氧化物半導體層513作為p通道電晶體的半導體層，並且，使用氧化物半導體層523作為n通道電晶體的半導體層。如同本實施例中般，在相同步驟中，使用相同材料，以形成氧化物半導體層513和523。

接著，在氧化物半導體層513之上形成導電膜，並且，在第三微影步驟中，形成光阻掩罩。然後，執行選擇性蝕刻以便形成源極電極層515a和汲極電極層515b。（請參見圖12C）。

使用於源極電極層515a和汲極電極層515b的導體的功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ 並且以 $(\chi + E_g - \phi_m)$ 表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV，使得電洞從源極電極層515a被注射入，通過氧化物半導體而抵達汲極電極層515b。因而，電晶體510可操作作為p通道電晶體。

以濺射法或真空蒸鍍法，形成源極電極層515a和汲極電極層515b。關於使用於源極電極層515a和汲極電極層515b的材料，舉例而言，使用例如氧化錫（SnO）、

$\text{LaCuOCh}$  (  $\text{Ch}$ =例如 S 或 Se 等硫族元素 ) 、  $\text{CuAO}_2$  (  $\text{A}=\text{B}$  、  $\text{Al}$  、  $\text{Ga}$  、  $\text{In}$  、 等等 ) 、  $\text{SrCu}_2\text{O}_2$  、  $\text{NiO}$  、  $\text{Cu}_2\text{O}$  、 或  $\text{CuO}$  等金屬氧化物。可以添加雜質以增加金屬氧化物的導電率。舉例而言，使用添加  $\text{Mg}$  的  $\text{LaCuOCh}$  或添加  $\text{Li}$  的  $\text{NiO}$ 。

另一方面，在氧化物半導體層 523 之上形成用作為源極電極層 525a 和汲極電極層 525b 的導電膜。以濺射法或真空蒸鍍法，形成導電膜。在第四微影步驟中，在導電膜之上形成光阻掩罩。然後，執行選擇性蝕刻以便形成源極電極層 525a 和汲極電極層 525b，之後，去除光阻掩罩（請參見圖 12D）。

使用選自  $\text{Al}$  、  $\text{Cr}$  、  $\text{Cu}$  、  $\text{Ta}$  、  $\text{Ti}$  、  $\text{Mo}$  、 及  $\text{W}$  的元素、含有這些元素中的任何元素作為成分之合金、含有這些元素中的任何元素的組合之合金膜、等等，作為用於源極電極層 525a 和汲極電極層 525b 的材料。或者，使用一結構，其中， $\text{Cr}$  、  $\text{Ta}$  、  $\text{Ti}$  、  $\text{Mo}$  、  $\text{W}$  、 等等的高熔點金屬層係堆疊於  $\text{Al}$  、  $\text{Cu}$  、 等等的金屬層的上表面或底表面的其中之一或二者上。或者，可以使用添加有例如  $\text{Si}$  、  $\text{Ti}$  、  $\text{Ta}$  、  $\text{W}$  、  $\text{Mo}$  、  $\text{Cr}$  、  $\text{Nd}$  、  $\text{Sc}$  、 或  $\text{Y}$  等防止鋁膜中產生鬚狀或丘狀的元素之  $\text{Al}$  材料，以便增進抗熱性。在本實施例中，使用鈦膜作為源極電極層 525a 和汲極電極層 525b。

源極電極層 525a 和汲極電極層 525b 可以具有單層結構或二或更多層的堆疊結構。舉例而言，可為包含矽的鋁膜之單層結構、鈦膜堆疊於鋁膜之上的雙層結構、鈦膜、鋁膜、及鈦膜依序地堆疊的三層結構、等等。

在形成源極電極層 525a 和汲極電極層 525b 之後執行熱處理的情形中，導電膜較佳具有高至足以耐熱處理的抗熱性。

注意，在本實施例中，使用以 In-Ga-Zn-O 為基礎的氧化物半導體層作為氧化物半導體層 513 和 523。以 In-Ga-Zn-O 為基礎的氧化物半導體的電子親和力 ( $\chi$ ) 是 4.3 eV，並且，其能隙 ( $E_g$ ) 為 3.15 eV。

接著，在氧化物半導體層 513 和 523、源極電極層 515a 和 525a、以及汲極電極層 515b 和 525b 之上形成作為保護絕緣膜的絕緣層 507。適當地以例如濺射法等不會使例如水或氫等雜質進入絕緣層 507 之方法，形成絕緣層 507。在本實施例中，以濺射法形成 200 nm 厚的氧化矽膜作為絕緣層 507。

接著，在惰性氣體氛圍或氧氣氛圍中，執行第二熱處理（較佳地，200℃ 至 400℃，例如 250℃ 至 350℃）。舉例而言，在 250℃ 下，在氮氛圍中執行第二熱處理一小時。在第二熱處理中，在部份氧化物半導體層（通道形成區）接觸絕緣層 507 時施加熱。

經由上述步驟，可以達成下述：為了防止要被形成的電晶體的電特徵變異，從氧化物半導體層去除造成變異之例如氫、濕氣、羥基、或氫化物（也稱為氫化合物）等雜質；並且，藉由供應去除雜質的步驟中同時降低之氧化物半導體的主成分之氧，將氧化物半導體層 513 和 523 高度地純化而變成電性上為 i 型的（本質的）。

保護絕緣層可以設於絕緣層507上。在本實施例中，在絕緣層507之上形成保護絕緣層509。關於保護絕緣層509，使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜、等等。在本實施例中，以濺射法形成100 nm厚的氮化矽膜作為保護絕緣層509。

因此，在下述條件下取得根據本實施例的p通道電晶體510：使用於源極電極層515a和汲極電極層515b之導體的功函數（ $\phi_m$ ）大於氧化物半導體的電子親和力（ $\chi$ ）與氧化物半導體的能隙的一半（ $E_g/2$ ）之總合（亦即， $\phi_m > \chi + E_g/2$ ），並且，以（ $\chi + E_g - \phi_m$ ）表示之用於電洞的障壁小於0.25 eV。另一方面，藉由使用具有未滿足p通道電晶體的源極電極層和汲極電極層的條件之不同功函數的導體所形成的源極電極層525a和汲極電極層525b，電晶體520可為n通道電晶體。因此，製造包含均包括氧化物半導體層的電晶體510和520之CMOS結構的半導體裝置（請參見圖12E）。

本說明書中所使用的氧化物半導體層用作為載子通過的路徑而未被界定為n型氧化物半導體層或p型氧化物半導體層。使用相同的i型（本質的）氧化物半導體層，以製造n通道電晶體及p通道電晶體。使用於接觸氧化物半導體層的源極電極層和汲極電極層之導體的功函數（ $\phi_m$ ）受到控制，以致於分別地形成n通道電晶體和p通道電晶體。因此，如下所述地製造n通道電晶體和p通道電晶體：以不同於p通道電晶體的材料及步驟，形成n通道電晶體的源極

電極層和汲極電極層，並且，以同於p通道電晶體的材料及步驟，形成n通道電晶體的閘極電極層、閘極絕緣層、氧化物半導體層、等等。製造CMOS結構，但不使製程複雜，而導致生產力及成本上的優點。

因此，取得高度功能及高度可靠的電半導體裝置，其中，包括包含氧化物半導體的p通道電晶體和n通道電晶體及使用p通道電晶體和n通道電晶體的二個極性。

本實施例可以與任何其它實施例做適當地結合而實施。

#### （實施例4）

在本實施例中，圖11顯示一實例，其中，當從剖面觀看時，氧化物半導體層被氮化物絕緣層所圍繞。圖11中所示的電晶體與實施例2中所述的電晶體450相同，但是絕緣層的上表面形狀及端部的位置、以及閘極絕緣層的結構除外。以類似於實施例2中所述的方式，形成與實施例2中相同或具有類似功能的部份，並且，以類似於實施例2中所述的方式，執行類似於實施例2中所述的步驟；因此，省略重複的說明。

圖11中所示的電晶體420是底部閘極型薄膜電晶體，其包含設於具有絕緣表面的基板400之上的閘極電極層401、使用氮化物絕緣層的閘極絕緣層432a、使用氧化物絕緣層的閘極絕緣層432b、氧化物半導體層403、源極電極層405a、和汲極電極層405b。覆蓋電晶體420的使用氧化物

絕緣層之絕緣層437係堆疊於氧化物半導體層403之上。使用氮化物絕緣層的保護絕緣層439係形成於絕緣層437之上。保護絕緣層439與使用氮化物絕緣層所形成的閘極絕緣層432a相接觸。

在電晶體420中，閘極絕緣層具有堆疊的結構，其中，氮化物絕緣層及氧化物絕緣層係依此順序而被堆疊於閘極電極層之上。在形成使用氮化物絕緣層所形成的保護絕緣層439之前，選擇性地蝕刻絕緣層437和閘極絕緣層432b，以致於使用氮化物絕緣層所形成的閘極絕緣層432a曝露出。

當從上方觀視時，至少絕緣層437的面積及閘極絕緣層432b的面積較佳大於氧化物半導體層403的面積，並且，絕緣層437和閘極絕緣層432b較佳地覆蓋電晶體420。

使用氮化物絕緣層所形成的保護絕緣層439係形成為覆蓋絕緣層437的上表面和絕緣層437和閘極絕緣層432b的側表面，並且，接觸由氮化物絕緣層所形成的閘極絕緣層432a。

關於均使用氮化物絕緣層所形成的保護絕緣層439和閘極絕緣層432a，使用未含有例如濕氣、氫離子、及OH<sup>-</sup>等雜質且防止它們從外部進入的無機絕緣膜；舉例而言，使用以RF濺射法或電漿CVD法取得的氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜、等等。

在本實施例中，舉例而言，關於使用氮化物絕緣層所形成的保護絕緣層439，以RF濺射法形成100 nm厚的氮化

矽層，以覆蓋氧化物半導體層403的底部表面、上表面、及側表面。

藉由圖11中所示的結構，由於設置成圍繞及接觸氧化物半導體層的閘極絕緣層432b和絕緣層437，而降低氧化物半導體層中例如氫、濕氣、羥基、或氫化物等雜質，並且，由於氧化物半導體層又被均由氮化物絕緣層所形成的閘極絕緣層432a和保護絕緣層439所圍繞，所以，可以在保護絕緣層439形成後的製程中防止濕氣從外部進入。此外，舉例而言，即使在完成裝置作為半導體裝置之後，仍然可以長期防止濕氣從外部進入；因此，增進裝置的長期可靠度。

在本實施例中，一個電晶體被氮化物絕緣層所圍繞，但是，本發明的實施例不限於此結構。多個電晶體可以被氮化物絕緣層所圍繞，或者，像素部中的多個電晶體可以被氮化物絕緣層所圍繞。形成保護絕緣層439與閘極絕緣層432a彼此相接觸的區域，以便圍繞主動矩陣基板的像素部。

因此，在下述條件下，取得根據本實施例的p通道電晶體：使用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）大於氧化物半導體的電子親和力（ $\chi$ ）及氧化物半導體的能隙的一半（ $E_g/2$ ）的總合（亦即， $\phi_m > \chi + E_g/2$ ），並且，以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV。

因此，提供高度功能及高度可靠的電半導體裝置，其

中，包括包含氧化物半導體的p通道電晶體和n通道電晶體及使用p通道電晶體和n通道電晶體的二個極性。

本實施例可以與其它實施例的任何結構做適當地結合而實施。

(實施例5)

在本實施例中，將參考圖13A至13E，詳述包含氧化物半導體層的p通道電晶體的實例及p通道電晶體的製造方法。以類似於上述實施例中所述的方式，形成與上述實施例中相同或具有類似功能的部份，並且，以類似於上述實施例中所述的方式，執行類似於上述實施例中的步驟，並省略重複說明。也省略相同部份的詳細說明。

圖13A至13E顯示電晶體的剖面結構的實施例。圖13A至13E中所示的電晶體390是底部閘極型薄膜電晶體的其中之一，也被稱為反轉堆疊型薄膜電晶體。

雖然使用單閘極電晶體作為電晶體390來作說明，但是，於需要時，可以形成包含多個通道形成區的多閘極電晶體。

將參考圖13A至13E，於下說明在基板394之上製造電晶體390的製程。

首先，在具有絕緣表面的基板394之上形成導電膜，然後，在第一微影步驟中，形成閘極電極層391。較佳的是，由於閘極電極層的端部具有錐形形狀，所以，堆疊於其之上的閘極絕緣層的覆蓋率增進。注意，以噴墨法形成

光阻掩罩，而不需要光罩；因此，降低製造成本。

對於使用作為具有絕緣表面的基板 394 之基板並無特別限定，只要其至少具有高至足以耐受後續執行的熱處理之抗熱性即可。舉例而言，使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等的玻璃基板。

在使用玻璃基板且後續執行的熱處理的溫度高的情形中，較佳使用應變點等於或高於  $730^{\circ}\text{C}$  的玻璃基板。關於玻璃基板，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃等玻璃材料。使用含有的氧化鋇 ( $\text{BaO}$ ) 的量比氧化硼 ( $\text{Ba}_2\text{O}_3$ ) 量多、且為實際抗熱玻璃之玻璃材料作為玻璃基板。

注意，可以使用例如陶瓷基板、石英基板、或藍寶石基板等絕緣體形成的基板，以取代玻璃基板。或者，可以使用結晶玻璃等等。又或者，適當地使用塑膠基板等等。

作為基底膜的絕緣膜係設於基板 394 與閘極電極層 391 之間。基底膜具有防止雜質元素從基板 394 擴散出的功能，並且，形成為具有使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜的其中之一或更多的單層結構或堆疊層結構。

使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等金屬材料或含有任何這些材料作為主成份之合金材料，將閘極電極層 391 形成為單層或堆疊層。

舉例而言，關於閘極電極層 391 的雙層結構，下述結構是較佳的：鋁層及堆疊於其之上的鉬層之雙層結構、銅

層及堆疊於其之上之鉬層之雙層結構、銅層及堆疊於其之上的氮化鈦層或氮化鉬層之雙層結構、氮化鈦層及鉬層之雙層結構、以及氮化鎢層和鎢層的雙層結構。關於三層結構，鎢層或氮化鎢層、鋁及矽的合金層或鋁及鈦的合金層、以及氮化鈦層或鈦層之堆疊是較佳的。注意，使用透光導電膜，以形成閘極電極層。關於透光導電膜的實施例可為透光導電氧化物等等。

然後，在閘極電極層 391 之上形成閘極絕緣層 397。

以電漿 CVD 法、濺射法、等等，形成閘極絕緣層 397 至具有氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層、及氧化鉛層的其中之一或更多的單層結構或堆疊結構。在以濺射法形成氧化矽膜的情形中，使用矽靶或石英靶作為靶材，並且，使用氧氣或氧及氬的混合氣體作為濺射氣體。

此處，藉由去除雜質而製成 i 型的或實質上 i 型的氧化物半導體（高度純化的氧化物半導體）對介面狀態或介面電荷高度敏感；因此，氧化物半導體層與閘極絕緣層之間的介面是重要的。因此，與高度純化的氧化物半導體相接觸的閘極絕緣層（GI）需要具有高品質。

舉例而言，較佳採用使用微波（2.45 GHz）的高密度電漿 CVD，在此情形中，形成緻密的、具有高耐受電壓、及具有高品質的絕緣膜。高度純化的氧化物半導體層與高品質閘極絕緣層彼此緊密接觸，因而降低介面狀態而取得有利的介面特徵。

只要能夠形成良好品質的絕緣層作為閘極絕緣層之方法，都可作為膜形成方法，例如濺射法或電漿CVD法。此外，形成絕緣層作為閘極絕緣層，所述絕緣層與氧化物半導體之間的介面的膜品質及特性由絕緣層形成後執行的熱處理增進。在任何情形中，只要任何絕緣層具有能夠降低絕緣層與氧化物半導體之間的介面的介面狀態密度以及形成有利介面、與具有有利的膜品質等特徵，即可作為絕緣層。

此外，當含有雜質的氧化物半導體在溫度為85℃及施加至閘極的電壓為 $2 \times 10^6$  V/cm的條件下，受到閘極偏壓溫度應力測試（BT測試）12小時時，雜質與氧化物半導體的主成分之間的鍵被高電場（B：偏壓）及高溫（T：溫度）斷開，所產生的懸空鍵造成臨界電壓（ $V_{th}$ ）漂移。

相反地，如上所述，本說明書中所揭示的本發明藉由儘可能多地去除氧化物半導體層中的雜質（特別是氫、水、等等）以取得閘極絕緣層與氧化物半導體膜之間的介面的有利特徵，而取得對BT測試穩定的電晶體。

閘極絕緣層397具有一結構，其中，氮化物絕緣層及氧化物絕緣層從閘極電極層391側堆疊。舉例而言，以濺射法形成厚度等於或大於50 nm且小於或等於200 nm的氮化矽層（ $\text{SiN}_y$ （ $y>0$ ））作為第一閘極絕緣層，並且，厚度大於或等於5 nm且小於或等於300 nm的氧化矽層（ $\text{SiO}_x$ （ $x>0$ ））係堆疊於第一閘極絕緣層之上作為第二閘極絕

緣層；因此，形成厚度100 nm的閘極絕緣層。可以視薄膜電晶體的所需特性而適當地設定閘極絕緣層的厚度。該厚度約為350 nm至400 nm。

此外，爲了在閘極絕緣層397及氧化物半導體膜393中含有儘可能少的氫、羥基、及濕氣，較佳的是，在濺射設備的預熱室中，將閘極電極層391形成於其之上的基板394或是有達到閘極絕緣層397的複數層形成於其之上的基板394預熱，以作為膜形成的前置處理，以致於被吸附於基板394的例如氫或濕氣等雜質被消除。注意，預熱溫度高於或等於100℃且低於或等於400℃，較佳高於或等於150℃且低於或等於300℃。關於設置用於預熱室的抽真空單元，較佳使用低溫泵。預熱處理可以省略。在形成絕緣層396之前，對到達且包含源極電極層395a和汲極電極層395b之複數層形成於其之上的基板394執行預熱處理。

然後，在閘極絕緣層397之上形成厚度大於或等於2 nm且小於或等於200 nm的氧化物半導體膜393（請參見圖13A）。

注意，在以濺射法形成氧化物半導體膜393之前，以反向濺射法較佳地去除附著於絕緣層397的表面的粉末物質（也稱為粒子或灰塵），在反向濺射中，導入氬氣以及產生電漿。反向濺射係一方法，其中，未施加電壓至靶材側，在氬氛圍中，使用RF電源以施加電壓至基板側，以在基板附近中產生電漿，以便修改基板表面。注意，可以使用氮氛圍、氬氛圍、氧氛圍等等以取代氬氛圍。

藉由濺射法，以形成氧化物半導體膜393。關於氧化物半導體膜393，使用例如以In-Sn-Ga-Zn-O為基礎的膜等四成分的金屬氧化物膜；例如以In-Ga-Zn-O為基礎的膜、以In-Sn-Zn-O為基礎的膜、以In-Al-Zn-O為基礎的膜、以Sn-Ga-Zn-O為基礎的膜、以Al-Ga-Zn-O為基礎的膜、或以Sn-Al-Zn-O為基礎的膜等三成分的金屬氧化物膜；或者，例如以In-Zn-O為基礎的膜、以Sn-Zn-O為基礎的膜、以Al-Zn-O為基礎的膜、以Zn-Mg-O為基礎的膜、以Sn-Mg-O為基礎的膜、或以In-Mg-O為基礎的膜等二成分的金屬氧化物；以In-O為基礎的膜、以Sn-O為基礎的膜、或以Zn-O為基礎的膜。此外，上述氧化物半導體膜可以含有SiO<sub>2</sub>。在本實施例中，使用以In-Ga-Zn-O為基礎的氧化物半導體靶，以濺射法形成氧化物半導體膜393。在稀有氣體（典型上為氬）氛圍、氧氛圍、或含有稀有氣體（典型上為氬）及氧的混合氛圍中，以濺射法形成氧化物半導體膜393。

關於濺射法之用以形成氧化物半導體膜393的靶材，使用含有氧化鋅作為主成分的金屬氧化物靶材。關於金屬氧化物靶材的實例，使用含有In、Ga、及Zn之氧化物靶材（成分比為In<sub>2</sub>O<sub>3</sub>：Ga<sub>2</sub>O<sub>3</sub>：ZnO = 1：1：1（莫耳比），或In：Ga：Zn = 1：1：0.5（原子比））。此外，關於含有In、Ga、及Zn之氧化物靶材，使用成分比為In：Ga：Zn = 1：1：1（原子比）或In：Ga：Zn = 1：1：2（原子比）。氧化物靶材的填充率大於或等於90%且小於或等於

100%，較佳地，大於或等於95%且小於或等於99.9%。藉由使用具有高填充率的氧化物靶材，以形成緻密的氧化物半導體膜。

將基板固持於保持降壓狀態的處理室中，並且，將基板加熱至室溫或小於400℃的溫度。然後，將氬及濕氣被去除的濺射氣體導入餘留的濕氣正被去除的處理室中，並且，藉由使用金屬氧化物作為靶材，在基板394之上沈積氧化物半導體膜393。為了從處理室中去除餘留的濕氣，較佳使用吸附型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。使用設有冷阱的渦輪分子泵作為抽真空單元。舉例而言，在使用低溫泵執行排氣的處理室中，排掉氬分子、例如水（ $H_2O$ ）等包含氬原子的化合物、等等（較佳地，也包含碳原子的化合物）。因此，能夠降低包含於處理室中形成的氧化物半導體膜中的雜質濃度。

關於沈積條件的實施例，基板與靶之間的距離為100 mm、壓力0.6 Pa、直流（DC）電源為0.5 kW、以及氛圍為氧氛圍（氧流量比例為100%）。注意，由於可以降低膜形成時產生的粉末物質（也稱為粒子或灰塵）以及膜厚均勻，所以，脈衝式直流（DC）電源是較佳的。氧化物半導體膜的厚度較佳大於或等於5 nm且低於或等於30 nm。注意，適當的厚度視氧化物半導體材料而不同，並且，可以視材料而適當地設定厚度。

然後，以第二微影步驟，將氧化物半導體膜處理成島狀氧化物半導體層399（請參見圖13B）。以噴墨法形成用

以形成島狀氧化物半導體層399的光阻掩罩。藉由噴墨法之光阻掩罩的形成不需要光罩；因此，製造成本降低。

在接觸孔係形成於閘極絕緣層397中的情形中，在形成氧化物半導體層399時形成所述步驟。

注意，氧化物半導體膜393的蝕刻可以是乾式蝕刻、濕式蝕刻、或乾式蝕刻及濕式蝕刻等二者。

關於用於乾式蝕刻的蝕刻氣體，較佳使用含氯的氣體（例如，氯（ $\text{Cl}_2$ ）、三氯化硼（ $\text{BCl}_3$ ）、四氯化矽（ $\text{SiCl}_4$ ）、或四氯化碳（ $\text{CCl}_4$ ）等以氯為基礎的氣體）。

或者，可以使用含有氟的氣體（例如，四氟化碳（ $\text{CF}_4$ ）、氟化硫（ $\text{SF}_6$ ）、氟化氮（ $\text{NF}_3$ ）、或三氟甲烷（ $\text{CHF}_3$ ）等以氟為基礎的氣體）；溴化氫（ $\text{HBr}$ ）；氧（ $\text{O}_2$ ）；這些氣體中任何添加例如氦（ $\text{He}$ ）或氬（ $\text{Ar}$ ）等稀有氣體之氣體；等等。

關於乾式蝕刻法，可以使用平行板RIE（反應離子蝕刻）法或ICP（感應耦合電漿）蝕刻法。為將膜蝕刻成所需形狀，適當地調整蝕刻條件（施加至線圈狀電極的電力量、施加至基板側上的電極之電力量、基板側上電極的溫度、等等）。

關於用於濕式蝕刻的蝕刻劑，使用例如磷酸、醋酸、及硝酸混合而取得的溶液、過氧化銨混合物（31 wt%的過氧化氫水：28 wt%的氨水：水=5：2：2）、等等。此外，也可以使用ITO-07N（由KANTO CHEMICAL Co., INC.所製造）。

藉由清洗，將濕式蝕刻中使用的蝕刻劑與蝕刻掉的材料一起去除。含有被去除的材料的蝕刻劑之廢液可以被純化及含於廢水中的材料可以再使用。當從蝕刻後的廢液中收集及再使用包含於氧化物半導體層中例如銦等材料時，可以有效地使用資源及降低成本。

爲了將膜蝕刻成所需形狀，視材料而適當地控制蝕刻條件（例如，蝕刻劑、蝕刻時間、溫度、等等）。

注意，在後續步驟形成導電膜之前，較佳執行反向濺射，以致於附著至氧化物半導體層399和閘極絕緣層397的光阻餘留物被去除。

使用於源極電極層和汲極電極層的導體（包含與源極和汲極電極層相同的層形成的佈線）的功函數（ $\phi_m$ ）滿足 $\phi_m > \chi + E_g/2$ 以及以 $(\chi + E_g - \phi_m)$ 表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV，以致於電洞從源極電極層的導體被注射入，通過氧化物半導體，並且抵達汲極電極層的導體。因此，電晶體可操作爲p通道電晶體。

在閘極絕緣層397及氧化物半導體層399之上形成導電膜。以濺射法或真空沈積法，形成導電膜。關於用於作爲源極電極層和汲極電極層的導電膜之材料，舉例而言，使用例如氧化錫（SnO）、LaCuOCh（Ch=例如S或Sc等硫族元素）、CuAO<sub>2</sub>（A=B、Al、Ga、In、等等）、SrCu<sub>2</sub>O<sub>2</sub>、NiO、Cu<sub>2</sub>O、或CuO等金屬氧化物。可以添加雜質以增加金屬氧化物的導電率。舉例而言，使用添加Mg的LaCuOCh或添加Li的NiO。

本說明書中的源極電極層和汲極電極層均是與氧化物半導體層相接觸的導電膜。因此，在源極電極層和汲極電極層堆疊的情形中，使用功函數（ $\phi_m$ ）滿足  $\phi_m > \chi + E_g/2$  並且以  $(\chi + E_g - \phi_m)$  表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於 0.25 eV 之導體，至少形成與氧化物半導體層相接觸的導電膜。

舉例而言，在源極電極層和汲極電極層依此順序用作為第一導電膜和第二導電膜而被堆疊於氧化物半導體層之上的情形中，使用功函數（ $\phi_m$ ）滿足  $\phi_m > \chi + E_g/2$  並且以  $(\chi + E_g - \phi_m)$  表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於 0.25 eV 之導體，以形成與氧化物半導體層相接觸的第一導電膜。使用另一導體，以形成第二導電膜。

使用選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 的元素、含有這些元素中的任何元素作為成分之合金、含有這些元素中的任何元素的組合之合金膜、等等，以形成未與氧化物半導體層相接觸的第二導電膜。或者，使用一結構，其中，Cr、Ta、Ti、Mo、W、等等的高熔點金屬層堆疊於 Al、Cu、等等的金屬層的上表面或底表面的其中之一或二者上。或者，可以使用添加有例如 Si、Ti、Ta、W、Mo、Cr、Nd、Sc、或 Y 等防止鋁膜中產生鬚狀或丘狀的元素之 Al 材料，以便增進抗熱性。或者，透光導電材料可以被使用於第二導電膜。

在第三微影步驟中，在導電膜之上形成光阻掩罩。然後，執行選擇性蝕刻，以便形成源極電極層 395a 和汲極電

極層 395b，然後，去除光阻掩罩（請參見圖 13C）。

以紫外光、KrF雷射光、或ArF雷射光用於第三微影步驟中使用於光阻掩罩形成的曝光。要完成的電晶體的通道長度L係由氧化物半導體層399之上彼此相鄰之源極電極層的下端和汲極電極層的下端之間的距離來予以決定。注意，當在通道長度L小於25 nm的情形中執行曝光時，使用具有數奈米至數十奈米之極度短波長的極紫外光，執行第三微影步驟中用以形成光阻掩罩的曝光。在使用極紫外光的曝光中，解析度高及聚焦深度大。因此，稍後要被形成的電晶體的通道長度L大於或等於10 nm且低於或等於1000 nm，電路的操作速度增加，又由於關閉狀態電流值極度小，因此取得更低的耗電。

適當地調整層的材料及蝕刻條件，以致於氧化物半導體層399在導電膜蝕刻時不被去除。

注意，在第三微影步驟中，在某些情形中僅有部份氧化物半導體層399被蝕刻，因而形成具有溝槽（凹部）的氧化物半導體層。此外，以噴墨法形成用以形成源極電極層395a和汲極電極層395b之光阻掩罩。以噴墨法形成光阻掩罩不需要光罩；因而降低製造成本。

爲了降低微影步驟中的光罩數目及步驟，藉由使用多色調掩罩形成的光阻掩罩以執行蝕刻，多色調掩罩是光透射過而具有多個強度的曝光掩罩。由於使用多色調掩罩形成的光阻掩罩具有複數種厚度，並且又可藉由蝕刻而改變形狀，所以，在用以提供不同圖案之多個蝕刻步驟中使用

光阻掩罩。因此，藉由一個多色調光罩，可以形成對應於至少二種的不同圖案之光阻掩罩。因此，可以降低曝光掩罩的數目，也可以降低對應的微影步驟之數目，因而可以實現製程簡化。

藉由使用例如  $N_2O$ 、 $N_2$ 、或 Ar 等氣體之電漿處理，去除附著至氧化物半導體層的曝露部份之表面的水。此外，使用氧及氬的混合氣體，以執行電漿處理。

在執行電漿處理的情形中，形成絕緣層 396 而不曝露於空氣中，以作為接觸部份氧化物半導體層的保護絕緣膜（請參見圖 13D）。在本實施例中，在氧化物絕緣層 396 既未與源極電極層 395a 相重疊也未與汲極電極層 395b 相重疊的區域中，形成彼此接觸的氧化物半導體層 399 及絕緣層 396。

在本實施例中，以下述方式形成包含缺陷的氧化矽層作為絕緣層 396：將有複數個層形成於其之上的基板 394 加熱至室溫或低於  $100^\circ\text{C}$  的溫度，所述複數個層係達到島狀氧化物半導體層 399、源極電極層 395a、和汲極電極層 395b；導入氬和濕氣已被去除的含有高純度氧的濺射氣體；以及使用矽靶材。

舉例而言，在下述條件下，以脈衝 DC 濺射，形成氧化矽膜：使用純度 6N 之摻雜硼的矽靶材（電阻率  $0.01\ \Omega\ \text{cm}$ ）；基板與靶材之間的距離（T-S 距離）是 89 mm；壓力是 0.4 Pa；直流（DC）電源是 6 Kw；氛圍是氧氛圍（氧流量比是 100%）。膜的厚度是 300 nm。注意，使用石英

(較佳為合成石英)作為用以形成氧化矽膜的靶材以取代矽靶材。使用氧或氧及氫的混合氣體作為濺射氣體。

在該情形中，較佳的是在沈積絕緣層396時去除處理室中的餘留濕氣。這是為了防止氧化物半導體層399及氧化物絕緣層396含有氫、羥基、或濕氣。

為了去除餘留在處理室中的濕氣，較佳使用吸附型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。關於抽真空單元，可以使用設有冷阱的渦輪分子泵。在由低溫泵抽真空的處理室中，舉例而言，去除氫分子、例如濕氣( $\text{H}_2\text{O}$ )等包含氫原子的化合物、等等。因此，降低處理室中形成的氧化物絕緣層396包含的雜質濃度。

注意，關於絕緣層396，使用氧氮化矽層、氧化鋁層、氧氮化鋁層、等等以取代氧化矽層。

此外，在絕緣層396與氧化物半導體層399彼此接觸下，以 $100^\circ\text{C}$ 至 $400^\circ\text{C}$ 執行熱處理。由於在本實施例中的絕緣層396具有大量的缺陷，所以，藉由此熱處理，例如氫、濕氣、羥基、或氫化物等含於氧化物半導體層399中的雜質擴散至絕緣層396，以致於氧化物半導體層399中的雜質進一步降低。

經由上述步驟，形成包含氫、濕氣、羥基、或氫化物的濃度降低之氧化物半導體層392的電晶體390(請參見圖13E)。

當以上述方式形成氧化物半導體膜時，去除反應氛圍中的餘留濕氣；因此，降低氧化物半導體膜中的氫及氫化

物的濃度。因此，氧化物半導體膜穩定。

在氧化物絕緣層之上設置保護絕緣層。在本實施例中，保護絕緣層398係形成於絕緣層396之上。使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜、等等作為保護絕緣層398。

以下述方式形成氮化矽層作為保護絕緣層398：將有複數個層形成於其之上的基板394加熱至100℃至400℃的溫度、導入氫和濕氣已被去除的含有高純度氮的濺射氣體、以及使用矽半導體靶，所述複數層係達到絕緣層396。也在該情形中，以類似於絕緣層396的方式，較佳在形成保護絕緣層398時去除處理室中的餘留濕氣。

在形成保護絕緣層398的情形中，在沈積保護絕緣層398時，將基板394加熱至100℃至400℃，因此，包含於氧化物半導體層中的氫或濕氣擴散至氧化物絕緣層中。在此情形中，在形成氧化物絕緣層396之後並非需要執行熱處理。

在作為物絕緣層396的氧化矽層及作為保護絕緣層398的氮化矽層堆疊的情形中，在相同的處理室中，使用共同的矽靶材，形成氧化矽層及氮化矽層。首先，導入含氧的濺射氣體及使用設於處理室內的矽靶材，以形成氧化矽層，然後，將濺射氣體換成含氮的濺射氣體及使用相同的矽靶材以形成氮化矽層。由於連續地形成氧化矽層及氮化矽層而不曝露於空氣，所以，防止例如氫或濕氣等雜質被吸附於氧化矽層的表面上。在該情形中，在作為絕緣層396

的氧化矽層及作為保護絕緣層398的氮化矽層堆疊之後，較佳執行熱處理（在 $100^{\circ}\text{C}$ 至 $400^{\circ}\text{C}$ ），以將包含於氧化物半導體層中的氫或濕氣擴散至氧化物絕緣層中。

在形成保護絕緣層之後，在大氣中，在高於或等於 $100^{\circ}\text{C}$ 且低於或等於 $200^{\circ}\text{C}$ 的溫度下，又執行熱處理一小時至30小時。此熱處理可以在固定加熱溫度下執行；或者，重複地執行多次下述加熱溫度變化：加熱溫度從室溫增加至大於或等於 $100^{\circ}\text{C}$ 且低於或等於 $200^{\circ}\text{C}$ 的溫度，然後降至室溫。此外，在形成氧化物絕緣膜之前，在降壓下執行此熱處理。在降壓下，熱處理時間可以縮短。藉由此熱處理，能夠取得常關電晶體。因此，增加半導體裝置的可靠度。

當在閘極絕緣層之上形成用作為通道形成區的氧化物半導體層時，去除餘留在反應氛圍中的濕氣；因此，降低氧化物半導體層中的氫及氫化物的濃度。

上述步驟可以用於液晶顯示裝置的背面（有電晶體形成於其之上的基板）之製造。上述步驟可以應用至使用邊長大於1 m且厚度為1 mm或更小的玻璃基板的製程。

因此，在下述條件下，取得根據本實施例的p通道電晶體：使用於源極電極層和汲極電極層的導體的功函數（ $\phi_m$ ）大於氧化物半導體的電子親和力（ $\chi$ ）及氧化物半導體的能隙的一半（ $E_g/2$ ）的總合（亦即， $\phi_m > \chi + E_g/2$ ），並且，以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於0.25 eV。

因此，提供高度功能及高度可靠的電半導體裝置，其中，包括包含氧化物半導體的p通道電晶體和n通道電晶體及使用p通道電晶體和n通道電晶體的二個極性。

本實施例可以與其它實施例的任何結構做適當地結合而實施。

在本實施例中，將參考圖14A至14E，詳述包含氧化物半導體層的p通道電晶體的實施例及p通道電晶體的製造方法。以類似於上述實施例中所述的方式，形成與上述實施例中相同或具有類似功能的部份，並且，以類似於上述實施例中所述的方式，執行類似於上述實施例中的步驟，並省略重複說明。也省略相同部份的詳細說明。

圖14A至14E顯示電晶體的剖面結構的實例。圖14A至14E中所示的電晶體310是底部閘極型薄膜電晶體的其中之一，也被稱為反轉堆疊型薄膜電晶體。

雖然使用單閘極電晶體作為電晶體310來作說明，但是，於需要時，形成包含多個通道形成區的多閘極電晶體。

將參考圖14A至14E，於下說明在基板305之上製造電晶體310的製程。

首先，在具有絕緣表面的基板305之上形成導電膜，然後，在第一微影步驟中，形成閘極電極層311。注意，以噴墨法形成光阻掩罩，而不需要光罩；因此，降低製造成本。

對於作為具有絕緣表面的基板之基板並無特別限定，

只要其至少具有高至足以耐受後續執行的熱處理之抗熱性即可。舉例而言，使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等的玻璃基板。

在使用玻璃基板且後續執行的熱處理的溫度高的情形中，較佳使用應變點等於或高於  $730^{\circ}\text{C}$  的玻璃基板。關於玻璃基板，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃等玻璃材料。較佳使用含有的氧化鋇 ( $\text{BaO}$ ) 的量比氧化硼 ( $\text{Ba}_2\text{O}_3$ ) 量多、且為實際抗熱玻璃之玻璃基板。

注意，可以使用例如陶瓷基板、石英基板、或藍寶石基板等絕緣體形成的基板，以取代玻璃基板。或者，可以使用結晶玻璃等等。

作為基底膜的絕緣膜設於基板 305 與閘極電極層 311 之間。基底膜具有防止雜質元素從基板 305 擴散出的功能，並且，形成為具有使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜的其中之一或更多的單層結構或堆疊層結構。

使用例如鈳、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等金屬材料或含有任何這些材料作為主成份之合金材料，將閘極電極層 311 形成為單層或堆疊層。

舉例而言，關於閘極電極層 311 的雙層結構，下述結構是較佳的：鋁層及堆疊於其之上的鉬層之雙層結構、銅層及堆疊於其之上之鉬層之雙層結構、銅層及堆疊於其之上的氮化鈦層或氮化鉭層之雙層結構、氮化鈦層及鉬層之

雙層結構、以及氮化鎢層和鎢層的雙層結構。關於三層結構，鎢層或氮化鎢層、鋁及矽的合金層或鋁及鈦的合金層、以及氮化鈦層或鈦層之堆疊是較佳的。

然後，在閘極電極層 311 之上形成閘極絕緣層 307。

以電漿 CVD 法、濺射法、等等，形成閘極絕緣層 307 至具有氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層、及氧化鉛層的其中之一或更多的單層結構或堆疊結構。或者，可以採用使用微波（2.45 GHz）的高密度電漿 CVD 法。

在本實施例中，以電漿 CVD 法形成 100 nm 厚的氧氮化矽層作為閘極絕緣層 307。

然後，在閘極絕緣層 307 之上形成厚度大於或等於 2 nm 且小於或等於 200 nm 的氧化物半導體膜 330。

注意，在以濺射法形成氧化物半導體膜 330 之前，以反向濺射法較佳去除附著於絕緣層 307 的表面的灰塵，在反向濺射中，導入氬氣以及產生電漿。注意，可以使用氮氛圈、氮氛圈、氧氛圈等等以取代氬氛圈。

關於氧化物半導體膜 330，使用例如以 In-Sn-Ga-Zn-O 為基礎的膜等四成分的金屬氧化物膜；例如，以 In-Ga-Zn-O 為基礎的膜、以 In-Sn-Zn-O 為基礎的膜、以 In-Al-Zn-O 為基礎的膜、以 Sn-Ga-Zn-O 為基礎的膜、以 Al-Ga-Zn-O 為基礎的膜、或以 Sn-Al-Zn-O 為基礎的膜等三成分的金屬氧化物膜；或者，例如，以 In-Zn-O 為基礎的膜、以 Sn-Zn-O 為基礎的膜、以 Al-Zn-O 為基礎的膜、以 Zn-Mg-O 為

基礎的膜、以 Sn-Mg-O 為基礎的膜、或以 In-Mg-O 為基礎的膜等二成分的金屬氧化物；以 In-O 為基礎的膜、以 Sn-O 為基礎的膜、或以 Zn-O 為基礎的膜。此外，上述氧化物半導體膜可以含有 SiO<sub>2</sub>。在本實施例中，使用以 In-Ga-Zn-O 為基礎的氧化物半導體靶材，以濺射法形成氧化物半導體膜 330。圖 14A 顯示此步驟中的剖面視圖。在稀有氣體（典型上為氬）氛圍、氧氛圍、或包含稀有氣體（典型上為氬）及氧的混合氛圍中，以濺射法形成氧化物半導體膜 330。

關於濺射法之用以形成氧化物半導體膜 330 的靶材，使用含有氧化鋅作為主成分的金屬氧化物靶材。關於金屬氧化物靶材的另一實施例，使用含有 In、Ga、及 Zn 之氧化物靶材（成分比為 In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1（莫耳比），或 In : Ga : Zn = 1 : 1 : 0.5（原子比））。此外，關於含有 In、Ga、及 Zn 之氧化物靶，使用成分比為 In : Ga : Zn = 1 : 1 : 1（原子比）或 In : Ga : Zn = 1 : 1 : 2（原子比）。氧化物靶材的填充率大於或等於 90% 且小於或等於 100%，較佳地，大於或等於 95% 且小於或等於 99.9%。藉由使用具有高填充率的氧化物靶材，以形成緻密的氧化物半導體膜。

較佳的是使用高純度氣體作為形成氧化物半導體層 330 時使用的濺射氣體，在高純度氣體中，例如氬、水、羥基或氫化物等雜質被去除以致於濃度為約數 ppm 或約數 ppb。

將基板固持於保持降壓狀態的處理室中，並且，將基板溫度設定為大於或等於  $100^{\circ}\text{C}$  且小於或等於  $600^{\circ}\text{C}$ ，較佳地，大於或等於  $200^{\circ}\text{C}$  且小於或等於  $400^{\circ}\text{C}$ 。藉由在沈積期間加熱基板，降低氧化物半導體膜的雜質濃度。此外，降低濺射造成的損害。然後，將氬及濕氣被去除的濺射氣體導入餘留的濕氣正被去除的處理室中，並且，藉由使用金屬氧化物作為靶材，在基板 305 之上沈積氧化物半導體膜 330。為了從處理室中去除餘留的濕氣，較佳使用吸附型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。使用設有冷阱的渦輪分子泵作為抽真空單元。在使用低溫泵執行排氣的處理室中，排掉氬分子、例如水 ( $\text{H}_2\text{O}$ ) 等包含氬原子的化合物、等等（較佳地，也包含碳原子的化合物）。因此，能夠降低包含於處理室中所形成的氧化物半導體膜中的雜質濃度。

關於沈積條件的實例，基板與靶之間的距離為  $100\text{ mm}$ 、壓力  $0.6\text{ Pa}$ 、直流 (DC) 電源為  $0.5\text{ kW}$ 、以及氛圍為氧氛圍（氧流量比例為  $100\%$ ）。氧化物半導體膜的厚度較佳大於或等於  $5\text{ nm}$  且低於或等於  $30\text{ nm}$ 。注意，適當的厚度視氧化物半導體材料而不同，並且，可以視材料而適當地設定厚度。

然後，以第二微影步驟，將氧化物半導體膜 330 處理成島狀氧化物半導體層。以噴墨法形成用以形成島狀氧化物半導體層的光阻掩罩。藉由噴墨法之光阻掩罩的形成不需要光罩；因此，製造成本降低。

接著，氧化物半導體層受到第一熱處理。藉由第一熱處理，執行氧化物半導體層的脫水或脫氫。第一熱處理的溫度高於或等於 $400^{\circ}\text{C}$ 且低於或等於 $750^{\circ}\text{C}$ ，較佳高於或等於 $400^{\circ}\text{C}$ 且低於基板的應變點。此處，將基板置於熱處理設備的其中之一的電熱爐中，並且，在 $450^{\circ}\text{C}$ 下，在氮氛圍中，使氧化物半導體層受到熱處理一小時，然後，防止水或氫混入氧化物半導體層而未曝露於空氣中；因此，取得氧化物半導體層331（請參見圖14B）。

注意，熱處理設備不限於電熱爐，可以包含由來自例如電阻式加熱器等加熱器之熱傳導或熱輻射以將要處理的物品加熱之裝置。舉例而言，使用例如LRTA（燈快速熱退火）設備或GRTA（氣體快速熱退火）設備等RTA（快速熱退火）設備。LRTA設備是藉由例如鹵素燈、金屬鹵化物燈、氬電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將要被處理的物體加熱。GRTA設備是使用高溫氣體執行熱處理的設備。關於氣體，使用不會因熱處理而與要被處理的物體反應之惰性氣體，例如氮或例如氬等稀有氣體。

舉例而言，關於第一熱處理，如下所述般執行GRTA：將基板移入被加熱至高達 $650^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 的高溫之惰性氣體、基板被加熱數分鐘、以及將基板移出被加熱至高溫的惰性氣體。藉由GRTA，能夠在短時間內高溫熱處理。

在第一熱處理中，較佳的是，氮或例如氬、氖、或氫等稀有氣體的氛圍中未含有水、氫、等等。較佳的是，被

導入至熱處理設備之氮或例如氦、氖、或氬等稀有氣體之純度具有 6N ( 99.9999% ) 或更高的純度，較佳為 7N ( 99.99999% ) 或更高 ( 亦即，雜質濃度為 1 ppm 或更低，較佳為 0.1 ppm 或更低 ) 。

在氧化物半導體膜 330 被處理成島狀氧化物半導體層之前，也對氧化物半導體膜 330 執行氧化物半導體層的第一熱處理。在該情形中，在第一熱處理之後，從熱處理設備取出基板，然後，對其執行微影步驟。

只要是在沈積氧化物半導體層之後執行對於脫水或脫氫有效的熱處理，則不論在源極電極和汲極電極堆疊於氧化物半導體層之上之後或是在保護絕緣膜形成於源極電極和汲極電極之上之後，都可以執行對於脫水或脫氫有效的熱處理。

在接觸孔形成於閘極絕緣層 307 中的情形中，可以在對氧化物半導體層 330 執行的脫水或脫氫之前或之後，執行其步驟。

氧化物半導體膜的蝕刻不限於濕式蝕刻，可以是乾式蝕刻。

為了將膜蝕刻成所需形狀，視材料而適當地控制蝕刻條件 ( 例如，蝕刻劑、蝕刻時間、溫度、等等 ) 。

使用於源極電極層和汲極電極層 ( 包含與源極和汲極電極層相同的層形成的佈線 ) 的導體的功函數 (  $\phi_m$  ) 滿足  $\phi_m > \chi + E_g/2$  以及以 (  $\chi + E_g - \phi_m$  ) 表示之用於電洞 (  $\phi_{Bp}$  ) 的障壁小於 0.25 eV，以致於電洞從源極電極層的

導體被注射入，通過氧化物半導體，並且抵達汲極電極層的導體。因此，電晶體可操作為p通道電晶體。

在閘極絕緣層307及氧化物半導體層311之上形成導電膜。以濺射法或真空沈積法，形成導電膜。關於用於作為源極電極層和汲極電極層的導電膜之材料，舉例而言，使用例如氧化錫（ $\text{SnO}$ ）、 $\text{LaCuOCh}$ （ $\text{Ch}$ =例如S或Se等硫族元素）、 $\text{CuAO}_2$ （ $\text{A}=\text{B}$ 、 $\text{Al}$ 、 $\text{Ga}$ 、 $\text{In}$ 、等等）、 $\text{SrCu}_2\text{O}_2$ 、 $\text{NiO}$ 、 $\text{Cu}_2\text{O}$ 、或 $\text{CuO}$ 等金屬氧化物。可以添加雜質以增加金屬氧化物的導電率。舉例而言，使用添加Mg的 $\text{LaCuOCh}$ 或添加Li的 $\text{NiO}$ 。

在沈積導電膜之後執行熱處理的情形中，較佳的是導電膜具有高至足以耐受熱處理的抗熱性。

以第三微影步驟，在導電膜上形成光阻掩罩，並且，藉由選擇性蝕刻，以形成源極電極層315a和汲極電極層315b，然後，去除光阻掩罩（請參見圖14C）。

以紫外光、KrF雷射光、或ArF雷射光用於第三微影步驟中用於光阻掩罩形成的曝光。要被形成的電晶體的通道長度 $L$ 係由氧化物半導體層331之上彼此相鄰之源極電極層的下端和汲極電極層的下端之間的距離來予以決定。注意，當在通道長度 $L$ 小於25 nm的情形中執行曝光時，以具有數奈米至數十奈米之極度短波長的極紫外光，用於第三微影步驟中用以形成光阻掩罩的曝光。在使用極紫外光的曝光中，解析度高及聚焦深度大。因此，稍後要被形成的電晶體的通道長度 $L$ 大於或等於10 nm且低於或等於1000

nm，並且增加電路的操作速度，此外，關閉狀態電流值極度小，因此取得更低耗電。

適當地調整層的材料及蝕刻條件，以致於氧化物半導體層331在導電膜蝕刻時不被去除。

在本實施例中，使用Ti膜作為導電膜，並且，以In-Ga-Zn-O為基礎的氧化物半導體使用於氧化物半導體層331，並且，使用過氧化銨溶液（31 wt%的過氧化氫水：28 wt%的氨水：水=5：2：2）作為蝕刻劑。

注意，在第三微影步驟中，在某些情形中僅有部份氧化物半導體層331被蝕刻，因而形成具有溝槽（凹部）的氧化物半導體層。此外，以噴墨法形成用以形成源極電極層315a和汲極電極層315b之光阻掩罩。以噴墨法形成光阻掩罩不需要光罩；因而降低製造成本。

此外，在氧化物半導體層與源極和汲極電極層之間形成氧化物導電層。連續地形成用以形成源極和汲極電極層的氧化物導電層和金屬層。氧化物導電層作為源極區和汲極區。

藉由在氧化物半導體層與源極和汲極電極層之間設置氧化物導電層作為源極區和汲極區，源極區和汲極區的電阻被降低及電晶體可被高速地操作。

為了降低微影步驟中的光罩之數目及步驟，藉由使用多色調掩罩形成的光阻掩罩以執行蝕刻，多色調掩罩是光透射過而具有多種強度的曝光掩罩。由於使用多色調掩罩形成的光阻掩罩具有複數種厚度，並且又可藉由執行蝕刻

而改變形狀，所以，在用以提供不同圖案之多個蝕刻步驟中使用光阻掩罩。因此，藉由一個多色調光罩，可以形成對應於至少二種的不同圖案之光阻掩罩。因此，可以降低曝光掩罩的數目，也可以降低對應的微影步驟之數目，因而可以實現製程簡化。

接著，藉由使用例如  $\text{N}_2\text{O}$ 、 $\text{N}_2$ 、或  $\text{Ar}$  等氣體之電漿處理，以便去除附著於氧化物半導體層的曝露部份之表面的水。

執行電漿處理，之後，形成作為接觸部份氧化物半導體層的保護絕緣膜之絕緣層 316 而未曝露於大氣。

適當地以例如濺射法等不會使例如水或氫等雜質進入絕緣層 316 之方法，形成厚度至少 1 nm 的絕緣層 316。當氫含於絕緣層 316 中時，發生氫進入氧化物半導體層或由氫取出氧化物半導體層中的氧，藉以使得氧化物半導體層的背后通道具有更低的電阻（成為 n 型），以致於可以形成寄生通道。因此，重要的是採用不使用氫之形成方法以致於形成含有儘可能少的氫之絕緣層 316。

在本實施例中，以濺射法沈積厚度 200 nm 的氧化矽膜作為絕緣層 316。在膜沈積時的基板溫度可以高於或等於室溫且小於或等於  $300^\circ\text{C}$ ，在本實施例中為  $100^\circ\text{C}$ 。在稀有氣體（典型上為氫）氛圍中、氧氛圍中、或含有氧和稀有氣體（典型上為氫）的氛圍中，以濺射法形成氧化矽膜。使用氧化矽靶材或矽靶材作為靶材。舉例而言，藉由使用矽靶材，在氧及氮的氛圍中，以濺射法沈積氧化矽。使用

未包含例如濕氣、氫離子、或  $\text{OH}^+$  等雜質且阻擋這些雜質從外部進入的無機絕緣膜，形成接觸電阻降低的氧化物半導體層之絕緣層 316。典型上，使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、等等。

在該情形中，較佳的是在沈積絕緣層 316 時去除餘留在處理室中的濕氣。這是為了防止氧化物半導體層 331 及絕緣層 316 含有氫、羥基、或濕氣。

為了從處理室中去除餘留的濕氣，較佳使用吸附型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。使用設有冷阱的渦輪分子泵作為抽真空單元。舉例而言，在使用低溫泵抽真空的處理室中，排掉氫分子、例如水 ( $\text{H}_2\text{O}$ ) 等包含氫原子的化合物、等等。因此，可以降低處理室中所形成的絕緣層 316 中的雜質濃度。

較佳使用例如氫、水、羥基或氫化物被去除以致於濃度為約數 ppm 或約數 ppb 的高純度氣體，作為形成絕緣層 316 時的濺射氣體。

然後，在惰性氣體氛圍或氧氣氛圍中（較佳地， $200^\circ\text{C}$  至  $400^\circ\text{C}$ ，例如  $250^\circ\text{C}$  至  $350^\circ\text{C}$ ），執行第二熱處理。舉例而言，在  $250^\circ\text{C}$  下，在氮氛圍中執行第二熱處理一小時。在第二熱處理中，在部份氧化物半導體層（通道形成區）接觸絕緣層 316 時施加熱。

經由上述步驟，可以執行下述：形成的氧化物半導體層受到脫氫或脫水熱處理以致於從氧化物半導體去除造成變異之例如氫、濕氣、羥基、或氫化物（也稱為氫化合物

）等雜質；並且，藉由供應去除雜質的步驟中同時降低之氧化物半導體的主成分之氧，將氧化物半導體層高度地純化而變成電性上為i型的（本質的）。

在例如氮氛圈或稀有氣體氛圈等惰性氣體氛圈中，執行脫水或脫氫熱處理的情形中，已受到熱處理的氧化物半導體層具有較低電阻。因此，在本實施例中，當氧化物半導體層係設置成接觸絕緣層316以供應氧時，使接觸絕緣層316的部份氧化物半導體層選擇性地成為氧過量狀態並因而作為i型通道形成區。在該情形中，歸因於自行對準方式的氧缺乏，與源極電極層315a或汲極電極層315b重疊且未與絕緣層316直接接觸的氧化物半導體層315b的區域變成n型的。這些區域作為高電阻源極區或高電阻汲極區。藉由此結構，高電阻汲極區作為緩衝，且即使當高電場施加於閘極電極層311與汲極電極層315b之間時，仍然不會局部地施加高電場；因此，增進電晶體的耐受電壓。

經由上述步驟，以形成電晶體310（請參見圖14D）。

當使用具有很多缺陷的氧化矽層作為氧化物絕緣層時，在形成氧化矽層後藉由此熱處理，含於氧化物半導體層中的例如氫、濕氣、羥基、或氫化物等雜質擴散至氧化物絕緣層，以便進一步降低氧化物半導體層中的雜質。

在絕緣層316之上額外地形成保護絕緣層。舉例而言，以RF濺射法形成氮化矽膜。由於RF濺射法具有高生產力，所以，RF濺射法較佳作為用以形成保護絕緣層的方法。

法。使用未含有例如濕氣、氫離子、或  $\text{OH}^-$  等雜質且阻擋這些雜質從外部進入的無機絕緣膜；舉例而言，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜、等等。在本實施例中，使用氮化矽膜以形成保護絕緣層 306 作為保護絕緣層。

在本實施例中，將有達到絕緣層 316 的複數個層形成於其之上的基板 305 加熱至  $100^\circ\text{C}$  至  $400^\circ\text{C}$  的溫度，導入氫和濕氣已被去除的含有高純度氮的濺射氣體，並且使用矽半導體靶材，而形成氮化矽膜作為保護絕緣層 306。也在該情形中，較佳的是，以類似於絕緣層 316 的方式形成保護絕緣層 306 時去除處理室中的餘留濕氣。

在形成保護絕緣層之後，在大氣中，在高於或等於  $100^\circ\text{C}$  且低於或等於  $200^\circ\text{C}$  的溫度下，又執行熱處理一小時至 30 小時。此熱處理可以在固定加熱溫度下執行；或者，重複地執行多次下述加熱溫度變化：加熱溫度從室溫增加至大於或等於  $100^\circ\text{C}$  且低於或等於  $200^\circ\text{C}$  的溫度，然後降至室溫。此外，在形成氧化物絕緣膜之前，在降壓下執行此熱處理。在降壓下，熱處理時間可以縮短。

在保護絕緣層 306 之上設置用於平坦化的平坦化絕緣層。

因此，在下述條件下取得根據本實施例的 p 通道電晶體：使用於源極電極層和汲極電極層的導體的功函數 ( $\phi_m$ ) 大於氧化物半導體的電子親和力 ( $\chi$ ) 及能隙的一半 ( $E_g/2$ ) 的總合 (亦即， $\phi_m > \chi + E_g/2$ )，並且以 ( $\chi$

$+ E_g - \phi_m$ ) 表示之用於電洞 ( $\phi_{Bp}$ ) 的障壁小於 0.25 eV。

因此，提供高度功能及高度可靠的電半導體裝置，其中，包括包含氧化物半導體的 p 通道電晶體和 n 通道電晶體及使用 p 通道電晶體和 n 通道電晶體的二個極性。

本實施例可以與其它實施例的任何結構做適當地結合而實施。

#### (實施例 7)

在本實施例中，將參考圖 15，詳述包含氧化物半導體層的電晶體的實例及電晶體的製造方法實例。

在本實施例中，將參考圖 15，說明部份地不同於實施例 6 的電晶體的製程實例。由於圖 15 中的電晶體製程與圖 14A 至 14E 中的電晶體製程相同，但是，某些步驟除外，所以，以相同的代號用於相同的部份，且不重複相同部份的詳細說明。

根據實施例 6，閘極電極層 381 形成於基板 370 之上，並且，第一閘極絕緣層 372a 和第二閘極絕緣層 372b 互相堆疊。在本實施例中，閘極絕緣層具有雙層結構，其中，使用氮化物絕緣層和氧化物絕緣層分別作為第一閘極絕緣層 372a 和第二閘極絕緣層 372b。

可以使用氧化矽層、氧氮化矽層、氧化鋁層、氧氮化鋁層、氧化鉛層等等作為氧化物絕緣層。可以使用氮化矽層、氮氧化矽層、氮化鋁層、氮氧化鋁層、等等作為氮化

物絕緣層。

在本實施例的結構中，氮化矽層和氧化矽層從閘極電極層381側依序被堆疊。以下述方式，形成150 nm厚的閘極絕緣層：以濺射法，形成厚度大於或等於50 nm且小於或等於200 nm（在本實施例中為50 nm）的氮化矽層（ $\text{SiN}_y$ （ $y>0$ ））作為第一閘極絕緣層372a，然後在第一閘極絕緣層372a上堆疊厚度大於或等於5 nm且小於或等於300 nm（在本實施例中為100 nm）的氧化矽層（ $\text{SiO}_x$ （ $x>0$ ））作為第二閘極絕緣層372b。

接著，以微影步驟，將氧化物半導體膜處理成島狀氧化物半導體層。在本實施例中，使用以In-Ga-Zn-O為基礎的氧化物半導體靶材，以濺射法形成氧化物半導體膜。

在該情形中，較佳的是在沈積氧化物絕緣膜時去除餘留在處理室中的濕氣。這是為了防止氧化物半導體膜含有氧、羥基、或濕氣。

為了去除餘留在處理室中的濕氣，較佳使用吸附型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。可以使用設有冷阱的渦輪分子泵作為抽真空單元。從由低溫泵抽真空的處理室中，舉例而言，去除氫分子、例如濕氣（ $\text{H}_2\text{O}$ ）等包含氫原子的化合物、等等。因此，可以降低處理室中形成的氧化物半導體膜中所包含的雜質濃度。

較佳的是使用例如氫、水、羥基或氫化物等雜質被去除以致於濃度為約數ppm或約數ppb的高純度氣體，作為

當形成氧化物半導體膜時所使用的濺射氣體，。

接著，將氧化物半導體層的脫水或脫氫。用於脫水或脫氫的第一熱處理的溫度高於或等於 $400^{\circ}\text{C}$ 且低於或等於 $750^{\circ}\text{C}$ 之溫度，較佳高於或等於 $425^{\circ}\text{C}$ 且低於或等於 $750^{\circ}\text{C}$ 。注意，在第一熱處理的溫度為 $425^{\circ}\text{C}$ 或更高的情形中，熱處理時間可以是一小時或更短，而在第一熱處理溫度低於 $425^{\circ}\text{C}$ 的情形中，熱處理時間設定為比一小時長。在本實施例中，將基板置於一種熱處理設備的電熱爐中，並且，在氮氛圍中，對氧化物半導體層執行熱處理，然後，防止水或氫進氧化物半導體層，而未曝露於大氣中；因此，取得氧化物半導體層。之後，藉由將高純度氧氣、高純度 $\text{N}_2\text{O}$ 氣體、或超乾空氣（具有 $-40^{\circ}\text{C}$ 或更低的露點，較佳為 $-60^{\circ}\text{C}$ 或更低）導入至相同的爐中，以執行冷卻。較佳的是氧氣及 $\text{N}_2\text{O}$ 氣體未含有水、氫、等等。或者，被導入至熱處理設備中的氧氣或 $\text{N}_2\text{O}$ 氣體的純度較佳為6N（99.9999%）或更高，更佳為7N（99.99999%）或更高（亦即，氧氣或 $\text{N}_2\text{O}$ 氣體的純度為1 ppm或更低，較佳為0.1 ppm或更低）。

氧化物半導體層受到脫水或脫氫熱處理，以致於例如氫、水、羥基或氫化物（也稱為氫化合物）等造成變異的雜質從氧化物半導體層去除；並且，藉由供應去除雜質的步驟中同時降低之氧化物半導體的主成分的氧，將氧化物半導體層高度純化變成電性上為i型的（本質的）。

注意，熱處理設備不限於電熱爐，舉例而言，可以使

用例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）等快速熱退火（RTA）設備。LRTA設備是藉由例如鹵素燈、金屬鹵化物燈、氙電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將要被處理的物體加熱。此外，LRTA設備及GRTA設備可以設有不僅藉由來自燈也藉由來自例如電阻式加熱器等加熱器之熱傳導或熱輻射以將要被處理的物品加熱之裝置。GRTA是使用高溫氣體的熱處理方法。關於氣體，使用不會與熱處理要被處理的物體反應之惰性氣體，例如氮或例如氬等稀有氣體。以RTA方法，在 $600^{\circ}\text{C}$ 至 $750^{\circ}\text{C}$ 下執行熱處理數分鐘。

在脫水或脫氫的第一熱處理之後，在氧氣氛圍或 $\text{N}_2\text{O}$ 氣體的氛圍中，以大於或等於 $200^{\circ}\text{C}$ 且小於或等於 $400^{\circ}\text{C}$ 的溫度，較佳大於或等於 $200^{\circ}\text{C}$ 且小於或等於 $300^{\circ}\text{C}$ ，執行熱處理。

對被處理成島狀氧化物半導體層之前的氧化物半導體膜，執行用於氧化物半導體層的第一熱處理。在該情形中，在第一熱處理後，自熱處理設備取出基板，然後，於其上執行微影步驟。

經由上述步驟，整個氧化物半導體膜製成處於氧過量狀態，因而氧化物半導體膜具有更高的電阻，亦即，變成i型的。因此，形成整個區域是i型的氧化物半導體層382。

接著，以微影步驟在氧化物半導體層382之上形成光

阻掩罩，以及執行選擇性蝕刻以形成源極電極層 385a 和汲極電極層 385b。

使用於源極電極層 385a 和汲極電極層 385b（包含與源極和汲極電極層 385a 和汲極電極層 385b 相同的層形成的佈線）的導體的功函數（ $\phi_m$ ）滿足  $\phi_m > \chi + E_g/2$  並且以  $(\chi + E_g - \phi_m)$  表示之用於電洞（ $\phi_{Bp}$ ）的障壁小於 0.25 eV，以致於電洞從源極電極層 385a 的導體被注射入，通過氧化物半導體，並且抵達汲極電極層 385b 的導體。因此，電晶體可操作為 p 通道電晶體。

以濺射法或真空沈積法，形成源極電極層 385a 和汲極電極層 385b。關於用於源極電極層 385a 和汲極電極層 385b 的材料，舉例而言，使用例如氧化錫（SnO）、LaCuOCh（Ch=例如 S 或 Se 等硫族元素）、CuAO<sub>2</sub>（A=B、Al、Ga、In、等等）、SrCu<sub>2</sub>O<sub>2</sub>、NiO、Cu<sub>2</sub>O、或 CuO 等金屬氧化物。可以添加雜質以增加金屬氧化物的導電率。舉例而言，使用添加 Mg 的 LaCuOCh 或添加 Li 的 NiO。

接著，以濺射法，在氧化物半導體層 382、源極電極層 385a、和汲極電極層 385b 之上形成氧化物絕緣層 386。

在該情形中，較佳的是在沈積氧化物絕緣層 386 時去除餘留在處理室中的濕氣。這是為了防止氧化物半導體層 382 以及氧化物絕緣層 386 含有氫、羥基、或濕氣。

為了從處理室中去除餘留的濕氣，較佳使用吸附型真空泵。舉例而言，較佳使用低溫泵、離子泵、或鈦昇華泵。使用設有冷阱的渦輪泵作為抽真空單元。舉例而言，在

使用低溫泵抽真空的處理室中，排掉氫分子，例如水（ $\text{H}_2\text{O}$ ）等包含氫原子的化合物、等等。因此，可以降低處理室中形成的氧化物絕緣層386所包含的雜質濃度。

較佳使用例如氫、水、羥基或氫化物被去除以致於濃度為約數 ppm 或約數 ppb 的高純度氣體，作為形成絕緣層386時所使用的濺射氣體。

經由上述步驟，以形成電晶體380。

接著，為了抑制電晶體的電特徵變異，在惰性氣體氛圍或氮氣體氛圍中，執行熱處理（較佳地，在高於或等於 $150^\circ\text{C}$ 且低於 $350^\circ\text{C}$ 的溫度）。舉例而言，在氮氛圍中，以 $250^\circ\text{C}$ ，執行熱處理一小時。

在氧化物絕緣層386之上形成保護絕緣層373。在本實施例中，以濺射法形成厚度100 nm的氮化矽膜作為保護絕緣層373。

由氮化物絕緣層所形成的保護絕緣層373和第一閘極絕緣層372a未含有例如濕氣、氫、氫化物、或氫氧化物等雜質以及具有阻擋這些雜質從外部進入的有利功效。

因此，在形成保護絕緣層373之後的製程中，可以防止例如濕氣等雜質自外部進入。此外，舉例而言，即使在完成包含顯示面板的半導體裝置作為液晶顯示裝置後，仍然能夠長時間防止例如濕氣等雜質從外部進入；因此，能夠增進裝置的長期可靠度。

可以去除設在氮化物絕緣層的保護絕緣層373與第一閘極絕緣層372a之間的絕緣層，以使保護絕緣層373接觸

第一閘極絕緣層 372a。

因此，將氧化物半導體層中例如濕氣、氫、氫化物、或氫氧化物等雜質的濃度降低至最低且防止其再度進入，以致於氧化物半導體層中的雜質濃度保持低。

在保護絕緣層 373 之上設置用於平坦化的平坦化絕緣層。

因此，在下述條件下取得根據本實施例的 p 通道電晶體：使用於源極電極層和汲極電極層之導體的功函數 ( $\phi_m$ ) 大於氧化物半導體的電子親和力 ( $\chi$ ) 與氧化物半導體的能隙的一半 ( $E_g/2$ ) 之總合 (亦即， $\phi_m > \chi + E_g/2$ )，並且，以 ( $\chi + E_g - \phi_m$ ) 表示之用於電洞的障壁小於 0.25 eV。

因此，提供高度功能及高度可靠的電半導體裝置，其中，包括包含氧化物半導體的 p 通道電晶體和 n 通道電晶體及使用 p 通道電晶體和 n 通道電晶體的二個極性。

本實施例可以與其它實施例的任何結構做適當地結合而實施。

#### (實施例 8)

藉由製造電晶體和以電晶體用於像素部和驅動電路，製造具有顯示功能的半導體裝置 (也稱為顯示裝置)。此外，包含薄膜電晶體的某些或全部之驅動電路被形成於有像素部形成於其之上的基板之上，因而取得面板上系統 (system-on-panel)。

顯示裝置包含顯示元件。顯示元件的實例包含液晶元件（也稱為液晶顯示元件）及發光元件（也稱為發光顯示元件）。發光元件依其類別包含亮度受電流或電壓控制的元件，並且，依其類別具體上包含無機電致發光（EL）元件、有機EL元件、等等。此外，顯示裝置包含對比由電效應改變的顯示媒體，例如電子墨水。

此外，顯示裝置包含面板、及模組，在面板中係密封有顯示元件，在模組中，包含控制器之IC等安裝於面板上。此外，元件基板是在顯示裝置的製程中完成顯示元件之前的其中一個實施例，其係設有用於供應電流給多個像素中的每一個像素中的顯示元件之構機。具體而言，元件基板處於僅形成顯示元件的像素電極之狀態、形成要成為像素電極但尚未被蝕刻形成像素電極之導體膜的狀態、或任何其它狀態。

注意，在本說明書中的顯示裝置意指影像顯示裝置或光源（包含發光裝置）。此外，顯示裝置依其類別也包含下述模組：例如可撓性印刷電路（FPC）、捲帶式自動接合（TAB）帶、或捲帶載體封裝（TCP）等連接器附著之模組；具有端部設有印刷線路板之TCP或TAB帶的模組；以及，具有以玻璃上晶片（COG）法而被直接安裝於顯示元件上的積體電路（IC）之模組。

將參考圖16A、及16B，說明半導體裝置的其中一個實施例之顯示面板的外觀及剖面。圖16A及16B為顯示面板的平面視圖，其中，電晶體及顯示元件4013被密封材料

4005所密封於第一基板4001與第二基板4006之間。

密封材料4005係設置成圍繞而設於第一基板4001之上的像素部4002及掃描線驅動電路4004。第二基板4006係設於像素部4002及掃描線驅動電路4004之上。結果，像素部4002及掃描線驅動電路4004與顯示元件4008一起被第一基板4001、密封材料4005、及第二基板4006所密封。使用單晶半導體膜或多晶半導體膜而形成於分開製備之基板上的訊號線驅動電路4003係安裝於一區域中，所述區域與第一基板4001之上被密封材料4005所圍繞的區域不同。

注意，對於分開形成的驅動電路之連接方法並無特別限定，可以使用COG方法、打線接合法、TAB法、等等。圖16A顯示以COG法安裝訊號線驅動電路4003的實例。圖16B顯示以TAB法安裝訊號線驅動電路4003的實例。

形成於第一基板4001之上的像素部4002及掃描線驅動電路4004具有多個電晶體。實施例1至7中的任何實施例中所述的p通道電晶體可以被應用至電晶體。此外，實施例2中所述的CMOS結構可以被應用至電晶體。

本說明書中所使用的氧化物半導體層作為載子通過的路徑而未被界定為n型氧化物半導體層或p型氧化物半導體層。使用i型（本質的）氧化物半導體層的相同材料，以製造n通道電晶體及p通道電晶體。用於接觸氧化物半導體層的源極和汲極電極層之導體的功函數（ $\phi_m$ ）被控制，以致於分別地形成n通道電晶體和p通道電晶體。因此，如下所述般製造n通道電晶體和p通道電晶體：使用與p通道

電晶體不同的材料及不同步驟，以形成n通道電晶體的源極電極層和汲極電極層，並且，使用與p通道電晶體的閘極電極層、閘極絕緣層、氧化物半導體層、等等相同的材料，以形成n通道電晶體的閘極電極層、閘極絕緣層、氧化物半導體層、等等。可以不使製程複雜化而製造CMOS結構，導致生產力及成本上的優點。

在使用液晶元件作為顯示元件的情形中，使用TN液晶、OCB液晶、STN液晶、VA液晶、ECB液晶、GH液晶、聚合物散佈液晶、盤形液晶、等等。或者，使用不須要對齊膜之呈現藍相位的液晶。藍相位液晶是當膽茲液晶的溫度增加時，正好在膽茲相位變成各向等性相位之前呈現的液晶相位的其中之一。由於藍相位僅在相當狹窄的溫度範圍內出現，所以，以含有5重量%或更高的掌性劑之液晶成份用於液晶層，以增加溫度範圍。包含呈現藍相位的液晶及掌性劑的液晶成份具有1 msec或更少的短響應時間以及光學上各向等性的；因此，不須要對齊處理、以及視角相依性小。此外，由於不需要設置對齊膜而且也不需要摩擦處理，所以，可以防止摩擦處理造成的靜電放電損害，並且，可以降低製程中液晶顯示裝置的缺陷及損傷。因此，能夠增加液晶顯示裝置的產能。包含氧化物半導體層的電晶體特別具有薄膜電晶體的電特徵因靜電影響而顯著地波動及偏離設計範圍的可能性。因此，更有效的是以藍相位液晶材料用於包括電晶體之液晶顯示裝置，所述電晶體包含氧化物半導體層。

關於液晶顯示裝置，使用扭轉向列（TN）模式、平面中切換（IPS）模式、邊緣場切換（FFS）模式、軸向對稱對齊微胞（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、抗鐵電液晶（AFLC）模式、等等。

例如使用垂直對齊（VA）模式的透射式液晶顯示裝置等常黑液晶顯示裝置是較佳的。某些實施例可為垂直對齊模式。舉例而言，使用多域垂直對齊（MVA）模式、圖案化垂直對齊（PVA）模式、ASV模式、等等。

此外，本實施例被應用至VA液晶顯示裝置。VA液晶顯示裝置具有液晶顯示面板的液晶分子的對齊受控制之形式。在VA液晶顯示裝置中，當無電壓施加時，液晶分子在垂直於面板表面的方向上對齊。此外，可以使用所謂的域倍數或多域設計，其中，像素被分成某些區域（子像素），分子在它們各自的區域中於不同方向上對齊。

在顯示裝置中，適當地設置黑色基質（光阻擋層）、例如極化構件等光學元件（光學基板）、延遲構件、或抗反射構件、等等。舉例而言，藉由使用極化基板及延遲基板，可以採用圓形極化。此外，使用背照光、側光、等等作為光源。

使用實施例1至7中任何實施例所述的電晶體所形成的主動矩陣基板可以被使用於電子紙，在電子紙中，電子墨水由電連接至切換元件的元件來予以驅動。電子紙也稱為電泳顯示裝置（電泳顯示器），其優點在於具有與一般紙

相同等級的可讀性，比其它顯示裝置具有更少的耗電，並且，可以製成薄且輕的。

電泳顯示裝置有不同模式。電泳顯示裝置含有多個散佈於溶劑或溶質中的微囊，每一個微囊均含有正電荷的第一粒子及負電荷的第二粒子。藉由施加電場至微囊，微囊中的粒子以彼此相反的方向移動，並且，僅有聚集於一側上的粒子的顏色被顯示。注意，第一粒子及第二粒子均含有著色劑，且當無電場時不會移動。此外，第一粒子與第二粒子具有不同的顏色（可以是無色）。

因此，電泳顯示裝置是利用具有高介電常數的物質移至高電場區之所謂的雙電泳效應。

有上述微囊散佈於溶劑中的溶液稱為電子墨水。此電子墨水可以印於玻璃、塑膠、布、紙、等等的表面上。此外，藉由使用濾色器或具有顏料的粒子，能夠取得彩色顯示。

注意，微囊中的第一粒子及第二粒子可由選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電色顯示材料、及磁泳材料中的其中之一、或這些材料中的任何材料的複合材料來予以形成。關於電子紙，可以使用利用扭轉球顯示系統的顯示裝置。扭轉球顯示系統意指一方法，其中，顏色為黑及白的球形粒子係配置於第一電極層與第二電極層之間，第一電極層與第二電極層是用於顯示元件的電極層，並且，在第一電極層與第二電極層之間產生電位差，以控制球形粒子的

配向，以致於執行顯示。

藉由實施例1至7中任何實施例所述的電晶體所形成的主動矩陣基板可以被使用於包含利用電致發光的發光元件之發光顯示裝置（發光裝置）。利用電致發光的發光元件根據發光材料為有機化合物或無機化合物而分類。一般而言，前者稱為有機EL元件，後者稱為無機EL元件。

在有機EL元件中，藉由施加電壓至發光元件，電子及電洞分別從電極對注射入含有發光有機化合物的層，並且，電流通過。載子（電子及電洞）再結合，因此，發光有機化合物受激發。發光有機化合物從激態返回至基態，藉以發光。歸因於此機制，此發光元件稱為電流激發發光元件。

無機EL元件根據它們的元件結構而分成散佈型無機EL元件及薄膜型無機EL元件。散佈型無機EL元件具有發光層，其中，發光材料的粒子係散佈於結合劑中，並且，其發光機制是利用施體能階與受體能階之施體－受體再結合型發光。薄膜型無機EL元件具有一結構，在此結構中，發光層係夾置於介電層之間，介電層又被夾置於電極之間，並且，其發光機制是使用金屬離子之內殼電子跳遷之局部型發光。注意，說明有機EL元件作為發光元件。

因此，提供高度功能及高度可靠的電半導體裝置，其中，包括包含氧化物半導體的p通道電晶體和n通道電晶體及使用p通道電晶體和n通道電晶體的二個極性。

本實施例可以與任何其它實施例做適當地結合而實施

（實施例9）

本說明書中所揭示的半導體裝置可以被應用至不同的電子設備（包含遊戲機）。電子設備的實例可為電視機（也稱為電視或電視接收器）、電腦等的監視器、例如數位相機或數位攝影機等像機、數位相框、行動電話手機（也稱為行動電話或行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、以及例如彈珠台等大型遊戲機、等等。

圖17A顯示行動電話的實例。行動電話1600係設有併入於殼體1601中的顯示部1602、操作鍵1603a和1603b、外部連接埠1604、揚聲器1605、麥克風1606、等等。

當以手指等碰觸顯示部1602時，可以將資料輸入至圖17A中所示的行動電話1600。此外，以手指等觸控顯示部1602，可以執行例如撥打電話、撰寫電子郵件等操作。

主要有三種顯示部1602的螢幕模式。第一模式是主要用於顯示影像的顯示模式。第二模式是主要用於輸入例如文字等資料的輸入模式。第三模式是顯示及輸入模式，其中，結合顯示模式與輸入模式等二模式。

舉例而言，在撥打電話或撰寫郵件的情形中，選取主要用於輸入文字的文字輸入模式以用於顯示部1602，以致於可以輸入螢幕上顯示的文字。在此情形中，較佳的是在顯示部1602的螢幕的幾乎所有面積上顯示鍵盤或數字鍵。

當在行動電話手機 1600 內設置例如陀螺儀或加速度感測器等用以偵測傾斜的感測器時，藉由決定行動電話 1600 的方向（行動電話手機 1600 為用於橫式或直式的水平置放或垂直置放），而自動地切換顯示部 1602 的螢幕上的顯示。

藉由碰觸顯示部 1602 或操作殼 1601 的操作鍵 1603a 和 1603b，以切換螢幕模式。或者，可視顯示部 1602 上顯示的影像種類而切換螢幕模式。舉例而言，當顯示於顯示部上的影像之訊號為移動影像資料的訊號時，螢幕模式切換至顯示模式。當訊號為文字資料的訊號時，螢幕模式切換至輸入模式。

此外，在輸入模式中，當有一段時間未執行藉由碰觸顯示部 1602 以輸入並偵測到顯示部 1602 中的光學感測器偵測到的訊號時，螢幕模式可以被控制而從輸入模式切換至顯示模式。

顯示部 1602 可以用作為影像感測器。舉例而言，當顯示部 1602 由手掌或手指碰觸時，取得掌紋或指紋等影像，因而可以執行人員識別。此外，藉由在顯示部中設置發射近紅外光的背照光或感測光源，可以取得指紋、掌紋、等等的影像。

上述實施例中所述的任何半導體裝置被應用至顯示部 1602。舉例而言，上述實施例中所述的多個薄膜電晶體可以配置作為像素的切換元件。

圖 17B 顯示行動電話的一實例。圖 17B 中所示的可攜

式資訊終端的實例具有多種功能。舉例而言，除了電話功能之外，此可攜式資訊終端可以藉由併有電腦而具有處理各式各樣的資料件之功能。

圖 17B 中所示的可攜式資訊終端由殼體 1800 及殼體 1801 所形成。殼體 1801 包含顯示面板 1802、揚聲器 1803、麥克風 1804、指向裝置 1806、相機鏡頭 1807、外部連接端子 1808、等等。殼體 1801 包含鍵盤 1810、外部記憶體槽 1811、等等。此外，天線係併入於殼體 1801 中。

此外，顯示面板 1802 係設有觸控面板。圖 17B 中以虛線表示顯示為影像的多個操作鍵 1805。

此外，除了上述結構之外，可以併入非接觸式 IC 晶片、小型記憶體裝置、等等。

上述實施例中所述的半導體裝置可以被使用於顯示面板 1802 及視應用模式而適當地改變顯示的方向。此外，半導體裝置在與顯示面板 1802 相同的表面上設有相機鏡頭 1807，因而能夠作為視訊電話。揚聲器 1803 及麥克風 1804 可以被使用於視訊電話、記錄、播放、等等、以及語音電話。此外，處於如圖 17B 中所示的展開狀態之殼體 1800 和 1801 可以移動，以致於藉由滑動而使其中一殼體可以疊在另一殼體上；因此，可以縮小可攜式資訊終端的尺寸，使得可攜式資訊終端適於攜帶。

外部連接端子 1808 可以連接至 AC 轉接器及例如 USB 纜線等各種型式的纜線，而能夠與個人電腦進行資料通訊及充電。此外，儲存媒體插入至外部記憶體插槽 1811，而可

以儲存及移動大量資料。

此外，除了上述功能之外，可以提供紅外線通訊功能、電視接收功能、等等。

圖 18A 顯示電視機的實例。在電視機 9600 中，顯示部 9603 係併入於機殼 9601 中。顯示部 9603 可以顯示影像。此處，機殼 9601 由支架 9605 所支撐。

電視機 9600 可以由機殼 9601 的操作開關或分開的遙控器 9610 操作。以遙控器 9610 的操作開關 9609，控制頻道及聲音，以致於可以控制顯示於顯示部 9603 上的影像。此外，遙控器 9610 可以設有顯示部 9607，用以顯示自遙控器 9610 輸出的資料。

注意，電視機 9600 係設有接收器、數據機、等等。藉由使用接收器，可以接收一般電視廣播。此外，當電視機經由數據機而有線地或無線地連接至通訊網路時，可以執行單向（從發送器至接收器）或雙向（在發送器與接收器之間、或在接收器與接收器之間）資訊通訊。

上述實施例中所述的任何半導體裝置被應用至顯示部 9603。舉例而言，上述實施例中所述的多個薄膜電晶體配置作為像素的切換元件。

圖 18B 顯示數位相框 9700 的實例。舉例而言，在數位相框 9700 中，顯示部 9703 係併入於機殼 9701 中。顯示部 9703 可以顯示各種影像，舉例而言，顯示部 9703 可以顯示由數位相機等拍攝的影像資料等以及作為一般相框。

上述實施例中所述的任何半導體裝置被應用至顯示部

9703。舉例而言，上述實施例中所述的多個薄膜電晶體配置作為像素的切換元件。

注意，數位相框9700係設有操作部、外部連接部（USB端子、可以連接至例如USB纜線等不同纜線的端子、等等）、記錄媒體插入部、等等。雖然這些元件可以設於與顯示部所設置之表面相同的表面上，但是，較佳的是為了數位相框9700的設計，將它們設於側表面或背面上。舉例而言，儲存數位相機拍攝的影像資料之記憶體插入於數位相框9700的記錄媒體插入部中，因此，影像資料可以被顯示於顯示部9703上。

數位相框9700可以被配置成無線地發送及接收資料。可以使用所需的影像資料經由無線傳輸而顯示的結構。

圖19A是可攜式遊戲機，其包含機殼9881和機殼9891等二機殼所構成，機殼9881和機殼9891藉由接合部9893來予以連接，以致於可攜式遊戲機可折疊。顯示部9882及顯示部9883係分別併入於機殼9881和機殼9891中。

上述實施例中所述的任何半導體裝置被應用至顯示部9883。舉例而言，上述實施例中所述的多個薄膜電晶體配置作為像素的切換元件。

此外，圖19A中所示的可攜式遊戲機包含揚聲器部9884、記錄媒體插入部9886、LED燈9890、輸入單元（操作鍵9885、連接端子9887、感測器9888（具有測量力量、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電

場、電流、電壓、電力、輻射、流速、濕度、梯度、振動、氣味、或紅外線的功能之感測器)、及麥克風9889)、等等。無需多言,可攜式遊戲機的結構不限於上述,可以使用至少設有本說明書中揭示的薄膜電晶體之其它結構。可攜式遊戲機可以適當地設置其它輔助設備。圖19A中所示的可攜式遊戲機具有讀出儲存於記錄媒體中的程式或資料以將其顯示於顯示部上之功能以及具有經由無線通訊而與其它可攜式遊戲機共用資訊之功能。圖19A中所示的可攜式遊戲機具有各種功能,而不限於上述功能。

本說明書中所揭示的半導體裝置可以被應用於電子紙。電子紙可以用於不同領域的電子設備,只要它們顯示資料即可。舉例而言,電子紙可以被應用於e-書(電子書)讀取器、海報、例如火車等車輛中的廣告、或例如信用卡等不同卡片的顯示。圖19B顯示電子設備的實例。

圖19B顯示電子書讀取器的實例。舉例而言,電子書讀取器2700包含機殼2701和2703等二機殼。機殼2701和2703藉由鉸鏈2711而彼此結合,以致於電子書讀取器2700以鉸鏈2711為軸而被打開及閉合。藉由此結構,電子書讀取器2700能夠如同紙書般地操作。

顯示部2705及顯示部2707係分別併入於機殼2701及機殼2703中。顯示部2705和顯示部2707可以顯示一個影像、或不同的影像。在顯示部2705及顯示部2707顯示不同影像的情形中,舉例而言,在右側上的顯示部(圖19B中的顯示部2705)可以顯示文字,在左側上的顯示部(圖19B中

的顯示部2707)可以顯示圖像。

圖19B顯示一實例，其中，機殼2701係設有操作部等等。舉例而言，機殼2701係設有電源開關2721、操作鍵2723、揚聲器2725、等等。藉由操作鍵2723，可以翻頁。注意，鍵盤、指向裝置、等等可以被設於設有顯示部的機殼之表面上。此外，在機殼的背面或側面上，可以設置外部連接端子(例如耳機端子、USB端子、可以連接至例如AC轉接器及USB纜線等不同纜線的端子、等等)、記錄媒體插入部、等等。此外，電子書讀取器2700可以具有電子字典的功能。

電子書讀取器2700可以具有能夠無線發送及接收資料的配置。經由無線通訊，可以從電子書伺服器購買及下載所需的書資料等等。

圖20顯示使用上述實施例中任何實施例所形成的半導體裝置的實例之發光裝置作為室內照明裝置3001的實例。由於本說明書中的發光裝置可以增大，所以，發光裝置可以作為大面積發光裝置。此外，上述實施例中所述的發光裝置可以作為桌燈3000。注意，照明設備依其類別包含天壁燈、車內燈、逃難燈、等等以及天花板燈及桌燈。

以上述方式，實施例1至8中的任何實施例中所述的半導體裝置可以應用至例如上述之各式各樣的電子設備，因而提供高度可靠的電子設備。

本實施例可以與任何其它實施例做適當地結合而實施。

本申請案根據2009年12月4日向日本專利局申請之日本專利申請序號2009-276274，其整體內容於此一併列入參考。

【圖式簡單說明】

在附圖中：

圖1A是導體氧化物半導體層接合之前的導體及氧化物半導體層的能帶圖，圖1B及1C是圖6中的O-P剖面的能帶圖（概要圖）；

圖2A及2B顯示真空位準、導體的功函數（ $\phi_m$ ）、及氧化物半導體的電子親和力（ $\chi$ ）之間的關係；

圖3顯示根據計算結果之閘極－源極電壓（ $V_{gs}$ ）相對於源極－汲極電流（ $I_{ds}$ ）（ $V_{gs}$ - $I_{ds}$ 特性曲線）的特性曲線；

圖4顯示根據計算結果之閘極－源極電壓（ $V_{gs}$ ）相對於源極－汲極電流（ $I_{ds}$ ）（ $V_{gs}$ - $I_{ds}$ 特性曲線）的特性曲線；

圖5顯示當閘極－源極電壓（ $V_{gs}$ ）是5V時的汲極電流值（ $I_{ds}$ ）與以（ $\chi + E_g - \phi_m$ ）表示之用於電洞（ $\phi_{sp}$ ）的障壁之間的關係；

圖6顯示半導體裝置；

圖7A及7B顯示半導體裝置；

圖8顯示半導體裝置；

圖9顯示半導體裝置；

圖 10A 及 10B 顯示半導體裝置；

圖 11 顯示半導體裝置；

圖 12A 至 12E 顯示半導體裝置的製造方法；

圖 13A 至 13E 顯示半導體裝置的製造方法；

圖 14A 至 14E 顯示半導體裝置的製造方法；

圖 15 顯示半導體裝置；

圖 16A 及 16B 均顯示半導體裝置；

圖 17A 及 17B 均顯示電子設備；

圖 18A 及 18B 均顯示電子設備；

圖 19A 及 19B 均顯示半導體裝置；及

圖 20 顯示電子設備。

# 【主要元件符號說明】

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

105a：源極電極層

105b：源極電極層

305：基板

306：保護絕緣層

307：閘極絕緣層

310：電晶體

311：閘極電極層

312：氧化物半導體層

315a：源極電極層  
 315b：汲極電極層  
 316：絕緣層  
 320：基板  
 322：閘極絕緣層  
 323：保護絕緣層  
 330：氧化物半導體膜  
 331：氧化物半導體層  
 340：基板  
 342：閘極絕緣層  
 343：保護絕緣層  
 350：電晶體  
 351：閘極電極層  
 352：氧化物半導體層  
 355a：源極電極層  
 355b：汲極電極層  
 356：絕緣層  
 360：電晶體  
 361：閘極電極層  
 352：氧化物半導體層  
 355a：源極電極層  
 355b：汲極電極層  
 356：絕緣層  
 360：電晶體

- 361：閘極電極層
- 362：氧化物半導體層
- 365a：源極電極層
- 365b：汲極電極層
- 366：絕緣層
- 370：基板
- 372a：閘極絕緣層
- 372b：閘極絕緣層
- 373：保護絕緣層
- 380：電晶體
- 381：閘極電極層
- 382：氧化物半導體層
- 385a：源極電極層
- 385b：汲極電極層
- 386：氧化物絕緣層
- 390：電晶體
- 391：閘極電極層
- 392：氧化物半導體層
- 393：氧化物半導體膜
- 394：基板
- 395a：源極電極層
- 395b：汲極電極層
- 396：絕緣層
- 397：閘極絕緣層

398 : 保護絕緣層  
399 : 氧化物半導體層  
400 : 基板  
401 : 閘極電極層  
402 : 閘極絕緣層  
403 : 氧化物半導體層  
405a : 源極電極層  
405b : 汲極電極層  
407 : 絕緣層  
409 : 保護絕緣層  
420 : 電晶體  
432a : 閘極絕緣層  
432b : 閘極絕緣層  
437 : 絕緣層  
439 : 保護絕緣層  
450 : 電晶體  
452 : 氧化物半導體層  
462 : 閘極絕緣層  
453 : 氧化物半導體層  
457 : 絕緣層  
460 : 電晶體  
461 : 閘極電極層  
402 : 閘極絕緣層  
464a : 佈線層

464b：佈線層  
 465a：源極電極層  
 465b：汲極電極層  
 470：基板  
 500：基板  
 502：閘極絕緣層  
 507：絕緣層  
 509：護絕緣層  
 510：電晶體  
 511：閘極電極層  
 513：氧化物半導體層  
 515a：源極電極層  
 515b：汲極電極層  
 520：電晶體  
 521：閘極電極層  
 523：氧化物半導體層  
 525a：源極電極層  
 525b：汲極電極層  
 530：氧化物半導體膜  
 1600：行動電話  
 1601：殼  
 1602：顯示部  
 1603：操作鍵  
 1603a：操作鍵

1603b：操作鍵  
1604：外部連接埠  
1605：揚聲器  
1606：麥克風  
1800：殼體  
1801：殼體  
1802：顯示面板  
1803：揚聲器  
1804：麥克風  
1805：操作鍵  
1806：指向裝置  
1807：相機鏡頭  
1808：外部連接端子  
1810：鍵盤  
1811：外部記憶體槽  
2700：電子書讀取器  
2701：機殼  
2703：機殼  
2705：顯示部  
2707：顯示部  
2711：鉸鏈  
2721：電源開關  
2723：操作鍵  
2725：揚聲器

- 2800：殼體
- 2801：殼體
- 2802：顯示面板
- 2803：揚聲器
- 2804：麥克風
- 2805：操作鍵
- 2806：指向裝置
- 3001：室內照明裝置
- 3002：桌燈
- 4001：第一基板
- 4002：像素部
- 4003：訊號線驅動電路
- 4004：掃描線驅動電路
- 4005：密封材料
- 4006：第二基板
- 9600：電視機
- 9601：機殼
- 9603：顯示部
- 9605：支架
- 9607：顯示部
- 9609：操作鍵
- 9610：遙控器
- 9700：數位相框
- 9701：機殼

- 9703：顯示部
- 9881：機殼
- 9882：顯示部
- 9883：顯示部
- 9884：揚聲器部
- 9885：操作鍵
- 9886：記錄媒體插入部
- 9887：連接端子
- 9888：感測器
- 9889：麥克風
- 9890：LED燈
- 9891：機殼
- 9893：接合部

第 099142147 號

民國 102 年 11 月 1 日修正.

**七、申請專利範圍：**

1.一種包括電晶體的半導體裝置，該電晶體包括：

氧化物半導體層；

閘極電極層，與該氧化物半導體層相鄰；

閘極絕緣層，介於該氧化物半導體層與該閘極電極層之間；以及

與該氧化物半導體層相接觸的源極電極層及與該氧化物半導體層相接觸的汲極電極層，

其中，使用於該源極電極層和該汲極電極層之導體的功函數（ $\phi_m$ ）滿足  $\phi_m > \chi + E_g/2$ ，

其中，以（ $\chi + E_g - \phi_m$ ）表示之對於電洞（ $\phi_{Bp}$ ）的障壁小於 0.25 eV，並且

其中，使用於該氧化物半導體層的氧化物半導體的電子親和力係以  $\chi$ （eV）來表示，且使用於該氧化物半導體層的氧化物半導體的能帶隙係以  $E_g$ （eV）來表示。

2.如申請專利範圍第1項之半導體裝置，其中，該導體是金屬氧化物。

3.一種包括電晶體的半導體裝置，該電晶體包括：

氧化物半導體層，包含銦、鎵、及鋅的至少其中之一；

閘極電極層，與該氧化物半導體層相鄰；

閘極絕緣層，介於該氧化物半導體層與該閘極電極層之間；以及

與該氧化物半導體層相接觸的源極電極層及與該氧化

物半導體層相接觸的汲極電極層，

其中，使用於該源極電極層和該汲極電極層之導體的功函數（ $\phi_m$ ）滿足  $\phi_m > \chi + E_g/2$ ，

其中，以（ $\chi + E_g - \phi_m$ ）表示之對於電洞（ $\phi_{Bp}$ ）的障壁小於 0.25 eV，並且

其中，使用於該氧化物半導體層的氧化物半導體的電子親和力係以  $\chi$ （eV）來表示，且使用於該氧化物半導體層的氧化物半導體的能帶隙係以  $E_g$ （eV）表示。

4.如申請專利範圍第3項之半導體裝置，其中，該導體是金屬氧化物。

5.一種包括 p 通道電晶體及 n 通道電晶體的半導體裝置，

該 p 通道電晶體包括：

第一氧化物半導體層；

第一閘極電極層，與該第一氧化物半導體層相鄰；

第一閘極絕緣層，介於該第一氧化物半導體層與該第一閘極電極層之間；以及

與該第一氧化物半導體層相接觸的第一源極電極層及與該第一氧化物半導體層相接觸的第一汲極電極層，

該 n 通道電晶體包括：

第二氧化物半導體層；

第二閘極電極層，與該第二氧化物半導體層相鄰；

第 099142147 號

民國 102 年 11 月 1 日修正

第二閘極絕緣層，介於該第二氧化物半導體層與該第二閘極電極層之間；以及

與該第二氧化物半導體層相接觸的第二源極電極層及與該第二氧化物半導體層相接觸的第二汲極電極層，

其中，使用於該第一源極電極層和該第一汲極電極層之第一導體的功函數（ $\phi_{m1}$ ）滿足  $\phi_{m1} > \chi_1 + E_{g1}/2$ ，

其中，以（ $\chi_1 + E_{g1} - \phi_{m1}$ ）表示之對於電洞（ $\phi_{Bp1}$ ）的障壁小於 0.25 eV，並且

其中，使用於該第一氧化物半導體層的第一氧化物半導體的電子親和力係以  $\chi_1$ （eV）來表示，且使用於該第一氧化物半導體層的第一氧化物半導體的能帶隙係以  $E_{g1}$ （eV）來表示。

6.如申請專利範圍第5項之半導體裝置，

其中，該第一導體是金屬氧化物，並且

其中，使用於該第二源極電極層和該第二汲極電極層的第二導體是金屬。

7.如申請專利範圍第5項之半導體裝置，

其中，該第一氧化物半導體層及該第二氧化物半導體層包含銮、鎵、及鋅的至少其中之一。

8.如申請專利範圍第5項之半導體裝置，

其中，使用於該第一氧化物半導體層的該第一氧化物半導體及使用於該第二氧化物半導體層的第二氧化物半導體係由相同材料所形成的。

圖 1A

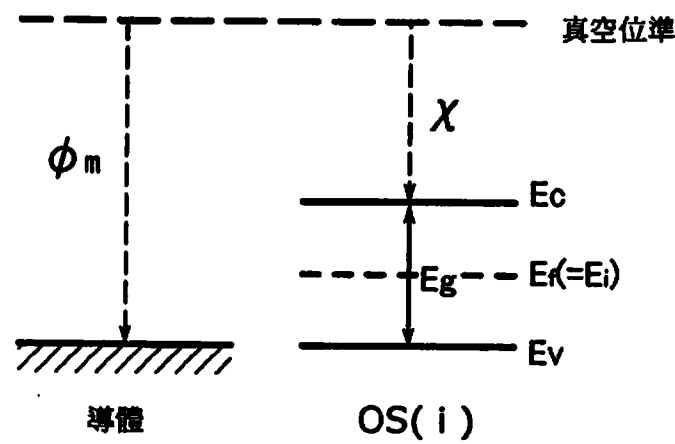


圖 1B

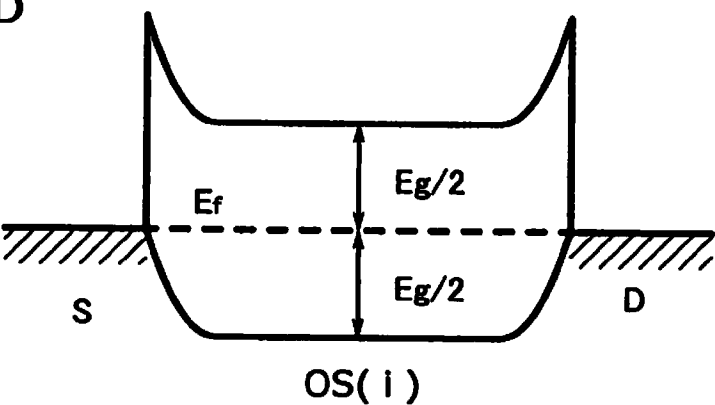


圖 1C

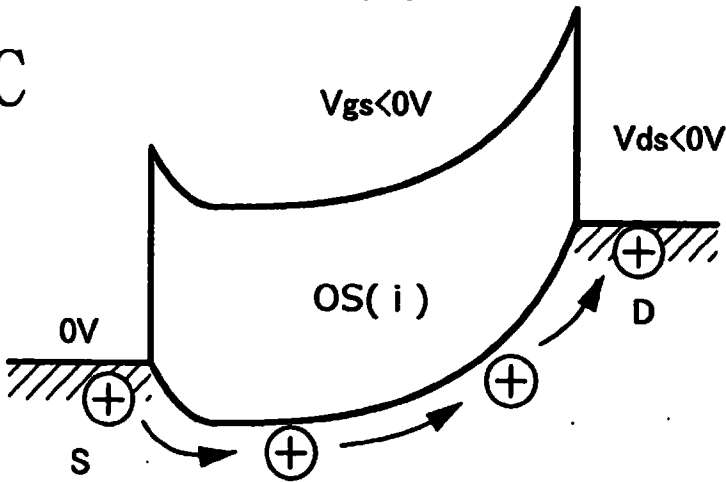


圖 2A

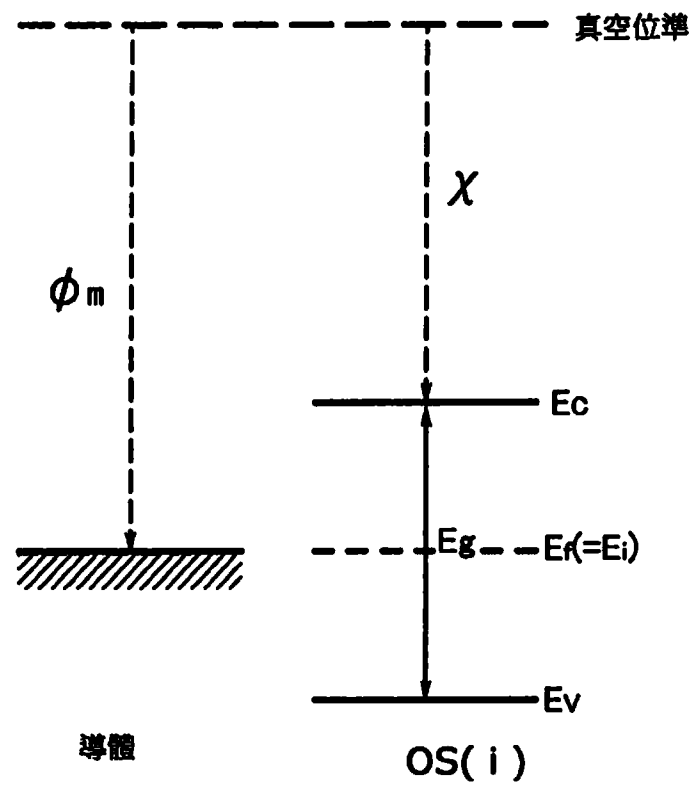


圖 2B

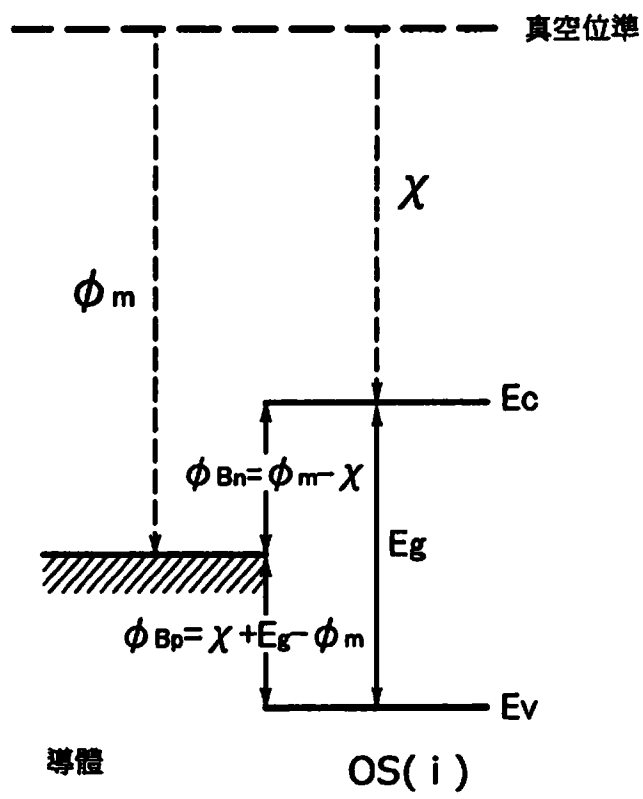


圖3

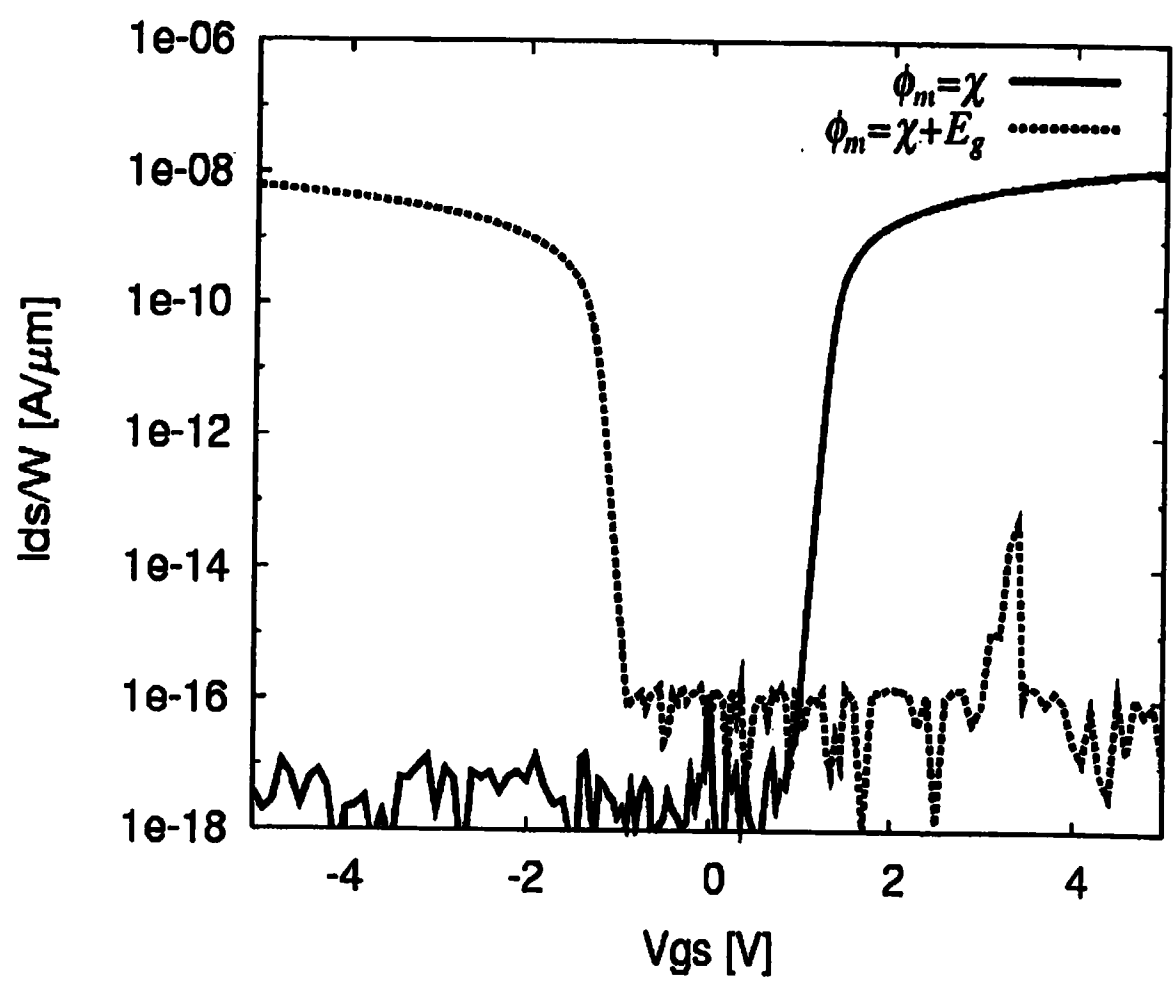


圖 4

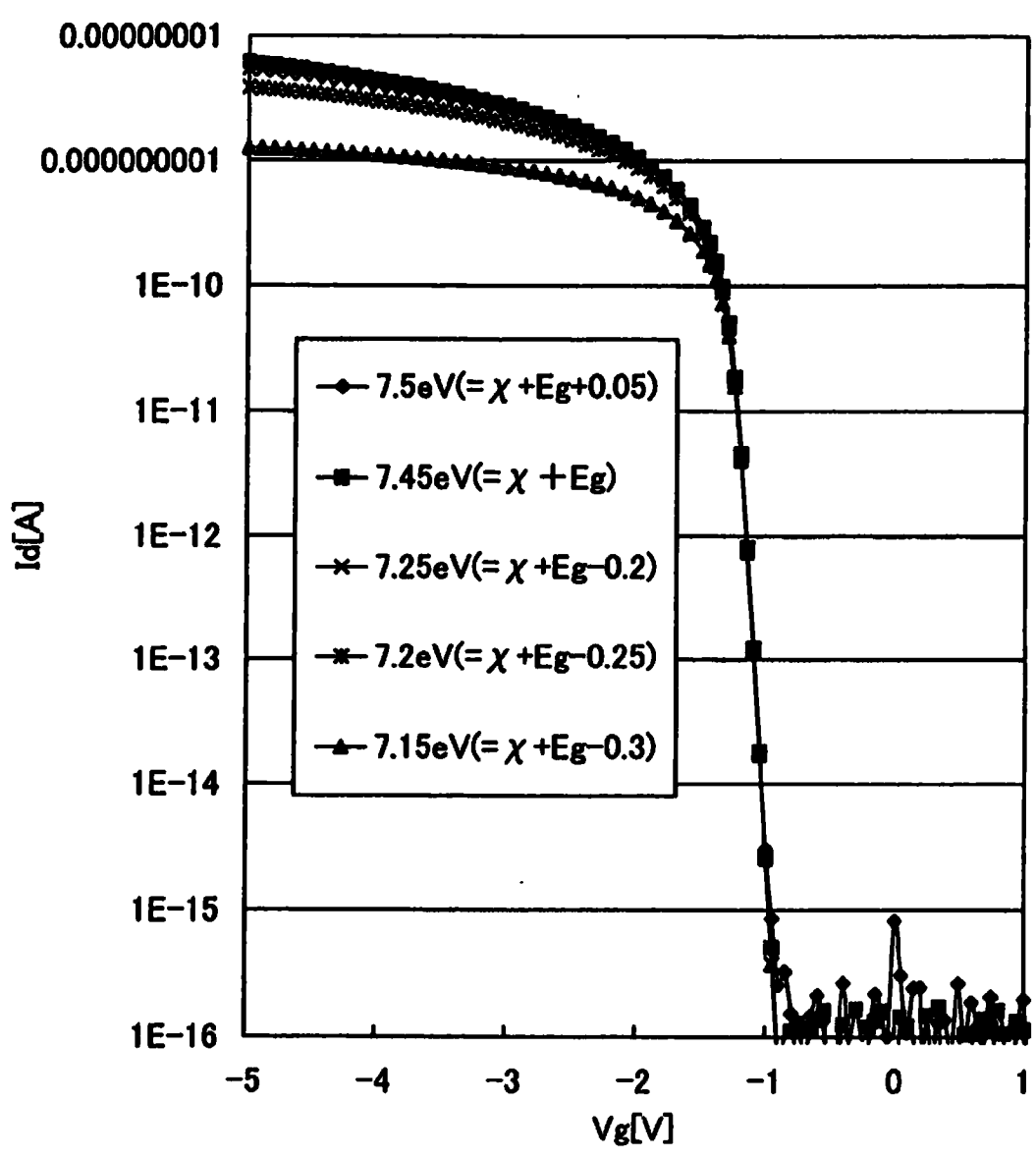


圖5

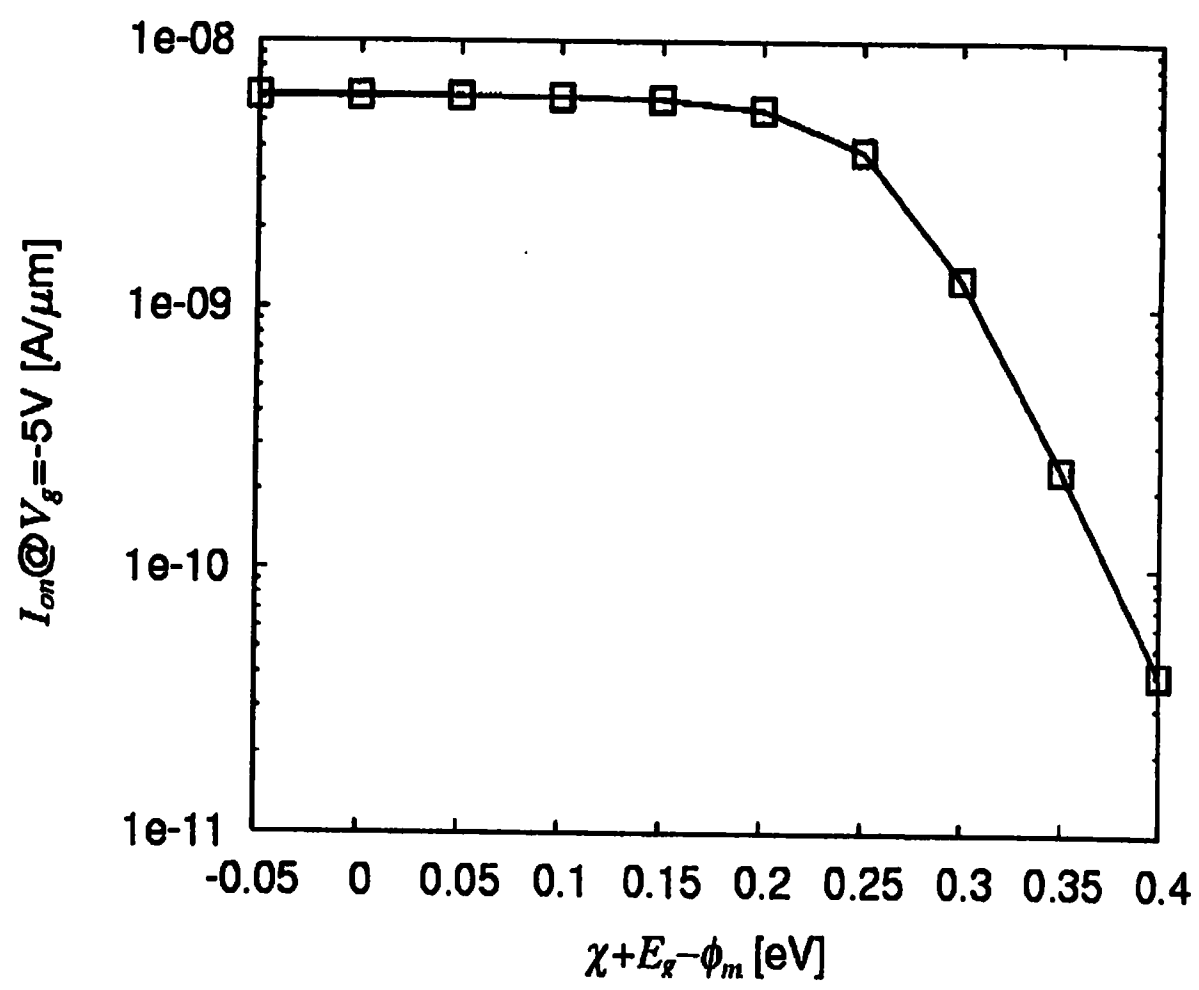


圖 6

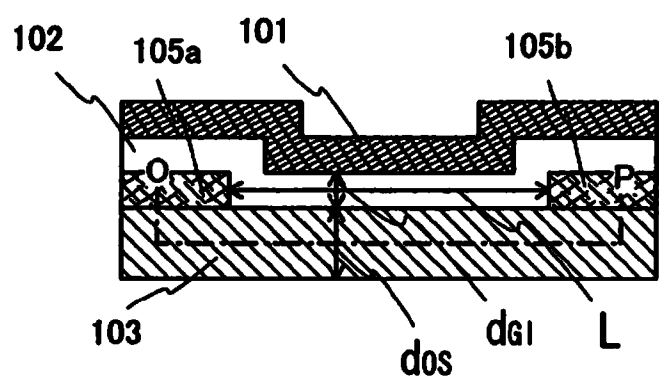


圖 7A

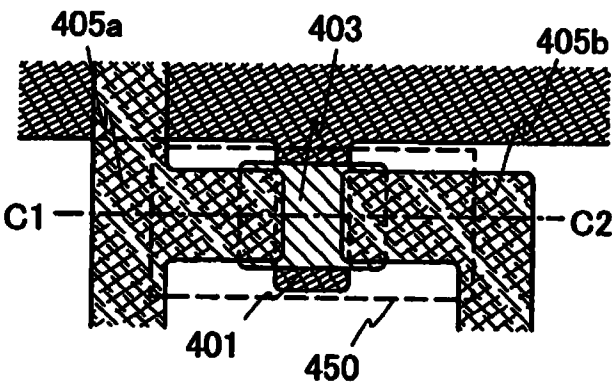


圖 7B

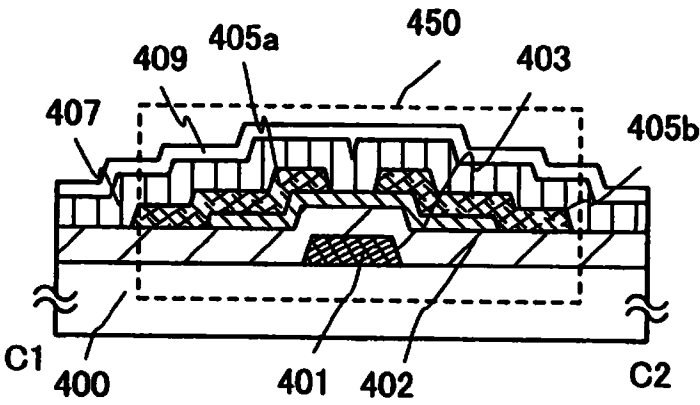


圖 8

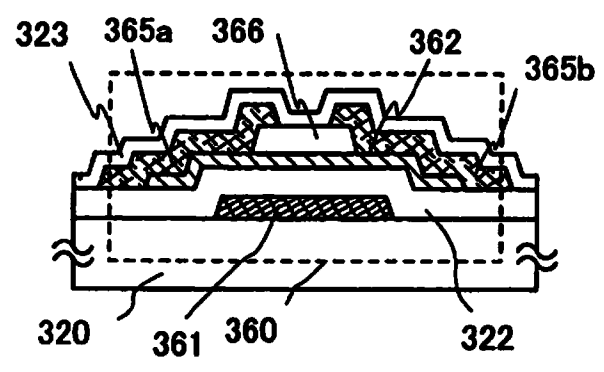


圖 9

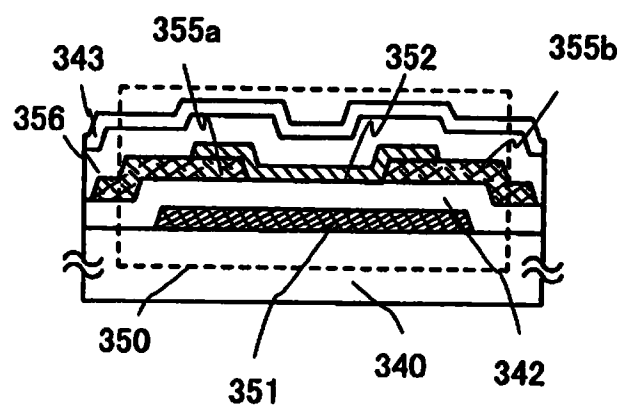


圖 10A

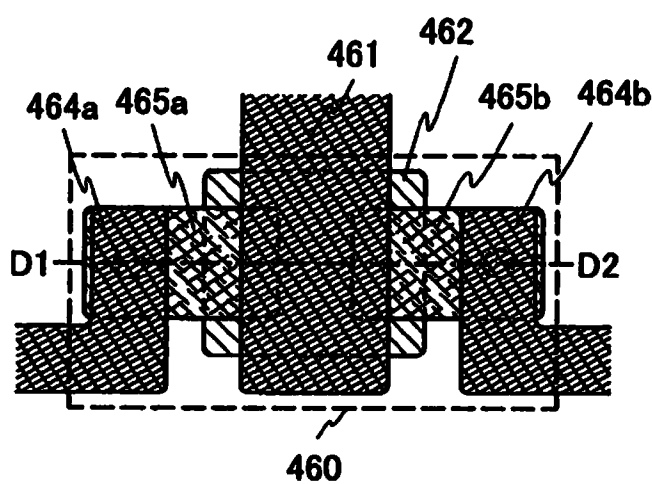


圖 10B

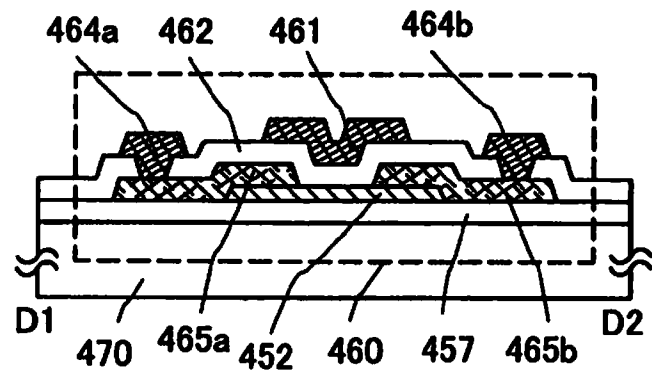


圖 11

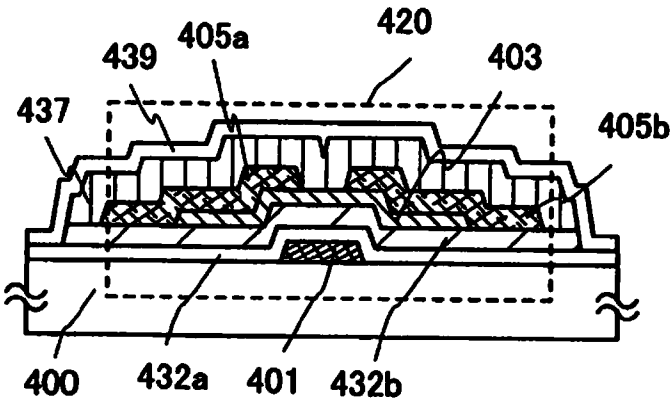


圖 12A

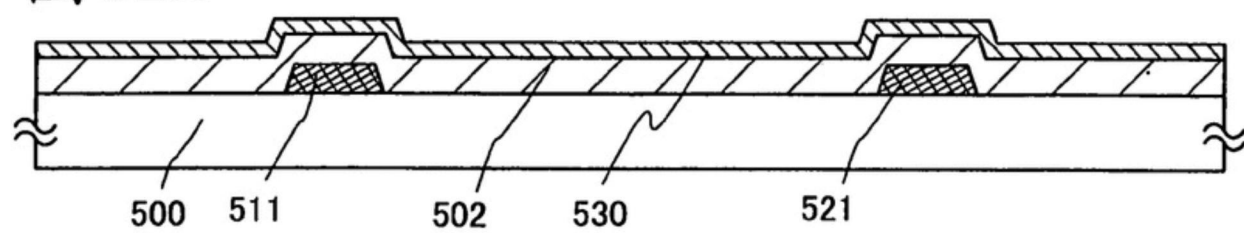


圖 12B

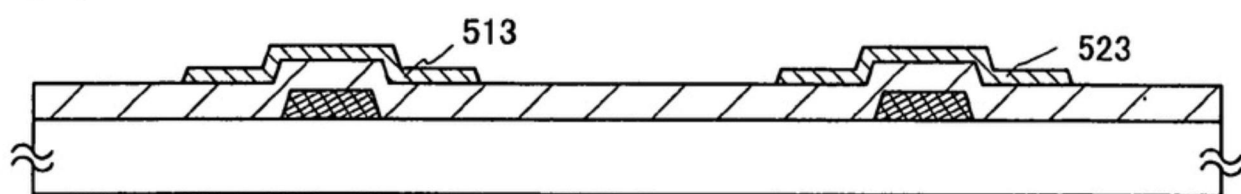


圖 12C

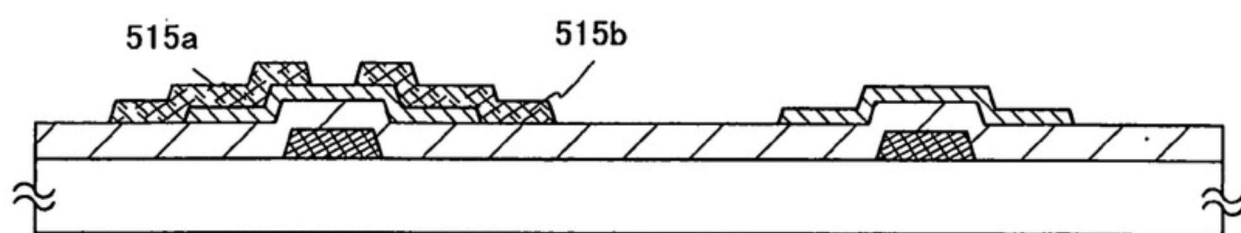


圖 12D

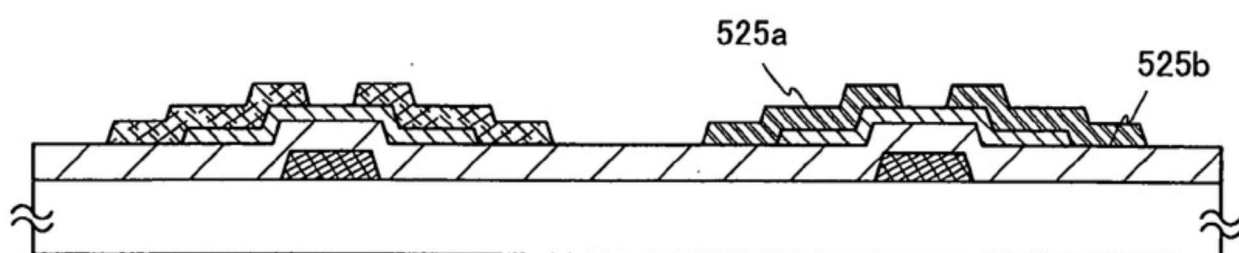


圖 12E

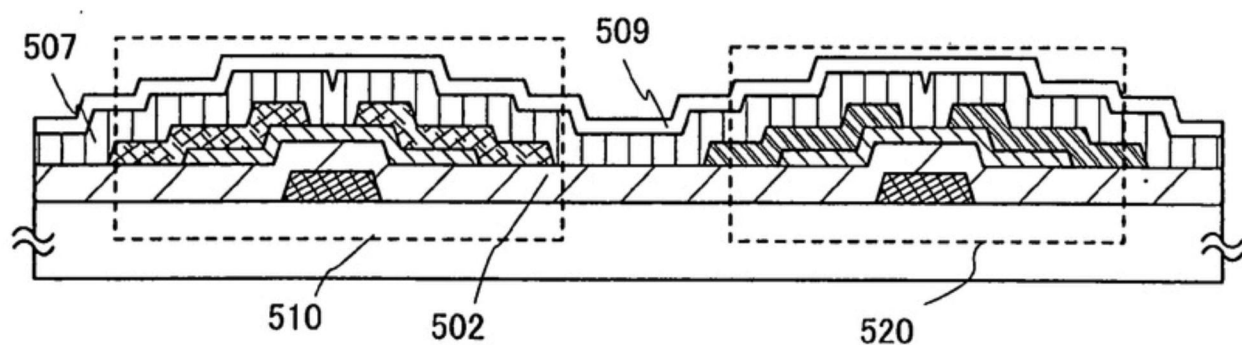


圖 13A

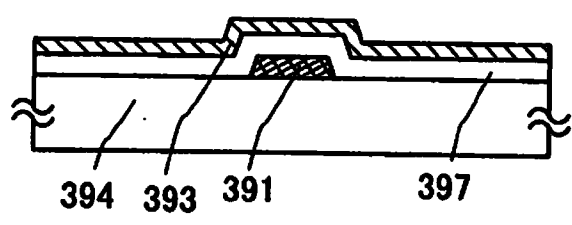


圖 13B

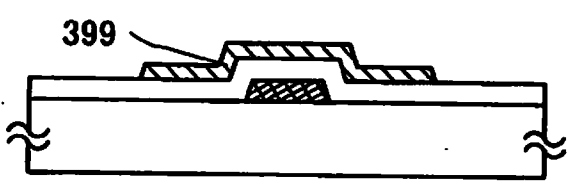


圖 13C

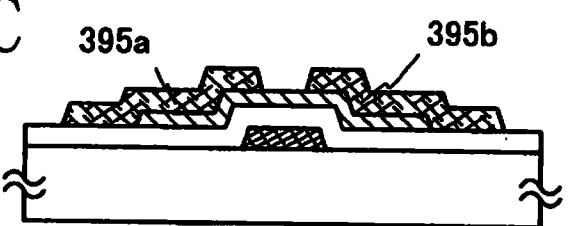


圖 13D

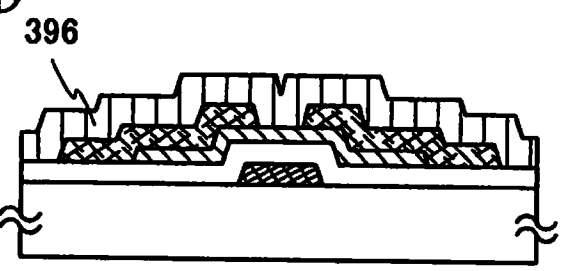


圖 13E

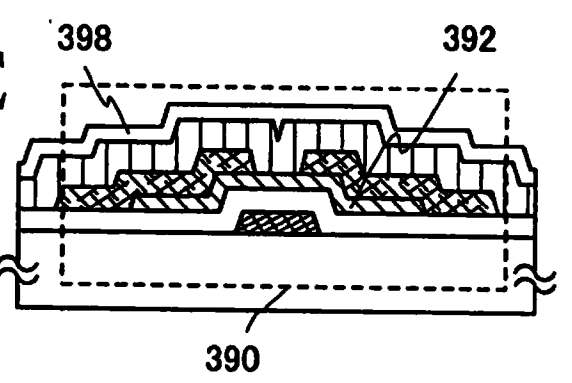


圖 14A

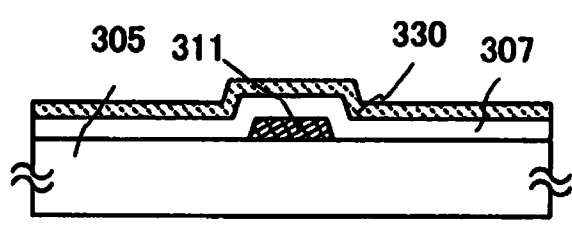


圖 14B

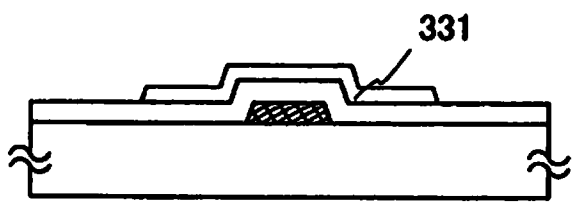


圖 14C

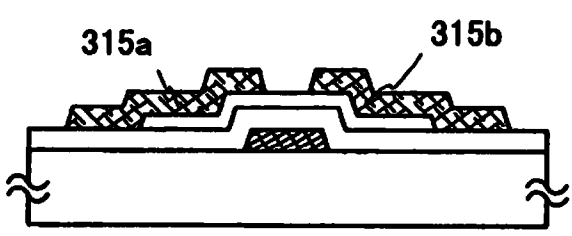


圖 14D

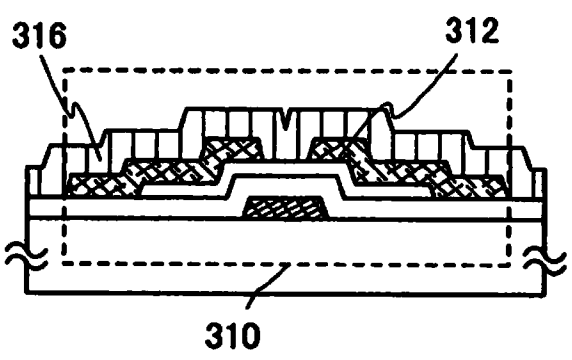


圖 14E

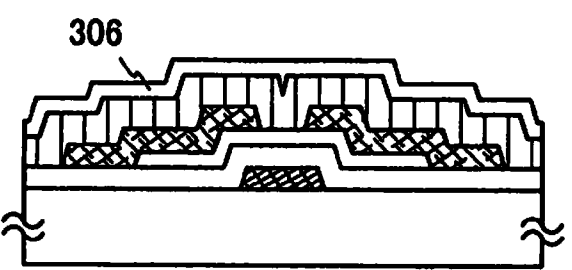


圖 15

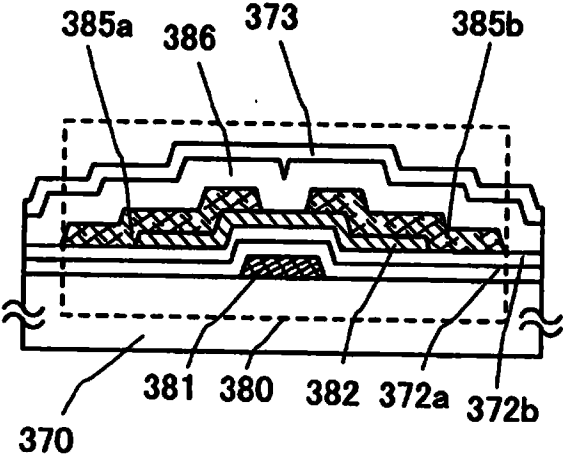


圖 16A

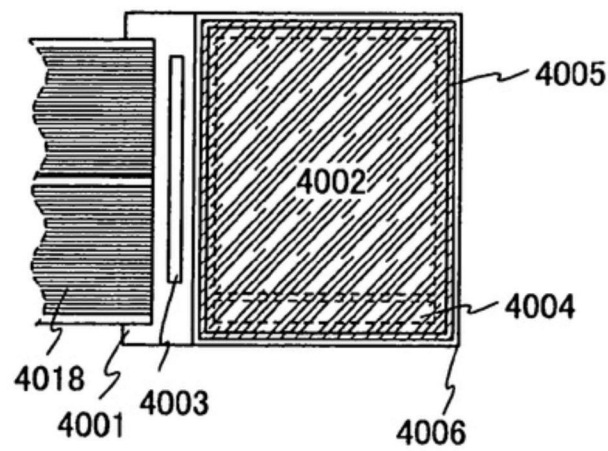


圖 16B

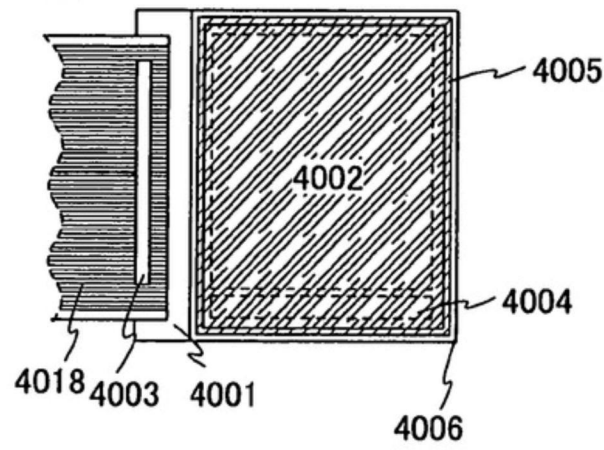


圖17A

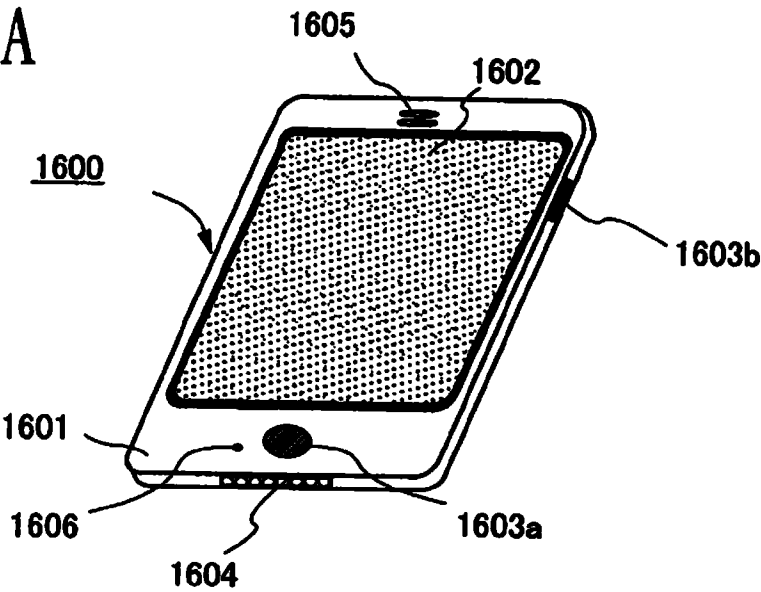


圖17B

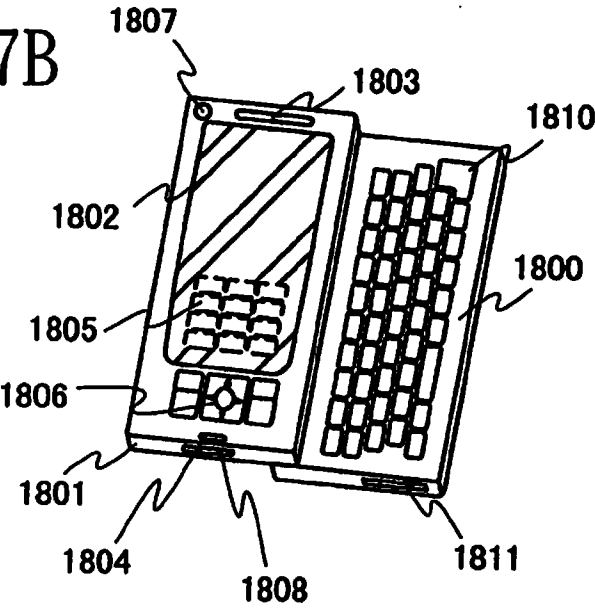


圖 18A

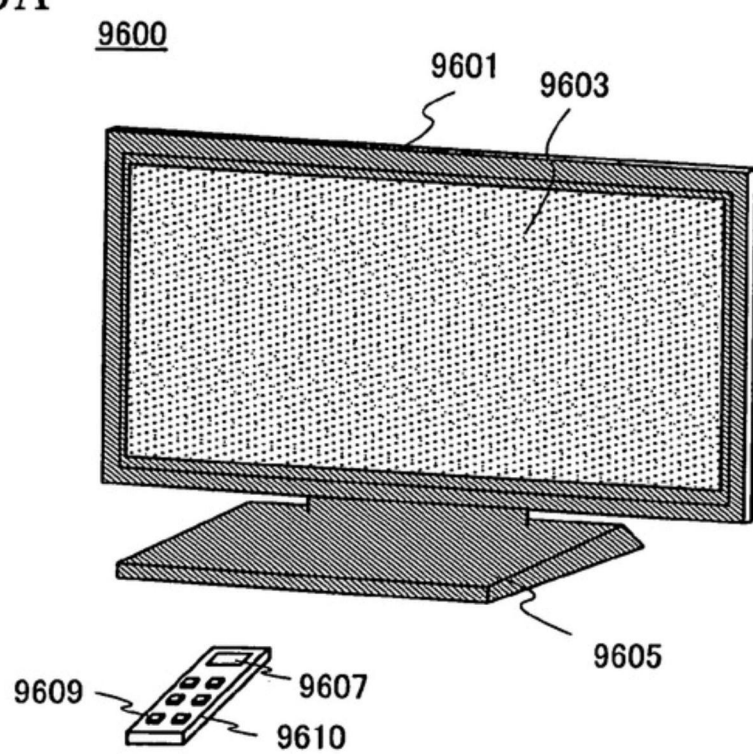


圖 18B

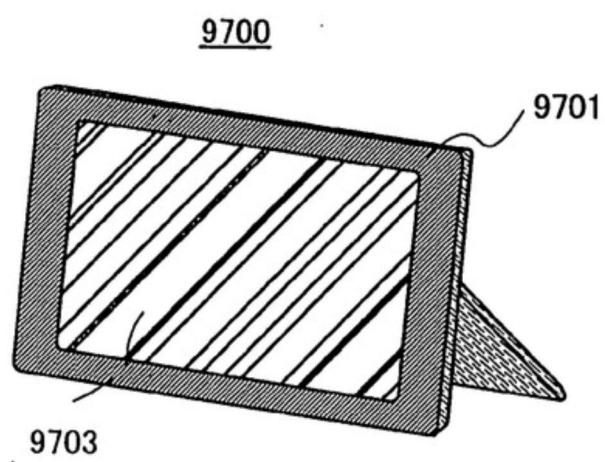


圖 19A

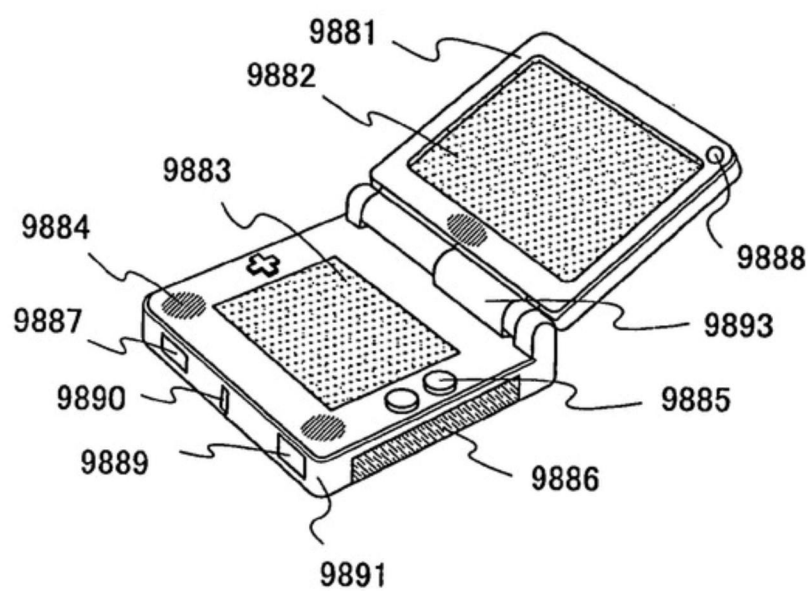


圖 19B

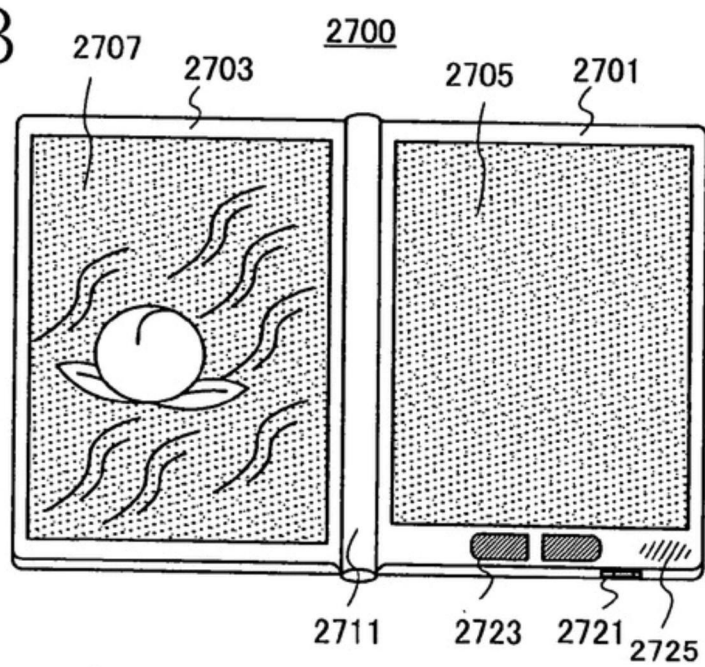


圖 20

