



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I802587 B

(45)公告日：中華民國 112 (2023) 年 05 月 21 日

(21)申請案號：107131008

(22)申請日：中華民國 107 (2018) 年 09 月 04 日

(51)Int. Cl. : **H01L33/48 (2010.01)**

(30)優先權：2017/09/05 南韓

10-2017-0113439

2018/08/28 南韓

10-2018-0101576

(71)申請人：大陸商蘇州樂瑣半導體有限公司 (中國大陸) SUZHOU LEKIN SEMICONDUCTOR CO., LTD. (CN)

中國大陸

(72)發明人：李高恩 LEE, KOH EUN (KR)；姜熙成 KANG, HUI SEONG (KR)；金佳衍 KIM, GA YEON (KR)；李瑩俊 LEE, YEONG JUNE (KR)；陳敏智 JIN, MIN JI (KR)；尹載峻 YOON, JAE JOON (KR)

(74)代理人：陳瑞田

(56)參考文獻：

CN 102064246A

US 2016/0126414A1

US 2017/0179351A1

審查人員：張展溢

申請專利範圍項數：20 項 圖式數：10 共 37 頁

(54)名稱

半導體裝置封裝

(57)摘要

一種半導體裝置封裝包括：一樹脂單元，其具有一第一通孔及一第二通孔；一導電主體，其安置於該樹脂單元上且具有在一第一方向上自該導電主體之一頂表面朝向其一底表面凹入之一空腔；及一發光裝置，其安置於該空腔中，其中該導電主體包括在該第一方向上自該導電主體之該底表面突出之一第一突起及一第二突起，且該第一突起安置於該第一通孔內部，該第二突起安置於該第二通孔內部，且該樹脂單元之一頂表面與該導電主體之該底表面接觸。

A semiconductor device package includes a resin unit having a first through hole and a second through hole, a conductive body disposed on the resin unit and having a cavity that is concave in a first direction from a top surface of the conductive body toward a bottom surface thereof, and a light-emitting device disposed in the cavity, wherein the conductive body includes a first protrusion and a second protrusion, which protrude in the first direction from the bottom surface of the conductive body, and the first protrusion is disposed inside the first through hole, the second protrusion is disposed inside the second through hole, and a top surface of the resin unit is in contact with the bottom surface of the conductive body.

指定代表圖：

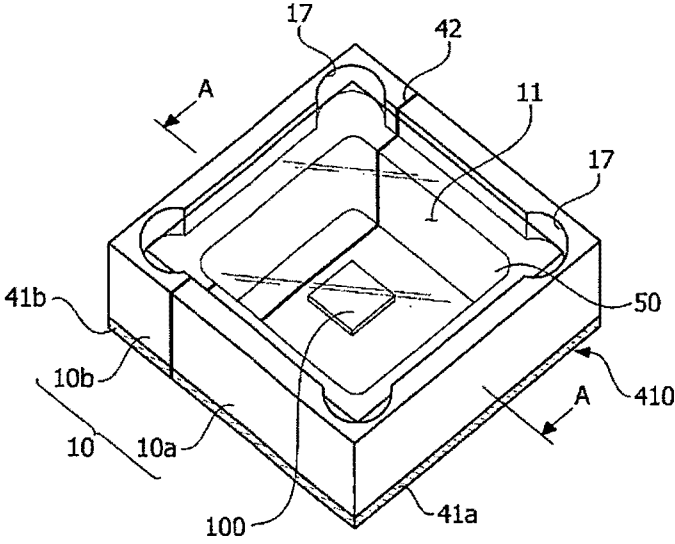


圖1

符號簡單說明：

- 10 . . . 主體
- 10a . . . 第一金屬封裝主體單元
- 10b . . . 第二金屬封裝主體單元
- 11 . . . 空腔
- 17 . . . 凹座
- 41a . . . 第二絕緣部件/第 2-1 絕緣單元
- 41b . . . 第二絕緣部件/第 2-2 絕緣單元
- 42 . . . 第一絕緣部件
- 50 . . . 透光部件
- 100 . . . 半導體裝置
- 410 . . . 樹脂單元

I802587

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置封裝

SEMICONDUCTOR DEVICE PACKAGE

【中文】

一種半導體裝置封裝包括：一樹脂單元，其具有一第一通孔及一第二通孔；一導電主體，其安置於該樹脂單元上且具有在一第一方向上自該導電主體之一頂表面朝向其一底表面凹入之一空腔；及一發光裝置，其安置於該空腔中，其中該導電主體包括在該第一方向上自該導電主體之該底表面突出之一第一突起及一第二突起，且該第一突起安置於該第一通孔內部，該第二突起安置於該第二通孔內部，且該樹脂單元之一頂表面與該導電主體之該底表面接觸。

【英文】

A semiconductor device package includes a resin unit having a first through hole and a second through hole, a conductive body disposed on the resin unit and having a cavity that is concave in a first direction from a top surface of the conductive body toward a bottom surface thereof, and a light-emitting device disposed in the cavity, wherein the conductive body includes a first protrusion and a second protrusion, which protrude in the first direction from the bottom surface of the conductive body, and the first protrusion is disposed inside the first through hole, the second protrusion is disposed inside the second through hole, and a top surface of the resin unit is in contact with the bottom surface of the conductive body.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

10	主體
10a	第一金屬封裝主體單元
10b	第二金屬封裝主體單元
11	空腔
17	凹座
41a	第二絕緣部件/第 2-1 絕緣單元
41b	第二絕緣部件/第 2-2 絕緣單元
42	第一絕緣部件
50	透光部件
100	半導體裝置
410	樹脂單元

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置封裝

SEMICONDUCTOR DEVICE PACKAGE

【技術領域】

【0001】 本發明係關於一種半導體裝置封裝。

【先前技術】

【0002】 包括諸如氮化鎵(GaN)、氮化鋁鎵(AlGaN)及類似者之化合物的半導體裝置具有許多優勢，諸如，寬且可易於調整之帶隙能量，且可不同地用於發光裝置、光接收元件、各種二極體及類似者。

【0003】 詳言之，隨著薄膜生長技術及裝置材料之發展，使用半導體之第 III-V 族或第 II-VI 族化合物半導體材料的諸如發光二極體(LED)及雷射二極體(LD)之發光裝置可實現各種色彩，諸如，紅、綠、藍及紫外線(UV)光。藉由使用磷光體材料或組合色彩，發光裝置可實現具有高效率之白光射線。此外，如與諸如螢光燈及白熾燈之習知光源相比，該等發光裝置具有諸如低功率消耗、半永久性生命期、快速回應速度、安全及環境友好之優點。

【0004】 此外，當使用半導體之第 III-V 族或第 II-VI 族化合物半導體材料製造諸如光偵測器或太陽能電池之光接收元件時，歸因於裝置材料之發展，光接收元件可吸收具有各種波長範圍之光，且產生光電流。因此，光接收元件可使用在自 γ 射線至無線電波長範圍之廣泛多種波長範圍中的光。另外，由於光接收元件具有快速回應速度、安全、環境友好及裝置材料容易控制之優勢，因此光接收元件可容易用於功率控制電路或微波電路或通信模組。

【0005】 因此，半導體裝置之應用可延伸至光通信單元之傳輸模組、能夠替換液晶顯示(LCD)裝置之背光中包括的冷陰極螢光燈(CCFL)之 LED 背光、能夠替換螢光燈或白熾燈之白 LED 照明裝置、汽車頭燈、交通燈及經組態以偵測氣體或火之感測器。此外，半導體裝置之應用可延伸至施加高

頻之電路、其它功率控制裝置及通信模組。

【0006】 詳言之，經組態以發射在 UV 波長範圍中之光的發光裝置可執行固化操作或滅菌操作，及用於固化、醫療及滅菌目的。

【0007】 最近，已進行對 UV 發光裝置封裝之大量研究。然而，UV 發光裝置仍然具有相對低光提取效率，且不能有效地將內部熱量發射至外部。

【發明內容】

【0008】 本發明係針對提供一種具有優異熱輻射特性之半導體裝置封裝。

【0009】 實施例提供一種具有高光提取效率之半導體裝置封裝。

【0010】 實施例提供一種可抑制在一封裝切割過程期間的毛邊之出現之半導體裝置封裝。

【0011】 實施例之態樣不應受到以上描述限制，且亦包括可自以下解決方案及其中描述之實施例理解的目標或效果。

【0012】 根據本發明之一態樣，提供一種半導體裝置封裝，其包括：一樹脂單元，其具有一第一通孔及一第二通孔；一導電主體，其安置於該樹脂單元上且具有在一第一方向上自該導電主體之一頂表面朝向其一底表面凹入之一空腔；及一發光裝置，其安置於該空腔中。該導電主體包括在該第一方向上自該導電主體之該底表面突出之一第一突起及一第二突起。該第一突起安置於該第一通孔內部，且該第二突起安置於該第二通孔內部。該樹脂單元之一頂表面與該導電主體之該底表面接觸。

【0013】 該第一突起可大於該第二突起。

【0014】 該第一突起之一面積與該第二突起之一面積的一比率之範圍可自 1:0.2 至 1:0.6。

【0015】 該第一突起及該第二突起可包括鋁。

【0016】 該導電主體可包括一第一金屬封裝主體單元、一第二金屬封裝主體單元及安置於該第一金屬封裝主體單元與該第二金屬封裝主體單元之間的一第一絕緣部件。

【0017】 該第一絕緣部件可曝露於該導電主體之複數個外側表面中之至少兩個外側表面處。

【0018】 該第一絕緣部件可連接至該樹脂單元。

【0019】 該第一突起與該第二突起之間的一距離可大於該第一絕緣部件之一寬度。

【0020】 該樹脂單元及該第一絕緣部件可分別包括不同材料。

【0021】 該第一金屬封裝主體單元可包括：一第一凹座單元，其經形成以具有在朝向該第二金屬封裝主體單元之一方向上減小之一厚度；及一第二凹座單元，其形成於一拐角區域中，在該拐角區域處，該第一金屬封裝主體單元之一側表面與該第一金屬封裝主體單元之一底表面會合。該第二金屬封裝主體單元可包括：一第三凹座單元，其經形成以具有在朝向該第一金屬封裝主體單元之一方向上減小之一厚度；及一第四凹座單元，其形成於一拐角區域中，在該拐角區域處，該第二金屬封裝主體單元之一側表面與該第二金屬封裝主體單元之一底表面會合。該樹脂單元可安置於該第二凹座單元及該第四凹座單元中。

【0022】 該第一凹座單元、該第三凹座單元及該第一絕緣部件可形成該空腔。

【0023】 該樹脂單元之一底表面可與該第一突起之一底表面及該第二突起之一底表面共面。

【0024】 該第一金屬封裝主體單元可包括複數個外側表面及與該第一絕緣部件接觸之一第一黏著表面。該第二金屬封裝主體單元可包括複數個外側表面及與該第一絕緣部件接觸之一第二黏著表面。該第一金屬封裝主體單元之該第二凹座單元可包括形成於該第一金屬封裝主體單元之該底表面與該第一金屬封裝主體單元之該外側表面會合之一區域中的一第一凹槽，及形成於該第一金屬封裝主體單元之該底表面與該第一金屬封裝主體單元之該第一黏著表面會合之一區域中的一第三凹槽。該第二金屬封裝主體單元之該第四凹座單元可包括形成於該第二金屬封裝主體單元之該底表面與該第二金屬封裝主體單元之該外側表面會合之一區域中的一第二凹

槽，及該第二金屬封裝主體單元之該底表面與該第二金屬封裝主體單元之該第二黏著表面會合之一區域中的一第四凹槽。該第三凹槽與該第四凹槽可彼此連接。

【0025】 該樹脂單元可包括安置於該第一凹槽及該第二凹槽中之一第二絕緣部件，及安置於該第三凹槽及該第四凹槽中之一第三絕緣部件。該第三絕緣部件之一寬度可大於該第一絕緣部件之一寬度。

【0026】 該第二絕緣部件之一厚度可與該第三絕緣部件之一厚度不同。

【0027】 該第二絕緣部件之一厚度可大於該第三絕緣部件之一厚度。

【0028】 該第二絕緣部件之一寬度可小於該第三絕緣部件之該寬度。

【0029】 該第二絕緣部件可包括與該第三絕緣部件相同之材料，且該第三絕緣部件可包括與該第一絕緣部件不同之一材料。

【0030】 該半導體裝置封裝可進一步包括安置於形成於該空腔之一內側壁上之一台階單元上之一透光部件。

【0031】 該第一凹槽之一寬度與該第一金屬封裝主體單元之該底表面之一寬度之一比率之範圍可自 1:3 至 1:5。

【0032】 根據本發明之另一態樣，提供一種半導體裝置封裝，其包括：一第一金屬封裝主體單元；一第二金屬封裝主體單元，其與該第一金屬封裝主體單元由一第一絕緣部件間隔開；一發光裝置，其電連接至該第一金屬封裝主體單元及該第二金屬封裝主體單元；及一透光部件，其安置於該第一金屬封裝主體單元及該第二金屬封裝主體單元上。該第一金屬封裝主體單元之一上部部分包括藉由減小該第一金屬封裝主體單元之一厚度而形成之一第一凹座單元。該第一金屬封裝主體單元之一下部部分包括沿著複數個外側表面形成之一第二凹座單元。該第二金屬封裝主體單元之一上部部分包括藉由減小該第二金屬封裝主體單元之一厚度形成之一第三凹座單元。該第二金屬封裝主體單元之一下部部分包括沿著複數個外側表面形成之一第四凹座單元。該第一凹座單元、該第三凹座單元及該第一絕緣部件形成一空腔。該發光裝置安置於該空腔中，且包括安置於該第二凹座單元及該第四凹

座單元中之一第二絕緣部件。

【圖式簡單說明】

【0033】 對於一般熟習此項技術者而言，藉由參看附圖詳細地描述例示性實施例，本發明之以上及其他目標、特徵及優勢將變得更顯而易見，其中：

圖 1 為根據本發明之一例示性實施例的一半導體裝置封裝之透視圖；

圖 2 為根據本發明之一例示性實施例的一半導體裝置封裝之平面圖；

圖 3 為根據本發明之一例示性實施例的一半導體裝置封裝之橫截面圖；

圖 4 為根據本發明之一例示性實施例的一半導體裝置封裝之仰視圖；

圖 5 為圖 3 之分解圖；

圖 6A 為根據本發明之一例示性實施例的一半導體裝置之概念圖；

圖 6B 說明圖 6A 之一經修改實例；

圖 7 為根據本發明之另一例示性實施例的一半導體裝置封裝之橫截面圖；

圖 8 為根據本發明之再一例示性實施例的一半導體裝置封裝之橫截面圖；

圖 9 說明圖 1 之一經修改實例；且

圖 10A 至圖 10E 為說明根據本發明之一例示性實施例的製造一半導體裝置封裝之製程之圖式。

【實施方式】

【0034】 該等實施例可以其他形式修改，或若干實施例可彼此組合。本發明之範疇不限於下文所描述之實施例中的每一者。

【0035】 甚至當在一具體實施例中所描述之內容未在其他實施例中描述時，該內容仍可理解為與其他實施例相關，除非另外加以描述或該內容在其他實施例中與具體實施例矛盾。

【0036】 舉例而言，當組件 A 之特徵在一具體實施例中描述且組件 B 之特徵在另一實施例中描述時，應理解，組件 A 與組件 B 組合的實施例屬於本發明之範疇及精神，甚至在未明確地描述該等實施例時。

【0037】 在該等實施例之描述中，應理解，當一元件被稱作「在另一元件上或下」時，該兩個元件可彼此直接接觸或可在該兩個元件之間存在至少一個插入元件。另外，術語「在……上或下」可涵蓋基於一個元件的上方及下方之兩個定向。

【0038】 現將參看展示本發明之例示性實施例的附圖更充分地描述可易於由熟習此項技術者實施的本發明之例示性實施例。

【0039】 圖 1 為根據本發明之一例示性實施例的一半導體裝置封裝之透視圖。圖 2 為根據本發明之一例示性實施例的一半導體裝置封裝之平面圖。圖 3 為根據本發明之一例示性實施例的一半導體裝置封裝之橫截面圖。圖 4 為根據本發明之一例示性實施例的一半導體裝置封裝之仰視圖。圖 5 為圖 3 之分解圖。

【0040】 參看圖 1 及圖 2，根據該例示性實施例之半導體裝置封裝可包括：包括一空腔 11 之一主體 10、安置於該空腔 11 內部之一半導體裝置 100 及安置於該空腔 11 上之一透光部件 50。

【0041】 可藉由處理一鋁基板來製造主體 10。因此，根據例示性實施例的主體 10 之一內表面及一外表面兩者可具有導電性。主體 10 的以上描述之結構可具有各種優點。當諸如氮化鋁(AlN)及氧化鋁(Al_2O_3)之非導電材料用於主體 10 時，由於主體 10 在紫外線(UV)波長帶中之反射比僅為 20% 至 40%，因此應安置一額外反射性部件。另外，可能需要諸如引線框架之額外導電部件及一電路圖案。因此，製造成本可增加，且製程可為複雜的。此外，諸如金(Au)之導電部件可吸收 UV 光以降低光提取效率。

【0042】 然而，根據該例示性實施例，由於主體 10 自身由鋁形成，因此主體 10 在 UV 波長帶中之反射比可為高的，使得可省略額外反射性部件。另外，由於主體 10 自身具有導電性，因此可省略額外電路圖案及引線框架。此外，由於主體 10 由鋁形成，因此主體 10 可具有 140 W/m.k 至 160 W/m.k 之良好熱導率。因此，可改良熱輻射效率。

【0043】 主體 10 可包括一第一金屬封裝主體單元 10a 及一第二金屬封裝主體單元 10b。第一絕緣部件 42 可安置於第一金屬封裝主體單元 10a

與第二金屬封裝主體單元 10b 之間。由於第一金屬封裝主體單元 10a 及第二金屬封裝主體單元 10b 皆具有導電性，因此可能有必要安置第一絕緣部件 42 以將第一金屬封裝主體單元 10a 之極性與第二金屬封裝主體單元 10b 之極性分開。

【0044】 第一絕緣部件 42 可包括具有一絕緣功能的各種材料中之任一種。作為一實例，該第一絕緣部件 42 可包括樹脂，諸如，聚醯亞胺(PI)，但本發明不限於此。該第一絕緣部件 42 之厚度的範圍可自 10 μm 至 100 μm 。當第一絕緣部件 42 之厚度為 10 μm 或大於 10 μm 時，第一金屬封裝主體單元 10a 可與第二金屬封裝主體單元 10b 充分絕緣。當第一絕緣部件 42 之厚度為 100 μm 或小於 100 μm 時，可減少增大封裝之大小的問題。

【0045】 主體 10 可包括一空腔 11，其在一第一方向上自主體 10 之一頂表面朝向其一底表面 12 凹入。另外，主體 10 可包括安置於主體 10 之頂表面上的一第一對準標記 15a 及一第二對準標記 15b。第一對準標記 15a 可具有與第二對準標記 15b 之形狀不同的一形狀。作為一實例，第一對準標記 15a 可具有三角形形狀，且第二對準標記 15b 可具有四邊形形狀，但本發明不限於此。

【0046】 主體 10 可安置於一樹脂單元 410 上。樹脂單元 410 可沿著主體 10 之外側表面與底表面之間的一拐角區域安置。根據一例示性實施例，由於樹脂單元 410 安置於主體 10 之下，因此可減少在封裝切割製程期間的毛邊之出現。

【0047】 第一絕緣部件 42 可穿過具有導電性的主體 10 之複數個外側表面中之至少兩個外側表面及空腔 11 之一底表面形成。因此，該第一絕緣部件 42 可在主體 10 之外側表面處曝露。

【0048】 具有導電性的主體 10 之外側表面、樹脂單元 410 之一外側表面及第一絕緣部件 42 之經曝露表面可皆彼此共面。意即，樹脂單元 410 之外側表面及第一絕緣部件 42 之經曝露表面可與具有導電性的主體 10 之外側表面形成一個垂直表面。

【0049】 該第一金屬封裝主體單元 10a 可經安置以面向該第二金屬

封裝主體單元 10b，且包括第一絕緣部件 42 在其上安置於第一金屬封裝主體單元 10a 與第二金屬封裝主體單元 10b 之間的一內側表面 S14，及構成主體 10 之側表面的外側表面 S11、S12 及 S13。內側表面 S24 可為與第一絕緣部件 42 接觸之一第一黏著表面。

【0050】 該第二金屬封裝主體單元 10b 可經安置以面向該第一金屬封裝主體單元 10a，及第一絕緣部件 42 在其上安置於第一金屬封裝主體單元 10a 與第二金屬封裝主體單元 10b 之間的內側表面 S24 及構成主體 10 之側表面的外側表面 S21、S22 及 S23。內側表面 S14 可為與第一絕緣部件 42 接觸之第二黏著表面。

【0051】 參看圖 3 及圖 4，空腔 11 可安置於主體 10 之頂表面中，且具有一底表面 11c 及一斜表面 11d。由於第一絕緣部件 42 穿過主體 10 之兩個相對外側表面形成，因此第一絕緣部件 42 可在空腔 11 之底表面 11c 及斜表面 11d 處曝露。

【0052】 第一空腔 11a 之斜表面 11d 可在垂直於其底表面 11c 之一方向上安置。然而，本發明不限於此，且斜表面 11d 可按與底表面 11c 大於 90°之一角度傾斜，使得由半導體裝置 100 發射之光可向上反射。如上所述，由於主體 10 係使用鋁製造，因此即使不提供一額外反射性部件，空腔 11 之內表面仍可向上反射具有一 UV 波長帶之光。

【0053】 第二空腔 11b 可安置於第一空腔 11a 上，且具有一直徑以便安置透光部件 50。透光部件 50 可由台階單元 15 支撐於第一空腔 11a 與第二空腔 11b 之間。第二空腔 11b 可包括複數個凹座 17，其可在第二空腔 11b 之外部圓周表面處朝向主體 10 之拐角突出。

【0054】 主體 10 可包括安置於主體 10 之底表面 12 與主體 10 之側表面 13 會合之拐角處的第一凹槽 14a 及第二凹槽 14b，及安置於第一凹槽 14a 與第二凹槽 14b 中之第二絕緣部件 41a 及 41b。第一凹槽 14b 及第二凹槽 14a 可完全沿著主體 10 之底表面 12 與其側表面 13 會合之拐角區域安置。

【0055】 具體言之，主體 10 可包括安置於第一金屬封裝主體單元 10a

之底表面 12a 與外側表面 S21、S22 及 S23 會合之一區域中的第一凹槽 14a，及安置於第二金屬封裝主體單元 10b 之底表面 12b 與外側表面 S11、S12 及 S13 會合之一區域中的第二凹槽 14b。

【0056】 第二絕緣部件 41a 及 41b 可包括安置於第一凹槽 14a 中之第 2-1 絕緣單元 41a，及安置於第二凹槽 14b 中之第 2-2 絕緣單元 41b。在此情況下，第 2-1 絕緣單元 41a 可與第 2-2 絕緣單元 41b 整體形成。

【0057】 第一凹槽 14a 及第二凹槽 14b 之形狀不受具體限制。第一凹槽 14a 及第二凹槽 14b 之剖面形狀可包括多邊形形狀、透鏡形狀及類似者中之任一者。

【0058】 第二絕緣部件 41a 及 41b 可由與第一絕緣部件 42 相同之材料形成。第一絕緣部件 42 及第二絕緣部件 41a 及 41b 可由選自以下各者中之一者形成：經改質環氧樹脂組合物(諸如，環氧樹脂模製化合物(EMC)、白矽酮、光可成像阻焊劑(PSR)、矽酮樹脂組合物、矽酮改質之環氧樹脂及類似者)、經改質矽酮樹脂組合物(諸如，環氧樹脂改質之矽酮樹脂及類似者)及樹脂(諸如，聚醯亞胺樹脂組合物、經改質聚醯亞胺樹脂組合物、聚鄰苯二甲醯胺(PPA)、聚碳酸酯樹脂、聚苯硫醚(PPS)、液晶聚合物(LCP)、丙烯腈丁二烯苯乙烯(ABS)樹脂、苯酚樹脂、丙烯酸樹脂、聚對苯二甲酸丁二醇酯(PBT)樹脂及類似者)。

【0059】 然而，本發明不限於此，且用於第一絕緣部件 42 之材料可與用於第二絕緣部件 41a 及 41b 之材料不同。作為一實例，第一絕緣部件 42 可包括基於聚醯亞胺(PI)之黏著材料。因此，第一絕緣部件 42 可包括具有比第二絕緣部件 41a 及 41b 之耐熱性高的耐熱性。

【0060】 在此情況下，可防止第一絕緣部件 42 破壞或開裂，甚至在於第一絕緣部件 42 之形成期間產生的高溫高壓環境中，或在於諸如共晶製程、銀(Ag)膏狀物製程及類似者之晶粒結合製程期間產生的約 320°C 之高溫環境中。

【0061】 根據該實施例，由於第二絕緣部件 41a 及 41b 安置於主體 10 之下拐角處，因此可防止在封裝切割製程期間毛邊出現於主體 10 之拐角

處。由於鋁基板包括金屬材料，因此毛邊可易於在切割製程期間出現於鋁基板中。當毛邊出現時，主體 10 之底表面 12 可不平坦，使得半導體裝置封裝可經不良地安裝於電路基板上。另外，當毛邊出現時，主體 10 之厚度可為不均勻的，且可提高主體 10 之部分區域，此可引起量測誤差。由於第二絕緣部件 41a 及 41b 由絕緣材料形成，因此毛邊可不易於在切割製程期間產生。

【0062】 第一凹槽 14a 及第二凹槽 14b 之內表面可具有粗糙度(未展示)。當第一凹槽 14a 及第二凹槽 14b 之內表面平滑時，第一凹槽 14a 及第二凹槽 14b 與第二絕緣部件 41a 及 41b 之黏著力可較弱。因此，經由表面處理製程，第一凹槽 14a 及第二凹槽 14b 之內表面可具有粗糙度，以固定第二絕緣部件 41a 及 41b。

【0063】 第二絕緣部件 41a 及 41b 之第一方向厚度(Y 方向寬度或 d1)可範圍自 50 μm 至 150 μm 。第一方向(或 Y 方向)可為自主體 10 之底表面 12 朝向其頂表面的方向。當第二絕緣部件 41a 及 41b 之第一方向厚度 d1 為 50 μm 或大於 50 μm 時，可確保足夠厚度以防止在封裝切割製程期間出現毛邊。當第二絕緣部件 41a 及 41b 之第一方向厚度 d1 為 150 μm 或小於 150 μm 時，可防止第二絕緣部件 41a 及 41b 自主體 10 之底表面 12 突出。

【0064】 第二絕緣部件 41a 及 41b 之第二方向寬度(X 方向寬度 w1)可範圍自 100 μm 至 300 μm 。第二方向(或 X 方向)可為與第一方向正交之方向。當第二絕緣部件 41a 及 41b 之第二方向寬度 w1 為 100 μm 或大於 100 μm 時，第二絕緣部件 41a 及 41b 可充分固定至第一凹槽 14a 及第二凹槽 14b。當第二絕緣部件 41a 及 41b 之第二方向寬度 w1 為 300 μm 或小於 300 μm 時，主體 10 之底表面 12 可確保用於將電極安裝於其上之一足夠面積。

【0065】 根據例示性實施例，第二絕緣部件 41a 及 41b 之厚度 d1 與其寬度 W1 的比率 d1:w1 可範圍自 1:1.5 至 1:6。意即，第二絕緣部件 41a 及 41b 之寬度 W1 可大於其厚度 d1。當滿足以上描述之比率 d1:w1 時，第二絕緣部件 41a 及 41b 可充分固定至第一凹槽 14 以抑制毛邊之出現。

【0066】 主體 10 可包括安置於第一金屬封裝主體單元 10a 之底表面

12a 與內側表面 S24 會合之一區域中的一第三凹槽 19a、安置於第二金屬封裝主體單元 10b 之底表面 12b 與內側表面 S14 會合之一拐角區域中的一第四凹槽 19b 及安置於第三凹槽 19a 及第四凹槽 19b 中之一第三絕緣部件 43。

【0067】 第三絕緣部件 43 可安置於主體 10 之底表面 12 中，且連接至第二絕緣部件 41a 及 41b 及第一絕緣部件 42。另外，第三絕緣部件 43 可在該第一方向(Y 方向)上重疊第一絕緣部件 42。在此情況下，在該第一方向(Y 方向)上，第一絕緣部件 42 之長度可大於第三絕緣部件 43 之長度。

【0068】 第一至第四凹槽 14a、14b、19a 及 19b 可同時形成。另外，第二絕緣部件 41a 及 41b 與第三絕緣部件 43 可使用一個塗佈製程形成。因此，用於第三絕緣部件 43 之材料可與用於第二絕緣部件 41a 及 41b 之材料相同，但本發明不限於此。

【0069】 第一金屬封裝主體單元 10a 之底表面 12a、第二金屬封裝主體單元 10b 之底表面 12b、第二絕緣部件 41a 及 41b 之底表面及第三絕緣部件 43 之底表面可彼此共面。意即，第二絕緣部件 41a 及 41b 與第三絕緣部件 43 可不自主體 10 之底表面 12 突出，而全部形成一平坦表面。因此，當將半導體裝置封裝安裝於電路基板上時，可降低故障率，且可減小封裝之厚度。

【0070】 第三絕緣部件 43 之厚度(Y 方向寬度或 d2)可範圍自 10 μm 至 100 μm 。當第三絕緣部件 43 之厚度為 10 μm 或大於 10 μm 時，第三絕緣部件 43 可緊緊地固定至第二凹槽 19。當第三絕緣部件 43 之厚度為 100 μm 或小於 100 μm 時，可控制第二凹槽 19 具有小深度，使得可確保安裝半導體裝置 100 的區域之厚度。安裝半導體裝置 100 之區域可為主體 10 之最薄區域，因為空腔 11 形成於安裝半導體裝置 100 之區域中。因此，將第二凹槽 19 形成為儘可能地淺可為有利的。

【0071】 第三絕緣部件 43 之寬度(X 方向寬度或 w2)可範圍自 300 μm 至 700 μm 。當第三絕緣部件 43 之寬度 w2 為 300 μm 或大於 300 μm 時，第一金屬封裝主體單元 10a 之底表面 12a 可與第二金屬封裝主體單元 10b 之底表面 12b 充分間隔開，以便防止短路之出現。當第三絕緣部件 43 之寬度

w2 為 700 μm 或小於 700 μm 時，主體 10 之底表面 12 可確保用於安裝電極之足夠面積。因此，第三絕緣部件 43 之寬度 w2 可大於第二絕緣部件 41a 及 41b 之寬度 w1。

【0072】 第二絕緣部件 41a 及 41b 之厚度 d1 可大於第三絕緣部件 43 之厚度 d2。安裝半導體裝置 100 之區域可為主體 10 之最薄區域，此係因為空腔 11 形成於安裝半導體裝置 100 之區域中。因此，將第二凹槽 19 形成為儘可能地淺可為有利的。另外，第二絕緣部件 41a 及 41b 可具有一預定厚度以防止毛邊之出現。結果，當第二絕緣部件 41a 及 41b 之厚度 d1 大於第三絕緣部件 43 之厚度 d2 時，可有效地防止毛邊之出現，且可確保封裝之足夠強度。

【0073】 然而，本發明不限於此，且第二絕緣部件 41a 及 41b 之厚度 d1 可等於第三絕緣部件 43 之厚度 d2。

【0074】 由於該主體 10 如上所述具有導電性，因此第一金屬封裝主體單元 10a 之底表面 12a 及第二金屬封裝主體單元 10b 之底表面 12b 中之每一者可具有導電性。在此情況下，第二絕緣部件 41a 及 41b 可沿著主體 10 之拐角安置且包圍第一金屬封裝主體單元 10a 之底表面 12a 及第二金屬封裝主體單元 10b 之底表面 12b，且第三絕緣部件 43 可安置於第一金屬封裝主體單元 10a 之底表面 12a 與第二金屬封裝主體單元 10b 之底表面 12b 之間。第三絕緣部件 43 在縱向方向上之兩端可與第二絕緣部件 41a 及 41b 接觸。

【0075】 第一金屬封裝主體單元 10a 之底表面 12a 可具有大於第二金屬封裝主體單元 10b 之底表面 12b 的面積之面積。第一金屬封裝主體單元 10a 之底表面 12a 之面積與第二金屬封裝主體單元 10b 之底表面 12b 之面積的一比率可範圍自 1:0.2 至 1:0.6。當以上描述之面積比為 1:0.2 或大於 1:0.2 時，可確保第二金屬封裝主體單元 10b 之底表面 12b 之面積足夠防止短路之出現。當以上描述之面積比為 1:0.6 或小於 1:0.6 時，可確保用於將子底座安置於第一金屬封裝主體單元 10a 之底表面 12a 上的足夠空間。

【0076】 第一凹槽 14a 之底表面之寬度 w1 與第一金屬封裝主體單元

10a 之底表面 12a 之寬度 w_4 的比率 $w_1:w_4$ 可範圍自 1:3 至 1:5。當比率 $w_1:w_4$ 為 1:3 或大於 1:3 時，第一金屬封裝主體單元 10a 之底表面 12a 之面積可增大，使得可確保用於安裝子底座之一足夠面積。當比率 $w_1:w_4$ 為 1:5 或小於 1:5 時，第二絕緣部件 41a 及 41b 之一寬度可增大使得可有效地抑制毛邊之出現。

【0077】 第三凹槽 19a 之底表面之寬度 w_{21} 與第一凹槽 14a 之底表面之寬度 w_1 的比率 $w_{21}:w_4$ 可範圍自 1:0.8 至 1:1.2。意即，第三絕緣部件 43 之寬度 w_2 可為第二絕緣部件 41a 及 41b 之寬度 w_1 的至少兩倍。因此，第一金屬封裝主體單元 10a 之底表面 12a 可與第二金屬封裝主體單元 10b 之底表面 12b 充分間隔開，使得可防止短路之出現。

【0078】 第四絕緣部件 44 可安置於主體 10 之頂表面上。第四絕緣部件 44 可由與第一絕緣部件 42 及第二絕緣部件 41 相同之材料或不同之材料形成。第四絕緣部件 44 之厚度可小於第二絕緣部件 41a 及 41b 之厚度。

【0079】 半導體裝置 100 可安置於空腔 11 內部。半導體裝置 100 可電連接至第一金屬封裝主體單元 10a 及第二金屬封裝主體單元 10b。子底座 22 可安置於空腔 11 中，且半導體裝置 100 可安置於子底座 22 上。電線結合至之一襯墊單元(未展示)可安置於空腔 11 之底表面上。

【0080】 半導體裝置 100 可輸出具有 UV 波長帶之光。作為一實例，半導體裝置 100 可輸出具有近 UV 波長帶之光 UV-A，輸出具有遠 UV 波長帶之光 UV-B，輸出具有深 UV 波長帶之光 UV-C。半導體裝置 100 之波長範圍可由發射結構 120 之 Al 含量判定。

【0081】 在一實例中，具有近 UV 波長帶之光 UV-A 可具有在 320 nm 至 390 nm 之範圍中的一峰值波長，具有遠 UV 波長帶之光 UV-B 可具有在 280 nm 至 320 nm 之範圍中的一峰值波長，且具有深 UV 波長帶之光 UV-C 可具有在 100 nm 至 280 nm 之範圍中的一峰值波長。

【0082】 透光部件 50 可安置於空腔 11 上。透光部件 50 可由台階單元 15 安置於第一空腔 11a 與第二空腔 11b 之間。黏著層(未展示)可安置於台階單元 15 與透光部件 50 之間。當黏著層經過度填充時，剩餘黏著劑可

移動回至凹座 17 內。因此，即使黏著劑經過度塗佈，透光部件 50 仍可經維持為平的。

【0083】 用於透光部件 50 之材料不受具體限制，且可為能夠傳輸具有一 UV 波長帶之光的任何材料。作為一實例，透光部件 50 可包括具有一高 UV 波長透射率之光學材料(例如，石英)，但本發明不限於此。

【0084】 參看圖 5，主體 10 可安置於樹脂單元 410 上。意即，樹脂單元 410 之頂表面 410a 可與主體 10 之底表面 12 接觸。樹脂單元 410 可包括第一通孔 411 及第二通孔 412，其可經由樹脂單元 410 之頂表面 410a 及底表面 410b 形成。

【0085】 主體 10 可包括自主體 10 之底表面 12 突出且安置於第一通孔 411 中之一第一突起 12a-1，及自主體 10 之底表面 12 突出且安置於第二通孔 412 中之一第二突起 12b-1。因此，第一突起 12a-1 之底表面 12a、第二突起 12b-1 之底表面 12b 及樹脂單元 410 之底表面 410b 可彼此共面。第一突起 12a-1 及第二突起 12b-1 可包括與主體 10 之材料相同的材料。

【0086】 第一通孔 411 可大於第二通孔 412。因此，第一突起 12a-1 之大小可大於第二突起 12b-1 之大小。

【0087】 第一突起 12a-1 之面積與第二突起 12b-1 之面積的一比率可範圍自 1:0.2 至 1:0.6。當區域比率為 1:0.2 或大於 1:0.2 時，可確保第二突起 12b-1 之面積足夠防止短路之出現。當面積比為 1:0.6 或小於 1:0.6 時，可確保用於在第一突起 12a-1 上安置子底座之一足夠空間。

【0088】 第一突起 12a-1 與第二突起 12b-1 之間的距離 W2 可大於第一絕緣部件 42 之寬度。因此，安置於第一突起 12a-1 與第二突起 12b-1 之間的第三絕緣部件 43 之寬度可增大以防止短路之出現。

【0089】 第一金屬封裝主體單元 10a 可包括：一第一凹座單元 11-1，其厚度在朝向第二金屬封裝主體單元 10b 之一方向(X2 方向)上減小；及一第二凹座單元 14a 及 19a，其形成於第一金屬封裝主體單元 10a 之側表面 S21、S22、S23 及 S24 與其底表面 12a 會合之拐角區域處。

【0090】 第二金屬封裝主體單元 10b 可包括：一第二凹座單元 11-2，

其厚度在朝向第一金屬封裝主體單元 10a 之一方向(X1 方向)上減小；及一第四凹座單元 14b 及 19b，其形成於第二金屬封裝主體單元 10b 之側表面 S11、S12、S13 及 S14 與其底表面 12b 會合之拐角區域處。第一凹座單元 11-1、第二凹座單元 11-2 及第一絕緣部件 42 之頂表面可形成主體 10 之空腔 11。

【0091】 第一金屬封裝主體單元 10a 之第二凹座單元 14a 及 19a 可包括：第一凹槽 14a，其安置於第一金屬封裝主體單元 10a 之底表面 12a 與第一金屬封裝主體單元 10a 之外側表面 S21、S22 及 S23 會合之一區域中；及第三凹槽 19a，其安置於第一金屬封裝主體單元 10a 之底表面 12a 與第一金屬封裝主體單元 10a 之第一黏著表面 S24 會合之一區域中。

【0092】 第二金屬封裝主體單元 10b 之第四凹座單元 14b 及 19b 可包括：第二凹槽 14b，其安置於第二金屬封裝主體單元 10b 之底表面 12b 與外側表面 S11、S12 及 S13 會合之一區域中；及第四凹槽 19b，其安置於第二金屬封裝主體單元 10b 之底表面 12b 與第二金屬封裝主體單元 10b 之第二黏著表面 S14 會合之一區域中。在此情況下，該第三凹槽 19a 可連接至第四凹槽 19b。

【0093】 樹脂單元 410 可包括安置在第一凹槽 14a 及第二凹槽 14b 中之第二絕緣部件 41a 及 41b，及安置在第三凹槽 19a 及第四凹槽 19b 中之第三絕緣部件 43。因此，樹脂單元 410 可包括第二絕緣部件 41a 及 41b 及第三絕緣部件 43 之所有以上描述的特性。

【0094】 意即，第二絕緣部件 41a 及 41b 之厚度可大於第三絕緣部件 43 之厚度，且第二絕緣部件 41a 及 41b 之寬度可小於第三絕緣部件 43 之寬度。

【0095】 此外，用於第二絕緣部件 41a 及 41b 及第三絕緣部件 43 之材料可與用於第一絕緣部件 42 之材料不同。

【0096】 第二絕緣部件 41a 及 41b 之寬度 W1 可小於主體 10 之頂表面之寬度 W5。第二絕緣部件 41a 及 41b 之寬度 W1 可範圍自主體 10 之頂表面之寬度 W5 的 50%至 90%。歸因於以上描述之結構，可確保用於將電

極安裝於主體 10 下之足夠面積且可確保第二絕緣部件 41a 及 41b 之足夠寬度，藉此獲得第二絕緣部件 41a 及 41b 與主體 10 之黏著力。

【0097】 圖 6A 為根據本發明之一例示性實施例的半導體裝置 100 之概念圖，且圖 6B 說明圖 6A 之一經修改實例。

【0098】 參看圖 6A，根據例示性實施例之半導體裝置 100 可作為覆晶類型安裝於子底座 22 上。意即，半導體裝置 100 之第一電極 152 及第二電極 151 可作為覆晶類型安裝於子底座 22 之第一襯墊 23a 及第二襯墊 23b 上。在此情況下，第一襯墊 23a 及第二襯墊 23b 中之每一者可使用電線 W 焊接至主體 10。

【0099】 然而，安裝半導體裝置 100 之方法不受具體限制。舉例而言，如圖 6B 中所展示，半導體裝置 100 之基板 110 可安置於子底座 22 上，且第一電極 152 及第二電極 151 可直接焊接至主體 10。

【0100】 根據例示性實施例之半導體裝置 100 可包括一基板 110、一第一導電型半導體層 120、一作用層 130 及一第二導電型半導體層 140。第一導電型半導體層 120 及第二導電型半導體層 140 中之每一者可包括一鋁組合物以發射具有一 UV 波長帶之光。

【0101】 基板 110 可包括一導電基板或一絕緣基板。基板 110 可包括適合於生長半導體材料或為載體晶圓之材料。基板 110 可由選自藍寶石 (Al_2O_3)、碳化矽 (SiC)、砷化鎵 (GaAs)、氮化鎵 (GaN)、氧化鋅 (ZnO)、矽 (Si)、磷化鎵 (GaP)、磷化銦 (InP) 及鍺 (Ge) 之材料形成，但本發明不限於此。在必要時，可移除基板 110。

【0102】 一緩衝層(未展示)可進一步提供於第一導電型半導體層 120 與基板 110 之間。緩衝層可減小提供於基板 110 上之發射結構 160 與基板 110 之間的晶格失配。

【0103】 第一導電型半導體層 120 可實施為化合物半導體(諸如，第 III-V 族化合物半導體或第 II-VI 族化合物半導體)，且第一摻雜劑可摻雜至第一導電型半導體層 120 內。第一導電型半導體層 120 可選自具有組成式 $\text{In}_{x1}\text{Al}_{y1}\text{Ga}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq x1+y1 \leq 1$) 之半導體材料(例如， GaN 、

AlGa_xN、InGa_xN 及 InAlGa_xN)。另外，第一摻雜劑可為 n 型摻雜劑，諸如，矽(Si)、鍺(Ge)、錫(Sn)、硒(Se)及碲(Te)。當第一摻雜劑係 n 型摻雜劑時，摻雜有第一摻雜劑之第一導電型半導體層 120 可為 n 型半導體層。

【0104】 作用層 130 可為經由第一導電型半導體層 120 噴出之電子(或電洞)與經由第二導電型半導體層 140 噴出之電洞(或電子)會合之層。隨著電子及電洞歸因於其間之重組而轉變至低能量位準，作用層 130 可產生具有對應於能量差之一波長的光。

【0105】 作用層 130 可具有單井結構、多井結構、單量子井(SQW)結構、多量子井(MQW)結構、量子點結構或量子線結構中之任一者，且作用層 130 之結構不限於此。

【0106】 第二導電型半導體層 140 可形成於作用層 130 上且實施為化合物半導體(諸如，第 III-V 族化合物半導體及第 II-VI 族化合物半導體)，且可將第二摻雜劑摻雜至第二導電型半導體層 140 內。第二導電型半導體層 140 可由具有組成式 $\text{In}_{x5}\text{Al}_{y2}\text{Ga}_{1-x5-y2}\text{N}$ ($0 \leq x5 \leq 1$ 、 $0 \leq y2 \leq 1$ 、 $0 \leq x5+y2 \leq 1$)之半導體材料或選自氮化鋁銦(AlInN)、砷化鋁鎵(AlGaAs)、磷化鎵(GaP)、砷化鎵(GaAs)、砷化鎵磷化物(GaAsP)及磷化鋁鎵銦(AlGaInP)之材料形成。當第二摻雜劑為諸如鎂(Mg)、鋅(Zn)、鈣(Ca)、銦(Sr)及鋇(Ba)之 p 型摻雜劑時，摻雜有第二摻雜劑之第二導電型半導體層 140 可為 p 型半導體層。

【0107】 第一電極 152 可連接至第一導電型半導體層 120，且第二電極 151 可電連接至第二導電型半導體層 140。第一電極 152 及第二電極 151 可由選自以下各者中之一者形成：鈦(Ti)、鈦(Ru)、銻(Rh)、銥(Ir)、鎂(Mg)、鋅(Zn)、鋁(Al)、銦(In)、鉭(Ta)、鈀(Pd)、鈷(Co)、鎳(Ni)、矽(Si)、鍺(Ge)、銀(Ag)、金(Au)及其一選定合金。

【0108】 雖然例示性實施例說明水平發光裝置之一結構，本發明不限於此。舉例而言，根據例示性實施例之發光裝置可具有一垂直結構或一覆晶結構。

【0109】 圖 7 為根據本發明之另一例示性實施例的一半導體裝置封裝之橫截面圖。圖 8 為根據本發明之再一例示性實施例的一半導體裝置封

裝之橫截面圖。圖 9 說明圖 1 之一經修改實例。

【0110】 參看圖 7，第一絕緣部件 42 可安置於主體 10 之底表面 12 之中心中。在省略子底座之一結構中，可自由地改變第一絕緣部件 42 之位置。在此情況下，第一金屬封裝主體單元 10a 與第二金屬封裝主體單元 10b 可具有彼此對稱之形狀。

【0111】 參看圖 8，第二絕緣部件 41 之厚度可遠離主體 10 之側表面 13 減小。根據以上描述之組態，由於第二絕緣部件 41a 及 41b 在主體 10 之側表面 13 上具有大厚度，因此在封裝切割製程期間可有效地抑制毛邊之出現。另外，可最大限度地確保主體 10 之底表面 12，使得可確保用於將電極安裝於其上的主體 10 之底表面 12 之足夠面積。然而，本發明不限於此，且第二絕緣部件 41a 及 41b 之厚度可不連續減小，而可遠離主體 10 之側表面 13 按梯級形式減小。

【0112】 第五絕緣單元 45 可安置於主體 10 之側表面 13 上。第五絕緣單元 45 可連接至安置於主體 10 之頂表面上的第四絕緣部件 44。由於根據該實施例之主體 10 由鋁形成，因此主體 10 可易受到靜電放電(ESD)。第四絕緣部件 44 及第五絕緣單元 45 可安置於主體 10 之外表面上，且保護主體 10 之外觀，及防止 ESD 及短路。

【0113】 第五絕緣單元 45 可具有 10 μm 至 100 μm 之一厚度。當第五絕緣單元 45 之厚度小於 10 μm 時，可能難以確保主體 10 之外表面之充分絕緣。當第五絕緣單元 45 之厚度大於 100 μm 時，存在封裝之大小可增大的問題。

【0114】 然而，本發明不限於此，且第五絕緣單元 45 可藉由氧化主體 10 之外表面來形成。氧化主體 10 之外表面之方法不受具體限制。作為一實例，可藉由將氧氣供應至一腔室內來氧化主體 10 之外表面。然而，本發明不限於此，且可應用用於氧化鋁之表面的各種表面處理技術。

【0115】 在此情況下，可藉由一遮罩來處理主體 10 之內表面及底表面以防止氧化。主體 10 之底表面及內表面可充當用於將電流供應至半導體裝置 100 之一通道。另外，當空腔 11 之內表面經氧化時，UV 光之反射比

可減小。

【0116】 參看圖 9，透光部件 50 可安置於主體 10 之頂表面上。在此情況下，當透光部件 50 直接安置於主體 10 之頂表面上時，透光部件 50 可不易於黏附至主體 10 之頂表面，此係因為主體 10 之頂表面具有相對低粗糙度。因此，根據該實施例，第四絕緣部件 44 可形成於主體 10 之頂表面上以增大粗糙度，且第四絕緣部件 44 可用黏著劑 51 塗佈以將透光部件 50 固定於其上。然而，本發明不限於此，且可省略第四絕緣部件 44。

【0117】 圖 10A 至圖 10E 為說明根據本發明之一例示性實施例的製造一半導體裝置封裝之製程之圖式。

【0118】 參看圖 10A，複數個鋁基板 10-1 間的空間可用第一絕緣部件 42 塗佈，使得該複數個鋁基板 10-1 可彼此結合。第一絕緣部件 42 可包括具有一絕緣功能的各種材料中之任一種。該第一絕緣部件 42 之厚度可範圍自 10 μm 至 100 μm 。當第一絕緣部件 42 之厚度為 10 μm 或大於 10 μm 時，該複數個基板 10-1 可彼此充分絕緣。當第一絕緣部件 42 之厚度為 100 μm 或小於 100 μm 時，可減少增大封裝之大小的問題。

【0119】 參看圖 10B，複數個空腔 11 可形成於該複數個基板 10-1 中。安置半導體裝置之第一空腔 11a 及安置透光部件 50 之第二空腔 11b 可一起形成。形成空腔 11 之方法不受具體限制。作為一實例，可應用任何典型之金屬處理方法。

【0120】 在此情況下，複數個凹槽 14 及 19 可形成於鋁基板 10 之底表面 12 中。其後，參看圖 10C，複數個凹槽 14 及 19 可用第二絕緣部件 41 及第三絕緣部件 43 塗佈。在此情況下，可簡化製程，且第二絕緣部件 41 可與第三絕緣部件 43 整體形成以確保優異之黏著力。

【0121】 參看圖 10D，半導體裝置 100 可安裝於空腔 11 內部，且一透光部件 50 可安置於半導體裝置 100 上且固定至該半導體裝置 100。可使用額外黏著劑將透光部件 50 固定至半導體裝置 100。

【0122】 半導體裝置 100 可安置於空腔 11 內部。子底座可安置於空腔 11 中，且半導體裝置 100 可安置於子底座上。電線結合至之一襯墊單元

(未展示)可安置於該空腔 11 之一底表面上。

【0123】 該半導體裝置 100 可輸出具有 UV 波長帶之光。作為一實例，半導體裝置 100 可輸出具有近 UV 波長帶之光 UV-A，輸出具有遠 UV 波長帶之光 UV-B，輸出具有深 UV 波長帶之光 UV-C。波長範圍可由發射結構 120 之鋁(Al)含量判定。

【0124】 用於透光部件 50 之材料不受具體限制，且可為能夠傳輸具有一 UV 波長帶之光的任何材料。作為一實例，透光部件 50 可包括具有一高 UV 波長透射率之光學材料(例如，石英)，但本發明不限於此。

【0125】 隨後，一第四絕緣部件 44 可形成主體 10 之頂表面上。第四絕緣部件 44 之厚度不受具體限制。另外，在必要時，第五絕緣單元可形成於主體 10 之一側表面 13 上。

【0126】 根據例示性實施例之第一至第五絕緣部件 41、42、43、44 及 45 可由以下各者形成：經改質環氧樹脂組合物(諸如，EMC、白矽酮、PSR、矽酮樹脂組合物、矽酮改質之環氧樹脂及類似者)、經改質矽酮樹脂組合物(諸如，環氧樹脂改質之矽酮樹脂及類似者)及樹脂(諸如，聚醯亞胺樹脂組合物、經改質聚醯亞胺樹脂組合物、PPA、聚碳酸酯樹脂、PPS、LCP、ABS 樹脂、苯酚樹脂、丙烯酸樹脂、PBT 樹脂及類似者)。然而，本發明不限於此。

【0127】 參看圖 10E，可將複數個鋁基板 10-1 切割成複數個工件以製造複數個封裝。在此情況下，切割表面可穿過安置第二絕緣部件 41 之一區域。如上所述，由於第二絕緣部件 41 安置於鋁主體 10 之一端，因此在切割製程期間可抑制毛邊之出現。

【0128】 可將半導體裝置應用至各種光源裝置。作為一實例，可將光源裝置解釋為包括滅菌裝置、固化裝置、照明裝置、顯示裝置、車輛燈及類似者。意即，半導體裝置可應用於安置於殼中且經組態以提供光之各種電子裝置。

【0129】 滅菌裝置可包括根據一例示性實施例之一半導體裝置且將所要的區域滅菌。該滅菌裝置可應用於家用器具，諸如，水淨化器、空調、

冰箱及類似者，但本發明不限於此。意即，滅菌裝置可應用於需要加以滅菌的各種產品中之任一者(例如，醫療裝備)。

【0130】 在一實例中，水淨化器可包括根據一例示性實施例之一滅菌裝置以將循環水滅菌。該滅菌裝置可安置於水循環所經由之一噴嘴或出口處且發射 UV 光。在此情況下，該滅菌裝置可包括一防水結構。

【0131】 固化裝置可包括根據一例示性實施例之一半導體裝置，且該固化裝置可固化各種液體。液體可為涵蓋可藉由 UV 輻照固化之多種材料的最廣泛概念。舉例而言，該固化裝置可固化各種樹脂。替代地，該固化裝置可用以固化美容產品，諸如，修甲。

【0132】 一照明裝置可包括：一光源模組，其包括一基板及根據一例示性實施例之一半導體裝置；一熱輻射單元，其經組態以輻射該光源模組之熱量；及一電力供應器單元，其經組態以處理或轉換自外側提供之一電信號且將該經處理或轉換之電信號提供至該光源模組。另外，照明裝置可包括燈、頭燈、街燈或其類似者。

【0133】 一顯示裝置可包括一底部蓋、一反射板、一發光模組、一光導板(LGP)、一光學薄片、一顯示面板、一影像信號輸出電路及一彩色濾光片。底部蓋、反射板、發光模組、LGP 及光學薄片可構成一背光單元(BLU)。

【0134】 反射板可安置於底部蓋上，且發光模組可發射光。LGP 可安置於反射板前面且向前導引由發光模組發射之光。光學薄片可包括稜鏡片且安置於 LGP 前面。顯示面板可安置於光學薄片前面，且影像信號輸出電路可將影像信號供應至該顯示面板。彩色濾光片可安置於顯示面板前面。

【0135】 當將半導體裝置用作顯示裝置之 BLU 時，半導體裝置可用作邊緣型 BLU 或直射型 BLU。

【0136】 除了以上描述之發光二極體(LED)之外，半導體裝置可為雷射二極體(LD)。

【0137】 如同一發光裝置，該 LD 可包括具有以上描述之結構的第一導電型半導體層、作用層及第二導電型半導體層。另外，LD 可使用電致發光現象，其中當將 p 型第一導電型半導體結合至 n 型第二導電型半導體且

供應電流時，發射光。然而，就發射之光的方向性及相位而言，LD 可與發光裝置不同。意即，LD 可藉由使用刺激發射現象及相長干擾現象來發射在同一方向上在同一相位下具有一個具體波長之光(或單色光)。歸因於 LD 之以上描述的特性，LD 可用於光學通信、醫療裝備、半導體製程裝備及類似者。

【0138】 光接收元件之實例可包括光側測器，其為一種經組態以偵測光且將該光之強度轉換成電信號之換能器。光偵測器可包括光電池(矽、硒)、光阻器(硫化鎘、硒化鎘)、光電二極體(PD) (例如，具有在可見盲光譜區域或真實盲光譜區域中之峰值波長的 PD)、光電晶體、光電倍增管(PMT)、光電管(真空、氣體填充)、紅外線(IR)偵測器及類似者，但實施例不限於此。

【0139】 此外，諸如光偵測器之半導體裝置通常可使用具有優異光轉換效率之直接帶隙半導體來製造。替代地，光偵測器可具有各種結構且通常包括使用 p-n 接面之釘紮光偵測器、使用肖特基(Schottky)接面之肖特基光偵測器及金屬-半導體-金屬(MSM)光偵測器及類似者。

【0140】 PD 可包括第一導電型半導體層、作用層及第二導電型半導體層，其如同發光裝置一樣具有以上描述之結構，且具有一 p-n 接面或一銑結構。PD 可藉由反向偏壓或零偏壓之施加來操作。當光入射至 PD 時，可產生電子及電洞，且電流可流動。在此情況下，電流之量值可與入射至 PD 的光之強度成比例。

【0141】 為 PD 之一種類的光電池或太陽能電池可將光轉換成電流。該太陽能電池可包括第一導電型半導體層、作用層及第二導電型半導體層，其如同發光裝置一樣具有以上描述之結構。

【0142】 此外，歸因於使用一 p-n 接面的典型二極體之整流特性，半導體裝置可用作電子電路之整流器，或可應用於微波電路及用於振盪電路。

【0143】 此外，以上描述之半導體裝置可未必由半導體形成，而在一些情況下，可進一步包括一種金屬材料。舉例而言，諸如光接收元件之半導體裝置可由銀(Ag)、鋁(Al)、金(Au)、銦(In)、鎵(Ga)、氮(N)、鋅(Zn)、硒(Se)、磷(P)或砷(As)中之至少一者形成，或由摻雜有 p 型或 n 型摻雜劑之半導體

材料或純質半導體材料形成。

【0144】 如上所述，可改良半導體裝置封裝之熱輻射效率。

【0145】 另外，在封裝切割製程期間，可抑制毛邊之出現。

【0146】 此外，可改良光提取效率。

【0147】 此外，可簡化製造製程，且可減少製造成本。

【0148】 本發明之各種優勢及效應不受以上描述限制，而將自本發明之詳細實施例之描述而被清晰地理解。

【0149】 雖然本發明已經參考其例示性實施例特定展示及描述，但熟習此項技術者應理解，在不脫離如由所附權利要求書定義的本發明之精神及範疇之情況下，可對其進行各種改變及修改。舉例而言，可修改及實施該等實施例中詳細描述之每一組件。與改變及應用有關之差異將被看作在如由所附權利要求書定義的本發明之範疇內。

【符號說明】

【0150】

10	主體
10a	第一金屬封裝主體單元
10b	第二金屬封裝主體單元
10-1	鋁基板
11	空腔
11a	第一空腔
11b	第二空腔
11c	底表面
11d	斜表面
11-1	第一凹座單元
11-2	第二凹座單元
12	底表面
12a	第一金屬封裝主體單元之底表面
12a-1	第一突起

12b	第二金屬封裝主體單元之底表面
12b-1	第二突起
13	側表面
14	凹槽
14a	第一凹槽
14b	第二凹槽
15	台階單元
15a	第一對準標記
15b	第二對準標記
17	凹座
19	第二凹槽
19a	第三凹槽
19b	第四凹槽
22	子底座
23a	第一襯墊
23b	第二襯墊
41	第二絕緣部件
41a	第二絕緣部件/第 2-1 絕緣單元
41b	第二絕緣部件/第 2-2 絕緣單元
42	第一絕緣部件
43	第三絕緣部件
44	第四絕緣部件
45	第五絕緣單元
50	透光部件
51	黏著劑
100	半導體裝置
110	基板
120	第一導電型半導體層/發射層

130	作用層
140	第二導電型半導體層
151	第二電極
152	第一電極
160	發射結構
410	樹脂單元
410a	樹脂單元之頂表面
410b	樹脂單元之底表面
411	第一通孔
412	第二通孔
S11	外側表面
S12	外側表面
S13	外側表面
S14	內側表面
S21	外側表面
S22	外側表面
S23	外側表面
S24	內側表面
d1	第一方向厚度
d2	第三絕緣部件之厚度
W	電線
W1	第二絕緣部件之寬度/第二方向寬度
W2	第三絕緣部件之寬度/第一突起與第二突起之間的距離
W4	第一金屬封裝主體單元之底表面之寬度
W5	主體之頂表面之寬度
W21	第三凹槽之底表面之寬度

申請專利範圍

1. 一種半導體裝置封裝，其包含：
一樹脂單元，其具有一第一通孔及一第二通孔；
一導電主體，其安置於該樹脂單元上且具有在一第一方向上自該導電主體之一頂表面朝向其一底表面凹入之一空腔；及
一發光裝置，其安置於該空腔中，
其中該導電主體包含在該第一方向上自該導電主體之該底表面突出之一第一突起及一第二突起，
該第一突起安置於該第一通孔內部，
該第二突起安置於該第二通孔內部，且
該樹脂單元之一頂表面與該導電主體之該底表面接觸。
2. 如請求項 1 之半導體裝置封裝，其中該第一突起大於該第二突起。
3. 如請求項 1 之半導體裝置封裝，其中該第一突起之一面積與該第二突起之一面積之一比率之範圍為自 1:0.2 至 1:0.6。
4. 如請求項 1 之半導體裝置封裝，其中該第一突起及該第二突起包含鋁。
5. 如請求項 1 之半導體裝置封裝，其中該導電主體包含一第一金屬封裝主體單元、一第二金屬封裝主體單元及安置於該第一金屬封裝主體單元與該第二金屬封裝主體單元之間的第一絕緣部件。
6. 如請求項 5 之半導體裝置封裝，其中該第一絕緣部件曝露於該導電主體之複數個外側表面中之至少兩個外側表面處。
7. 如請求項 5 之半導體裝置封裝，其中該第一絕緣部件連接至該樹脂單元。
8. 如請求項 5 之半導體裝置封裝，其中該第一突起與該第二突起之間的一距離大於該第一絕緣部件之一寬度。
9. 如請求項 5 之半導體裝置封裝，其中該樹脂單元及該第一絕緣部件分別包含不同材料。
10. 如請求項 5 之半導體裝置封裝，其中該第一金屬封裝主體單元包含：
一第一凹座單元，其經形成以具有在朝向該第二金屬封裝主體單元之一

方向上減小之一厚度；及

一第二凹座單元，其形成於該第一金屬封裝主體單元之一側表面與該第一金屬封裝主體單元之一底表面會合的一拐角區域中，

該第二金屬封裝主體單元包含：

一第三凹座單元，其經形成以具有在朝向該第一金屬封裝主體單元之一方向上減小之一厚度；及

一第四凹座單元，其形成於該第二金屬封裝主體單元之一側表面與該第二金屬封裝主體單元之一底表面會合的一拐角區域中，且

該樹脂單元安置於該第二凹座單元及該第四凹座單元中。

11. 如請求項 10 之半導體裝置封裝，其中該第一凹座單元、該第三凹座單元及該第一絕緣部件形成該空腔。
12. 如請求項 1 之半導體裝置封裝，其中該樹脂單元之一底表面與該第一突起之一底表面及該第二突起之一底表面共面。
13. 如請求項 11 之半導體裝置封裝，其中該第一金屬封裝主體單元包含複數個外側表面及與該第一絕緣部件接觸之一第一黏著表面，
該第二金屬封裝主體單元包含複數個外側表面及與該第一絕緣部件接觸之一第二黏著表面，
該第一金屬封裝主體單元之該第二凹座單元包含形成於該第一金屬封裝主體單元之該底表面與該第一金屬封裝主體單元之該等外側表面會合之一區域中的一第一凹槽，及形成於該第一金屬封裝主體單元之該底表面與該第一金屬封裝主體單元之該第一黏著表面會合之一區域中的一第三凹槽，
該第二金屬封裝主體單元之該第四凹座單元包含形成於該第二金屬封裝主體單元之該底表面與該第二金屬封裝主體單元之該等外側表面會合之一區域中的一第二凹槽，及形成於該第二金屬封裝主體單元之該底表面與該第二金屬封裝主體單元之該第二黏著表面會合之一區域中的一第四凹槽，且
該第三凹槽與該第四凹槽彼此連接。

14. 如請求項 13 之半導體裝置封裝，其中該樹脂單元包含安置於該第一凹槽及該第二凹槽中之一第二絕緣部件及安置於該第三凹槽及該第四凹槽中之一第三絕緣部件，
其中該第三絕緣部件之一寬度大於該第一絕緣部件之一寬度。
15. 如請求項 14 之半導體裝置封裝，其中該第二絕緣部件之一厚度與該第三絕緣部件之一厚度不同。
16. 如請求項 14 之半導體裝置封裝，其中該第二絕緣部件之一厚度大於該第三絕緣部件之一厚度。
17. 如請求項 16 之半導體裝置封裝，其中該第二絕緣部件之一寬度小於該第三絕緣部件之該寬度。
18. 如請求項 16 之半導體裝置封裝，其中該第二絕緣部件包含與該第三絕緣部件相同之材料，且
該第三絕緣部件包含與該第一絕緣部件不同之一材料。
19. 如請求項 1 之半導體裝置封裝，其進一步包含安置於形成於該空腔之一內側壁上之一台階單元上之一透光部件。
20. 如請求項 13 之半導體裝置封裝，其中該第一凹槽之一寬度與該第一金屬封裝主體單元之該底表面之一寬度之一比率之範圍為自 1:3 至 1:5。

圖式

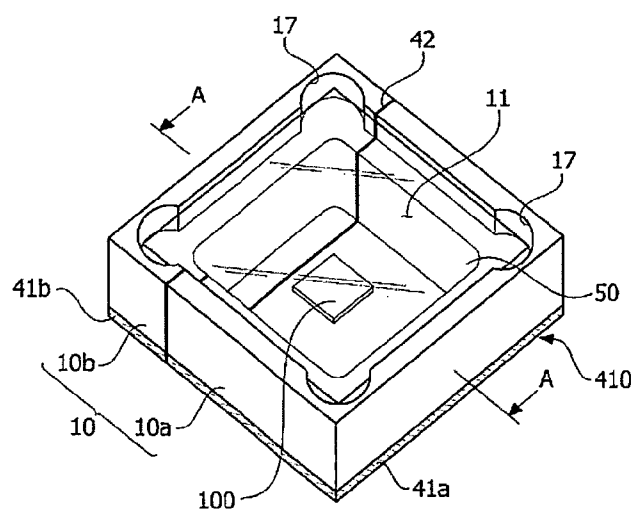


圖 1

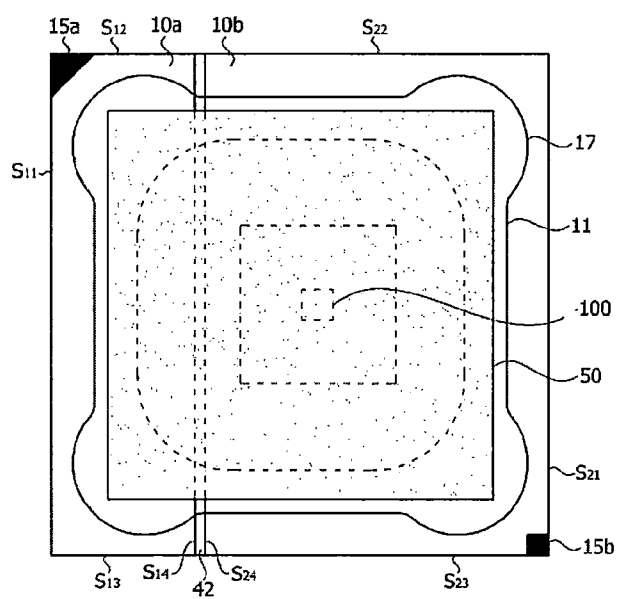


圖2

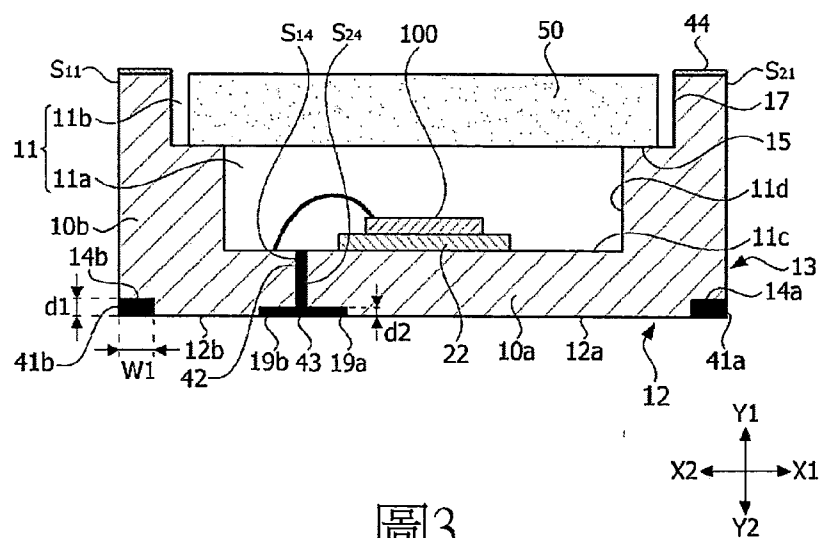


圖3

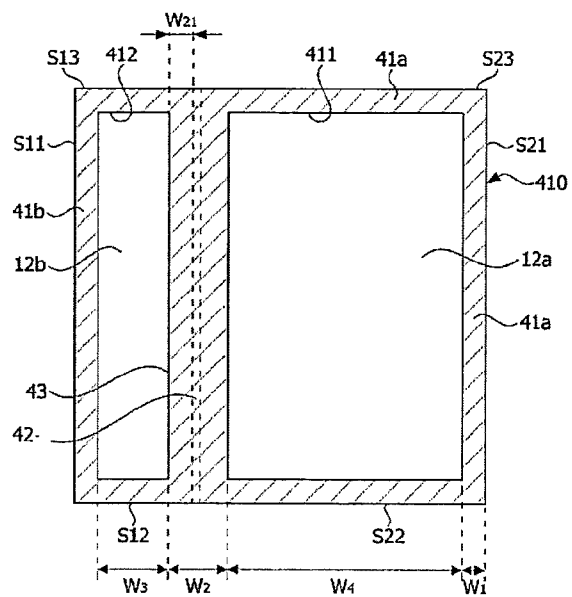


圖4

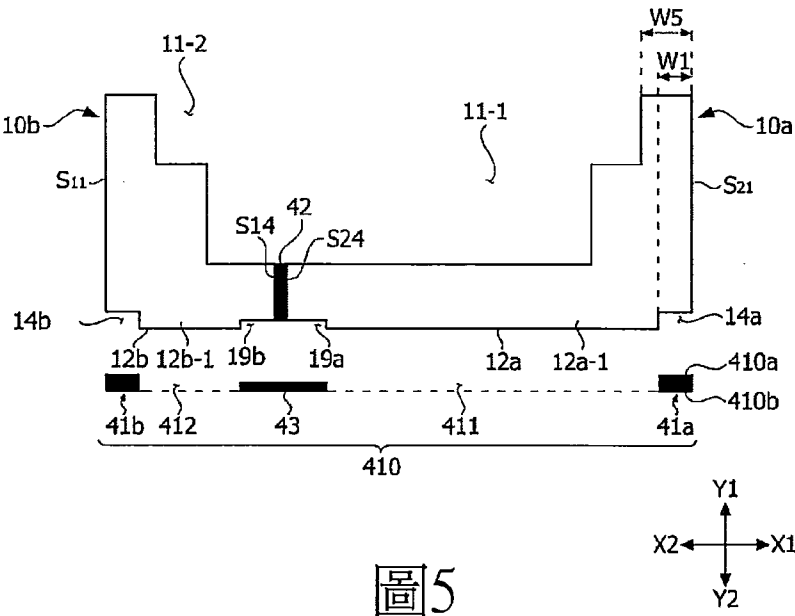


圖5

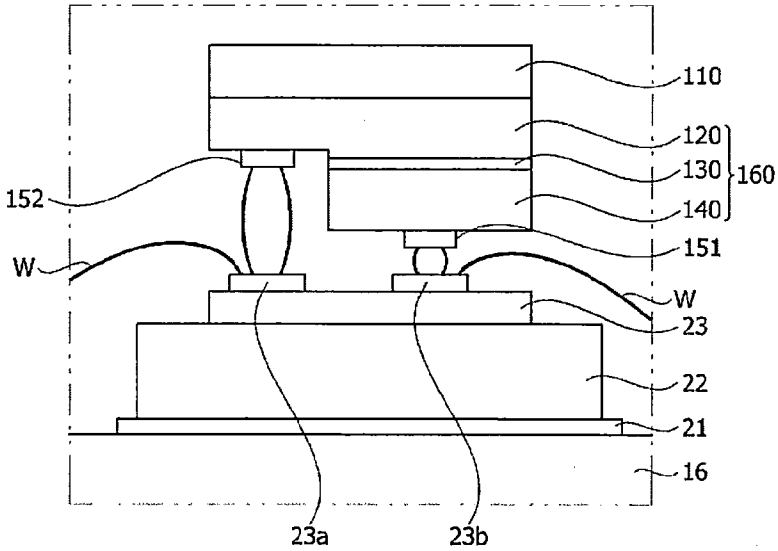


圖6a

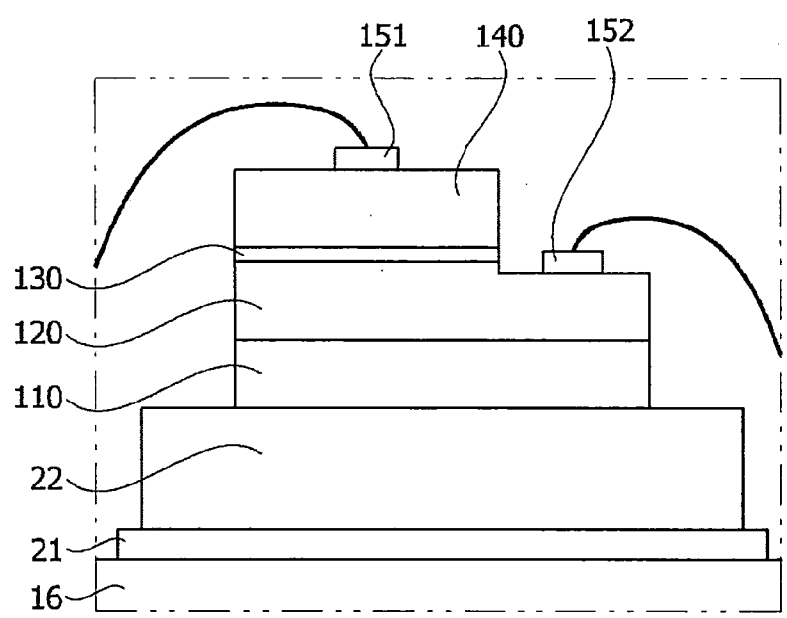


圖6b

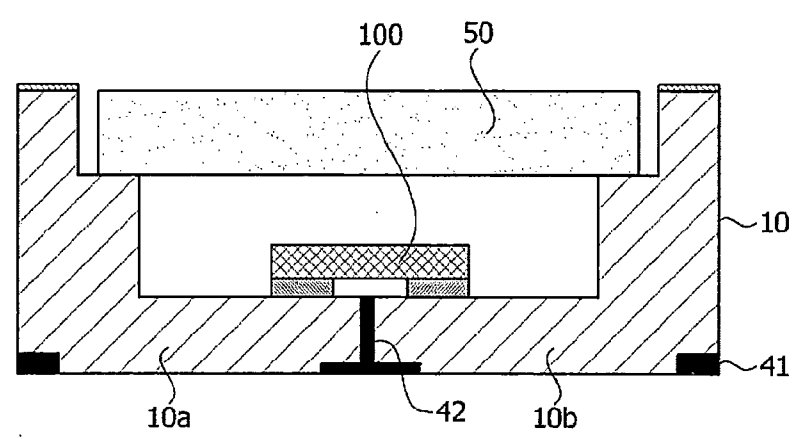


圖7

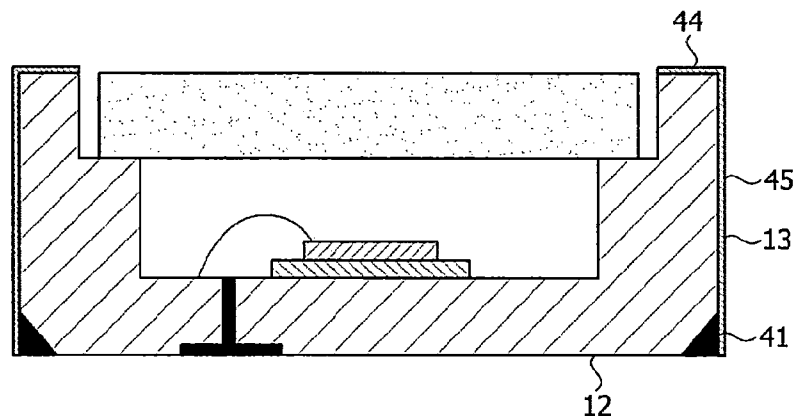


圖8

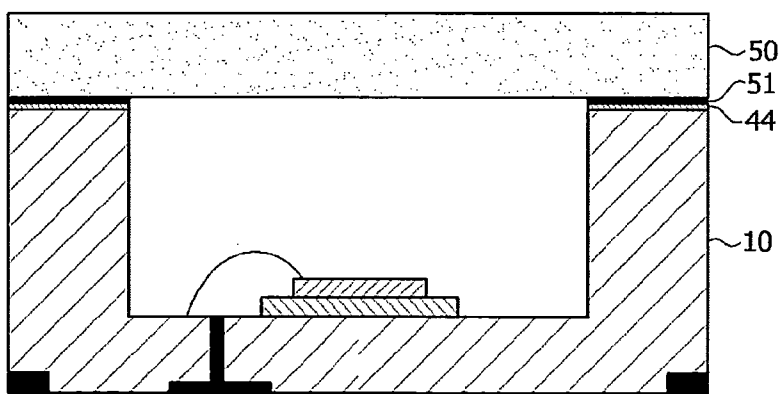


圖9

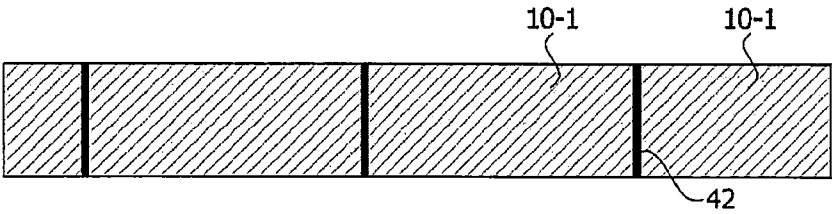


圖10a

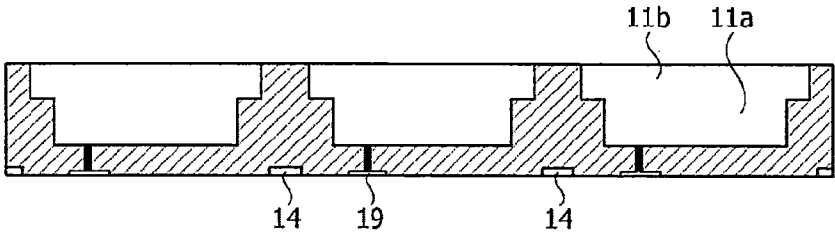


圖10b

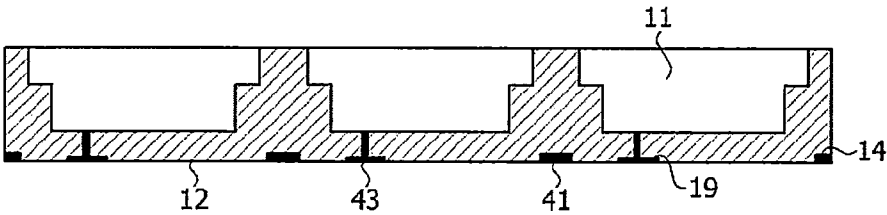


圖10c

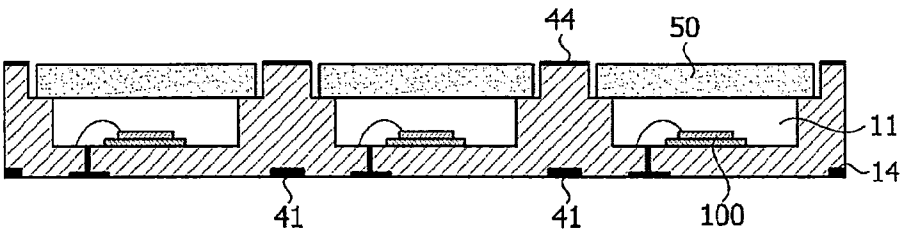


圖10d

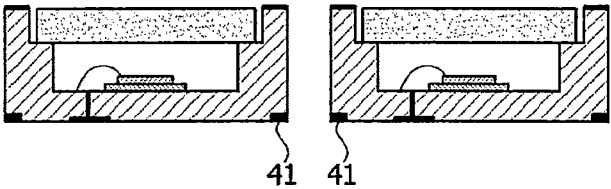


圖10e