(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0033624
(43) 공개일자 2021년03월29일

(51) 국제특허분류(Int. Cl.)
G11C 14/00 (2006.01)
(52) CPC특허분류
G11C 14/0063 (2013.01)
G11C 11/412 (2013.01)
(21) 출원번호 10-2019-0115125
(22) 출원일자 2019년09월19일
심사청구일자 2019년09월19일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
이가원
대전광역시 유성구 배울2로 42 신동아@ 503동 1603호
정준교
충청북도 청주시 서원구 모충로145번길 5-6
(뒷면에 계속)
(74) 대리인
이은철, 김재문

전체 청구항 수 : 총 7 항

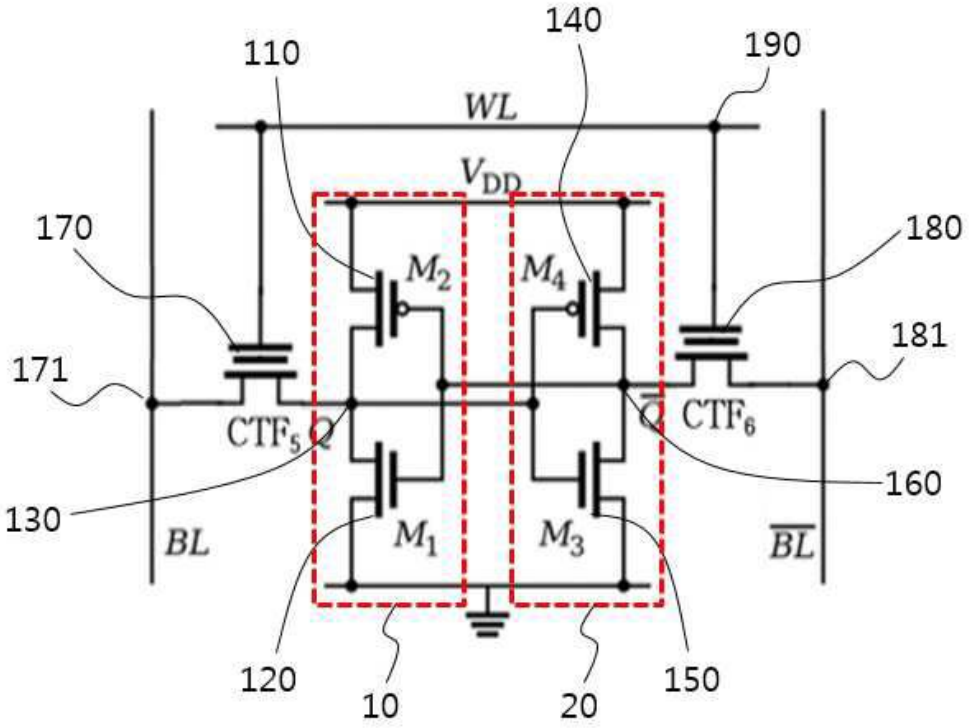
(54) 발명의 명칭 **플래시메모리 기반의 6T 비휘발성 SRAM 및 그 동작 방법**

(57) 요 약

본 발명은 6T SRAM(Static random access memory)의 휘발성(Volatile) 특성을 개선하여 동작 속도가 빠르면서 전원이 차단된 후에도 정보가 사라지지 않고 유지되는 플래시메모리 기반의 6T 비휘발성 SRAM 및 그 동작 방법에 관한 것이다. 본 발명에 따른 플래시메모리 기반의 6T 비휘발성 SRAM은 제1 인버터, 제2 인버터, 제1 패스 게이

(뒷면에 계속)

대 표 도 - 도2



트(pass gate) 및 제2 패스 게이트(pass gate)를 포함한다. 상기 제1 인버터는 제1 풀업(pull up) 트랜지스터에 연결되는 제1 풀다운(pull down) 트랜지스터로 형성된다. 또한, 상기 제2 인버터는 제2 풀업(pull up) 트랜지스터에 연결되는 제2 풀다운(pull down) 트랜지스터로 형성된다. 또한, 상기 제1 패스 게이트(pass gate)는 상기 제1 인버터의 출력과 비트라인바 노드 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어진다. 또한, 상기 제2 패스 게이트(pass gate)는 상기 제2 인버터의 출력과 비트라인 노드 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어진다.

(72) 발명자

송현석

대전광역시 서구 괴정로8번길 68

조서연

대전광역시 서구 신갈마로 95 갈마아파트 205동 405호

신동민

충청북도 청주시 청원구 오창읍 양청1길 46-9 라온빌 201호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711097357
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자집적·검증기술
연구과제명	반도체 신소자를 위한 집적/검증 플랫폼 기술 개발
기 여 율	1/2
과제수행기관명	충남대학교
연구기간	2019.06.28 ~ 2020.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	2019R1A2C108471711
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구자지원사업
연구과제명	Universal memory 지향의 플래시메모리소자 기반 6T NVSRAM 개발 연구
기 여 율	1/2
과제수행기관명	충남대학교
연구기간	2019.09.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

6T 비휘발성(Non-volatile) SRAM(Static Random Access Memory)에 있어서,

제1 풀업(pull up) 트랜지스터에 연결되는 제1 풀다운(pull down) 트랜지스터로 형성되는 제1 인버터;

제2 풀업(pull up) 트랜지스터에 연결되는 제2 풀다운(pull down) 트랜지스터로 형성되는 제2 인버터;

상기 제1 인버터의 출력과 비트라인바 노드 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어지는 제1 패스 게이트(pass gate); 및

상기 제2 인버터의 출력과 비트라인 노드 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어지는 제2 패스 게이트(pass gate)를 포함하는 플래시메모리 기반의 6T 비휘발성 SRAM.

청구항 2

제1항에 있어서,

상기 비휘발성(Non-volatile) 메모리 소자 중 어느 하나는

상기 SRAM 셀의 프리차지(Precharge)를 통해 비트라인 노드 또는 비트라인바 노드에 인가되는 전압과, 상기 제1 인버터 또는 제2 인버터의 출력 전압 간의 차이로 인해 HEI(Hot electron injection)가 발생하는 것을 특징으로 하는 플래시메모리 기반의 6T 비휘발성 SRAM.

청구항 3

제2항에 있어서,

상기 비휘발성(Non-volatile) 메모리 소자는

상기 SRAM 셀의 워드라인 노드에 인가되는 전압에 따라 상기 비휘발성(Non-volatile) 메모리 소자의 플로팅 게이트(Floating gate)가 차지(charge)되거나, 상기 플로팅 게이트(Floating gate)에 차지(charge)된 전하가 제거되는 것을 특징으로 하는 플래시메모리 기반의 6T 비휘발성 SRAM.

청구항 4

6T 비휘발성(Non-volatile) SRAM(Static Random Access Memory)의 동작 방법에 있어서,

6T 비휘발성 SRAM에 전원이 차단되기 전에 6T 비휘발성 SRAM 셀에 저장된 데이터를 비휘발성(Non-volatile) 메모리 소자에 저장하는 스토어(Store) 단계(S20);

상기 6T 비휘발성 SRAM에 전원이 공급된 후에 상기 비휘발성(Non-volatile) 메모리 소자에 저장된 데이터를 6T 비휘발성 SRAM 셀의 제1 데이터 노드 또는 제2 데이터 노드에 저장하는 리스토어(Restore) 단계(S50); 및

상기 비휘발성(Non-volatile) 메모리 소자에 저장된 전하를 제거하는 전하 제거(Erase) 단계(S60)를 포함하는 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법.

청구항 5

제4항에 있어서,

상기 스토어(Store) 단계(S20)는

상기 제1 데이터 노드 또는 제2 데이터 노드에 저장되는 로우(Low, 0) 데이터와, 프리차지(Precharge)를 통해 비트라인 노드 또는 비트라인바 노드에 인가되는 프리차지(Precharge) 전압 간의 소스-드레인 전압 차이로 인해 발생하는 HEI(Hot electron injection)를 이용하여 상기 비휘발성(Non-volatile) 메모리 소자의 플로팅 게이트(Floating gate)에 전하가 주입(charge) 되도록 하는 것을 특징으로 하는 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법.

청구항 6

제4항에 있어서,

상기 리스토어(Restore) 단계(S50)는

상기 스토어(Store) 단계(S20)에서 전하가 주입되어 문턱 전압이 높아진 비휘발성(Non-volatile) 메모리 소자는 턴온(Turn-on)이 되지 않고, 전하가 주입되지 않은 비휘발성(Non-volatile) 메모리 소자가 턴온(Turn-on)되어 전원이 차단되기 전에 상기 6T 비휘발성 SRAM 셀에 저장된 데이터가 복구(Restore)되는 것을 특징으로 하는 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법.

청구항 7

제4항에 있어서,

상기 전하 제거(Erase) 단계(S60)는

상기 비휘발성(Non-volatile) 메모리 소자의 플로팅 게이트(Floating gate)에 전하가 주입된 경우 상기 6T 비휘발성 SRAM 셀의 워드라인 노드에 인가되는 전압에 따라 상기 전하가 F-N 터널링(Tunneling)으로 빠져나오면서 문턱 전압이 정상으로 회복되는 것을 특징으로 하는 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 플래시메모리 기반의 6T 비휘발성 SRAM 및 그 동작 방법에 관한 것으로서, 6T SRAM(Static random access memory)의 휘발성(Volatile) 특성을 개선하여 동작 속도가 빠르면서 전원이 차단된 후에도 정보가 사라지지 않고 유지되는 플래시메모리 기반의 6T 비휘발성 SRAM 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0003] 클라우드 서비스와 IoT(Internet of Things) 등으로 인한 데이터의 폭발적 증가에 대응하기 위해 값싸고, 빠르며, 신뢰도 높은 메모리(Memory)가 요구되고 있고, 이를 위해 HBM(High Bandwidth Memory), SCM(Storage Class Memory) 및 In-package Memory 등 다양한 컨셉의 메모리 기술이 개발되고 있다.

[0004] 또한, 현재의 메모리는 폰 노이만(John von Neumann) 컴퓨팅 구조에 최적화되어 개발되어 왔는데 컴퓨팅 시스템의 성능 개선과 함께 새로운 컴퓨팅 아키텍처에 대한 요구가 날로 높아지고 있는 가운데 새로운 환경에 대응 가능한 새로운 메모리 기술이 요구되고 있다.

[0005] 하지만, DRAM 및 NAND 메모리뿐만 아니라 새롭게 시장 진입이 시도되고 있는 Emerging Memory(PCRAM, ReRAM, MRAM)로는 성능, 전력소모 및 제조원가 측면에서 수요업체의 요구 조건뿐만 아니라 새로운 컴퓨팅 패러다임을 만족시키는데 점차 한계가 있을 것으로 예상되며, 스케일링의 한계로 인해 이들 기술의 지속성을 보장하기 어렵다.

[0006] 한편, 종래의 6T SRAM(Static random access memory)은 메모리 어레이(array)를 이루는 셀(Bit_Cell)의 구조가

6개의 트랜지스터(Transistor)로 구성됨으로써 DRAM, NAND 메모리 및 Flash Memory에 비하여 집적도가 떨어지는 반면, 동작속도가 빠른 특징을 나타낸다.

[0007] 하지만, 종래의 6T SRAM(Static random access memory)은 휘발성 메모리로서 전원이 차단되거나 비활성화된 후에 정보가 유지되지 못하고 손실되는 단점이 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 대한민국 등록특허 제10-0545212호(2006년 01월 24일 공고)

발명의 내용

해결하려는 과제

[0010] 따라서, 본 발명이 이루고자 하는 기술적 과제는 종래의 단점을 해결한 것으로서, 6T SRAM(Static random access memory)의 빠른 동작 속도를 유지하면서 전원이 차단된 후에도 정보가 사라지지 않고 유지되도록 하는데 그 목적이 있다.

과제의 해결 수단

[0012] 이러한 기술적 과제를 이루기 위한 본 발명의 일 측면에 따른 플래시메모리 기반의 6T 비휘발성 SRAM은 제1 인버터, 제2 인버터, 제1 패스 게이트(pass gate) 및 제2 패스 게이트(pass gate)를 포함한다.

[0013] 상기 제1 인버터는 제1 풀업(pull up) 트랜지스터에 연결되는 제1 풀다운(pull down) 트랜지스터로 형성된다. 상기 제2 인버터는 제2 풀업(pull up) 트랜지스터에 연결되는 제2 풀다운(pull down) 트랜지스터로 형성된다.

[0014] 또한, 상기 제1 패스 게이트(pass gate)는 상기 제1 인버터의 출력과 비트라인바 노드 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어진다. 또한, 상기 제2 패스 게이트(pass gate)는 상기 제2 인버터의 출력과 비트라인 노드 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어진다.

[0015] 또한, 본 발명의 다른 측면에 따른 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법은 6T 비휘발성 SRAM 셀에 데이터를 저장하는 데이터 라이트(Data Write) 단계(S10), 상기 6T 비휘발성 SRAM에 전원이 차단되기 전에 6T 비휘발성 SRAM 셀에 저장된 데이터를 비휘발성(Non-volatile) 메모리 소자에 저장하는 스토어(Store) 단계(S20) 및 상기 6T 비휘발성 SRAM에 전원이 차단되는 전원 차단(Power Off) 단계(S30)를 포함한다.

[0016] 또한, 상기 6T 비휘발성 SRAM에 전원이 공급되는 전원 공급(Power On) 단계(S40)와, 상기 6T 비휘발성 SRAM에 전원이 공급된 후에 상기 비휘발성(Non-volatile) 메모리 소자에 저장된 데이터를 상기 6T 비휘발성 SRAM 셀의 제1 데이터 노드 또는 제2 데이터 노드에 저장하는 리스토어(Restore) 단계(S50)를 포함한다.

[0017] 또한, 상기 비휘발성(Non-volatile) 메모리 소자에 저장된 전하를 제거하는 전하 제거(Erase) 단계(S60)와, 상기 6T 비휘발성 SRAM 셀에 저장된 데이터를 읽기(Read)하는 데이터 리드(Data Read) 단계(S70)를 포함한다.

발명의 효과

[0019] 이상에서 설명한 바와 같이, 본 발명에 따른 플래시메모리 기반의 6T 비휘발성 SRAM 및 그 동작 방법은 6T SRAM(Static random access memory)의 집적도와 빠른 동작 속도를 유지하면서 전원이 차단된 후에도 정보가 사라지지 않고 유지되는 비휘발성 SRAM을 구현할 수 있는 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 종래의 6T SRAM(Static random access memory)을 나타내는 회로도이다.

도 2는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM(Non-volatile Static random access memory)을 나타내는 회로도이다.

도 3a는 비휘발성(Non-volatile) 메모리 소자의 SPICE 동작 시뮬레이션 구현을 위한 회로 모식도이다.

도 3b는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM 셀 내 CTF(Charge Trapping Flash)의 SPICE 동작 시뮬레이션 구현을 위한 회로 모식도이다.

도 4는 본 발명의 실시 예에 따른 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법을 나타내는 순서도이다.

도 5는 본 발명의 실시 예에 따른 Store Mode를 나타내는 도면이다.

도 6은 본 발명의 실시 예에 따른 Restore Mode를 나타내는 도면이다.

도 7은 본 발명의 실시 예에 따른 Erase Mode를 나타내는 도면이다.

도 8은 본 발명의 실시 예에 따른 6T 비휘발성 SRAM의 SPICE 시뮬레이션을 위한 회로도이다.

도 9는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM의 SPICE 시뮬레이션 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면부호를 붙였다.

[0023] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "…부", "…기", "…모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 또는 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.

[0025] 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0026] 도 1은 종래의 6T SRAM(Static random access memory)을 나타내는 회로도이고, 도 2는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM(Non-volatile Static random access memory)(1)을 나타내는 회로도이다.

[0027] 본 발명의 실시 예에 따른 6T 비휘발성 SRAM(Non-volatile Static random access memory, 이하 NVSRAM)(1)은 종래의 6T SRAM 셀에서 억세스 트랜지스트(Access Transistor)를 전하저장층이 존재하는 플래시메모리(Flash Memory) 셀 구조의 트랜지스터로 대체함으로써 6개의 트랜지스터로 구성된 비휘발성 SRAM Cell을 구현할 수 있다.

[0028] 이때, 상기 플래시메모리(Flash Memory) 셀 구조의 트랜지스터로 CTF(Charge Trapping Flash)가 이용될 수 있다.

[0029] 도 2에서 도시된 바와 같이 본 발명의 실시 예에 따른 NVSRAM(1)은 래치(latch) 구조를 이루는 제1 인버터(10)와 제2 인버터(20), 제1 패스 게이트(pass gate)(170) 및 제2 패스 게이트(pass gate)(180)를 포함할 수 있다.

[0030] 제1 인버터(10)는 제1 풀업(pull up) 트랜지스터(110)에 연결되는 제1 풀다운(pull down) 트랜지스터(120)로 형성된다. 제2 인버터(20)는 제2 풀업(pull up) 트랜지스터(140)에 연결되는 제2 풀다운(pull down) 트랜지스터(150)로 형성된다.

[0031] 또한, 제1 패스 게이트(pass gate)(170)는 제1 인버터(10)의 출력과 비트라인 노드(171) 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어진다. 또한, 제2 패스 게이트(pass gate)(180)는 제2 인버터(20)의 출력과 비트라인바 노드(181) 사이에 연결되는 비휘발성(Non-volatile) 메모리 소자로 이루어진다. 상기 비휘발성(Non-volatile) 메모리 소자는 CTF(Charge Trapping Flash)로 이루어지는 것이 바람직하다.

[0032] 이때, 제1 패스 게이트(pass gate)(170) 또는 제2 패스 게이트(pass gate)(180) 중 어느 하나는 NVSRAM(1) 셀의 프리차지(Precharge) 전압을 통해 HEI(Hot electron injection)가 발생할 수 있다. 즉, NVSRAM(1) 셀의 프리차지(Precharge)를 통해 비트라인 노드(171)와 비트라인바 노드(181)에 전압이 인가되는 경우 상기 프리자치(Prechager) 전압과 제1 인버터(10) 또는 제2 인버터(20)의 출력 전압 간의 차이로 인해 HEI(Hot electron injection)가 발생한다.

[0033] 예를 들어, 제1 인버터(10)의 출력인 제1 데이터 노드(130)에 하이(High, 1) 데이터가 저장되고, 제2 인버터(20)의 출력인 제2 데이터 노드(160)에 로우(Low, 0) 데이터가 저장되는 경우를 예로 들어 설명한다. 이때, NVSRAM(1) 셀에 프리자치(Prechager) 전압이 인가되면 제2 데이터 노드(160)의 로우(Low, 0) 전압과 비트라인바 노드(181) 간에 전압 차이가 발생한다.

[0034] 즉, 제2 패스 게이트(pass gate)(180)의 소스-드레인 간 전압 차이로 인해 전하의 이동이 발생하고, 워드라인 노드(190)에 인가되는 전압에 따라 제2 패스 게이트(pass gate)(180)에 HEI(Hot electron injection)가 발생하여 비휘발성(Non-volatile) 메모리 소자의 플로팅 게이트(Floating gate)가 차지(charge)된다.

[0035] 이때, 워드라인 노드(190)에 인가되는 전압을 이용하여 상기 비휘발성(Non-volatile) 메모리 소자의 플로팅 게이트(Floating gate)를 차지(charge)하거나, 워드라인 노드(190)에 반대 극성의 전압을 인가하여 플로팅 게이트(Floating gate)에 차지(charge)된 전하를 제거할 수 있다.

[0036] 이로 인해, 비휘발성(Non-volatile) 메모리 소자인 제1 패스 게이트(pass gate)(170) 또는 제2 패스 게이트(pass gate)(180)에 NVSRAM(1) 셀의 데이터를 저장할 수 있고, 전원이 차단된 후에도 유지할 수 있다.

[0037] 도 3a는 비휘발성(Non-volatile) 메모리 소자의 SPICE 동작 시뮬레이션 구현을 위한 회로 모식도이고, 도 3b는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM 셀 내 CTF(Charge Trapping Flash)의 SPICE 동작 시뮬레이션 구현을 위한 회로 모식도이다.

[0038] 본 발명의 실시 예에 따른 NVSRAM(1)의 SPICE 시뮬레이션을 수행하여 동작을 검증할 수 있다. 이때, CTF(Charge Trapping Flash)는 전압이 인가되지 않고 플로팅(Floating) 되어 있는 CTL(Charge trapping layer)이 있기 때문에 SPICE 구현이 어렵다.

[0039] 이에 플로팅 게이트(Floating gate) 구조를 갖는 CTF의 SPICE 구현을 위해 상기 CTL에 도 3a와 같이 더미 노드 V_{fg1}을 만들어서 HEI를 통한 전자의 주입과 F-N 터널링(tunneling)을 이용한 전자의 방출을 모사할 수 있다. 즉, 상기 전자의 주입을 전류가 나가는 것(I_{inj})으로, 상기 전자의 방출을 전류가 들어오는 것(I_{tun})으로 모사할 수 있다.

[0040] 이때, 상기 CTF에 전류가 차단되더라도 상대적으로 매우 큰 저항인 R_{big}과 전체 커패시턴스 C_T가 만드는 큰 RC delay로 인하여 V_{fg1}의 전압이 오랫동안 유지된다. 또한, 상기 V_{fg1}의 전압을 CTF의 게이트 전압에 더해줌으로써 전자의 주입과 방출로 인한 CTF의 문턱 전압의 변화를 구현할 수 있다.

[0041] 또한, 도 3b는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM(1) 셀의 SPICE 동작 시뮬레이션 구현을 위해 상기 도 3a의 내용을 토대로 2개의 CTF 더미 노드 V_{fg_Q} 및 V_{fg_Qbar}를 구현한 회로이다. 여기에서, 상기 CTF에 저장되는 전하량을 더미 노드 V_{fg_Q} 및 V_{fg_Qbar}의 전압으로 표현하여 CTF의 게이트에 더해줌으로써 전하량의 변화를 구현할 수 있다.

[0042] 도 4는 본 발명의 실시 예에 따른 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법을 나타내는 순서도이고, 도 5는 본 발명의 실시 예에 따른 Store Mode를 나타내는 도면이다. 또한, 도 6은 본 발명의 실시 예에 따른 Restore Mode를 나타내는 도면이고, 도 7은 본 발명의 실시 예에 따른 Erase Mode를 나타내는 도면이다.

[0043] 본 발명의 실시 예에 따른 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법은 6T 비휘발성 SRAM(1) 셀에 데이터를 저장하는 데이터 라이트(Data Write) 단계(S10), 6T 비휘발성 SRAM(1)에 전원이 차단되기 전에 6T 비휘발성 SRAM(1) 셀에 저장된 데이터를 비휘발성(Non-volatile) 메모리 소자(170, 180)에 저장하는 스토어(Store) 단계(S20) 및 6T 비휘발성 SRAM(1)에 전원이 차단되는 전원 차단(Power Off) 단계(S30)를 포함할 수 있다.

[0044] 본 발명의 실시 예에 따른 NVSRAM(1)은 SRAM 셀에 전원이 공급되는 동안의 읽기/쓰기(Read/Write) 동작은 종래의 SRAM 셀과 동일하나, NVSRAM(1)의 비휘발성 특성을 구현하기 위해서는 전원이 차단되기 전에 SRAM 셀의 저장된 정보를 억세스 트랜지스터(Access Transistor)에 저장하는 스토어(Store) 단계(S20)가 요구된다.

[0045] 예를 들어 상기 스토어(Store) 단계(S20)를 설명하면, 도 5에서 도시된 바와 같이 NVSRAM(1) 셀의 프리차지(Precharge) 전압을 통해 비트라인 노드(171)와 비트라인바 노드(181)는 프리차지(Precharge) 전압이 인가되어 유지된다.

[0046] 이 상태에서, 워드라인 노드(190)에 스토어(Store) 가능한 전압(Store voltage, V_{store})이 인가된다. 이때, 6T 비휘발성 SRAM(1) 셀의 제1 데이터 노드(Q)(130)와 제2 데이터 노드($\bar{Q}$)(160)에는 상기 데이터 라이트(Data Write) 단계(S10)를 통해 서로 다른 논리 값의 전압이 인가된다.

[0047] 예를 들어, 제1 데이터 노드(Q)(130)에 하이(High, 1) 데이터가 저장되고, 제2 데이터 노드($\bar{Q}$)(160)에 로우(Low, 0) 데이터가 저장될 수 있다. 이 경우에 로우(Low, 0) 데이터 상태의 제2 데이터 노드($\bar{Q}$)(160)에 연결되는 CTF6의 소스-드레인 간 전압 차이로 인해 HEI(Hot electron injection)가 발생하여 CTF6의 플로팅 게이트(Floating gate)에 전자가 주입된다. 즉, 제2 데이터 노드($\bar{Q}$)(160)의 데이터가 CTF6의 플로팅 게이트(Floating gate)에 저장된다.

[0048] 또한, 본 발명의 실시 예에 따른 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법은 6T 비휘발성 SRAM(1)에 전원이 공급되는 전원 공급(Power On) 단계(S40)와, 6T 비휘발성 SRAM(1)에 전원이 공급된 후에 상기 비휘발성(Non-volatile) 메모리 소자(170, 180)에 저장된 데이터를 6T 비휘발성 SRAM(1) 셀의 제1 데이터 노드(130) 또는 제2 데이터 노드(160)에 저장하는 리스토어(Restore) 단계(S50)를 포함할 수 있다.

[0049] 예를 들어 설명하면, 도 6에 도시된 바와 같이 NVSRAM(1) 셀의 프리차지(Precharge) 전압을 통해 비트라인 노드(171)와 비트라인바 노드(181)는 프리차지(Precharge) 전압이 유지되는 상태에서 워드라인 노드(190)에 리스토어(Restore) 가능한 전압(Restore voltage, $V_{restore}$)이 인가된다.

[0050] 이때, 상기 스토어(Store) 단계(S20)에서 전자가 주입되어 문턱 전압이 높아진 비휘발성(Non-volatile) 메모리 소자(CTF6)는 턴온(Turn-on)이 되지 않고, CTF5가 턴온(Turn-on)된다.

[0051] 따라서, 프리차지(Precharge) 되어있는 비트라인 노드(171)에 의해 제1 데이터 노드(Q)(130)는 논리값 하이(High, 1) 상태를 갖게 되고, 이로 인해 제2 인터버(20)의 제2 풀다운(pull down) 트랜지스터(M_3)(150)가 턴온(Turn-on)되어 제2 데이터 노드($\bar{Q}$)(160)는 논리값 로우(Low, 0) 상태가 된다.

[0052] 이로 인해, NVSRAM(1) 셀에는 전원이 차단되기 이전의 논리값이 다시 저장(Restore)된다.

[0053] 또한, 본 발명의 실시 예에 따른 플래시메모리 기반의 6T 비휘발성 SRAM의 동작 방법은 비휘발성(Non-volatile) 메모리 소자(170, 180)에 저장된 전하를 제거하는 전하 제거(Erase) 단계(S60)와, 6T 비휘발성 SRAM(1) 셀에 저장된 데이터를 읽기(Read)하는 데이터 리드(Data Read) 단계(S70)를 포함할 수 있다.

[0054] 예를 들어 설명하면, 도 7에서 도시된 바와 같이 상기 리스토어(Restore) 단계(S50) 이후에 비휘발성(Non-volatile) 메모리 소자(170, 180)의 전하 소거가 가능한 음전압(Erase voltage, V_{erase})을 워드라인 노드(190)에 인가할 수 있다.

[0055] 이때, 비휘발성(Non-volatile) 메모리 소자(180) CTF6의 플로팅 게이트(Floating gate)에 전자가 주입된 경우 상기 CTF6에 저장된 전자가 워드라인 노드(190)에 인가되는 상기 음전압(Erase voltage, V_{erase})에 의해 F-N 터널링(Tunneling)으로 빠져나오면서 문턱 전압이 정상으로 회복되어 다시 종래의 SRAM과 같은 동작을 구현할 수 있다.

[0056] 즉, 6T 비휘발성 SRAM(1) 셀에 저장된 데이터를 리드(Read) 할 수 있다(S70).

[0057] 도 8은 본 발명의 실시 예에 따른 6T 비휘발성 SRAM의 SPICE 시뮬레이션을 위한 회로도이고, 도 9는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM의 SPICE 시뮬레이션 결과를 나타내는 도면이다. 즉, 도 8 및 도 9는 본 발명의 실시 예에 따른 6T 비휘발성 SRAM(1) 셀의 동작을 검증하기 위한 회로와 SPICE 시뮬레이션 결과 그래프이다.

[0058] 도 8에서 NVSRAM(10) 셀의 억세스 트랜지스트(Access Transistor)인 M14 및 M16은 종래의 NMOS가 아닌 상기 CTF(CTF5, CTF6)일 수 있다. 또한, 상기 CTF5, CTF6의 게이트(gate)에 인가되는 전압은 WL_Q 및 WL_Qbar로 대

체된다. 이때, 상기 WL_Q 및 WL_Qbar는 아래의 [수학식]과 같이 나타낼 수 있다.

[0059] [수학식]

[0060] $WL_Q = WL + V_{store} + V_{restore} + V_{erase} + V_{fg_Q}$

[0061] $WL_Qbar = WL + V_{store} + V_{restore} + V_{erase} + V_{fg_Qbar}$

[0062] 여기에서, 상기 WL은 통상적인 SRAM의 동작을 수행하기 위하여 인가되는 워드라인(Word line) 전압이고, V_{store}는 NVSRAM(1)의 전원을 차단하기 전 CTF에 NVSRAM(1) 셀의 정보를 저장하기 위해 인가되는 전압이다. 또한, $V_{restore}$는 NVSRAM(1)의 전원이 다시 공급된 후 상기 CTF에 저장되어 있는 정보를 다시 NVSRAM(1) 셀에 불러오기 위해 인가되는 전압이고, V_{erase}는 상기 CTF에 저장되어 있는 전하를 제거하기 위해 인가되는 전압이다.

[0063] 도 9는 도 8에 도시된 회로의 동작 특성을 시뮬레이션한 결과를 나타낸다. 여기에서, 스토어 모드(Store 1)(3ns ~ 6ns)는 도 8의 Q노드에 저장된 정보를 상기 억세스 트랜지스트(Access Transistor)(M14)에 저장하는 스토어(Store) 동작을 나타낸다.

[0064] 예를 들어, 도 8에서 NVSRAM(1) 셀의 Q노드에 데이터 하이(High, 1)가 저장되고, Q_{bar}노드에 데이터 로우(Low, 0)가 저장되는 경우에 V(Q) 및 $V(Q_{bar})$가 도 9의 A와 같이 나타난다. 이때, 상기 V_{store}가 2V가 되면 Q_{bar}에 연결되는 억세스 트랜지스트(Access Transistor)(M16)에서 HEI(Hot electron injection)가 발생한다.

[0065] 따라서, 도 9에 표시된 B와 같이 V_{fg_Qbar}로부터 전류가 빠져나와(전자가 주입되어) $V(V_{fg_Qbar})$의 전압이 떨어진다. 또한, 도 9에서 전원 차단 모드(Power Off)(6ns ~ 12ns)는 NVSRAM(1)에 전원이 차단(V_{DD}=0V)되는 것을 나타낸다.

[0066] 또한, 리스토어(Restore 1) 모드(12ns ~ 15ns)는 상기 억세스 트랜지스트(Access Transistor)(M14)에 저장된 정보를 다시 Q노드에 불러오는 리스토어(Restore) 동작을 나타낸다.

[0067] 이때, NVSRAM(1)의 프리차지(Precharge) 트랜지스터(Tr)가 턴온(Turn-on) 되어 비트라인 노드(BL)와 비트라인 바 노드(BL_bar)에 V_{DD}가 인가되고, $V_{restore}$가 2V가 되면 전자가 저장되어 있지 않은 Q노드의 억세스 트랜지스트(Access Transistor)(M14)가 턴온(Turn-on)된다.

[0068] 따라서, Q노드에 하이(High, 1) 데이터가 리스토어(Restore)되고, Q_{bar}노드에 로우(Low, 0) 데이터가 리스토어(Restore)된다.

[0069] 또한, 전하 제거(Erase) 모드(15ns ~ 18ns)는 상기 억세스 트랜지스트(Access Transistor)(M16)에 저장된 전자를 제거하는 전하 제거(Erase) 동작을 나타낸다. 즉, 도 9에서 도시된 바와 같이 V_{erase}에 -2V가 인가되면 V_{fg_Qbar}로 전류가 들어가(전자가 빠져나와) V_{fg_Qbar}의 전압이 NVSRAM(1)에 전원이 차단되기 이전의 원래 상태로 돌아오는 것을 나타낸다.

[0070] 이와 같이 본 발명의 실시 예에 따른 6T 비휘발성 SRAM(Non-volatile Static random access memory)(1)은 NVSRAM(1)의 전원을 차단하기 전에 비휘발성(Non-volatile) 메모리 소자(170, 180)에 정보를 저장하고, 전원이 들어온 후 저장된 데이터를 SRAM 노드에 다시 저장(Recall)하는 단계를 통해 6T SRAM이 비휘발성 특성을 갖도록 구현할 수 있다.

[0071] 이상으로 본 발명에 관한 바람직한 실시 예를 설명하였으나, 본 발명은 상기 실시 예에 한정되지 아니하며, 본 발명의 실시 예로부터 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의한 용이하게 변경되어 균등하다고 인정되는 범위의 모든 변경을 포함한다.

부호의 설명

[0073] 1 : 6T 비휘발성 SRAM

10 : 제1 인버터

20 : 제2 인버터

110 : 제1 풀업(pull up) 트랜지스터

120 : 제1 풀다운(pull down) 트랜지스터

130 : 제1 데이터 노드

140 : 제2 풀업(pull up) 트랜지스터

150 : 제2 풀다운(pull down) 트랜지스터

160 : 제2 데이터 노드

170 : 제1 패스 게이트(pass gate)

171 : 비트라인 노드

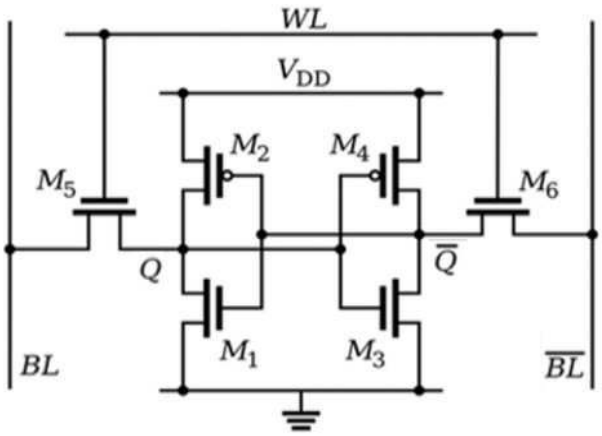
180 : 제2 패스 게이트(pass gate)

181 : 비트라인바 노드

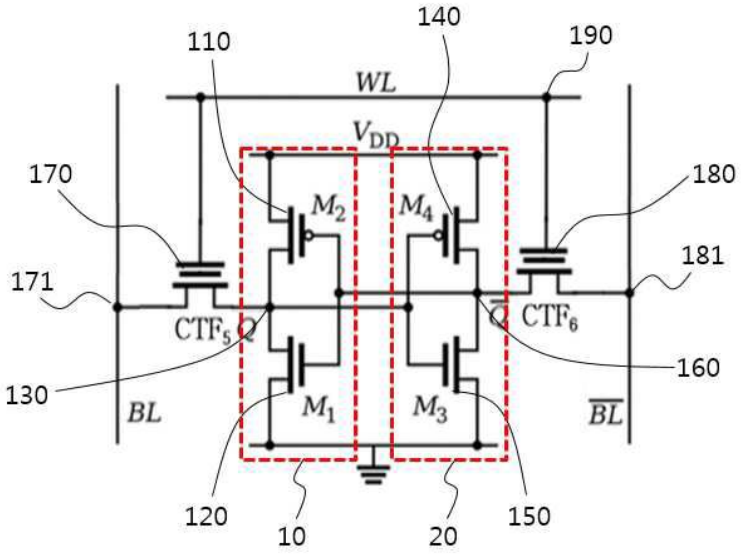
190 : 워드라인 노드

도면

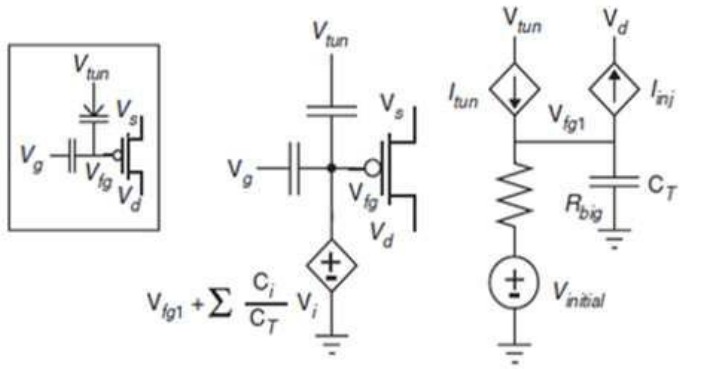
도면1



도면2

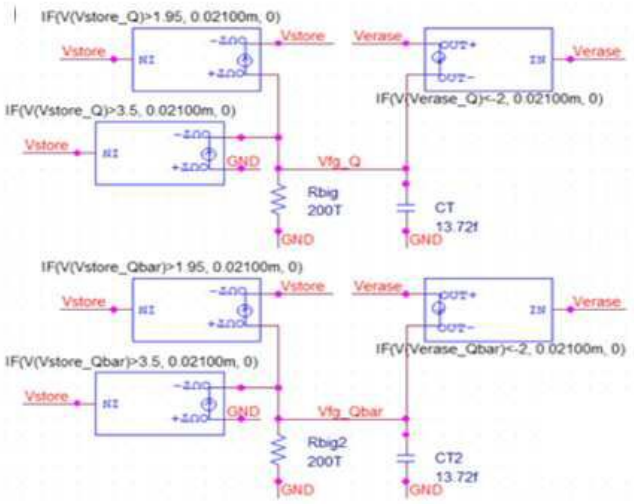


도면3a

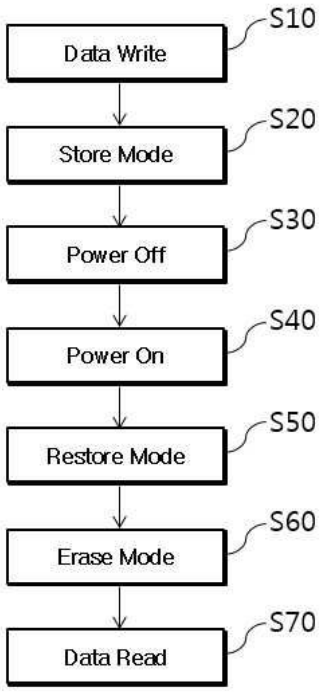



```
Gtun Vfg1 0 value=IF((V(Vtun)-V(Vfg)) > Vdd, Tun_Expr, 0)
Ginj Vfg1 0 value=IF((V(Vs)-V(Vd)) > Vdd, Inj_Expr, 0)
```

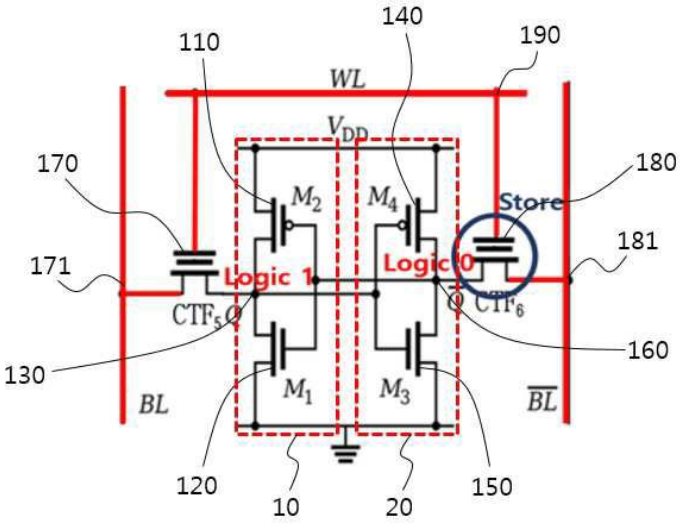
도면3b



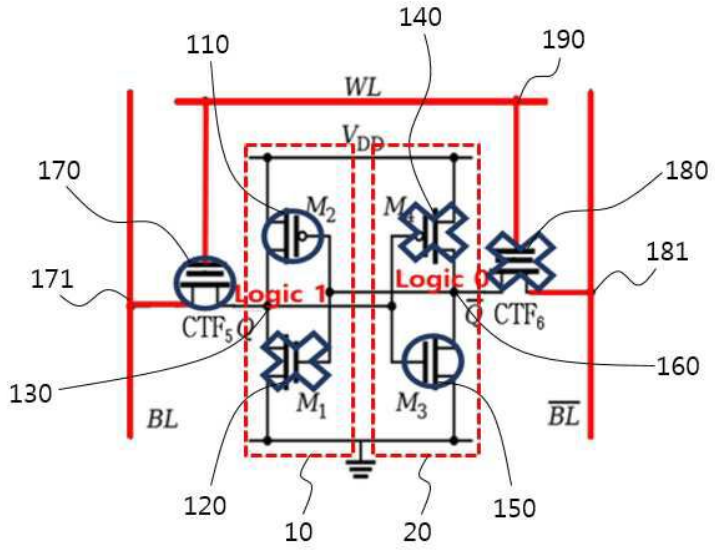
도면4


Data Write
S10
Store Mode
S20
Power Off
S30
Power On
S40
Restore Mode
S50
Erase Mode
S60
Data Read
S70

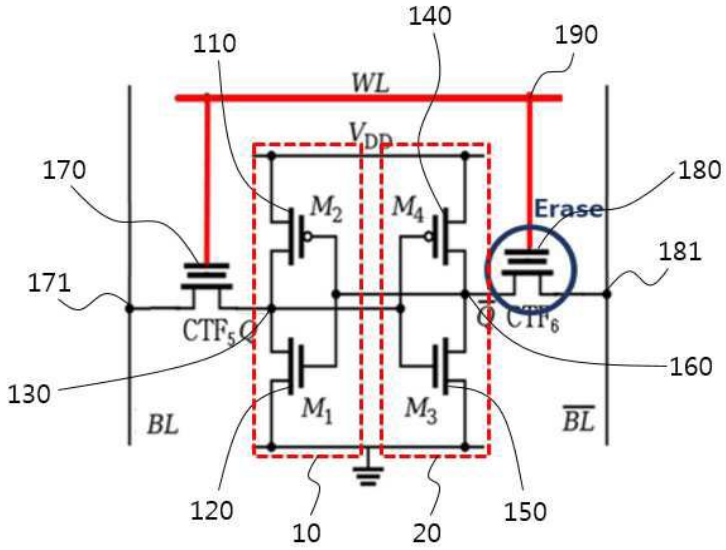
도면5


110
140
190
WL
V_{DD}
170
180
M_2
M_4
Store
171
181
Logic 1
Logic 0
CTF_5
CTF_6
130
160
BL
M_1
M_3
$\overline{BL}$
120
10
20
150

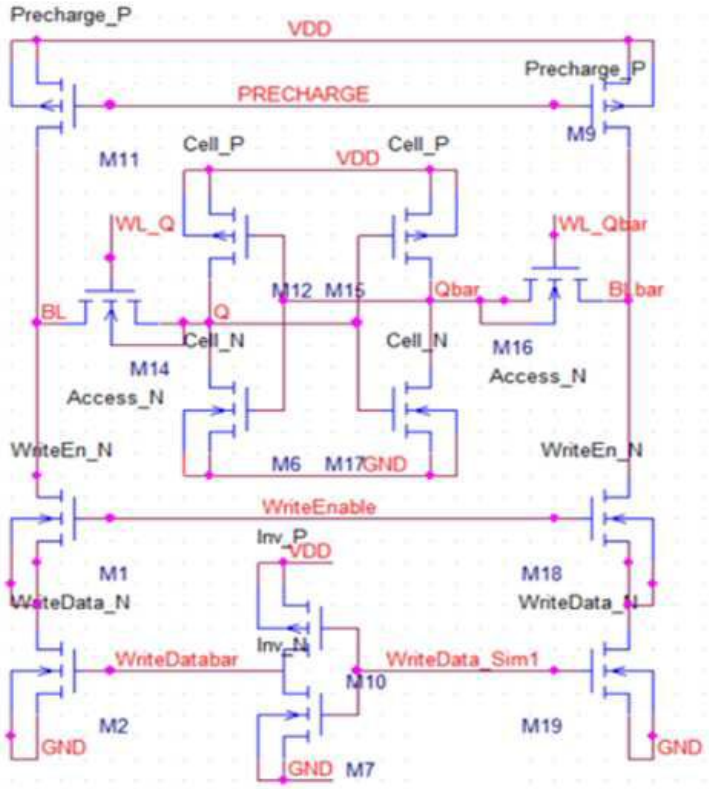
도면6


140
110
190
WL
V_{DD}
170
180
M_2
M_4
181
171
Logic 1
Logic 0
CTF_5
CTF_6
160
130
M_1
M_3
BL
$\overline{BL}$
120
10
20
150

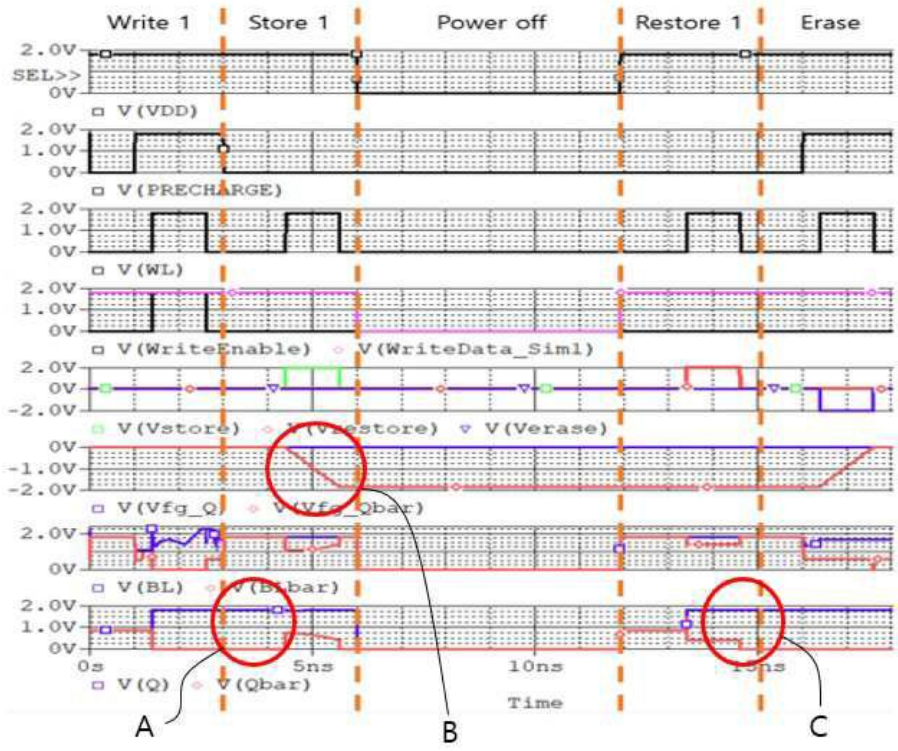
도면7


140
110
190
WL
V_{DD}
170
180
M_2
M_4
Erase
181
171
CTF_5
CTF_6
160
130
M_1
M_3
BL
$\overline{BL}$
120
10
20
150

도면8


Precharge_P
VDD
Precharge_P
PRECHARGE
M9
M11
Cell_P
VDD
Cell_P
WL_Q
WL_Qbar
M12 M15
Qbar
BLbar
BL
Q
Cell_N
Cell_N
M16
Access_N
M14
Access_N
WriteEn_N
M6 M17GND
WriteEn_N
WriteEnable
Inv_P
VDD
M1
M18
WriteData_N
WriteData_N
Inv_N
WriteDatabar
WriteData_Sim1
M10
M2
M19
GND
GND
GND M7

도면9


Write 1
Store 1
Power off
Restore 1
Erase
2.0V
SEL>>
0V
V(VDD)
2.0V
1.0V
0V
V(PRECHARGE)
2.0V
1.0V
0V
V(WL)
2.0V
1.0V
0V
V(WriteEnable)
V(WriteData_Sim1)
2.0V
0V
-2.0V
V(Vstore)
V(Verase)
0V
-1.0V
-2.0V
V(Vfg_Q)
2.0V
0V
V(BL)
2.0V
1.0V
0V
0s
5ns
10ns
V(Q)
V(Qbar)
Time
A
B
C