(19) **RU** (11) **2 058 603** (13) **C1**

(51) МПК[6] **G 11 C 11/00**

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 94009963/09, 30.03.1994

(46) Дата публикации: 20.04.1996

(56) Ссылки: IEEE TRANSACTIONS OF SOLID-STATE CIRCUITS, VOL 24, No 4, August, 1989, p.859-867.

(71) Заявитель:
Институт точной механики и вычислительной техники им. С.А.Лебедева РАН

(72) Изобретатель: **Савенков В.Н., Игнатьев С.М., Сахин Ю.Х., Лизоркин А.П., Подлесный А.В., Кушнер Ю.К., Васильев В.В., Кострыкин О.А., Никитов А.А., Кузьменков А.П.**

(73) Патентообладатель:
Институт точной механики и вычислительной техники им. С.А.Лебедева РАН

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

(57) Реферат:

Изобретение относится к вычислительной технике, в частности к многопортовым запоминающим устройствам. Запоминающее устройство содержит матрицу запоминающих элементов, дешифратор записи, дешифратор считывания, усилитель считывания, блок триггеров адреса записи, триггер разрешения записи, блок триггеров данных, формирователь строба записи, выходной усилитель, формирователь сигналов управления, дополнительный блок триггеров адреса считывания, первый и второй блоки и сравнения адресов соответственно, первый коммутатор, регистр, второй коммутатор. 1 з. п. ф-лы, 3 ил.

RU 2058603 C1

RU 2058603 C1

(19) **RU** (11) **2 058 603** (13) **C1**

(51) Int. Cl.[6] **G 11 C 11/00**



RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21), (22) Application: 94009963/09, 30.03.1994

(46) Date of publication: 20.04.1996

(71) Applicant:
Institut tochnoj mekhaniki i vychislitel'noj tekhniki im. S.A.Lebedeva RAN

(72) Inventor: Savenkov V.N., Ignat'ev S.M., Sakhin Ju.Kh., Lizorkin A.P., Podlesnyj A.V., Kushner Ju.K., Vasil'ev V.V., Kostrykin O.A., Nikitov A.A., Kuz'menkov A.P.

(73) Proprietor:
Institut tochnoj mekhaniki i vychislitel'noj tekhniki im. S.A.Lebedeva RAN

(54) MEMORY UNIT

(57) Abstract:

FIELD: computer engineering. SUBSTANCE: device has matrix of memory gates, writing decoder, reading decoder, reading amplifier, unit of flip-flops which code address for writing, flip-flop which permit writing, unit of flip-flops which holds data, writing strobe generator, output amplifier, control signal generator, additional unit of flip-flops which code address for reading, first and second address comparison units, corresponding first and second commutators. EFFECT: increased functional capabilities. 2 cl, 3 dwg

RU 2058603 C1

RU 2058603 C1

Изобретение относится к вычислительной технике и может быть использовано в электронных вычислительных системах и устройствах для построения быстродействующей памяти (например, типа регистровый файл или кэш), имеющей один порт записи и один порт считывания и позволяющей одновременно (в одном такте) осуществлять запись и считывание информации.

Известно запоминающее устройство, содержащее первый и второй блоки памяти, первый и второй элементы сравнения, первый и второй коммутаторы, причем информационный вход устройства соединен с информационными входами первого и второго блоков памяти и с вторыми информационными входами первого и второго коммутаторов, первый адресный вход устройства соединен с первым входом первого элемента сравнения и с входом адреса считывания первого блока памяти, второй адресный вход устройства соединен с первым входом второго элемента сравнения и с входом адреса считывания второго блока памяти, третий адресный вход устройства соединен с вторыми входами первого и второго элементов сравнения и с входами адреса записи первого и второго блоков памяти, вход управления записью устройства подключен к одноименным входам первого и второго блоков памяти, выходы первого и второго блоков памяти подключены соответственно к первым входам первого и второго коммутаторов, выходы которых являются соответственно первым и вторым информационными выходами устройства (см. авт. св. СССР N 1695321, кл. G 11 C 11/00, 1989).

Однако известное запоминающее устройство обладает следующими недостатками: наличие двух блоков памяти с одинаковым адресным пространством приводит к удвоению оборудования; отсутствие внутренней системы синхронизации накладывает существенные ограничения на входные сигналы; функциональные параметры определяют узкую область применения.

Наиболее близким к предлагаемому устройству является запоминающее устройство, содержащее матрицу запоминающих элементов, к входам выборки по считыванию и записи которой через соответствующие блоки дешифрации считывания и записи подключены выходы блока триггеров адреса считывания и блока триггеров адреса записи, входы которых подключены к входным шинам адреса считывания и адреса записи устройства соответственно, информационный выход матрицы элементов памяти соединен с входом усилителя считывания, триггер разрешения записи, вход которого соединен с входом разрешения записи устройства, выход триггера разрешения записи соединен с управляющим входом формирователя строба записи, выход которого подключен к управляющему входу дешифратора записи, вход данных которого соединен с выходом блока триггеров данных, вход которого подключен к входной информационной шине устройства, и выходной усилитель, выход которого является выходной информационной шиной устройства (см. IEEE TRANSACTIONS OF SOLID-STATE CIRCUITS, VOL.24, N, 4, AUGUST 1989, стр. 859-867).

Основными недостатками данного устройства являются существенное увеличение времени записи-считывания при совпадении адресов записи и считывания; отсутствие настройки устройства на функционирование в системах с разноудаленными объектами; сложность отладки систем, построенных с использованием данного типа памяти.

Целью изобретения является улучшение эксплуатационных и функциональных характеристик устройства; сокращение времени записи-считывания; возможность гибкого использования памяти при работе с разноудаленными устройствами; введение дополнительных возможностей для отладки систем, построенных с использованием данного типа памяти.

Это достигается тем, что в запоминающее устройство, содержащее матрицу запоминающих элементов, к входам выборки по считыванию и записи которой через соответствующие блоки дешифрации считывания и записи подключены выходы блока триггеров адреса считывания и блока триггеров адреса записи, входы которых подключены к входным шинам адреса считывания и адреса записи устройства, соответственно, информационный выход матрицы элементов памяти соединен с входом усилителя считывания, триггер разрешения записи, вход которого соединен с входом разрешения записи устройства, выход триггера разрешения записи соединен с управляющим входом формирователя строба записи, выход которого подключен к управляющему входу дешифратора записи, вход данных которого соединен с выходом блока триггеров данных, вход которого подключен к входной информационной шине устройства, и выходной усилитель, выход которого является выходной информационной шиной устройства, введены формирователь сигналов управления, дополнительный блок триггеров адреса считывания, первый и второй блоки сравнения адресов, первый коммутатор, регистр и второй коммутатор, причем первый вход первого блока сравнения адресов соединен с выходом блока триггеров адреса записи, а второй вход с выходом блока триггеров адреса считывания, который подключен к входу дополнительного блока триггеров адреса считывания, выход которого соединен с первым входом второго блока сравнения адресов, второй вход которого соединен с входной шиной адреса записи, выход первого блока сравнения адресов подключен к второму управляющему входу совпадения адресов формирователя сигналов управления, первый управляющий вход совпадения адресов которого соединен с выходом второго блока сравнения адресов, второй управляющий вход разрешения записи формирователя сигналов управления подключен к выходу триггера разрешения записи, первый управляющий вход разрешения записи формирователя сигналов управления к входу разрешения записи устройства, первый, второй и третий управляющие входы выбора режима формирователя сигналов управления являются управляющими входами устройства, первый управляющий выход

RU 2058603 C1

RU 2058603 C1

формирователя сигналов управления соединен с входом установки в "прозрачность" блока триггеров адреса считывания, второй управляющий выход формирователя сигналов управления подключен к входу выбора канала первого коммутатора, первый информационный вход которого соединен с выходом усилителя считывания, второй информационный вход соединен с выходом блока триггеров данных, выход первого коммутатора соединен с информационным входом регистра, управляющий вход которого подключен к третьему управляющему выходу формирователя сигналов управления, информационные входы второго коммутатора соединены соответственно с выходами усилителя считывания, регистра, блока триггеров данных и с входной информационной шиной устройства, управляющие входы выбора первого, второго и третьего каналов с низким приоритетом и выбора третьего и четвертого каналов с высоким приоритетом второго коммутатора подключены к группе управляющих выходов формирователя сигналов управления, а выход второго коммутатора соединен с входом выходного усилителя.

Кроме того, формирователь сигналов управления содержит первый, второй и третий усилители, с первого по шестой элементы 2И, элемент 4И, элемент 2ИЛИ, первый и второй D-триггеры, причем вход первого усилителя является первым управляющим входом выбора режима формирователя сигналов управления, инверсный выход первого усилителя является первым управляющим выходом формирователя сигналов управления, прямой выход подключен к первому входу второго элемента 2И и к прямому входу третьего элемента 2И, второй вход второго элемента 2И, инверсный вход третьего элемента 2И и первый вход элемента 4И подключены к второму управляющему входу выбора режима формирователя сигналов управления, выходы второго и третьего элементов 2И являются пятым и четвертым выходами из группы управляющих выходов формирователя сигналов управления, второй и третий входы элемента 4И являются первым управляющим входом совпадения адресов и первым управляющим входом разрешения записи формирователя сигналов управления соответственно, первый и второй входы первого элемента 2И являются вторым управляющим входом совпадения адресов и вторым управляющим входом разрешения записи формирователя сигналов управления соответственно, выход первого элемента 2И подключен к второму управляющему выходу формирователя сигналов управления, к прямому входу четвертого элемента 2И и первому инверсному входу пятого элемента 2И.

Вход второго усилителя является третьим управляющим входом выбора режима формирователя сигналов управления, его первый выход является третьим управляющим выходом формирователя сигналов управления, второй выход соединен с инверсным входом четвертого элемента 2И, с вторым инверсным входом пятого элемента 2И, с входом третьего усилителя и с четвертым входом элемента 4И, выход пятого элемента 2И является третьим выходом из группы управляющих выходов формирователя сигналов управления, прямой выход элемента 4И и инверсный выход третьего усилителя подключены соответственно к первому и второму входам элемента 2ИЛИ, к первым входам D-триггеров подключен инверсный выход элемента 4И, к вторым входам выход элемента 2ИЛИ, а к третьим входам прямой выход третьего усилителя, выход первого D-триггера является первым выходом из группы управляющих выходов формирователя сигналов управления, первый вход шестого элемента 2И подключен к выходу четвертого элемента 2И, второй вход соединен с выходом второго D-триггера, а выход шестого элемента 2И является вторым выходом из группы управляющих выходов формирователя сигналов управления.

Сущность изобретения заключается в том, что введение формирователя сигналов управления, дополнительного блока триггеров адреса считывания, первого и второго блоков сравнения адресов, первого коммутатора, регистра и второго коммутатора и организация соответствующих связей позволило улучшить эксплуатационные и функциональные характеристики устройства. Наличие обходной цепи и сравнение адресов записи и считывания позволяет сократить время записи-считывания. Наличие управляемого регистра дает возможность более гибко использовать память при работе с разноудаленными устройствами, причем при задержке считываемой информации на такт существует возможность учитывать или не учитывать записываемую в следующем такте информацию. Диагностические режимы (асинхронное считывание информации и индикация шины) позволяют иметь дополнительные средства для отладки систем, построенных с использованием данного типа памяти. Использование дополнительных входных коммутаторов данных позволяет принимать информацию независимо с нескольких направлений, а также осуществлять стирание информации путем только перебора адреса записи.

Сравнение предлагаемого устройства с известными позволило судить о его соответствии критерию "новизна", а отсутствие в аналогах отличительных признаков говорит о соответствии критерию "изобретательский уровень". Макетные испытания подтверждают возможность промышленного применения.

На фиг. 1 представлена функциональная структурная схема устройства; на фиг. 2 функциональная схема формирователя сигналов управления; на фиг. 3 функциональная схема блока входных коммутаторов данных.

Устройство содержит матрицу 1 запоминающих элементов, дешифратор 2 записи, дешифратор 3 считывания, усилитель 4 считывания, блок 5 триггеров адреса считывания, блок 6 триггеров адреса записи, триггер 7 разрешения записи, блок 8 триггеров данных, формирователь 9 строба записи, выходной усилитель 10, формирователь 11 сигналов управления, дополнительный блок 12 триггеров адреса считывания, первый и второй блоки 13 и 14 сравнения адресов соответственно, первый

RU 2058603 C1

RU 2058603 C1

коммутатор 15, регистр 16, второй коммутатор 17.

Входная шина 18 адреса считывания, входная шина 19 адреса записи, вход 20 разрешения записи, входная информационная шина 21 подключены к входам блока 5 триггеров адреса считывания, блока 6 триггеров адреса записи, триггера 7 разрешения записи и блока 8 триггеров данных соответственно, причем вход 20 разрешения записи является первым управляющим входом разрешения записи формирователя 11. Вход формирователя 9 строба записи подключен к выходу триггера 7 разрешения записи, его выход соединен с управляющим входом дешифратора 2 записи, вход данных которого подключен к выходу блока 8 триггеров данных, а адресный вход к выходу блока 6 триггеров адреса записи. Вход дешифратора 3 считывания подключен к выходу блока 5 триггеров адреса считывания. Выходы дешифраторов 2 и 3 записи и считывания подключены соответственно к входам выборки по записи и считыванию матрицы 1 запоминающих элементов, информационный выход которой соединен с входом усилителя 4 считывания. Выход усилителя 10 является информационным выходом 22 устройства.

Первый и второй входы первого блока 13 сравнения адресов подключены к выходу блока 6 триггеров адреса записи и к выходу блока 5 триггеров адреса считывания, к выходу которого через дополнительный блок 12 триггеров адреса считывания подключен первый вход второго блока 14 сравнения адресов, второй вход которого соединен с входной шиной 19 адреса записи. Выход второго блока 14 сравнения адресов подключен к первому управляющему входу 23 совпадения адресов формирователя 11, второй управляющий вход 24 совпадения адресов которого соединен с выходом первого блока 13 сравнения адресов, а второй управляющий вход 25 разрешения записи подключен к выходу триггера 7 разрешения записи. Первый, второй и третий управляющие входы 26, 27 и 28 выбора режимов формирователя 11 являются соответственно одноименными входами устройства. Первый управляющий выход 29 формирователя 11 соединен с входом установки в "прозрачность" блока 5 триггеров адреса считывания, второй управляющий выход 30 формирователя 11 подключен к входу выбора канала первого коммутатора 15, первый информационный вход которого соединен с выходом усилителя 4 считывания, второй информационный вход с выходом блока 8 триггеров данных, выход первого коммутатора 15 соединен с информационным входом регистра 16, управляющий вход которого подключен к третьему управляющему выходу 31 формирователя 11 сигналов управления. Первый, второй, третий и четвертый информационные входы второго коммутатора 17 соединены соответственно с выходами усилителя 4 считывания, регистра 16, блока 8 триггеров данных и с информационной шиной 21 устройства, управляющие входы выбора первого, второго и третьего каналов с низким приоритетом и выбора третьего и четвертого каналов с высоким приоритетом второго коммутатора 17 подключены к группе управляющих выходов 32-1 +32-4 формирователя 11 сигналов управления, а выход второго коммутатора 17 соединен с входом выходного усилителя 10.

Второй коммутатор 17 представляет собой мультиплексор на четыре направления, имеющий функцию Q относительно управляющих входов выбора каналов по сравнению с обычным мультиплексором на четыре направления, который выполняет логическую функцию

$$Q\,A_{\bullet\overline{S_A}}+B_{\bullet\overline{S_B}}+C\bullet S_C+D_{\bullet\overline{S_D}}$$ где A, B, C и D информационные входы;

S_A, S_B, S_C, и S_D управляющие входы, на которые наложено условие наличия ровно одного "0" и трех "1" в каждый момент времени. Логическая функция

$$Q\,A_{\bullet\overline{S_A}}+B_{\bullet\overline{S_B}}\bullet V_C\bullet V_D+C(\overline{S_C}\bullet V_C\bullet V_D+\overline{C_C})+D_{\bullet\overline{V_D}}$$ описывает работу мультиплексора на четыре направления, который имеет три управляющих входа S_A, S_B, S_C выбора канала с низким приоритетом, на которые наложено условие наличия ровно одного "0" и двух "1" в каждый момент времени, и два управляющих V_C, V_D выбора канала с высоким приоритетом, для которых запрещена комбинация из двух "0". При наличии "0" на одном из входов V_C, V_D на выход передается состояние на входах C или D соответственно независимо от комбинации на входах S_A, S_B, S_C. При наличии двух "1" на входах V_C, V_D выбирается один из каналов A, B, C в зависимости от состояния на входах S_A, S_B, S_C. Функция Q аппаратно реализуется с помощью стандартной библиотеки элементов.

Формирователь 11 сигналов управления (см. фиг. 2) содержит первый и второй усилители 33 и 34 соответственно, с первого по пятый элементы 2И 35-39 соответственно, третий усилитель 40, шестой элемент 2И 41 элемент 4И 42, элемент 2ИЛИ 43, первый и второй D-триггеры 44 и 45 соответственно.

Первый управляющий вход 26 режима работы подключен к входу первого усилителя 33, инверсный выход которого является первым управляющим выходом 29 формирователя 11. Второй управляющий вход 27 режима работы формирователя 11 подключен к прямому входу второго и инверсному входу третьего элементов 36 и 37 2И соответственно, другие прямые входы которых подключены к прямому выходу первого усилителя 33, а инверсные выходы являются соответственно управляющими выходами 32-5 и 32-4 формирователя 11. К входу второго усилителя 34 подключен третий управляющий вход режима работы формирователя 11. Первый выход усилителя 34 является третьим управляющим выходом 31 формирователя 11, а второй выход соединен с инверсными входами четвертого и пятого элементов 38 и 39 2И соответственно, с входом третьего усилителя 40 и с четвертым входом элемента 4И 42. Входы первого элемента 2И 35 подключены к второму управляющему входу 24 совпадения адресов и к второму управляющему входу 25 разрешения записи формирователя 11, а выход является вторым управляющим выходом формирователя 11 и соединен с

RU 2058603 C1

RU 2058603 C1

прямым входом четвертого элемента 2И 38 и со вторым инверсным входом пятого элемента 2И 39. Выход последнего является управляющим выходом 32-3 формирователя 11. Первый вход элемента 4И 42 является вторым управляющим входом 27 режима работы формирователя 11, второй первым управляющим входом 23 совпадения адресов, а третий первым управляющим входом 20 разрешения записи. Прямой выход элемента 4И 42 и инверсный выход третьего усилителя 40 подключены к входам элемента 2ИЛИ 43. Первый и второй D-триггеры 44 и 45 представляют собой D-триггеры с функцией 3И на входе. К первым входам D-триггеров 44 и 45 подключен инверсный выход элемента 4И 42, к вторым входам выход элемента 2ИЛИ 43, а к третьим входам D3 прямой выход третьего усилителя 40. Выход D-триггера 44 является управляющим выходом 32-1 формирователя 11. Выход D-триггера 45 соединен с вторым входом шестого элемента 2И 41, первый вход которого подключен к выходу четвертого элемента 2И 38, а выход является управляющим выходом 32-2 формирователя 11.

Запоминающее устройство содержит (см. фиг. 3) входные коммутаторы данных, которые имеют первый и второй блоки 46 и 47 соответственно коммутаторов n/2-битовых данных с трех направлений, узлы 48 и 49 управления первым и вторым блоками коммутаторов соответственно. Входная информационная шина 21 (n-битовая) представляет собой выходы (n/2-битовые шины) первого и второго блоков 46 и 47 коммутаторов, входы данных первого блока 46 коммутаторов и входы данных второго блока 47 коммутаторов являются информационными входами 50-55, соответственно, управляющие входы узла 48 управления первым блоком коммутаторов и управляющие входы узла 49 управления вторым блоком коммутаторов являются управляющими входами 56-59 устройства соответственно. Первый, второй и третий входы выбора каналов первого блока 46, а также второго блока 47 коммутаторов подключены к выходам узлов 48, 49 управления первым и вторым блоками коммутаторов соответственно.

При считывании информации из памяти в отсутствие записи в том же такте (уровень на входе 20 разрешения записи ЗП-"0") в режиме, заданном уровнями на первом управляющем входе 26 выбора режима ДИАГ "0" и на третьем управляющем входе выбора режима 28 РЕЖ "0", причем второй управляющий вход 27 выбора режима ВКЛ в любом логическом состоянии, адрес считывания с входной шины 18 адреса считывания через блок 5 триггеров адреса считывания подается на входы блока 3 дешифрации считывания, который осуществляет преобразование двоичного кода адреса в код для выбора строк и столбцов матрицы 1 запоминающих элементов, т. е. для выбора элементов памяти, соответствующих слову с данным адресом, с выходов блока 3 дешифрации считывания сигналы поступают на входы выборки по считыванию матрицы 1 запоминающих элементов, с информационного выхода которой считываемая информация подается на вход усилителя 4 считывания, с выходов которого она поступает на третий канал второго коммутатора 17, причем этот канал выбирается уровнем S_c="0" на третьем выходе 32-3 группы управляющих выходов формирователя 11 сигналов управления, который поступает на управляющий вход выбора третьего канала с низким приоритетом второго коммутатора.

При считывании и одновременной (в том же такте) записи информации (уровень на входе 20 разрешения записи ЗП="1") в режиме, заданном уровнями на первом управляющем входе 26 выбора режима ДИАГ="0" и на третьем управляющем входе 28 выбора режима РЕЖ="0", причем второй управляющий вход 27 выборов режима ВКЛ в любом логическом состоянии, дешифрация адреса записи осуществляется аналогично дешифрации адреса считывания, описанной выше, с той разницей, что в этом случае на входы блока 2 дешифрации записи подается адрес записи с входной шины 19 адреса записи через блок 6 триггеров адреса записи, а также данные с входной информационной шины 21 через блок 8 триггеров данных и строб с выхода формирователя 9 строба записи. Таким образом, производится не только дешифрация адреса записи, но и данных, а также учитывается состояние на входе 20 разрешения записи, при этом строб записи оптимальной длительности формируется для ЗП "1". Адрес считывания через блок 5 триггеров адреса считывания подается на первый вход, а адрес записи через блок 6 триггеров адреса записи на второй вход первого блока сравнения адресов 13, сигнал с выхода которого подается на второй управляющий вход 24 совпадения адресов формирователя 11 сигналов управления, причем уровень "1" этого сигнала соответствует совпавшим адресам. При этом, если адреса не совпали, считывание производится, как описано выше. В случае совпадения адресов записи и считывания формирователь 11 сигналов управления уровнем S_b="0" на втором выходе 32-2 группы управляющих выходов, который поступает на управляющий вход выбора второго канала с низким приоритетом второго коммутатора, выбирает на втором коммутаторе второй канал, на который поступает информация с выхода регистра 16, устанавливает уровень S на втором управляющем выходе 30 формирователя 11 сигналов управления так, что в регистр 16 через первый коммутатор 15 поступают данные с блока 8 триггеров данных, и устанавливает уровень $V_{дан}$= "0" на третьем управляющем выходе 31 так, что он обеспечивает "прозрачность" соответствующего триггера в регистре 16 (при этом задержки информации на выходе регистра на один такт не происходит). Следовательно, информация на выходную информационную шину 22 поступает минуя матрицу 1 запоминающих элементов, что существенно уменьшает время записи-считывания.

При считывании информации из памяти при отсутствии записи в том же такте (уровень на входе 20 разрешения записи ЗП="0") в режиме, заданном уровнями на первом управляющем входе выбора режима

RU 2058603 C1

RU 2058603 C1

ДИАГ="0", на втором управляющем входе 27 выбора режима ВКЛ="0" и на третьем 28 РЕЖ="1", тракт считывания от блока 5 триггеров адреса считывания до усилителя 4 считывания работает, как описано выше. Формирователь 11 сигналов управления уровнем S_B="0" на втором выходе 32-2 группы управляющих выходов, который поступает на управляющий вход выбора второго канала с низким приоритетом второго коммутатора, выбирает на втором коммутаторе 17 второй канал, на который поступает информация с выхода регистра 16, устанавливает уровень S на втором управляющем выходе 30 формирователя 11 сигналов управления так, что в регистр 16 через первый коммутатор 15 поступают данные с усилителя 4 считывания, и устанавливает уровень $V_{дан}$= "1" на третьем управляющем выходе 31 формирователя 11 сигналов управления так, что он не поддерживает "прозрачность" соответствующего триггера в регистре 16 (при этом происходит задержка информации на выходе регистра 16.

При считывании и одновременной (в том же такте) записи информации (уровень на входе 20 разрешения записи ЗП="1") в режиме, заданном уровнями ДИАГ= "0", ВКЛ= "0", РЕЖ="1" на первом, втором и третьем управляющих входах 26-28 выбора режима соответственно работа тракта записи не изменяется, а функционирование тракта считывания зависит от совпадения (или несовпадения) адресов записи и считывания. Формирователь 11 сигналов управления уровнем S_B= "0" на втором выходе 32-2 группы управляющих выходов, который поступает на управляющий вход выбора второго канала с низким приоритетом второго коммутатора, выбирает второй канал второго коммутатора 17, на который подается информация с регистра 16, задержанная на один такт (уровень $V_{дан}$="1" на третьем управляющем выходе 31 формирователя 11 сигналов управления не поддерживает "прозрачность" соответствующего триггера в регистре 16). В зависимости от логического состояния на выходе первого блока 13 сравнения адресов формирователь 11 сигналов управления устанавливает уровень S на втором управляющем выходе 30. При совпадении адресов первый коммутатор 15 передает информацию с выхода блока 8 триггеров данных, при несовпадении с выхода усилителя 4 считывания.

В этом режиме (ДИАГ="0", ВКЛ="0", РЕЖ="1") задержанные на такт выходные данные появляются на выходе памяти в начале такта, что позволяет использовать ту же микросхему памяти при работе с удаленными устройствами и без уменьшения тактовой частоты. При этом максимальное время задержки на линии связи может быть близким к времени такта.

При считывании информации из памяти при отсутствии записи в том же такте (уровень на входе 20 разрешения записи ЗП="0") в режиме, заданном уровнями ДИАГ= "0", ВКЛ= "1", РЕЖ="1" на первом, втором и третьем управляющих входах 26-28 выбора режима соответственно тракт считывания функционирует аналогично режиму, заданному уровнями ДИАГ="0", ВКЛ="0",РЕЖ="1".

При считывании и одновременной (в том же такте) записи информации (уровень на входе 20 разрешения записи ЗП="1") в режиме, заданном уровнями ДИАГ= "0", ВКЛ="1", РЕЖ="1", на первом, втором и третьем управляющих входах 26-28 выбора режима соответственно тракт записи работает согласно описанному выше, функционирование тракта считывания отличается от описанного для режима ЗП="1", ДИАГ="0", ВКЛ="1", РЕЖ="1" тем, что при записи информации по адресу, совпадающему с адресом считывания предыдущего такта, второй блок 14 сравнения адресов, на входы которого поступает адрес записи с входной шины 19 адреса записи устройства и задержанный на один такт адрес считывания с выхода блока 12 дополнительных триггеров адреса считывания, устанавливает свой выход в состояние логической "1", согласно этому уровню на первом управляющем входе совпадения адресов 23 формирователь 11 сигналов управления выбирает на втором коммутаторе 17 первый канал уровнем S_A="0" на первом выходе 32-1 группы управляющих выходов, который поступает на управляющий вход выбора первого канала с низким приоритетом второго коммутатора, и информация считывается с выхода блока 8 триггеров данных.

Данный режим (ДИАГ="0", ВКЛ="1", РЕД="1") также позволяет работать с удаленными устройствами, выставляя считываемую информацию в начале такта с задержкой на один такт, но, кроме того, позволяет отследить запись информации, произведенную по адресу, совпадающему с адресом считывания предыдущего такта, и передать ее на выход с минимальной задержкой, что расширяет функциональные возможности рассматриваемого запоминающего устройства.

В диагностическом режиме, заданном уровнями ДИАГ="0", ВКЛ="0" на первом и втором управляющих входах 26, 27 выбора режима соответственно, на вход синхронизации подается внешний статический уровень СИ="0". В этом режиме уровнем $V_{асч}$="0" с первого управляющего выхода 29 формирователя 11 сигналов управления блок 5 триггеров адреса считывания устанавливается в "прозрачность", на втором коммутаторе 17 уровнем V_c="0" на четвертом выходе 32-4 группы управляющих выходов формирователя 11 сигналов управления, который поступает на управляющий вход выбора третьего канала с высоким приоритетом второго коммутатора, выбирается третий канал. Т. е. производится асинхронное считывание информации из матрицы 1 запоминающих элементов.

Данный режим позволяет осуществлять диагностическое обслуживание устройств, содержащих данный тип памяти. При останове устройства можно асинхронно считать информацию, содержащуюся в матрице памяти.

В диагностическом режиме, заданном управляющими сигналами ДИАГ="0", ВКЛ= "1" на первом и втором управляющих входах 26, 27 режима работы соответственно, на вход синхронизации подается статический уровень СИ="0". В этом случае на втором коммутаторе 17 выбран четвертый канал в соответствии с

RU 2058603 C1

RU 2058603 C1

уровнем V_D= "0" на пятом выходе 32-5 группы управляющих выходов формирователя 11 сигналов управления, который поступает на управляющий вход выбора четвертого канала с высоким приоритетом второго коммутатора. Следовательно, производится считывание информации напрямую с входной информационной шины 21 устройства.

Данный режим (индикация шины) используется при отладке систем, содержащих данную память, и также расширяет функциональные возможности запоминающего устройства.

Входные n-битовые данные D поступают на входную информационную шину 21 с выхода блока входных коммутаторов данных. Входные коммутаторы разделены на два блока: первый и второй блоки 46 и 47 соответственно коммутаторов n/2-битовых данных с трех направлений, на входы каждого из которых проходят по три шины 50, 51, 52 и 53, 54, 55 соответственно входных n/2-битовых данных, которые соответствуют с первого по шестой информационным входам блока входных коммутаторов данных D00, D01, D02, D10, D11, D12. Первый и второй блоки входных коммутаторов управляются схемами управления 48 и 49 соответственно, на которые поданы по два внешних сигнала 56-59 управления выбором входных данных, которые соответствуют с первого по четвертый управляющим входам блока входных коммутаторов данных Y00, Y01, Y10, Y11. При установке Y00=Y01= 0, Y10= Y11= 0 на выходах входных коммутаторов данных устанавливается "0" независимо от информации на входах D00, D01, D02, D10, D11, D12, При Y00 $\neq$ 0 или Y01$\neq$ 0 на первом блоке 46 коммутаторов выбирается канал, соответствующий данной комбинации Y00, Y01. Аналогично работает второй блок 47 коммутаторов.

Использование входных коммутаторов данных позволяет увеличить количество устройств, обслуживаемых одной микросхемой памяти, а также осуществлять стирание информации (запись 0 в элементы памяти) при установке Yii=0 путем только перебора адреса записи независимо от состояния входной шины данных.

Таким образом, двухпортовая память с данной организацией позволяет улучшить эксплуатационные и функциональные характеристики устройства. Наличие обходной цепи и сравнение адресов записи и считывания позволяет сократить время записи-считывания. Наличие управляемого регистра дает возможность более гибко использовать память при работе с разноудаленными устройствами, причем при задержке считываемой информации на такт существует возможность учитывать или не учитывать записываемую в следующем такте информацию. Диагностические режимы (асинхронное считывание информации и индикация шины) позволяют иметь дополнительные средства для отладки систем, построенных с использованием данного типа памяти. Использование входных коммутаторов данных позволяет принимать информацию независимо с нескольких направлений, а также осуществлять стирание информации путем только перебора адреса записи.

Формула изобретения:

1. ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, содержащее матрицу запоминающих элементов, входы выборки по считыванию и записи которой через соответствующие блоки дешифрации считывания и записи подключены к выходам блоков треггеров адресов считывания и записи, входы которых подключены к входным шинам адреса считывания и адреса записи устройства соответственно, информационный выход матрицы запоминающих элементов соединен с входом усилителя считывания, триггер разрешения записи, вход которого соединен с входом разрешения записи устройства, а выход- с управляющим входом формирователя строба записи, выход которого подключен к управляющему входу дешифратора записи, вход данных которого соединен с выходом блока триггеров данных, вход которого подключен к входной информационной шине устройства, и выходной усилитель, выход которого является выходной информационной шиной устройства, отличающееся тем, что в него введены формирователь сигналов управления, дополнительный блок триггеров адреса считывания, первый и второй блоки сравнения адресов, первый коммутатор, регистр и второй коммутатор, первый вход первого блока сравнения адресов соединен с выходом блока триггеров адреса записи, а второй вход с выходом блока триггеров адреса считывания, который подключен к входу дополнительного блока триггеров адреса считывания, выход которого соединен с первым входом второго блока сравнения адресов, второй вход которого соединен с входной шиной адреса записи, выход первого блока сравнения адресов подключен к второму управляющему входу совпадения адресов формирователя сигналов управления, первый управляющий вход совпадения адресов которого соединен с выходом второго блока сравнения адресов, второй управляющий вход разрешения записи формирователя сигналов управления подключен к выходу триггера разрешения записи, первый управляющий вход разрешения записи формирователя сигналов управления к входу разрешения записи устройства, первый, второй и третий управляющие входы выбора режима формирователя сигналов управления являются управляющими входами устройства, первый управляющий выход формирователя сигналов управления соединен с входом установки в "0" блока триггеров адреса считывания, второй управляющий выход формирователя сигналов управления подключен к входу выбора канала первого коммутатора, первый информационный вход которого соединен с выходом усилителя считывания, второй информационный вход с выходом блока триггеров данных, выход первого коммутатора соединен с информационным входом регистра, управляющий вход которого подключен к третьему управляющему выходу формирователя сигналов управления, информационные входы второго коммутатора соединены соответственно с выходами усилителя считывания, регистра, блока триггеров данных и с входной информационной шиной устройства, управляющие входы выбора первого, второго

RU 2058603 C1

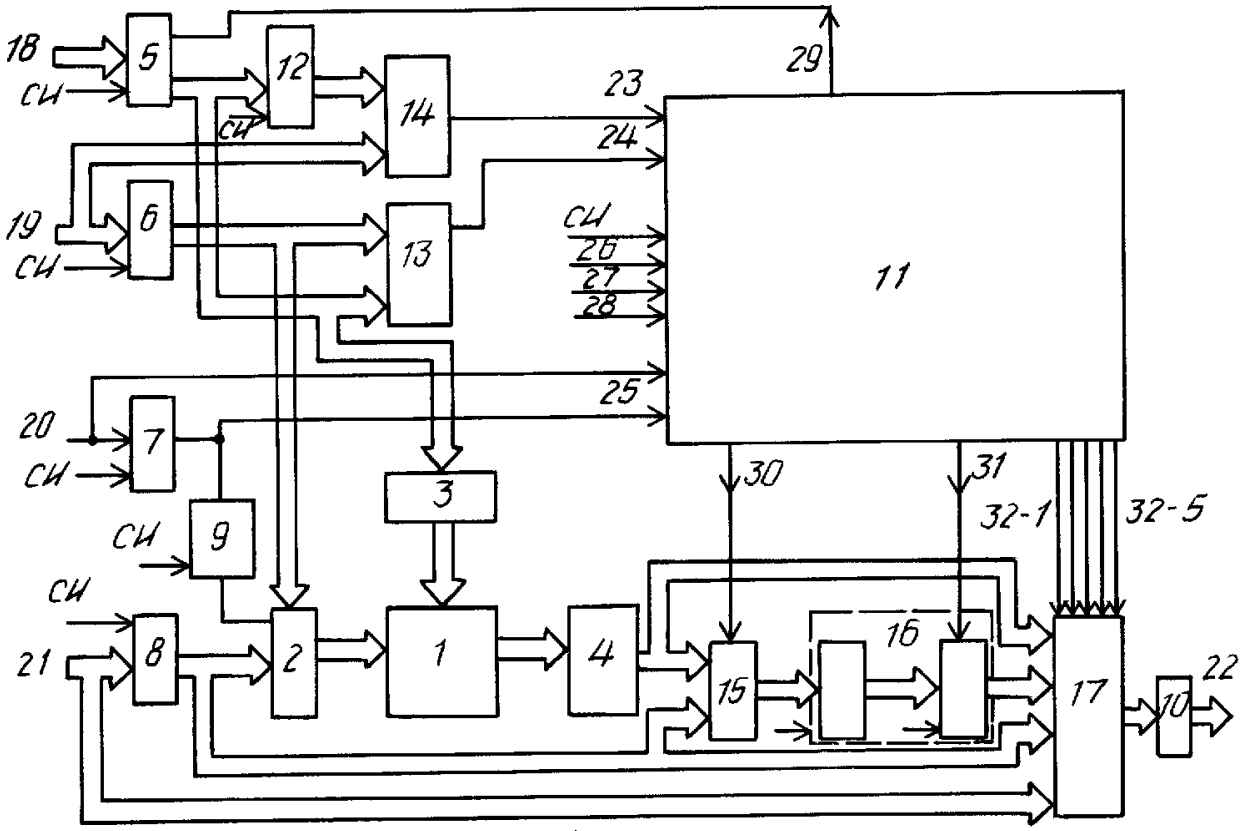
RU 2058603 C1

и третьего каналов с низким приоритетом и выбора третьего и четвертого каналов с высоким приоритетом второго коммутатора подключены к группе управляющих выходов формирователя сигналов управления, а выход второго коммутатора соединен с входом выходного усилителя.

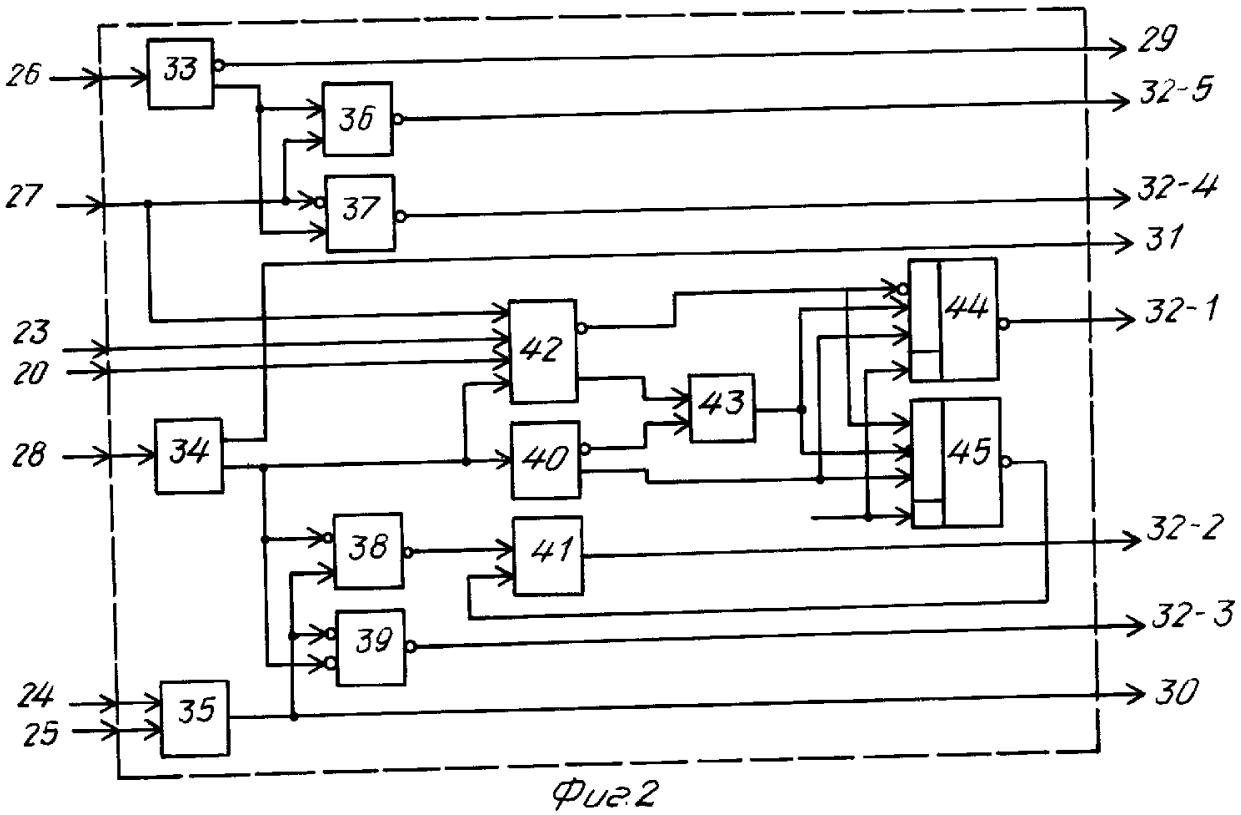
2. Устройство по п. 1, отличающееся тем, что формирователь сигналов управления содержит первый, второй и третий усилители, с первого по шестой элементы 2И, элемент 4И, элемент 2ИЛИ, первый и второй D-триггеры, причем вход первого усилителя является первым управляющим входом выбора режима формирователя сигналов управления, инверсный выход первого усилителя является первым управляющим выходом формирователя сигналов управления, прямой выход подключен к первому входу второго и к прямому входу третьего элементов 2И, второй вход второго и инверсный вход третьего элементов 2И и первый вход элемента 4И подключены к второму управляющему входу выбора режима формирователя сигналов управления, выходы второго и третьего элементов 2И являются пятым и четвертым выходами из группы управляющих выходов формирователя сигналов управления, второй и третий входы элемента 4И являются первым управляющим входом совпадения адресов и первым управляющим входом разрешения записи формирователя сигналов управления соответственно, первый и второй входы первого элемента 2И являются вторым управляющим входом совпадения адресов и вторым управляющим входом разрешения записи формирователя сигналов управления соответственно, выход первого элемента 2И подключен к второму управляющему выходу формирователя сигналов управления, к прямому входу четвертого и к первому инверсному входу пятого элементов 2И, вход второго усилителя является третьим управляющим входом выбора режима формирователя сигналов управления, его первый выход является третьим управляющим выходом формирователя сигналов управления, второй выход соединен с инверсным входом четвертого и с вторым инверсным входом пятого элементов 2И, с входом третьего усилителя и с четвертым входом элемента 4И, выход пятого элемента 2И является третьим выходом из группы управляющих выходов формирователя сигналов управления, прямой выход элемента 4И и инверсный выход третьего усилителя подключены соответственно к первому и второму входам элемента 2ИЛИ, к первым входам D-триггеров подключен инверсный выход элемента 4И, к вторым входам - выход элемента 2ИЛИ, а к третьим входам прямой выход третьего усилителя, выход первого D-триггера является первым выходом из группы управляющих выходов формирователя сигналов управления, первый вход шестого элемента 2И подключен к выходу четвертого элемента 2И, второй вход соединен с выходом второго D-триггера, а выход шестого элемента 2И является вторым выходом из группы управляющих выходов формирователя сигналов управления.

RU 2058603 C1

RU 2058603 C1



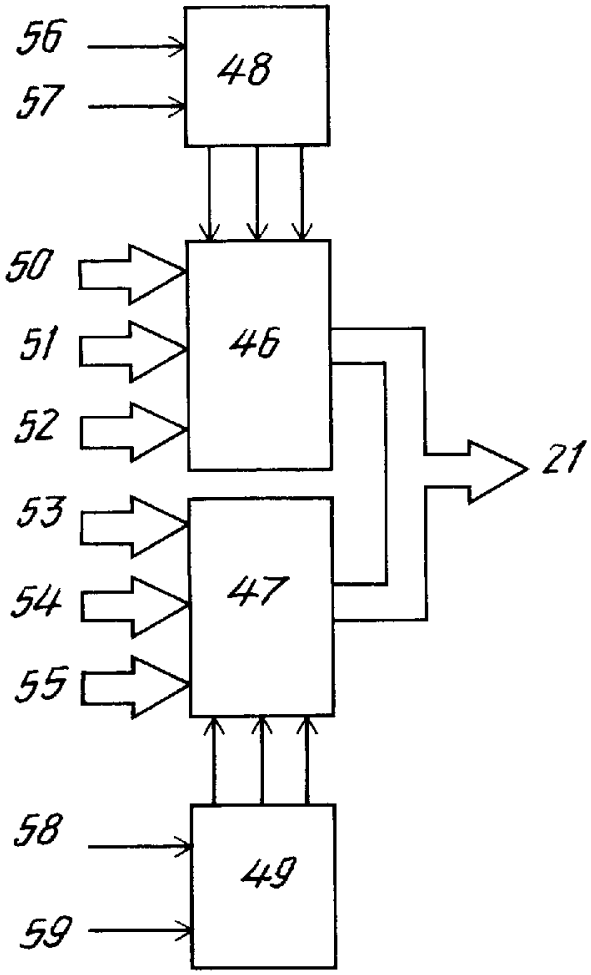
Фиг.1



Фиг.2

RU 2058603 C1

RU 2058603 C1



Фиг. 3

RU 2058603 C1

RU 2058603 C1