



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월08일  
(11) 등록번호 10-1886717  
(24) 등록일자 2018년08월02일

(51) 국제특허분류(Int. Cl.)

H03M 1/06 (2006.01)

(52) CPC특허분류

H03M 1/0607 (2013.01)

H03M 2201/639 (2013.01)

(21) 출원번호 10-2018-0042945

(22) 출원일자 2018년04월12일

심사청구일자 2018년04월12일

(56) 선행기술조사문헌

KR1020110072203 A\*

JP2013070275 A\*

KR101785051 B1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

이형민

서울특별시 성북구 종암로24가길 80, 101동 2302호 (종암동, 래미안라센트)

노덕훈

서울특별시 강동구 천중로 86-5 (천호동)

정경수

서울특별시 중구 다산로42다길 25, 302호 (신당동)

(74) 대리인

윤귀상

전체 청구항 수 : 총 10 항

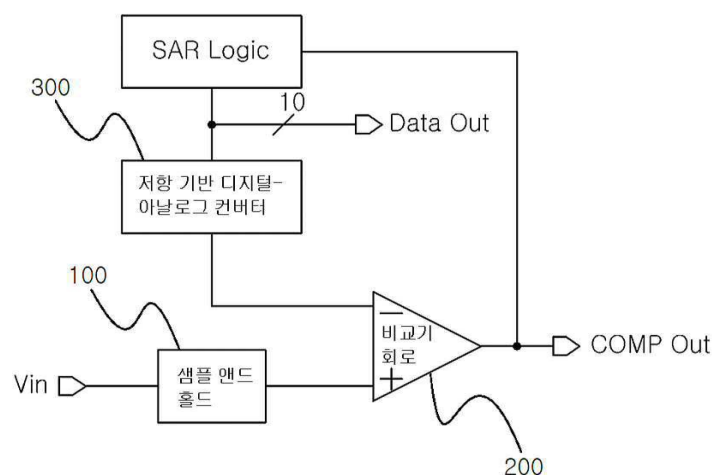
심사관 : 유선중

(54) 발명의 명칭 내방사선 아날로그-디지털 변환 회로 및 디지털 신호 보상 방법, 상기 방법을 수행하기 위한 기록 매체

(57) 요약

본 발명은 외부 영향을 받거나 반도체 소자 성능이 변할 때 이에 견고한 내방사선 아날로그-디지털 변환 회로 및 디지털 신호 보상 방법, 상기 방법을 수행하기 위한 기록 매체에 관한 것으로, 단일 이벤트 효과로 인한 영향을 줄일 수 있도록 복수 개의 스위치드 캐패시터가 샘플 페이즈 또는 홀드 페이즈에 대응하여 스위칭 동작하는 샘플 앤드 홀드; 상기 샘플 앤드 홀드가 비-반전입력단자(+단자)에 연결되며, 누적방사선량 효과에 의해 변하는 회로 성능을 보상할 수 있도록 제1 단의 비교기를 가변저항으로 모델링한 비교기 회로; 및 상기 비교기 회로의 반전입력단자(-단자)와 축차 비교 레지스터 로직 사이에 직렬로 연결되며, 외부 레퍼런스 전압을 통해 누적방사선량 효과에 의한 상기 비교기의 오프셋을 계산하며, 보상 저항을 통해 계산된 오프셋을 제거하는 저항 기반 디지털-아날로그 컨버터를 포함한다.

대표도 - 도4



이 발명을 지원한 국가연구개발사업

과제고유번호 2017016260

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 거대과학연구개발사업

연구과제명 내방사선 전반부 측정회로 설계 및 실시간 적응형 회로보상 기술 개발

기 여 율 1/1

주관기관 고려대학교

연구기간 2018.01.01 ~ 2018.12.31

---

## 명세서

## 청구범위

## 청구항 1

단일 이벤트 효과(Single Event Effect)로 인한 영향을 줄일 수 있도록 복수 개의 스위치드 캐패시터(switched-capacitor)가 샘플 페이즈(Sample Phase) 또는 홀드 페이즈(Hold Phase)에 대응하여 스위칭 동작하는 샘플 앤드 홀드;

상기 샘플 앤드 홀드가 비-반전입력단자(+단자)에 연결되며, 누적방사선량(Total Ionized Dose) 효과에 의해 변하는 회로 성능을 보상할 수 있도록 제1 단(First Stage)의 비교기를 가변저항으로 모델링한 비교기 회로; 및

상기 비교기 회로의 반전입력단자(-단자)와 축차 비교 레지스터 로직(Successive Approximation Register Logic) 사이에 직렬로 연결되며, 외부 레퍼런스(reference) 전압을 통해 누적방사선량 효과에 의한 상기 비교기의 오프셋(Offset)을 계산하며, 보상(calibration) 저항을 통해 계산된 오프셋을 제거하는 저항 기반 디지털-아날로그 컨버터를 포함하고,

상기 비교기 회로는,

제1 출력전압( $V_{out1}$ )에 직렬로 연결되며, 제1 차동입력신호( $V_{inp}$ )를 입력받는 제1 가변저항;

상기 제1 가변저항과 병렬로 연결되고, 제2 출력전압( $V_{out2}$ )에 직렬로 연결되며, 제2 차동입력신호( $V_{inn}$ )를 입력받는 제2 가변저항;

상기 제1 가변저항 및 상기 제2 가변저항에 직렬로 연결되며, 클락(CLK) 신호를 입력받는 제3 가변저항; 및

상기 제3 가변저항에 직렬로 연결되며, 누적방사선량 모니터(TID MONITOR)를 통해 게이트 전압(Gate voltage)을 제어하는 제4 가변저항을 포함하는, 내방사선 아날로그-디지털 변환 회로.

## 청구항 2

제1항에 있어서, 상기 샘플 앤드 홀드는,

입력( $V_{in}$ ) 및 출력( $V_{out}$ )과 병렬로 연결되는 제1 캐패시터;

상기 입력( $V_{in}$ ), 상기 출력( $V_{out}$ ) 및 상기 제1 캐패시터와 병렬로 연결되는 제2 캐패시터;

상기 제1 캐패시터와 접지 사이에 직렬로 연결되어 스위칭 동작하는 제1 스위치;

상기 제2 캐패시터와 접지 사이에 직렬로 연결되어 스위칭 동작하는 제2 스위치; 및

상기 입력( $V_{in}$ )과 상기 출력( $V_{out}$ ) 사이에 직렬로 연결되어 스위칭 동작하는 제3 스위치를 포함하는, 내방사선 아날로그-디지털 변환 회로.

## 청구항 3

제2항에 있어서, 상기 샘플 앤드 홀드는,

샘플 페이즈의 경우, 상기 제1 캐패시터와 상기 제2 캐패시터가 동시에 충전될 수 있도록 상기 제1 스위치, 상기 제2 스위치 및 상기 제3 스위치가 스위칭 온(ON) 되는, 내방사선 아날로그-디지털 변환 회로.

#### 청구항 4

제2항에 있어서, 상기 샘플 앤드 홀드는,

홀드 페이즈의 경우, 상기 제1 캐패시터 및 상기 제2 캐패시터가 플로팅(floating) 상태가 될 수 있도록 상기 제1 스위치 및 상기 제2 스위치가 동시에 스위칭 오프(OFF) 된 후, 상기 제3 스위치가 스위칭 오프 되는, 내방사선 아날로그-디지털 변환 회로.

#### 청구항 5

제4항에 있어서, 상기 샘플 앤드 홀드는,

홀드 페이즈의 경우, 상기 출력( $V_{out}$ )에서 발생하는 단일 이벤트 효과에 의한 영향을 보상할 수 있도록 상기 비교기 회로가 컴페어 페이즈(Compare Phase)로 동작하기 전에 상기 제2 스위치를 스위칭 온 하였다가 스위칭 오프 하는, 내방사선 아날로그-디지털 변환 회로.

#### 청구항 6

제5항에 있어서, 상기 샘플 앤드 홀드는,

홀드 페이즈의 경우, 상기 출력( $V_{out}$ )에서 발생하는 단일 이벤트 효과에 의한 영향을 추가로 보상할 수 있도록 상기 제2 스위치의 스위칭 온 및 오프 후 상기 제1 스위치를 스위칭 온 하는, 내방사선 아날로그-디지털 변환 회로.

#### 청구항 7

삭제

#### 청구항 8

제1항에 있어서, 상기 제4 가변저항은,

상기 제1 출력전압( $V_{out1}$ ) 및 상기 제2 출력전압( $V_{out2}$ ) 측에서 측정되는 저항값이 일정하게 유지될 수 있도록 누적방사선량 모니터를 통해 게이트 전압을 제어하여 상기 제1 가변저항, 상기 제2 가변저항 및 상기 제3 가변저항의 저항값을 보상하는, 내방사선 아날로그-디지털 변환 회로.

#### 청구항 9

아날로그-디지털 변환 회로의 입력에 미리 정해진 레퍼런스(reference) 전압을 인가하여 누적방사선량에 의한 샘플 앤드 홀드 및 비교기 회로의 오프셋 영향을 확인하는 단계;

확인된 오프셋 영향을 이용하여 외부에서의 후 처리(post processing) 과정을 통해 아날로그-디지털 변환 회로의 출력 디지털 신호를 일차 보상하는 단계; 및

일차 보상된 출력 디지털 신호를 저항 기반 디지털-아날로그 컨버터에서의 DAC 보상(calibration)을 통해 아날

로그-디지털 변환 회로 내부에서 이차 보상하는 단계를 포함하는, 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법.

## 청구항 10

제9항에 있어서, 상기 이차 보상하는 단계는,

누적방사선량에 의한 오프셋을 제거할 수 있도록 상기 저항 기반 디지털-아날로그 컨버터에서 추가적인 보상 저항을 통해 미리 확인된 아날로그-디지털 변환 회로의 내부 오프셋 전압만큼의 인위적인 오프셋을 만드는, 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법.

## 청구항 11

제9항 내지 제10항 중 어느 하나의 항에 따른 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법을 수행하기 위한, 컴퓨터 프로그램이 기록된 컴퓨터로 판독 가능한 기록 매체.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 내방사선 아날로그-디지털 변환 회로 및 디지털 신호 보상 방법, 상기 방법을 수행하기 위한 기록 매체에 관한 것으로, 더욱 상세하게는 외부 영향을 받거나 반도체 소자 성능이 변할 때 이를 효율적으로 보상할 수 있는 내방사선 아날로그-디지털 변환 회로 및 디지털 신호 보상 방법, 상기 방법을 수행하기 위한 기록 매체에 관한 것이다.

### 배경 기술

- [0003] 자동화 시스템은, 일반적으로 다양한 신호를 감지하여 처리하고, 그 결과에 기초하여 해당 시스템을 제어하며, 필요에 따라 관리자 등에게 해당 시스템의 상태 등을 알려주는 기능을 수행한다.
- [0004] 자동화 시스템에 사용되는 대표적인 장치로 데이터 수집 장치가 있는데, 다양한 신호(물리량) 변화를 연속적으로 측정할 수 있으며, 여러 종류의 데이터를 처리할 수 있다.
- [0005] 또한, 다수의 채널을 구비하여 여러 장치로부터 여러 종류의 데이터를 전송받을 수 있기 때문에 데이터 수집 및 처리 분야에 널리 사용되고 있다.
- [0006] 이러한 데이터 수집 장치는 검출된 아날로그(Analog) 신호를 디지털(Digital) 신호로 변환하여 처리한 후 데이터 통신라인을 통하여 다른 장치로 전송할 수 있다.
- [0007] 데이터 수집 장치에서 수집된 데이터를 다른 장치로 전송하기 위해서, 데이터 수집 장치는 수집된 아날로그 신호를 디지털 신호로 변환하여 처리한 후, 다른 장치로 송신하게 된다.
- [0008] 하지만, 아날로그 신호를 디지털 신호로 변환하거나, 디지털 신호를 아날로그 신호로 변환하는 과정에서 오차가 발생할 수 있다.
- [0009] 이러한 오차는 데이터 수집 장치 내부의 하드웨어 부품값의 편차 등에 의하여 발생되며, 데이터 수집 장치가 정확한 신호를 전달하기 위해서는 이러한 오차를 교정(Calibration)할 필요가 있다.

## 선행기술문헌

### 특허문헌

[0011] (특허문헌 0001) 한국공개특허 제10-2011-0040499호

(특허문헌 0002) 한국공개특허 제10-2017-0100410호

## 발명의 내용

### 해결하려는 과제

[0012] 본 발명의 일측면은 여러 개의 스위치드 캐패시터(switched-capacitor)를 사용해서 SEE(Single Event Effect, 단일이벤트효과)에 견고하고, 반도체 소자를 추가해서 TID(Total Ionized Dose, 누적방사선량) 효과에 의해 변하는 성능을 보상하며, 외부 레퍼런스(reference) 전압을 통해 TID 효과에 의한 오프셋(Offset)을 계산하고 이를 제거해 줄 수 있는 내방사선 아날로그-디지털 변환 회로 및 디지털 신호 보상 방법, 상기 방법을 수행하기 위한 기록 매체를 제공한다.

[0013] 본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

[0015] 본 발명의 일 실시예에 따른 내방사선 아날로그-디지털 변환 회로는, 단일 이벤트 효과(Single Event Effect)로 인한 영향을 줄일 수 있도록 복수 개의 스위치드 캐패시터(switched-capacitor)가 샘플 페이즈(Sample Phase) 또는 홀드 페이즈(Hold Phase)에 대응하여 스위칭 동작하는 샘플 앤드 홀드; 상기 샘플 앤드 홀드가 비-반전입력단자(+단자)에 연결되며, 누적방사선량(Total Ionized Dose) 효과에 의해 변하는 회로 성능을 보상할 수 있도록 제1 단(First Stage)의 비교기를 가변저항으로 모델링한 비교기 회로; 및 상기 비교기 회로의 반전입력단자(-단자)와 축차 비교 레지스터 로직(Successive Approximation Register Logic) 사이에 직렬로 연결되며, 외부 레퍼런스(reference) 전압을 통해 누적방사선량 효과에 의한 상기 비교기의 오프셋(Offset)을 계산하며, 보상(calibration) 저항을 통해 계산된 오프셋을 제거하는 저항 기반 디지털-아날로그 컨버터를 포함한다.

[0016] 일 실시예에서, 상기 샘플 앤드 홀드는, 입력( $V_{in}$ ) 및 출력( $V_{out}$ )과 병렬로 연결되는 제1 캐패시터; 상기 입력( $V_{in}$ ), 상기 출력( $V_{out}$ ) 및 상기 제1 캐패시터와 병렬로 연결되는 제2 캐패시터; 상기 제1 캐패시터와 접지 사이에 직렬로 연결되어 스위칭 동작하는 제1 스위치; 상기 제2 캐패시터와 접지 사이에 직렬로 연결되어 스위칭 동작하는 제2 스위치; 및 상기 입력( $V_{in}$ )과 상기 출력( $V_{out}$ ) 사이에 직렬로 연결되어 스위칭 동작하는 제3 스위치를 포함할 수 있다.

[0017] 일 실시예에서, 상기 샘플 앤드 홀드는, 샘플 페이즈의 경우, 상기 제1 캐패시터와 상기 제2 캐패시터가 동시에 충전될 수 있도록 상기 제1 스위치, 상기 제2 스위치 및 상기 제3 스위치가 스위칭 온(ON) 될 수 있다. 일 실시예에서, 상기 샘플 앤드 홀드는, 홀드 페이즈의 경우, 상기 제1 캐패시터 및 상기 제2 캐패시터가 플로팅(floating) 상태가 될 수 있도록 상기 제1 스위치 및 상기 제2 스위치가 동시에 스위칭 오프(OFF) 된 후, 상기 제3 스위치가 스위칭 오프 될 수 있다.

[0018] 일 실시예에서, 상기 샘플 앤드 홀드는, 홀드 페이즈의 경우, 상기 출력( $V_{out}$ )에서 발생하는 단일 이벤트 효과에 의한 영향을 보상할 수 있도록 상기 비교기 회로가 컴페어 페이즈(Compare Phase)로 동작하기 전에 상기 제2 스위치를 스위칭 온 하였다가 스위칭 오프 할 수 있다.

[0019] 일 실시예에서, 상기 샘플 앤드 홀드는, 홀드 페이즈의 경우, 상기 출력( $V_{out}$ )에서 발생하는 단일 이벤트 효과에 의한 영향을 추가로 보상할 수 있도록 상기 제2 스위치의 스위칭 온 및 오프 후 상기 제1 스위치를 스위칭 온 할 수 있다.

- [0020] 일 실시예에서, 상기 비교기 회로는, 제1 출력전압( $V_{out1}$ )에 직렬로 연결되며, 제1 차동입력신호( $V_{inp}$ )를 입력받는 제1 가변저항; 상기 제1 가변저항과 병렬로 연결되고, 제2 출력전압( $V_{out2}$ )에 직렬로 연결되며, 제2 차동입력신호( $V_{inn}$ )를 입력받는 제2 가변저항; 상기 제1 가변저항 및 상기 제2 가변저항에 직렬로 연결되며, 클럭(CLK) 신호를 입력받는 제3 가변저항; 및 상기 제3 가변저항에 직렬로 연결되며, 누적방사선량 모니터(TID MONITOR)를 통해 게이트 전압(Gate voltage)을 제어하는 제4 가변저항을 포함할 수 있다.
- [0021] 일 실시예에서, 상기 제4 가변저항은, 상기 제1 출력전압( $V_{out1}$ ) 및 상기 제2 출력전압( $V_{out2}$ ) 측에서 각각 측정되는 저항값이 일정하게 유지될 수 있도록 누적방사선량 모니터를 통해 게이트 전압을 제어하여 상기 제1 가변저항, 상기 제2 가변저항 및 상기 제3 가변저항의 저항값을 보상할 수 있다.
- [0022] 본 발명의 일 실시예에 따른 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법은, 아날로그-디지털 변환 회로의 입력에 미리 정해진 레퍼런스(reference) 전압을 인가하여 누적방사선량에 의한 샘플 앤드 홀드 및 비교기 회로의 오프셋 영향을 확인하는 단계; 확인된 오프셋 영향을 이용하여 외부에서의 후 처리(post processing) 과정을 통해 아날로그-디지털 변환 회로의 출력 디지털 신호를 일차 보상하는 단계; 및 일차 보상된 출력 디지털 신호를 저항 기반 디지털-아날로그 컨버터에서의 DAC 보상(calibration)을 통해 아날로그-디지털 변환 회로 내부에서 이차 보상하는 단계를 포함한다.
- [0023] 일 실시예에서, 상기 이차 보상하는 단계는, 누적방사선량에 의한 오프셋을 제거할 수 있도록 상기 저항 기반 디지털-아날로그 컨버터에서 추가적인 보상 저항을 통해 미리 확인된 아날로그-디지털 변환 회로의 내부 오프셋 전압만큼의 인위적인 오프셋을 만들 수 있다.
- [0024] 본 발명의 다른 실시예에 따른 컴퓨터로 판독 가능한 저장 매체에는, 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법을 수행하기 위한 컴퓨터 프로그램이 기록되어 있다.

### 발명의 효과

- [0026] 상술한 본 발명의 일측면에 따르면, 가혹한 방사선 환경에 노출되는 핵심전자부품의 내방사선(Radiation-Hardened) 특성 및 수명을 극대화할 수 있으며, 시스템 유지보수를 위한 경제적 비용을 크게 줄일 수 있고, 또한, 시스템 제어기술의 정확성을 개선하고 다양한 방사선 환경에서 보편적으로 사용 가능한 안정적인 ADC(Analog-to-Digital Converter)를 개발하도록 할 수 있다.

### 도면의 간단한 설명

- [0028] 도 1은 프론트-엔드 리드아웃 회로 구조를 설명하는 도면이다.
- 도 2는 방사선 효과에 따른 집적회로 내의 CMOS 트랜지스터의 성능 변화를 설명하는 그래프이다.
- 도 3은 ADC 구조들의 해상도와 샘플링 레이트의 관계를 설명하는 그래프이다.
- 도 4는 본 발명의 일 실시예에 따른 내방사선 아날로그-디지털 변환 회로를 설명하는 도면이다.
- 도 5 내지 도 7은 도 4에 있는 샘플 앤드 홀드를 설명하는 도면이다.
- 도 8 내지 도 11은 도 4에 있는 비교기 회로를 설명하는 도면이다.
- 도 12 및 도 13은 도 4에 있는 저항 기반 디지털-아날로그 컨버터를 설명하는 도면이다.
- 도 14는 본 발명의 일 실시예에 따른 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법을 설명하는 순서도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0029] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도

면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예와 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

- [0030] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.
- [0032] 안정적이고 효과적인 제어시스템을 위해서는, 온도, 압력 또는 전자기장 등의 센서 신호들을 측정하여 시스템을 정밀하게 제어하는 기술이 필수적이다. 도 1은 이러한 제어시스템에 있어서 아날로그 신호를 측정하여 증폭시키고, 불필요한 노이즈 신호들을 여과한 후, 디지털 신호로 변환시켜주는 역할을 하는 센서 프론트-엔드 리드아웃(front-end readout) 회로 구조를 나타낸다.
- [0033] 도 1의 ADC(Analog-to-Digital Converter, 아날로그-디지털 변환기)의 출력은 디지털 신호이기 때문에 아날로그 신호에 비해 견고한 특성을 갖는다. 따라서, 아날로그 신호를 증폭시키고 변환시켜주는 증폭기(Amplifier)와 ADC가 중요하다.
- [0034] 특히, 다양한 센서 아날로그 신호들을 정밀하게 측정하여 디지털 신호로 변환시켜주는 ADC 회로는 제어시스템의 정확도 및 신뢰도를 직접적으로 결정하는 필수적인 전자부품이다.
- [0035] ADC 회로가 다양한 외부 영향 때문에 정확한 측정 신호를 제어시스템에 전달하지 못할 경우, 시스템이 제대로 제어되지 못하는 자명한 일이며, 이는 제어시스템의 정확도 및 효율 뿐만 아니라 안정성에도 심각한 영향을 끼치게 된다.
- [0036] ADC 회로는 특성 변화에 민감한 아날로그 회로들로 구성되어 온도, 공정변화 또는 방사선 등의 외부 영향에 따라 성능이 쉽게 변할 수 있다. 특히, 방사선 영향에 의한 회로의 특성 변화가 제어시스템에서 큰 문제를 주고 있다.
- [0037] 대표적인 방사선 환경으로는 원전, 우주방사선 또는 핵융합로 등이 있으며, ADC 회로는 이러한 방사선 환경에 직접적으로 노출되는 전자부품이다.
- [0038] 이 중 핵융합로의 예를 구체적으로 살펴보면, 기계중량이 23,000톤, 최대 1억 5천만 도의 플라즈마 온도, 500MW의 발전용량을 목표로 설계되고 있는 ITER(International Thermonuclear Experimental Reactor, 국제 열핵융합 실험로)의 Tokamak 핵융합로는 JET(Joint European Torus)와 비교하여 최대 10배 이상의 중성자와 감마선을 발생하고, 최대 100배 이상의 긴 펄스길이를 가진 매우 가혹한 진단환경을 제공한다.
- [0039] ITER 핵융합로의 방사선 피폭 환경은 감마선 기준으로 약 30kGy/h의 고선량률을 가지며 누적방사선량은 100MGy 이상이다.
- [0040] 따라서, 이러한 방사선의 영향은 반도체소자의 전기적 특성을 변화시켜서 핵융합로 안에 위치하는 ADC 회로의 심각한 성능저하, 오작동 및 주요기능이 정지되는 현상을 일으킬 수 있다.
- [0041] 또한, 누적방사선 영향에 따라 성능이 저하된 전자부품들을 주기적으로 교체해주어야 하며, 이는 핵융합로 유지보수에 상당한 경제적 부담이 된다.
- [0042] 핵융합로 환경에서 발생하는 중성자 또는 감마선 등의 고에너지 입자들이 집적회로 안의 소자들에 미치는 영향은 크게 TID(Total Ionized Dose, 누적방사선량) 효과, SEE(Single Event Effect, 단일이벤트효과), 그리고 DD(displacement damage, 변위손상) 효과로 나눌 수 있으며, 이러한 방사선 효과에 따른 아날로그 회로의 성능저하의 예는 도 2에서 확인할 수 있다.
- [0043] TID는 전하 입자가 소자에 침투하여 전자-정공쌍(electron-hole pair)을 만들고, 이로 인해 추가 정공들이 게이트 산화막에 갇히고, 누적되어 반도체소자의 문턱전압값(threshold voltage)을 변화시키는데, 점진적으로 문턱전압값을 변화시키기 때문에 디지털 회로에는 영향이 적지만 아날로그 회로에는 많은 영향을 준다.
- [0044] SEE는 중성자 등의 고에너지 입자들이 순간적으로 집적회로 소자와 충돌하여 전압 변화를 발생시키기 때문에 바이어스 전압 또는 전류가 흐르는 아날로그 회로에는 영향이 적지만 그렇지 않은 디지털 회로에는 많은 영향을

준다.

- [0045] DD는 고에너지 입자들에 의해 반도체소자의 실리콘 원자들이 결정격자로부터 이탈함으로써 발생하고 누설전류를 증가시키는데, CMOS(complementary metal-oxide semiconductor)에는 영향이 적고 BJT(Bipolar Junction Transistor)나 다이오드에 많은 영향을 준다.
- [0046] 따라서, TID, SEE, 및 DD 효과 모두에 내방사선 특성을 가지는 ADC 회로의 설계기법 및 성능 저하에 따른 보상 기술에 대한 연구가 필수적이다.
- [0047] ADC의 종류에는 Flash ADC, Pipelined ADC, SAR ADC, 및 Sigma-Delta ADC 등이 존재하며, 목표로 하는 해상도(resolution)와 샘플링 레이트(sampling rate)에 따라 도 3과 같이 나눌 수 있다.
- [0048] 핵융합로 진단제어시스템에 사용되는 자기장센서를 예로 고려할 때, ADC의 성능은 10bit의 해상도와 20kS/s의 샘플링 레이트를 요구한다.
- [0049] 따라서, 최대 해상도가 6bit 정도인 Flash ADC는 사용할 수 없으며, Flash ADC의 경우 다수의 비교기를 사용하기 때문에 TID에 의해서 성능이 크게 저하될 수 있다.
- [0050] Pipelined ADC의 경우 해상도는 만족하지만 Flash ADC와 마찬가지로 다수의 연산증폭기 및 비교기를 사용하기 때문에 TID에 의해서 성능이 크게 저하될 수 있다.
- [0051] Flash ADC와 Pipelined ADC의 경우 SEE에 취약한 디지털 회로가 적게 사용되어 SEE에 견고한 특성을 갖지만, TID에 의해서 성능이 크게 저하될 수 있기 때문에 ITER 핵융합로와 같은 가혹한 진단환경에 사용하기에 적합하지 않다.
- [0052] 축차 비교 레지스터(Successive approximation register, SAR) ADC의 경우 10bit 이상의 해상도 구현이 가능하고, SAR ADC를 구현하기 위한 서브-블록(sub-block) 회로를 디지털 회로로 구현 할 수 있기 때문에 Flash ADC와 Pipelined ADC보다 TID에 견고한 특성을 갖는다.
- [0053] 또한, 여전히 Flip-Flop과 같은 디지털 회로가 사용되기 때문에 Flash ADC와 Pipelined ADC보다 SEE에는 취약하지만, 디지털 회로를 삼 중복하여 그 출력을 비교하여 2개 이상의 같은 출력을 선택하는 TMR(triple modular redundancy) 방법을 통해 문제를 해결할 수 있다.
- [0054] Sigma-Delta ADC의 경우 높은 해상도를 갖지만 다수의 연산증폭기가 사용되기 때문에 TID에 의해서 성능이 저하될 수 있고, 또한 SAR ADC보다 더 많은 스위치드 캐패시터(switched-capacitor)와 Flip-Flop을 사용하기 때문에 SEE에 더 취약하다.

## 표 1

| ADC             | Flash                        | Pipeline                 | SAR | Sigma-Delta                 |
|-----------------|------------------------------|--------------------------|-----|-----------------------------|
| Resolution      | —                            | +                        | +   | ++                          |
| TID<br>Tolerant | --<br>(multipel comparators) | --<br>(multipel op-amps) | +   | —<br>(a few op-amps)        |
| SEE<br>Tolerant | ++<br>(No flip-flop)         | ++<br>(No flip-flop)     | +   | —<br>(more cap & flip-flop) |

- [0055]
- [0056] 표 1은 다양한 ADC 구조들의 해상도(resolution), TID 저항력(tolerance), SEE 저항력(tolerance)에 대해 특징 분석한 표이다.
- [0057] 종합해보면, SAR ADC가 일반적인 센서 제어시스템에서 필요로 하는 10bit의 해상도와 20kS/s의 샘플링 레이트 성능을 만족시킬 수 있고, TID와 SEE에 모두 견고하도록 설계할 수 있음을 알 수 있다. 하지만 여전히 TID와 SEE에 영향을 받아 성능이 저하될 수 있다.

- [0058] 따라서, 본 발명은 SAR ADC의 내방사선 성능을 더욱 개선할 수 있는 회로 설계 기술을 제공하고자 한다.
- [0060] 도 4는 본 발명의 일 실시예에 따른 내방사선 아날로그-디지털 변환 회로 의 개략적인 구성이 도시된 도면이다.
- [0061] 도 4를 참조하면, 내방사선 아날로그-디지털 변환 회로는, 샘플 앤드 홀드(100), 비교기 회로(200) 및 저항 기반 디지털-아날로그 컨버터(300)를 포함하며, SAR ADC의 회로구조를 보여준다.
- [0062] 본 발명은, 이진 탐색을 계속해서 수행한다. SAR logic에서 최상위 비트(most significant bit, MSB)는 1로, 나머지는 0으로 초기화 시켜서 저항 기반 디지털-아날로그 컨버터(300)를 통해 비교기 회로(200)의 (-)에 들어
- $$\left(\frac{1}{2}\right) V_{\text{ref}}$$
- 가는 전압을 기준전압의 절반인 로 만들어준다.
- $$V_{\text{in}} \quad \left(\frac{1}{2}\right) V_{\text{ref}}$$
- [0063] 입력( )으로 들어온 전압이 보다 큰 경우 MSB를 1로 유지시키고, 작은 경우 0으로 바꿔준다. MSB
- $$V_{\text{in}}$$
- 를 결정함과 동시에 다음 비트를 1로 만들어서 다시 입력전압( )과 비교하고 해당 비트를 구하게 된다.
- [0064] 이 과정을 통해 최소 유효 비트(least significant bit, LSB)까지 구하게 되고 LSB까지 구하게 되면 모든 비트를 출력한다.
- [0065] 본 발명은, TID와 SEE에 좀 더 견고하도록 설계하기 위해 도 4에서 도시된 대로 Sample and Hold(S/H)인 샘플 앤드 홀드(100), Comparator(COMP)인 비교기 회로(200) 및 Digital-to-Analog Converter(R2R DAC) 회로인 저항 기반 디지털-아날로그 컨버터(300)에 후술하는 내용을 적용하였다.
- $$V_{\text{in}}$$
- [0066] 샘플 앤드 홀드(100)는, 입력( )과 비교기 회로(200)의 비-반전입력단자(+단자) 사이에 직렬로 연결되며, 단일 이벤트 효과(Single Event Effect)로 인한 영향을 줄일 수 있도록 복수 개의 스위치드 캐패시터(switched-capacitor)가 샘플 페이즈(Sample Phase) 또는 홀드 페이즈(Hold Phase)에 대응하여 스위칭 동작한다.
- [0067] 즉, 샘플 앤드 홀드(100)는, 여러 개의 스위치드 캐패시터를 사용해서 SEE에 견고하도록 설계된다.
- [0068] 비교기 회로(200)는, 샘플 앤드 홀드(100)가 비-반전입력단자(+단자)에 연결되며, 누적방사선량(Total Ionized Dose) 효과에 의해 변하는 회로 성능을 보상할 수 있도록 제1 단(First Stage)의 비교기를 가변저항으로 모델링한다.
- [0069] 즉, 비교기 회로(200)는, 반도체 소자를 추가해서 TID(Total Ionized Dose, 누적방사선량) 효과에 의해 변하는 성능을 보상해줄 수 있다.
- [0070] 저항 기반 디지털-아날로그 컨버터(300)는, 비교기 회로(200)의 반전입력단자(-단자)와 축차 비교 레지스터 로직(Successive Approximation Register Logic) 사이에 직렬로 연결되며, 외부 레퍼런스(reference) 전압을 통해 누적방사선량 효과에 의한 비교기의 오프셋(Offset)을 계산하며, 보상(calibration) 저항을 통해 계산된 오프셋을 제거한다.
- [0071] 즉, 저항 기반 디지털-아날로그 컨버터(300)는, 외부 레퍼런스 전압을 통해 TID 효과에 의한 비교기 회로(200)의 오프셋을 계산하고 이를 제거해 줄 수 있다.
- [0072] 내방사선 특성을 가지는 전자부품 및 진단제어 시스템에 관한 연구는 주로 공정개발 및 차폐기술 개발을 통해 발전해 왔으며, 회로설계 방식을 통한 내방사선 연구는 미약한 실정이다. 내방사선 특성을 갖는 전자부품에 대한 기존 기술의 경우에도 주로 차폐, 공정에 관한 것이며, 일부 회로설계에 대한 기술은 디지털 로직회로에 대한 것이고, 아날로그 회로설계에 대한 기술은 거의 없다.
- [0073] 기존에는 아날로그 회로, 특히 ADC에 대한 기술이 존재하지만, 타임 인터리브드 방법을 사용한 ADC로써 발명한 ADC 회로설계 기술과는 차별성이 있다.
- [0074] 타임 인터리브드 방법의 경우 ADC 회로 내부를 방사선에 견고하도록 설계하는 것이 아니라, 병렬로 동작되는 복수의 ADC 유닛을 사용하여 평균적으로 방사선에 견고하도록 하는 방법이기 때문에, ADC 회로 내부를 방사선에

견고하도록 설계하는 본 발명 방식과는 차이가 존재한다.

[0075] 또한, 기존의 기술들은 주로 원전, 우주용 부품, x-ray 등에 사용되는 전자부품에 대한 내방사선에 관한 것들이다(방사선 1MGy 이하). 하지만, 핵융합로처럼 훨씬 가혹한 방사선 환경에 노출될 수 있기 때문에(방사선 100MGy 이상), 이러한 가혹한 방사선 환경에 최적화된 내방사선 회로설계 기술에 대한 연구가 필요하다.

[0076] 이를 위해, 본 발명은 가혹한 방사선 환경에서도 견고한 ADC 회로설계 기술을 제공하며, 이를 통해 방사선 환경에서의 진단제어 정확성을 개선하며, 또한 핵심 전자부품의 동작 안정성 및 수명 향상을 가능하게 한다.

[0077] 본 발명이 제공하는 ADC는 일반적인 센서 측정에 적합한 10bit 이상의 고해상도와 수 kS/s에서 수십 MS/s의 샘플링 레이트 성능을 만족시킬 수 있는 SAR ADC 방식의 내방사선 회로설계 기술이다.

[0078] 이를 통해 가혹한 방사선 환경에 노출되는 핵심전자부품의 내방사선 특성 및 수명을 극대화할 수 있으며 시스템 유지보수를 위한 경제적 비용을 크게 줄일 수 있다.

[0079] 또한, 시스템 제어기술의 정확성을 개선하고 다양한 방사선 환경에서 보편적으로 사용 가능한 안정적인 ADC를 개발하여 국내 진단제어장치 및 핵심 전자부품 관련 기술력 확보에 큰 기여를 할 것이다.

[0081] 도 5 내지 도 7은 도 4에 있는 샘플 앤드 홀드를 설명하는 도면이다.

[0082] 도 5a를 참조하면, 샘플 앤드 홀드(100)는, 제1 캐패시터(110), 제2 캐패시터(120), 제1 스위치(130), 제2 스위치(140) 및 제3 스위치(150)를 포함한다.

[0083] 샘플 앤드 홀드(100)는, 본 발명에 따른 회로 내에서 유일하게 스위치드 캐패시터(캐패시터를 스위치 동작으로 구동)를 사용하는 회로이며, SEE에 의해서 캐패시터에 저장된 전압값이 임의로 변할 수 있다.

[0084] 임의의 변함을 줄여주기 위해 큰 캐패시터를 사용하여 SEE에 의한 전압값 변화를 최소화할 수도 있지만, 이는 회로면적을 증가시켜 전자부품 단가를 인상시키는 요인이 된다.

[0085] 이에 따라, 본 발명에서는, 기존의 캐패시터를 하나만 사용하는 방식 대신, 이 캐패시터를 두 개로 나누어(제1 캐패시터(110) 및 제2 캐패시터(120), 전체 캐패시터 총합은 동일) 각각의 동작 타이밍을 조절함으로써 SEE에 견고한 S/H 회로를 구현하였다.

[0086] 제1 캐패시터(110)는, 입력( $V_{in}$ ), 출력( $V_{out}$ ) 및 제2 캐패시터(120)와 병렬로 연결되고, 기생 캐패시턴스  $C_{P1}$  이 형성되며, 제1 스위치(130)에 의해 접지와 스위칭 온(ON) 또는 스위칭 오프(OFF) 된다.

[0087] 제2 캐패시터(120)는, 입력( $V_{in}$ ), 출력( $V_{out}$ ) 및 제1 캐패시터(110)와 병렬로 연결되고, 기생 캐패시턴스  $C_{P2}$  가 형성되며, 제2 스위치(140)에 의해 접지와 스위칭 온 또는 스위칭 오프 된다.

[0088] 제1 스위치(130)는, 제1 캐패시터(110)와 접지 사이에 직렬로 연결되어 스위칭 동작한다.

[0089] 제2 스위치(140)는, 제2 캐패시터(120)와 접지 사이에 직렬로 연결되어 스위칭 동작한다.

[0090] 제3 스위치(150)는, 입력( $V_{in}$ )과 출력( $V_{out}$ ) 사이에 직렬로 연결되어 스위칭 동작하여, 회로로 유입되는 전류 또는 전압을 제어한다.

[0091] 도 5b는, 샘플 앤드 홀드(100)의 클락(Clock)파형을 나타낸 도면이다.

[0092] 도 5b를 참조하면, 샘플 앤드 홀드(100)는, 샘플 페이즈의 경우, 제1 캐패시터(110)와 제2 캐패시터(120)가 동시에 충전될 수 있도록 제1 스위치(130), 제2 스위치(140) 및 제3 스위치(150)가 스위칭 온(ON) 될 수 있다.

[0093] 또한, 샘플 앤드 홀드(100)는, 홀드 페이즈의 경우, 제1 캐패시터(110) 및 제2 캐패시터(120)가 플로팅(floating) 상태가 될 수 있도록 제1 스위치(130) 및 제2 스위치(140)가 동시에 스위칭 오프(OFF) 된 후, 제3 스위치(150)가 스위칭 오프 될 수 있다.

[0094] 이때, 샘플 앤드 홀드(100)는, 홀드 페이즈의 경우, 출력( $V_{out}$ )에서 발생하는 단일 이벤트 효과에 의한 영향을 보상할 수 있도록 비교기 회로(200)가 컴페어 페이즈(Compare Phase)로 동작하기 전에 제2 스위치(140)를 스위칭 온 하였다가 스위칭 오프 된다.

[0095] 그리고, 샘플 앤드 홀드(100)는, 홀드 페이즈의 경우, 출력( $V_{out}$ )에서 발생하는 단일 이벤트 효과에 의한 영향을 추가로 보상할 수 있도록 제2 스위치(140)의 스위칭 온 및 오프 후, 제1 스위치(130)를 스위칭 온 한다.

[0096] 비교기 회로(200)가 비교 클럭(Compare clock)을 온(ON) 시켜주면 아주 짧은 시간동안 비교(Compare)를 수행한다. 따라서 비교 클럭(Compare clock)이 온(ON) 된 뒤 제1 스위치(130)도 꺼주게 되고 이 과정을 반복한다.

[0097] 도 6은 위에서 본 발명에 의한 2개의 캐패시터를 사용했을 때의 결과를 보여주고, 도 7은 기존의 1개의 캐패시터를 사용했을 때의 결과를 보여준다.

[0098] SEE에 의해 출력노드에 순간적인 전류가 흐르고 이때의 전하가 기생 캐패시턴스  $C_{PL}$ 에 충전된다.

[0099] 본 발명에 의하면, SEE에 의해 증가한 출력전압 값을 제2 캐패시터(120)가 제2 스위치(140) 동안 연결될 때 일차적으로 낮춰주고, 그 다음 제1 캐패시터(110)가 제1 스위치(130) 동안 연결될 때 추가로 더 낮춰주게 된다.

[0100] 하지만, 2개의 캐패시터를 더한 값과 동일한 1개의 캐패시터를 사용하게 되면 2개의 캐패시터를 사용할 때보다 출력전압 값의 차이가 증가한다.

[0101] 결과적으로, 1개의 캐패시터를 사용하는 것 보다 이를 반씩 나눈 2개의 캐패시터를 본 발명에서와 같이 동작 타이밍을 조절하여 사용하는 것이 SEE에 더 견고함을 확인 할 수 있다.

[0102] 제1 캐패시터(110) 및 제2 캐패시터(120) 아래 부분에 존재하는 기생 캐패시턴스의 크기가 클 수록 본 발명에 의한 회로의 효과가 감소할 수 있지만, 일반적인 집적회로 캐패시터의 기생 캐패시턴스(원 캐패시터의 최대 10~20%) 값을 고려할 때 여전히 도 7의 기존 회로를 사용했을 때보다 본 발명에 의한 경우가 SEE에 견고함을 확인할 수 있다.

[0104] 도 8 내지 도 11은 도 4에 있는 비교기 회로를 설명하는 도면이다.

[0105] 도 8을 참조하면, 비교기 회로(200)는 제1 단(First Stage)과 제2 단(Second Stage)의 2개의 단으로 구성되어 있는데, 제1 단의 VDD와 연결된 PMOS(P-channel metal oxide semiconductor)의 경우 클락이 High가 되면서 오프(OFF)되는데, 이를 고려하여 제1 단을 저항으로 모델링 하면 도 9와 같이 나타낼 수 있다.

[0106] 클락이 High일 때 트라이오드(triode) 영역에서 동작하는 NMOS(N-channel metal oxide semiconductor) 트랜지스터들은 저항으로 나타낼 수 있으며, TID에 의해 각 NMOS의 특성이 변하는 것은 도 9의 각각의 가변저항으로

모델링할 수 있으며, 도 9의  $C_{pout1}$  과  $C_{pout2}$  는  $V_{out1}$  및  $V_{out2}$  각각의 노드에 존재하는 모든 기생 캐패시턴스를 하나로 표현한 것이다.

[0107] 도 9를 참조하면, 비교기 회로(200)의 제1 단(First Stage)은, 제1 가변저항(210), 제2 가변저항(220), 제3 가변저항(230) 및 제4 가변저항(240)을 포함한다.

[0108] 본 발명에 의한 비교기 회로(200)는, TID에 민감한 아날로그 비교기(Comparator) 대신 도 8과 같이 클락에 동기화된 디지털 비교기를 사용하여 TID에 견고한 특성을 얻을 수 있다.

[0109] 제1 가변저항(210)은, 제1 출력전압( $V_{out1}$ )에 직렬로 연결되고, 제2 가변저항(220)에 병렬로 연결되며, 기생 캐패시턴스  $C_{pout1}$  을 형성하며, 제1 차동입력신호( $V_{inp}$ )를 입력받는다.

- [0110] 제2 가변저항(220)은, 제1 가변저항(210)과 병렬로 연결되고, 제2 출력전압( $V_{out2}$ )에 직렬로 연결되며, 기생 캐패시턴스  $C_{pout2}$  를 형성하며, 제2 차동입력신호( $V_{inn}$ )를 입력받는다.
- [0111] 제3 가변저항(230)은, 제1 가변저항(210) 및 제2 가변저항(220)과 제4 가변저항(240)의 사이에 직렬로 연결되며, 클락(CLK) 신호를 입력받는다.
- [0112] 제4 가변저항(240)은, 제3 가변저항(230)에 직렬로 연결되며, 누적방사선량 모니터(TID MONITOR)를 통해 게이트 전압(Gate voltage)을 제어한다.
- [0113] 상술한 바와 같은 구성을 가지는 제4 가변저항(240)은, 제1 출력전압( $V_{out1}$ ) 및 제2 출력전압( $V_{out2}$ ) 측에서 측정되는 저항값이 일정하게 유지될 수 있도록 누적방사선량 모니터를 통해 게이트 전압을 제어하여 제1 가변저항(210), 제2 가변저항(220) 및 제3 가변저항(230)의 저항값을 보상한다.
- [0114] 제1 단의 출력전압( $V_{out1}, V_{out2}$ )이 클락 신호에 따라 변하는 과도 응답(transient response)은 출력부분에서의 저항과 캐패시터 값에 의해 결정되는데, 저항이 TID에 의해 변하기 때문에 출력전압 역시 영향을 받게 되고, 이는 비교기 회로(200)의 성능을 변화시킨다.
- [0115] 따라서, 가장 밑에 부분의 Calibration MOSFET(즉, 제4 가변저항(240))을 통해 변한 만큼의 저항값을 보상해줌으로써 비교기 회로(200)의 성능을 TID에 견고하게 할 수 있다.
- [0116] 가장 밑에 부분의 제4 가변저항(240)은 누적방사선량 모니터(TID MONITOR)를 통해 게이트 전압(Gate voltage)을 조절함으로써 저항값을 보상해줄 수 있다.
- [0117] 도 10은 제1 단 출력부분의 저항값들을 나타낸다.
- [0118] 도 11은 TID 효과가 없을 때와(좌측) 있을 때(중간)의 제1 단의 출력전압값을 나타내는데, 제1 차동입력신호( $V_{inp}$ )가 제2 차동입력신호( $V_{inn}$ )보다 높은 전압이 들어왔을 때의 파형이다.
- [0119] TID 효과가 있을 때  $V_{out1}$  및  $V_{out2}$ 에서의 저항값이 작아져서(즉, NMOS 트랜지스터의  $V_{th}$ 가 작아져서) 전압이 더 빨리 줄어들게 된다. 이로 인해 제2 단의 입력 MOSFET이 온(ON)되는 시간차가 줄어들게 되고, 비교기 회로(200)의 성능에 부정적인 영향을 준다.
- [0120] 하지만, 제4 가변저항(240)을 사용하여 제1 단 출력 부분의 저항값을 일정하게 해줌으로써 TID에 견고한 성능을 얻게 될 수 있다.
- [0121] 도 11에서 보이는  $V_{out1}$  과  $V_{out2}$ 의 차이를 키우기 위해 처음부터 큰 저항값을 가지는 입력 트랜지스터를 사용하거나, 큰 기생 캐패시턴스  $C_{pout1}$  과  $C_{pout2}$ 를 가지도록 설계할 수도 있지만, 이는 다음과 같은 문제점을 야기할 수 있다.
- [0122]  $V_{out1}$  과  $V_{out2}$ 의 전압이 너무 천천히 줄어드는 경우에는 이로 인해 제2 단의 입력 MOSFET이 온(ON)되는 시간차가 늘어나지만, 비교기 회로(200)가 두 입력을 비교하여 출력을 만드는 데까지 걸리는 시간이 증가하여 속도가 느려지게 된다.
- [0123] 그리고, 비교기 회로(200)의 동작이 빨라야 샘플 앤드 홀드(100)의 제1 스위치(130)를 빨리 꺼줌으로써 제1 캐패시터(110)가 SEE 영향을 덜 받게 할 수 있는데, 속도가 느려질 경우 제1 스위치(130)를 더 늦게 꺼줘야 하기

때문에 제1 캐패시터(110)가 SEE 영향을 더 받게 된다.

- [0124] 또한, 속도가 너무 느려질 경우 컴페어 페이즈(Compare phase)동안에 비교(comparison) 동작을 수행하지 못하는 문제가 발생할 수 있다.
- [0125] 따라서, 제1 단 출력 부분의 저항값이 너무 크지도 작지도 않은 일정 범위 내의 최적의 값을 유지시켜 주어야 비교기 회로(200)가 TID에 견고한 성능을 가질 수 있는데, 본 발명의 보상 모스펫(Calibration MOSFET), 즉 제4 가변저항(240)을 사용하여 이를 가능하게 할 수 있다.
- [0127] 도 12 및 도 13은 도 4에 있는 저항 기반 디지털-아날로그 컨버터를 설명하는 도면이다.
- [0128] 도 12 및 도 13을 참조하면, 저항 기반 디지털-아날로그 컨버터(300)는, 일반적인 SAR ADC에 많이 사용되는 캐패시터(Capacitor) 타입의 DAC 구조를 저항(Resistor) 타입의 DAC 구조로 변경한 것이다.
- [0129] 캐패시터 타입의 DAC을 사용할 경우, 스위치드-캐패시터 동작으로 인해 SEE에 취약할 수 있다.
- [0130] 따라서 도 12와 같은 저항 타입의 DAC으로 변경해줌으로써, 각 노드의 전압들이 static 전류에 의해 잡히도록 하여 SEE에 견고한 특성을 얻을 수 있다,
- [0131] 또한, 보상(Calibration) 저항을 사용해서 TID에 의해 변하는 비교기 회로(200)의 오프셋(Offset) 전압을 보상해줄 수 있다.
- [0132] 입력에 미리 정해진 레퍼런스(reference) 전압을 가해줘서 TID에 의한 샘플 앤드 홀드(100) 및 비교기 회로(200)의 오프셋 영향을 도 13의 COMP Out을 통해 확인한다.
- [0133] 이렇게 알아낸 오프셋 정보는 ADC의 출력 디지털신호를 외부에서 후 처리(post processing) 하는 과정을 통해 보상할 수 있으며, 추가로 DAC 보상(calibration)을 통해 ADC 내부에서 보상을 해 줄 수도 있다.
- [0134] 도 12의 저항 기반 DAC에서 추가적인 보상(Calibration) 저항을 통해 미리 확인된 ADC 내부 오프셋 전압만큼의 인위적인 오프셋을 만들어준다.
- [0135] 결과적으로, 비교기 회로(200) 입력에 저항 기반 디지털-아날로그 컨버터(300)에서 만들어진 동일한 인위적인 오프셋 전압이 가해지기 때문에 TID에 의한 오프셋을 제거해 줄 수 있다.
- [0136] TID에 의한 오프셋을 제거할 수 있도록 보상 저항의 스위치를 조절한 뒤 다시 레퍼런스(reference) 전압이 아닌 원래의 입력전압을 가해주어 원래의 동작을 수행한다. TID에 의한 오프셋은 시간에 따라 변하기 때문에 이러한 보상(Calibration)은 ADC 동작 사이에 정기적으로 수행해 줄 수 있다.
- [0138] 도 14는 본 발명의 일 실시예에 따른 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법을 설명하는 순서도이다.
- [0139] 도 14를 참조하면, 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법은, 아날로그-디지털 변환 회로의 입력에 미리 정해진 레퍼런스(reference) 전압을 인가하여 누적방사선량에 의한 샘플 앤드 홀드(100) 및 비교기 회로(200)의 오프셋 영향을 확인한다(S100).
- [0140] 상술한 단계 S100에서는, 입력에 미리 정해진 레퍼런스(reference) 전압을 가해줘서 TID에 의한 샘플 앤드 홀드(100) 및 비교기 회로(200)의 오프셋 영향을 도 13의 COMP Out을 통해 확인할 수 있다.
- [0141] 상술한 단계 S100에서 확인된 오프셋 영향을 이용하여 외부에서의 후 처리(post processing) 과정을 통해 아날로그-디지털 변환 회로의 출력 디지털 신호를 일차 보상한다(S200).
- [0142] 상술한 단계 S200에서는, 상술한 단계 S100에서 알아낸 오프셋 정보는 ADC의 출력 디지털신호를 외부에서 후 처리(post processing) 하는 과정을 통해 일차 보상할 수 있다.
- [0143] 상술한 단계 S200에서 일차 보상된 출력 디지털 신호를 저항 기반 디지털-아날로그 컨버터(300)에서의 DAC 보상(calibration)을 통해 아날로그-디지털 변환 회로 내부에서 이차 보상한다(S300).
- [0144] 상술한 단계 S300에 의하면, 상술한 단계 S200에서 일차 보상된 출력 디지털 신호를 추가인 DAC 보상을 통해 ADC 내부에서 이차 보상할 수 있다.
- [0145] 일 실시예에서, 이차 보상하는 단계(S300)는, 누적방사선량에 의한 오프셋을 제거할 수 있도록 저항 기반 디지털-아날로그 컨버터(300)에서 추가적인 보상 저항을 통해 미리 확인된 아날로그-디지털 변환 회로의 내부 오프

셋 전압만큼의 인위적인 오프셋을 만들 수 있다.

- [0146] 상술한 바와 같은 단계를 가지는 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법은, 비교기 회로(200)의 입력에 저항 기반 디지털-아날로그 컨버터(300)에서 만들어진 동일한 인위적인 오프셋 전압이 가해지기 때문에 TID에 의한 오프셋을 제거해 줄 수 있다.
- [0147] TID에 의한 오프셋을 제거할 수 있도록 보상 저항의 스위치를 조절한 뒤 다시 레퍼런스(reference) 전압이 아닌 원래의 입력전압을 가해주어 원래의 동작을 수행하게 된다.
- [0148] TID에 의한 오프셋은 시간에 따라 변하기 때문에 이러한 보상(Calibration)은 ADC 동작 사이에 정기적으로 수행해 줄 수 있다.
- [0150] 상술한 바와 같은 내방사선 아날로그-디지털 변환 회로의 디지털 신호 보상 방법은, 애플리케이션으로 구현되거나 다양한 컴퓨터 구성요소를 통하여 수행될 수 있는 프로그램 명령어의 형태로 구현되어 컴퓨터 판독 가능한 기록 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능한 기록 매체는 프로그램 명령어, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다.
- [0151] 상기 컴퓨터 판독 가능한 기록 매체에 기록되는 프로그램 명령어는 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 분야의 당업자에게 공지되어 사용 가능한 것일 수도 있다.
- [0152] 컴퓨터 판독 가능한 기록 매체의 예에는, 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CDROM, DVD 와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 ROM, RAM, 플래시 메모리 등과 같은 프로그램 명령어를 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다.
- [0153] 프로그램 명령어의 예에는, 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드도 포함된다. 상기 하드웨어 장치는 본 발명에 따른 처리를 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0155] 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 산업상 이용가능성

- [0157] 본 발명에 따르면, 외부 영향을 받거나 반도체 소자 성능이 변할 때 이에 견고한 아날로그-디지털 변환회로(Analog-to-Digital Converter, ADC) 설계 기술에 적용될 수 있다.
- [0158] 이에 따라, 방사선이 존재하는 환경에서 안정적이고 효과적인 제어시스템을 필요로 하는 원전시장, 우주시장, 핵융합로시장에 적용될 수 있으며, 그 외에도 외부 영향을 받거나 반도체 소자 성능이 변하는 환경에서 안정적이고 효과적인 제어시스템을 위한 핵심 기술로 사용될 수 있다.

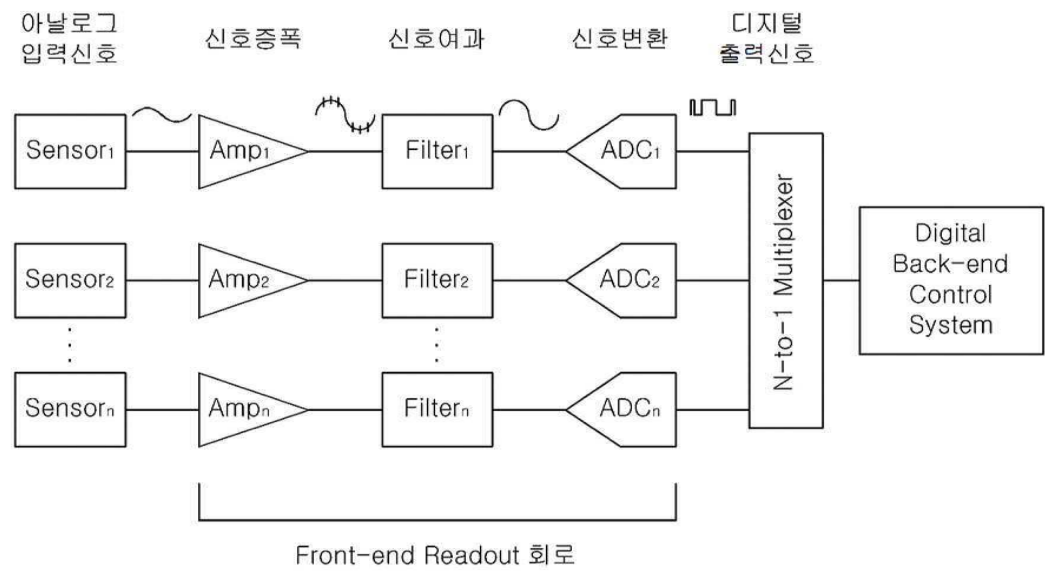
### 부호의 설명

- [0160] 100: 샘플 앤드 홀드
- 110: 제1 캐패시터
- 120: 제2 캐패시터
- 130: 제1 스위치
- 140: 제2 스위치
- 150: 제3 스위치
- 200: 비교기 회로
- 210: 제1 가변저항
- 220: 제2 가변저항
- 230: 제3 가변저항

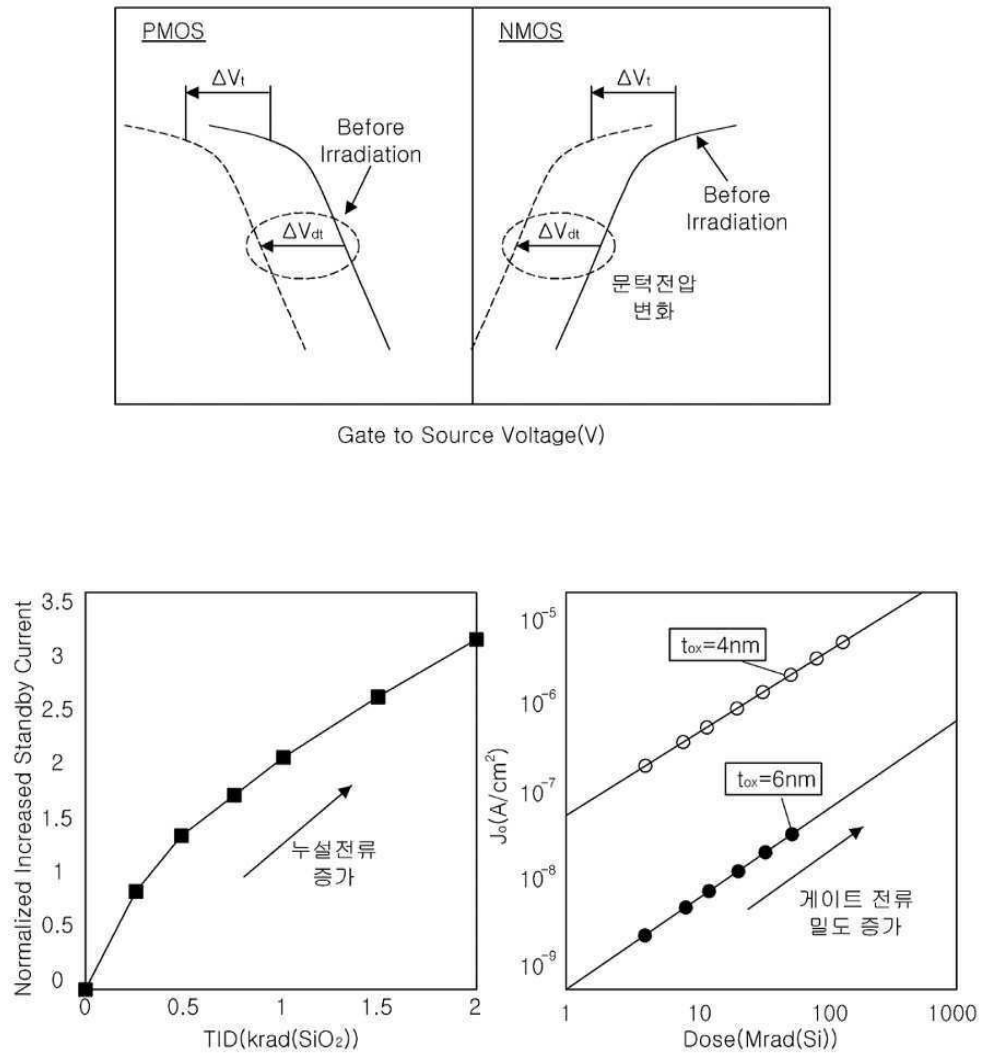
240: 제4 가변저항  
300: 저항 기반 디지털-아날로그 컨버터

도면

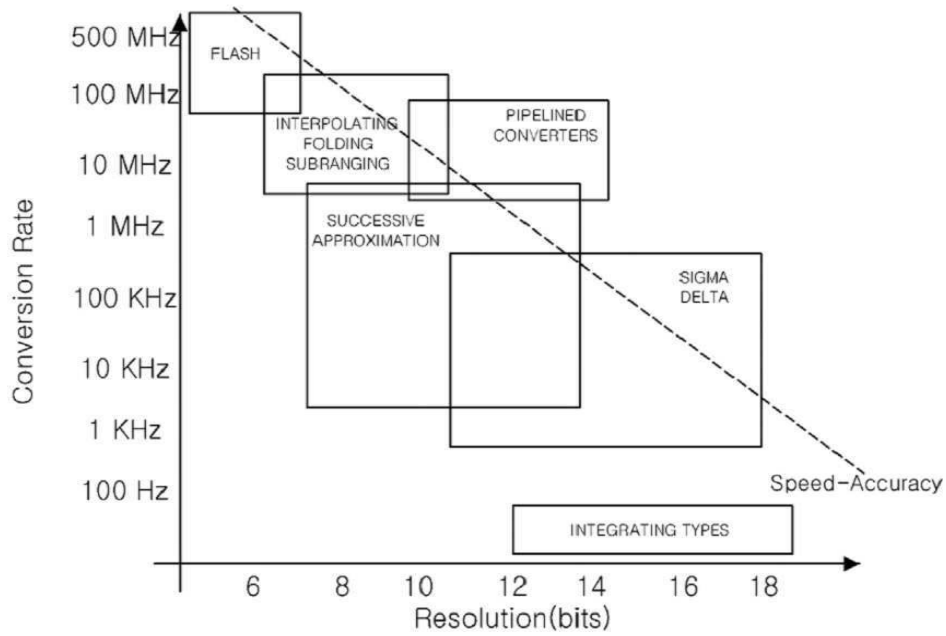
도면1



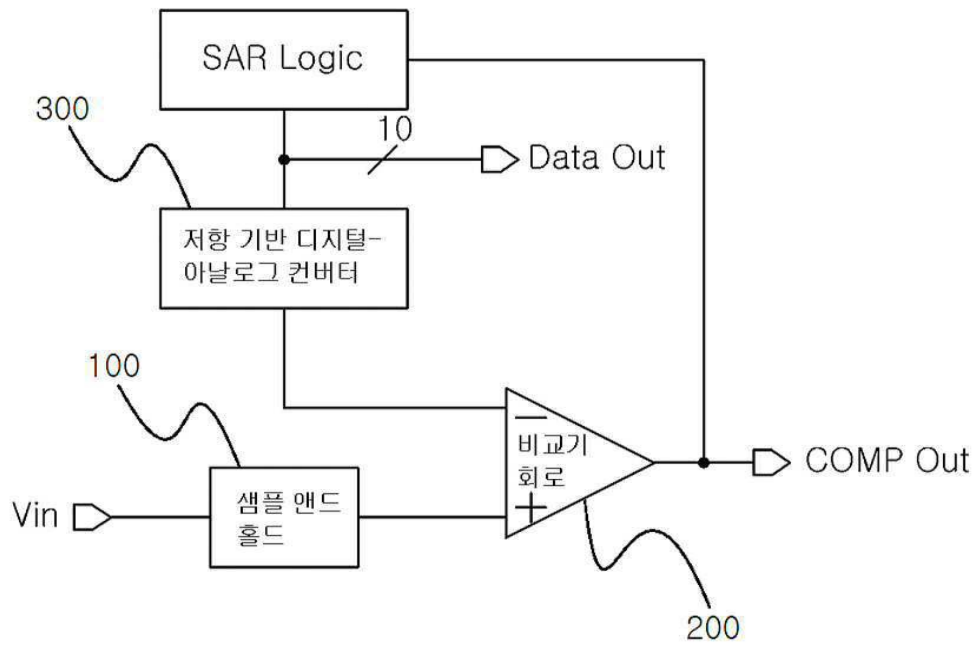
도면2



도면3

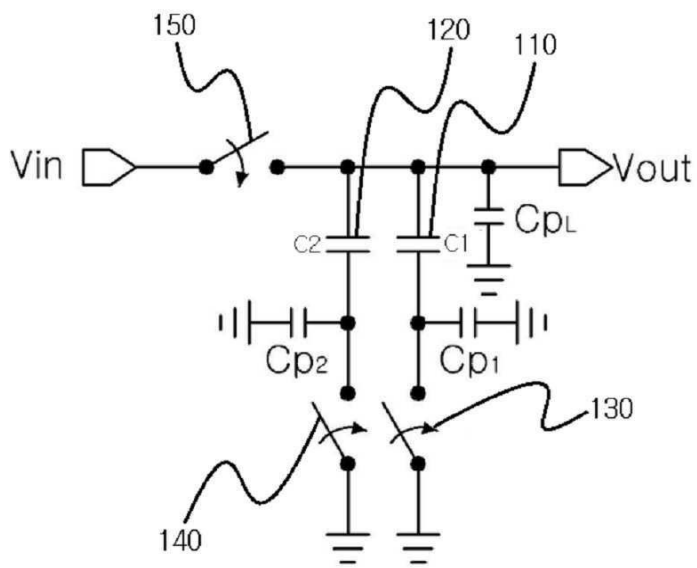


도면4

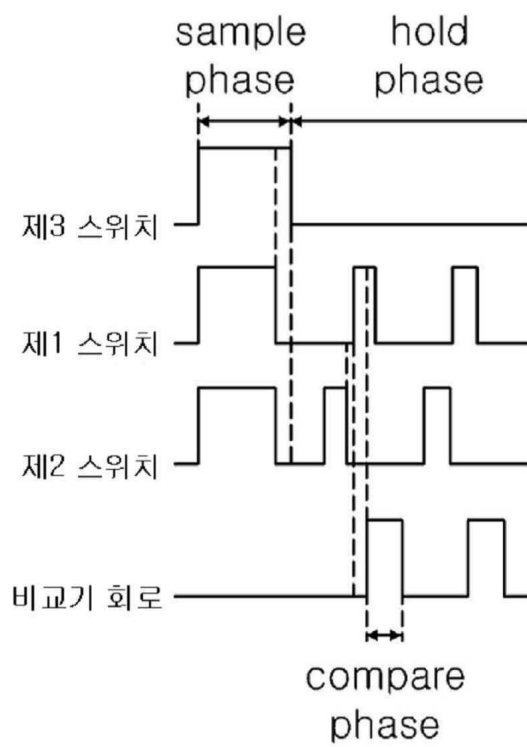


도면5a

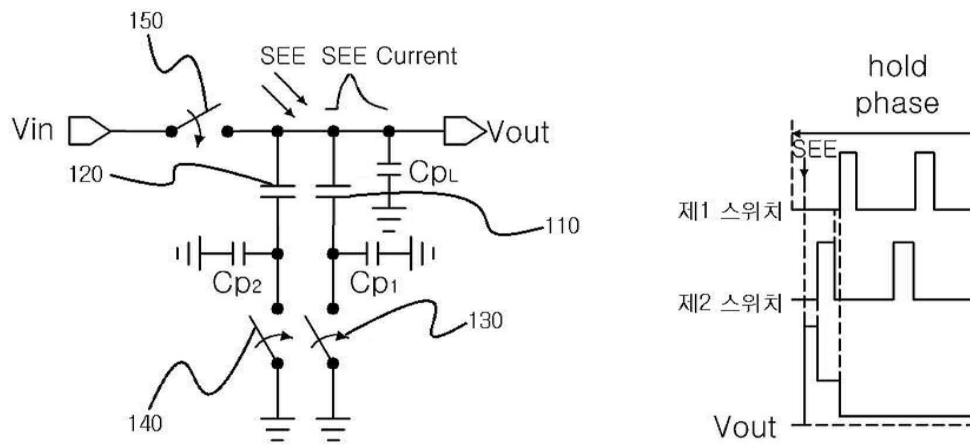
100



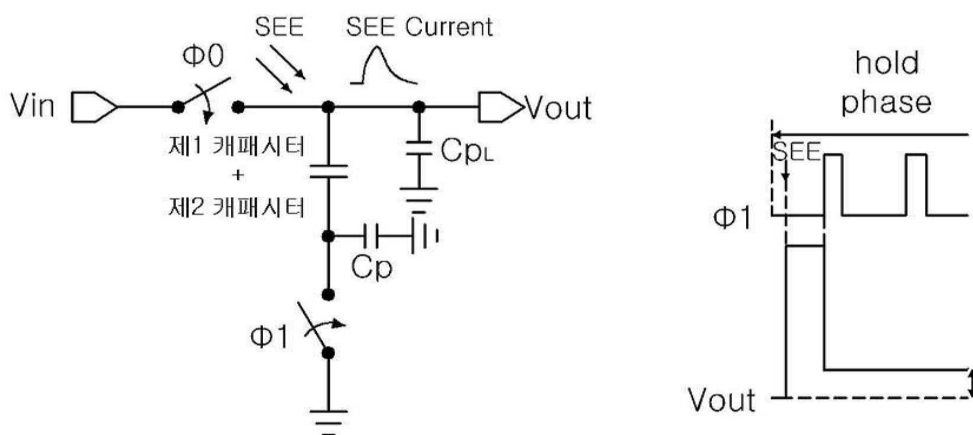
도면5b



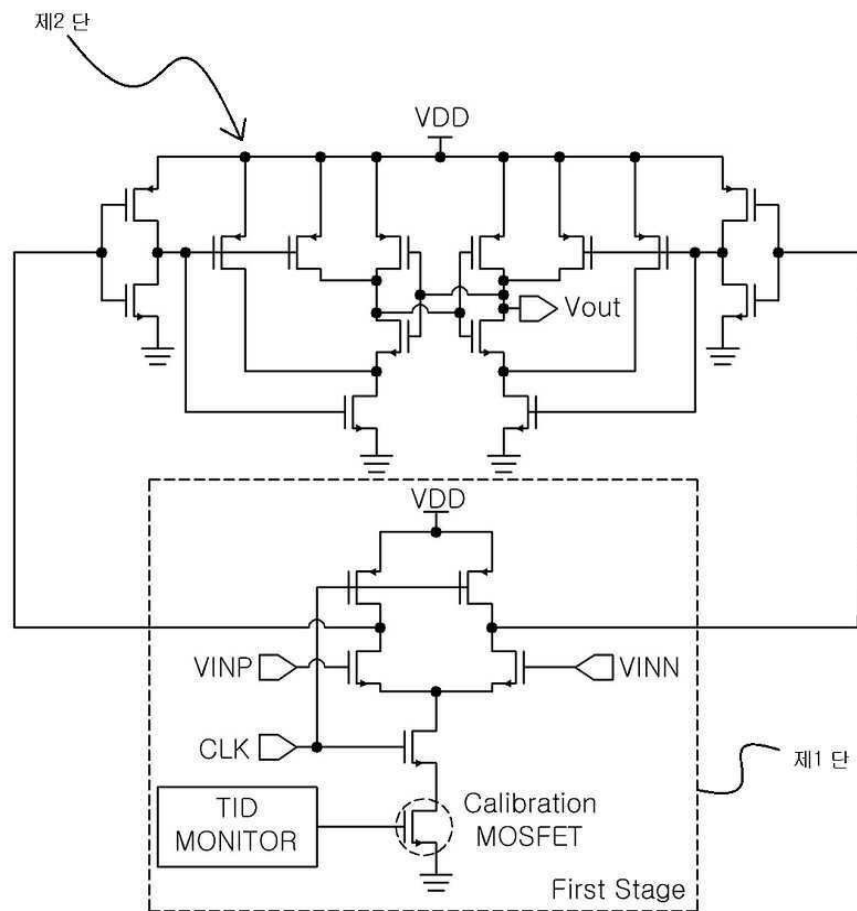
도면6



도면7

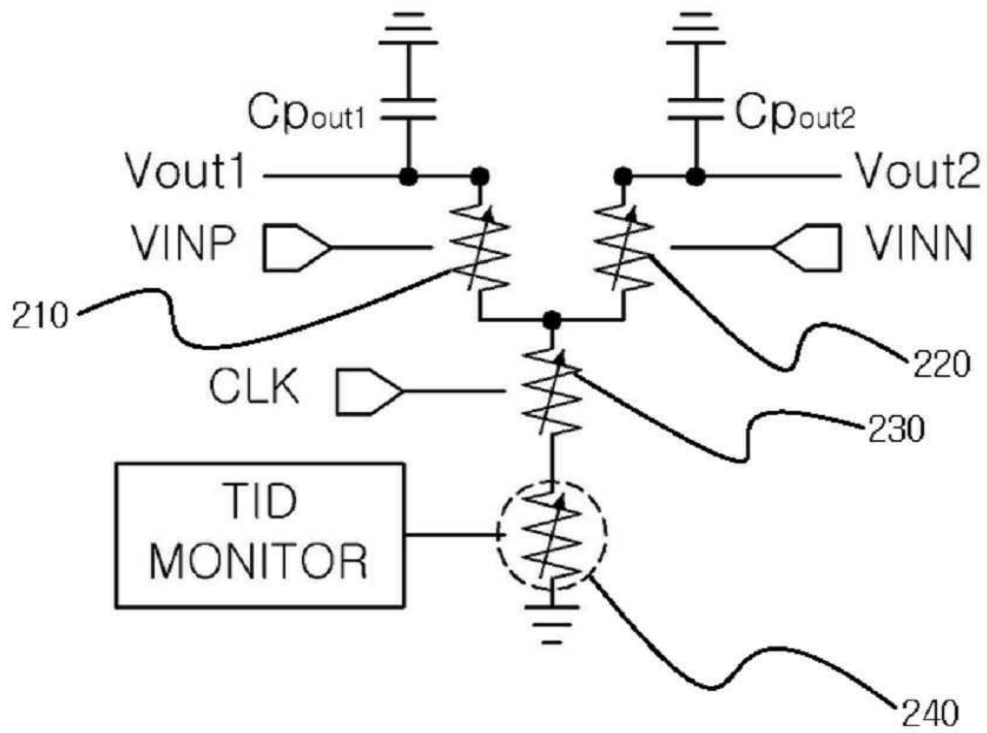


도면8

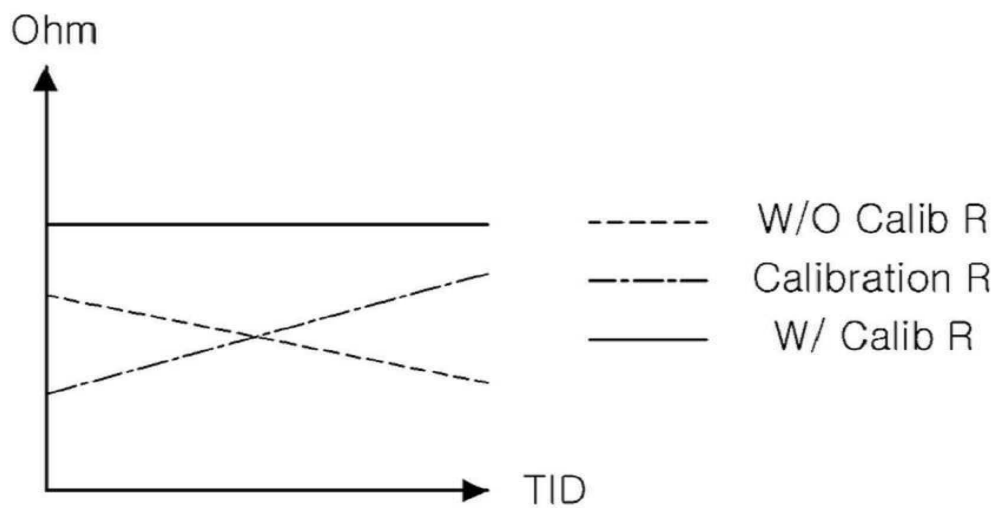


도면9

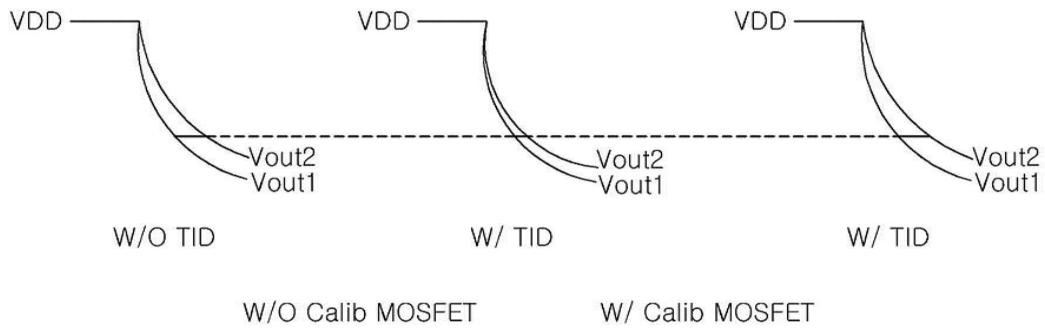
200



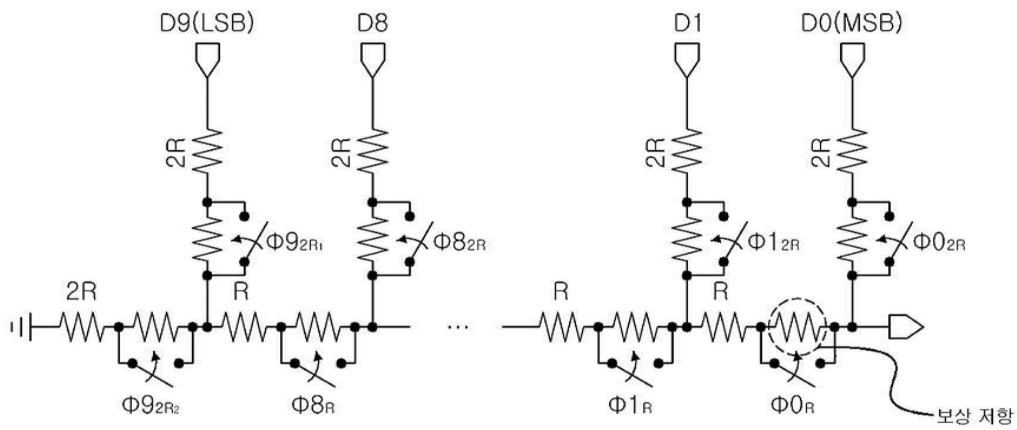
도면10



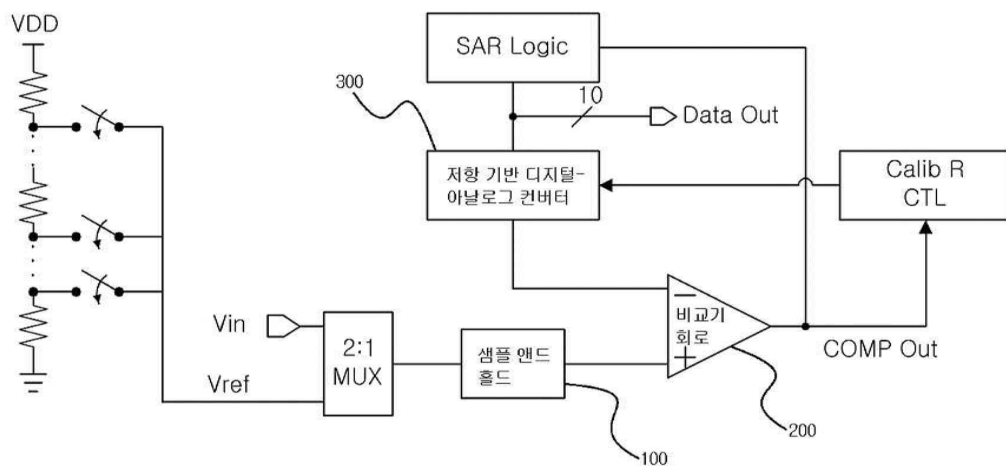
도면11



도면12



도면13



도면14

