(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0054128
(43) 공개일자 2011년05월25일

(51) Int. Cl.
*H03M 1/66* (2006.01)
(21) 출원번호 10-2009-0110659
(22) 출원일자 2009년11월17일
심사청구일자 2009년11월17일

(71) 출원인
**인하대학교 산학협력단**
인천 남구 용현동 253 인하대학교
(72) 발명자
**윤광섭**
인천광역시 남구 용현3동 인하대학교 전자공학과 하이테크관 810호
**황정진**
인천광역시 남구 용현3동 인하대학교 하이테크관 810호
(74) 대리인
**유완식, 이은철**

전체 청구항 수 : 총 10 항

# (54) 주파수 감지회로를 이용한 전류 구동 방식의 디지털-아날로그 변환기

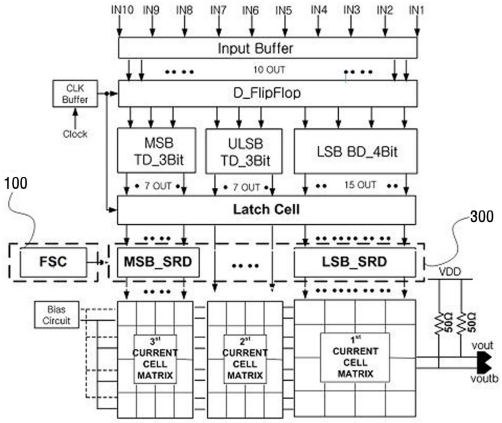
## (57) 요 약

본 발명은 주파수 감지회로를 이용한 전류 구동 방식의 디지털-아날로그 변환기에 대해 개시한다.

본 발명에 따른 디지털-아날로그 변환기는, 주파수 감지회로 및 스위치 구동회로부를 포함하되, 상기 주파수 감지회로는 상기 주파수 감지회로를 이용한 디지털 아날로그 변환기에 입력된 입력 신호의 주파수와 별도로 입력된 기준 신호의 주파수를 비교하여 고속 또는 저속인지에 따라 상기 스위치 구동회로부를 구동하도록 제어신호를 송신한다. 이에 따라, 상기 스위치 구동회로부는, 상기 주파수 감지회로로부터 수신한 제어신호에 따라 제1 차동 스위치 구동회로 및 제2 차동 스위치 구동회로를 독립적으로 구동하는 것을 특징으로 한다.

따라서, 본 발명에 의하면, Clock-Feedthrough 현상 및 Charge-Injection 현상을 억제함으로써 출력단에서의 글리치 에너지를 감소시킴과 더불어, 딜레이(Delay)에 의한 신호의 스큐(Skew) 현상을 줄임으로써, 디지털-아날로그 변환기의 동적 성능을 향상시키는 효과가 있다.

*대 표 도* - 도2



이 발명을 지원한 국가연구개발사업
과제고유번호 C1090-0902-0019
부처명 정보통신부
연구관리전문기관
연구사업명 대학 IT연구센터 육성지원
연구과제명 초광대역(UWB) 무선전송 및 시스템 응용기술
기여율
주관기관 인하대학교 산학협력단
연구기간 2009년 01월 01일 ~ 2009년 12월 31일

## *특허청구의 범위*

**청구항 1**

주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기에 있어서, 주파수 감지회로(100) 및 상기 주파수 감지회로(100)의 제어에 따라 상기 주파수 감지회로를 이용한 디지털 아날로그 변환기 내 차동 스위치를 구동하는 스위치 구동회로부(300)를 포함하되,

상기 주파수 감지회로(100)는,

상기 주파수 감지회로를 이용한 디지털 아날로그 변환기에 입력된 입력 신호의 주파수와 별도로 입력된 기준 신호의 주파수를 비교할 때 상기 입력 신호의 주파수가 고속 또는 저속인지에 따라 상기 스위치 구동회로부(300)를 구동하도록 제어신호를 송신하는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 2**

제 1 항에 있어서,

상기 주파수 감지회로(100)는,

상기 입력 신호 및 상기 별도로 입력된 기준 신호를 DC 기준 신호와 비교하여 펄스 신호로 출력하는 비교부(110);

상기 비교부(110)에서 출력된 펄스 신호의 주파수 및 위상을 검출하고, 이에 기반하여 상기 입력 신호의 주파수가 상기 별도로 입력된 기준 신호의 주파수에 비해 고속인지 저속인지 여부에 따른 결과를 제1 버퍼부(150)로 출력하는 검출부(130);

상기 검출부(130)에서 출력된 신호를 입력받아 전하 펌프회로(170)로 출력하는 제1 버퍼부(150);

상기 제1 버퍼부(150)에서 출력된 신호에 의해 커패시터(C1)에 전하를 충전 또는 방전하는 전하 펌프회로(170); 및

상기 전하 펌프회로(170) 내 커패시터(C1)에 축적된 전하에 의해 상기 스위치 구동회로부(300)를 제어하는 제어신호를 상기 스위치 구동회로부(300)로 출력하는 제2 버퍼부(190);를 포함하는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 3**

제 2 항에 있어서,

상기 비교부(110)는,

상기 입력 신호와 상기 DC 기준 신호를 비교하여 제1 펄스 신호로 출력하는 제1 비교기; 및 상기 별도로 입력된 기준 신호와 상기 DC 기준 신호를 비교하여 제2 펄스 신호로 출력하는 제2 비교기; 를 포함하는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 4**

제 2 항에 있어서,

상기 제2 버퍼부(190)는, 2단 버퍼 및 3단 버퍼를 포함하되,

상기 2단 버퍼는, 상기 스위치 구동회로부(300)에 대해 제1 차동 스위치 구동회로(MSB_SRD)를 제어하는 제어신호를 출력하고,

상기 3단 버퍼는, 상기 스위치 구동회로부(300)에 대해 제2 차동 스위치 구동회로(LSB_SRD)를 제어하는 제어신호를 출력하는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 5**

제 1 항에 있어서,

상기 스위치 구동회로부(300)는,

상기 주파수 감지회로(100)로부터 수신한 제어신호에 따라 제1 차동 스위치 구동회로(MSB_SRD) 및 제2 차동 스위치 구동회로(LSB_SRD)를 독립적으로 구동하는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 6**

제 5 항에 있어서,

상기 스위치 구동회로부(300)는,

상기 주파수 감지회로(100)에서 상기 입력 신호의 주파수와 상기 별도로 입력된 기준 신호의 주파수를 비교한 결과 상기 입력 신호의 주파수가 저속인 경우, 상기 주파수 감지회로(100)의 제어신호에 따라 MSB(Most Significant Bit)에 연결된 제1 차동 스위치 구동회로(MSB_SRD)를 구동하고,

상기 주파수 감지회로(100)에서 상기 입력 신호의 주파수와 상기 별도로 입력된 기준 신호의 주파수를 비교한 결과 상기 입력 신호의 주파수가 고속인 경우, 상기 주파수 감지회로(100)의 제어신호에 따라 LSB(Least Significant Bit)에 연결된 제2 차동 스위치 구동회로(LSB_SRD)를 구동하는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 7**

제 6 항에 있어서,

상기 주파수 감지회로(100)에서 상기 입력 신호의 주파수와 상기 별도로 입력된 기준 신호의 주파수를 비교한 결과 상기 입력 신호의 주파수가 고속인 경우,

상기 입력 신호의 주파수는 20㎒ 이상 25㎒ 이하의 값을 가지며, 상기 별도로 입력된 기준 신호의 주파수는 0 이상 20㎒ 미만의 값을 갖는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 8**

제 6 항에 있어서,

상기 주파수 감지회로(100)에서 상기 입력 신호의 주파수와 상기 별도로 입력된 기준 신호의 주파수를 비교한 결과 상기 입력 신호의 주파수가 저속인 경우,

상기 입력 신호의 주파수는 0 이상 20㎒ 미만의 값을 가지며, 상기 별도로 입력된 기준 신호의 주파수는 20㎒ 이상의 값을 갖는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 9**

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 별도로 입력된 기준 신호 및 상기 입력 신호는 사인파(Sine Wave)인 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

**청구항 10**

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 DC 기준 신호는 상기 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기의 전원전압(VDD)을 2로 나눈 값을 전압 레벨로 갖는 것을 특징으로 하는 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기.

## *명 세 서*

### *발명의 상세한 설명*

## 기 술 분 야

[0001] 본 발명은 주파수 감지회로를 이용한 전류 구동 방식의 디지털-아날로그 변환기에 관한 것이다. 보다 상세하게는, 주파수 감지회로를 이용해 입력 신호의 주파수가 기준 신호의 주파수보다 고속인지 저속인지 여부를 검토하여, 저속인 경우 상기 주파수 감지회로의 제어에 따라 MSB(Most Significant Bit)에 연결된 제1 차동 스위치 구동회로만 구동하고, 고속인 경우 상기 주파수 감지회로의 제어에 따라 LSB(Least Significant Bit)에 연결된 제2 차동 스위치 구동회로만 구동하는 것을 특징으로 한다.

## 배 경 기 술

[0002] 종래의 디지털 아날로그 변환기는 글리치 억제회로를 통해 NMOS 전류원 단을 사용하는 경우 차동 스위치의 교차점(Crossing point)을 위로 이동시키고, PMOS 전류원 단을 사용하는 경우 차동 스위치의 교차점(Crossing point)을 아래로 이동시킴으로써, 차동 스위치가 동시에 오프(Off)되는 것을 방지하여 출력단에서의 글리치 에너지를 감소시키는 방식을 사용한바 있다.

[0003] 그러나, 기존의 글리치 억제 회로는 단순히 교차점을 조절하거나, 전이 시간을 단축하는 방법으로써, 제어신호의 전이가 전원 전압 크기에 해당하는 전 범위에서 이루어지므로 단순히 차동 제어신호의 교차점을 조절하는 방법으로는 글리치 에너지를 줄이는데 한계가 있었다.

[0004] 또한, 종래의 디지털 아날로그 변환기는 전체 전류원 단에 차동 스위치 구동회로를 연결하여 차동 스위치 단으로 들어가는 디지털 신호의 스윙을 감소시킴으로써 스위칭 잡음을 줄이는 방식을 사용하기도 하였으나, 차동 스위치 구동회로는 일반적으로 회로가 복잡함에 따라 소자 레이아웃 시 많은 어려움이 있었으며, 모든 전류원단에 연결되어 사용되었기 때문에 혼합구조에서는 각 구간별로 서로 다른 딜레이(Delay)가 발생하게 되어 오히려 디지털-아날로그 변환기의 성능을 저하시키는 결과를 초래하는 한계가 있었다.

[0005] 예를 들어, 도 1과 같이 전체 전류원 단에서 차동 스위치 구동회로를 사용하게 되면 스위칭 잡음은 줄어들게 되나, 트랜지스터(Transistor)의 게이트에 인가되는 전압이 감소함에 따라 지연시간이 증가하기 때문에 차동 스위치의 동작 속도가 느려지게 되는 현상을 초래한다.

[0006] 이러한 현상은 트랜지스터의 사이즈가 클수록 디지털-아날로그 변환기의 동작에 큰 영향을 주게 되고, 따라서 입력 신호의 주파수가 고속일 경우 트랜지스터(Transistor)의 게이트에 인가되는 전압이 감소하게 되면 MSB(Most Significant Bit)에서는 더욱 큰 딜레이(delay)가 발생하기 때문에 스위칭 잡음이 줄어든 효과보다 디지털 신호의 스큐(Skew)에 따른 에러가 더 크게 작용하여 전체 디지털-아날로그 변환기의 성능을 떨어뜨리는 결과를 가져온다.

[0007] 따라서, 본 발명은 상기 전술한 종래의 디지털-아날로그 변환기의 문제점을 해결한 디지털-아날로그 변환기에 대해 이하와 같이 개시한다.

## 발명의 내용

### 해결 하고자하는 과제

[0008] 본 발명의 목적은, 주파수 감지회로를 이용해 기준 신호의 주파수에 비해 입력신호의 주파수가 고속인지 저속인지 여부를 판단하고, 판단한 결과에 따라 LSB(Least Significant Bit)와 MSB(Most Significant Bit)에 각각 연결된 차동 스위치 구동회로를 선택적으로 사용함으로써 스위칭 잡음을 줄이는 데에 있다.

[0009] 본 발명의 또 다른 목적은, 주파수 감지회로의 제어에 따라 LSB에 연결된 차동 스위치 구동회로 및 MSB에 연결된 차동 스위치 구동회로를 독립적으로 구동하여, 차동 스위치에 인가되는 디지털 신호의 스윙 폭을 감소시킴으로써 Clock-Feedthrough 현상 및 Charge-Injection 현상에 의한 글리치 발생을 억제함에 따라, 디지털-아날로그 변환기의 동적 성능을 향상시키는 데 있다.

### 과제 해결수단

[0010] 본 발명에 따른 주파수 감지회로를 이용한 디지털-아날로그 변환기는, 주파수 감지회로 및 상기 주파수 감지회로의 제어에 따라 상기 주파수 감지회로를 이용한 디지털 아날로그 변환기 내 차동 스위치를 구동하는 스위치 구동회로부를 포함하되, 상기 주파수 감지회로는, 상기 주파수 감지회로를 이용한 디지털 아날로그 변환기에 입력된 입력 신호의 주파수와 별도로 입력된 기준 신호의 주파수를 비교할 때 상기 입력 신호의 주파수가 고속 또

는 저속인지에 따라 상기 스위치 구동회로부를 구동하도록 제어신호를 송신한다.

[0011] 이때, 상기 주파수 감지회로는, 상기 입력 신호 및 상기 별도로 입력된 기준 신호를 DC 기준 신호와 비교하여 펄스 신호로 출력하는 비교부; 상기 비교부에서 출력된 펄스 신호의 주파수 및 위상을 검출하고, 이에 기반하여 상기 입력 신호의 주파수가 상기 별도로 입력된 기준 신호의 주파수에 비해 고속인지 저속인지 여부에 따른 결과를 제1 버퍼부로 출력하는 검출부; 상기 검출부에서 출력된 신호를 입력받아 전하 펌프회로로 출력하는 제1 버퍼부; 상기 제1 버퍼부에서 출력된 신호에 의해 커패시터에 전하를 충전 또는 방전하는 전하 펌프회로; 및 상기 전하 펌프회로 내 커패시터에 축적된 전하에 의해 상기 스위치 구동회로부를 제어하는 제어신호를 상기 스위치 구동회로부로 출력하는 제2 버퍼부; 를 포함하는 것이 바람직하다.

[0012] 이때, 상기 스위치 구동회로부는, 상기 주파수 감지회로에서 상기 입력 신호의 주파수와 상기 별도로 입력된 기준 신호의 주파수를 비교한 결과 상기 입력 신호의 주파수가 저속인 경우, 상기 주파수 감지회로의 제어신호에 따라 MSB(Most Significant Bit)에 연결된 제1 차동 스위치 구동회로를 구동하고, 상기 주파수 감지회로에서 상기 입력 신호의 주파수와 상기 별도로 입력된 기준 신호의 주파수를 비교한 결과 상기 입력 신호의 주파수가 고속인 경우, 상기 주파수 감지회로의 제어신호에 따라 LSB(Least Significant Bit)에 연결된 제2 차동 스위치 구동회로를 구동하는 것이 바람직하다.

## 효 과

[0013] 본 발명에 따르면, 주파수 감지회로를 이용해 입력 신호의 주파수 및 별도로 입력되는 기준 신호의 주파수를 비교함에 기반하여 각각 차동 스위치 구동회로를 독립적으로 구동함에 따라, Clock-Feedthrough 현상 및 Charge-Injection 현상을 억제하여 디지털-아날로그 변환기의 출력단에서의 글리치 에너지를 감소시킴과 더불어, 딜레이(Delay)에 의한 출력 신호의 스큐(Skew) 현상을 줄임으로써, 디지털-아날로그 변환기의 동적 성능을 향상시키는 효과가 있다.

## 발명의 실시를 위한 구체적인 내용

[0014] 본 발명의 실시를 위한 구체적인 내용을 설명하기에 앞서, 본 발명의 기술적 요지와 직접적 관련이 없는 구성에 대해서는 본 발명의 기술적 요지를 흐뜨리지 않는 범위 내에서 생략하였음에 유의하여야 할 것이다. 또한, 본 명세서 및 청구범위에 사용된 용어 또는 단어는 발명자가 자신의 발명을 최선의 방법으로 설명하기 위해 적절한 용어의 개념을 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 할 것이다.

[0015] 이하, 본 발명에 따른 디지털-아날로그 변환기의 동작에 대해 첨부한 예시도면을 토대로 상세히 설명한다. 도 2의 경우 본 발명에 따른 디지털-아날로그 변환기의 상세 회로도이다.

[0016] 본 발명에 따른 디지털 아날로그 변환기는, 입력 버퍼, 온도계 디코더, 바이너리 디코더, D-플립플롭(Flip-Flop), 래치 회로 및 전류원 단을 포함하며, 주파수 감지회로(100) 및 스위치 구동회로부(300)를 포함한다.

[0017] 덧붙여, 본 발명에 따른 디지털-아날로그 변환기의 동작에 관한 설명은, 본 발명에 따른 디지털-아날로그 변환기 앞에 이상적인 아날로그-디지털 변환기가 존재한다는 가정 하에 설명한다.

[0018] 먼저, 10비트의 디지털 신호는 상기 입력 버퍼를 거쳐 D-플립플롭으로 입력되며, 상기 D-플립플롭에서 동기화되어 출력된다. 그리고, 상기 D-플립플롭에서 동기화되어 출력된 10비트의 디지털 신호는 LSB(Least Significant Bit) 4비트, ULSB(Upper Least Significant Bit) 3비트 및 MSB(Most Significant Bit) 3비트로 분류되어 디코더로 입력된다.

[0019] 이때, 상기 LSB 4비트에 대해서는 병렬 버퍼로 구성되어 회로 구조가 간단하고 전력소비가 적으며 정합특성이 우수한 특징이 있는 바이너리 디코더를 사용하며, 상기 ULSB 3비트 및 MSB 3비트에 대해서는 선형성이 우수하며 글리치 에너지가 작은 특징이 있는 온도계 디코더를 사용하는 것이 바람직하다.

[0020] 이에 따라, 상기 LSB 4비트는 바이너리 디코더에서 $2^N$-1개의 디지털 신호로 출력되게 되는바 총 15개의 디지털 신호로 출력되며, 상기 ULSB 3비트 및 MSB 3비트 역시 온도계 디코더에서 $2^N$-1개의 디지털 신호로 출력되게 되는바 각각 7개의 디지털 신호로 출력되게 된다.

[0021] 다음으로, 상기 LSB 4비트에 의한 15개의 디지털 신호, 상기 ULSB 3비트에 의한 7개의 디지털 신호 및 상기 MSB 3비트에 의한 7개의 디지털 신호는 래치 회로로 입력되어, 각각 30개, 14개, 14개의 차동 디지털 신호로 출력된다.

[0022] 다음으로, 상기 주파수 감지회로(100)는, 입력 신호의 주파수가 별도로 입력되는 기준 신호의 주파수보다 저속인 경우, MSB 3비트에 연결되어 있는 스위치 구동회로부(300) 내 제1 차동 스위치 구동회로(MSB_SRD)만을 동작하도록 제어하며, 입력 신호의 주파수가 기준 신호의 주파수보다 고속인 경우, LSB 4비트에 연결되어 있는 스위치 구동회로부(300) 내 제2 차동 스위치 구동회로(LSB_SRD)만을 동작하도록 제어한다. 여기서, 상기 입력 신호는 본 발명에 따른 디지털-아날로그 변환기 전단에 존재하는 이상적인 아날로그-디지털 변환기의 입력 신호를 의미한다.

[0023] 이때, 상기 입력 신호의 주파수가 0 이상 20㎒ 미만인 경우, 상기 별도로 입력되는 기준 신호의 주파수는 20㎒ 이상이 되도록 입력하는 것이 바람직하다.

[0024] 이에 따라, 상기 입력 신호의 주파수가 별도로 입력되는 기준 신호의 주파수에 비해 저속인 경우에 해당되게 되고, MSB 3비트에 연결되어 있는 스위치 구동회로부(300) 내 제1 차동 스위치 구동회로(MSB_SRD)만을 동작한다.

[0025] 또한 이때, 상기 입력 신호의 주파수가 20㎒ 이상 25㎒ 이하인 경우, 상기 별도로 입력되는 기준 신호의 주파수는 0 이상 20㎒ 미만이 되도록 입력하는 것이 바람직하다.

[0026] 이에 따라, 상기 입력 신호의 주파수가 별도로 입력되는 기준 신호의 주파수에 비해 고속인 경우에 해당되게 되고, LSB 4비트에 연결되어 있는 스위치 구동회로부(300) 내 제2 차동 스위치 구동회로(LSB_SRD)만을 동작한다.

[0027] 따라서, 입력 신호의 주파수가 기준 신호의 주파수보다 저속인 경우, 상기 래치 회로에서 출력된 차동 디지털 신호 중 MSB 3비트에 의한 차동 디지털 신호는, 상기 주파수 감지회로(100)의 제어에 의해 구동되는 제1 차동 스위치 구동회로(MSB_SRD)로 입력되어 차동 디지털 신호의 스윙 폭이 감소된 후 전류원 단의 차동 스위치로 출력되어 디지털-아날로그 변환기를 구동하게 된다.

[0028] 그리고, 입력 신호의 주파수가 기준 신호의 주파수보다 고속인 경우, 상기 래치 회로에서 출력된 차동 디지털 신호 중 LSB 4비트에 의한 차동 디지털 신호는, 상기 주파수 감지회로(100)의 제어에 의해 구동되는 제2 차동 스위치 구동회로(LSB_SRD)로 입력되어 차동 디지털 신호의 스윙 폭이 감소된 후 전류원 단의 차동 스위치로 출력되어 디지털-아날로그 변환기를 구동하게 된다.

[0029] 덧붙여, 본 발명에 따른 디지털-아날로그 변환기에서 MSB 3비트 및 LSB 4비트에 한해 차동 스위치 구동회로를 사용하는 이유 및 상기 주파수 감지회로(100)를 이용하여 상기 MSB 3비트 및 LSB 4비트에 연결된 차동 스위치 구동회로를 독립적으로 구동하는 이유에 대해 좀 더 상세히 설명한다.

[0030] 종래의 디지털-아날로그 변환기의 경우 모든 비트에 대해 차동 스위치 구동회로를 사용하였는바, 혼합구조를 가진 디지털-아날로그 변환기에서는 서로 다른 딜레이가 발생하여 전체적인 디지털-아날로그 변환기의 동적 성능을 저해하는 원인이 된바 있다.

[0031] 그러나, 본 발명에 따른 디지털-아날로그 변환기는, 상기 입력 신호의 주파수와 별도로 입력된 기준 신호의 주파수를 비교함에 기반하여 상기 주파수 감지회로(100)를 통해 MSB 3비트 및 LSB 4비트에 연결된 차동 스위치 구동회로를 각각 독립적으로 구동하도록 제어한다.

[0032] 이에 따라, 종래의 디지털-아날로그 변환기에서 모든 비트에 대해 차동 스위치 구동회로를 사용하는 경우에 비해, 본 발명에 따른 디지털-아날로그 변환기의 경우 ULSB 3비트에 대해서는 차동 스위치 구동회로를 사용하지 않으며, 상기 주파수 감지회로(100)를 이용해 MSB 3비트 및 LSB 4비트에 연결된 차동 스위치 구동회로를 독립적으로 구동하도록 제어함에 따라 차동 스위치 구동회로의 사용으로 인한 딜레이 발생을 억제하여 전체적인 디지털-아날로그 변환기의 동적 성능을 크게 향상시킬 수 있기 때문이다.

[0033] 또한, 상기 주파수 감지회로(100)를 이용함으로써, MSB 3비트에 연결되어 있는 제1 차동 스위치 구동회로(MSB_SRD)만을 동작하도록 제어하는 경우 MSB 3비트에서의 Charge-Injection 현상을 억제하여 디지털-아날로그 변환기 출력단에서의 글리치 에너지를 감소시키며, LSB 4비트에 연결되어 있는 제2 차동 스위치 구동회로(LSB_SRD)만을 동작하도록 제어함에 따라 LSB 4비트에서의 Clock-Feedthrough 현상을 억제하여 디지털-아날로그 변환기 출력단에서의 글리치 에너지를 감소시킴으로써 전체적인 디지털-아날로그 변환기의 동적 성능을 크게 향상시킬 수 있기 때문이다.

[0034] 이하, 본 발명에 따른 디지털-아날로그 변환기 내 주파수 감지회로(100)에 대해 첨부한 예시도면을 토대로 상세히 설명한다. 도 3의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털 아날로그 변환기 내 주파수 감지회로(100)의 상세 회로도이며, 도 4의 경우 상기 주파수 감지회로 내 검출부(130)의 상세 회로도이다.

[0035] 본 발명에 따른 디지털-아날로그 변환기 내 주파수 감지회로(100)는, 비교부(110), 검출부(130), 제1 버퍼부(150), 전하 펌프회로(170) 및 제2 버퍼부(190)를 포함한다.

[0036] 상기 비교부(110)는, 상기 입력 신호 및 상기 별도로 입력된 기준 신호를 DC 기준 신호와 비교하여 펄스 신호로 출력하는 기능을 수행하며, 도 3을 참조하여 좀 더 자세히 설명하면 다음과 같다.

[0037] 상기 비교부(110)는, 차동증폭기와 소스증폭기로 구성된 일반적인 비교기를 사용하였으며, 제1 비교기 및 제2 비교기를 포함한다.

[0038] 이때, 제1 비교기의 입력단자 중 Fcom 단자로는 입력 신호가 입력되며 상기 입력 신호는 본 발명에 따른 디지털-아날로그 변환기 전단에 존재하는 이상적인 아날로그-디지털 변환기의 입력 신호를 의미하며, 상기 입력 신호는 사인파(Sine Wave) 신호인 것이 바람직하다.

[0039] 덧붙여, 본 발명에 따른 디지털-아날로그 변환기 및 상기 이상적인 아날로그-디지털 변환기는 샘플링 주파수가 50㎒인바, 상기 입력 신호의 주파수는 최대 25㎒까지 입력이 가능하다.

[0040] 그리고, 제1 비교기의 입력단자 중 DC 입력단자로는 DC 기준 신호가 입력되는데, 상기 DC 기준 신호는 상기 주파수 감지회로를 이용한 전류 구동 방식의 디지털 아날로그 변환기의 전원전압(VDD)을 2로 나눈 값을 전압 레벨로 갖는 것이 바람직하다. 이에 따라, 제1 비교기는 상기 입력 신호 및 상기 DC 기준 신호를 비교한 후 제1 펄스 신호를 출력하게 된다.

[0041] 또한 이때, 상기 제2 비교기의 입력단자 중 Fref 단자로는 기준 신호가 입력되는 데, 상기 기준 신호는 외부에서 주파수를 조절하여 입력하게 되며, 사인파(Sine Wave) 신호인 것이 바람직하다.

[0042] 그리고, 상기 기준 신호의 주파수는, 상기 제1 비교기의 Fcom 단자에 입력되는 입력 신호의 주파수가 0 이상 20㎒ 미만인 경우는, 20㎒ 이상이 되도록 외부에서 입력하는 것이 바람직하며, 상기 제1 비교기의 Fcom 단자에 입력되는 입력 신호의 주파수가 20㎒ 이상 25㎒ 이하인 경우는, 0 이상 20㎒ 미만이 되도록 외부에서 입력하는 것이 바람직하다.

[0043] 그리고, 상기 제2 비교기의 DC 단자로는 DC 기준 신호가 입력되는데, 상기 DC 기준 신호는 전술한 제1 비교기에서의 DC 기준 신호와 동일한 신호이다. 이에 따라, 제2 비교기는 상기 기준 신호 및 상기 DC 기준 신호를 비교한 후 제2 펄스 신호를 출력하게 된다.

[0044] 상기 검출부(130)는, 상기 비교부(110)에서 출력된 각각의 펄스 신호의 위상 및 주파수를 검출함을 기반으로, 상기 입력 신호의 주파수를 기준 신호의 주파수와 비교하여 고속 또는 저속인지 여부에 따라 제1 버퍼부(150)로 신호를 출력하는 기능을 수행하며, 상기 검출부(130)에 대해 도 4를 참조하여 좀 더 자세히 설명하면 다음과 같다.

[0045] 상기 검출부(130)는, 두 개의 프리차지형 D-플립 플롭과 한 개의 노어(NOR) 게이트를 포함한다.

[0046] 그리고, 상기 비교부(110)에서 출력된 제1 펄스 신호 및 제2 펄스 신호가 상기 검출부(130)에 입력되는 경우 각 펄스 신호의 위상 및 주파수가 검출되게 되며, 검출부(130)에서 출력되는 신호는 상기 제1 펄스 신호와 상기 제2 펄스 신호의 위상 차이에 기반하는 제3 펄스 신호와 DC 신호이며, 상기 제3 펄스 신호와 DC 신호는 제1 버퍼부(150)로 입력된다.

[0047] 상기 제1 버퍼부(150)는, 상기 검출부(130)에서 출력된 신호를 입력받아 전하 펌프회로(170)로 출력하는 기능을 수행한다. 상기 제1 버퍼부(150)에 대해 도 3을 참조하여 좀 더 자세히 설명하면 다음과 같다.

[0048] 상기 검출부(130)에서 출력된 제3 펄스 신호 및 DC 신호가 상기 제1 버퍼부에 입력되면, 상기 제1 버퍼부(300)에서 3단 버퍼를 통과하는 신호는 반전이 되어 출력되며, 4단 버퍼를 통과하는 신호는 그대로 출력된다.

[0049] 이때, 입력 신호의 주파수가 기준 신호의 주파수와 비교하여 고속으로 판단되는 경우, 제1 버퍼부(150)의 4단 버퍼를 지나 출력되는 신호는 펄스 신호가 될 것이며, 제1 버퍼부(150)의 3단 버퍼를 지나 출력되는 신호는 “LOW" 전압이 될 것이다.

[0050] 또한 이때, 입력 신호의 주파수가 기준 신호의 주파수와 비교한 결과 저속으로 판단되는 경우, 제1 버퍼부(150)의 4단 버퍼를 지나 출력되는 신호는 "HIGH"가 될 것이며, 제1 버퍼부(150)의 3단 버퍼를 지나 출력되는 신호는 펄스 신호가 될 것이다.

[0051] 상기 전하 펌프회로(170)는, 상기 제1 버퍼부(150)에서 출력된 신호에 의해 커패시터(C1)에 전하를 충전 또는 방전하는 기능을 수행한다. 상기 전하 펌프회로(170)에 대해 도 3을 참조하여 좀 더 자세히 설명하면 다음과 같다.

[0052] 이때, 입력 신호의 주파수가 기준 신호의 주파수와 비교한 결과 고속으로 판단되는 경우, 상기 제1 버퍼부(150)의 4단 버퍼에서 출력되는 신호는 펄스 신호가 될 것이며, 상기 제1 버퍼부(150)의 3단 버퍼에서 출력되는 신호는 DC 신호로 “LOW"가 될 것이다.

[0053] 이에 따라, 상기 전하 펌프회로(170) 내 PMOS 트랜지스터는 온(ON) 상태가 되며, 상기 전하 펌프회로(170) 내 NMOS 트랜지스터는 오프(OFF) 상태가 되어 커패시터(C1)에 전하를 충전하게 된다.

[0054] 또한 이때, 입력 신호의 주파수가 기준 신호의 주파수와 비교한 결과 저속으로 판단되는 경우, 상기 제1 버퍼부(150)의 4단 버퍼에서 출력되는 신호는 DC 신호로 "HIGH"가 될 것이며, 제1 버퍼부(150)의 3단 버퍼에서 출력되는 신호는 펄스 신호가 될 것이다.

[0055] 이에 따라, 상기 전하 펌프회로(170) 내 PMOS 트랜지스터는 오프(OFF) 상태가 되며, 상기 전하 펌프회로(170) 내 NMOS 트랜지스터는 온(ON) 상태가 되어 커패시터(C1)에 저장된 전하를 방전하게 된다.

[0056] 상기 제2 버퍼부(190)는, 상기 전하 펌프회로(170) 내 커패시터(C1)에 축적된 전하에 의해 상기 스위치 구동회로부(300)를 제어하는 제어신호를 스위치 구동회로부(300)로 출력하는 기능을 수행하며, 도 3을 참조하여 좀 더 자세히 설명하면 다음과 같다.

[0057] 이때, 입력 신호의 주파수가 기준 신호의 주파수와 비교한 결과 고속으로 판단되는 경우, 상기 전하 펌프회로(170) 내 PMOS 트랜지스터는 온(ON) 상태가 되며, 상기 전하 펌프회로(170) 내 NMOS 트랜지스터는 오프(OFF) 상태가 되어 커패시터(C1)에 전하를 충전함에 따라, 상기 제2 버퍼부(190) 내 2단 버퍼에서는 제2 차동 스위치 구동회로를 구동하는 제어신호(LSB_CON) 값이 "HIGH", 3단 버퍼에서는 제1 차동 스위치 구동회로를 구동하는 제어신호(MSB_CON) 값이 "LOW"로 스위치 구동회로부(300)로 출력된다.

[0058] 따라서, 스위치 구동회로부(300)는, 상기 제2 버퍼부(190)로부터 수신한 제어신호에 따라, LSB 4비트에 연결된 제2 차동 스위치 구동회로만을 구동한다.

[0059] 또한 이때, 입력 신호의 주파수가 기준 신호의 주파수와 비교한 결과 저속으로 판단되는 경우, 상기 전하 펌프회로(170) 내 PMOS 트랜지스터는 오프(OFF) 상태가 되며, 상기 전하 펌프회로(170) 내 NMOS 트랜지스터는 온(ON) 상태가 되어 커패시터(C1)에 저장된 전하를 방전함에 따라, 상기 제2 버퍼부(190) 내 2단 버퍼에서는 제2 차동 스위치 구동회로를 구동하는 제어신호(LSB_CON) 값이 "LOW", 3단 버퍼에서는 제1 차동 스위치 구동회로를 구동하는 제어신호(MSB_CON) 값이 "HIGH"로 스위치 구동회로부(300)로 출력된다.

[0060] 따라서, 스위치 구동회로부(300)는, 상기 제2 버퍼부(190)로부터 수신한 제어신호에 따라, MSB 3비트에 연결된 제1 차동 스위치 구동회로만을 구동한다.

[0061] 이하, 본 발명에 따른 디지털-아날로그 변환기 내 스위치 구동회로부(300)에 대해 첨부한 예시도면을 토대로 상세히 설명한다. 도 5의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털-아날로그 변환기 내 차동 스위치 구동회로(Swing Reduce Driver, SRD)의 회로도이다.

[0062] 본 발명에 따른 디지털-아날로그 변환기는, 상기 스위치 구동회로부(300) 내에 MSB 3비트에 연결되어 있는 제1 차동 스위치 구동회로(MSB_SRD) 및 LSB 4비트에 연결되어 있는 제2 차동 스위치 구동회로(LSB_SRD)를 포함한다.

[0063] 상기 스위치 구동회로부(300)는, 상기 주파수 감지회로(100)에 입력된 입력 신호의 주파수가 외부로부터 입력된 기준 신호의 주파수에 비해 고속인지 저속인지 여부에 기반하여, 상기 주파수 감지회로(100)로부터 제어명령을 받아 MSB 3비트에 연결되어 있는 제1 차동 스위치 구동회로(MSB_SRD) 및 LSB 4비트에 연결되어 있는 제2 차동 스위치 구동회로(LSB_SRD)를 독립적으로 구동한다.

[0064] 이때, 입력 신호의 주파수가 기준 신호의 주파수보다 저속인 경우, 상기 스위치 구동회로부(300)는, MSB에 연결

된 제1 차동 스위치 구동회로(MSB_SRD)만을 구동한다.

[0065] 또한 이때, 입력 신호의 주파수가 기준 신호의 주파수보다 고속인 경우, 상기 스위치 구동회로부(300)는, LSB에 연결된 제2 차동 스위치 구동회로(LSB_SRD)만을 구동한다.

[0066] 덧붙여, 상기 제1 차동 스위치 구동회로(MSB_SRD) 및 제2 차동 스위치 구동회로(LSB_SRD)의 구성 및 동작에 대해 좀 더 자세히 설명하면, 상기 제1 차동 스위치 구동회로(MSB_SRD) 및 제2 차동 스위치 구동회로(LSB_SRD)는 PMOS 트랜지스터, NMOS 트랜지스터 및 낸드 게이트를 포함한다.

[0067] 그리고, 상기 낸드 게이트의 입력 및 상기 PMOS 트랜지스터의 게이트와 각각 연결되어 있는 입력단(in, inb)을 통해 들어온 차동 디지털 신호가 둘 다 "HIGH"인 경우를 제외하고 낸드 게이트의 출력은 항상 "HIGH"가 된다.

[0068] 이에 따라, 낸드 게이트의 출력단에 게이트가 연결되어 있는 NMOS 트랜지스터 각각은 모두 온(ON)이 되며, 차동 스위치 구동회로의 입력단을 통해 PMOS 트랜지스터의 게이트로 각각 입력된 차동 디지털 신호가 "LOW"인 경우인 PMOS 트랜지스터만 온(ON)이 된다.

[0069] 예를 들어, 도 5를 참조하여 설명하면, 상기 차동 스위치 구동회로의 한 입력단(in)에 "LOW"가 입력되고 다른쪽 입력단(inb)에 "HIGH"가 입력된 경우, 한 출력단(out)에서는 NMOS 트랜지스터와 PMOS 트랜지스터의 ON 저항간 전압 분배가 발생함에 따라 차동 스위치 구동회로에 입력된 차동 디지털 신호의 스윙 폭이 감소한 채 "HIGH"로 출력되게 된다.

[0070] 그리고, 상기 차동 스위치 구동회로의 다른 출력단(outb)은 PMOS 트랜지스터가 오프(OFF)되기 때문에 접지와 연결되어 "LOW"로 출력된다.

[0071] 이하, 상기 스위치 구동회로부(300)가 상기 주파수 감지회로(100)로부터 수신한 제어신호에 의해 제1 차동 스위치 구동회로 및 제2 차동 스위치 구동회로를 개별적으로 동작함에 따른 효과에 대해 좀 더 상세히 설명한다.

[0072] 상기 입력 신호의 주파수가 상기 별도로 입력되는 기준 신호의 주파수보다 고속인 경우, 디지털-아날로그 변환기 내 차동 스위치에서는 Charge-Injection 현상 및 Clock-Feedthrough 현상이 발생하여, 출력단에서의 글리치 에너지 발생의 원인이 되는데, 상기 Charge-Injection 현상을 수학식으로 표현하면 다음의 수학식 1, 상기 Clock-Feedthrough 현상은 다음의 수학식 2와 같다.

*수학식 1*

[0073]
$$\Delta V = \frac{WLC_{ox}(V_{GS} - V_{TH})}{2C_H}$$

*수학식 2*

[0074]
$$\Delta V = \frac{C_{ov}}{C_{ov} + C_L} V_{in}$$

[0075] 따라서, 입력 신호의 주파수가 기준 신호의 주파수보다 고속인 경우에 LSB 비트에 연결된 제2 차동 스위치 구동회로(LSB_SRD)을 구동하게 되면, 트랜지스터의 게이트-소스간 전압차인 $V_{GS}$값이 감소함에 따라 Charge-Injection 현상이 줄어들게 되며, 차동 스위치에 인가되는 디지털 신호의 스윙이 감소함에 따라 Vin이 감소하기 때문에 Clock-Feedthrough 현상 또한 줄어들게 되어, LSB 4비트에서의 디지털-아날로그 변환기의 동적 성능이 개선된다.

[0076] 덧붙여, 입력 신호의 주파수가 기준 신호의 주파수보다 고속인 경우에 MSB에 연결된 제1 차동 스위치 구동회로(MSB_SRD)를 구동하지 않은 이유는, 평균 지연시간($t_d$)와 관계 있으며, 상기 평균지연시간을 계산하는 식은 다음의 수학식과 같다.

*수학식 3*

[0077] $$t_d = \frac{2L}{\mu_n C_{ox} W} \times \frac{C_L V_{DD}}{(V_{DD} - V_T)^2}$$

[0078] (상기 수학식에서, L은 채널 길이, W는 채널 폭, $\mu_n C_{ox}$는 공정 트랜스컨덕턴스 파라미터(Process transconductance parameter), $C_L$은 용량성 부하, $V_{DD}$는 트랜지스터에 인가되는 전원전압, $V_T$는 문턱 전압(Threshold Voltage)을 의미한다.)

[0079] 상기 수학식에서 평균 지연시간 $t_d$은, $C_L$과 L에 비례하고, $V_{DD}$에 반비례함을 알 수 있으며, MSB의 트랜지스터는 사이즈가 크기 때문에 $C_L$ 역시 큰 값을 갖게 되며, MSB에 연결된 제1 차동 스위치 구동회로(MSB_SRD)를 구동하여 트랜지스터의 게이트에 인가되는 전압인 $V_{DD}$ 값이 감소하는 경우 평균 지연시간의 증가를 초래하게 되고, 이는 타이밍 에러의 발생 원인이 되는바, 디지털-아날로그 변환기의 성능을 저하하게 된다.

[0080] 또한, 입력 신호의 주파수가 기준 신호의 주파수보다 저속인 경우에도, 디지털-아날로그 변환기의 차동 스위치에서는 Charge-Injection 현상 및 Clock-Feedthrough 현상이 발생하여, 출력단에서의 글리치 에너지 발생의 원인이 된다.

[0081] 다만, 입력 신호의 주파수가 기준 신호의 주파수보다  저속인 경우에는 대체로 Charge-Injection 현상의 영향이 큰 편이며, MSB에 연결된 차동 스위치 구동회로(MSB_SRD)를 사용하여 차동 스위치에 인가되는 디지털 신호의 스윙 폭을 낮추게 되면, Charge-Injection 현상이 크게 감소하여 디지털 아날로그 변환기의 동적 성능을 개선할 수 있다.

[0082] 덧붙여, 입력 신호의 주파수가 기준 신호의 주파수보다 저속인 경우에 LSB에 연결된 제2 차동 스위치 구동회로(LSB_SRD)를 사용하지 않는 이유는 전술한 바와 같이 평균 지연시간이 증가함에 따른 타이밍 에러가 발생하여 디지털-아날로그 변환기의 성능을 저하시키기 때문이다.

[0083] 이하, 본 발명에 따른 디지털-아날로그 변환기와 종래의 디지털-아날로그 변환기간 동적 성능을 평가하는 기준 중 하나인 SFDR(Spurious Free Dynamic Range) 값 및 ENOB(Effective Number Of Bit) 값을 비교한 결과에 대해 첨부한 예시도면을 토대로 상세히 설명한다. 도 6a의 경우 SFDR 값을 비교한 그래프이며, 도 6b의 경우 ENOB 값을 비교한 그래프이다.

[0084] 도 6a 및 도 6b를 참조하면, 본 발명에 따른 디지털-아날로그 변환기는 종래의 디지털-아날로그 변환기에 비해, 주파수 대역이 나이퀴스트 주파수(25㎒)일때, SFDR 값은 11.1dBc가 향상되었으며, ENOB 값은 1.22bit가 증가하였음을 알 수 있는바, 본 발명에 따라 주파수 감지회로를 이용한 전류 구동 방식의 디지털-아날로그 변환기의 동적 성능이 향상되었음을 뒷받침한다.

[0085] 이상으로, 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였으나, 본 발명은 상기 설명 및 도시대로의 구성 및 작용에만 국한되는 것이 아니다. 아울러 본 발명의 기술적 사상의 범주를 일탈하지 않는 범위 내에서 다수의 변경 및 수정이 가능함을 당업자는 잘 이해할 수 있을 것이다. 따라서 모든 적절한 변경 및 수정이 가해진 발명 및 본 발명의 균등물에 속하는 발명들도 본 발명에 속하는 것으로 간주되어야 할 것이다.

## *도면의 간단한 설명*

[0086] 도 1의 경우 종래의 디지털-아날로그 변환기에 관한 예시도면이다.

[0087] 도 2의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털 아날로그 변환기의 상세 회로도이다.

[0088] 도 3의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털 아날로그 변환기 내 주파수 감지회로의 상세 회

로도이다.

[0089] 도 4의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털 아날로그 변환기 내 검출부의 상세 회로도이다.

[0090] 도 5의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털 아날로그 변환기 내 차동 스위치 구동회로의 회로도이다.

[0091] 도 6a의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털 아날로그 변환기를 사용한 경우와 주파수 감지회로를 이용하지 않는 종래의 디지털 아날로그 변환기를 사용한 경우의 SFDR(Spurious Free Dynamic Range) 값을 비교한 그래프이다.

[0092] 도 6b의 경우 본 발명에 따른 주파수 감지회로를 이용한 디지털 아날로그 변환기를 사용한 경우와 주파수 감지회로를 이용하지 않는 종래의 디지털 아날로그 변환기를 사용한 경우의 ENOB(Effective Number Of Bit) 값을 비교한 그래프이다.

[0093] <도면 내 주요 부호에 대한 설명>

[0094] 100: 주파수 감지회로

[0095] 110: 비교부 130: 검출부

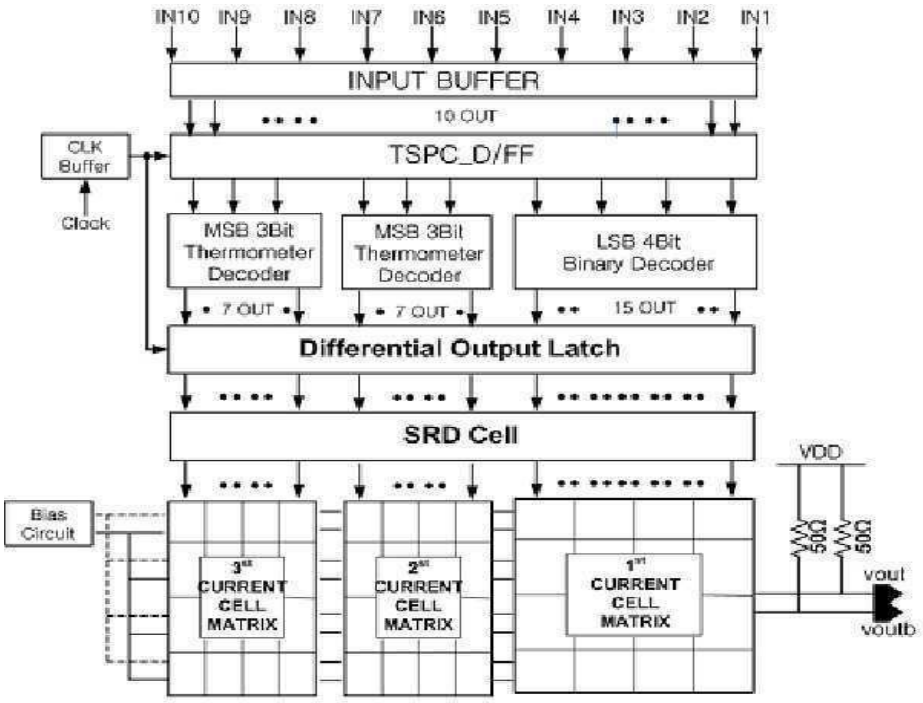
[0096] 150: 제1 버퍼부 170: 전하 펌프회로

[0097] 190: 제2 버퍼부

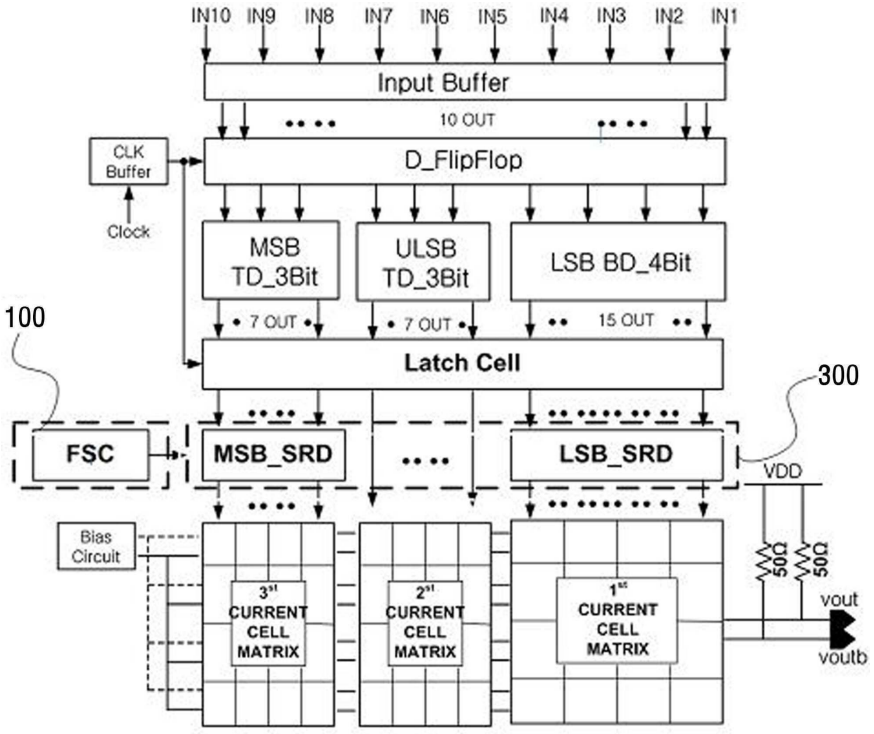
[0098] 300: 스위치 구동회로부

## 도면

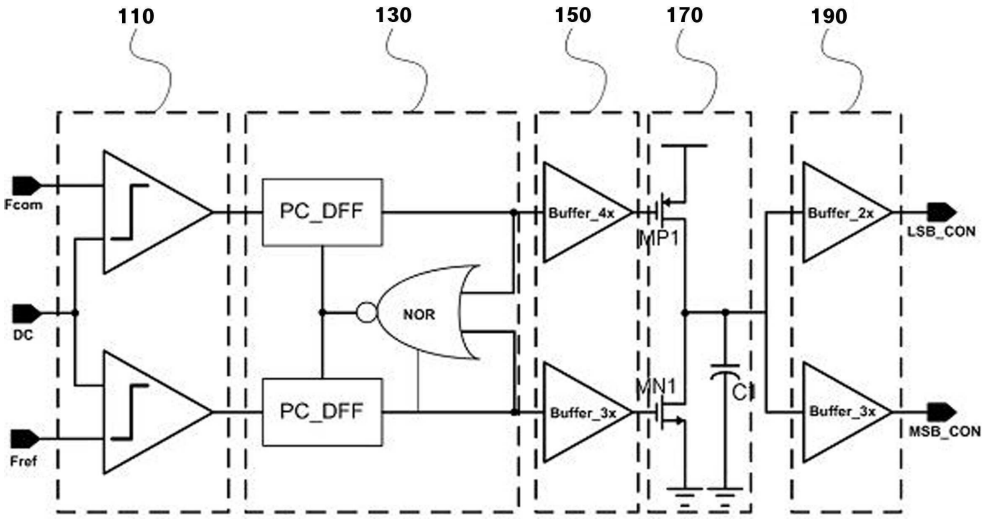
### 도면1



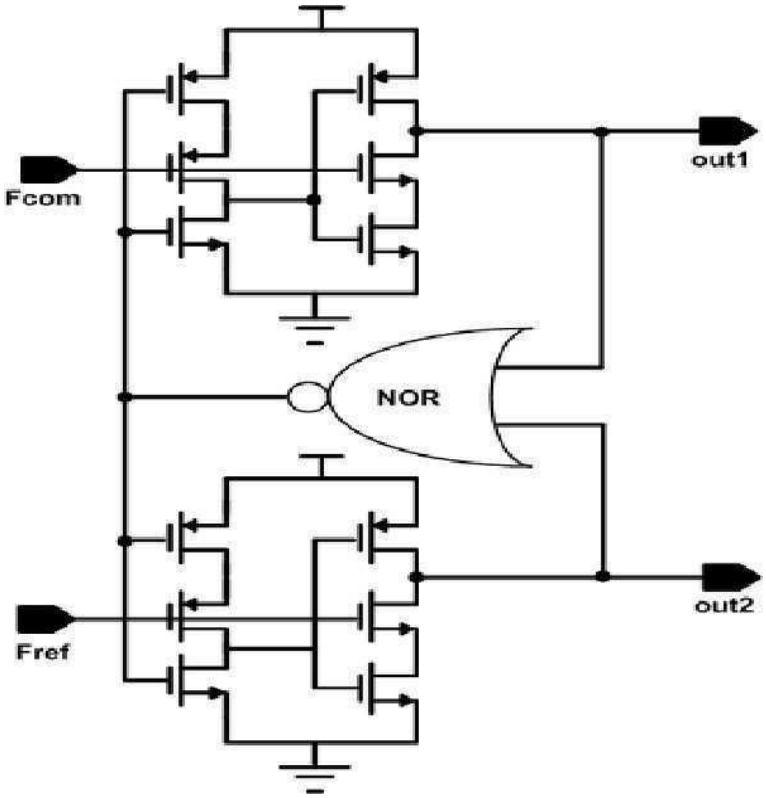
도면2


IN10 IN9 IN8 IN7 IN6 IN5 IN4 IN3 IN2 IN1
Input Buffer
10 OUT
CLK Buffer
Clock
D_FlipFlop
MSB TD_3Bit
ULSB TD_3Bit
LSB BD_4Bit
7 OUT
7 OUT
15 OUT
100
Latch Cell
300
FSC
MSB_SRD
LSB_SRD
VDD
Bias Circuit
3st CURRENT CELL MATRIX
2st CURRENT CELL MATRIX
1st CURRENT CELL MATRIX
50Ω
50Ω
vout
voutb

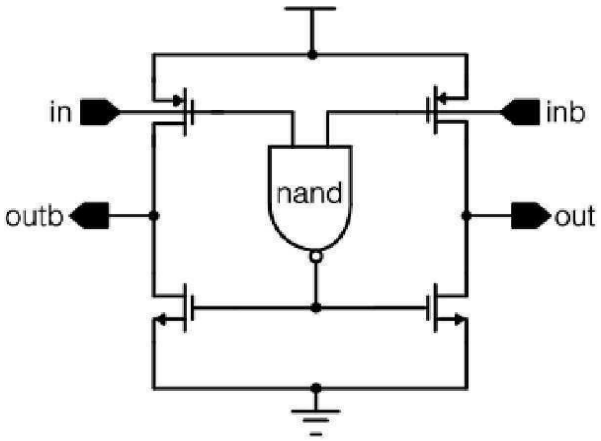
도면3


110
130
150
170
190
Fcom
DC
Fref
PC_DFF
PC_DFF
NOR
Buffer_4x
Buffer_3x
MP1
MN1
CI
Buffer_2x
Buffer_3x
LSB_CON
MSB_CON

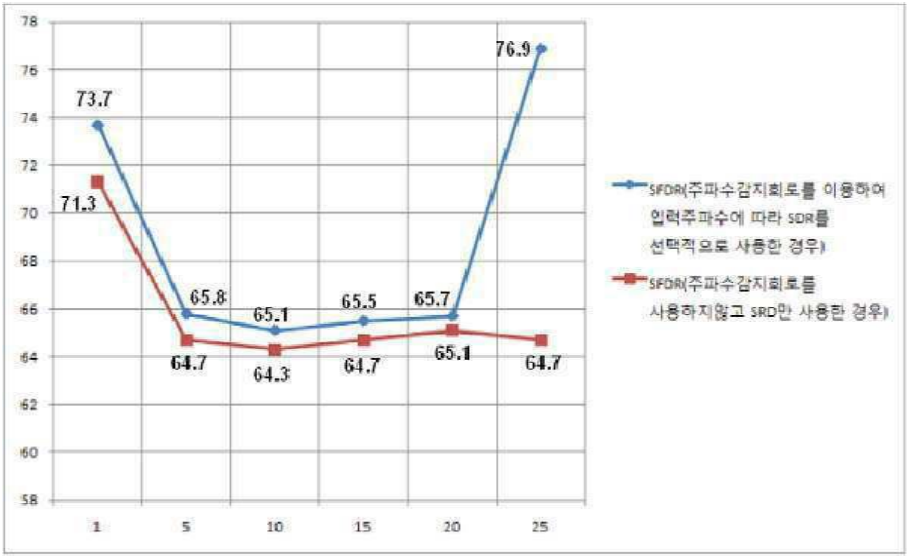
도면4



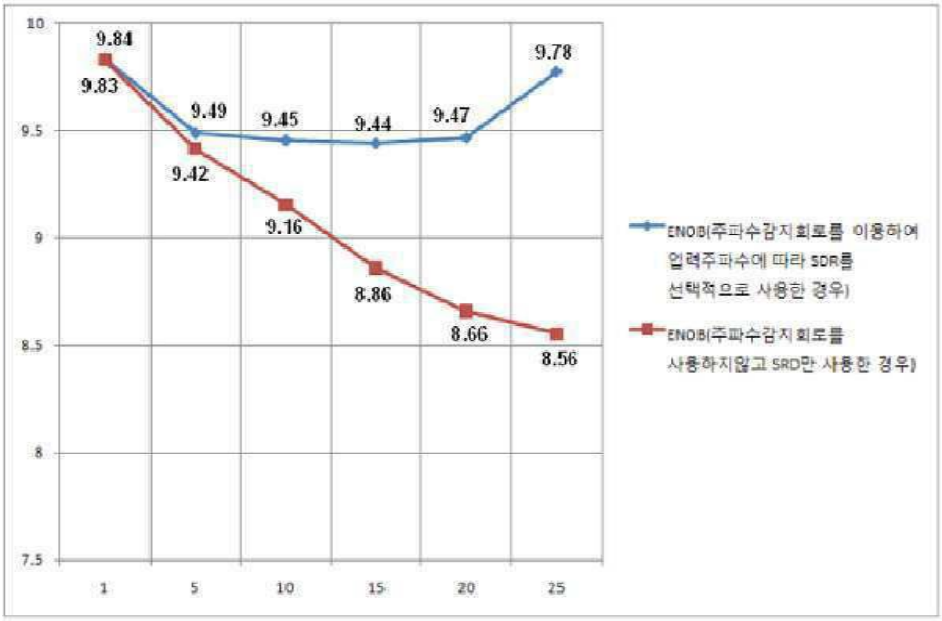

도면5



도면6a


78
76
74
72
70
68
66
64
62
60
58
1
5
10
15
20
25
73.7
71.3
65.8
64.7
65.1
64.3
65.5
64.7
65.7
65.1
76.9
64.7
SFDR(주파수감지회로를 이용하여 입력주파수에 따라 SDR를 선택적으로 사용한 경우)
SFDR(주파수감지회로를 사용하지않고 SRD만 사용한 경우)

도면6b


10
9.5
9
8.5
8
7.5
1
5
10
15
20
25
9.84
9.83
9.49
9.42
9.45
9.16
9.44
8.86
9.47
8.66
9.78
8.56
ENOB(주파수감지회로를 이용하여 입력주파수에 따라 SDR를 선택적으로 사용한 경우)
ENOB(주파수감지회로를 사용하지않고 SRD만 사용한 경우)