

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-533793

(P2012-533793A)

(43) 公表日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 13/16 (2006.01)</b>	G06F 13/16 510D	5B060
<b>G06F 12/00 (2006.01)</b>	G06F 12/00 550K	
	G06F 13/16 510A	

審査請求 未請求 予備審査請求 有 (全 30 頁)

(21) 出願番号	特願2012-520662 (P2012-520662)	(71) 出願人	508376982
(86) (22) 出願日	平成22年7月1日 (2010.7.1)		ネットリスト インコーポレイテッド
(85) 翻訳文提出日	平成24年3月12日 (2012.3.12)		Netlist, Inc.
(86) 国際出願番号	PCT/US2010/040826		アメリカ合衆国 92618 カリフォル
(87) 国際公開番号	W02011/008580		ニア #150 アーバイン ディスカバ
(87) 国際公開日	平成23年1月20日 (2011.1.20)		リー 51
(31) 優先権主張番号	12/504, 131		51 Discovery, #150
(32) 優先日	平成21年7月16日 (2009.7.16)		Irvine, California
(33) 優先権主張国	米国 (US)		92618, United State
(31) 優先権主張番号	12/761, 179		s of America
(32) 優先日	平成22年4月15日 (2010.4.15)	(74) 代理人	100079108
(33) 優先権主張国	米国 (US)		弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史

最終頁に続く

(54) 【発明の名称】 メモリモジュール上の分散バイト型バッファを利用するシステムおよび方法

## (57) 【要約】

【課題】 性能および記憶容量を改善するためのシステム、装置、および方法を提供すること。

【解決手段】 1つ以上のメモリモジュールを利用するメモリシステムおよび方法を提供する。そのメモリモジュール(400)は、複数のメモリ装置(412)と、システムメモリコントローラ(420)から制御情報(440)を受け取り、モジュール制御信号(442)を作り出すように構成されるコントローラ(430)とを含む。そのメモリモジュールは、複数のメモリ装置をシステムメモリコントローラから選択的に隔離するように構成される複数の回路、例えばバイト型バッファ(416)をさらに含む。それらの回路は、モジュール制御信号にตอบสนองして、書込みデータをシステムメモリコントローラから複数のメモリ装置に移動させ、複数のメモリ装置からの読取データをシステムメモリコントローラにマージするように動作することができる。それらの回路は、互いに離れた対応する位置に分散される。

【選択図】 図3A

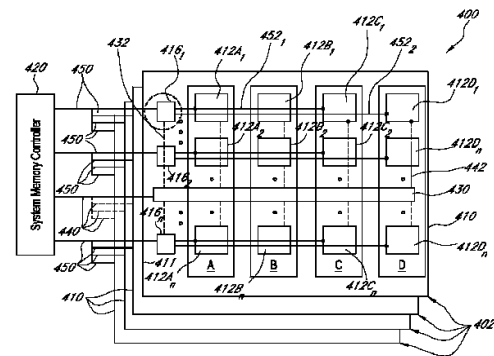


FIG. 3A

## 【特許請求の範囲】

## 【請求項 1】

少なくとも 1 つのプリント回路基板と、

前記少なくとも 1 つのプリント回路基板に機械的に結合される複数のメモリ装置と、

前記少なくとも 1 つのプリント回路基板に機械的に結合される制御回路であって、システムメモリコントローラから制御信号を受け取り、前記複数のメモリ装置にモジュール制御信号を伝送するように構成可能である、制御回路と、

前記少なくとも 1 つのプリント回路基板に機械的に結合され、かつ前記少なくとも 1 つのプリント回路基板に対して対応する位置に分散される複数のデータ伝送回路であって、前記システムメモリコントローラに動作可能に結合するように構成可能であり、前記制御回路からモジュール制御信号を受け取るように構成可能である、複数のデータ伝送回路とを備え、

前記複数のデータ伝送回路のうちの少なくとも 1 つの第 1 のデータ伝送回路が、前記複数のメモリ装置のうちの少なくとも 2 つのメモリ装置に動作可能に結合され、前記複数のデータ伝送回路のうちの少なくとも 1 つの第 2 のデータ伝送回路が、前記複数のメモリ装置のうちの少なくとも 2 つのメモリ装置に動作可能に結合され、

前記少なくとも 1 つの第 1 のデータ伝送回路は、前記システムメモリコントローラと、前記少なくとも 1 つの第 1 のデータ伝送回路に動作可能に結合される前記少なくとも 2 つのメモリ装置のうちの少なくとも 1 つの被選択メモリ装置との間のデータ伝送を選択的に許可し、または禁止することにより、前記モジュール制御信号に応答するように構成可能であり、前記少なくとも 1 つの第 2 のデータ伝送回路は、前記システムメモリコントローラと、前記少なくとも 1 つの第 2 のデータ伝送回路に動作可能に結合される前記少なくとも 2 つのメモリ装置のうちの少なくとも 1 つの被選択メモリ装置との間のデータ伝送を選択的に許可し、または禁止することにより、前記モジュール制御信号に応答するように構成可能である、メモリモジュール。

## 【請求項 2】

前記少なくとも 1 つの第 1 のデータ伝送回路がバイト型バッファを含む、請求項 1 に記載のメモリモジュール。

## 【請求項 3】

前記少なくとも 1 つの第 2 のデータ伝送回路がバイト型バッファを含む、請求項 2 に記載のメモリモジュール。

## 【請求項 4】

前記少なくとも 1 つの第 1 のデータ伝送回路は、前記少なくとも 1 つの第 1 のデータ伝送回路が動作可能に結合される前記少なくとも 2 つのメモリ装置のそれぞれが有するのと同じビット幅を有する、請求項 1 に記載のメモリモジュール。

## 【請求項 5】

前記少なくとも 1 つの第 2 のデータ伝送回路は、前記少なくとも 1 つの第 2 のデータ伝送回路が動作可能に結合される前記少なくとも 2 つのメモリ装置のそれぞれが有するのと同じビット幅を有する、請求項 4 に記載のメモリモジュール。

## 【請求項 6】

前記少なくとも 1 つの第 1 のデータ伝送回路が第 1 のビット幅を有し、前記少なくとも 1 つの第 1 のデータ伝送回路が動作可能に結合される前記少なくとも 2 つのメモリ装置のそれぞれが、前記第 1 のビット幅よりも少ない第 2 のビット幅を有する、請求項 1 に記載のメモリモジュール。

## 【請求項 7】

前記少なくとも 1 つの第 1 のデータ伝送回路が、ランクあたり 2 つのメモリ装置に動作可能に結合され、前記第 1 のビット幅が前記第 2 のビット幅の 2 倍である、請求項 6 に記載のメモリモジュール。

## 【請求項 8】

前記少なくとも 1 つの第 2 のデータ伝送回路が第 3 のビット幅を有し、前記少なくとも

10

20

30

40

50

1つの第2のデータ伝送回路が動作可能に結合される前記少なくとも2つのメモリ装置のそれぞれが、前記第3のビット幅よりも少ない第4のビット幅を有する、請求項6に記載のメモリモジュール。

【請求項9】

前記少なくとも1つの第2のデータ伝送回路が、ランクあたり2つのメモリ装置に動作可能に結合され、前記第3のビット幅が前記第4のビット幅の2倍である、請求項8に記載のメモリモジュール。

【請求項10】

前記少なくとも1つの第1のデータ伝送回路の前記対応する位置と、前記少なくとも1つの第2のデータ伝送回路の前記対応する位置とが互いに離れている、請求項1に記載のメモリモジュール。

10

【請求項11】

前記少なくとも1つの第1のデータ伝送回路の前記対応する位置と、前記少なくとも1つの第2のデータ伝送回路の前記対応する位置とが、前記少なくとも1つのプリント回路基板の端部沿いにあり、そのため、前記少なくとも1つの第1のデータ伝送回路は、前記端部と、前記少なくとも1つの第1のデータ伝送回路に動作可能に結合される前記少なくとも2つのメモリ装置のうちの少なくとも一部との間にほぼ位置し、前記少なくとも1つの第2のデータ伝送回路は、前記端部と、前記少なくとも1つの第2のデータ伝送回路に動作可能に結合される前記少なくとも2つのメモリ装置のうちの少なくとも一部との間にほぼ位置する、請求項10に記載のメモリモジュール。

20

【請求項12】

前記少なくとも1つのプリント回路基板が、複数の電気接点を備えるコネクタを含み、前記複数の電気接点は前記少なくとも1つのプリント回路基板の前記端部に位置し、コンピュータシステムのソケットの対応する接点に取外し可能に結合するように構成される、請求項11に記載のメモリモジュール。

【請求項13】

前記少なくとも1つの第1のデータ伝送回路を含むパッケージが、前記少なくとも1つの第2のデータ伝送回路を含むパッケージの位置から間隔を置いた位置にある、請求項1に記載のメモリモジュール。

【請求項14】

30

前記少なくとも1つの第1のデータ伝送回路の位置が、前記少なくとも1つの第1のデータ伝送回路に動作可能に結合される前記少なくとも2つのメモリ装置の1つ以上に対して概して整列される、請求項13に記載のメモリモジュール。

【請求項15】

前記少なくとも1つの第1のデータ伝送回路、および前記少なくとも1つの第1のデータ伝送回路に動作可能に結合される前記少なくとも2つのメモリ装置が、概して前記少なくとも1つのプリント回路基板の端部にほぼ垂直な線に沿って位置する、請求項1に記載のメモリモジュール。

【請求項16】

前記少なくとも1つの第1のデータ伝送回路の位置が、前記少なくとも1つの第1のデータ伝送回路に動作可能に結合される前記少なくとも2つのメモリ装置の前記位置によって定められる線から概してずらされる、請求項13に記載のメモリモジュール。

40

【請求項17】

前記線が、前記少なくとも1つのプリント回路基板の端部にほぼ垂直であり、前記少なくとも1つの第1のデータ伝送回路は、前記線から前記端部に概ね沿う方向にずらされる、請求項16に記載のメモリモジュール。

【請求項18】

複数のメモリ装置と、

システムメモリコントローラから制御情報を受け取り、モジュール制御信号を作り出すように構成されるコントローラと、

50

前記複数のメモリ装置を前記システムメモリコントローラから選択的に隔離するように構成される複数の回路であって、前記モジュール制御信号に応答して、書込みデータを前記システムメモリコントローラから前記複数のメモリ装置に移動させ、前記複数のメモリ装置からの読取データを前記システムメモリコントローラにマージするように動作することができ、互いに離れた対応する位置に分散される、複数の回路とを含む、メモリモジュール。

【請求項 19】

前記複数の回路が、互いに間隔を置いた位置にある複数のパッケージ内に含まれる、請求項 18 に記載のメモリモジュール。

【請求項 20】

前記複数のメモリ装置、前記コントローラ、および前記複数の回路が、端部を有するプリント回路基板に機械的に結合され、前記パッケージが前記端部に沿って、かつ前記端部と前記複数のメモリ装置との間に位置する、請求項 19 に記載のメモリモジュール。

【請求項 21】

前記回路がバイト型バッファを含む、請求項 18 に記載のメモリモジュール。

【請求項 22】

前記複数の回路の各回路が、

前記システムメモリコントローラに動作可能に結合するように構成可能なデータ端子と

、  
第 1 のグループの前記複数のメモリ装置に動作可能に結合するように構成可能な第 1 のメモリ端子と、

第 2 のグループの前記複数のメモリ装置に動作可能に結合するように構成可能な第 2 のメモリ端子と

を含み、

前記回路が書込みデータを移動させるとき、前記データ端子が、前記第 1 のメモリ端子および前記第 2 のメモリ端子の一方に動作可能に結合され、

前記回路が読取データをマージするとき、前記第 1 のメモリ端子および前記第 2 のメモリ端子の一方が前記データ端子に動作可能に結合される、請求項 18 に記載のメモリモジュール。

【請求項 23】

前記メモリモジュールが、デュアルインラインメモリモジュールである、請求項 18 に記載のメモリモジュール。

【請求項 24】

前記複数のメモリ装置が、1 つ以上の同期型ダイナミックランダムアクセスメモリ装置を含む、請求項 18 に記載のメモリモジュール。

【請求項 25】

複数のメモリ装置を含むメモリモジュールを動作させる方法であって、

コンピュータシステムのメモリコントローラと前記メモリモジュールの前記複数のメモリ装置との間のデータ線上に、データ伝送回路を設けるステップであって、前記データ伝送回路はバイト型バッファを含む、データ伝送回路を設けるステップと、

書込み動作中に、前記データ伝送回路が、データ信号を複数の経路のうちの 1 つの経路上にある前記コンピュータシステムのメモリコントローラから、前記メモリモジュールの前記メモリ装置に移動させることを可能にするステップと、

読取動作中に、前記データ伝送回路が、前記メモリモジュールの前記メモリ装置からの複数のデータ信号をマージすることを可能にし、前記マージ済みデータ信号を前記コンピュータシステムのメモリコントローラに移動させるステップと

を含む、方法。

【請求項 26】

前記コンピュータシステムのメモリコントローラから制御情報を受け取り、前記制御情報に응答して少なくとも 1 つのモジュール制御信号を作り出すように構成されるコントロ

10

20

30

40

50

ーラを設けるステップをさらに含み、前記データ伝送回路がデータ信号を移動させることを可能にするステップは、前記少なくとも1つのモジュール制御信号を前記コントローラから前記データ伝送回路に伝送するステップを含む、請求項25に記載の方法。

【請求項27】

前記コンピュータシステムのメモリコントローラから制御情報を受け取り、前記制御情報に応答して少なくとも1つのモジュール制御信号を作り出すように構成されるコントローラを設けるステップをさらに含み、前記データ伝送回路が複数のデータ信号をマージすることを可能にするステップは、前記少なくとも1つのモジュール制御信号を前記コントローラから前記データ伝送回路に伝送するステップを含む、請求項25に記載の方法。

【請求項28】

複数のメモリ装置と、  
システムメモリコントローラから制御情報を受け取り、モジュール制御信号を作り出すように構成されるコントローラと、

前記複数のメモリ装置を前記システムメモリコントローラから隔離するように構成されるスイッチング回路であって、前記モジュール制御信号に応答して、書込みデータを前記システムメモリコントローラから前記複数のメモリ装置に移動させ、前記複数のメモリ装置からの読取データを前記システムメモリコントローラにマージするように動作可能である、スイッチング回路とを含む、メモリモジュール。

【請求項29】

前記複数のメモリ装置が、第1のランク内の第1のグループの前記複数のメモリ装置と、第2のランク内の第2のグループの前記複数のメモリ装置とを含む、請求項28に記載のメモリモジュール。

【請求項30】

前記複数のメモリ装置が、第3のランク内の第3のグループの前記複数のメモリ装置と、第4のランク内の第4のグループの前記複数のメモリ装置とをさらに含み、前記第1のランクのデータ線が、前記第1のランクのデータ線および前記スイッチング回路に接続され、前記第2のランクのデータ線が、前記第4のランクのデータ線および前記スイッチング回路に接続される、請求項29に記載のメモリモジュール。

【請求項31】

前記スイッチング回路が、  
前記システムメモリコントローラに結合するためのデータ端子と、  
前記第1のグループの前記複数のメモリ装置に結合される第1のメモリ端子と、  
前記第2のグループの前記複数のメモリ装置に結合される第2のメモリ端子とを含む、  
前記スイッチング回路が書込みデータを移動させるとき、前記データ端子が、前記第1のメモリ端子および前記第2のメモリ端子の一方に結合され、

前記スイッチング回路が読取データをマージするとき、前記第1のメモリ端子および前記第2のメモリ端子の一方が前記データ端子に結合される、請求項29に記載のメモリモジュール。

【請求項32】

前記スイッチング回路が、  
前記データ端子を条件付で駆動するように構成される読取バッファと、  
前記第1のメモリ端子を条件付で駆動するように構成される第1のトライステートバッファと、  
前記第2のメモリ端子を条件付で駆動するように構成される第2のトライステートバッファとをさらに含む、請求項31に記載のメモリモジュール。

【請求項33】

前記スイッチング回路が、

10

20

30

40

50

前記データ端子からデータ信号を受け取り、前記受け取ったデータ信号を前記第 1 のトライステートバッファおよび前記第 2 のトライステートバッファに供給するように構成される書込みバッファと、

前記第 1 のメモリ端子からのデータ信号および前記第 2 のメモリ端子からのデータ信号を受け取り、前記第 1 のメモリ端子から受け取った前記データ信号および前記第 2 のメモリ端子から受け取った前記データ信号から選択したデータ信号を、前記読取バッファに供給するように構成される多重化装置と

をさらに含む、請求項 3 2 に記載のメモリモジュール。

【請求項 3 4】

前記メモリモジュールが、前記第 1 のランクと前記第 2 のランクとを 1 つの論理的メモリランクへと組み合わせるように構成される、請求項 2 9 に記載のメモリモジュール。

【請求項 3 5】

前記メモリモジュールが、デュアルインラインメモリモジュールである、請求項 2 8 に記載のメモリモジュール。

【請求項 3 6】

前記メモリ装置が、同期型ダイナミックランダムアクセスメモリを含む、請求項 2 8 に記載のメモリモジュール。

【請求項 3 7】

前記スイッチング回路が、信号波形を整形し直すように構成される、請求項 2 8 に記載のメモリモジュール。

【請求項 3 8】

前記コントローラが、前記メモリコントローラからのアドレス信号および制御信号をラッチするためのレジスタを含む、請求項 2 8 に記載のメモリモジュール。

【請求項 3 9】

複数のメモリ装置を含むメモリモジュールを動作させる方法であって、

コンピュータシステムのメモリコントローラと前記メモリモジュールの前記複数のメモリ装置との間のデータ線上に、負荷軽減スイッチング回路を設けるステップと、

書込み動作中に、前記負荷軽減スイッチング回路が、データ信号を複数の経路のうちの 1 つの経路上にある前記コンピュータシステムのメモリコントローラから、前記メモリモジュールの前記メモリ装置に移動させることを可能にするステップと、

読取動作中に、前記負荷軽減スイッチング回路が、前記メモリモジュールの前記メモリ装置からの複数のデータ信号をマージすることを可能にし、前記マージ済みデータ信号を前記コンピュータシステムのメモリコントローラに移動させるステップとを含む、方法。

【請求項 4 0】

前記負荷軽減スイッチング回路を可能にする前記ステップが、前記コンピュータシステムのメモリコントローラから制御情報を抽出して、前記負荷軽減スイッチング回路にイネーブル制御信号を与えるステップを含む、請求項 3 9 に記載の方法。

【請求項 4 1】

書込み動作中に、前記負荷軽減スイッチング回路が、データ信号を複数の経路のうちの 1 つの経路上にある前記コンピュータシステムのメモリコントローラから、前記メモリモジュールのメモリ装置に移動させることを可能にする前記ステップが、前記データ信号上で再生バッファ機能を実行するステップを含む、請求項 3 9 に記載の方法。

【請求項 4 2】

読取動作中に、前記負荷軽減スイッチング回路が、前記メモリモジュールの前記メモリ装置からの複数のデータ信号をマージすることを可能にし、前記マージ済みデータ信号を前記コンピュータシステムのメモリコントローラに移動させる前記ステップが、前記メモリモジュールの前記メモリ装置からのデータ信号に対して多重化機能を実行するステップを含む、請求項 3 9 に記載の方法。

【請求項 4 3】

2つ以上の物理的メモリランクを1つの論理的メモリランクへと組み合わせるステップをさらに含む、請求項39に記載の方法。

【請求項44】

前記2つ以上の物理的メモリランクが、前記コンピュータシステムのメモリコントローラからの単一のチップセレクト信号によりアクセス可能である、請求項43に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2009年7月16日に提出され、参照によりその全体が本明細書に組み込まれる米国特許出願第12/504,131号の一部継続出願である。

【0002】

背景

本開示は、一般にコンピュータシステムのメモリサブシステムに関し、より詳細には、メモリサブシステムまたはメモリ「ボード」、とりわけデュアルインラインメモリモジュール(DIMM)を含むメモリボードの性能および記憶容量を改善するためのシステム、装置、および方法に関する。

【背景技術】

【0003】

特定の種類のコンピュータメモリサブシステムは、プリント回路基板(PCB)上に取り付けられる複数のダイナミックランダムアクセスメモリ(DRAM)装置または同期型ダイナミックランダムアクセスメモリ(SDRAM)装置を含む。これらのメモリサブシステムまたはメモリ「ボード」は、サーバシステムやパーソナルコンピュータなどのコンピュータシステムのメモリスロットまたはソケット内に一般に取り付けられ、コンピュータシステムのプロセッサによってアクセスされる。メモリボードは、典型的には1つ以上のメモリモジュールを含み、メモリモジュールは、メモリモジュールの総記憶容量を提供する行、列およびバンクの固有の構成をなす複数のメモリ装置(DRAMやSDRAMなど)をそれぞれ有する。

【0004】

メモリモジュールのメモリ装置は、一般にメモリのランク(ranks of memory)または行として配置され、メモリの各ランクは一般にビット幅を有する。例えば、メモリモジュールの各ランクが64ビット幅であるメモリモジュールは、「x64」または「by64」構成を有するものとして記載する。同様に、72ビット幅のランクを有するメモリモジュールは、「x72」または「by72」構成を有するものとして記載する。

【0005】

メモリモジュールの記憶容量は、メモリ装置の数とともに増加する。メモリモジュールのメモリ装置の数は、ランクあたりのメモリ装置の数を増やすことにより、またはランクの数を増やすことにより増やすことができる。メモリモジュールの記憶容量に言及するのではなく、特定の状況では、むしろメモリモジュールの記憶密度に言及する。

【0006】

動作中、プロセッサから受け取られる制御信号により、メモリモジュールの各ランクが選択されまたは活性化される。そのような制御信号の例には、これだけに限定されないが、チップセレクト信号とも呼ばれるランクセレクト信号が含まれる。ほとんどのコンピュータシステムおよびサーバシステムは、メモリモジュールあたり限られた数のランクをサポートし、このことは各メモリモジュールに取り込むことができる記憶密度を限定する。

【0007】

電子システム内の記憶空間は、アドレスビットの数によって定められる物理的にアドレス指定可能な空間により、または選択されるチップの数により限定される。概して、電子システムのための記憶空間が定められると、広範な設計変更なしにその記憶空間を修正す

10

20

30

40

50

ることは実現可能でない。これは、記憶空間が電子素子技術連合評議会（JEDEC）などのコンソーシアムによって定められる場合にとりわけ当てはまる。ユーザのアプリケーションが、現在の電子システムがサポートするように設計されている記憶空間よりも大きいアドレス指定可能記憶空間を必要とする場合に問題が生じる。

#### 【0008】

メモリサブシステムを開発する際には、記憶密度、消費電力（または熱散逸）、速度、およびコストが常に考慮される。概して、これらの特性は互いに独立しておらず、つまりある特性を最適化することは別の特性に悪影響を及ぼす場合がある。例えば記憶密度を高めることは、より高い消費電力、より遅い動作速度、およびより高いコストを一般にもたらす。

#### 【0009】

さらに、これらの特性に関連する物理的制約によりメモリサブシステムの仕様が導かれる可能性がある。例えば、熱散逸が高いことは動作速度を制限する場合があり、またはメモリモジュールの物理的大きさがモジュールの密度を制限することがある。

#### 【0010】

これらの特性は概してメモリモジュールの設計パラメータに影響し、より高密度のメモリカードを実現するためにメモリサブシステムにより多くのメモリ装置を実装する場合、メモリシステムが動作速度を落とすことを通常は必要とする。

#### 【発明の概要】

#### 【0011】

##### 概要

特定の実施形態において、メモリモジュールを提供する。そのメモリモジュールは、少なくとも1つのプリント回路基板と、その少なくとも1つのプリント回路基板に機械的に結合される複数のメモリ装置とを含む。そのメモリモジュールは、少なくとも1つのプリント回路基板に機械的に結合される制御回路をさらに含む。その制御回路は、システムメモリコントローラから制御信号を受け取り、複数のメモリ装置にモジュール制御信号を伝送するように構成可能である。そのメモリモジュールは、少なくとも1つのプリント回路基板に機械的に結合され、かつその少なくとも1つのプリント回路基板に対して対応する位置に分散される複数のデータ伝送回路をさらに含む。その複数のデータ伝送回路は、システムメモリコントローラに動作可能に結合するように構成可能であり、制御回路からモジュール制御信号を受け取るように構成可能である。複数のデータ伝送回路のうちの少なくとも1つの第1のデータ伝送回路が、複数のメモリ装置のうちの少なくとも2つのメモリ装置に動作可能に結合される。複数のデータ伝送回路のうちの少なくとも1つの第2のデータ伝送回路が、複数のメモリ装置のうちの少なくとも2つのメモリ装置に動作可能に結合される。少なくとも1つの第1のデータ伝送回路は、システムメモリコントローラと、少なくとも1つの第1のデータ伝送回路に動作可能に結合される少なくとも2つのメモリ装置のうちの少なくとも1つの被選択メモリ装置との間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能である。少なくとも1つの第2のデータ伝送回路は、システムメモリコントローラと、少なくとも1つの第2のデータ伝送回路に動作可能に結合される少なくとも2つのメモリ装置のうちの少なくとも1つの被選択メモリ装置との間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能である。

#### 【0012】

特定の実施形態において、メモリモジュールを提供する。そのメモリモジュールは、複数のメモリ装置と、システムメモリコントローラから制御情報を受け取り、モジュール制御信号を作り出すように構成されるコントローラとを含む。そのメモリモジュールは、複数のメモリ装置をシステムメモリコントローラから選択的に隔離するように構成される複数の回路をさらに含む。それらの回路は、モジュール制御信号に応答して、書込みデータをシステムメモリコントローラから複数のメモリ装置に移動させ、複数のメモリ装置からの読取データをシステムメモリコントローラにマージするように動作することができる。

10

20

30

40

50



それらの回路は、互いに離れた対応する位置に分散される。

【 0 0 1 3 】

特定の実施形態において、複数のメモリ装置を含むメモリモジュールを動作させる方法を提供する。その方法は、コンピュータシステムのメモリコントローラとメモリモジュールの複数のメモリ装置との間のデータ線上に、データ伝送回路を設けるステップを含む。そのデータ伝送回路は、バイト型(byte-wise)バッファを含む。その方法は、書込み動作中に、データ伝送回路が、データ信号を複数の経路のうちの1つの経路上にあるコンピュータシステムのメモリコントローラから、メモリモジュールのメモリ装置に移動させることを可能にするステップをさらに含む。その方法は、読取動作中に、データ伝送回路が、メモリモジュールのメモリ装置からの複数のデータ信号をマージすることを可能にし、そのマージ済みデータ信号をコンピュータシステムのメモリコントローラに移動させるステップをさらに含む。

10

【 0 0 1 4 】

特定の実施形態において、複数のメモリ装置を含むメモリモジュールを提供する。そのメモリモジュールは、システムメモリコントローラから制御情報を受け取り、モジュール制御信号を作り出すように構成されるコントローラをさらに含むことができる。一部の実施形態では、そのメモリモジュールは、複数のメモリ装置をシステムメモリコントローラから隔離するように構成されるスイッチング回路を含む。そのスイッチング回路は、モジュール制御信号に応答して、書込みデータをシステムメモリコントローラから複数のメモリ装置に移動させ、一部の実施形態では、複数のメモリ装置からの読取データをシステムメモリコントローラにマージするように動作可能であり得る。

20

【 0 0 1 5 】

特定の実施形態により、複数のメモリ装置を含むメモリモジュールを動作させる方法を提供する。その方法は、コンピュータシステムのメモリコントローラとメモリモジュールの複数のメモリ装置との間のデータ線上に、負荷軽減スイッチング回路を設けるステップを含むことができる。一部の実施形態においてその方法は、書込み動作中に、負荷軽減スイッチング回路が、データ信号を複数の経路のうちの1つの経路上にあるコンピュータシステムのメモリコントローラから、メモリモジュールのメモリ装置に移動させることを可能にするステップを含む。特定の実施形態においてその方法は、読取動作中に、負荷軽減スイッチング回路が、メモリモジュールのメモリ装置からの複数のデータ信号をマージすることを可能にし、そのマージ済みデータ信号をコンピュータシステムのメモリコントローラに移動させるステップを含む。

30

【 0 0 1 6 】

次の詳細な説明と併せて検討するとき、添付図面を参照することにより本発明の完全な理解を得ることができる。

【 0 0 1 7 】

明瞭かつ簡潔にするために、これらの図面を通して、同様の要素およびコンポーネントは同様の指示および符号を有する。

【図面の簡単な説明】

【 0 0 1 8 】

40

【図 1 A】少なくとも1つの J E D E C 規格の 2 ランクメモリモジュールを実装する従来型メモリサブシステムの概略図である。

【図 1 B】少なくとも1つの J E D E C 規格の 4 ランクメモリモジュールを実装する従来型メモリサブシステムの概略図である。

【図 2 A】少なくとも1つの 2 ランクメモリモジュールを実装する別の従来型メモリサブシステムの概略図である。

【図 2 B】少なくとも1つの 4 ランクメモリモジュールを実装する別の従来型メモリサブシステムの概略図である。

【図 2 C】メモリバッファを含む従来型 2 ランクメモリモジュールの概略図である。

【図 2 D】メモリバッファを含む従来型 4 ランクメモリモジュールの概略図である。

50

【図 3 A】本開示の一実施形態によるメモリサブシステムの一例の概略図である。

【図 3 B】本明細書に記載の特定の実施形態によるメモリサブシステムの別の一例の概略図である。

【図 3 C】本明細書に記載の特定の実施形態によるメモリモジュールのメモリ装置、データ伝送回路、および制御回路の配置例の概略図である。

【図 3 D】本明細書に記載の特定の実施形態によるメモリサブシステムの一例の写真である。

【図 4 A】個々のメモリ装置のビット幅と同じビット幅を有するデータ伝送回路を含むメモリサブシステムの一例の概略図である。

【図 4 B】個々のメモリ装置のビット幅とは異なるビット幅を有するデータ伝送回路を含むメモリサブシステムの一例の概略図である。

【図 5】図 3 A のメモリサブシステムに適合するデータ伝送回路の一実施形態例の概略図である。

【図 6】図 3 A および図 5 のメモリシステムの動作を示すタイミング図の一例である。

【発明を実施するための形態】

【0019】

詳細な説明

記憶空間を増やすためのある方法は、アドレスデコーディング方式に基づく。この方法は、システムメモリを拡張するための特定用途向け集積回路 (ASIC) およびシステムオンチップ (SOC) 装置を設計する際にエレクトロニクス業界内で非常に広く採用されている。別の方法は、既存の電子システムのソフトウェアやハードウェアを大きく変えることなしに、アドレス指定可能な記憶空間を増やす。この方法は、チップセレクト信号とアドレス信号とを組み合わせ、物理的にアドレス指定可能な記憶空間の数を (例えば 2 倍、4 倍、8 倍、または同様に他の倍数で) 増やす。

【0020】

これらの方法にはいくつかの欠点がある。例えば、これらの方法はメモリチップを直接追加することによりアドレス指定可能な記憶空間を増やすので、システムコントローラの出力およびメモリ装置の出力により重い負荷が示され、より遅いシステムをもたらす。また、メモリ装置の数を増やすことは、より高い消費電力を招く。加えて、各メモリモジュール上のメモリ装置の数が増えることは、システムボードが同じままでありながらメモリモジュールの物理的特性を変えるので、全体的な信号 (伝送線) の波形特性が元の設計意図または仕様から逸脱する。さらに、とりわけレジスタード DIMM (RDIMM) を使用する場合、メモリ装置の数が増えることは、データ経路上の分散 RC 負荷の増加につながるが、制御経路 (例えばアドレス経路) 上の RC 負荷の増加にはつながらず、その結果、データ信号経路と制御信号経路との間で不均一な信号伝搬遅延をもたらす。本明細書で使用する時、用語「制御線」および「制御経路」にはアドレス線またはアドレス経路、およびコマンド線またはコマンド経路が含まれ、用語「制御信号」にはアドレス信号およびコマンド信号が含まれる。

【0021】

図 1 A および図 1 B は、メモリ装置の数を増やす先行技術の手法を示す。とりわけ図 1 A は、レジスタードデュアルインラインメモリモジュール (RDIMM) などの少なくとも 1 つの JEDEC 規格の 2 ランクメモリモジュール 110 を有する従来型メモリサブシステム 100 を示し、明瞭にするために、メモリモジュール 110 を 1 つだけ図示する。メモリモジュール 110 の各ランクは、ダイナミックランダムアクセスメモリ (DRAM) 装置や同期型 DRAM (SDRAM) 装置など、複数のメモリ装置 112 を含む。レジスタ 130 は、システムメモリコントローラ 120 から (1 本の実線で示す) 複数の制御線 140 を受け入れ、制御線 142 を介してメモリモジュール 110 の各ランクのメモリ装置 112 に接続される。このメモリサブシステム 100 は、システムメモリコントローラ 120 からの (破線で示す) 一連のデータ線 150 の各データ線を、各メモリモジュール 110 内の 2 つのランク内の対応するメモリ装置 112 に接続する。したがって書込み

10

20

30

40

50

動作中、システムメモリコントローラ 120 は、データ線 150 によりすべてのメモリ装置 112 をそれ自体の負荷とみなし、読取動作中、各メモリ装置 112 は、データ線 150 により他の複数のメモリ装置 112 ならびにシステムメモリコントローラ 120 をそれ自体の負荷とみなす。

#### 【0022】

図 1 B は、少なくとも 1 つの J E D E C 規格の 4 ランクメモリモジュール 110' (明瞭にするために 1 つだけ図示する) を有する別の従来型メモリサブシステム 100' の概略図であり、各ランクは複数のメモリ装置 112' を含む。レジスタ 130' は、システムメモリコントローラ 120' から (1 本の実線で示す) 複数の制御線 140' を受け入れ、制御線 142' を介してメモリモジュール 110' の各ランクのメモリ装置 112' に接続される。システムメモリコントローラ 120' からの (破線で示す) 一連のデータ線 150' の各データ線が、(例えば 4 つのファンアウトにより) 各メモリモジュール 110' 内の 4 つのランク内の対応するメモリ装置 112' に接続される。したがって、図 1 A に示す 2 ランクメモリモジュール 110 と同様に、書込み動作中、システムメモリコントローラ 120' はデータ線 150' によりすべてのメモリ装置 112' をそれ自体の負荷とみなし、読取動作中、各メモリ装置 112' は、データ線 150' により他の複数のメモリ装置 112' およびシステムメモリコントローラ 120' をそれ自体の負荷とみなす。

#### 【0023】

従来型の 2 ランクメモリモジュール 110 および従来型の 4 ランクメモリモジュール 110' の両方について、書込み動作中にメモリコントローラ 120、120' が認識する複数の負荷、および読取動作中にメモリ装置 112、112' が認識する複数の負荷は重大な性能問題を引き起こす。例えば同期動作では、メモリモジュール 110、110' の動作がコンピュータシステムのシステムバスと同期するように、様々な信号の時間遅延が互いに実質的に等しいことが望ましい。したがって、信号が同じクロック位相にあるようにメモリモジュール 110、110' のトレース長 (trace lengths) が選択される。例えば、レジスタ 130、130' からメモリ装置 112、112' のそれぞれまでの制御線 142、142' の長さは互いに実質的に等しい。しかし、より速いクロック速度では、トレース長における小さな誤差が、そのような同期動作を困難にまたは不可能にする。したがって、これらの先行技術の技法はメモリシステムの速度を遅くするだけでなく、元の設計仕様からの伝送線の波形特性の任意の逸脱を最小限にするためにハードウェアを修正することも必要とする。

#### 【0024】

図 2 A および図 2 B は、メモリ装置の数を増やす先行技術の別の手法を示す。とりわけ図 2 A は、少なくとも 1 つの 2 ランクメモリモジュール 210 を有する従来型メモリサブシステム 200 を示し、明瞭にするために、メモリモジュール 210 を 1 つだけ図示する。メモリモジュール 210 の各ランクは、ダイナミックランダムアクセスメモリ (D R A M) 装置や同期型 D R A M (S D R A M) 装置など、複数のメモリ装置 212 を含む。レジスタ 230 は、システムメモリコントローラ 220 から (1 本の実線で示す) 複数の制御線 240 を受け入れ、制御線 242 を介してメモリモジュール 210 の各ランクのメモリ装置 212 に接続される。このメモリサブシステム 200 は、システムメモリコントローラ 220 からの (破線で示す) 一連のデータ線 250 の各データ線を、各メモリモジュール 210 内の 2 つのランク内の対応するメモリ装置 212 に接続する。したがって書込み動作中、システムメモリコントローラ 220 はデータ線 250 によりすべてのメモリ装置 212 をそれ自体の負荷とみなし、読取動作中、各メモリ装置 212 は、データ線 250 により他の複数のメモリ装置 212 ならびにシステムメモリコントローラ 220 をそれ自体の負荷とみなす。

#### 【0025】

図 2 B は、少なくとも 1 つの 4 ランクメモリモジュール 210' (明瞭にするために 1 つだけ図示する) を有する別の従来型メモリサブシステム 200' の概略図であり、各ラ

ンクは複数のメモリ装置 2 1 2 ' を含む。レジスタ 2 3 0 ' は、システムメモリコントローラ 2 2 0 ' から ( 1 本の実線で示す ) 複数の制御線 2 4 0 ' を受け入れ、制御線 2 4 2 ' を介してメモリモジュール 2 1 0 ' の各ランクのメモリ装置 2 1 2 ' に接続される。システムメモリコントローラ 2 2 0 ' からの ( 破線で示す ) 一連のデータ線 2 5 0 ' の各データ線が、 ( 例えば 4 つのファンアウトにより ) 各メモリモジュール 2 1 0 ' 内の 4 つのランク内の対応するメモリ装置 2 1 2 ' に接続される。したがって図 2 A に示す 2 ランクメモリモジュール 2 1 0 と同様に、書込み動作中、システムメモリコントローラ 2 2 0 ' はデータ線 2 5 0 ' によりすべてのメモリ装置 2 1 2 ' をそれ自体の負荷とみなし、読取動作中、各メモリ装置 2 1 2 ' は、データ線 2 5 0 ' により他の複数のメモリ装置 2 1 2 ' およびシステムメモリコントローラ 2 2 0 ' をそれ自体の負荷とみなす。

10

#### 【 0 0 2 6 】

メモリモジュール 2 1 0 、 2 1 0 ' では、制御線 2 4 2 、 2 4 2 ' が「フライバイ」構成を有する。そのような構成では、制御信号がレジスタ 2 3 0 、 2 3 0 ' から所与のランクのメモリ装置 2 1 2 、 2 1 2 ' に ( 例えば単一経路のデিজチェーンをなす ) 制御線 2 4 2 、 2 4 2 ' に沿って送られる。これらの制御信号は、最も短い制御線 2 4 2 、 2 4 2 ' を有するメモリ装置 2 1 2 、 2 1 2 ' に最初に到達し、次いで次に短い制御線 2 4 2 、 2 4 2 ' を有するメモリ装置 2 1 2 、 2 1 2 ' に到達し、その後も同様の順序で到達しながらランクの各メモリ装置 2 1 2 、 2 1 2 ' に順次到達する。例えばある制御信号は、同一制御信号が最も短い制御線 2 4 2 、 2 4 2 ' を有するメモリ装置 2 1 2 、 2 1 2 ' に到達してからかなりの時間経ってから、最も長い制御線 2 4 2 、 2 4 2 ' を有するメモリ装置 2 1 2 、 2 1 2 ' に到達し得る。同期動作のために、メモリサブシステム 2 0 0 、 2 0 0 ' は、データ信号および制御信号が特定のメモリ装置 2 1 2 、 2 1 2 ' に到達することによりメモリモジュール 2 1 0 、 2 1 0 ' の動作がコンピュータシステムのシステムバスと同期するように、メモリコントローラ 2 2 0 、 2 2 0 ' と特定のメモリ装置 2 1 2 、 2 1 2 ' との間の様々なデータ信号の時間遅延が実質的に調整されるように構成されるデータ線 2 5 0 、 2 5 0 ' を有する。そのような「フライバイ」構成は、「全体的な非同期性」を有しながら「局所的同期」状態で動作するものとして説明した。

20

#### 【 0 0 2 7 】

そのような「フライバイ」構成では、図 2 A および図 2 B のメモリコントローラ 2 2 0 、 2 2 0 ' は、様々なメモリ装置 2 1 2 、 2 1 2 ' 間の時間遅延を考慮し、同期動作のためにこれらの信号のタイミングを適切に調節する点で図 1 A および図 1 B のメモリコントローラ 1 2 0 、 1 2 0 ' よりも複雑である。しかし一部の状況では、クロックサイクル時間が、最も長い制御線 2 4 2 、 2 4 2 ' を有するメモリ装置 2 1 2 、 2 1 2 ' に到達する制御信号と、最も短い制御線 2 4 2 、 2 4 2 ' を有するメモリ装置 2 1 2 、 2 1 2 ' に到達する制御信号との間の時間差 ( 例えば約 9 0 0 ピコ秒 ) にほぼ等しく、またはその時間差よりも短い。そのような状況下では、同期動作を達成することはできない。したがって、制御線 2 4 2 、 2 4 2 ' の両極端にあるメモリ装置 2 1 2 、 2 1 2 ' に到達する制御信号間の時間差は、メモリモジュール 2 1 0 、 2 1 0 ' を動作させることができるクロック速度に対して制限を与える。1クロックサイクルを上回り得るこれらの時間差は、メモリモジュールの動作速度および性能を制限する。加えて、図 1 A および図 1 B のメモリサブシステム 1 0 0 、 1 0 0 ' と同様に、図 2 A および図 2 B の「フライバイ」メモリサブシステム 2 0 0 、 2 0 0 ' は、より遅いクロック速度を招く大きな負荷を被る。

30

40

#### 【 0 0 2 8 】

「フライバイ」構成に関する最近の 1 つの提案は、制御信号およびデータ信号の両方を処理するメモリバッファを設けるというものである。図 2 C および図 2 D は、メモリバッファ 3 3 0 、 3 3 0 ' をそれぞれが含む従来型の 2 ランクメモリモジュール 3 1 0 および 4 ランクメモリモジュール 3 1 0 ' をそれぞれ概略的に示す。制御線 3 4 0 、 3 4 0 ' は、メモリコントローラ 3 2 0 、 3 2 0 ' からメモリバッファ 3 3 0 、 3 3 0 ' までの制御信号用のコンジットを提供し、制御線 3 4 2 、 3 4 2 ' は、メモリバッファ 3 3 0 、 3 3 0 ' からメモリ装置 3 1 2 、 3 1 2 ' までの制御信号用のコンジットを提供する。複数の

50

データ線 350、350' (明瞭にするために 1 本の破線で示す) は、メモリコントローラ 320、320' からメモリバッファ 330、330' までのデータ信号用のコンジットを提供し、メモリモジュール 310、310' 上のデータ線 (明瞭にするために図示せず) は、メモリコントローラ 320、320' からメモリ装置 312、312' までのデータ信号用のコンジットを提供する。

#### 【0029】

図 2 C および図 2 D の構成は、データ信号および制御信号の両方をメモリバッファ 330、330' に行かせようとする。しかし、そのような構成には重大な欠点がある。様々なメモリ装置 312、312' にデータ信号を送るために、メモリモジュール 310、310' は、メモリバッファ 330、330' をメモリ装置 312、312' に結合する極めて多数のデータ線 (明瞭にするために図示せず) を含む。例えば、特定の状況では、LRDIMM 用のメモリバッファ 330、330' は、極めて大きい 628 ピンデバイスである。さらに、メモリバッファ 330、330' からメモリ装置 312、312' への所望のデータ信号のタイミングを実現するように、これらの多数のデータ線の時間遅延を調整するロジスティックは複雑でありまたは難しい。また、従来のメモリコントローラが有するデータ信号タイミング制御の一部をメモリバッファ 330、330' が引き継ぐので、メモリモジュール 310、310' は、メモリコントローラ 320、320' の大幅な修正形態を利用する。たとえそうであっても、図 2 C および図 2 D のメモリモジュール 310、310' は、所望のクロック周波数と比べて長いフライバイ時間が原因で、同期モードではなく非同期モードでしか動作することができない。例えば 1 ナノ秒のフライバイ遅延について、データ転送速度が 1 Gb / 秒の場合、読取 / 書込みの転換 (turnaround) の間にデータ線上で衝突の可能性がある。そのような衝突を抑制しようとするために、データ転送速度を落とすことができ、または「デッド」サイクルを挿入することができる。単一ユニットとして、メモリモジュール 310、310' は同期モードで動作することはできないが、局所的に同期、全体的には (DIMM レベルでは) 非同期として動作する。

#### 【0030】

図 3 A は、本明細書に記載の特定の実施形態による負荷軽減メモリモジュール 402 を有するメモリサブシステム 400 の一例を概略的に示す。図 3 B は、本明細書に記載の特定の実施形態による負荷軽減メモリモジュール 402' を有するメモリサブシステム 400' の別の一例を概略的に示す。図 3 C は、本明細書に記載の特定の実施形態によるメモリモジュール 402' のメモリ装置 412'、データ伝送回路 416'、および制御回路 430' の配置例を概略的に示す。図 3 D は、本明細書に記載の特定の実施形態によるメモリサブシステム 400 の一例の写真である。図 3 A ~ 図 3 C では、制御線 (例えばシステムメモリコントローラ 420、420' をメモリモジュール 410、410' に結合するアドレスおよび制御線 440、440') を破線で示し、データ線 (例えばシステムメモリコントローラ 420、420' をメモリモジュール 410、410' に結合するデータ線 450、450') を実線で示し、図 3 A および図 3 B では、入出力接続を黒色点で示す。図 3 A ~ 図 3 C により概略的に示すように、特定の実施形態では、システムメモリコントローラ 420、420' をメモリモジュール 410、410' (例えば制御回路 430、430') に結合するアドレスおよび制御線 440、440' は、システムメモリコントローラ 420、420' をメモリモジュール 410、410' (例えばデータ伝送回路 416、416') に結合するデータ線 450、450' とは別である。特定の実施形態では、メモリサブシステム 400、400' は、例えば従来型メモリサブシステムに比べ、熱散逸がより低い状態でより速い速度およびより高い記憶密度を与えるように設計される。以下の解説では、サブシステム 400 および対応するコンポーネント (例えばメモリモジュール 402、メモリ装置 412 A、412 B、412 C、412 D、データ伝送回路 416、制御回路 430) の一例の諸態様、ならびにサブシステム 400' および対応するコンポーネント (例えばメモリモジュール 402'、メモリ装置 412' A<sub>1</sub>、412' A<sub>2</sub>、412' B<sub>1</sub>、412' B<sub>2</sub>、412' C<sub>1</sub>、412' C<sub>2</sub>、412' D<sub>1</sub>、412' D<sub>2</sub>、データ伝送回路 416'、制御回路 430') の一例の諸態様は、他の特定

10

20

30

40

50

の実施形態にも適用されることを理解すべきである。

【0031】

図3Aおよび図3Bに概略的に示すように、メモリモジュール402、402'の一例は、少なくとも1つのプリント回路基板410、410'と、その少なくとも1つのプリント回路基板410、410'に機械的に結合される複数のメモリ装置412、412'を含む。メモリモジュール402、402'は、少なくとも1つのプリント回路基板410、410'に機械的に結合される制御回路430、430'をさらに含む。その制御回路430、430'は、システムメモリコントローラ420、420'から制御信号を受け取り、複数のメモリ装置412、412'にモジュール制御信号を伝送するように構成可能である。メモリモジュール402、402'は、少なくとも1つのプリント回路基板410、410'に機械的に結合され、かつその少なくとも1つのプリント回路基板410、410'に対して対応する位置に分散される複数のデータ伝送回路416、416'をさらに含む。複数のデータ伝送回路416、416'は、システムメモリコントローラ420、420'に動作可能に結合するように構成可能であり、制御回路430、430'からモジュール制御信号を受け取るように構成可能である。複数のデータ伝送回路416、416'のうちの少なくとも1つの第1のデータ伝送回路が、複数のメモリ装置412、412'のうちの少なくとも2つのメモリ装置に動作可能に結合される。複数のデータ伝送回路416、416'のうちの少なくとも1つの第2のデータ伝送回路が、複数のメモリ装置412、412'のうちの少なくとも2つのメモリ装置に動作可能に結合される。少なくとも1つの第1のデータ伝送回路は、システムメモリコントローラ420、420'と、少なくとも1つの第1のデータ伝送回路に動作可能に結合される少なくとも2つのメモリ装置のうちの少なくとも1つの被選択メモリ装置との間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能である。少なくとも1つの第2のデータ伝送回路は、システムメモリコントローラ420、420'と、少なくとも1つの第2のデータ伝送回路に動作可能に結合される少なくとも2つのメモリ装置のうちの少なくとも1つの被選択メモリ装置との間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能である。

【0032】

図3Aおよび図3Bに示すように、メモリサブシステム400、400'は、当技術分野でよく知られている種類の(例えばIntel Nehalem EP, EXチップセット、AMD Opteronチップセット)システムメモリコントローラ420、420'に動作可能に結合するように構成可能である。メモリサブシステム400、400'は、典型的にはDIMMやRDIMMなどの1つ以上のメモリモジュール402、402'を含み、明瞭にするために、そのさらなる詳細は1つのメモリモジュールについてだけ図示する。様々な種類のメモリモジュール402、402'が、本明細書に記載の実施形態に適合する。例えば、512MB、1GB、2GB、4GB、8GBの記憶容量ならびに他の容量を有するメモリモジュールが、本明細書に記載の実施形態に適合する。さらに、4バイト、8バイト、9バイト、16バイト、32バイト、または32ビット、64ビット、72ビット、128ビット、256ビットの幅ならびに他の(バイト単位またはビット単位の)幅を有するメモリモジュールが、本明細書に記載の実施形態に適合する。さらに、本明細書に記載の実施形態に適合するメモリモジュール402、402'には、これらだけに限定されないが、シングルインラインメモリモジュール(SIMM)、デュアルインラインメモリモジュール(DIMM)、スモールアウトラインDIMM(SODIMM)、アンバッファードDIMM(UDIMM)、レジスタードDIMM(RDIMM)、フリーバッファードDIMM(FBDIMM)、ミニDIMM、およびマイクロDIMMが含まれる。

【0033】

1つ以上のメモリモジュール402、402'は、(図示のように)垂直スタック状にまたは連続(back-to-back)アレイ状に配置することができる1つもしくは複数のプリント回路基板(PCB)410、410'を含む。各メモリモジュール402、402'は、

特定の実施形態では単一のPCB410、410'を含む一方で、他の特定の実施形態では、メモリモジュール402の1つ以上のそれぞれが複数のPCB410、410'を含む。一部の実施形態では、PCB410、410'はコンピュータシステムのモジュールスロット(図示せず)内に実装可能である。そうした特定の実施形態のPCB410、410'は、複数の電気接点を備える少なくとも1つのエッジコネクタ(図示せず)を有し、その複数の電気接点はPCB410、410'の端部に位置し、システムメモリコントローラ420、420'とPCB410、410'上のメモリモジュール402、401'の様々なコンポーネントとの間に導電性を与えるために、コンピュータシステムのソケットの対応する接点に取外し可能に結合するように構成される。

#### 【0034】

少なくとも1つのメモリモジュール402、402'が、複数のメモリ装置412、412'(DRAMやSDRAMなど)を含む。メモリモジュール402、402'のメモリ装置412、412'は、有利には複数の行またはランク状に配置することができる。本明細書に記載の実施形態に適合するメモリ装置412、412'には、これらだけに限定されないが、ランダムアクセスメモリ(RAM)、ダイナミックランダムアクセスメモリ(DRAM)、同期型DRAM(SDRAM)、およびダブルデータレートDRAM(例えばDDR、DDR2、DDR3等)が含まれる。さらに4、8、16、32のビット幅ならびに他のビット幅を有するメモリ装置412、412'が、本明細書に記載の実施形態に適合する。本明細書に記載の実施形態に適合するメモリ装置412、412'は、これらだけに限定されないが、薄型小型パッケージ(TSOP)、ボールグリッドアレイ(BGA)、微細BGA(FBGA)、マイクロBGA( $\mu$ BGA)、ミニBGA(mBGA)、およびチップスケールパッケージング(CSP)が含まれるパッケージングを有する。

#### 【0035】

特定の実施形態では、メモリモジュール402、402'のメモリ装置412、412'が4つのランク状に配置されるが、メモリモジュール402、402'あたり4ランク未満の実施形態(例えば1ランク、2ランク、3ランク)または4ランクを上回る実施形態(例えば6ランク、8ランク)を採用してもよい。特定の実施形態では、各ランクは8または9のメモリモジュールを含むが、他の特定の実施形態では、ランクあたり他の数のメモリモジュールを使用することもできる。図3Aに概略的に示すように、特定の実施形態ではメモリ装置412がA、B、CおよびDで示す4つのランク状に配置され、各ランクはnのメモリ装置を含む。本開示では、図3Aのメモリサブシステム400の一例において、ランクAがメモリ装置412A<sub>1</sub>、412A<sub>2</sub>、...412A<sub>n</sub>を含み、ランクBがメモリ装置412B<sub>1</sub>、412B<sub>2</sub>、...412B<sub>n</sub>を含み、ランクCがメモリ装置412C<sub>1</sub>、412C<sub>2</sub>、...412C<sub>n</sub>を含み、ランクDがメモリ装置412D<sub>1</sub>、412D<sub>2</sub>、...412D<sub>n</sub>を含む。本開示では、図3Bのメモリサブシステム400'の一例において、ランクAがメモリ装置412'A<sub>1</sub>、412'A<sub>2</sub>、...412'A<sub>n</sub>を含み、ランクBがメモリ装置412'B<sub>1</sub>、412'B<sub>2</sub>、...412'B<sub>n</sub>を含み、ランクCがメモリ装置412'C<sub>1</sub>、412'C<sub>2</sub>、...412'C<sub>n</sub>を含み、ランクDがメモリ装置412'D<sub>1</sub>、412'D<sub>2</sub>、...412'D<sub>n</sub>を含む。

#### 【0036】

特定の実施形態では、少なくとも1つのメモリモジュール402、402'が1つ以上の電気コンポーネント(図示せず)を含み、電気コンポーネントは、PCB410、410'上に、PCB410、410'内に、またはPCB410、410'上/内の両方に実装することができ、互いにおよび複数のメモリ装置412、412'に動作可能に結合される。例えばその電気コンポーネントは、表面実装し、挿入実装し、PCB410、410'のレイヤ間に埋め込みもしくは埋設し、または他の方法でPCB410、410'に接続することができる。これらの電気コンポーネントには、これらだけに限定されないが、電線管、抵抗器、コンデンサ、インダクタ、トランジスタ、バッファ、レジスタ、論理素子、または他の回路素子が含まれ得る。特定の実施形態では、これらの電気コンポー

10

20

30

40

50

ネットの少なくとも一部がディスクリートであるのに対し、他の特定の実施形態では、これらの電気コンポーネントの少なくとも一部が1つ以上の集積回路の構成要素である。

【0037】

特定の実施形態では、少なくとも1つのメモリモジュール402、402'が、システムメモリコントローラ420、420'およびメモリモジュール402、402'のメモリ装置412、412'に(例えば線442、442'を介して)動作可能に結合するように構成される制御回路430、430'を含む。特定の実施形態では、制御回路430、430'は、プログラム可能論理デバイス(PLD)、特定用途向け集積回路(ASIC)、書替え可能ゲートアレイ(FPGA)、特注設計の半導体デバイス、複合プログラム可能論理デバイス(CPLD)など、1つ以上の機能デバイスを含むことができる。特定の実施形態では、制御回路430、430'が1つ以上のカスタムデバイスを含むことができる。特定の実施形態では、制御回路430、430'は様々なディスクリート電気素子を含むことができるのに対し、他の実施形態では、制御回路430、430'は1つ以上の集積回路を含むことができる。

【0038】

特定の実施形態の制御回路430、430'は、システムメモリコントローラ420、420'から制御信号(例えばバンクアドレス信号、行アドレス信号、列アドレス信号、アドレスストロブ信号、およびランクアドレスまたはチップセレクト信号)を受け取るために、制御線440、440'に動作可能に結合するように構成可能である。特定の実施形態の制御回路430、430'は、従来のRDIMMのアドレスレジスタと機能的に同等の方法で制御線440、440'からの信号を記録する。記録された制御線440、440'は、メモリ装置412、412'にも動作可能に結合される。さらに、制御回路430、430'は、以下により完全に説明するように、(例えば線432、432'を介して)データ伝送回路416、416'用の制御信号を供給する。制御信号は、例えばデータフローの方向、つまりメモリ装置412、412'への方向またはメモリ装置412、412'からの方向を指示する。制御回路430、430'は、アドレスデコーディングに基づき、追加のチップセレクト信号を作り出し、またはイネーブル信号を出力することができる。参照によりその全体が本明細書にそれぞれ組み込まれる米国特許第7,289,386号および同第7,532,537号に、制御回路430、430'としての機能を果たすことができる回路の例がより詳細に記載されている。

【0039】

特定の実施形態では、少なくとも1つのメモリモジュール402、402'が複数のデータ伝送回路416、416'を含み、それら複数のデータ伝送回路416、416'は、1つ以上のPCB410、410'上に実装され、1つ以上のPCB410、410'内に実装され、または1つもしくは複数のPCB410、410'上/内の両方に実装される。複数のデータ伝送回路416、416'は(例えば線432、432'を介して)制御回路430、430'に動作可能に結合され、メモリモジュール402、402'をコンピュータシステムに動作可能に結合するとき、(例えばデータ線450、450'を介して)システムメモリコントローラ420、420'に動作可能に結合するように構成される。特定の実施形態では、これらのデータ伝送回路416、416'は「負荷軽減回路」または「負荷軽減スイッチング回路」と呼ぶことができる。本明細書で使用するとき、用語「負荷軽減」または「負荷軽減スイッチング」は、データ伝送回路416、416'を使用して、メモリモジュール402、402'に動作可能に結合されているときにシステムメモリコントローラ420、420'が認識する負荷を減らすことを指す。図3Aに概略的に示すように、特定の実施形態ではメモリモジュール402がnのデータ伝送回路416を含み、ただしnはメモリモジュール410のランクあたりのメモリ装置の数である。例えば、図3Aに概略的に示すように、メモリモジュール410のメモリ装置412は、それぞれがnのメモリ装置からなる4つのランク状に配置されており、メモリモジュール410は、少なくとも第1のデータ伝送回路416<sub>1</sub>および第2のデータ伝送回路416<sub>2</sub>を含む。そうした特定の実施形態の第1のデータ伝送回路416<sub>1</sub>は、各ランク



の少なくとも1つのメモリ装置412（例えばメモリ装置412A<sub>1</sub>、412B<sub>1</sub>、412C<sub>1</sub>、412D<sub>1</sub>）に動作可能に結合される。そうした特定の実施形態の第2のデータ伝送回路416<sub>2</sub>は、各ランクの少なくとも1つのメモリ装置412（例えばメモリ装置412A<sub>2</sub>、412B<sub>2</sub>、412C<sub>2</sub>、412D<sub>2</sub>）に動作可能に結合される。図3Bに概略的に示すように、特定の実施形態ではメモリモジュール402'がn/2のデータ伝送回路416'を含み、ただしnはメモリモジュール410'のランクあたりのメモリ装置の数である。例えば、図3Bに概略的に示すように、メモリモジュール410'のメモリ装置412'は、それぞれがnのメモリ装置からなる4つのランク状に配置されており、メモリモジュール410'は、少なくとも第1のデータ伝送回路416'<sub>1</sub>および第2のデータ伝送回路416'<sub>2</sub>を含む。そうした特定の実施形態の第1のデータ伝送回路416'<sub>1</sub>は、各ランクの少なくとも2つのメモリ装置412'（例えばメモリ装置412'A<sub>1</sub>、412'A<sub>2</sub>、412'B<sub>1</sub>、412'B<sub>2</sub>、412'C<sub>1</sub>、412'C<sub>2</sub>、412'D<sub>1</sub>、412'D<sub>2</sub>）に動作可能に結合される。そうした特定の実施形態の第2のデータ伝送回路416'<sub>2</sub>は、各ランクの少なくとも2つのメモリ装置412'（例えばメモリ装置412'A<sub>3</sub>、412'A<sub>4</sub>、412'B<sub>3</sub>、412'B<sub>4</sub>、412'C<sub>3</sub>、412'C<sub>4</sub>、412'D<sub>3</sub>、412'D<sub>4</sub>）に動作可能に結合される。

#### 【0040】

特定の実施形態では、少なくとも1つのデータ伝送回路416、416'が、少なくとも1つの被選択メモリ装置412、412'をシステムメモリコントローラ420、420'に動作可能に結合するように2つ以上のメモリ装置412、412'を選択的に切り替える（例えばデータ伝送回路416、416'は、システムメモリコントローラ420、420'と、少なくとも1つの被選択メモリ装置412、412'との間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能である）。そうした特定の実施形態では、少なくとも1つのデータ伝送回路416、416'が、2つの被選択メモリ装置をシステムメモリコントローラ420、420'に選択的かつ動作可能に結合する。例えば、図3Aに概略的に示すように、第1のデータ伝送回路416<sub>1</sub>は、システムメモリコントローラ420と、被選択メモリ装置412A<sub>1</sub>および412C<sub>1</sub>、または被選択メモリ装置412B<sub>1</sub>および412D<sub>1</sub>）のいずれかとの間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能であり、第2のデータ伝送回路416<sub>2</sub>は、システムメモリコントローラ420と、被選択メモリ装置412A<sub>2</sub>および412C<sub>2</sub>、または被選択メモリ装置412B<sub>2</sub>および412D<sub>2</sub>）のいずれかとの間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能である。逆に、データ伝送回路416のない従来型メモリモジュールでは、2つ以上のメモリ装置412（例えばメモリ装置412A<sub>1</sub>、412B<sub>1</sub>、412C<sub>1</sub>、412D<sub>1</sub>）がシステムメモリコントローラ420に同時に動作可能に結合される。特定の実施形態のデータ伝送回路416は、メモリコントローラ420とデータ伝送回路416に対応するメモリ装置412との間のデータ信号を双方向にバッファする。別の例では、図3Bに概略的に示すように、第1のデータ伝送回路416'<sub>1</sub>は、システムメモリコントローラ420'と、被選択メモリ装置412'A<sub>1</sub>および412'C<sub>1</sub>、または被選択メモリ装置412'B<sub>1</sub>および412'D<sub>1</sub>のいずれか、ならびに被選択メモリ装置412'A<sub>2</sub>および412'C<sub>2</sub>、または被選択メモリ装置412'B<sub>2</sub>および412'D<sub>2</sub>）のいずれかとの間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能であり、第2のデータ伝送回路416'<sub>2</sub>は、システムメモリコントローラ420'と、被選択メモリ装置412'A<sub>3</sub>および412'C<sub>3</sub>、または被選択メモリ装置412'B<sub>3</sub>および412'D<sub>3</sub>のいずれか、ならびに被選択メモリ装置412'A<sub>4</sub>および412'C<sub>4</sub>、または被選択メモリ装置412'B<sub>4</sub>および412'D<sub>4</sub>）のいずれかとの間のデータ伝送を選択的に許可し、または禁止することにより、モジュール制御信号に応答するように構成可能である。

#### 【0041】

特定の実施形態では、データ伝送回路 4 1 6、4 1 6' の 2 つ以上が、互いに離れた対応する位置において少なくとも PCB 4 1 0、4 1 0' に機械的に結合される。例えば、図 3 A に概略的に示すように、第 1 のデータ伝送回路 4 1 6<sub>1</sub> および第 2 のデータ伝送回路 4 1 6<sub>2</sub> は、互いに離れた対応する位置にある（例えば第 1 のデータ伝送回路 4 1 6<sub>1</sub> を含むパッケージは、第 2 のデータ伝送回路 4 1 6<sub>2</sub> を含むパッケージの位置から間隔を置いた位置にある）。別の例では、図 3 B に概略的に示すように、第 1 のデータ伝送回路 4 1 6'<sub>1</sub> および第 2 のデータ伝送回路 4 1 6'<sub>2</sub> は、互いに離れた対応する位置にある（例えば第 1 のデータ伝送回路 4 1 6'<sub>1</sub> を含むパッケージは、第 2 のデータ伝送回路 4 1 6'<sub>2</sub> を含むパッケージの位置から間隔を置いた位置にある）。

そうした特定の実施形態では、データ伝送回路 4 1 6、4 1 6' の 2 つ以上が、メモリモジュール 4 0 2、4 0 2' の PCB 4 1 0、4 1 0' の表面の全体にわたって分散される。特定の実施形態では、2 つ以上のデータ伝送回路 4 1 6、4 1 6'（例えば図 3 A の第 1 のデータ伝送回路 4 1 6<sub>1</sub> および第 2 のデータ伝送回路 4 1 6<sub>2</sub>、または図 3 B の第 1 のデータ伝送回路 4 1 6'<sub>1</sub> および第 2 のデータ伝送回路 4 1 6'<sub>2</sub>）の対応する位置は、少なくとも 1 つの PCB 4 1 0、4 1 0' の端部 4 1 1、4 1 1' 沿いにあり、そのため、データ伝送回路 4 1 6、4 1 6' は、端部 4 1 1、4 1 1' と、データ伝送回路 4 1 6、4 1 6' が動作可能に結合される少なくとも 2 つのメモリ装置 4 1 2、4 1 2' のうちの少なくとも一部との間にほぼ位置する。

例えば、図 3 A に概略的に示すように、第 1 のデータ伝送回路 4 1 6<sub>1</sub> は、端部 4 1 1 と、第 1 のデータ伝送回路 4 1 6<sub>1</sub> が動作可能に結合されるメモリ装置 4 1 2 A<sub>1</sub>、4 1 2 B<sub>1</sub>、4 1 2 C<sub>1</sub>、4 1 2 D<sub>1</sub> との間にほぼ位置し、第 2 のデータ伝送回路 4 1 6<sub>2</sub> は、端部 4 1 1 と、第 2 のデータ伝送回路 4 1 6<sub>2</sub> が動作可能に結合されるメモリ装置 4 1 2 A<sub>2</sub>、4 1 2 B<sub>2</sub>、4 1 2 C<sub>2</sub>、4 1 2 D<sub>2</sub> との間にほぼ位置する。別の例では、図 3 B に概略的に示すように、第 1 のデータ伝送回路 4 1 6'<sub>1</sub> は、端部 4 1 1' と、第 1 のデータ伝送回路 4 1 6'<sub>1</sub> が動作可能に結合されるメモリ装置 4 1 2' A<sub>1</sub>、4 1 2' A<sub>2</sub>、4 1 2' B<sub>1</sub>、4 1 2' B<sub>2</sub>、4 1 2' C<sub>1</sub>、4 1 2' C<sub>2</sub>、4 1 2' D<sub>1</sub>、4 1 2' D<sub>2</sub> との間にほぼ位置し、第 2 のデータ伝送回路 4 1 6'<sub>2</sub> は、端部 4 1 1' と、第 2 のデータ伝送回路 4 1 6'<sub>2</sub> が動作可能に結合されるメモリ装置 4 1 2' A<sub>3</sub>、4 1 2' A<sub>4</sub>、4 1 2' B<sub>3</sub>、4 1 2' B<sub>4</sub>、4 1 2' C<sub>3</sub>、4 1 2' C<sub>4</sub>、4 1 2' D<sub>3</sub>、4 1 2' D<sub>4</sub> との間にほぼ位置する。

#### 【0042】

図 3 C および図 3 D は、本明細書に記載の特定の実施形態によるデータ伝送回路 4 1 6' の配置を示す。特定の実施形態では、データ伝送回路 4 1 6' のうちの少なくとも 1 つの位置は、データ伝送回路 4 1 6' が動作可能に結合されるメモリ装置 4 1 2' の 1 つ以上に対して概して整列される。例えば、データ伝送回路 4 1 6' のうちの 1 つ以上、およびそのデータ伝送回路 4 1 6' が動作可能に結合されるメモリ装置 4 1 2' は、概して PCB 4 1 0' の端部 4 1 1' にほぼ垂直な線に沿って位置することができる。特定の実施形態では、データ伝送回路 4 1 6' のうちの少なくとも 1 つの位置は、データ伝送回路 4 1 6' が動作可能に結合されるメモリ装置 4 1 2' の 1 つ以上の位置によって定められる線から概してずらされる。

例えば、図 3 C および図 3 D に示すように、データ伝送回路 4 1 6' に動作可能に結合されるメモリ装置 4 1 2' は、PCB 4 1 0' の端部 4 1 1' にほぼ垂直な線に沿って位置することができ、データ伝送回路 4 1 6' は、この線から PCB 4 1 0' の端部 4 1 1' に概ね沿う方向に概してずらすことができる。

そうした特定の実施形態では、データ伝送回路 4 1 6' は、メモリモジュール 4 0 0' の所望の大きさを維持しながら、端部 4 1 1' と対応するメモリ装置 4 1 2' との間に収まるように、縦横の大きさが十分に小さい（例えば 2 . 5 mm × 7 . 5 mm）。別個のデータ伝送回路 4 1 6' の他の位置および大きさも、本明細書に記載の特定の実施形態に適合する。

例えば特定の実施形態では、データ伝送回路 4 1 6、4 1 6' の 1 つ以上が 2 つ以上のメモリ装置 4 1 2、4 1 2' の間に位置することができ、または端部 4 1 1、4 1 1' と 1 つ以上のデータ伝送回路 4 1 6、4 1 6' との間の 1 つもしくは複数のメモリ装置 4 1 2、4 1 2' がある状態で、PCB 4 1 0、4 1 0' の端部 4 1 1、4 1 1' から離して間隔をあけ

ることができる。

#### 【0043】

特定の実施形態では、データ伝送回路416がバイト型バッファを含み、またはバイト型バッファとして機能する。そうした特定の実施形態では、1つ以上のデータ伝送回路416のそれぞれは、データ伝送回路416が動作可能に結合されるランクごとの関連するメモリ装置412が有するのと同じビット幅を有する。例えば(図3Aに概ね一致する)図4Aに概略的に示すように、データ伝送回路416はランクあたり1つのメモリ装置412に動作可能に結合することができ、データ伝送回路416、およびデータ伝送回路416が動作可能に結合されるランクごとのメモリ装置412の両方がそれぞれ同じビット幅(例えば4ビット、8ビット、または16ビット)を有することができる。図4Aのデータ伝送回路416は、8ビットのビット幅を有し、システムメモリコントローラ420からデータビット0~7を受け取り、制御回路430からのモジュール制御信号に応答し、そのデータビット0~7を被選択メモリ装置412A、412B、412C、412Dに選択的に伝送する。同様に、特定の実施形態のデータ伝送回路416'は、制御回路430'からのモジュール制御信号に応答し、データ伝送回路416'が動作可能に結合される関連するメモリ装置412'A、412'B、412'C、412'Dのためのバイト型バッファとして機能することができる。

#### 【0044】

他の特定の実施形態では、メモリ装置412の1つ以上のビット幅は、それらのメモリ装置412が接続される1つ以上のデータ伝送回路416のビット幅と異なってもよい。例えば(図3Bに概ね一致する)図4Bに概略的に示すように、各データ伝送回路416がランクごとの複数のメモリ装置412(例えば各ランク内の2つのメモリ装置412)に動作可能に結合する状態で、データ伝送回路416が第1のビット幅(例えば8ビットのビット幅)を有することができ、メモリ装置412が、第1のビット幅よりも少ない第2のビット幅(例えば第1のビット幅の半分、すなわち4ビットのビット幅)を有することができる。そうした特定の実施形態では、回路416に接続されるランクごとの複数のメモリ装置412の総ビット幅が、回路416のビット幅(例えば4ビット、8ビット、または16ビット)に等しくなる。図4Bのデータ伝送回路416は、8ビットの総ビット幅を有し、システムメモリコントローラ420からデータビット0~7を受け取り、制御回路430からのモジュール制御信号に応答し、データビット0~3を第1のメモリ装置412A<sub>1</sub>、412B<sub>1</sub>、412C<sub>1</sub>、412D<sub>1</sub>に、データビット4~7を第2のメモリ装置412A<sub>2</sub>、412B<sub>2</sub>、412C<sub>2</sub>、412D<sub>2</sub>に選択的に伝送する。同様に、特定の実施形態のデータ伝送回路416'は、制御回路430'からのモジュール制御信号に応答し、データ伝送回路416'が動作可能に結合される関連するメモリ装置412'A<sub>1</sub>、412'A<sub>2</sub>、412'B<sub>1</sub>、412'B<sub>2</sub>、412'C<sub>1</sub>、412'C<sub>2</sub>、412'D<sub>1</sub>、412'D<sub>2</sub>のビット幅とは異なるビット幅を用いて機能することができる。

#### 【0045】

特定の実施形態では、(例えば図4Aおよび図4Bの例に示すように)データ伝送回路416に「バイト型」バッファを含ませ、またはデータ伝送回路416を「バイト型」バッファとして機能させることにより、データ信号が同期クロックと同期する。さらに、メモリモジュール400が1つ以上の特徴(例えば温度、電圧、製造パラメータ)の変動を被るような特定の実施形態のために、バイト幅バッファリングを利用しない他の(例えば4ランクの8ビットメモリ装置を有し、2つの4ビットバッファを有する)構成に比べ、より少数のコンポーネントからなる回路を最適化するようにメモリモジュール400を設計することができる。特定の実施形態では、ビットスライスを行うためにデータ伝送回路416を使用し、ビットスライスではデータを区分単位で画定する。例えば、データを64ビット幅(例えば[63:0])であるように画定するのではなく、データを16ビット幅の区分単位で画定またはスライスすることができる(例えば[15:0]、[31:16]、[47:32]、[63:48])。そうした特定の実施形態では、すべての

ビットが一緒にされるとは限らず、すべてのビットが同じ挙動（例えば論理的および／または時間的）をもたらすとは限らない。

【0046】

本開示の一実施形態によるデータ伝送回路416の1つ以上が、ランクA、B、C、Dのそれぞれの中の1つ以上のメモリ装置412に接続されるデータ線452のうちの、対応する1つ以上に動作可能に結合される。例えば特定の実施形態では、各データ伝送回路416が、それぞれのランク内の対応する1つのメモリ装置（例えば図3Aに示すメモリ装置204A、204B、204C、および204D）に接続される1つ以上のデータ線452に接続される。したがって各データ線450、452は、データをシステムメモリコントローラ420から、データ伝送回路416を介し、データ伝送回路416に接続されるメモリ装置204A、204B、204C、204Dに運ぶ。メモリコントローラ420とメモリ装置412とが各データビットを互いの間で直接移動させる代わりに、特定の実施形態のデータ伝送回路416を使用して、メモリコントローラ420とメモリ装置412との間で各データビットを移動させることができる。とりわけ、以下により詳細に説明するように、特定の実施形態の各データ伝送回路416の片側は、各ランク内のメモリ装置412に（例えばデータ線452を介して）動作可能に結合される一方で、データ伝送回路416の反対側は、メモリコントローラ420の対応するデータ線450に動作可能に結合される。

10

【0047】

システムメモリコントローラ420が（例えば書込み動作中に）認識するメモリ装置負荷を減らすために、特定の実施形態のデータ伝送回路416は、システムメモリコントローラ420により単一のメモリ負荷として認識されるように有利に構成される。この有利な結果は、データ伝送回路416を使用して使用可能なメモリ装置412（例えばデータを書き込もうとする1つ、2つまたはそれ以上のメモリ装置412）だけをメモリコントローラ420に電氣的に結合し、残りのメモリ装置412（例えばデータを書き込まない1つ、2つまたはそれ以上のメモリ装置412）をメモリコントローラ420から電氣的に隔離することにより、特定の実施形態において望ましくは達成される。したがって、メモリモジュール400のあるランク内の単一のメモリ装置412にデータが書き込まれる書込み動作中、システムメモリコントローラ420からの各データビットは、データ伝送回路416が動作可能に結合される4つのメモリ装置412A、412B、412C、412Dのすべての負荷を同時に認識するのではなく、データ伝送回路416のうちの1つによって示されるメモリモジュール400の単一の負荷を認識する。図3Aの例では、2つのランク内の2つのメモリ装置412（例えばメモリ装置412Aと412C、またはメモリ装置412Bと412D）にデータが書き込まれる書込み動作中、システムメモリコントローラ420からの各データビットは、データ伝送回路416が動作可能に結合される4つのメモリ装置412A、412B、412C、412Dのすべての負荷を同時に認識するのではなく、データ伝送回路416のうちの1つによって示されるメモリモジュール402の単一の負荷を認識する。標準的なJEDEC4ランクDIMM構成（図2Aおよび図2B参照）に比べ、特定の実施形態のメモリシステム402は、システムメモリコントローラ420に対する負荷を4倍減らすことができる。

20

30

40

【0048】

図5は、本明細書に記載の特定の実施形態に適合するデータ伝送回路416の一例を概略的に示す。一実施形態では、データ伝送回路416は、データ伝送回路416の様々なコンポーネントを制御するために使用される制御論理回路502を含み、その様々なコンポーネントには、数あるコンポーネントの中でも1つ以上のバッファ、1つ以上のスイッチ、および1つ以上の多重化装置が含まれ得る。図5に示す実施形態は1ビット幅であり、メモリコントローラ420とメモリ装置412との間で単一のデータ線518を切り替える。他の実施形態では、データ伝送回路416は複数ビット幅、例えば8ビットとし、対応する数のデータ線518を切り替えることができる。複数ビット幅の実施形態では、制御論理回路502を複数のビットにわたって共用することができる。

50

## 【 0 0 4 9 】

メモリ装置 4 1 2 をシステムメモリコントローラ 4 2 0 から隔離する一環として、一実施形態では、データ伝送回路 4 1 6 が、書込みデータを「移動」させ、読取データを「マージ」することを可能にする。図 5 に示す動作上の実施形態では、書込み動作において、データ線 5 1 8 を介してデータ伝送回路 4 1 6 に入るデータが、好ましくは書込みバッファ 5 0 3 を通過した後に、経路 A および経路 B と表記する 2 つのデータ経路上に移される。メモリ装置 4 1 2 のランクも同様に、1 つのグループが経路 A に関連し、1 つのグループが経路 B に関連する状態で 2 つのグループに分けられる。図 3 A に示すように、ランク A およびランク C は第 1 のグループ内にあり、ランク B およびランク D は第 2 のグループ内にある。よって、ランク A およびランク C のメモリ装置 4 1 2 A、4 1 2 C は、2 つのデータ経路のうちの第 1 の経路によりデータ伝送回路 4 1 6 に接続され、ランク B およびランク D のメモリ装置 4 1 2 B、4 1 2 D は、2 つのデータ経路のうちの第 2 の経路によりデータ伝送回路 4 1 6 に接続される。他の実施形態では、書込みデータの移動および読取データのマージは、3 つ以上のデータ経路を介して行うことができる。

10

## 【 0 0 5 0 】

知られているように、カラムアドレスストロープ (C A S) レイテンシとは、メモリコントローラ 4 2 0 が被選択ランクまたは被選択行内の特定の列にアクセスするようにメモリモジュール 4 0 2 に知らせる瞬間と、特定の列へのまたは特定の列からのデータが、被選択ランクまたは被選択行の出力ピン上にある瞬間との間に経過する遅延時間である。メモリモジュールは、このレイテンシを使用してデータ伝送回路 4 1 6 の動作を制御することができる。レイテンシの間、アドレス信号および制御信号がメモリコントローラ 4 2 0 から制御回路 4 3 0 に渡り、その制御回路 4 3 0 は制御論理回路 5 0 2 に (例えば線 4 3 2 を介して) 送る制御を作り出し、その制御論理回路 5 0 2 はデータ伝送回路 4 1 6 のコンポーネントの動作を制御する。

20

## 【 0 0 5 1 】

書込み動作では C A S レイテンシの間、一実施形態において制御回路 4 3 0 が各データ伝送回路 4 1 6 の制御論理回路 5 0 2 にイネーブル制御信号を与え、それにより制御論理回路 5 0 2 は経路 A または経路 B のいずれかを選択してデータを導く。よって、制御論理回路 5 0 2 が例えば「イネーブル A」信号を受け取ると、経路 A 内の第 1 のトライステートバッファ 5 0 4 が使用可能にされ、データ値をそれ自体の出力上に能動的に移す一方で、経路 B 内の第 2 のトライステートバッファ 5 0 6 は、その出力が高インピーダンス状態を伴い使用不能にされる。この状態では、データ伝送回路 4 1 6 はデータが経路 A に沿って第 1 の端子 Y 1 に導かれることを許可し、その第 1 の端子 Y 1 は、第 1 のグループのメモリ装置 4 1 2、例えばランク A および C 内のメモリ装置 4 1 2 にだけ接続され、それらのメモリ装置 4 1 2 とだけ通信する。同様に、「イネーブル B」信号が受け取られる場合、第 1 のトライステート 5 0 4 が経路 A を開き、第 2 のトライステート 5 0 6 が経路 B を閉じ、それによりデータを第 2 の端子 Y 2 に導き、その第 2 の端子 Y 2 は、第 2 のグループのメモリ装置 4 1 2、例えばランク B および D 内のメモリ装置 4 1 2 にだけ接続され、それらのメモリ装置 4 1 2 とだけ通信する。

30

## 【 0 0 5 2 】

読取動作では、データ伝送回路 4 1 6 が多重化回路として動作する。例えば図 5 に示す実施形態では、あるランクのメモリ装置 4 1 2 から読み取ったデータ信号を、データ伝送回路 4 1 6 の第 1 の端子 Y 1 または第 2 の端子 Y 2 において受け取る。そのデータ信号は多重化装置 5 0 8 に供給され、多重化装置 5 0 8 はそれ自体の出力に送るデータ信号を選択する。制御論理回路 5 0 2 は、適切なデータ信号を選択するためのセレクト信号を生成し、選択されるデータ信号は、好ましくは読取バッファ 5 0 9 を通過した後に、単一のデータ線 5 1 8 に沿ってシステムメモリコントローラ 4 2 0 に伝送される。読取バッファ 5 0 9 は、読取動作中に制御論理回路 5 0 2 によって使用可能にされるトライステートバッファとすることができる。別の実施形態では、多重化装置 5 0 8 と読取バッファ 5 0 9 とを 1 つのコンポーネントに組み合わせることができる。さらに別の実施形態では、多重化

40

50

装置 5 0 8 および読取バッファ 5 0 9 の動作を 2 つのトライステートバッファに分けることができ、片方のトライステートバッファは、値を Y 1 からデータ線 5 1 8 に与えるためのものであり、もう片方のトライステートバッファは、値を Y 2 からデータ線 5 1 8 に与えるためのものである。

【 0 0 5 3 】

データ伝送回路 4 1 6 は、書込みバッファ 5 0 3 および読取バッファ 5 0 9 からの負荷をデータ線 5 1 8 上に示す。書込みバッファ 5 0 3 は、メモリ装置 4 1 2 のうちの 1 つのメモリ装置上の入力バッファに匹敵し、読取バッファ 5 0 9 は、メモリ装置 4 1 2 のうちの 1 つのメモリ装置上の出力バッファに匹敵する。したがってデータ伝送回路 4 1 6 は、メモリ装置 4 1 2 のうちの 1 つが示す負荷と実質的に同じ負荷をメモリコントローラ 4 2 0 に示す。同様に、データ伝送回路 4 1 6 は、多重化装置 5 0 8 ならびに（第 1 の端子 Y 1 に対する）第 1 のトライステートバッファ 5 0 4 および（第 2 の端子 Y 2 に対する）第 2 のトライステートバッファ 5 0 6 からの負荷を第 1 の端子 Y 1 および第 2 の端子 Y 2 上に示す。多重化装置 5 0 8 は、メモリコントローラ 4 2 0 上の入力バッファにロードすることについて匹敵し、第 1 のトライステートバッファ 5 0 4 および第 2 のトライステートバッファ 5 0 6 は、メモリコントローラ 4 2 0 上の出力バッファにそれぞれ匹敵する。したがってデータ伝送回路 4 1 6 は、メモリコントローラ 4 2 0 が示す負荷と実質的に同じ負荷をメモリ装置 4 1 2 に示す。

【 0 0 5 4 】

さらにデータ伝送回路 4 1 6 は、メモリコントローラ 4 2 0 とメモリ装置 4 1 2 との間を通過するデータ信号の品質を改善するように動作する。データ伝送回路 4 1 6 がなければ、送信側と受信側との間で、データ信号の波形が所望の形から大幅に劣化しまたは歪む可能性がある。例えば信号品質は、損失の多い伝送線特性、伝送線の諸区分の特性間のミスマッチ、信号のクロストーク、または電気雑音により劣化する可能性がある。しかし、読取方向において、読取バッファ 5 0 9 がメモリ装置 4 1 2 からの信号を再生成し、それにより所望の信号波形の形を復元する。同様に、書込み方向において、第 1 のトライステートバッファ 5 0 4 および第 2 のトライステートバッファ 5 0 6 がメモリコントローラ 4 2 0 からの信号を再生成し、それにより所望の信号波形の形を復元する。

【 0 0 5 5 】

再び図 3 A を参照し、メモリコントローラ 4 2 0 が読取動作または書込み動作を実行するとき、それぞれの特定の動作は、特定のメモリモジュール 4 0 2 のランク A、B、C、および D のうちの特定の 1 つを対象とする。メモリモジュール 4 0 2 のうちの明確に対象とされた 1 つのメモリモジュール 4 0 2 上のデータ伝送回路 4 1 6 は、双方向の中継器 / 多重化装置として機能し、それによりそのデータ伝送回路 4 1 6 は、システムメモリコントローラ 4 2 0 からメモリ装置 4 1 2 に接続するときにデータ信号を移動させる。残りのメモリモジュール 4 0 2 上の他のデータ伝送回路 4 1 6 は、その特定の動作に関して使用不能にされる。例えば、データ伝送回路 4 1 6 内に入るデータ線 5 1 8 に沿って入るデータ信号は、どのメモリ装置が活性状態にあり、使用可能にされているのかに応じて、メモリ装置 4 1 2 A および 4 1 2 C、または 4 1 2 B および 4 1 2 D に移動される。次いで、データ伝送回路 4 1 6 は、メモリ装置 4 1 2 A、4 1 2 B、4 1 2 C、4 1 2 D からシステムメモリコントローラ 4 2 0 への信号を多重化する。データ伝送回路 4 1 6 は、例えばニブル幅のデータ経路またはバイト幅のデータ経路をそれぞれ制御することができる。上記で論じたように、各モジュール 4 0 2 に関連するデータ伝送回路 4 1 6 は、データ読取信号をマージし、データ書込み信号を移動させるように動作することができ、システムメモリコントローラ 4 2 0 と対象のまたは選択されたメモリ装置 4 1 2 との間の適切なデータ経路を使用可能にする。したがってメモリコントローラ 4 2 0 は、4 つの 4 ランクメモリモジュールがある場合、16 個のメモリ装置の負荷ではなく、4 つの負荷軽減スイッチング回路の負荷を認識する。メモリコントローラ 4 2 0 に対する負荷が軽減されることは、例えば図 1 A、図 1 B、および図 2 A ~ 2 D に関して上記に記載した従来型システムに比べ、メモリシステムの性能を高め、所要電力を減らす。

10

20

30

40

50

## 【 0 0 5 6 】

データ伝送回路 4 1 6 を使用するメモリモジュールの動作は、メモリモジュール 4 0 2 の信号についての説明的タイミング図である図 6 を参照することによりさらに理解することができる。このタイミング図は、第 1 の時間区分から第 8 の時間区分 6 0 1 ~ 6 0 8 を含む。メモリ装置 4 0 4 が同期メモリの場合、時間区分 6 0 1 ~ 6 0 8 のそれぞれは、メモリ装置 4 0 4 の 1 クロックサイクルに相当することができる。

## 【 0 0 5 7 】

第 1 の時間区分、第 2 の時間区分、および第 3 の時間区分 6 0 1 ~ 6 0 3 は、メモリコントローラ 4 0 1 からメモリモジュール 4 0 2 にデータが渡る書込み動作を示す。第 4 の時間区分 6 0 4 は、その書込み動作と後続の読取動作との間の変わり目である。このタイミング図は、データ伝送回路 4 1 6 の第 1 の端子 Y 1 に接続される第 1 のグループのメモリ装置 4 1 2 A、4 1 2 C への書込み動作と、データ伝送回路 4 1 6 の第 2 の端子 Y 2 に接続される第 2 のグループのメモリ装置 4 1 2 B、4 1 2 D への書込み動作とを示す。上記に記載した C A S レイテンシを思い起こし、各書込み動作はパイプライン式に 2 つの時間区分に及ぶ。

## 【 0 0 5 8 】

第 1 のグループのメモリ装置 4 1 2 A、4 1 2 C への書込みは、システムのアドレス信号および制御信号 4 4 0 がメモリコントローラ 4 2 0 からモジュールコントローラ 4 3 0 に渡る第 1 の時間区分 6 0 1 内に現れる。制御回路 4 3 0 は、そのアドレス信号および制御信号 4 4 0 を評価して、データを第 1 のグループ内のメモリ装置 4 1 2 A、4 1 2 C に書き込むべきだと判断する。第 2 の時間区分 6 0 2 の間、制御回路 4 3 0 は制御論理回路 5 0 2 に制御信号を供給して第 1 のトライステートバッファ 5 0 4 を使用可能にし、第 2 のトライステートバッファ 5 0 6 および読取バッファ 5 0 9 を使用不能にする。したがって第 2 の時間区分 6 0 2 の間、データビットはデータ線 5 1 8 から第 1 の端子 Y 1 に、そしてメモリ装置 4 1 2 A、4 1 2 C に渡る。

## 【 0 0 5 9 】

同様に、第 2 のグループのメモリ装置 4 1 2 B、4 1 2 D への書込みは、システムのアドレス信号および制御信号 4 4 0 がメモリコントローラ 4 2 0 から制御回路 4 3 0 に渡る第 2 の時間区分 6 0 2 内に現れる。制御回路 4 3 0 は、そのアドレス信号および制御信号 4 4 0 を評価して、データを第 2 のグループ内のメモリ装置 4 1 2 B、4 1 2 D に書き込むべきだと判断する。第 3 の時間区分 6 0 3 の間、制御回路 4 3 0 は制御論理回路 5 0 2 に制御信号を供給して第 2 のトライステートバッファ 5 0 6 を使用可能にし、第 1 のトライステートバッファ 5 0 4 および読取バッファ 5 0 9 を使用不能にする。したがって第 3 の時間区分 6 0 3 の間、データビットはデータ線 5 1 8 から第 2 の端子 Y 2 に、そしてメモリ装置 4 1 2 B、4 1 2 D に渡る。

## 【 0 0 6 0 】

第 5 の時間区分、第 6 の時間区分、第 7 の時間区分、および第 8 の時間区分 6 0 5 ~ 6 0 8 は、メモリモジュール 4 0 2 からメモリコントローラ 4 2 0 にデータが渡る読取動作を示す。このタイミング図は、データ伝送回路 4 1 6 の第 1 の端子 Y 1 に接続される第 1 のグループのメモリ装置 4 1 2 A、4 1 2 C からの読取動作と、データ伝送回路 4 1 6 の第 2 の端子 Y 2 に接続される第 2 のグループのメモリ装置 4 1 2 B、4 1 2 D からの読取動作とを示す。上記に記載した C A S レイテンシを思い起こし、各読取動作はパイプライン式に 2 つの時間区分に及ぶ。

## 【 0 0 6 1 】

第 1 のグループのメモリ装置 4 1 2 A、4 1 2 C からの読取は、システムのアドレス信号および制御信号 4 4 0 がメモリコントローラ 4 2 0 から制御回路 4 3 0 に渡る第 5 の時間区分 6 0 5 内に現れる。制御回路 4 3 0 は、そのアドレス信号および制御信号 4 4 0 を評価して、データを第 1 のグループ内のメモリ装置 4 1 2 A、4 1 2 C から読み取るべきだと判断する。第 6 の時間区分 6 0 6 の間、制御回路 4 3 0 は制御論理回路 5 0 2 に制御信号を供給して、多重化装置 5 8 に第 1 の端子 Y 1 からのデータを選択させ、読取バッ

ァ 5 0 9 を使用可能にし、第 1 のトライステートバッファ 5 0 4 および第 2 のトライステートバッファ 5 0 6 を使用不能にする。したがって第 6 の時間区分 6 0 6 の間、データビットはメモリ装置 4 1 2 A、4 1 2 C から第 1 の端子 Y 1 を介してデータ線 5 1 8 に、そしてメモリコントローラ 4 2 0 に渡る。

#### 【 0 0 6 2 】

第 2 のグループのメモリ装置 4 1 2 B、4 1 2 D からの読取は、システムのアドレス信号および制御信号 4 4 0 がメモリコントローラ 4 2 0 から制御回路 4 3 0 に渡る第 7 の時間区分 6 0 7 内に現れる。制御回路 4 3 0 は、そのアドレス信号および制御信号 4 4 0 を評価して、データを第 2 のグループ内のメモリ装置 4 1 2 B、4 1 2 D から読み取るべきだと判断する。第 8 の時間区分 6 0 8 の間、制御回路 4 3 0 は制御論理回路 5 0 2 に制御信号を供給して、多重化装置 5 0 8 に第 2 の端子 Y 2 からのデータを選択させ、読取バッファ 5 0 9 を使用可能にし、第 1 のトライステートバッファ 5 0 4 および第 2 のトライステートバッファ 5 0 6 を使用不能にする。したがって第 8 の時間区分 6 0 6 の間、データビットはメモリ装置 4 1 2 B、4 1 2 D から第 2 の端子 Y 2 を介してデータ線 5 1 8 に、そしてメモリコントローラ 4 2 0 に渡る。

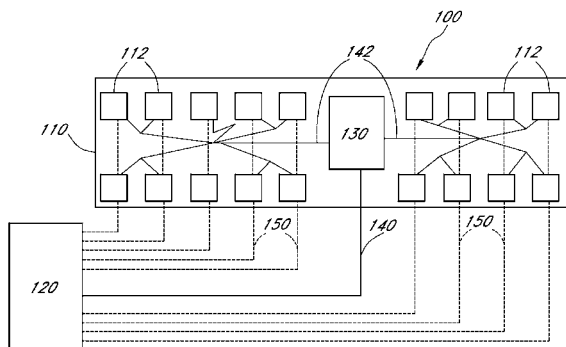
#### 【 0 0 6 3 】

様々な実施形態を上記に記載した。本発明をこれらの特定の実施形態に関して説明してきたが、それらの説明は本発明の例証であることを意図し、限定的であることは意図しない。特許請求の範囲に規定する本発明の真の趣旨および範囲から逸脱することなく、様々な修正形態および応用例を当業者なら思いつくであろう。

10

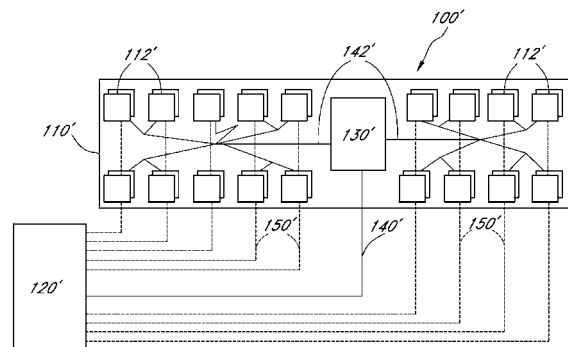
20

【 図 1 A 】



【 先行技術 】

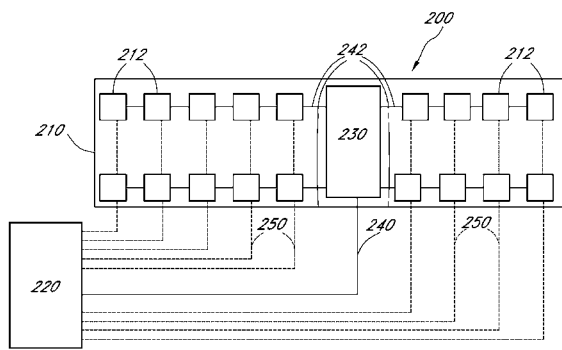
【 図 1 B 】



【 先行技術 】

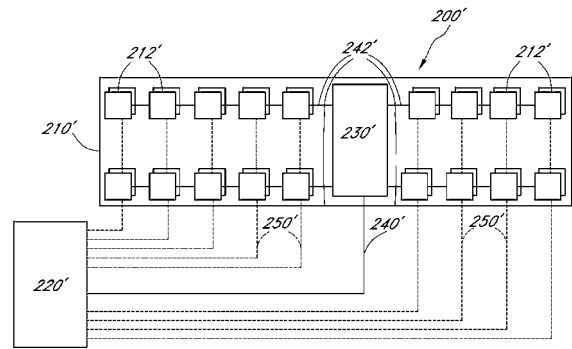


【図 2 A】



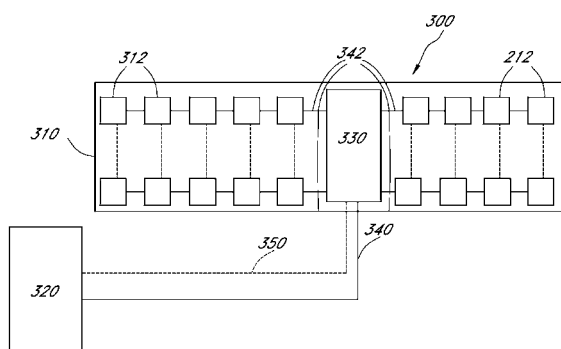
【先行技術】

【図 2 B】



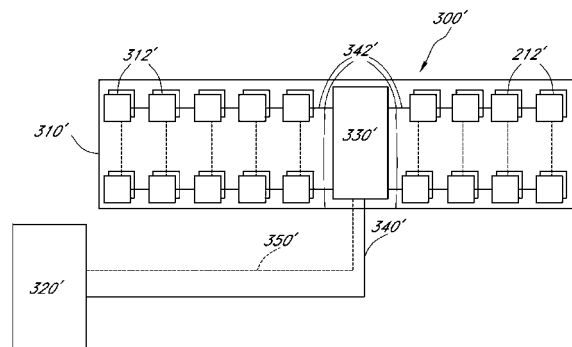
【先行技術】

【図 2 C】



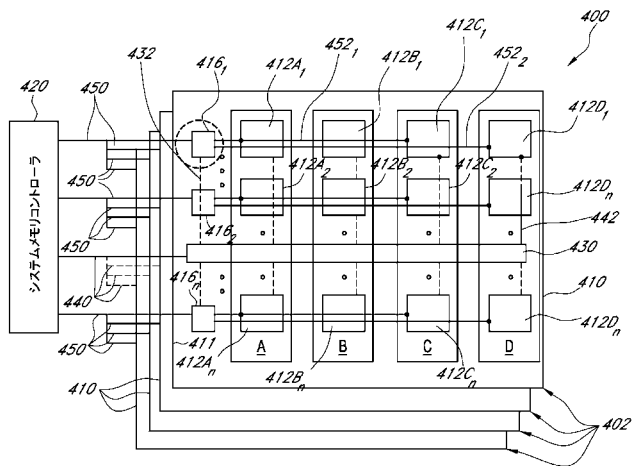
【先行技術】

【図 2 D】

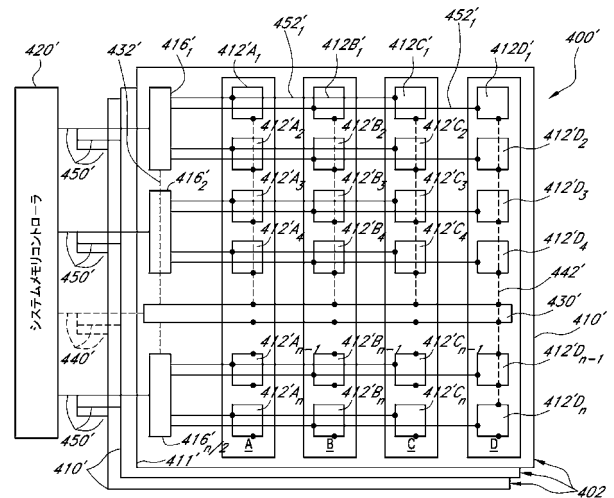


【先行技術】

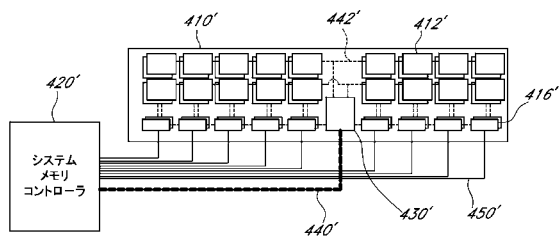
【図 3 A】



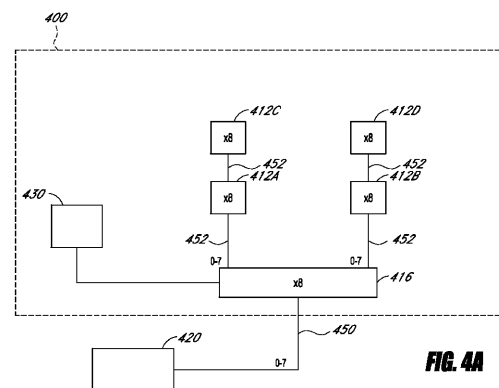
【図 3 B】



【図 3 C】



【図 4 A】



【図 3 D】

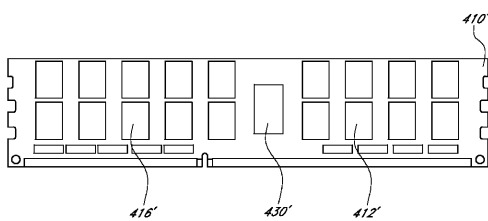


FIG. 3D

【図 4 B】

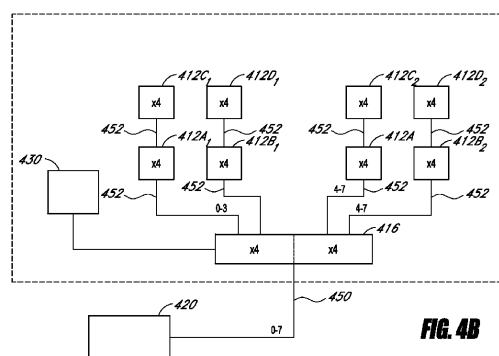


FIG. 4B

【図 5】

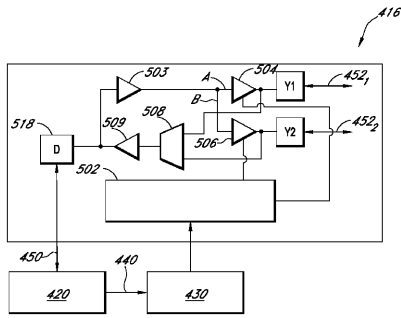
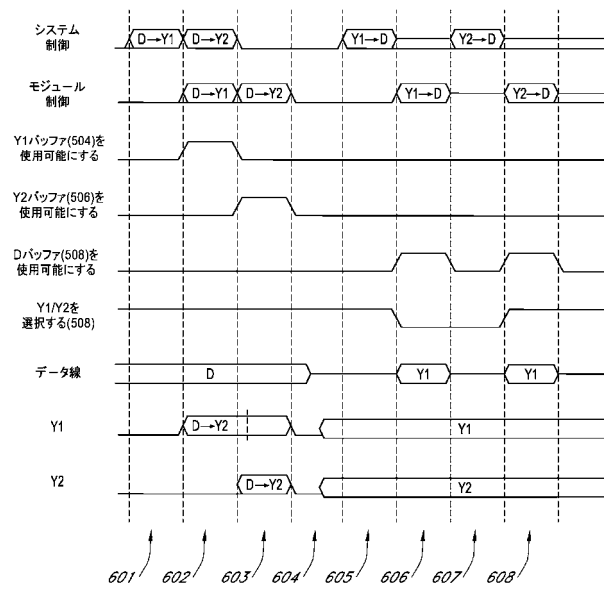


FIG. 5

【図 6】



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2010/040826

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G11C5/02 G11C5/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2006/262586 A1 (SOLOMON JEFFREY C [US] ET AL) 23 November 2006 (2006-11-23) the whole document	1-10, 18-44 11-17
X A	US 2008/162790 A1 (IM JEON-TAEK [KR]) 3 July 2008 (2008-07-03)  paragraphs [0069] - [0088]; figures 11,12	1-5, 10-21, 23-31, 34-44  6-9,22, 32,33
X	US 2009/103387 A1 (SHAU JENG-JYE [US]) 23 April 2009 (2009-04-23) paragraphs [0026] - [0032]	1,18,28, 39
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
31 August 2010		27/09/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Trifonov, Antony

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2010/040826

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2006262586	A1	23-11-2006	US	2009201711 A1	13-08-2009
			US	2010128507 A1	27-05-2010
US 2008162790	A1	03-07-2008	CN	101221809 A	16-07-2008
			KR	20080062174 A	03-07-2008
US 2009103387	A1	23-04-2009	NONE		

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 イ, ヒュン

アメリカ合衆国, カリフォルニア州 9 2 6 9 4, ラデラ ランチ, タリア 2 1

(72)発明者 バクタ, ジェイシュ, アール.

アメリカ合衆国, カリフォルニア州 9 0 7 0 3, セリトス, ローズ ストリート 1 2 2 2 0

Fターム(参考) 5B060 MB02 MM09