



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월11일

(11) 등록번호 10-1576529

(24) 등록일자 2015년12월04일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/306 (2006.01)

H01L 21/336 (2006.01)

(21) 출원번호 10-2010-0013123

(22) 출원일자 2010년02월12일

심사청구일자 2015년01월13일

(65) 공개번호 10-2011-0093217

(43) 공개일자 2011년08월18일

(56) 선행기술조사문헌

US20090166625 A1

US20060138398 A1

KR1020010087342 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

정희성

경기 화성시 동탄반석로 42, 608동 1502호 (반송동, 한화우림아파트)

신동석

경기도 용인시 기흥구 예현로35번길 21, 현대아파트 현대홈타운 108동 601호 (서천동)

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

심사관 : 서효원

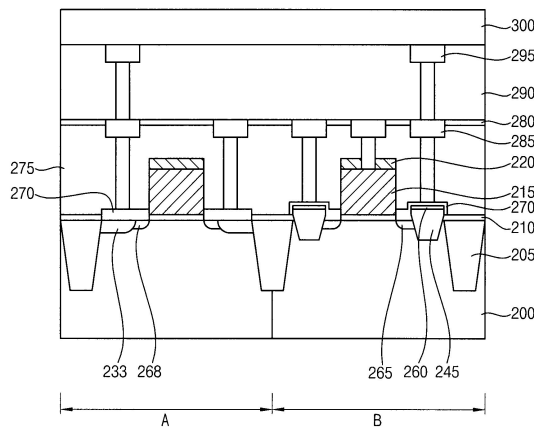
(54) 발명의 명칭 습식 식각을 이용한 실리콘 파셋트를 갖는 반도체 장치 및 제조방법

(57) 요약

본 발명은 반도체 기판에 SiGe 혼정층 및 (111) 결정면을 갖는 실리콘 파셋트(Si facet) 캡핑층을 갖는 MOS 트랜지스터를 제공한다.

본 발명의 SiGe 혼정층상에 (111) 결정면을 갖는 실리콘 파셋트(Si facet) 캡핑층을 갖는 MOS 트랜지스터는, 반도체 기판에 게이트 전극이 형성되어 있고, 상기 게이트 전극 중 p형 MOS 트랜지스터는 SiGe 혼정층 에피택셜층 소오스 드레인이 형성되어 있고, 상기 SiGe 혼정층 상부는 식각 결정면에 따라서 식각율이 다른 식각용액을 이용한 습식식각으로 형성된 (111) 결정면을 갖는 실리콘 파셋트(Si facet) 캡핑층을 포함하는 것을 특징으로 한다.

대표도 - 도16



(72) 발명자

**김동혁**

경기도 성남시 분당구 미금일로 136, 까치건영 50  
3동 302호 (구미동)

**허정식**

서울특별시 구로구 개봉로20길 6, 104동 2001호 (   
개봉동, 현대아파트)

**김명선**

경기 화성시 동탄반석로 42, 608동 1701호 (   
반송동, 한화우림아파트)

**명세서**

**청구범위**

**청구항 1**

반도체 기판 상에 게이트 전극을 형성하고;

상기 게이트 전극의 측벽 상에 스페이서를 형성하고;

상기 게이트 전극 및 상기 스페이서를 식각 마스크로 사용하여 상기 스페이서에 인접한 상기 반도체 기판 상부에 트랜치를 형성하고;

상기 트랜치 내에 SiGe 혼정층을 형성하고;

상기 SiGe 혼정층 상에 실리콘 층을 형성하고; 그리고

상기 실리콘 층의 다른 결정면들에 비해 (111) 결정면에 대해 낮은 식각률을 갖는 식각액을 사용하여 상기 실리콘 층을 식각함으로써, (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 포함하는 캡핑층을 형성하는 것을 포함하는 반도체 장치 제조 방법.

**청구항 2**

제1항에 있어서, 상기 실리콘 층은 에피택셜 성장 공정을 통해 형성되는 반도체 장치 제조 방법.

**청구항 3**

제2항에 있어서, 상기 실리콘 층은 상기 에피택셜 성장 공정을 통해 수직 경사를 갖는 측벽을 포함하도록 형성되는 반도체 장치 제조 방법.

**청구항 4**

제1항에 있어서, 상기 식각액은 -OH 기가 포함된  $\text{NH}_4\text{OH}$  또는 TMAH인 반도체 장치 제조 방법.

**청구항 5**

제1항에 있어서, 상기 캡핑층 상에 금속 실리사이드 층을 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

**청구항 6**

제1항에 있어서, 상기 스페이서는 실리콘 산화물을 포함하도록 형성되는 반도체 장치 제조 방법.

**청구항 7**

제1항에 있어서, 상기 실리콘 층을 형성한 이후에, 상기 스페이서를 제거하여 상기 실리콘 층의 측벽을 노출시키는 것을 더 포함하는 반도체 장치 제조 방법.

**청구항 8**

반도체 기판 상에 n형 게이트 전극 및 p형 게이트 전극을 형성하고;

상기 n형 게이트 전극 및 상기 p형 게이트 전극의 각 측벽들 상에 제1 및 제2 스페이서들을 각각 형성하고;

상기 제2 스페이서에 인접한 상기 반도체 기판 상부에 트랜치를 형성하고;

상기 트랜치 내에 SiGe 혼정층을 형성하고;

상기 SiGe 혼정층 상에 실리콘 층을 형성하고;

상기 실리콘 층의 다른 결정면들에 비해 (111) 결정면에 대해 낮은 식각률을 갖는 식각액을 사용하여 상기 실리콘 층을 식각함으로써, (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 포함하는 캡핑층을 형성하고;

상기 p형 게이트 전극에 인접한 상기 기판 부분에 p형 불순물 영역을 형성하고; 그리고

상기 n형 게이트 전극에 인접한 상기 기판 부분에 n형 불순물 영역을 형성하는 것을 포함하는 반도체 장치 제조 방법.

**청구항 9**

제8항에 있어서, 상기 n형 게이트 전극, 상기 p형 게이트 전극, 및 상기 기판의 표면들을 커버하는 질화막을 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

**청구항 10**

제8항에 있어서, 상기 식각액은 -OH 기가 포함된  $\text{NH}_4\text{OH}$  또는 TMAH인 반도체 장치 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 소자 및 그의 제조방법에 관한 것으로, 상세하게는 습식 식각을 이용한 실리콘 파셋트(Si facet)를 갖는 반도체 장치 및 이를 제조하는 방법에 관한 것이다.

**배경 기술**

[0002] 고집적화된 반도체 소자를 제조하는 데 있어서 패턴 미세화는 필수적이다. 미세화 기술의 진보에 따라, 오늘날에는 40nm 이하의 게이트 길이를 갖는 초미세 초고속 반도체 장치가 만들어지고 있다.

[0003] 이러한 초미세화 및 초고속 트랜지스터에서는 게이트 전극 바로 아래의 채널 영역의 면적이 종래의 반도체 장치와 비교해서 매우작고, 이 때문에 채널 영역을 주행하는 전자 또는 홀의 이동도는 이러한 채널 영역에 인가된 응력에 의해 큰 영향을 받는다. 그래서 이러한 채널 영역에 인가되는 응력을 최적화하고, 반도체 장치의 동작속도를 향상시키는 시도가 많이 행해지고 있다.

[0004] 일반적으로 실리콘 기판을 채널로 하는 반도체 장치에서는 전자의 이동도 보다는 홀의 이동도 쪽이 작고, 이 때문에 홀을 캐리어로 하는 p채널 MOS 트랜지스터의 동작 속도를 향상 시키는 것이, 반도체 집적 회로 장치의 설계 시에 중요 과제로 되어 있다.

[0005] 이러한 p채널 MOS 트랜지스터에서는 채널 영역에 일축성의 압축 응력을 인가함으로써 캐리어의 이동도가 향상하는 것이 알려져 있으며, 채널 영역에 압축 응력을 인가하는 수단으로서, 도 1에 나타내는 개략적 구성이 나타나 있다.

[0006] 도 1을 참조하면, 실리콘 기판(1) 위에는 채널 영역에 대응하여 게이트 전극(3)이 게이트 절연막(2)위에 형성되어 있고, 상기 실리콘 기판(1) 중에는 상기 게이트 전극(3)의 양측에 채널 영역을 확장하도록 p형 확산영역(1A 및 1B)이 형성되어 있다. 또한, 상기 게이트 전극(3)의 측면에는 상기 실리콘 기판(1)을 덮도록 측면 스페이서(3A, 3B)가 형성되어 있다.

[0007] 상기 확산 영역 (1A, 1B)은 각각 MOS 트랜지스터의 소스 및 드레인 익스텐션 영역으로 작용하고, 상기 확산 영역 1A로부터 1B에 상기 게이트 전극(3) 바로 아래의 채널 영역에 수송되는 홀의 흐름이 상기 게이트 전극(3)에 인가된 게이트 전압에 의해 제어된다.

[0008] 도 1의 구성에서는, 상기 실리콘 기판(1) 중, 상기 측면 스페이서 (3A, 3B)의 각각 외측에 SiGe 혼정층(1A, 1B)이 실리콘 기판(1)에 대해서 에피택셜 성장 공정에 의해 형성되어 있으며, 상기 SiGe 혼정층(1A, 1B) 중에는 각각 확산영역 (1A, 2B)에 연속하는 p형의 소오스 및 드레인 영역이 형성되어 있다.

[0009] 도 1의 구성의 MOS 트랜지스터에서는 상기 SiGe 혼정층(1A, 1B)이 실리콘 기판(1)에 대하여 보다 큰 격자정수를 갖기 때문에, 상기 SiGe 혼정층(1A, 1B) 중에는 화살표 a로 나타내는 응축응력이 형성되고, 그 결과, SiGe 혼정층(1A, 1B)은 화살표 b로 표기되는 상기 실리콘 기판(1)의 표면에 대략 수직인 방향으로 구부러진다.

[0010] 상기 SiGe 혼정층(1A, 1B)은 실리콘 기판(1)에 에피택셜 성장 공정에 의해 형성되어 있기 때문에, 이러한 화살표 b로 나타내는 SiGe 혼정층(1A, 1B)에서의 구부러짐에 대응하는 구부러짐을 상기 실리콘 기판중의 상기 채널 영역에, 화살표 c로 나타내는 바와 같이 유기하지만, 이러한 구부러짐에 따라, 상기 채널 영역에는 화살표 d로

나타낸 바와 같이 일축성의 압축 응력이 유기된다.

[0011] 도 1의 MOS 트랜지스터에서는, 채널 영역에 이러한 일축성의 압축 응력이 인가된 결과, 상기 채널 영역을 구성하는 실리콘 결정의 대칭성이 국소적으로 변조되고, 또한, 이러한 대칭성의 변화에 따라서, 무거운 홀의 가전자대(valence band)와 가벼운 홀의 가전자대가 풀리기 때문에, 채널 영역으로 홀의 이동도가 증가되고, 트랜지스터의 동작 속도가 향상된다. 이러한 채널 영역에 국소적으로 유기된 응력에 의한 홀 이동도의 증대 및 이에 따른 트랜지스터의 동작속도의 향상은 특히 게이트 길이가 50nm이하인 초미세화 반도체 장치에서 현저하게 나타난다.

[0012] 도 2는 SiGe 혼정층(35)을 갖는 구조에서 후속하는 공정에 의해서 SiGe 혼정층(35)이 소모되거나 열화되는 것을 막기 위해서 실리콘 파셋트(Si facet)로 형성된 캡핑층(40)을 갖는 MOS 트랜지스터 단면도이다.

[0013] 도 2를 참조하면, 상기 실리콘 파셋트(Si facet) 캡핑층(40)을 형성하려면 HCl를 다량 공급하거나 막의 성장속도를 높이기 위해서 공정온도를 높여야 한다. HCl 양이 많을 경우 피트(pit)가 발생할 확률이 높고, 높은 공정온도를 유지해야하는 공정변수 및 원가부담이 높다.

**선행기술문헌**

**특허문헌**

[0014] (특허문헌 0001) (특허문헌1)KR10-0657395A2006.7.4.5쪽1-22줄도면1

**발명의 내용**

**해결하려는 과제**

[0015] 본 발명의 해결하려는 일 과제는 상기의 문제점을 해결하려는 것으로, 본 발명의 목적은 SiGe 혼정층을 갖는 MOS 트랜지스터를 형성함에 있어서, (111) 결정면을 갖는 실리콘 파셋트(Si facet) 캡핑층을 형성하는 방법을 제공하는데 있다.

[0016] 본 발명의 다른 과제는 SiGe 혼정층을 갖는 MOS 트랜지스터에 있어서 실리콘 파셋트(Si facet) 캡핑층이 불량이 없어 전기적인 특성이 우수한 반도체 디바이스를 제공하는데 있다.

**과제의 해결 수단**

[0017] 상기한 본 발명의 일 과제를 달성하기 위한 반도체 장치 제조 방법에서, 반도체 기판 상에 게이트 전극을 형성한다. 상기 게이트 전극의 측벽 상에 스페이서를 형성한다. 상기 게이트 전극 및 상기 스페이서를 식각 마스크로 사용하여 상기 스페이서에 인접한 상기 반도체 기판 상부에 트렌치를 형성한다. 상기 트렌치 내에 SiGe 혼정층을 형성한다. 상기 SiGe 혼정층 상에 실리콘 층을 형성한다. 상기 실리콘 층의 다른 결정면들에 비해 (111) 결정면에 대해 낮은 식각률을 갖는 식각액을 사용하여 상기 실리콘 층을 식각함으로써, (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 포함하는 캡핑층을 형성한다.

예시적인 실시예들에 있어서, 상기 실리콘 층은 에피택셜 성장 공정을 통해 형성될 수 있다.

예시적인 실시예들에 있어서, 상기 실리콘 층은 상기 에피택셜 성장 공정을 통해 수직 경사를 갖는 측벽을 포함하도록 형성될 수 있다.

예시적인 실시예들에 있어서, 상기 식각액은 -OH 기가 포함된 NH<sub>4</sub>OH 또는 TMAH일 수 있다.

예시적인 실시예들에 있어서, 상기 캡핑층 상에 금속 실리사이드 층을 더 형성할 수 있다.

예시적인 실시예들에 있어서, 상기 스페이서는 실리콘 산화물을 포함하도록 형성될 수 있다.

예시적인 실시예들에 있어서, 상기 실리콘 층을 형성한 이후에, 상기 스페이서를 제거하여 상기 실리콘 층의 측벽을 노출시킬 수 있다.

상기한 본 발명의 다른 과제를 달성하기 위한 반도체 장치의 제조 방법에서, 반도체 기판 상에 n형 게이트 전극 및 p형 게이트 전극을 형성한다. 상기 n형 게이트 전극 및 상기 p형 게이트 전극의 각 측벽들 상에 제1 및 제2

스페이서들을 각각 형성한다. 상기 제2 스페이서에 인접한 상기 반도체 기판 상부에 트렌치를 형성한다. 상기 트렌치 내에 SiGe 혼정층을 형성한다. 상기 SiGe 혼정층 상에 실리콘 층을 형성한다. 상기 실리콘 층의 다른 결정면들에 비해 (111) 결정면에 대해 낮은 식각률을 갖는 식각액을 사용하여 상기 실리콘 층을 식각함으로써, (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 포함하는 캡핑층을 형성한다. 상기 p형 게이트 전극에 인접한 상기 기판 부분에 p형 불순물 영역을 형성한다. 상기 n형 게이트 전극에 인접한 상기 기판 부분에 n형 불순물 영역을 형성한다.

예시적인 실시예들에 있어서, 상기 n형 게이트 전극, 상기 p형 게이트 전극, 및 상기 기판의 표면들을 커버하는 질화막을 더 형성할 수 있다.

예시적인 실시예들에 있어서, 상기 식각액은 -OH 기가 포함된 NH<sub>4</sub>OH 또는 TMAH일 수 있다.

[0018] 삭제

[0019] 삭제

[0020] 삭제

[0021] 삭제

[0022] 삭제

[0023] 삭제

[0024] 삭제

[0025] 삭제

[0026] 삭제

[0027] 삭제

**발명의 효과**

[0028] 본 발명에 따르면, SiGe 에피택셜 혼정층 상에 실리콘을 에피택셜 성장 공정에 의해 성장 시킨 후 경계면에 따라서 식각율이 다른 식각액을 이용한 습식식각으로 (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 형성하기 때문에 전기적인 특성이 좋은 반도체 디바이스를 얻을 수 있고, 동시에 고온의 열처리를 하지 않아서 고집적 디바이스를 쉽게 만들 수 있다.

**도면의 간단한 설명**

[0029] 도 1은 SiGe 혼정층을 압축 응력원으로 사용하는 반도체 장치의 원리를 나타내는 도면.

도 2는 일반적인 소오스 드레인으로 SiGe 혼정층을 갖으면서 종래의 기술로 형성된 실리콘 파셋트(Si facet) 캡핑층을 사용하는 반도체 장치를 나타내는 도면.

도 3 및 도 7은 본 발명의 일실시예인 SiGe 혼정층상에 에피택셜 실리콘층을 형성하여 결정면에 따라 식각율이 다른 식각액을 이용한 습식식각으로 (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 형성하는 반도체 제조하는 공정의 단면도이다.

도 8 및 도 15는 본 발명의 일실시예인 SiGe 혼정층상에 에피택셜 실리콘층을 형성하여 결정면에 따라 식각율이 다른 식각액을 이용한 습식식각으로 (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 형성하는 사상을 응용한 반도체 디바이스를 제조하는 공정 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- [0031] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.
- [0032] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0033] 도 3 및 도 7은 본 발명의 일실시예인 SiGe 혼정층상에 에피택셜 실리콘층을 형성하여 결정면에 따라 식각율이 다른 식각액을 이용한 습식식각으로 (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 형성하는 공정의 단면도이다.
- [0034] 도 3을 참조하면, 반도체 기판 (100)에 소자 분리막(105)을 형성하여, 기판을 활성 영역과 비활성 영역으로 구분한다.
- [0035] 소자 분리막(105) 형성 공정은 STI(shallow trench isolation) 공정을 이용하며, 소자 분리막(105)은 필요에 따라서 트렌치 형성후 약간의 열산화막을 형성하고 CVD, 또는 HDP 공정을 통하여 트렌치를 채우고 평탄화 한다.
- [0036] 평탄화된 반도체 기판(100)에 게이트 유전막(110)을 형성한다. 상기 게이트 유전막(110)은 실리콘 산화막(SiO2), 하프늄 산화막(HfO2), 탄탈륨 산화막(Ta2O5), 또는 ONO (oxide/nitride/oxide) 막을 선택 디바이스가 요구하는 특성을 살려서 형성한다.
- [0037] 상기 게이트 유전막(110) 상에 게이트 전극(120)이 되는 도전층을 형성한다.
- [0038] 상기 게이트 전극(120) 물질은, 질화티타늄(TiN), 티타늄/질화티타늄(Ti/TiN), 질화 텅스텐(WN), 텅스텐/질화텅스텐(W/WN), 질화탄탈륨(TaN), 탄탈륨/질화탄탈륨(Ta/TaN), 질화티타늄실리콘(TiSiN), 및 질화텅스텐실리콘(WSiN) 중의 어느 하나와 게이트 유전막(110)과 결합된 게이트 전극(120)을 CVD, 또는 ALD 공정을 통하여 형성할 수 있다.
- [0039] 상기 게이트 전극(120)에 산화막 스페이서(125)를 형성 한다.
- [0040] 도 4를 참조하면, 상기 반도체 기판(100)에 게이트 전극(120) 측벽 산화막 스페이서(125)를 마스크로하여 트렌치(130)를 형성한다. 트렌치 형성은 기판과 트렌치 경사면  $\theta$  값이  $40^\circ \sim 90^\circ$  이하의 각으로 형성하며, 바람직하게는  $40^\circ \sim 80^\circ$  의 각을 갖는 것이 좋고, 가장 바람직하게는  $\theta$  값이  $56^\circ$  일 경우 구부러짐계(系)를 구성하는데 있어서 가장 효율적이다. 또한 기판과 트렌치의 경사면이 하나를 갖는 트렌치뿐만 아니라 다수의 경사각을 갖는 트렌치를 형성하고 SiGe 혼정층을 증진하여 구부러짐계(系)를 구성하여 압축 응력이 인가되게 할 수 있다.
- [0041] 상기의 압축응력이 채널 영역을 구성하는 실리콘 결정의 대칭성을 국소적으로 변조시킬 때, 이러한 대칭성의 변화에 따라서, 무거운 홀의 가전자대(valence band)와 가벼운 홀의 가전자대가 풀리기 때문에, 채널 영역으로 홀의 이동도가 증가되고, 트랜지스터의 동작 속도가 향상된다.
- [0042] 본 실시예에서는 n형 및 p형 MOS 트랜지스터가 되는 모든 영역에 트렌치를 형성한다.
- [0043] 도 5를 참조하면, 상기 트렌치(130) 내에 에피택셜 성장 공정으로 SiGe 성장층을 이용하여 SiGe 혼정층(135)을 형성한다. 상기 SiGe 혼정층(135)은 실리콘 기판(100)과의 사이의 격자 정수차에 기인하는 일축성의 압축응력을 소자영역 게이트 전극 아래 채널 영역에 인가한다. 이때 게이트 전극 아래의 채널 영역에는 큰 응축응력이 작용하여 전자 및 홀의 이동도를 높여주나 홀의 이동도는 현격하게 변화된다.

- [0044] 상기 SiGe 혼정층(135) 형성 시 SiGe 소스 가스 및 염화수소(HCl) 가스를 함께 공급하여 성장속도를 조절하며 게이트 유전막(110) 보다 약간 높게 형성한다. 또한 추후 상기 SiGe 혼정층(135)은 소오스 드레인이 되어야 할 부분이기 때문에 p형 또는 n형 불순물을 첨가하여 저농도 소오스 드레인 불순물층이 되도록 불순물을 넣어서 성장 시킴으로써 추후 공정을 간단하게 할 수 있다.
- [0045] SiGe 혼정층(135) 형성 이후 Si 성장핵을 이용하여 에피택셜 성장 공정을 통한 에피택셜 실리콘층(140)을 SiGe 혼정층(135) 상에 형성한다. 이때, 에피택셜 실리콘층(140)은 SiGe 혼정층(135) 상부를 캐핑하는 일종의 캡핑층으로 사용될 수 있다. 상기 에피택셜 실리콘층(140)은 염화수소(HCl)를 사용하지 않고 저온으로 쉽게 성장시킬 수 있다. 그러므로 이다음 실리콘 파셋트(Si facet)를 형성하여도 결함이 없고 열적으로 낮은 온도에서 성장시킬 수 있음으로 열적인 문제점을 해결할 수 있다. 상기 에피택셜 실리콘층(140)은 500Å에서 1000Å 정도 성장시킨다.
- [0046] 도 6을 참조하면, 상기 에피택셜 실리콘층(140)을 결정면에 따라서 식각율이 다른 식각액을 이용하는 습식식각 공정으로 실리콘 파셋트(Si facet, 145)를 형성한다. 상기 습식식각 용액으로는 -OH 기가 포함된 식각액이다. 예를 들어서 NH<sub>4</sub>OH, TMAH, 등 실리콘(Si)층을 식각하면 결정면에 따라서 식각율이 다른 특성을 갖는 식각액이다. 상기의 용액들은 (111) 결정면에서, (100) 결정면보다 식각율이 작기 때문에 도면과 같은 결정면을 갖는 실리콘 파셋트(Si facet, 145)를 형성할 수 있다.
- [0047] 식각의 중단점을 정하는 방법은, (111) 결정면이 깎이면서 반도체 기판(100)과 접할 때 식각 종점을 잡는다.
- [0048] 그러면 에피택셜 실리콘층(140)이 (111) 결정면을 갖는 캡핑층(150)이 되어서 SiGe 혼정층 소오스 드레인의 마모를 막고 불량을 줄일 수 있으며, 결정면은 추후 불순물 주입 시 좋은 각도로 불순물을 주입시킬 수 있다. 그리고 소오스 드레인의 저항을 줄이기 위해서 금속 실리사이드를 형성도 쉽게 할 수 있는 구조를 얻을 수 있다.
- [0049] 이때 게이트 전극 측벽 스페이서를 함께 제거한다.
- [0050] 도 7을 참조하면, 상기 실리콘 파셋트(Si facet, 145) 경사각을 이용 고농도 소오스 드레인 불순물층(160)을 SiGe 혼정층(135) 측면 및 산화막 스페이서(125) 하부에 형성한다. 그러면 SiGe 혼정층(135)의 저농도 소오스 드레인과 상기 고농도 소오스 드레인 불순물층(160)이 합해져서 MOS 트랜지스터 소오스 드레인 구조가 완성된다.
- [0051] 또한 디바이스의 요구에 따라서 상기 실리콘 파셋트(Si facet, 145)경사각을 이용 할로(Halo) 불순물을 주입할 수도 있다.
- [0052] 상기의 제조방법 설명에서 언급했듯이 실리콘 파셋트(Si facet, 145)를 형성하는 공정에서 염화수소(HCl)를 과량 넣거나 높은 온도에서 공정을 진행하지 않고, 낮은 온도에서 에피택셜 성장 공정을 이용하여 실리콘층을 형성한 후 결정면에 따라서 식각율이 다른 식각액을 이용한 습식식각을 통하여 실리콘 파셋트(Si facet, 145)를 형성함으로써 염화수소에 의한 피티(pit)성 불량이나 열적인 데미지를 최소화 할 수 있다.
- [0053] 도 8 및 도 15는 본 발명의 사상인 SiGe 혼정층상에 에피택셜 실리콘층을 형성하여 결정면에 따라 식각율이 다른 식각액을 이용한 습식식각으로 (111) 결정면을 갖는 실리콘 파셋트(Si facet)를 형성하는 방법을 이용한 반도체 디바이스를 제조하는 공정 단면도이다.
- [0054] 도 8을 참조하면, 반도체 기판 (200)에 소자 분리막(205)을 형성하여, 기판을 활성 영역과 비활성 영역으로 구분한다. 상기 반도체 기판 (200)은 nMOS 트랜지스터가 생기는 영역은 A이고, pMOS 트랜지스터가 생기는 영역은 B로 구분된다.
- [0055] 본 실시예는 발명의 사상을 가장 효율적으로 수행하기 위해서 pMOS 영역에만 SiGe 혼정층 및 실리콘 파셋트(Si facet)를 갖는 공정을 이용하여 반도체 디바이스를 만들고자 한다.
- [0056] 상기 소자 분리막(205) 형성 공정은 STI(shallow trench isolation) 공정을 이용하며, 소자 분리막(205)은 필요에 따라서 트렌치 형성 후 약간의 열산화막을 형성하고 CVD, 또는 HDP 공정을 통하여 트렌치를 채우고 평탄화한다.
- [0057] 평탄화된 반도체 기판(200)에 게이트 유전막(210)을 형성한다. 상기 게이트 유전막(210)은 실리콘 산화막(SiO<sub>2</sub>), 하프늄 산화막(HfO<sub>2</sub>), 탄탈륨 산화막(TA<sub>2</sub>O<sub>5</sub>), 또는 ONO (oxide/nitride/oxide) 막을 선택 디바이스가 요구하는 특성을 살려서 형성한다.

- [0058] 상기 게이트 유전막(210) 상에 게이트 전극(215)이 되는 도전층을 형성한다.
- [0059] 상기 게이트 전극(215) 물질은, 질화티타늄(TiN), 티타늄/질화티타늄(Ti/TiN), 질화 텅스텐(WN), 텅스텐/질화텅스텐(W/WN), 질화탄탈륨(TaN), 탄탈륨/질화탄탈륨(Ta/TaN), 질화티타늄실리콘(TiSiN), 및 질화텅스텐실리콘(WSiN) 중의 어느 하나와 게이트 유전막(210)과 결합된 게이트 전극(215)을 CVD, 또는 ALD 공정을 통하여 형성할 수 있다. 필요에 따라서 상기 게이트 전극(215) 상에 전극 하드마스크(220)를 형성한다. 이후 소정의 사진식각 공정을 통하여 게이트 전극구조를 형성한다.
- [0060] 도 9를 참조하면, 상기 반도체 기판 (200)과 게이트 전극 구조(215, 220)를 감싸고 덮는 제 1 측벽막(225)인 질화막을 데포 형성한다. 이후 제 2 측벽막인 산화막을 데포 후 측벽 스페이서(230)를 형성한다. 측벽 스페이서(230) 형성 후 nMOS 영역만 저농도 소오스 드레인 불순물층(233)을 형성 한다. 필요에 따라서 pMOS 영역도 저농도 불순물층을 형성 할 수 있지만 본 발명의 특성상 추후 SiGe 혼정층 형성 시 형성되도록 하는 것이 좋다. 또한 SiGe 혼정층 형성 이후 nMOS 소오스 드레인 불순물층(233)을 형성 할 수 있다. 공정의 순서는 SiGe 혼정층 형성 시 온도가 주요인이며 디바이스에 따라서 불순물층에 영향을 주면 SiGe 혼정층 형성 이후 nMOS 소오스 드레인 불순물층(233)을 형성 한다.
- [0061] 도 10을 참조하면, nMOS 영역은 감광막(235)으로 덮고 pMOS 영역 B의 반도체 기판(200)에 게이트 전극(215) 측벽 산화막 스페이서(220)를 마스크로하여 트렌치(240)를 형성한다. 트렌치 형성은 기판과 트렌치 경사면  $\theta$  값이  $40^\circ \sim 90^\circ$  이하의 각으로 형성하며, 바람직하게는  $40^\circ \sim 80^\circ$  의 각을 갖는 것이 좋고, 가장 바람직하게는  $\theta$  값이  $56^\circ$  일 경우 구부러짐계(系)를 구성하는데 있어서 가장 효율적이다. 또한 기판과 트렌치의 경사면이 하나를 갖는 트렌치뿐만 아니라 다수의 경사각을 갖는 트렌치를 형성하고 SiGe 혼정층을 충전하여 구부러짐계(系)를 구성하여 압축 응력이 인가되게 할 수 있다.
- [0062] 도 11을 참조하면, 상기 pMOS 영역 반도체 기판에 형성된 트렌치(240) 내에 에피택셜 성장 공정을 이용하여 SiGe 성장핵을 이용하여 SiGe 혼정층(245)을 형성한다. 상기 SiGe 혼정층(245)은 실리콘 기판(200)과의 사이의 격자 정수차에 기인하는 일축성의 압축응력을 소자영역 게이트 전극 아래 채널 영역에 인가한다. 이때 게이트 전극 아래의 채널 영역에는 큰 응축응력이 작용하여 전자 및 홀의 이동도를 높여준다. 특히 pMOS에서 홀의 이동도를 급격하게 높여주어 디바이스 특성이 획기적으로 좋아진다.
- [0063] 상기의 압축응력이 채널 영역을 구성하는 실리콘 결정의 대칭성을 국소적으로 변조시킬 때, 이러한 대칭성의 변화에 따라서, 무거운 홀의 가전자대(valence band)와 가벼운 홀의 가전자대가 풀리기 때문에, 채널 영역으로 홀의 이동도가 증가되고, 트랜지스터의 동작 속도가 향상된다.
- [0064] 상기 SiGe 혼정층(245) 형성 시 SiGe 소스 가스 및 염화수소(HCl) 가스를 함께 공급하여 성장속도를 조절할 수 있으며, 공정 온도 또한 성장 속도를 조절 할 수 있는 요인이다. 두 공정 변수를 적절히 조절하여 성장 속도를 결정한다.
- [0065] 상기 SiGe 혼정층(245) 형성 공정은  $400^\circ\text{C} \sim 550^\circ\text{C}$  사이에서 실란( $\text{SiH}_4$ ) 가스의 Si 기상 원료와 게르만( $\text{GeH}_4$ ) 가스의 Ge의 기상 원료를 기초로 하여 염화수소(HCl) 촉매가스로 사용하여 에피택셜 성장시킨다.
- [0066] 이러한 SiGe 혼정층(245)의 에피택셜 성장에는 상기 트렌치의 저면 또는 측벽면에, Si의 (100)면 또는 (111)면이 노출되어 있으면, 형성되는 SiGe 혼정층 (245)의 결정품질은 특히 향상된다. 그러므로 트렌치(240)의 경사각이 쐐기형으로 측벽면을 가지고 있을 때 특히 유리하다.
- [0067] 상기 SiGe 혼정층(245)은 트렌치를 채우고, 반도체 실리콘 기판(200)과의 사이의 격자 정수차에 기인하는 일축성의 압축 응력을 소자영역의 게이트 절연막(210) 아래의 채널 영역에 인가하는 역할을 한다. 그러므로 응력을 집중 시킬 수 있는, 특히 채널 영역에 집중 시킬 수 있는 트렌치 구조가 가장 바람직하다.
- [0068] SiGe 혼정층(245)은 제 1 측벽막(225)와 일치하게 형성한다. 또한 추후 상기 SiGe 혼정층(245)은 소오스 드레인이 되어야 할 부분이기 때문에 p형 불순물을 첨가하여 저농도 소오스 드레인 불순물층이 되도록 불순물을 넣어서 성장시킴으로써 추후 공정을 간단하게 할 수 있다.
- [0069] 이후 Si 성장핵을 이용하여 에피택셜 성장 공정을 통한 에피택셜 실리콘층(250)을 형성한다. 이때, 에피택셜 실리콘층(250)은 SiGe 혼정층(245)에 대한 캡핑층 역할을 수행할 수 있다. 상기 에피택셜 실리콘층(250)은 염화수소(HCl)를 사용하지 않고 저온으로 쉽게 성장시킬 수 있다. 그러므로 이다음 실리콘 파셋트(Si facet)를 형성하여도 결함이 없고 열적으로 낮은 온도에서 성장시킬 수 있으므로 열적인 문제점을 해결할 수 있다. 상기 에피택

설 실리콘층(250)은 500Å에서 1000Å 정도 성장시킨다.

- [0070] 상기 에피택셜 실리콘층(250)은 SiGe 혼정층(245)이외는 질화막으로 형성된 제 1 측벽막이 감싸고 있음으로 성장되지 않는다.
- [0071] 도 12를 참조하면, 상기 제 2 게이트 측벽 (230)을 제거하고, 에피택셜 실리콘층(250)을 습식식각하여 실리콘 파셋트(Si facet, 255)를 형성한다. 상기 습식식각 용액으로는 -OH 기가 포함된 식각액이다. 예를 들어서 NH<sub>4</sub>OH, TMAH, 등 실리콘(Si)층을 식각하면 결정면에 따라서 식각율이 다른 특성을 갖는 식각액들이다. 상기의 용액들은 (111) 결정면에서, (100)결정면보다 식각율이 작기 때문에 도면과 같은 결정면을 갖는 실리콘 파셋트(Si facet, 255)를 형성할 수 있다.
- [0072] 식각의 종단점을 정하는 방법은, 상기 에피택셜 실리콘층(250)이 (111) 결정면을 형성하며 깎이면서 제 1 측벽막(225) 기저부와 접할 때 식각 종점을 잡는다.
- [0073] 그러면 에피택셜 실리콘층(250)이 (111) 결정면을 갖으면서 캡핑층(255)이 되어서, SiGe 혼정층(245)으로 형성된 소오스 드레인의 마모를 막고 불량을 줄일 수 있으며, 결정면은 추후 불순물 주입 시 좋은 각도로 불순물을 주입시킬 수 있는 역할을 한다.
- [0074] 상기 실리콘 파셋트(Si facet, 255)경사각을 이용 pMOS 고농도 소오스 드레인 불순물층(265)을 SiGe 혼정층(245) 측면 및 제 1 측벽막(225) 하부에 형성한다. 그러면 SiGe 혼정층(245)이 저농도 소오스 드레인이 되고 고농도 소오스 드레인 불순물층(265)과 합하여 MOS 트랜지스터 소오스 드레인이 완성된다.
- [0075] 감광막(도시하지 않음)을 이용하여 pMOS 영역을 막고 nMOS 고농도 소오스 드레인 불순물층(268)을 형성 한다.
- [0076] 또한 디바이스의 요구에 따라서 상기 실리콘 파셋트(Si facet, 255)경사각을 이용 할로(Halo) 불순물을 주입할 수 있다.
- [0077] 그러면 pMOS 영역은 SiGe 혼정층(245)과 고농도 소오스 드레인 불순물층(265)이 pMOS 트랜지스터 소오스 드레인이 되고, nMOS 영역은 불순물로 도핑된 nMOS 트랜지스터 소오스 드레인이 있는 비대칭적인 구조를 갖는 MOS 트랜지스터 구조가 된다.
- [0078] 도 13을 참조하면, 불순물 주입 후 습식 식각공정을 이용하여 제 1 측벽막(225)인 질화막을 제거한다. 이때 질화막은 모두 제거 된다.
- [0079] 그러면 게이트 전극(215) 측벽에 아무런 스페이서가 없어서 게이트 전극(215)과 불순물층(265)이 오버랩 되지 않아서 게이트 전극 및 불순물층이 만드는 기생 커패시턴스가 발생하지 않아서 전기적인 특성이 좋은 디바이스가 만들어진다. 이때 반도체 기판(200)에 형성된 소오스 드레인 불순물 정선은 게이트 전극(215)을 정렬라인으로 형성된 구조를 갖는다.
- [0080] 질화막 제거 후 상기 실리콘 파셋트(Si facet, 255) 상부면을 식각하여 추후 소오스 드레인 금속 실리사이드층이 형성이 잘되도록 한다. 이때 식각 종점을 반도체 기판(200)으로 잡으면 금속 실리사이드 형성이 유리한 캡핑막이 만들어진다. 그리고 캡핑막 (260)은 실리콘 파셋트(Si facet, 255)가 변형된 것으로 막질의 불량이 없고 실리콘 성분이 풍부해 금속 실리사이드 형성 시 결합력이 좋아 금속 실리사이드 접착력이 좋아져 불량이 발생되지 않는다.
- [0081] 도 14를 참조하면, 금속 실리사이드 공정을 통하여 소오스 드레인 상에 금속 소오스 드레인 실리사이드(270)를 형성한다. 이때 pMOS 영역은 실리콘 파셋트(Si facet)로 형성된 캡핑층(260) 상부면에 금속 실리사이드(270)가 형성된다. 상기 금속 실리사이드(270) 물질로는 니켈 실리사이드 또는 코발트 실리사이드가 사용된다.
- [0082] 도 15를 참조하면, 반도체 기판(200) 및 게이트 전극(220)상에 제 1 층간 절연막(275)을 형성한다. 상기 제 1 층간 절연막(275)상에 식각 방지막(280)을 형성 한다. 콘택 형성 공정이나 다마싱 공정을 이용하여 상기 제 1 층간 절연막(275)에 제 1 금속 배선(285)을 형성 한다. 제 1 금속 배선은 구리 또는 텅스텐 등 저항이 적은 물질을 사용한다.
- [0083] 도 16을 참조하면, 상기 식각 방지막(280) 상에 제 2 층간 절연막(290)을 형성한다. 제 2 층간 절연막(290)에 콘택 형성 공정이나 다마싱 공정을 이용하여 제 2 금속 배선(295)을 형성 한다. 제 2 금속 배선은 구리 또는 텅스텐 물질을 사용한다. 제2 금속배선(295) 형성 후 보호막(300)을 형성한다.
- [0084] 상기의 제조방법 설명에서 언급했듯이 실리콘 파셋트(Si facet, 260)를 염화수소(HCl)를 과량 넣거나 높은 온도

에서 공정을 진행하지 않고, 낮은 온도에서 에피택셜 성장 공정을 이용하여 실리콘층을 형성 후 습식식각을 통하여 실리콘 파셋트(Si facet, 260)를 형성함으로써 염화수소에 의한 피티(pit)성 불량이나 열적인 테미지를 최소화 할 수 있다.

[0085]

그리고 이러한 특성을 갖는 실리콘 파셋트(Si facet, 260)를 캡핑막으로 사용하여 SiGe 혼정층(245)의 마모를 막고, 금속 실리사이드 형성을 원활하여 전기적인 특성이 좋은 반도체 디바이스를 만들 수 있다.

**부호의 설명**

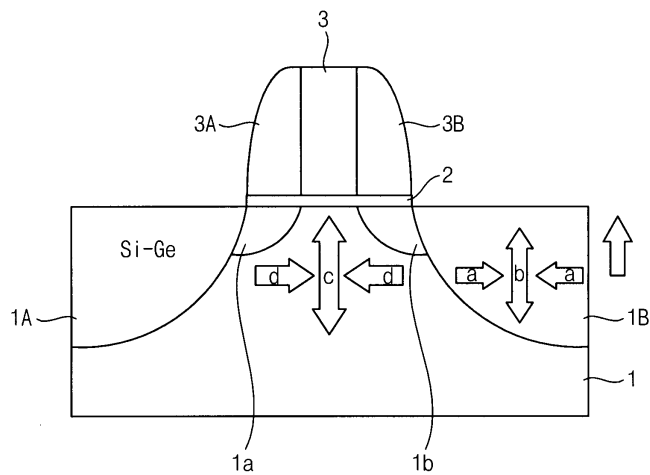
[0086]

< 도면의 주요 부분에 대한 부호의 설명 >

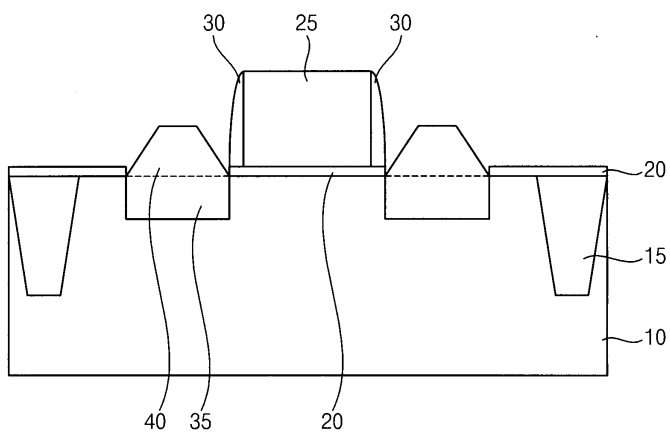
- 100, 200: 반도체 기판
- 105, 205: 소자 분리막
- 110, 210: 게이트 유전막
- 120, 215: 게이트 전극
- 220: 하드 마스크
- 225: 제 1 측벽막
- 125, 230: 게이트 측벽
- 130, 240: 혼정층 트렌치
- 135, 245: SiGe 혼정층
- 140, 250: 에피택셜 실리콘층
- 150, 260: 실리콘 파셋트(Si facet)
- 160, 265: 고농도 불순물 소오스 드레인
- 270: 금속 실리사이드층
- 275: 제 1 층간 절연막
- 280: 식각 방지막
- 285: 제 1 금속 배선층
- 290: 제 2 층간 절연막
- 295: 제 2 금속 배선층
- 300: 보호막

**도면**

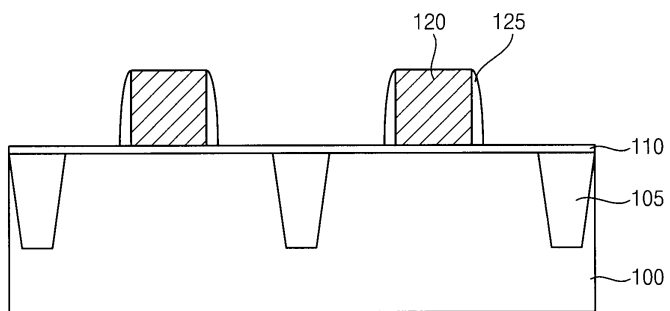
**도면1**



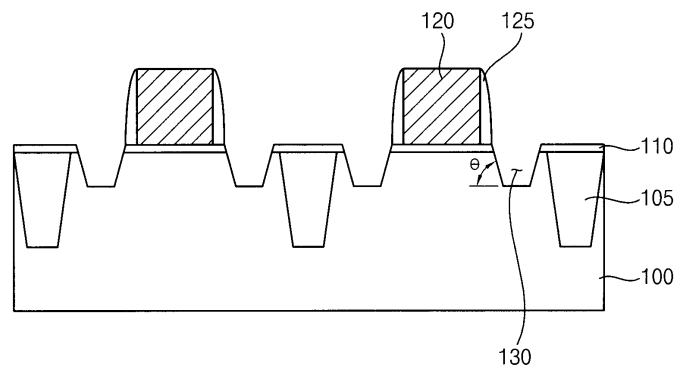
도면2



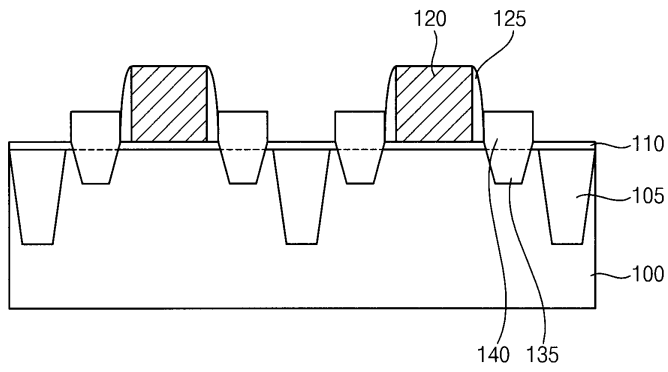
도면3



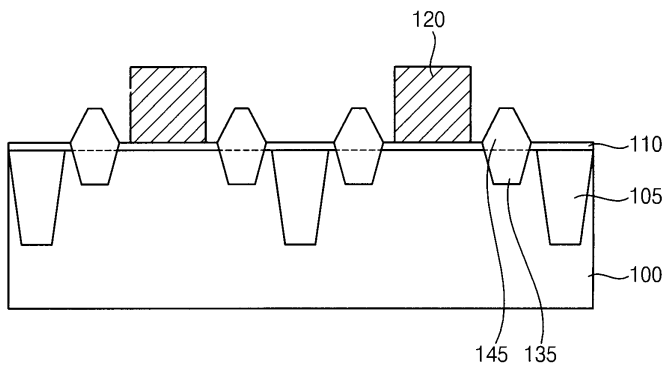
도면4



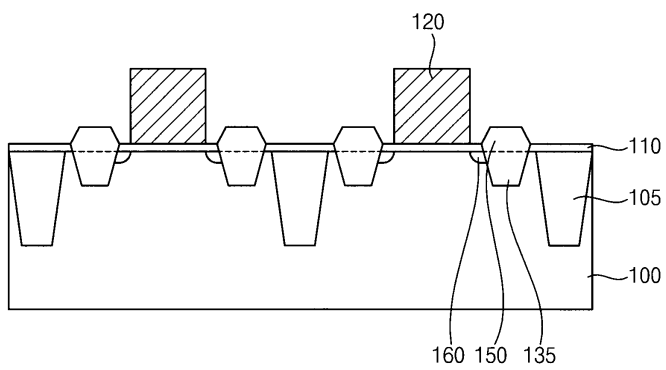
도면5



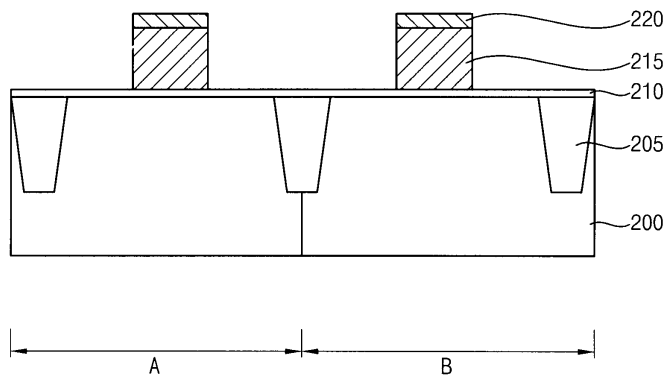
도면6



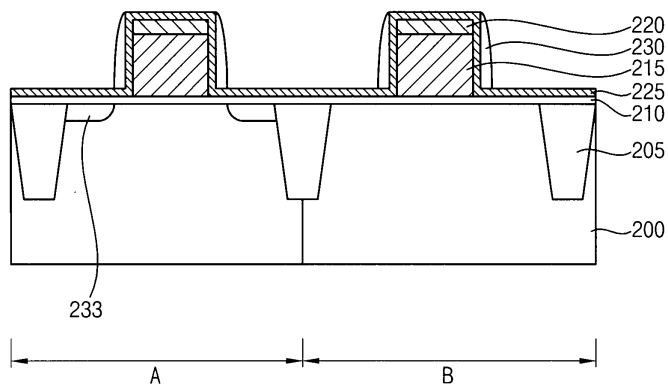
도면7



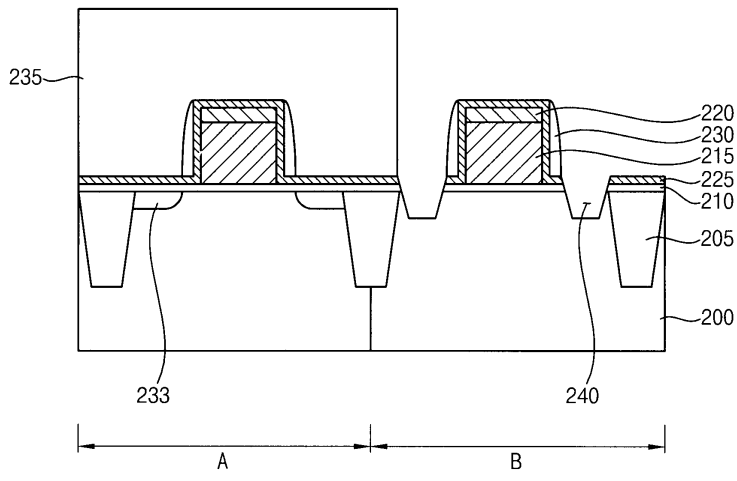
도면8



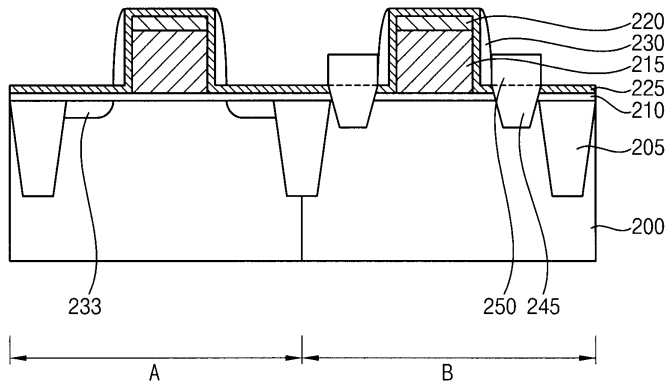
도면9



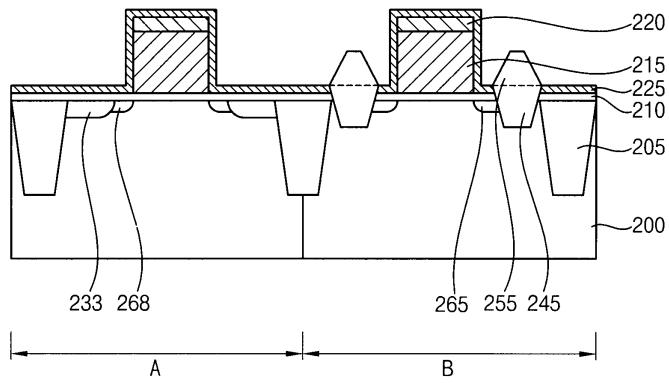
도면10



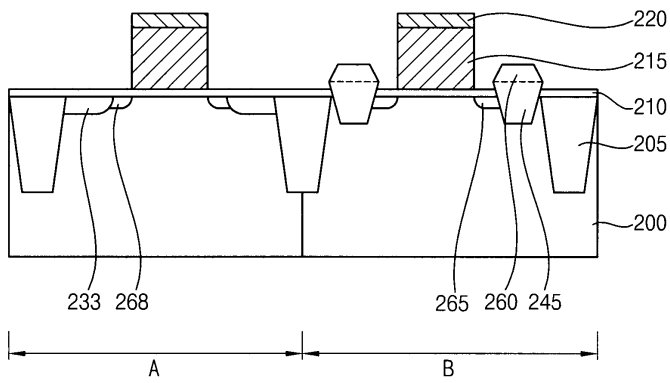
도면11



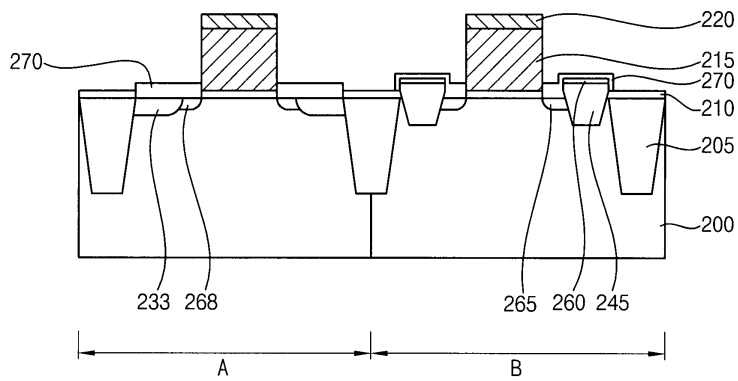
도면12



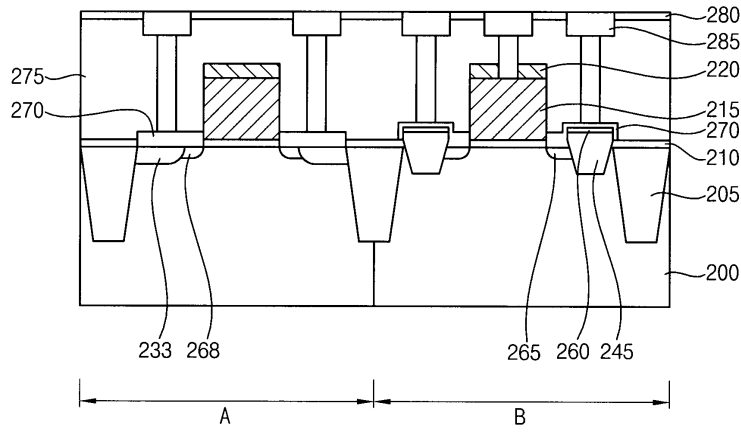
도면13



도면14



도면15



도면16

