(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H04L 27/36

(11) 공개번호 특1999-0088048
(43) 공개일자 1999년12월27일

(21) 출원번호 10-1999-0016032
(22) 출원일자 1999년05월04일

(30) 우선권주장 9/072,813 1998년05월05일 미국(US)
(71) 출원인 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자 왕로버트츄에린
미국뉴저지주07869랜돌프쇼어로드8
(74) 대리인 김창세, 장성구

심사청구 : 있음

(54) 위상기반변조신호발생방법및위상기반변조신호발생용변조기를구비한집적회로

요약

사전 계산된 필터 출력 값에 기초해서 변조 신호(예를 들어, π/4-DQPSK 변조 신호)로 각 샘플을 발생하는데 소요되는 처리량을 줄이는 기법을 사용하여, 입력 데이터 스트림 내의 2 비트(즉, 비트쌍)를 변조 신호로 변환한다. 사전 계산된 필터 출력 값은 하나 이상의 룩업 테이블에 저장되어, 신호 변환시 요구된 값을 검색하기 위해 액세스된다. 일 실시예에서, 복소수 심볼 공간에서 복소수 값으로 표현되는 비트쌍이 두 개의 상태 변수 스트림, 즉, 우수 심볼에 대한 하나의 스트림과 기수 심볼에 대한 하나의 스트림으로 변환된다. 이러한 2개의 상태 변수 스트림을 사용하여, 룩업 테이블로부터 사전 계산된 필터 출력값을 액세스하는 데에 사용되는 어드레스 포인터를 발생한다. 그 후, 검색된 값에 가·감산 연산을 행하여 변조 신호로 복소수 샘플의 실수부와 허수부를 발생한다. 변조 신호로 각 복소수 샘플을 발생하는데 수반되는 계산량을 크게 줄임으로써, 본 발명은 변조 프로세스를 구현하는 비용을 줄이고(줄이거나), 입력 데이터 스트림이 오버샘플링되는 비율(rate)을 증가시키는데 사용되며, 이에 의해 변조 신호의 왜곡을 줄일 수 있다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 π/4-DQPSK 변조를 이용하여 전송하기 위해 음성 신호를 부호화하고 변조하는 통상의 디지털 시스템을 도시한 블럭도,

도 2는 본 발명의 일실시예에 따른 π/4-DQPSK 변조기를 도시한 블럭도,

도 3은 π/4-DQPSK 변조에 있어 변조된 심볼의 배열(constellation)을 나타낸 그래프,

도 4는 일련의 연속하는 시간 간격에 대해 입력 심볼 스트림에 16 계수의 FIR 필터를 적용한 것을 나타내는 그래프,

도 5는 도 2에 도시된 변조기의 샘플 발생기의 하드웨어 구현예를 개략적으로 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

200: π/4-DQPSK 변조기
202: 차분 상태 엔코더
204: 복소수 샘플 발생기
206: 메모리
500: 집적 회로
502, 504: 1:2 디멀티플렉서
506, 508, 510, 512: 13 비트 레지스터
514, 516, 518, 520: 가산기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 신호 처리에 관한 것으로, 보다 구체적으로는, π/4 차분 부호화된 직각 위상 편이(π/4-DQPSK) 변조에 관한 것이다.

도 1은 π/4-DQPSK 변조를 이용하여 전송하기 위해 음성 관련 오디오 신호를 부호화해서 변조하는 종래의 디지털 시스템(100)의 블록도를 도시한 것이다. 도 1에 도시된 바와 같이, 아날로그/디지털(A/D)변환기(102)는 입력 신호를 디지털화하고, 음성 엔코더(104)는 디지털화된 스트림을 부호화하며, 채널 엔코더(106)는 부호화된 데이터에 리던던트 비트(redundant bits)를 부가하고, 인터리버(interleaver)(108)는 부호화된 데이터를 (전송된 신호 내에 버스트 에러가 존재할 때, 수신기가 에러 정정을 수행할 수 있도록) 인터리빙하고, 변조기(110)는 인터리빙된 데이터 스트림 내의 2 비트(즉, 비트쌍)에 π/4-DQPSK 변조를 적용하여, 피변조 신호의 동위상(in-phase)(또는, 실수)부와 직각 위상(quadrature-phase)(또는, 허수)부에 대응하는 다중 비트 디지털 값 DI, DQ를 발생한다. 이들 2개의 디지털 스트림 DI, DQ는 디지털/아날로그(D/A) 변환기(112)에 의해 아날로그 신호로 변환되며, 그 후, 아날로그 신호는 저역 통과 필터(114)에 의해 필터링됨으로써 피변조 신호의 동위상부와 직각 위상부에 대응하는 2개의 아날로그 출력 신호 AI, AQ를 생성한다.

발명이 이루고자하는 기술적 과제

π/4-DQPSK 변조시에, (y, x)로 표현되는 비트쌍 입력 스트림은 복소수 값 I+jQ로 표현되는 피변조 출력 스트림으로 변환되며, 여기서, I는 각 복소수 값에서 동위상부 또는 실수부를 나타내고, Q는 각 복소수 값에서 직각 위상부 또는 허수부를 나타낸다. 통상의 디지털 구현 장치에서, 이러한 변환 프로세스는 오버 샘플링된(over-sampled) 피보간 복소수 값을 발생하기 위해 오버 샘플링된 데이터 스트림에 대한 계산상 복잡한 유한 임펄스 응답(FIR) 필터의 적용을 수반한다. 이러한 변환 프로세스에서 오버 샘플링의 정도(degree)는 흔히 변조 기법을 구현하는데 사용되는 프로세서의 유한 처리 능력에 의해 제한된다. 그 때문에, 변조 신호의 왜곡 레벨은 소망하는 레벨보다도 높을 수 있다. 이러한 왜곡은, 더욱 높은 수준의 오버 샘플링을 처리하기 위해 더욱 큰 처리 능력을 갖는 더욱 고가의 프로세서를 사용함으로써 줄일 수 있다.

발명의 구성 및 작용

본 발명은 입력 데이터를 피변조 신호로 변환하는데 수반되는 실시간 계산을 현격하게 간략화시킨 변조 방식(예를 들어, π/4-DQPSK)에 관한 것이다. 그 결과로서, 임의의 주어진 프로세서에 대해, 본 발명의 변조 방식은 더욱 높은 정도의 오버 샘플링에 의해 구현될 수 있으며, 이에 의해 고가의 프로세서를 사용할 필요없이 통상의 π/4-DQPSK 변조 방식보다 왜곡이 적은 피변조 신호를 제공할 수 있다.

본 발명의 일실시예에 따르면, 입력 데이터 스트림으로부터 위상 기반 변조 신호를 발생하는 방법이 제공된다. 위상 기반 변조 방식에서, 정보는 피변조 신호 내에 위상 변화로서 부호화된다. 상태 변수는 입력 데이터 스트림 내의 비트 세트로부터 발생되며, 이들 상태 변수를 이용해서 어드레스 포인터가 발생된다. 필터 출력에 대응하는 사전 계산된 값을 어드레스 포인터를 사용하여 메모리로부터 검색되며, 그 사전 계산된 값에 가·감산 연산을 행함으로써 변조 신호가 발생된다. 이와 같이 예측한 필터 출력값을 사용하며 계산 부하가 감소되며, 이에 의해 임의의 주어진 프로세서에 대한 더욱 큰 정도의 오버 샘플링이 가능하게 된다.

본 발명의 다른 실시예에서는, 차분 상태 부호화를 수행하여 입력 데이터 스트림 내의 비트 세트로부터 상태 변수를 발생하고, 샘플 발생을 수행하여, 상태 변수로부터 피변조 신호를 발생한다. 이러한 샘플 발생은, (1) 상태 변수를 이용하여 레지스터를 갱신하는 단계와, (2) 그 레지스터 내의 값으로부터 룩업 테이블의 어드레스를 발생하는 단계와, (3) 이 룩업 테이블의 어드레스를 사용하여, 메모리로부터 필터 출력에 대응하는 사전 계산된 값을 검색하는 단계와, (4) 사전 계산된 값에 대해 가·감산 연산을 수행함으로써 변조 신호를 발생하는 단계를 포함한다.

본 발명의 또 다른 실시예에 따르면, 입력 데이터 스트림으로부터 위상 기반 변조 신호를 발생하는 변조기를 내장한 집적 회로가 제공된다. 이 집적 회로는, (1) 입력 데이터 스트림 내의 비트 세트로부터 상태 변수를 발생하는 차분 상태 엔코더와, (2) 이들 상태 변수로부터 변조 신호를 발생하는 샘플 발생기를 포함한다. 샘플 발생기는, (1) 상태 변수에 기초하여 갱신되고, 메모리로부터 필터 출력에 대응하는 사전 계산된 값을 검색하기 위한 룩업 테이블의 어드레스를 발생하는 데 사용되는 값을 갖는 레지스터와, (2) 사전 계산된 값으로부터 변조 신호를 발생하는 가·감산 연산기를 포함한다.

본 발명의 상기 목적을 비롯한 그 밖의 목적, 특징 및 이점은 다음의 상세한 설명, 첨부한 특허청구 범위, 첨부한 도면으로부터 충분히 명백해 질 것이다.

도 2는 본 발명의 일실시예에 따른 π/4-DQPSK 변조기(200)를 도시한 블럭도이다. 이

변조기(200)는 음성 신호와 같은 신호를 변조하는 디지털 시스템에서 사용될 수 있다. 그러므로, 본 발명의 변조기(200)는 도 1의 디지털 시스템(100)의 통상적인 디지털 변조기(110) 대신에 사용될 수 있다. 변조기(200)는 디지털 처리를 수행하므로, 범용 마이크로프로세서, 필드 프로그램 가능 게이트 어레이(FPGA), 디지털 신호 프로세서(DSP) 또는 애플리케이션 특정 집적 회로(ASIC)와 같은 적절한 처리 플랫폼 상에서, 소프트웨어, 펌웨어, 하드웨어 또는 이들의 조합으로 구현될 수 있다.

변조기(200)는 차분 상태 엔코더(202)와 복소수 샘플 발생기(204)를 포함한다. 엔코더(202)는 각 입력 비트쌍(y, x)을 이용하여 3개의 2진수(BE, BQ, BI)로 표현되는 상태 변수를 갱신한다. 여기서, 비트 BE는 비트쌍이 π/4-DQPSK 배열에서 우수 심볼인지 또는 기수 심볼인지를 나타내며, 비트 BI와 BQ는 각각 동위상 신호 I와 직각 위상 신호 Q에 대응한다. 비트쌍은, 시계열적으로 비트 "1"로 시작하는 연속하는 비트 스트림으로부터 변환된다. x 비트는 기수 비트이고 y 비트는 우수 비트이다. 샘플 발생기(204)는 상태 변수(BE, BQ, BI)의 히스토리를 이용하여, 심볼 비율의 배수(즉, 오버 샘플링)인 샘플링 비율로 다중 비트 디지털 복소수 샘플 DI+jDQ을 발생한다. 샘플 발생기(204)는 상태 변수의 히스토리와 클럭 신호를 어드레스로서 사용하여, 메모리(206)(예를 들어, 판독 전용 메모리 또는 ROM) 내의 하나 이상의 룩업 테이블에 저장된 사전 계산된 필터 출력값을 검색한다. 그리고 나서, 샘플 발생기(204)는 검색된 값에 대해 4개의 가산 함수를 수행하여 디지털 복소수 샘플을 발생한다. 이와 같은 샘플 발생기(204)에서의 가산 연산은 보간 및 저역 통과 필터링 함수와 등가의 기능을 수행한다. 사용된 필터는 유한 임펄스 응답(FIR) 필터로서 구현된 0.35의 롤 오프 계수(roll-off factor)를 갖는 제곱근 상승된(square-root raised) 코사인 필터이다.

차분 상태 부호화

π/4-DQPSK 변조에 있어, 각 비트쌍(y, x) 패턴은 심볼 간격에서 디지털 복소수 샘플 I(n)+jQ(n)(본 명세서에서는 "심볼 샘플"이라 지칭함)의 위상 변화를 특정한다. 표 1은 위상 변화값을 정의한다.

[표 1]

비트쌍(y, x)	위상 변화
0	π/4
1	3π/4
10	-π/4
11	-3π/4

심볼 샘플 I(n)+jQ(n)은 입력 비트쌍 스트림에 따라 정해지는 복소수 평면 상에서 이동한다. 그러나, 심볼 샘플의 궤적은 복소수 평면 전체를 차지하지 않고, 단지 도 3에 S0, S1,…, S7로 표시된 바와 같은 8개의 점만을 차지한다. 예를 들어, 시각 n에서, 심볼 샘플은 점 S4에 위치할 수 있다. 새로운 비트쌍(y, x)이(0, 1) 이면, 시각 n+1에서 심볼 샘플은 3π/4의 위상 변화를 갖는 점 S3에 위치한다. 또한, 심볼 샘플은 기수 심볼 세트(즉, S0, S1, S2, S3)와 우수 심볼 세트(즉, S4, S5, S6, S7) 사이에서 교번적으로 이동한다. 이들 점 S0, S1, …, S7의 값은 표 2에 나타낸 바와 같이 3개의 2진 변수(BE, BQ, BI)에 의해 효율적으로 표현될 수 있도록 선택되며, 필터 출력에 대해 압축 룩업 테이블의 구성을 가능하게 한다. 우수 심볼의 복소수 값은 다음 식(1)으로 나타낼 수 있다.

$$(I + jQ)_{EVEN} = \frac{1}{\sqrt{2}}\left[(-1)^{BI} + j(-1)^{BQ}\right]$$

여기서,

$$(-1)^{BI} = (1 - 2 \cdot BI) = \begin{cases} 1 & \text{if } BI = 0 \\ -1 & \text{if } BI = 1 \end{cases}$$

이고,

$$(-1)^{BQ} = (1 - 2 \cdot BQ) = \begin{cases} 1 & \text{if } BQ = 0 \\ -1 & \text{if } BQ = 1 \end{cases}$$

이다.

[표 2]

심볼	복소수 값(I+jQ)	상태 변수(BE, BQ, BI)
S0	1	0
S1	j	1
S2	-j	10
S3	-1	11
S4	1/√2(1+j)	100
S5	1/√2(-1+j)	101
S6	1/√2(1-j)	110
S7	1/√2(-1-j)	111

표 3은, 입력 데이터 스트림 내의 연속하는 비트쌍의 가능한 조합 각각에 대한 상태 변수(BE, BQ, BI) 간의 관계를 리스트한 것으로, 이전의 비트쌍을 구 비트쌍이라 지칭하고, 현재의 비트쌍을 신 비트쌍이라 지칭한다.

[표 3]

구 Si	구 상태 변수			신 심볼				신 BE	신 BQ				신 BI			
				신 비트쌍(y, x)					신 비트쌍(y, x)				신 비트쌍(y, x)			
	BE	BQ	BI	0	1	10	11		0	1	10	11	0	1	10	11
S0	0	0	0	S4	S5	S6	S7	1	0	0	1	1	0	1	0	1
S1	0	0	1	S5	S7	S4	S6	1	0	1	0	1	1	1	0	0
S2	0	1	0	S6	S4	S7	S5	1	1	0	1	0	0	0	1	1
S3	0	1	1	S7	S6	S5	S4	1	1	1	0	0	1	0	1	0
S4	1	0	0	S1	S3	S0	S2	0	0	1	0	1	1	1	0	0
S5	1	0	1	S3	S2	S1	S0	0	1	1	0	0	1	0	1	0
S6	1	1	0	S0	S1	S2	S3	0	0	0	1	1	0	1	0	1
S7	1	1	1	S1	S0	S3	S1	0	1	0	1	0	0	0	1	1

신 BQ 값과 및 신 BI 값으로의 천이는 다음의 논리 방정식으로 나타낼 수 있다. 이전 심볼이 기수 심볼이면(즉, $BE_{OLD}=0$),

$$BI_{NEW} = \bar{y}\cdot\bar{x}\cdot BI_{OLD} + \bar{y}\cdot x\cdot\overline{BQ_{OLD}} + y\cdot\bar{x}\cdot BQ_{OLD} + y\cdot x\cdot\overline{BI_{OLD}} = a$$

이고,

$$BQ_{NEW} = \bar{y}\cdot\bar{x}\cdot BQ_{OLD} + \bar{y}\cdot x\cdot BI_{OLD} + y\cdot\bar{x}\cdot\overline{BI_{OLD}} + y\cdot x\cdot\overline{BQ_{OLD}} = b$$

이며, 여기서, "·"는 논리 AND 연산을 나타내고, "+"는 논리 OR 연산을 나타내며, "¯"는 논리 보수를 나타낸다. 한편, 이전 심볼은 우수 심볼(즉, $BE_{OLD}=1$)이고,

$$BI_{NEW} = \bar{b}$$

이며,

$$BQ_{NEW} = a$$

이다.

어떠한 경우에도,

$$BE_{NEW} = \overline{BE_{OLD}}$$

이다.

본 발명의 일실시예에서, 도 2의 차분 상태 엔코더(202)는 입력 데이터 스트림의 각 비트쌍을 3 상태 변수(BE, BQ, BI)로 변환할 필요가 있을 때, 식(4)~(8)을 사용한다.

샘플 발생

샘플 발생기(204)는, 차분 상태 엔코더(202)에 의해 발생된 상태 변수(BE, BQ, BI)를 오버 샘플링 비율로 디지털 복소수 샘플(DI + jDQ)의 스트림으로 변환하는데, 여기서, DI와 DQ는 각각 동위상(또는, 실수)부와 직각 위상(또는, 허수)부에 대응한다. 샘플 발생기(204)는 심볼 샘플 스트림을, 롤 오프 계수가 0.35인 FIR 제곱근 상승된 코사인 필터를 사용하여, 디지털 복소수 샘플 스트림으로 보간한다.

우수 및 기수 심볼 스트림에 적용되는 다상(poly-phase) 필터로서 구현된 FIR 필터

도 4는, 도 3의 샘플 발생기(204)가 행하는 보간 프로세스의 예를 나타낸 것이다. x1, x2, x3,…는 4배의 심볼 비율로 샘플 스트림으로 변환될 심볼 샘플을 나타낸다고 하자. 도 4의 그래프(a)는 설명의 목적상 x1, x2,…를 실수로 나타내는 것에 주목하여야 한다. x1, x3, x5,…는 기수 심볼이라 하고, x2, x4, x6,…는 우수 심볼이라 하자. FIR 필터의 계수 길이는 16이다. 심볼 샘플을 보간하기 위해, 2개의 연속하는 심볼 샘플 간마다 0 값을 갖는 3개의 샘플을 삽입한다. 그 결과 오버 샘플링된 샘플 스트림이 그래프(a)와 같다.

모든 시간 간격 n마다, f_1, f_2, …, f_{16}의 계수를 갖는 FIR 필터는 그래프(a)의 오버 샘플링된 심볼 스트림의 대응 부분에 적용된다. 예를 들어, 그래프(b)는 시각 n = 15 에서 16 계수 FIR 필터를 적용한 것을 나타내고, 그래프(C)는 시각 n = 16에서 16 계수의 FIR 필터를 적용한 것을 나타내며, 마찬가지로, 그래프(F)는 시각 n = 19에서 16 계수의 FIR 필터를 적용한 것을 나타낸다. 시각 n = 15에서, FIR 필터의 출력 F_{OUT}은 다음 식(9)으로 주어진다.

$$F_{OUT}(n-15) = f_{16} \cdot x1 + f_{12} \cdot x2 + f_8 \cdot x3 + f_4 \cdot x4$$

여기서, 12개의 나머지 FIR 계수는 피보간 심볼 스트림 내에서 0으로 곱해진다. 기수 심볼 x1, x3와 우수 심볼 x2, x4를 묶으면, 다음 식(10)과 같이 된다.

$$F_{OUT}(n-15) = (f_{16} \cdot x1 + f_8 \cdot x3) + (f_{12} \cdot x2 + f_4 \cdot x4)$$

다상 필터(f_{16}, f_8)는 기수 심볼(x1, x3)에 적용되고, 다상 필터(f_{12}, f_4)는 우수 심볼(x2, x4)에 적용된다. 마찬가지로, 시각 n = 16 에서의 변환 출력은 다음 식(11)과 같이 주어진다.

$$F_{OUT}(n-16) = f_{13} \cdot x2 + f_9 \cdot x3 + f_5 \cdot x4 + f_1 \cdot x5$$

이 식(11)은 다음과 같이 기수부와 우수부로 다시 배열될 수 있다.

$$F_{OUT}(n-16) = (f_9 \cdot x3 + f_1 \cdot x5) + (f_{13} \cdot x2 + f_5 \cdot x4)$$

다상 필터(f_9, f_1)는 기수 심볼(x3, x5)에 적용되고, 다상 필터(f_{13}, f_5)는 우수 심볼(x2, x4)에 적용된다. 이러한 프로세스를 반복하면, 상이한 시각에 상이한 필터가 적용되더라도, 기수 심볼과 우수 심볼은 모두 다음과 같은 8개의 다상 필터, 즉 (f_9, f_1), (f_{10}, f_2), (f_{11}, f_3), (f_{12}, f_4), (f_{13}, f_5), (f_{14}, f_6), (f_{15}, f_7), (f_{16}, f_8)의 동일한 순차를 겪게 됨을 알 수 있다. 이러한 방법은 기수 심볼과 우수 심볼을 두 개의 분리된 샘플 스트림으로서 처리하여, 다상 필터를 특정한 순차로 적용하는 것이다.

시간 n의 각각에 대해서, 기수부와 우수부로 배열된 유사한 방정식이 발생될 수 있다. 이러한 방정식들은 심볼 스트림에 대한 FIR 필터의 적용이, 즉, 심볼 스트림을 기수와 우수 심볼 스트림으로 나누고, 다상 필터를 기수와 우수 심볼 스트림에 적용한 후, 이들 다상 필터의 출력을 조합하여 FIR 필터의 출력을 발생함으로써 구현될 수 있는 일반적 원리임을 증명한다.

우수 심볼 표현

표 2를 다시 참조하면, 우수 심볼 S4, S5, S6, S7의 경우, 복소수 값 $(I + jQ)_{EVEN}$의 실수부 I와 허수부 Q는 $1/\sqrt{2}$ 이거나 $-1/\sqrt{2}$ 이다. 이러한 양자 택일에 의해서, 다음 식(13)에 따라, 우수 심볼에 대한 2 상태 변수 BI와 BQ에 의해 우수 심볼에 대한 복소수 값을 표현할 수 있다.

$$(I + jQ)_{EVEN} = \frac{1}{\sqrt{2}}\left[(-1)^{BI} + j(-1)^{BQ}\right]$$

여기서,

$$(-1)^{BI} = (1 - 2 \cdot BI) = \begin{Bmatrix} 1 & \text{if } BI = 0 \\ -1 & \text{if } BI = 1 \end{Bmatrix}$$

이고,

$$(-1)^{BQ} = (1 - 2 \cdot BQ) = \begin{Bmatrix} 1 & \text{if } BQ = 0 \\ -1 & \text{if } BQ = 1 \end{Bmatrix}$$

이다.

우수 심볼 스트림에 적용된 다상 필터는 N개의 다상 필터 계수 세트, 즉, {c(0), c(1), …, c(N-1)}로 표현된다. 우수 심볼 입력에 대한 다상 필터의 출력은 다음 식(16)과 같이 표현된다.

$$DEI(n) + jDEQ(n) = \sum_{k=0}^{N-1} [I(n-k) + jQ(n-k)]_{EVEN} \cdot c(k)$$
$$= \left[\sum_{k=0}^{N-1} (-1)^{BI(n-k)} \cdot \left\{\frac{c(k)}{\sqrt{2}}\right\}\right] + j\left[\sum_{k=0}^{N-1} (-1)^{BQ(n-k)} \cdot \left\{\frac{c(k)}{\sqrt{2}}\right\}\right]$$

여기서, n은 오버 샘플링된 데이터 스트림에 대한 시점의 인덱스이고, $[I(n) + jQ(n)]_{EVEN}$은 우수 심볼에 대응하는 복소수 심볼 샘플이다.

식(14)과 식(15)의 관계로 볼 때, 식(16)에서의 값 DEI(n)와 DEQ(n)는 ±c(0)/√2, ±c(1)/√2, …, ±c(N-1)/√2 항들의 합이고, 이 때, "+" 또는 "-"의 부호는 BI(n-k)와 BQ(n-k)의 값에 따라 정해진다. N개의 계수를 갖는 다상 필터의 경우, BI(n-k)와 BQ(n-k)로 서로 다르게 조합 가능한 수는 2^N개이므로, DEI(n)와 DEQ(n)에 대한 2^N개의 대응하는 값이 존재한다.

본 발명에 따르면, DEI(n)와 DEQ(n)에 대한 2^N개의 값이 사전 계산되어, 샘플 발생기(204)가 사용할 수 있도록, 도 2의 메모리(206) 내의 룩업 테이블에 저장한다. 일 실시예에서, 룩업 테이블의 어드레스가 BI(n-k)와 BQ(n-k)의 2^N 개의 상이한 조합에 대해 2진 패턴에 기초하도록, 사전 계산된 값은 메모리(206)에 저장된다. 특히, 어드레스 포인터 AEI(n)는 DEI(n)에 대한 사전 계산된 값을 탐색하는 데에 사용되며, 이 경우, 어드레스 포인터 AEI(n)는 다음 식(17)에 따라, 우수 심볼 스트림의 상태 변수 BI에 대한 N개의 가장 최근의 값으로 정의된다.

$$AEI(n) = [BI(n), BI(n-1), \ldots, BI(n-N+1)]_{EVEN}$$

마찬가지로, 어드레스 포인터 AEQ(n)는 DEQ(n)에 대한 사전 계산된 값을 탐색하는 데에 사용되며, 여기서, 어드레스 포인터 AEQ(n)는 다음의 식(18)에 따라, 우수 심볼 스트림에 대한 상태 변수 BQ에 대해 N개의 가장 최근의 값으로 정의된다.

$$AEQ(n) = [BQ(n), BQ(n-1), \ldots, BQ(n-N+1)]_{EVEN}$$

샘플 발생기(204)는, 각각의 새로운 심볼에 대해, 실시간으로 (즉, 실제의 필터링 프로세스 동안에) 식(16)을 계산하기 보다는 단지, 어드레스 포인터 AEI(n)과 AEQ(n)에 대해 유지된 어드레스 버퍼(예를 들어, 선입 선출식(FIFO) 시프트 레지스터)를 갱신하고, 이 어드레스 포인터를 사용하여 룩업 테이블 내장 메모리(206)로부터 각각 DEI(n)와 DEQ(n)에 대한 대응하는 사전 계산된 값을 검색한다.

기수 심볼 표현

도 3에 도시된 바와 같이, 기수 심볼과 우수 심볼은 45° 의 위상차를 갖는다. 이 때문에, 기수 심볼에 대응하는 복소수 심볼 샘플은 다음 식(19)과 같이 우수 심볼에 대응하는 복소수 심볼 샘플을 $-\pi/4$ 라디안, 즉 -45° 만큼 회전시킴으로써 표현될 수 있다.

$$(I + jQ)_{ODD} = (I + jQ)_{EVEN} \cdot e^{-j\pi/4}$$

식(13)을 식(19)에 대입하면, 다음 식(20)이 얻어진다.

$$(I + jQ)_{ODD} = \frac{1}{\sqrt{2}}[(-1)^{BI} + j(-1)^{BQ}] \cdot e^{-j\pi/4}$$

식(20)의 지수항을 전개하면, 다음 식(21)이 얻어진다.

$$(I + jQ)_{ODD} = \frac{1}{2}[(-1)^{BI} + j(-1)^{BQ}] \cdot (1 - j)$$

기수 심볼 스트림에 적용된 다상 필터는 N개의 다상 필터 계수 세트, 즉, {d(0), d(1), …, d(N-1)}로 표현된다. 기수 심볼 입력에 대한 다상 필터의 출력은 다음 식(22)으로 표현된다.

$$\sum_{k=0}^{N-1} [I(n-k) + jQ(n-k)]_{ODD} \cdot d(k)$$

여기서, n은 오버 샘플링된 데이터 스트림에 대한 시점의 인덱스이고, $[I(n) + jQ(n)]_{ODD}$은 기수 심볼에 대응하는 복소수 심볼 샘플이다.

식(21)을 식(22)에 대입하면, 다음 식(23)이 얻어진다.

$$\sum_{k=0}^{N-1} \frac{1}{2}\left[(-1)^{BI(n-k)} + j(-1)^{BQ(n-k)}\right] \cdot (1-j) \cdot d(k)$$

식(23)을 다시 정리하면, 다음 식(24)이 얻어진다.

$$\left(\left[\sum_{k=0}^{N-1} (-1)^{BI(n-k)} \cdot \left(\frac{d(k)}{2}\right)\right] + j\left[\sum_{k=0}^{N-1} (-1)^{BQ(n-k)} \cdot \left(\frac{d(k)}{2}\right)\right]\right) \cdot (1-j)$$

DOI(n)와 DOQ(n)는 다음의 식(25), 식(26)

$$DOI(n) = \sum_{k=0}^{N-1} (-1)^{BI(n-k)} \cdot \left(\frac{d(k)}{2}\right)$$

$$DOQ(n) = \sum_{k=0}^{N-1} (-1)^{BQ(n-k)} \cdot \left(\frac{d(k)}{2}\right)$$

에 따라 식(24)의 괄호 내에서 실수부와 허수부를 나타낸다. 우수 심볼과 기수 심볼의 다상 필터가 동일한 계수를 갖는다고 가정하면, 식(25)과 식(26)의 DOI(n)와 DOQ(n)의 표현식은 식(16)과 같은 DEI(n)와 DEQ(n)의 표현식으로부터 $1/\sqrt{2}$ 만큼 다르다.

식(25)과 식(26)을 식(24)에 대입하고, 이들 항을 다시 정리하면, 기수 심볼 입력에 대한 다상 필터의 출력은 다음 식(27)과 같이 주어진다.

$$\{DOI(n) + j \cdot DOQ(n)\} \cdot (1-j) = \{DOQ(n) + DOI(n)\} + j \cdot \{DOQ(n) - DOI(n)\}$$

따라서, FIR 필터 출력의 실수부는 DOQ(n)과 DOI(n)의 합이고, 허수부는 DOQ(n)과 DOI(n)간의 차이다.

식(16)의 DEI(n)와 DEO(n)의 경우에서 처럼, 식(25)과 식(26)의 BI(n-k)와 BQ(n-k)의 상이한 조합의 수는 2^N개이므로, DOI(n)와 DOQ(n)에 대해 2^N개의 대응하는 값이 존재한다. 이러한 2^N개의 값은 사전 계산되어 메모리(206)의 룩업 테이블에 저장될 수 있으며, 샘플 발생기(204)는 실시간 신호 처리중에 적절한 값들을 검색할 수 있다. 전술한 바와 같이, 일 실시예에서는, 어드레스가 BI(n-k)와 BQ(n-k)의 2^N 개의 상이한 조합에 대한 2진 패턴에 기초하도록, 사전 계산된 값이 메모리(206)에 저장된다. 특히, 어드레스 포인터 AOI(n)는 DOI(n)에 대한 사전 계산된 값을 탐색하는 데에 사용되며, 이 경우, 어드레스 포인터 AOI(n)는 다음 식(28)에 따라, 기수 심볼 스트림의 상태 변수 BI에 대한 N개의 가장 최근의 값으로 정의된다.

$$AOI(n) = \{BI(n), BI(n-1), \ldots, BI(n-N+1)\}_{ODD}$$

마찬가지로, 어드레스 포인터 AOQ(n)는 DOQ(n)에 대한 사전 계산된 값을 탐색하는 데에 사용되며, 어드레스 포인터 AOQ(n)는 다음 식(29)에 따라, 우수 심볼 스트림의 상태 변수 BQ에 대한 N개의 가장 최근의 값으로 정의된다.

$$AOQ(n) = \{BQ(n), BQ(n-1), \ldots, BQ(n-N+1)\}_{ODD}$$

메모리 공간과 처리 시간간의 절충에 따라, 샘플 발생기(204)는 기수 심볼 스트림에 대한 단일의 룩업 테이블을 액세스하거나, 우수 심볼 스트림에 대해 사용된 동일한 룩업 테이블을 액세스한 후, 우수 심볼 항과 기수 심볼 항 사이에 $1/\sqrt{2}$ 인수만큼 값을 조정할 수 있다. 이 경우, 메모리 사용보다 처리 속도가 더 중요하며, 각 필터는 그 자신의 사전 계산된 룩업 테이블(2^N개의 엔트리를 가짐)을 액세스한다.

다상 필터 출력의 조합

2N 계수의 FIR 필터의 출력 (DI(n)+jDQ(n))은 우수 심볼 다상 필터로부터의 출력 (DEI(n)+jDEQ(n))과 기수 심볼 다상 필터로부터의 출력 ((DOQ(n)+DOI(n))+j(DOQ(n)-DOI(n))의 합으로서, 다음 식(30), 식(31)과 같이 표현된다.

$$DI(n) = DEI(n) + DOQ(n) + DOI(n)$$

$$DQ(n) = DEQ(n) + DOQ(n) - DOI(n)$$

전술한 바와 같이, 샘플 발생기(204)의 전체 처리는 각각의 오버 샘플링된 심볼에 대해, (1) (식(17, 18, 28, 29)에 기초하여) 4개의 시프트 레지스터를 갱신하고, (2) (이들 시프트 레지스터 내의 어드레스에 기초하여) 메모리로부터 4개의 사전 계산된 값을 검색하며, (3) (식(30, 31)에 기초하여) 3개의 가·감산 함수를 수행함으로써 실시될 수 있다.

이와 같이 관련된 간단한 연산 때문에, 본 발명은 임의의 주어진 처리 플랫폼에 대해, 신호 변조시 FIR 필터 계산이 실시간으로 수행되는 통상의 기법이 지원할 수 있는 것보다 더욱 큰 오버 샘플링 비율을 지원할 수 있어야 한다. 예를 들어, 입력 데이터 스트림이 초당 24.3K의 비트쌍(즉, 초당 24,300개의 비트쌍)을 포함하는 응용의 경우에, 오버 샘플링 비율이 심볼당 32개의 샘플이면, 변조 신호는 초당 777.6K의 샘플을 포함하게 된다. 전형적인 필드 프로그램가능 게이트 어레이(FPGA)상에서 실시하면, 심볼당 62개의 샘플의 오버 샘플링 비율을 지원할 수도 있다. 이렇게 하여, 피변조 신호의 왜곡을 크게 줄일 수 있다.

샘플 발생기 회로

도 5는 본 발명의 일실시예에 따른, 도 2의 샘플 발생기(204)와 메모리(206)의 비교적 저가의 하드웨어 구현예에 대응하는 집적 회로(500)를 개략적으로 도시한 도면이다. 회로(500)는 심볼당 32개 샘플의 오버 샘플링 비율에 기초하며, 저역 통과 FIR 필터는 롤 오프 계수가 0.35인 제곱근 상승된 코사인 응답을 갖는다. 이 회로(500)는 2개의 8 K 바이트 ROM을 갖는 메모리(206)와, 두 개의 1:2 디멀티플렉서(502, 504), 4개의 13비트 레지스터(506, 508, 510, 512), 4개의 가산기(514, 516, 518, 520)을 구비한다. 각 13 비트 레지스터(506, 508, 510, 512) 내의 비트 A0~A4는 도 5에 지정된 바와 같이 출력 샘플링 비율 F_s에 기초한 클럭 신호에 의해 제어되고, 비트 A5는 상태 변수 BE에 고정되며, 비트 A6는 하이 레벨(예를 들어, +5V)이나 로우 레벨(예를 들어, GND) 중 하나로 배선되며, 비트 A7~A12는 비트가 비트 A12로 인입되어 비트 A7에서 인출되는 시프트 레지스터로서 기능한다.

도 2의 차분 상태 엔코더(202)가 입력 데이터 스트림 내의 우수 심볼과 기수 심볼에 대한 3 상태 변수(BE, BQ, BI)를 발생하면, 우수 심볼에 대한 BI 값은 레지스터(506)의 시프트 레지스터(SREI)에 입력되고, 기수 심볼에 대한 BI 값은 레지스터(508)의 시프트 레지스터(SROI)에 입력되며, 우수 심볼에 대한 BQ 값은 레지스터(510)의 시프트 레지스터(SREQ)에 입력되고, 기수 심볼에 대한 BQ 값은 레지스터(512)의 시프트 레지스터(SROQ)에 입력된다. 이들 시프트 레지스터에 대한 BI 값과 BQ 값의 입력은, 현재 심볼이 우수 심볼인지 기수 심볼인지를 표시하는 상태 변수 BE에 의해 제어되는 스위치로서 작동하는 디멀티플렉서(502, 504)에 의해 제어된다.

새로운 심볼이 입력 데이터 스트림 내에서 발생될 때마다, 2개의 시프트 레지스터가 갱신된다. 즉, 우수 심볼에 대해 SREI와 SREQ가 갱신되거나 기수 심볼에 대해 SROI 및 SROQ가 갱신된다. 클럭 신호는 입력 데이터 스트림 내의 각 심볼과 동기되어, 새로운 심볼이 발견되어 2개의 시프트 레지스터가 갱신될 때마다 비트 A0~A4의 값은 모두 0이 되게 한다. 이들 5개의 비트 A0~A4는 그들의 제어 클럭 신호에 따라 토글링되며, 비트 A0~A4의 값은, 입력 데이터 스트림 내의 다음 심볼이 발견되기 전에 이진 증분되는 식으로 모두 0인 값으로부터 모두 1인 값으로 변환한다.

샘플링 비율 F_s 에 근거한 매 클럭 사이클에서, 레지스터들중 2개 레지스터(예를 들어, 레지스터(506, 508) 또는 레지스터(510, 512) 중의 하나) 내의 13 비트값은 룩업 테이블의 어드레스로서, 메모리(206)의 2개의 8 K 바이트 ROM으로부터 데이터를 검색하는데 이용된다. 이렇게 하여, 데이터 스트림 내의 모든 심볼에 대해, 각 시프트 레지스터에 저장된 각 비트 세트에 대해서 2^5(즉, 32)개의 상이한 룩업 테이블 조사가 수행된다. 비트 A6을 하이 또는 로우에 배선 연결함으로써 적절한 데이터 검색이 보장되는데, 비트 A6을 하이 레벨로 배선 연결하는 것은 우수 심볼에 대해 식(16)을 사용하여 사전 계산된 값에 대응하고, 비트 A6을 로우 레벨로 배선 연결하는 것은 기수 심볼에 대해 식(25, 26)을 사용하여 사전 계산된 값에 대응한다.

그 다음에, 식(30, 31)에 따라 룩업 테이블로부터 검색된 값을 가산기(514, 516, 518, 520)로 적절히 조합하여, 샘플 발생기(204)의 출력 DI, DQ를 발생한다.

도 5의 회로(500)는, 심볼당 32개 샘플의 특정 오버 샘플링 비율 및 FIR 필터의 특정 수의 계수에 대한 본 발명의 단지 하나의 가능한 하드웨어 구현예에 불과하다. 이러한 오버 샘플링 비율 및 FIR 필터에 대해 다른 하드웨어 구현예도 가능하다. 또한, 본 발명은 소프트웨어 또는 소프트웨어와 하드웨어의 조합으로 구현될 수 있다. 더구나, 본 발명은 다른 FIR 필터와 심볼 비율로의 샘플링을 포함하는 다른 샘플링 비율에 대해서도 구현될 수 있다.

이상, 본 발명이, 각 심볼이 비트쌍에 대응하는 임의의 심볼 스트림의 π/4-DQPSK 변조 환경에서

설명되었지만, 당업자라면, 본 발명이 π/4-DQPSK 이외의 다른 위상 기반 변조 방식이나, 2 비트 심볼 이외의 것을 갖는 심볼 스트림에 대해서도 적용될 수 있음을 이해할 것이다.

또한, 당업자라면, 본 발명의 특징을 설명하기 위해 설명되고 예시된 부품의 세부 설명, 재료, 장치의 다양한 변경이 첨부한 특허 청구 범위에서 정의한 바와 같이 본 발명의 원리와 범주를 벗어나지 않고 이루어질 수 있음을 이해할 것이다.

발명의 효과

본 발명에 의하면, 입력 데이터를 변조 신호로 변환할 때 수반되는 실시간 연산을 현격하게 간략화시킴으로써, 통상의 변조 방식에 비해, 고가의 프로세서를 사용하지 않고도 왜곡이 적은 변조 신호를 생성할 수 있다.

(57) 청구의 범위

청구항 1

입력 데이터 스트림으로부터 위상 기반 변조 신호를 발생하는 방법에 있어서,

(1) 상기 입력 데이터 스트림 내의 비트 세트로부터 상태 변수를 발생하는 단계와,

(2) 상기 상태 변수를 사용하여 어드레스 포인터를 발생하는 단계와,

(3) 상기 어드레스 포인터를 사용하여, 메모리로부터 필터 출력에 대응하는 사전 계산된 값을 검색하는 단계와,

(4) 상기 사전 계산된 값에 대해 가·감산 연산을 행하여 상기 변조 신호를 발생하는 단계

를 포함하는 위상 기반 변조 신호 발생 방법.

청구항 2

제 1 항에 있어서,

상기 위상 기반 변조 신호는 π/4-DQPSK 변조 신호이고, 각 비트 세트는 비트쌍(a debit)인 위상 기반 변조 신호 발생 방법.

청구항 3

제 1 항에 있어서,

상기 입력 데이터 스트림은 아날로그 오디오 입력 신호를 디지털화하고, 상기 디지털화된 신호에 대해 음성 및 채널 부호화를 실시하고, 상기 부호화된 신호를 인터리빙함으로써 발생되며,

상기 변조 신호에 디지털/아날로그 변환 및 저역 통과 필터링이 인가되는 위상 기반 변조 신호 발생 방법.

청구항 4

제 1 항에 있어서,

상기 사전 계산된 값은 다상 필터 출력에 대응하는 위상 기반 변조 신호 발생 방법.

청구항 5

제 4 항에 있어서,

상기 입력 데이터 스트림 내의 각 비트 세트는 심볼에 대응하고,

상기 심볼 스트림은 우수 심볼 스트림과 기수 심볼 스트림으로 나누어지며,

상기 사전 계산된 값은 상기 우수 심볼 스트림과 상기 기수 심볼 스트림에 대한 다상 필터의 개별적인 적용에 대응하는 위상 기반 변조 신호 발생 방법.

청구항 6

제 1 항에 있어서,

상기 입력 데이터 스트림 내의 각 비트 세트는 심볼에 대응하며,

상기 입력 데이터 스트림 내의 각 심볼은,

상기 심볼이 우수 심볼인지 기수 심볼인지를 나타내는 제 1 상태 변수 BE와,

상기 심볼을 나타내는 복소수 값의 실수부에 대응하는 제 2 상태 변수 BI와,

상기 복소수 값의 허수부에 대응하는 제 3 상태 변수 BQ를 갖는 위상 기반 변조 신호 발생 방법.

청구항 7

제 6 항에 있어서,

상기 상태 변수들 BE_{OLD}, BI_{OLD}, BQ_{OLD}는 상기 입력 데이터 스트림 내의 이전 심볼에 대응하고,

상기 입력 데이터 스트림 내의 새로운 심볼은 비트쌍(y, x)에 대응하며,

상기 새로운 심볼이 상기 입력 데이터 스트림 내에서 기수 심볼일 때, 상기 새로운 심볼에 대한 상기 제 2 상태 변수 BI_{NEW}는, "·"가 논리 AND 연산을 나타내고, "+"가 논리 OR 연산을 나타내며, "¯"가 논리 보수를 나타낼 때, 다음 식

〔수학식 4〕

$$BI_{NEW} = \bar{y} \cdot \bar{x} \cdot BI_{OLD} + \bar{y} \cdot x \cdot \overline{BQ_{OLD}} + y \cdot \bar{x} \cdot BQ_{OLD} + y \cdot x \cdot \overline{BI_{OLD}} = a$$

에 기초해 결정되고, 상기 새로운 심볼에 대한 상기 제 3 상태 변수 BQ_{NEW}는 다음 식

〔수학식 5〕

$$BQ_{NEW} = \bar{y} \cdot \bar{x} \cdot BQ_{OLD} + \bar{y} \cdot x \cdot BI_{OLD} + y \cdot \bar{x} \cdot \overline{BI_{OLD}} + y \cdot x \cdot \overline{BQ_{OLD}} = b$$

에 기초해 결정되며,

상기 새로운 심볼이 상기 입력 데이터 스트림 내에서 우수 심볼일 때, 상기 새로운 심볼에 대한 상기 제 2 상태 변수 BI_{NEW}는, 다음 식

〔수학식 6〕

$$BI_{NEW} = \bar{b}$$

에 기초해 결정되고, 상기 새로운 심볼에 대한 상기 제 3 상태 변수 BQ_{NEW}는, 다음 식

〔수학식 7〕

$$BQ_{NEW} = a$$

에 기초해 결정되는 위상 기반 변조 신호 발생 방법.

청구항 8

제 6 항에 있어서,

상기 심볼 스트림은 우수 심볼 스트림과 기수 심볼 스트림으로 나누어지며,

상기 우수 심볼 스트림 내의 심볼에 대한 상기 제 2 상태 변수 BI를 사용하여 제 1 어드레스 포인터 AEI(n)를 발생하고,

상기 우수 심볼 스트림 내의 심볼에 대한 상기 제 3 상태 변수 BQ를 사용하여 제 2 어드레스 포인터 AEQ(n)를 발생하며,

상기 기수 심볼 스트림 내의 심볼에 대한 상기 제 2 상태 변수 BI를 사용하여 제 3 어드레스 포인터 AOI(n)를 발생하고,

상기 기수 심볼 스트림 내의 심볼에 대한 상기 제 3 상태 변수 BQ를 사용하여 제 4 어드레스 포인터 AOQ(n)를 발생하며,

상기 제 1 어드레스 포인터 AEI(n)를 사용하여 메모리로부터 제 1 사전 계산된 값 DEI(n)을 검색하고,

상기 제 2 어드레스 포인터 AEQ(n)를 사용하여 상기 메모리로부터 제 2 사전 계산된 값 DEQ(n)을 검색하며,

상기 제 3 어드레스 포인터 AOI(n)를 사용하여 상기 메모리로부터 제 3 사전 계산된 값 DOI(n)을 검색하고,

상기 제 4 어드레스 포인터 AOQ(n)를 사용하여 상기 메모리로부터 제 4 사전 계산된 값 DOQ(n)을 검색하며,

상기 변조 신호의 실수부 DI(n)를 다음 식

〔수학식 30〕

$$DI(n) = DEI(n) + DOQ(n) + DOI(n)$$

에 기초해 발생하고,

상기 변조 신호의 허수부 DQ(n)를 다음 식

〔수학식 31〕

$$DQ(n) = DEQ(n) + DOQ(n) - DOI(n)$$

에 기초해 발생하는 위상 기반 변조 신호 발생 방법.

청구항 9

제 8 항에 있어서,

c(k)와 d(k)가 다상 필터의 계수를 나타낼 때,

상기 제 1 사전 계산된 값 DEI(n)은 다음 식

〔수학식 16-1〕

$$DEI(n) = \left[\sum_{k=0}^{N-1} (-1)^{BI(n+k)} \cdot \left(\frac{c(k)}{\sqrt{2}}\right)\right]$$

에 근거하며,

상기 제 2 사전 계산된 값 DEQ(n)은 다음 식

〔수학식 16-2〕

$$DEQ(n) = \left[\sum_{k=0}^{N-1} (-1)^{BQ(n+k)} \cdot \left(\frac{c(k)}{\sqrt{2}}\right)\right]$$

에 근거하며,

상기 제 3 사전 계산된 값 DOI(n)은 다음 식

〔수학식 25〕

$$DOI(n) = \sum_{k=0}^{N-1} (-1)^{BI(n+k)} \cdot \left(\frac{d(k)}{2}\right)$$

에 근거하며,

상기 제 4 사전 계산된 값 DOQ(n)은 다음 식

〔수학식 26〕

$$DOQ(n) = \sum_{k=0}^{N-1} (-1)^{BQ(n+k)} \cdot \left(\frac{d(k)}{2}\right)$$

에 근거하는 위상 기반 변조 신호 발생 방법.

청구항 10

제 8 항에 있어서,

상기 어드레스 포인터 AEI(n), AEQ(n), AOI(n), AOQ(n)는 상기 대응하는 상태 변수의 함수인 것에 부가하여, 상기 입력 데이터 스트림에 대한 오버 샘플링을 성취하기 위해 클럭 신호를 사용하여 발생되는 위상 기반 변조 신호 발생 방법.

청구항 11

입력 데이터 스트림으로부터 위상 기반 변조 신호를 발생하는 방법에 있어서,

(1) 차분 상태 부호화를 수행하여, 상기 입력 데이터 스트림 내의 비트 세트로부터 상태 변수를 발생하는 단계와,

(2) 샘플 발생을 수행하여, 상기 상태 변수로부터 상기 변조 신호를 발생하되,

상기 샘플 발생은,

㉮ 상기 상태 변수를 사용하여 레지스터를 갱신하는 단계와,

㉯ 상기 레지스터 내의 값으로부터 룩업 테이블의 어드레스를 발생하는 단계와,

㉰ 상기 룩업 테이블의 어드레스를 사용하여, 메모리로부터 필터 출력에 대응하는 사전 계산된 값

을 검색하는 단계와,

㉣ 상기 사전 계산된 값에 대해 가·감산 연산을 수행하여 상기 변조 신호를 발생하는 단계를 포함하는 위상 기반 변조 신호 발생 방법.

청구항 12

입력 데이터 스트림으로부터 위상 기반 변조 신호를 발생하는 변조기를 구비한 집적 회로에 있어서,

(1) 상기 입력 데이터 스트림 내의 비트 세트로부터 상태 변수를 발생하는 차분 상태 부호화기와,

(2) 상기 상태 변수로부터 상기 변조 신호를 발생하는 샘플 발생기를 포함하되,

상기 샘플 발생기는,

㉮ 상기 상태 변수를 사용하여 갱신되며, 룩업 테이블의 어드레스를 발생하여 메모리로부터 필터 출력에 대응하는 사전 계산된 값을 검색하는 데에 사용되는 값을 갖는 레지스터와,

㉯ 상기 사전 계산된 값으로부터 상기 변조 신호를 발생하는 가·감산 연산기를 포함하는 위상 기반 변조 신호 발생용 변조기를 구비한 집적 회로.

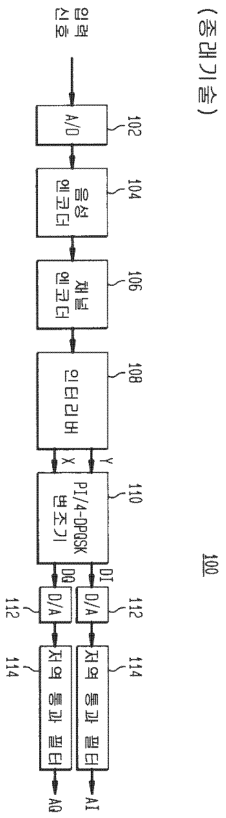
청구항 13

제 12 항에 있어서,

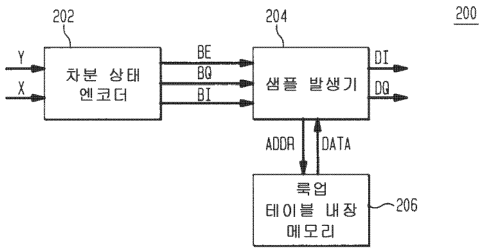
상기 샘플 발생기는 4개 이하의 레지스터와 4개의 이하의 가·감산 연산기를 포함하는 위상 기반 변조 신호 발생용 변조기를 구비한 집적 회로.

도면

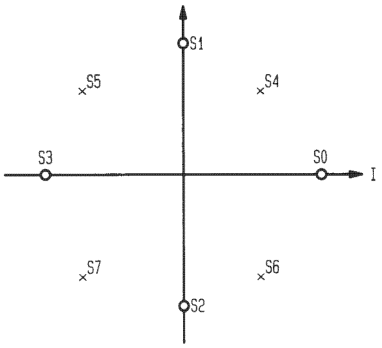
도면1



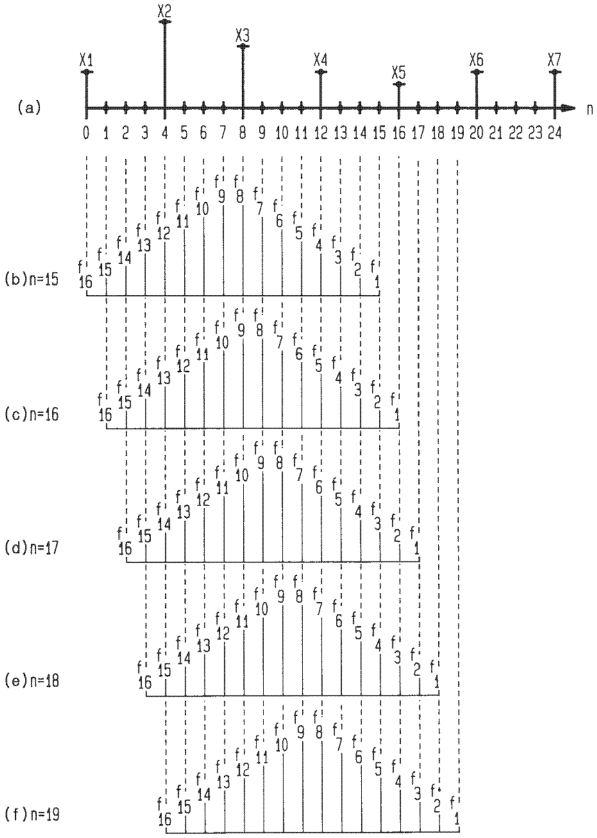
도면2


202
204
200
Y
X
차분 상태
엔코더
BE
BQ
BI
샘플 발생기
DI
DQ
ADDR
DATA
룩업
테이블 내장
메모리
206

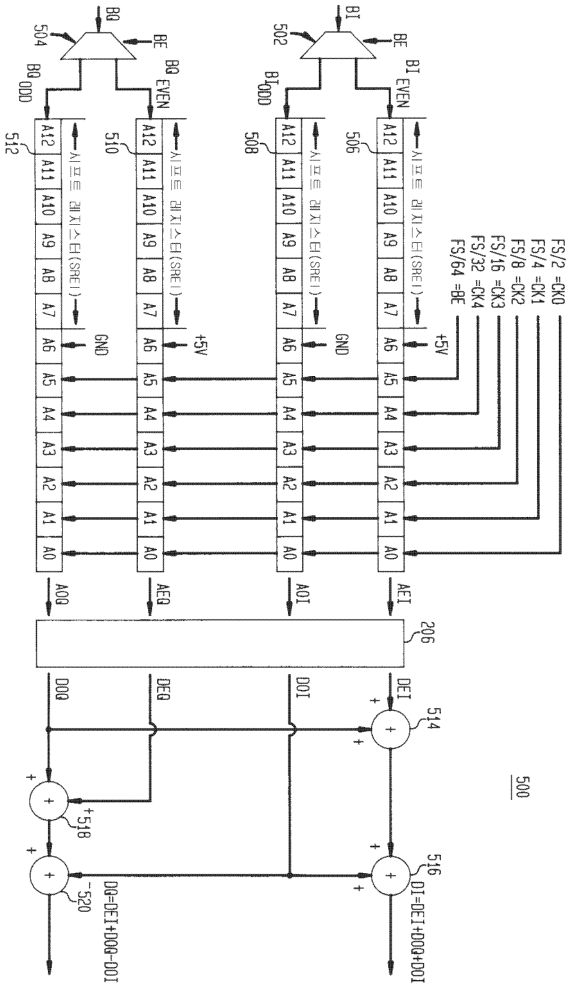
도면3


S1
S5
S4
S3
S0
I
S7
S6
S2

도면4


X1
X2
X3
X4
X5
X6
X7
(a)
n
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24
(b)n=15
(c)n=16
(d)n=17
(e)n=18
(f)n=19

도면5


BQ
BE
504
BQ ODD
BQ EVEN
512
510
시프트 레지스터(SRE)
GND
+5V
BI
BE
502
BI ODD
BI EVEN
508
506
FS/2 =CK0
FS/4 =CK1
FS/8 =CK2
FS/16 =CK3
FS/32 =CK4
FS/64 =BE
AOQ
AEQ
AOI
AEI
206
DOQ
DEQ
DOI
DEI
514
518
516
520
DQ=DEI+DOQ-DOI
DI=DEI+DOQ+DOI
500