



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 23/485 (2006.01)

H01L 27/02 (2006.01)

(11) 공개번호 10-2006-0130105

(43) 공개일자 2006년12월18일

(21) 출원번호 10-2006-7014331

(22) 출원일자 2006년07월14일

심사청구일자 없음

번역문 제출일자 2006년07월14일

(86) 국제출원번호 PCT/US2004/042879

(87) 국제공개번호 WO 2005/071749

국제출원일자 2004년12월17일

국제공개일자 2005년08월04일

(30) 우선권주장 10/758,148 2004년01월14일 미국(US)

(71) 출원인 스펜션 엘엘씨
미국 캘리포니아 94088-3453 서니베일 피.오.박스 3453 메일 스톱 68 원 에이엠디 플레이스

(72) 발명자 양 니안
미국 캘리포니아 94040 마운틴 뷰 엠파이어 코트 51
오가와 히로유키
미국 캘리포니아 94086 서니베일 #282 올드 샌프란시스코 알다.718
우유 이더
미국 캘리포니아 95008 캠프벨 더블유. 링컨 애비뉴 218
창 쿠오-팅
미국 캘리포니아 95070 사라토가 컨트리 스퀘어 레인 11261
선 유
미국 캘리포니아 95070 사라토가 글라스고우 드라이브 20395
해밀턴 달렌 쥐.
미국 캘리포니아 95120 산 호세 폰스 코트 5824

(74) 대리인 박장원

전체 청구항 수 : 총 10 항

(54) 패드 영역 아래에 디바이스를 갖는 웨이퍼 영역의 효율적인이용

(57) 요약

반도체 구조(20)에서 패드 영역(21) 아래에 능동 디바이스(25)를 포함함으로써 실리콘 영역의 보다 효율적인 이용이 달성된다. 상기 패드 영역(21)은 기판(22)을 포함하며, 제1금속층(23)은 상기 기판(22) 위에 배치된다. 제2금속층(26)은 상기 제1금속층(23) 아래에 있다. 상기 능동 디바이스(25)는 상기 제2금속층(26) 아래에 있는 상기 기판(22) 내에 존재한다. 유전체층(24)은 상기 제1금속층(26)과 상기 제2금속층(23)을 분리한다. 상기 유전체층(24) 내의 비아(27)는 상기 제1금속층(23)과 상기 제2금속층(26)을 전기적으로 연결한다. 비아(27)는 상기 능동 디바이스(25)에 연결된다. 후속 금속층들(424,425,426)은 상기 제1금속층(23)과 상기 제2금속층(26) 사이에 배열될 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

패드 영역(21)과; 그리고

상기 패드 영역(21) 아래에 배치되는 반도체 구조(20)의 능동 디바이스(25)를 포함하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 2.

제 1 항에 있어서,

상기 능동 디바이스(25)가 트랜지스터로 구성되는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 3.

제 1 항에 있어서,

상기 반도체 구조(20)의 디바이스(29)가 논리 기능을 수행하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 4.

제 1 항에 있어서,

상기 반도체 구조(20)의 디바이스(29)가 메모리 기능을 수행하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 5.

제 1 항에 있어서,

상기 능동 디바이스(25)가 제1디바이스로 구성되며,

또한 상기 패드 영역(21)과 적어도 부분적으로 접경하고 있는 비패드영역(28)과; 그리고

상기 비패드 영역(28) 내에 배치되는 제2디바이스(29)를 포함하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 6.

제 5 항에 있어서,

상기 제1디바이스(25) 및 상기 제2디바이스(29)가 유사한 기능을 수행하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 7.

제 1 항에 있어서,

상기 패드 영역(21)이

기관(22)과;

상기 기관(22) 위에 배치되는 제1금속층(26)과, 여기서 상기 능동 디바이스(25)는 상기 제1금속층(26) 아래에 배치되며;

상기 제1금속층(26) 위에 배치되는 제2금속층(23)을 포함하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 8.

제 7 항에 있어서,

또한 상기 제1금속층(26)과 상기 제2금속층(23) 사이에 배치되는 유전체층(24)과; 그리고

상기 유전체층(25) 내에 배치되며, 상기 제1금속층(26)과 상기 제2금속층(23)을 전기적으로 연결하는 비아(27)를 포함하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 9.

제 7 항에 있어서,

또한 상기 제1금속층(26)과 상기 제2금속층(23) 사이에 후속 금속층(424)을 포함하는 것을 특징으로 하는 상기 반도체 구조(20).

청구항 10.

기관(22)과;

상기 기관(22) 위에 배치되는 제1금속층(26)과;

상기 제1금속층(26) 위에 배치되는 제2금속층(23)과; 그리고

상기 기관(22) 내에 배치되는 상기 능동 디바이스(25)를 포함하는 것을 특징으로 하는 상기 반도체 구조용 패드 영역 장치들(21).

명세서

기술분야

본 발명에 대한 실시예들은 반도체 디바이스 설계 분야에 관한 것이다. 특히, 본 발명에 대한 실시예는 패드 아래에 디바이스를 갖는 웨이퍼 영역의 보다 효율적인 이용에 관한 것이다.

배경기술

반도체 회로 설계 및 제조 기법들의 발달은 플래시 메모리, 집적 회로, 및 논리 회로 같은 디바이스 및 낮은 전압에서 동작하며 현저한 복잡성과 조밀도를 가지는 다른 디바이스를 초래하게 되었다. 그러한 복잡하고 조밀한 반도체 칩에 대한 설계에 있어서 고유한 스케일링(scaling) 때문에, 성능의 손상 및 물리적 특성들의 훼손 없이 사용 가능한 실리콘 영역의 효율적인 이용이 중요하게 고려되었다.

일부 칩 또는 웨이퍼 설계는 패드 영역을 포함한다. 상기 패드는 전형적으로 집적 회로와 외부 회로 또는 시스템 사이의 인터페이스가 확립될 수 있는 영역이다. 칩과 외부 회로 및/또는 시스템 사이의 인터페이스는, 예를 들어, 본딩(bonding), 프로빙(probing), 및 패키징(packaging)을 포함할 수 있다. 이러한 인터페이스를 효과적으로 확립하기 위하여, 상기 패드 영역은 전형적으로 내부회로에 비례하여 크다. 상기 패드 영역은 따라서 칩상의 실리콘 영역의 상당한 부분을 차지한다.

예로서 고도의 플래시 메모리를 선택하면, 상기 패드 영역은 512킬로비트로 구성되는 전형적 메모리 섹터의 반 이상의 영역을 차지한다. 하나의 예시적인 패드 사이즈는 대략 80×80 마이크로미터이며, 따라서 6400스퀘어 마이크로미터를 차지한다. 상기 예시적인 플래시 메모리 칩의 있어서, 칩상에 40개 정도의 다수의 패드가 있는 경우에는 상기 패드 영역에 의해 덮여 있는 실리콘 영역의 총합은 상당하게 된다. 예를 들어, 상기 예시적인 플래시 메모리 칩상에 40개의 패드는 합하여, 각 패드가 6,400스퀘어 마이크로미터를 차지하므로, 실리콘 기판의 1/2 백만 스퀘어 미터 이상을 차지한다.

통상적으로, 상기 패드 영역은 칩 내의 다른 회로들로부터 분리된다. 상기 패드와 칩의 분리는 프로빙, 본딩, 및 패키징을 용이하게 하며, 또한 정전기 방전(ESD)으로 인한 잠재적인 유해 효과들로부터 칩을 보호하는데 상기 패드 영역이 이용되는 것을 가능하게 한다. 이들로부터 분리된 패드, 회로 및 칩 동작의 디바이스 특성들은 칩내의 어느 곳에든지 놓이게 된다. 도1은 통상적인 반도체 구조(10)의 설계를 도시한다. 패드(11)는 반도체 디바이스(10)의 내부회로(12)의 능동 디바이스들과 분리된다.

그러나, 칩 사이즈 및 동작 전압들이 감소함에 따라, 상기 패드 영역에 의해 덮여 지는 실리콘 영역의 중요성은 보다 커지게 된다. 상기 패드는 전형적으로 복수의 금속층을 가지며, 이 금속층들의 상위층은 본딩, 프로빙, 및 패키징을 위해 사용된다. 하위 금속층들은 전형적으로 칩의 내부회로와, 예를 들어, 외부 시스템 사이의 패드 신호들을 받거나 주는데 이용된다. 바닥 금속은 상기 칩을 구성하는 실리콘 기판에 직접적으로 연결된다. 그러나, 통상적인 패드 아래에 있는 기판 내에는 어떤 능동 디바이스들도 존재하지 않는다.

개요

칩들이 더욱 조밀 및 복잡하게 설계됨에 따라, 동작 전압들이 감소하므로, 실리콘의 보다 효율적인 이용이 바람직 할 수 있다. 본 발명의 실시예는 실리콘 영역을 보다 효율적으로 이용한다. 본 발명의 한 실시예에 따르면, 플래시 또는 SRAM 메모리, 집적회로, 또는 이와 유사한 것을 구성하는 개별 다이(die)들의 웨이퍼 같은 반도체 구조는 패드 영역 아래에 능동 디바이스를 포함한다. 상기 반도체 구조의 능동디바이스는 메모리 기능, 논리 기능, 또는 다른 기능을 수행할 수 있다.

패드 영역 아래에 능동 디바이스를 갖는 반도체 구조가 개시된다. 한 실시예에 따르면, 반도체 구조는 패드 영역을 가지며, 상기 패드 영역 아래에 배치되는 능동 디바이스를 갖는다. 상기 능동 디바이스는, 예를 들어, 트랜지스터 또는 회로일 수 있다. 상기 능동 디바이스는 상기 반도체 구조의 다수의 디바이스들 중 하나일 수 있으며, 상기 반도체 구조는 또한 적어도 부분적으로 상기 패드 영역과 접점하고 있는 비패드영역 및 상기 비패드 영역 내에 배치되는 다른 능동 디바이스들을 포함할 수 있다. 한 실시예에 따르면, 상기 다수의 디바이스들은 유사한 기능을 수행한다.

한 실시예에 따르면, 상기 패드 영역은 기판을 포함하며, 이 기판은 자신 위에 배치되는 제1금속층 및 상기 제1금속층 아래에 배치되는 제2금속층을 구비한다. 상기 능동 디바이스는 제2금속층 아래에 배치된다. 한 실시예에 따르면, 상기 반도체 구조는 또한 제1금속층과 제2금속층 사이에 배치되는 유전체층 및 비아를 가진다. 상기 비아는 상기 유전체층 내에 배치되며, 상기 제1금속층과 상기 제2금속층을 전기적으로 연결한다. 비아는 능동 디바이스에 연결된다. 후속 금속층들은 상기 제1금속층 과 제2금속층 사이에 배치될 수 있다.

한 실시예에 따르면, 금속층 아래 놓인 기판 내에 배치되는 능동 디바이스를 갖는 반도체 구조용 패드 영역 장치들을 제공한다. 한 실시예에 따르면, 패드 영역 아래에 능동 디바이스를 갖는 패드 영역을 포함하는 반도체 구조의 제조를 위한 방법을 제공한다.

발명의 상세한 설명

패드 영역 아래에 능동 디바이스를 가지는 반도체 구조가 개시된다. 하기의 본 발명의 상세한 설명에서, 본 발명에 대한 완전한 이해를 제공하기 위하여 다수의 특정 세부사항들이 설명된다. 그러나, 그러한 특정 세부사항들 없이 또는 그러한 세부사항들의 등가물들에 의해 본 발명이 실시될 수 있다는 것은 당해 기술분야에서 숙련된 자에게 자명할 것이다. 다른 경우들에 따르면, 본 발명의 양상들을 쓸데없이 모호하게 하지 않기 위하여 잘 알려진 방법들, 공정들, 순서들, 디바이스들, 그리고 회로들은 자세하게 설명하지 않는다.

하기의 본 발명의 실시예들에 대한 상세한 설명의 부분들은 공정들의 관점에서 설명되고 논의된다. 특정 단계들 및 이 특정 단계들의 순서가 본원의 도면들(예를 들어, 도6 내지 10)에서 기술되고 공정들(예를 들어, 공정 (60), (70), (80), (90) 및 (100))의 동작들을 설명하지만 그러한 단계들 및 순서는 예시적인 것이다. 본 발명에 대한 실시예들은 본원 도면들의 흐름도에서 및 본원에서 도시 및 설명되는 순서보다 다른 순서에서 인용되는 다양한 다른 단계들 또는 그러한 단계들의 변형들을 수행하는데 아주 적합하다.

본 발명은 주로 패드 영역 아래에 능동 디바이스를 갖는 반도체 구조의 측면에서 논의된다. 이 반도체 구조는 상기 패드 아래에 상기 디바이스를 갖는 웨이퍼 영역에 대한 효율적인 이용을 제공한다. 한 실시예에 따르면, 반도체 구조는 패드 영역 및 패드 영역 아래에 배치되는 상기 반도체 구조의 능동 디바이스를 갖는다. 패드 영역 아래에 디바이스를 포함함으로써, 본 발명에 대한 한 실시예는 실리콘 영역의 이용 효율성을 개선시킨다. 본 발명에 대한 실시예에 따른 반도체 구조들의 제조는 경제적인 이익과 함께 웨이퍼에서 이용할 수 있는 개별 다이들의 개선된 양품들을 제공한다.

실시예

예시적인 구조들

도2는 본 발명의 한 실시예에 따른 반도체 구조(20)의 단면도를 나타낸다. 반도체 구조(20)는 비패드 영역(28)과 접경하는 패드 영역(21)을 갖는다. 비패드 영역(28)은 적어도 부분적으로 패드 영역(21)과 접경하고 있다. 반도체 구조(20)는 패드 영역(21) 아래에 배치되는 능동 디바이스(25)를 갖는다. 능동 디바이스(25)는, 예를 들어, 트랜지스터일 수 있다. 능동 디바이스(25)는 반도체 구조(20)용의 다양한 디바이스들 중 하나일 수 있다. 예를 들어, 다른 디바이스(29)가 비패드 영역(28) 내에 배치될 수 있다. 한 실시예에 따르면, 디바이스(25) 및 (29)가 유사한 기능을 수행한다.

상기 패드 영역(21)은 기판(22)을 포함한다. 기판(22)은 제1금속층(26)을 가지며, 이 금속층은 상기 기판(22) 위에 배치된다. 상기 기판(22) 또한 제2금속층(23)을 가지며, 이 금속층은 상기 제1금속층(23) 위에 배치된다. 상기 능동 디바이스(25)는 상기 제1금속층(26)의 아래에 배치된다. 한 실시예에 따르면, 상기 반도체 구조(20) 또한 유전체층(24)을 가지며, 이 유전체층은 제1금속층(23)과 제2금속층(26) 사이에 배치된다. 한 실시예에 따르면, 비아(27)가 상기 유전체층(24) 내에 배치된다. 비아(27)가 제1금속층(23)과 제2금속층(26)을 전기적으로 연결한다. 한 실시예에 따르면, 비아(27)는 상기 능동 디바이스에 연결된다. 후속 금속층 또한 상기 제1금속층(23)과 제2금속층(26) 사이에 배치될 수 있다.

한 실시예에 따르면, 기판(22)은 실리콘으로 구성된다. 한 실시예에 따르면, 상기 유전체층(24)은 두 층 사이의 중간층이며 테트라소옥시실라인(tetraethoxysilane[TEOS]), 같은 물질, 유사 유전체 물질, 또는 다른 유전체 물질로 구성될 수 있다. 상기 금속층(23 및 26)(및 두 층 사이의 중간에 위치하는 임의의 금속층) 및 비아(27)는 임의의 전도성 금속으로 구성되며, 이러한 전도성 금속에는 특히 구리, 알루미늄, 금, 은, 텅스텐, 또는 임의의 다른 전도성 금속, 또는 다결정 실리콘(POLY) 및 텅스텐 실리사이드와 같은 다른 전도성 물질이 포함되나 이에 한정되지는 않는다.

본 발명의 한 실시예에 따르면, 패드 영역(21) 아래에 능동 디바이스(예를 들어, 트랜지스터, 회로, 또는 이런 종류의 다른 것들)를 갖는 반도체 구조(20)의 평면도가 도3에 도시된다. 패드 영역(21)은 반도체 디바이스(20)의 비패드 영역(29)의 부분과 접경하고 있다. 한 예시적인 실시예에 따르면, 반도체 디바이스(20)는 플래시 메모리로 구성된다.

그러한 플래시 메모리에서는, 상기 패드 사이즈는 대략 80×80 마이크로미터이며 반도체 디바이스(20)의 세로 사이즈는 대략 3,000마이크로미터 정도가 될 수 있다. 한 예시적인 구현에 따르면, 100개의 개별 다이들(예를 들어, 개별 능동 디바이스들)은 반도체 구조(20)의 상기 비패드 영역(29)으로부터 싱글레이트(singulate) 될 수 있으며 추가적인 3개의 개별 능동 디바이스들은 반도체 구조(20)의 상기 패드 영역(21) 아래로부터 싱글레이트 될 수 있다. 본 구현에서는 패드 영역 아래에 그러한 능동 디바이스들을 갖지 않는 반도체 구조에 비해 능동 디바이스에서 3퍼센트의 증가를 가져왔다.

본 발명에 대한 한 실시예에 따른, 아래에 능동 디바이스(25)를 갖는 패드 영역(400)의 단면도가 도4에 도시된다. 패드 영역(400)은 실리콘 기판(22) 위에 배치되며, 그 사이에 능동 디바이스(25)가 배치된다.

한 실시예에 따르면, 상위 금속층(23)은 패드 영역(400)의 상부 표면을 형성한다. 다른 실시예에 따르면, 상위 금속층(23)은 그 위에 코팅, 산화물 같은 다른 물질층을 가질 수 있다. 제2금속층(424)은 상위금속층(23) 아래에 배치된다. 중간 유전체(ILD)(24)는 상위 금속층(23)과 제2금속층(424) 사이에 배치된다. 상위 금속층(23)과 제2금속층(424)은 비아(27)에 의해 전기적으로 상호 연결되어 있으며, 한 실시예에 따르면 비아(27)는 복수의 개별 비아들로 구성된다.

제2금속층(424) 아래에 제3금속층(425)이 배치된다. 제4금속층(426)은 제3금속층(425) 아래에 배치된다. 중간 유전체(ILD)(24)는 제3금속층(425)과 제4금속층(426) 사이에 배치된다. 제3금속층(425)과 제4금속층(426)은 비아(27)에 의하여 전기적으로 상호 연결되어 있으며, 한 실시예에 따르면 비아(27)는 복수의 개별 비아들로 구성된다. 비아(27)는 제3금속층(425)과 제2금속층(424)을 전기적으로 연결할 수 있다.

바닥 금속(M1)층(26)은 실리콘 기판(22) 위 그리고 제4금속층(426) 아래에 배치된다. 한 실시예에 따르면, 다수의 추가적인 금속층들이 바닥 금속층(26) 위 그리고 제4금속층(426) 아래에 배치될 수 있다. 중간 유전체(24)는 추가적인 금속층들 각각의 사이, 추가적인 금속층들 중 하나와 바닥 금속층(26) 및/또는 제4금속층(426) 사이, 및/또는 제3금속층(425)과 제2금속층(424) 사이에 배치될 수 있다.

비아(27)는 상기 추가적인 금속층들 중 어느 것을 상호 연결 및/또는 이들 금속층들을 바닥 금속층(26) 또는 제4금속층(426) 같은 임의의 다른 금속층에 연결할 수 있다. 비아(27)는 바닥 금속층(26)을 그 위에 배치되는 금속층들 중 어느 층과도 전기적으로 연결할 수 있다. 비아(27)는 능동 디바이스(25)를 바닥 금속층(26) 또는 그 위에 배치되는 어떠한 금속층과도 연결할 수 있다.

도5는, 본 발명의 한 실시예에 따른, 아래에 능동 디바이스로서 두 개의 트랜지스터(589 및 599)를 갖는 패드 영역(500)의 단면도를 나타낸다. 트랜지스터 (598 및 599)는 패드 영역(500)아래에 있는 실리콘 기판(22) 내에 배치된다. 패드영역(500)은 기판(22) 위에 배치되는 바닥(M1) 금속층(26)을 갖는다.

트랜지스터(598)는 소스 영역(501) 및 드레인 영역(502)을 포함하며, 이러한 영역들은 기판(22)에서 적절하게 도핑된 영역들 내에 배치된다. 소스 영역(501) 및 드레인 영역(502)은 개별 비아(527)에 의해 바닥 금속층(26)(또는 다른 금속층)에 각각 전기적으로 연결되어 있다. 트랜지스터(598)는 또한 게이트(503)를 포함하며, 이 게이트는 소스 영역(501)과 드레인 영역(502) 위 및 이들 사이, 및 바닥 금속층(26) 아래에 배치되는 다결정 실리콘 II(POLY-II) 또는 다른 게이트 물질일 수 있다.

트랜지스터(599)는 소스 영역(504) 및 드레인 영역(505)을 포함하며, 기판(22)에서 적절하게 도핑되는 영역들 내에 배치된다. 소스 영역(504) 및 드레인 영역(505)은 개별 비아(527)에 의해 각각 전기적으로 바닥 금속층(26)(또는 다른 금속층)에 연결된다. 트랜지스터(599)는 또한 게이트(506)를 포함하며, 이 게이트는 소스 영역(504)와 게이트 영역(505) 위 및 이들 사이, 및 바닥 물질층(26) 아래에 배치되는 POLY-II 또는 다른 게이트 물질일 수 있다.

한 실시예에 따르면, 상위 금속층(23)은 패드 영역(500)의 상부 표면을 형성한다. 제2금속층(424)은 상위 금속층(23) 아래에 배치된다. 중간 유전체(ILD)(24)는 상위 금속층(23)과 제2금속층(424) 사이에 배치된다. 상위 금속층(23)과 제2금속층(424)은 비아(27)에 의해 전기적으로 상호 연결되며, 한 실시예에 따르면 이 비아는 복수의 개별 비아들로 구성된다.

제2금속층(424) 아래에, 제3금속층(425)이 배치된다. 제4금속층(426)은 제3금속층(426) 아래에 배치된다. 중간 유전체(ILD)(24)는 제3금속층(425)과 제4금속층(426) 사이에 배치된다. 제3금속층(425)과 제4금속층(426)은 비아(27)에 의해 전기적으로 상호 연결되며, 한 실시예에 따르면 이 비아는 복수의 개별 비아들로 구성된다. 비아(27)는 제3금속층(425)과 제2금속층(424)을 전기적으로 연결할 수 있다.

바닥 금속(M1)층(26)은 실리콘 기판(22) 위 그리고 제4금속층(426) 아래에 배치된다. 한 실시예에 따르면, 다수의 추가적인 금속층들이 바닥 금속층(26) 위 그리고 제4금속층(426) 아래에 배치될 수 있다. 중간 유전체(24)는 추가적인 금속층들 각각의 사이, 추가적인 금속층들 중 하나와 바닥 금속층(26) 및/또는 제4금속층(426) 사이, 및/또는 제3금속층(425)과 제2금속층(424) 사이에 배치될 수 있다. 비아(27)는 상기 추가적인 금속층들 중 어느 것을 상호 연결 및/또는 그 금속층들을 바닥 금속층(26) 또는 제4금속층(426) 같은 임의의 다른 금속층에 연결할 수 있다. 비아(27)는 바닥 금속층(26)을 그 위에 배치되는 금속층들 중 어느 층과도 전기적으로 연결할 수 있다.

예시적인 공정들

하기에서 기술되는 방법들은 반도체 구조 및 반도체 구조에서의 패드 영역을 제조하기 위한 공정들을 설명한다. 이러한 공정들이 당해 기술분야에서 잘 알려진 기법들을 이용하여 구현될 수 있으나, 본 발명에 대한 실시예의 특징들을 쓸데없이 모호하게 하지 않기 위하여 그러한 기법들은 본원에서 자세하게 기술되지는 않는다. 예를 들어, 공정(80)(도8)에서 단계(81)는 기판을 형성하는 것으로 구성된다. 기판 형성은 당해 기술분야에서 잘 알려져 있으며, 단계(81)를 달성하는데 적용 가능한 임의의 기법이 이용될 수 있다, 잘 알려진 기법들 중 어느 것이라도 본 발명의 실시예를 실행하기 위하여 적당한 것으로서 적용될 수 있다.

또한, 하기에서 기술된 공정들은 개별적인 단계에 관하여 간략하고 간결하게 논의되며, 예시적인 순서로 기재된다. 본원에서 논의되는 도면들(예를 들어, 도6 내지 10)에서 나타나는 특정 단계들 및 그것들의 순서가 공정들(예를 들어, 공정(60), (70), (80), (90), 및 (100))의 동작들을 나타내지만, 그러한 단계들 및 순서들은 예시적인 것에 불과하다. 본 발명에 대한 실시예들은 본원의 도면들에서의 흐름도에서 및 본원에서 도시 및 설명되는 순서보다 다른 순서에서 인용되는 다양한 다른 단계들 또는 그러한 단계들의 변형들을 수행하는데 아주 적합하다.

반도체 구조 제조를 위한 예시적인 공정들

도6은 본 발명의 한 실시예에 따른 반도체 구조를 제조하기 위한 방법(60)의 흐름도이다. 공정(60)은 단계(61)로 시작하며, 여기에서 패드 영역이 제공된다. 단계(62)에서는, 예를 들어, 트랜지스터 같은 능동 디바이스가 상기 패드 영역 아래에 배치되어, 공정(60)을 완성한다.

도7은 본 발명의 한 실시예에 따른 반도체 구조를 제조하기 위한 방법(70)의 흐름도이다. 공정(70)은 단계(71)로 시작하며, 여기에서 패드 영역이 제공된다. 단계(72)에서는 능동 디바이스가 상기 패드 영역 아래에 배치된다.

단계(73)에서는, 비패드 영역이 제공되며, 그 결과 비패드 영역의 적어도 부분적으로 패드 영역과 접경하게 된다. 단계(74)에서는, 제2 디바이스(예를 들어, 능동 디바이스, 회로 등)가 비패드 영역 내에 배치되어, 공정(70)을 완성한다.

반도체 구조용 패드 영역을 제조하기 위한 예시적인 공정

도8은 본 발명의 한 실시예에 따른 반도체 구조에서의 패드 영역을 제조하기 위한 방법(80)의 흐름도이다. 공정(80)은 단계(81)로 시작하며, 여기에서 기판이 형성된다. 단계(82)에서는, 트랜지스터 같은 능동 디바이스가 상기 기판 내에 배치된다.

단계(83)에서는, 제1금속층이 상기 기판 위에 배치된다. 한 실시예에 따르면, 제2금속층은 상기 기판 위에 배치되는 바닥(M1) 금속층으로 구성된다. 단계(84)에서는, 제2금속층은 제1금속층 위에 배치되어, 공정(80)을 완성한다.

도9는 본 발명의 한 실시예에 따른 반도체 구조에서의 패드 영역을 제조하기 위한 방법(90)의 흐름도이다. 공정(90)은 단계(91)로 시작하며, 여기에서 기판이 형성된다. 단계(92)에서는, 트랜지스터 같은 능동 디바이스가 상기 기판 내에 배치된다.

단계(93)에서는, 제1금속층이 상기 기판 위에 배치된다. 한 실시예에 따르면, 제1금속층은 상기 기판 위에 배치되는 바닥(M1) 금속층으로 구성된다. 단계(94)에서는, 제2금속층이 제1금속층 위에 배치된다.

단계(95)에서는, 중간 유전체(ILD) 같은 유전체층이 제1금속층과 제2금속층 사이에 배치된다. 단계(96)에서는, 제1금속층과 제2금속층을 전기적으로 연결하기 위하여 비아가 상기 유전체층 내에 배치된다. 단계(97)에서는, 상기 능동디바이스를 금속층에 전기적으로 연결하기 위하여 비아가 상기 기판 내 그리고 제2금속층 아래에 배치된다.

도10은 본 발명의 한 실시예에 따른 반도체 구조에서의 패드 영역을 제조하기 위한 방법(100)의 흐름도이다. 공정(100)은 단계(101)로 시작하며, 여기에서 기판이 형성된다. 단계(102)에서는, 트랜지스터 같은 능동 디바이스가 상기 기판 내에 배치된다.

단계(103)에서는, 제1금속층이 상기 기판 위에 배치된다. 한 실시예에 따르면, 제1금속층은 상기 기판 위에 배치되는 바닥(M1) 금속층으로 구성된다. 단계(104)에서는, 제2금속층이 제1금속층 위에 배치된다.

단계(105)에서는, 후속 금속층이, 한 실시예에 따르면, 제1금속층과 제2금속층 사이에 배치되어, 공정(100)을 완성한다. 다른 실시예에 따르면, 유전체층들은 금속층들을 전기적으로 분리하기 위하여 배치될 수 있다. 또 다른 실시예에 따르면, 금속층들을 상호간 및/또는 능동 디바이스와 전기적으로 연결하기 위하여 비아가 상기 유전체 내에 배치될 수 있다.

산업상 이용 가능성

따라서, 본 발명의 실시예인 패드 영역 아래에 디바이스를 가지는 웨이퍼 영역의 보다 효율적인 이용이 설명된다. 비록 본 발명이 특정한 실시예들에서 설명되었지만, 본 발명은 그러한 실시예들에 의해 제한되는 것으로 파악되어서는 아니되며 오히려 하기의 청구항들에 따라 파악되어야 함을 이해해야 할 것이다.

도면의 간단한 설명

본 명세서에서 포함되어 본 명세서의 일부를 구성하는 첨부된 도면들은 상기의 설명과 함께 본 발명의 실시예들을 설명하며, 본 발명의 원리들을 설명하는데 기여한다. 상기 도면들은 스케일데로 그려진 것은 아니다.

도1은 통상적인 반도체 구조의 평면도를 도시한다.

도2는 본 발명의 한 실시예에 따른, 패드 영역 아래에 능동 디바이스를 갖는 반도체 구조의 단면도를 도시한다.

도3은 본 발명의 한 실시예에 따른, 패드 영역 아래에 능동 디바이스를 갖는 반도체 구조의 평면도를 도시한다.

도4는 본 발명의 한 실시예에 따른, 패드 영역 아래에 능동 디바이스를 갖는 패드 영역의 단면도를 도시한다.

도5는 본 발명의 한 실시예에 따른, 패드 영역 아래에 능동 디바이스로서 두 개의 트랜지스터를 갖는 패드 영역의 단면도를 도시한다.

도6은 본 발명의 한 실시예에 따른, 반도체 구조를 제조하기 위한 방법의 흐름도이다.

도7은 본 발명의 한 실시예에 따른, 반도체 구조를 제조하기 위한 방법의 흐름도이다.

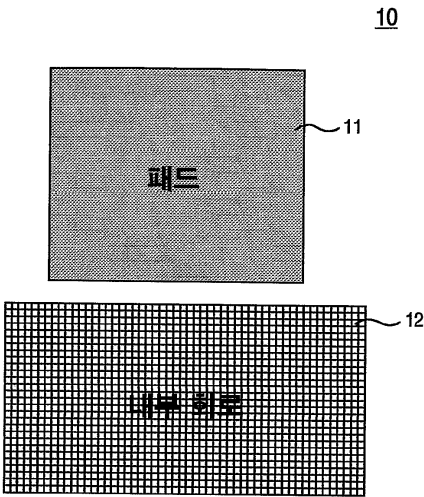
도8은 본 발명의 한 실시예에 따른, 패드 영역을 제조하기 위한 방법의 흐름도이다.

도9는 본 발명의 한 실시예에 따른, 패드 영역을 제조하기 위한 방법의 흐름도이다.

도10은 본 발명의 한 실시예에 따른, 패드 영역을 제조하기 위한 방법의 흐름도이다.

도면

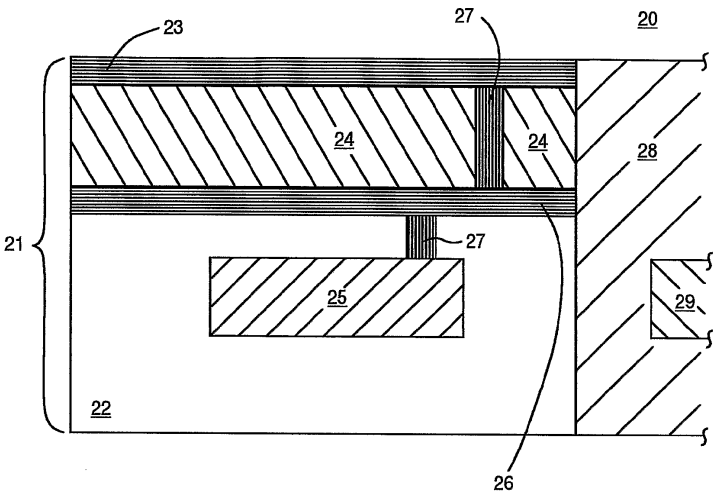
도면1



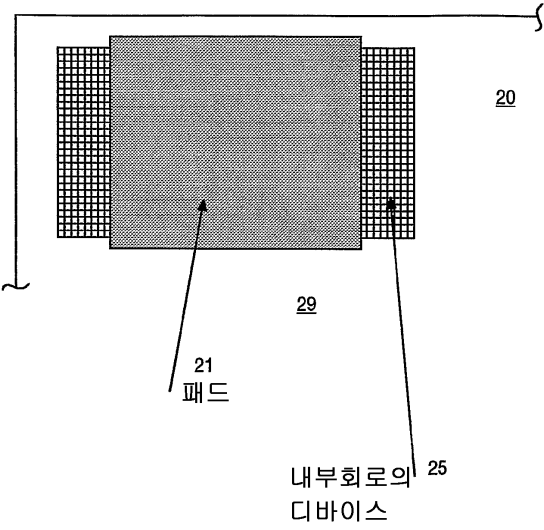
평면도

(통상적인 기술)

도면2

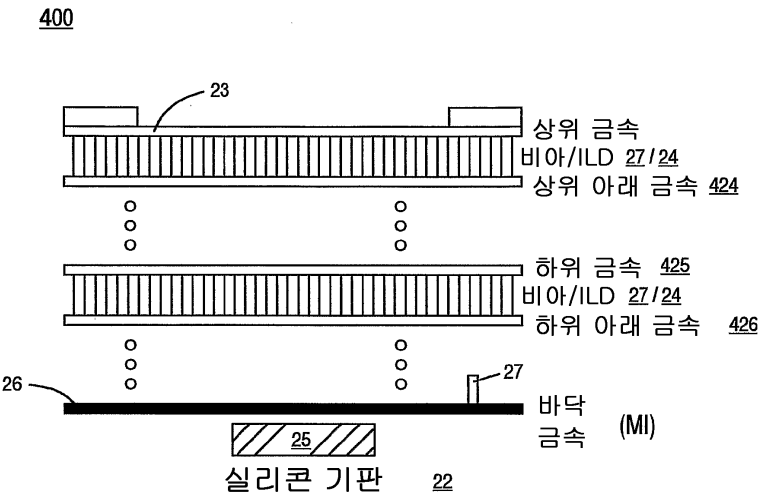


도면3



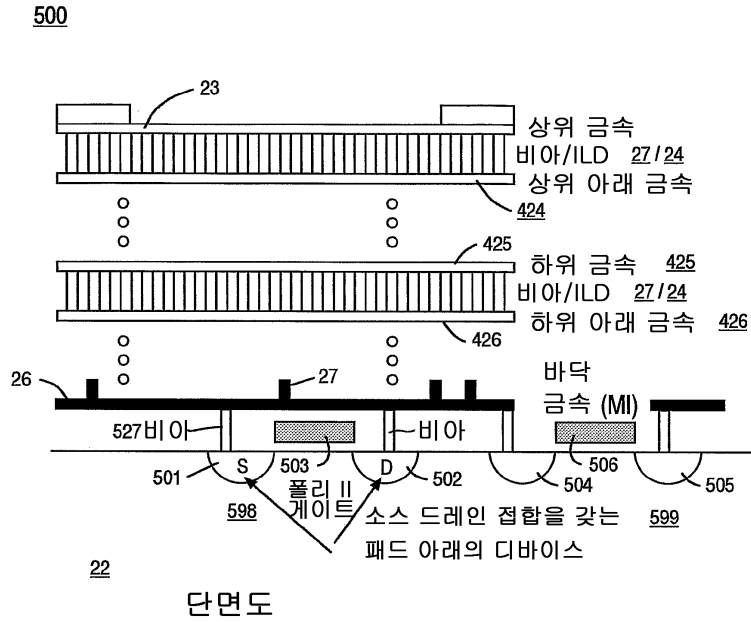
평면도

도면4



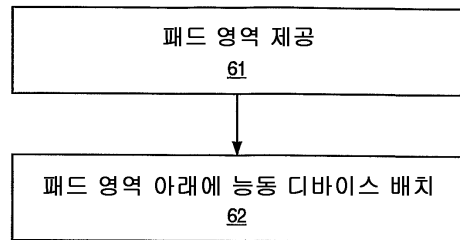
단면도

도면5



도면6

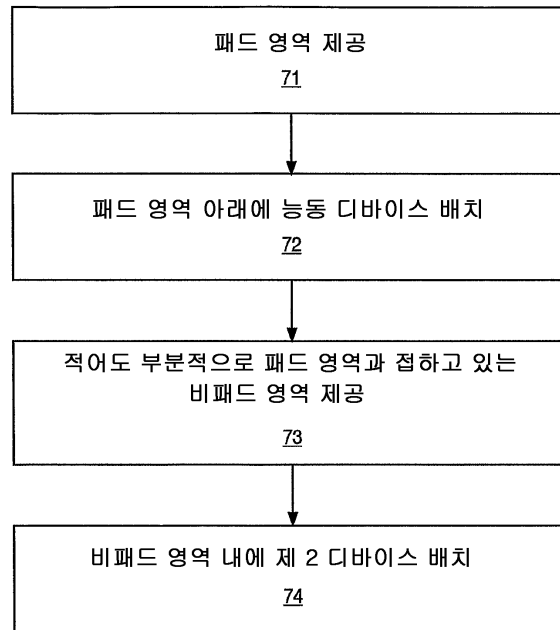
60 반도체 구조의 제조



도면7

70

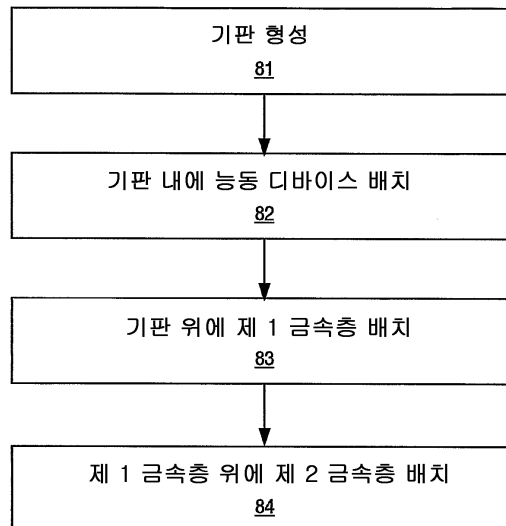
반도체 구조의 제조



도면8

80

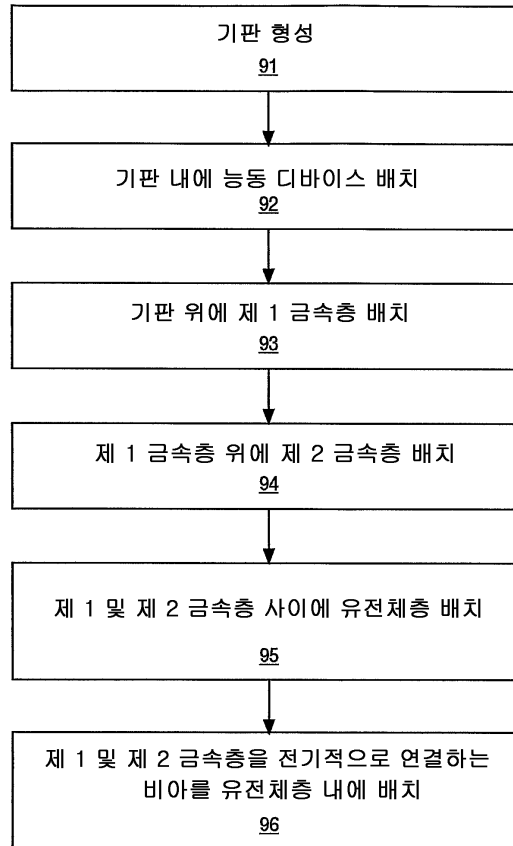
패드 영역의 제조



도면9

90

패드 영역의 제조



도면10

100

패드 영역의 제조

