

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5968736号
(P5968736)

(45) 発行日 平成28年8月10日(2016.8.10)

(24) 登録日 平成28年7月15日(2016.7.15)

(51) Int.Cl.

F I

H O 1 L 25/065 (2006.01)

H O 1 L 25/08 Z

H O 1 L 25/07 (2006.01)

H O 1 L 21/88 J

H O 1 L 25/18 (2006.01)

H O 1 L 27/10 4 6 1

H O 1 L 21/3205 (2006.01)

H O 1 L 23/32 D

H O 1 L 21/768 (2006.01)

請求項の数 7 (全 50 頁) 最終頁に続く

(21) 出願番号 特願2012-203064 (P2012-203064)
 (22) 出願日 平成24年9月14日(2012.9.14)
 (65) 公開番号 特開2014-60202 (P2014-60202A)
 (43) 公開日 平成26年4月3日(2014.4.3)
 審査請求日 平成27年2月4日(2015.2.4)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (74) 代理人 100113642
 弁理士 菅田 篤志
 (74) 代理人 100117008
 弁理士 筒井 章子
 (74) 代理人 100147430
 弁理士 坂次 哲也
 (72) 発明者 菊池 卓
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1面、および前記第1面とは反対側の第2面を有する配線基板と、

第1表面、前記第1表面に形成された第1信号用表面電極、前記第1表面に形成され、かつ前記第1信号用表面電極よりも前記第1表面の中央部側に配置された第1電源用表面電極、前記第1表面とは反対側の第1裏面、前記第1表面および前記第1裏面のうちの一方の面から他方の面に向かって貫通する第1信号用貫通電極、前記第1表面および前記第1裏面のうちの一方の面から他方の面に向かって貫通する第1電源用貫通電極、前記第1裏面に形成され、かつ前記第1信号用貫通電極を介して前記第1信号用表面電極と電氣的に接続され、かつ前記第1信号用表面電極および前記第1信号用貫通電極と重なる位置に形成された第1信号用裏面電極、および前記第1裏面に形成され、かつ前記第1電源用貫通電極を介して前記第1電源用表面電極と電氣的に接続され、かつ前記第1電源用表面電極および前記第1電源用貫通電極と重なる位置に形成された第1電源用裏面電極を有し、前記第1表面が前記配線基板の前記第1面と対向するように前記配線基板の前記第1面に搭載された第1チップと、

第2表面、前記第2表面に形成され、かつ前記第1信号用裏面電極と電氣的に接続された第2信号用表面電極、前記第2表面に形成され、かつ前記第1電源用裏面電極と電氣的に接続され、かつ前記第2信号用表面電極よりも前記第2表面の中央部側に配置された第2電源用表面電極、前記第2表面とは反対側の第2裏面、前記第2表面および前記第2裏面のうちの一方の面から他方の面に向かって貫通する第2信号用貫通電極、前記第2表面

10

20

および前記第2裏面のうちの一方の面から他方の面に向かって貫通する第2電源用貫通電極、前記第2裏面に形成され、かつ前記第2信号用貫通電極を介して前記第2信号用表面電極と電氣的に接続された第2信号用裏面電極、前記第2裏面に形成され、かつ前記第2電源用貫通電極を介して前記第2電源用表面電極と電氣的に接続され、かつ前記第2電源用表面電極および前記第2電源用貫通電極と重なる位置に形成された第2電源用裏面電極、および前記第2表面または前記第2裏面に形成され、前記第2信号用貫通電極と前記第2信号用表面電極または前記第2信号用裏面電極を電氣的に接続する引出配線を有し、前記第2信号用表面電極および第2電源用表面電極が前記第1信号用裏面電極および前記第1電源用裏面電極とそれぞれ重なるように前記第1チップの前記第1裏面上に搭載された第2チップと、

10

第3表面、前記第3表面に形成され、かつ前記第2信号用裏面電極と電氣的に接続された第3信号用表面電極、前記第3表面に形成され、かつ前記第2電源用裏面電極と電氣的に接続された第3電源用表面電極、および前記第3表面とは反対側の第3裏面を有し、前記第3表面が前記第2チップと対向し、かつ、前記第3信号用表面電極および前記第3電源用表面電極が前記第2信号用裏面電極および前記第2電源用裏面電極とそれぞれ重なるように前記第2チップ上に搭載された第3チップと、

前記配線基板の前記第2面に形成された複数の外部端子と、

を含み、

前記第1チップおよび第3チップのそれぞれは、構成要素として半導体素子を含む回路が形成された半導体チップであり、

20

前記第2チップは、構成要素として半導体素子を含む回路が形成されていないインタフェースチップであり、

前記第1チップの前記第1表面は、前記第1電源用表面電極が配置された中央部と、前記第1信号用表面電極が配置され、かつ前記中央部の周囲に位置する周縁部と、を有し、

前記第3チップの前記第3表面は、前記第3信号用表面電極および前記第3電源用表面電極が配置された中央部と、前記中央部の周囲に位置する周縁部と、を有し、

前記第3チップは、前記第3チップの前記中央部が前記第1チップの前記中央部と重なるように、前記第2チップ上に搭載されている半導体装置。

【請求項2】

請求項1において、

30

前記第2信号用裏面電極および前記第2電源用裏面電極は、前記第3信号用表面電極および前記第3電源用表面電極と、接合材を介してそれぞれ電氣的に接続されている半導体装置。

【請求項3】

請求項1において、

前記第2チップの平面サイズは前記第1チップの平面サイズよりも大きく、

前記第3チップの平面サイズは、前記第1チップおよび前記第2チップのそれぞれの平面サイズよりも大きい半導体装置。

【請求項4】

請求項3において、

40

平面視において、前記第2チップの側面は、前記第1チップの側面と前記第3チップの側面の間に位置している半導体装置。

【請求項5】

請求項1において、

前記第3チップに形成された前記回路は、主記憶回路であり、

前記第1チップに形成された前記回路は、前記主記憶回路の駆動を制御する第1制御回路であり、

平面視において、前記第3信号用表面電極および前記第3電源用表面電極の周囲には、複数のメモリ領域が配置されている半導体装置。

【請求項6】

50

請求項 5 において、

前記第 1 チップには、さらに、前記第 3 チップまたは外部機器との間で入出力する信号データに対して演算処理を施す演算処理回路が形成されている半導体装置。

【請求項 7】

請求項 5 または 6 の何れか 1 項において、

前記第 3 チップには、さらに、前記主記憶回路を駆動するための電源を供給する電源回路が形成されており、

前記第 3 電源用表面電極は、前記電源回路と電氣的に接続されている半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置の技術に関し、特に、平面サイズの異なる複数の半導体チップを積層する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

特開 2011-187574 号公報（特許文献 1）には、複数のメモリチップの積層体と配線基板の間に、貫通電極を備える半導体チップが配置された半導体装置が記載されている。

【0003】

また、特開 2008-91638 号公報（特許文献 2）や、特開 2008-91640 号公報（特許文献 3）には、複数の半導体チップの積層体を含む、複数の半導体チップが配線基板上に搭載され、一括して封止された半導体装置が記載されている。

20

【0004】

また、特表 2010-538358 号公報（特許文献 4）には、複数の半導体チップを積層する方法として、ウエハレベルで積層する方法、およびチップレベルで積層する方法が記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2011-187574 号公報

30

【特許文献 2】特開 2008-91638 号公報

【特許文献 3】特開 2008-91640 号公報

【特許文献 4】特表 2010-538358 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本願発明者は、配線基板上に複数の半導体チップを積層した半導体装置の性能を向上させる技術を検討している。この一環として、複数の半導体チップ（例えば、メモリチップと、このメモリチップを制御する制御チップ）を 1 つの半導体装置内に搭載することで、この 1 つの半導体装置でシステムを構築する、所謂、SIP（System In Package）型の半導体装置について検討した。

40

【0007】

複数の半導体チップの積層方法として、半導体チップに貫通電極を形成し、この貫通電極を介して複数の半導体チップを互いに電氣的に接続する方式がある。この方式は、積層される複数の半導体チップ間を、ワイヤを介さずに接続できるので、半導体チップ間の伝送距離を低減できる。

【0008】

ところが、平面サイズが異なる複数の半導体チップを積層する場合、各半導体チップの設計の自由度の点で、制約が大きくなることを本願発明者は見出した。

【0009】

50

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

一実施の形態による半導体装置は、配線基板上に搭載される第1半導体チップ、第2半導体チップ、および上記第1半導体チップよりも平面サイズが大きい第3半導体チップを有する。また、上記第1半導体チップと上記第3半導体チップは、上記第2半導体チップを介して電氣的に接続されている。また、上記第2半導体チップは、上記配線基板と対向する表面、上記表面に形成される複数の表面電極、上記表面の反対側の裏面、および上記裏面に形成され、かつ上記複数の表面電極と電氣的に接続される複数の裏面電極を有して

10

【発明の効果】

【0011】

上記一実施の形態によれば、上記第1半導体チップの設計上の自由度を向上させることができる。

【図面の簡単な説明】

【0012】

【図1】一実施の形態である半導体装置の斜視図である。

【図2】図1に示す半導体装置の下面図である。

【図3】図1に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。

【図4】図1のA-A線に沿った断面図である。

【図5】図1～図4に示す半導体装置の回路構成例を模式的に示す説明図である。

【図6】図4に示すA部の拡大断面図である。

【図7】図4に示す複数の半導体チップの積層構造を単純化して示す説明図である。

【図8】図4に示すメモリチップの表面側のレイアウト例を示す平面図である。

【図9】図8に示すメモリチップの裏面側の一例を示す平面図である。

【図10】図4に示すロジックチップの表面側のレイアウト例を示す平面図である。

【図11】図10に示すロジックチップの裏面側の一例を示す平面図である。

【図12】図4に示す再配線チップの表面側のレイアウト例を示す平面図である。

【図13】図12に示す再配線チップの裏面側の一例を示す平面図である。

【図14】図3に対する変形例である半導体装置の内部構造を示す透視平面図である。

【図15】図3に対する他の変形例である半導体装置の内部構造を示す透視平面図である。

【図16】図1～図13を用いて説明した半導体装置の製造工程の概要を示す説明図である。

【図17】図16に示す基板準備工程で準備する配線基板の全体構造を示す平面図である。

【図18】図17に示すデバイス領域1個分の拡大平面図である。

【図19】図18のA-A線に沿った拡大断面図である。

【図20】図18の反対側の面を示す拡大平面図である。

【図21】図13に示すチップ搭載領域に接着材を配置した状態を示す拡大平面図である。

10

20

30

40

50

【図 2 2】図 2 1 の A - A 線に沿った拡大断面図である。

【図 2 3】図 6 に示す貫通電極を備えた半導体チップの製造工程の概要を模式的に示す説明図である。

【図 2 4】図 2 3 に続く半導体チップの製造工程の概要を模式的に示す説明図である。

【図 2 5】図 1 6 に示す配線基板のチップ搭載領域上にロジックチップを搭載した状態を示す拡大平面図である。

【図 2 6】図 2 5 の A - A 線に沿った拡大断面図である。

【図 2 7】図 2 5 に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図である。

【図 2 8】図 2 7 の A - A 線に沿った拡大断面図である。

10

【図 2 9】図 2 7 に示すロジックチップの裏面上に再配線チップを搭載した状態を示す拡大平面図である。

【図 3 0】図 2 9 の A - A 線に沿った拡大断面図である。

【図 3 1】図 2 9 に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図である。

【図 3 2】図 3 1 の A - A 線に沿った拡大断面図である。

【図 3 3】図 4 に示すメモリチップの積層体の組立工程の概要を模式的に示す説明図である。

【図 3 4】図 3 3 に続くメモリチップの積層体の組立工程の概要を模式的に示す説明図である。

20

【図 3 5】図 3 1 に示す再配線チップの裏面上にメモリチップの積層体を搭載した状態を示す拡大平面図である。

【図 3 6】図 3 5 の A - A 線に沿った拡大断面図である。

【図 3 7】図 3 6 に示す配線基板上に封止体を形成し、積層された複数の半導体チップを封止した状態を示す拡大断面図である。

【図 3 8】図 3 7 に示す封止体の全体構造を示す平面図である。

【図 3 9】図 3 7 に示す配線基板の複数のランド上に半田ボールを接合した状態を示す拡大断面図である。

【図 4 0】図 3 9 に示す多数個取りの配線基板を個片化した状態を示す断面図である。

【図 4 1】図 4 に対する変形例である半導体装置の断面図である。

30

【図 4 2】図 4 1 に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。

【図 4 3】図 4 1 および図 4 2 に示す半導体装置の回路構成例を模式的に示す説明図である。

【図 4 4】図 5 に対する変形例である半導体装置の回路構成例を模式的に示す説明図である。

【図 4 5】図 4 1 に対する変形例である半導体装置の断面図である。

【図 4 6】図 7 に対応する第 1 の検討例を示す拡大断面図である。

【図 4 7】図 7 に対応する第 2 の検討例を示す拡大断面図である。

【発明を実施するための形態】

40

【0013】

(本願における記載形式・基本的用語・用法の説明)

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【0014】

50

同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等であっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を含むものを排除するものではない。例えば、成分についていえば、「Aを主要な成分として含むX」等の意味である。例えば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe（シリコン・ゲルマニウム）合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金めっき、Cu層、ニッケル・めっき等といっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。

【0015】

10

さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0016】

また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0017】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

20

【0018】

以下で説明する実施の形態では、SIP型の半導体装置の例として、一つのパッケージ内に、メモリ回路が形成された半導体チップ（メモリチップ）とメモリ回路の動作を制御する制御回路が形成された半導体チップ（制御チップ）が搭載された半導体パッケージを取り上げて説明する。

【0019】

（実施の形態1）

図1は本実施の形態の半導体装置の斜視図、図2は、図1に示す半導体装置の下面図である。また、図3は、図1に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。また、図4は図1のA-A線に沿った断面図である。また、図5は、図1～図4に示す半導体装置の回路構成例を模式的に示す説明図である。なお、図1～図4では、見易さのため、端子数を少なくして示しているが、端子（ボンディングリード2f、ランド2g、半田ボール5）の数は、図1～図4に示す態様には限定されない。また、図3では、ロジックチップLCとメモリチップMC4の平面視における位置関係や平面サイズの違いを見易くするため、ロジックチップLCおよび再配線チップRDCの輪郭を、点線により示している。

30

【0020】

<半導体装置>

40

まず、本実施の形態の半導体装置1の概要構成について、図1～図4を用いて説明する。本実施の形態の半導体装置1は、配線基板2、配線基板2上に搭載された複数の半導体チップ3（図4参照）および複数の半導体チップ3を封止する封止体（樹脂体）4を備える。

【0021】

図4に示すように、配線基板2は、複数の半導体チップ3が搭載された上面（面、主面、チップ搭載面）2a、上面2aとは反対側の下面（面、主面、実装面）2b、および上面2aと下面2bの間に配置された側面2cを有し、図2および図3に示すように平面視において四角形の外形形状を成す。図2および図3に示す例では、配線基板2の平面サイズ（平面視における寸法、上面2aおよび下面2bの寸法、外形サイズ）は、例えば一辺

50

の長さが14mm程度の正方形を成す。また、配線基板2の厚さ(高さ)、すなわち、図4に示す上面2aから下面2bまでの距離は、例えば0.3mm~0.5mm程度である。

【0022】

配線基板2は、上面2a側に搭載された半導体チップ3と図示しない実装基板を電氣的に接続するためのインタポーザであって、上面2a側と下面2b側を電氣的に接続する複数の配線層(図4に示す例では4層)を有する。各配線層には、複数の配線2dおよび複数の配線2d間、および隣り合う配線層間を絶縁する絶縁層2eが形成されている。ここで、本実施の形態の配線基板2は、3つの絶縁層2eを有しており、真ん中の絶縁層2eがコア層(コア材)であるが、コアとなる絶縁層2eを有していない、所謂、コアレス基板を用いても良い。また、配線2dには、絶縁層2eの上面または下面に形成される配線2d1、および絶縁層2eを厚さ方向に貫通するように形成されている層間導電路であるビア配線2d2が含まれる。

10

【0023】

また、配線基板2の上面2aには、半導体チップ3と電氣的に接続される端子である、複数のボンディングリード(端子、チップ搭載面側端子、電極)2fが形成されている。一方、配線基板2の下面2bには、図示しない実装基板と電氣的に接続するための端子、すなわち、半導体装置1の外部接続端子である複数の半田ボール5が接合された、複数のランド2gが形成されている。複数のボンディングリード2fと複数のランド2gは、複数の配線2dを介して、それぞれ電氣的に接続されている。なお、ボンディングリード2fやランド2gに接続される配線2dは、ボンディングリード2fやランド2gと一体に形成されるので、図4では、ボンディングリード2fおよびランド2gを、配線2dの一部として示している。

20

【0024】

また、配線基板2の上面2aおよび下面2bは、絶縁膜(ソルダレジスト膜)2h、2kにより覆われている。配線基板2の上面2aに形成された配線2dは絶縁膜2hに覆われている。絶縁膜2hには開口部が形成され、この開口部において、複数のボンディングリード2fの少なくとも一部(半導体チップ3との接合部、ボンディング領域)が絶縁膜2hから露出している。また、配線基板2の下面2bに形成された配線2dは絶縁膜2kに覆われている。絶縁膜2kには開口部が形成され、この開口部において、複数のランド2gの少なくとも一部(半田ボール5との接合部)が絶縁膜2kから露出している。

30

【0025】

また、図4に示すように、配線基板2の下面2bの複数のランド2gに接合される複数の半田ボール(外部端子、電極、外部電極)5は、図2に示すように行列状(アレイ状、マトリクス状)に配置されている。また、図2では図示を省略するが、複数の半田ボール5が接合される複数のランド2g(図4参照)も行列状(マトリクス状)に配置されている。このように、配線基板2の実装面側に、複数の外部端子(半田ボール5、ランド2g)を行列状に配置する半導体装置を、エリアアレイ型の半導体装置と呼ぶ。エリアアレイ型の半導体装置は、配線基板2の実装面(下面2b)側を、外部端子の配置スペースとして有効活用することができるので、外部端子数が増大しても半導体装置の実装面積の増大を抑制することが出来る点で好ましい。つまり、高機能化、高集積化に伴って、外部端子数が増大する半導体装置を省スペースで実装することができる。

40

【0026】

また、半導体装置1は、配線基板2上に搭載される複数の半導体チップ3を備えている。複数の半導体チップ3は、配線基板2の上面2a上に積層されている。また、複数の半導体チップ3のそれぞれは、表面(主面、上面)3a、表面3aとは反対側の裏面(主面、下面)3b、および、表面3aと裏面3bとの間に位置する側面3cを有し、図3に示すように平面視において四角形の外形形状を成す。このように、複数の半導体チップを積層することにより、半導体装置1を高機能化させた場合であっても、実装面積を低減することができる。

50

【0027】

図4に示す例では、最下段（配線基板2に最も近い位置）に搭載される半導体チップ3は、演算処理回路PU（図5参照）が形成されたロジックチップ（半導体チップ）LCである。一方、ロジックチップLCの上段側に搭載される半導体チップ3は、ロジックチップLCとの間で通信するデータを記憶する主記憶回路（記憶回路）MM（図5参照）が形成された、メモリチップ（半導体チップ）MC1、MC2、MC3、MC4である。また、ロジックチップLCとメモリチップMC1、MC2、MC3、MC4の間には、さらに別の半導体チップ3（再配線チップRDC）が配置される。再配線チップ（インタフェースチップ）RDCは、ロジックチップLCとメモリチップMC1の電極（外部端子）の位置をアジャストするための複数の配線（再配線）を備え、ロジックチップLCとメモリチップMC1は再配線チップRDCの複数の配線を介して電氣的に接続される。

10

【0028】

また、図4に示すように複数の半導体チップ3の間には、接着材NCL（絶縁性接着材）が配置される。接着材NCLは、上段側の半導体チップ3の表面3aと下段側の半導体チップ3の裏面3b（または、配線基板2の上面2a）の間の空間を塞ぐように配置される。詳しくは、この接着材NCLは、配線基板2上にロジックチップLCを接着固定する接着材（絶縁性接着材）NCL1、ロジックチップ上に再配線チップRDCを接着固定する接着材（絶縁性接着材）NCL2、および再配線チップRDC上にメモリチップMC1、MC2、MC3、MC4の積層体MCSを接着固定する接着材（絶縁性接着材）NCL3を含む。また、接着材NCL1、NCL2、NCL3は、それぞれ絶縁性（非導電性）の材料（例えば樹脂材料）から成り、ロジックチップLCと配線基板2の接合部、ロジックチップLCと再配線チップRDCの接合部、および再配線チップRDCと積層体MCSの接合部に接着材NCLを配置することで、各接合部に設けられている複数の電極間を電氣的に絶縁することができる。

20

【0029】

また、図4に示す例では、複数のメモリチップMC1、MC2、MC3、MC4の間には、封止体4とは異なる封止体（チップ積層体用封止体、チップ積層体用樹脂体）6が配置され、メモリチップMC1、MC2、MC3、MC4の積層体MCSは封止体6により封止されている。封止体6は、複数のメモリチップMC1、MC2、MC3、MC4の表面3aおよび裏面3bに密着するように埋め込まれ、メモリチップMC1、MC2、MC3、MC4の積層体MCSは、各半導体チップ3間の接合部および封止体6により一体化される。また、封止体6は、絶縁性（非導電性）の材料（例えば樹脂材料）から成る。ただし、図4に示すようにメモリチップMC1、MC2、MC3、MC4の積層体MCSのうち、最下段（最もロジックチップLCに近い位置）に搭載されるメモリチップMC1の表面3aは、封止体6から露出している。また、図3および図4に示すように、メモリチップMC1、MC2、MC3、MC4の積層体MCSのうち、最上段に配置されるメモリチップMC4の裏面3bは封止体6から露出している。

30

【0030】

また、半導体装置1は、複数の半導体チップ3を封止する封止体4を備える。封止体4は、上面（面、表面）4a、上面4aとは反対側に位置する下面（面、裏面）4b（図4参照）、および上面4aと下面4bの間に位置する側面4cを有し、平面視において四角形の外形形状を成す。図1に示す例では、封止体4の平面サイズ（上面4a側から平面視した時の寸法、上面4aの外形サイズ）は配線基板2の平面サイズと同じであって、封止体4の側面4cは配線基板2の側面2cと連なっている。また、図1に示す例では、封止体4の平面寸法（平面視における寸法）は、例えば一辺の長さが14mm程度の正方形を成す。

40

【0031】

封止体4は、複数の半導体チップ3を保護する樹脂体であって、複数の半導体チップ3間、および半導体チップ3と配線基板2に密着させて封止体4を形成することで、薄い半導体チップ3の損傷を抑制することができる。また、封止体4は、保護部材としての機能

50

を向上させる観点から例えば以下のような材料で構成される。封止体 4 には、複数の半導体チップ 3 間および半導体チップ 3 および配線基板 2 に密着させ易く、かつ、封止後には、有る程度の硬さが要求されるので、例えばエポキシ系樹脂などの熱硬化性樹脂が含まれることが好ましい。また、硬化後の封止体 4 の機能を向上させるため、例えば、シリカ（二酸化珪素； SiO_2 ）粒子などのフィラー粒子が樹脂材料中に混合されていることが好ましい。例えば、封止体 4 を形成した後の熱変形による半導体チップ 3 の損傷を抑制する観点からは、フィラー粒子の混合割合を調整して、半導体チップ 3 と封止体 4 の線膨張係数を近づけることが好ましい。

【0032】

<半導体装置の回路構成>

次に、半導体装置 1 の回路構成例について説明する。図 5 に示すように、ロジックチップ LC には、上記した演算処理回路 PU の他、メモリチップ MC 1、MC 2、MC 3、MC 4 の主記憶回路 MM の動作を制御する制御回路 CU が形成されている。また、ロジックチップ LC には、例えば一次的にデータを記憶するキャッシュメモリなど、上記した主記憶回路 MM よりも記憶容量が小さい補助記憶回路（記憶回路）SM が形成されている。図 5 では、一例として演算処理回路 PU、制御回路 CU、補助記憶回路 SM を総称して、コア回路（主回路）CR 1 として示している。ただし、コア回路 CR 1 に含まれる回路は、上記以外の回路が含まれていても良い。

【0033】

また、ロジックチップ LC には、図示しない外部機器との間で信号の入出力を行う外部インタフェース回路（外部入出力回路）GIF が形成されている。外部インタフェース回路 GIF には、ロジックチップ LC と図示しない外部機器との間で信号を伝送する信号線 SG が接続される。また、外部インタフェース回路 GIF は、コア回路 CR 1 とも電氣的に接続され、コア回路 CR 1 は、外部インタフェース回路 GIF を介して外部機器と信号を伝送することができる。

【0034】

また、ロジックチップ LC には、内部機器（例えば、再配線チップ RDC やメモリチップ MC 1、MC 2、MC 3、MC 4）との間で信号の入出力を行う内部インタフェース回路（内部入出力回路）NIF が形成されている。内部インタフェース回路 NIF には、データ信号を伝送するデータ線（信号線）DS、アドレス信号を伝送するアドレス線（信号線）AS、およびその他の信号を伝送する信号線 OS が接続されている。これらの、データ線 DS、アドレス線 AS、および信号線 OS は、それぞれ再配線チップ RDC を経由してメモリチップ MC 1、MC 2、MC 3、MC 4 の内部インタフェース回路 NIF に接続されている。図 5 では、外部インタフェース回路 GIF や内部インタフェース回路 NIF など、ロジックチップ LC 以外の電子部品との間で信号の入出力を行う回路を、入出力回路 NS 1 として示している。

【0035】

また、ロジックチップ LC には、コア回路 CR 1 や入出力回路 NS 1 を駆動するための電位を供給する電源回路 DR を備えている。電源回路 DR には、ロジックチップ LC の入出力回路 NS 1 を駆動する電圧を供給する、電源回路（入出力用電源回路）DR 1 と、ロジックチップ LC のコア回路 CR 1 を駆動する電圧を供給する、電源回路（コア用電源回路）DR 2 が含まれる。電源回路 DR には、例えば異なる複数の電位（第 1 電源電位と第 2 電源電位）が供給され、その電位差によりコア回路 CR 1 や入出力回路 NS 1 に印加される電圧が規定される。

【0036】

ロジックチップ LC のように、ある装置やシステムの動作に必要な回路が一つの半導体チップ 3 に集約して形成されたものを、SoC（System on a Chip）と呼ぶ。ところで、ロジックチップ LC に図 5 に示す主記憶回路 MM を形成すれば、ロジックチップ LC、1 枚でシステムを構成することができる。しかし、動作させる装置やシステムに応じて、必要な主記憶回路 MM（図 5 参照）の容量は異なる。そこで、ロジックチップ LC とは別の

10

20

30

40

50

半導体チップ 3 に主記憶回路 M M を形成することで、ロジックチップ L C の汎用性を向上させることができる。

【 0 0 3 7 】

また、要求される主記憶回路 M M の記憶容量に応じて、複数枚のメモリチップ M C 1、M C 2、M C 3、M C 4 を接続することで、システムが備える記憶回路の容量の設計上の自由度が向上する。図 5 に示す例では、メモリチップ M C 1、M C 2、M C 3、M C 4 には、それぞれ主記憶回路 M M が形成されている。図 5 では主記憶回路 M M をメモリチップ M C 1、M C 2、M C 3、M C 4 のコア回路（主回路）C R 2 として示している。ただし、コア回路 C R 2 に含まれる回路は、主記憶回路 M M 以外の回路が含まれていても良い。

【 0 0 3 8 】

また、メモリチップ M C 1、M C 2、M C 3、M C 4 には、それぞれ内部機器（例えば、再配線チップ R D C やロジックチップ L C ）との間で信号の入出力を行う内部インタフェース回路（内部入出力回路）N I F が形成されている。図 5 では、各メモリチップ M C 1、M C 2、M C 3、M C 4 以外の電子部品との間で信号の入出力を行う内部インタフェース回路 N I F を、入出力回路 N S 2 として示している。

【 0 0 3 9 】

また、メモリチップ M C 1、M C 2、M C 3、M C 4 には、コア回路 C R 2 や入出力回路 N S 2 を駆動するための電位を供給する電源回路（駆動回路）D R を備えている。電源回路 D R には、メモリチップ M C 1、M C 2、M C 3、M C 4 の入出力回路 N S 2 を駆動する電圧を供給する、電源回路（入出力用電源回路）D R 3 と、メモリチップ M C 1、M C 2、M C 3、M C 4 のコア回路 C R 2 を駆動する電圧を供給する、電源回路（コア用電源回路）D R 4 が含まれる。電源回路 D R には、例えば異なる複数の電位（例えば第 1 電源電位と第 2 電源電位）が供給され、その電位差によりコア回路 C R 2 や入出力回路 N S 2 に印加される電圧が規定される。

【 0 0 4 0 】

なお、図 5 に示す例では、ロジックチップ L C の電源回路 D R 1 と、メモリチップ M C 1、M C 2、M C 3、M C 4 の電源回路 D R 3 を兼用化している。言い換えれば、ロジックチップ L C の入出力回路 N S 1 とメモリチップ M C 1、M C 2、M C 3、M C 4 の入出力回路 N S 2 は、電源線 V 2 から供給される同じ電圧が印加されて駆動するようになっている。このように、電源回路 D R の一部または全部を兼用化することで、電源回路に電位（駆動電圧）を供給する電源線 V 1、V 2、V 3 の数を低減することができる。また、電源線 V 1、V 2、V 3 の数を低減すれば、ロジックチップ L C に形成される電極数を低減することができる。

【 0 0 4 1 】

また、ロジックチップ L C とメモリチップ M C 1、M C 2、M C 3、M C 4 を電氣的に接続する経路の間には、再配線チップ R D C が配置される。言い換えれば、ロジックチップ L C とメモリチップ M C 1、M C 2、M C 3、M C 4 は、再配線チップ R D C を介して電氣的に接続される。図 5 に示す例では、再配線チップ R D C には、回路の構成要素としてトランジスタやダイオードなどの半導体素子を含む、コア回路 C R 1、C R 2 や入出力回路 N S 1、N S 2 は形成されていない。図 5 に示す再配線チップ R D C には、半導体基板に形成された導体パターン（再配線）を介してロジックチップ L C とメモリチップ M C 1、M C 2、M C 3、M C 4 を電氣的に接続する中継回路 T C のみが形成されている。ただし、図 5 に対する変形例として、再配線チップ R D C にトランジスタやダイオードなどの半導体素子を構成要素として含む回路を形成することもできる。この変形例については後述する。

【 0 0 4 2 】

半導体装置 1 のように、ある装置やシステムの動作に必要な回路が一つの半導体装置 1 に集約して形成されたものを、S i P（System in Package）と呼ぶ。なお、図 4 では、一つのロジックチップ L C 上に、四つのメモリチップ M C 1、M C 2、M C 3、M C 4 を積層した例を示しているが、上記の通り、半導体チップ 3 の積層数には種々の変形例があ

10

20

30

40

50

る。図示は省略するが、例えば、最小限の構成としては、一つのロジックチップLC上に一つの再配線チップRDCを介して一つのメモリチップMC1を搭載する変形例に適用することができる。

【0043】

また、ロジックチップLCおよびメモリチップMC1、MC2、MC3、MC4の汎用性を向上させる観点からは、ロジックチップLCおよびメモリチップMC1、MC2、MC3、MC4の平面サイズ（平面視における寸法、表面3aおよび裏面3bの寸法、外形サイズ）は、各半導体チップ3の機能を達成可能な範囲内で最小化することが好ましい。ロジックチップLCは、回路素子の集積度を向上させることにより平面サイズを低減することができる。一方、平面サイズに応じて、主記憶回路MMの容量や伝送速度（例えばデータバスの幅によるデータ転送量）が変化するので、メモリチップの平面サイズの小型化には限界がある。

10

【0044】

このため、図4に示す例では、メモリチップMC4の平面サイズは、ロジックチップLCの平面サイズよりも大きい。例えば、メモリチップMC4の平面サイズは、一辺の長さが8mm～10mm程度の四角形であるのに対し、ロジックチップLCの平面サイズは、一辺の長さが5mm～6mm程度の四角形である。また、図示は省略するが、図4に示すメモリチップMC1、MC2、MC3の平面サイズは、メモリチップMC4の平面サイズと同じである。

【0045】

20

また、上記したように、ロジックチップLCには、図示しない外部機器との間で信号の入出力を行う外部インタフェース回路GIFが形成されるので、外部機器との伝送距離を短縮する観点から、複数の半導体チップ3の積層順は、ロジックチップLCを最下段、すなわち、配線基板2に最も近い位置に搭載することが好ましい。つまり、半導体装置1のように平面サイズの小さい半導体チップ3（ロジックチップLC）上に、平面サイズが大きい半導体チップ3（メモリチップMC1、MC2、MC3、MC4）を積層する構成が好ましい。

【0046】

< 積層された半導体チップの電気的接続方法の詳細 >

次に、図3および図4に示すロジックチップLCおよびメモリチップMC1、MC2、MC3、MC4の詳細および各半導体チップ3の電気的な接続方法について説明する。図6は図4に示すA部の拡大断面図である。また、図7は、図4に示す複数の半導体チップの積層構造を単純化して示す説明図である。また、図46および図47は図7に対応する検討例を示す拡大断面図である。なお、図6および図7では、見易さのため、電極数を少なくして示しているが、電極（表面電極3ap、裏面電極3bp、貫通電極3tsv）の数は、図6および図7に示す態様には限定されない。

30

【0047】

本願発明者は、SiP型の半導体装置の性能を向上させる技術を検討しているが、この一環として、SiPに搭載される複数の半導体チップ間の信号伝送速度を、例えば12Gbps（毎秒12ギガビット）以上に向上させる技術について検討した。SiPに搭載される複数の半導体チップ間の伝送速度を向上させる方法として、内部インタフェースのデータバスの幅を大きくして1回に伝送するデータ量を増加させる方法がある（以下、バス幅拡大化と記載する）。また、別の方法として、単位時間当たりの伝送回数を増やす方法がある（以下、高クロック化と記載する）。また、上記したバス幅拡大法とクロック数増加法を組み合わせる方法がある。図1～図5を用いて説明した半導体装置1は、バス幅拡大化と高クロック化を組み合わせる方法により、内部インタフェースの伝送速度を12Gbps以上に向上させた半導体装置である。

40

【0048】

例えば図4に示すメモリチップMC1、MC2、MC3、MC4は、それぞれ512bitのデータバスの幅を持つ、所謂、ワイドI/Oメモリである。詳しくは、メモリチッ

50

プMC1、MC2、MC3、MC4は、データバスの幅が128bitのチャンネルを、それぞれ4つ備えており、この4チャンネルのバス幅を合計すると、512bitとなる。また、各チャンネルの単位時間当たりの伝送回数は高クロック化され、例えばそれぞれ3Gbps以上になっている。

【0049】

このように、高クロック化とバス幅拡大化を組み合わせる場合には、多数のデータ線を高速で動作させる必要があるため、ノイズの影響を低減する観点から、データの伝送距離を短縮することが好ましい。そこで、図4に示すように、ロジックチップLCとメモリチップMC1は、ロジックチップLCとメモリチップMC1の間に配置される導電性部材を介して電氣的に接続されている。また、複数のメモリチップMC1、MC2、MC3、MC4は、それぞれ、複数のメモリチップMC1、MC2、MC3、MC4の間に配置される導電性部材を介して電氣的に接続される。言い換えれば、半導体装置1では、ロジックチップLCとメモリチップMC1の間の伝送経路に、配線基板2や図示しないワイヤ（ボンディングワイヤ）が含まれない。また、半導体装置1では、複数のメモリチップMC1、MC2、MC3、MC4間の伝送経路に、配線基板2や図示しないワイヤ（ボンディングワイヤ）が含まれない。また、積層された複数の半導体チップの伝送経路中にボンディングワイヤを介在させない場合、ワイヤボンディングのスペースを省くことができるので、パッケージ全体の平面サイズを小型化することができる。

【0050】

本実施の形態では複数の半導体チップ3同士を、ワイヤを介さずに接続する方法として、半導体チップ3を厚さ方向に貫通する貫通電極を形成し、この貫通電極を介して積層された半導体チップ3同士を接続する技術を適用している。詳しくは、ロジックチップLCは、表面3aに形成された複数の表面電極（電極、パッド）3ap、および裏面3bに形成された複数の裏面電極（電極、パッド）3bpを有している。また、ロジックチップLCは、表面3aおよび裏面3bのうちの一方から他方に向かって貫通するように形成され、かつ、複数の表面電極3apと複数の裏面電極3bpを電氣的に接続する複数の貫通電極3tsvを有している。

【0051】

半導体チップ3が備える各回路は、半導体チップ3の表面3a側に形成される。詳しくは、半導体チップ3は、例えばシリコン（Si）からなる半導体基板（図示は省略）を備え、半導体基板の主面（素子形成面）に、例えばトランジスタなどの複数の半導体素子（図示は省略）が形成される。半導体基板の主面上（表面3a側）には、複数の配線と複数の配線間を絶縁する絶縁膜を備える配線層（図示は省略）が積層される。配線層の複数の配線は複数の半導体素子とそれぞれ電氣的に接続されて、回路を構成する。半導体チップ3の表面3a（図3参照）に形成される複数の表面電極3apは、半導体基板と表面3aの間に設けられている配線層を介して半導体素子と電氣的に接続され、回路の一部を構成する。

【0052】

したがって、図6に示すように、半導体チップ3を厚さ方向に貫通する貫通電極3tsvを形成し、貫通電極3tsvを介して表面電極3apと裏面電極3bpを電氣的に接続することで、裏面電極3bpと表面3a側に形成された半導体チップ3の回路を電氣的に接続することができる。つまり、図6に示すように、上段側の半導体チップ3の表面電極3apと下段側の半導体チップ3の裏面電極3bpを、接合材（導電性部材、バンプ電極、突起電極）7などの導電性部材を介して電氣的に接続すれば、上段側の半導体チップ3の回路と下段側の半導体チップ3の回路は貫通電極3tsvを介して電氣的に接続される。

【0053】

また、図6に示す例では、メモリチップMC1と配線基板2の間に搭載されるロジックチップLCおよび再配線チップRDCが、それぞれ複数の貫通電極3tsvを有している。このため、メモリチップMC1とロジックチップLCを、貫通電極3tsvを介して電

氣的に接続することで、ロジックチップLCとメモリチップMC1の間の伝送経路から、配線基板2や図示しないワイヤ（ボンディングワイヤ）を排除することができる。この結果、ロジックチップLCとメモリチップMC1の間の伝送経路中のインピーダンス成分を低減し、高クロック化させたことによるノイズの影響を低減することができる。言い換えれば、ロジックチップLCとメモリチップMC1の間の信号伝送速度を向上させた場合でも、伝送信頼性を向上させることができる。

【0054】

ここで、ロジックチップLCに形成された貫通電極3tsvを介して、メモリチップMC1とロジックチップLCを電氣的に接続する場合、図46に示す半導体装置H1のように、ロジックチップLC上に接合材7を介して、直接メモリチップMC1を搭載する構造が考えられる。ところがこの場合、図46に示すように、メモリチップMC1の表面電極3apと、ロジックチップLCの裏面電極3bp、貫通電極3tsvおよび表面電極3apが、厚さ方向に重なるように、直線的に配置することになる。また、ロジックチップLCの表面電極3apに接合される、接合材7および、接合材7に接合される配線基板2のボンディングリード2fも、メモリチップMC1の表面電極3apと厚さ方向に重なるように配置される。

【0055】

ところが、半導体装置H1の場合、ロジックチップLCの複数の表面電極3ap、複数の貫通電極3tsv、および複数の裏面電極3bpのレイアウトがメモリチップMC1の複数の表面電極3apのレイアウトにより制約される。また、逆に言えば、メモリチップMC1の複数の表面電極3apのレイアウトが、ロジックチップLCの複数の表面電極3ap、複数の貫通電極3tsv、および複数の裏面電極3bpのレイアウトにより制約される。

【0056】

例えば、図46に示すようにロジックチップLCの平面サイズがメモリチップMC1の平面サイズよりも小さい場合、メモリチップMC1の表面電極3apを表面3aの周縁部に配置すると、ロジックチップLCと電氣的に接続できなくなる。このため、メモリチップMC1の複数の表面電極3apは、ロジックチップLCの裏面3bと重なる位置に集約して配置する必要がある。また、ロジックチップLCの複数の表面電極3ap、複数の貫通電極3tsv、および複数の裏面電極3bpは、メモリチップMC1の複数の表面電極3apと厚さ方向に重なる位置に配置する必要がある。

【0057】

ロジックチップLCやメモリチップMC1のそれぞれは、電氣的特性や平面サイズの小型化などの要求から、半導体素子を含む回路領域や表面電極3apの最適なレイアウトがある。しかし、半導体装置H1のように、ロジックチップLC上に接合材7を介して、直接メモリチップMC1を搭載する構造の場合、メモリチップMC1の表面電極3apとロジックチップLCの裏面電極3bpを電氣的に接続するために、半導体素子を含む回路領域や表面電極3apのレイアウトに制約を受ける。つまり、半導体装置H1の場合、メモリチップMC1の表面電極3apとロジックチップLCの裏面電極3bpを電氣的に接続するために、各半導体チップ3の設計上の自由度が低下する。

【0058】

特に、ロジックチップLCのように、演算処理回路PU（図5参照）を含む多数の回路が一つの半導体チップ3に集積される場合、製造プロセスが複雑になる。そこで、ロジックチップLCの製造効率向上の観点から、平面サイズを小さくして、1枚の半導体ウエハから取得可能なロジックチップLCの数を増やすことが好ましい。しかし、メモリチップMC1の表面電極3apとロジックチップLCの裏面電極3bpを電氣的に接続するために、半導体素子を含む回路領域や表面電極3apのレイアウトに制約を受けると、ロジックチップLCの平面サイズを十分に小さくすることが難しくなる。

【0059】

また、図46に示す半導体装置H1よりも設計上の自由度を向上させる方法として、図

10

20

30

40

50

47に示す半導体装置H2のように、ロジックチップLCの裏面3bに、裏面電極3bpと貫通電極3tsvを電氣的に接続する引出配線（再配線）RDLを形成する方法が考えられる。半導体装置H2の場合、図47に示すように、ロジックチップLCの裏面電極3bpと表面電極3apの一部を、厚さ方向に重ならない位置に配置することができる。このため、図46に示す半導体装置H1と比較するとロジックチップLCの複数の表面電極3apおよび複数の貫通電極3tsvのレイアウト上の制約は低減する。

【0060】

しかし、ロジックチップLCに引出配線RDLを形成する場合、ロジックチップLCの製造プロセスが更に複雑になる。また、引出配線RDLを形成する工程の歩留が、ロジックチップLCの歩留に影響するので、ロジックチップLCの製造効率低下の懸念がある。

10

【0061】

そこで、本実施の形態では、図7に示す半導体装置1の構造を適用する。半導体装置1は、上面2aおよび上面2aの反対側の下面2bを有する配線基板を備える。配線基板2のチップ搭載面である上面2aの反対側の下面2bには、外部端子である複数のランド2gが形成される。

【0062】

また、半導体装置1は、表面3a、表面3aに形成された複数の表面電極3ap、表面3aとは反対側の裏面3b、および裏面3bに形成された複数の裏面電極3bpを有するロジックチップLC（半導体チップ3）を備える。ロジックチップLCの複数の表面電極3apと複数の裏面電極3bpは、それぞれ厚さ方向に（平面視において）重なる位置に形成されている。また、複数の表面電極3apは、複数の表面電極3apと複数の裏面電極3bpの間に形成された複数の貫通電極3tsvを介して複数の裏面電極3bpとそれぞれ電氣的に接続される。また、ロジックチップLCは、表面3aが配線基板2の上面2aと対向するように配線基板2の上面2aに搭載される。

20

【0063】

また、半導体装置1は、表面3a、表面3aに形成された複数の表面電極3ap、表面3aとは反対側の裏面3b、および、裏面3bに形成された複数の裏面電極3bpを有する再配線チップRDC（半導体チップ3）を備える。また、再配線チップRDCは、表面3aおよび裏面3bのうちの一方の面から他方の面に向かって貫通する複数の貫通電極3tsvを有する。また、再配線チップRDCは、表面3aまたは裏面3bに形成され、複数の貫通電極3tsvと複数の表面電極3apまたは複数の裏面電極3bpを電氣的に接続する複数の引出配線（再配線）RDLを有する。図7に示す例では、引出配線RDLの配置スペースを広く出来る点で有利なので、表面3aおよび裏面3bの両方に引出配線RDLを形成する例を示している。ただし、変形例として、表面3aまたは裏面3bのいずれか一方に引出配線RDLを形成しても良い。表面電極3apと複数の裏面電極3bpは複数の貫通電極3tsvおよび複数の引出配線RDLを介して、それぞれ電氣的に接続される。また、再配線チップRDCは、ロジックチップLCの裏面3b上に搭載されている。

30

【0064】

また、半導体装置1は、表面3a、表面3aに形成された複数の表面電極3ap、および表面3aとは反対側の裏面3bを有するメモリチップMC1（半導体チップ3）を備える。メモリチップMC1の複数の表面電極3apは、再配線チップRDCの複数の裏面電極3bpと対向配置され、例えば接合材7を介して電氣的に接続される。また、メモリチップMC1は、メモリチップMC1の表面3aが再配線チップRDCの裏面3bと対向するように、配置される。また、メモリチップMC1の平面サイズ（例えば表面3aの平面積）は、ロジックチップLCの平面サイズ（例えば裏面3bの平面積）よりも大きくなっている。

40

【0065】

上記のように構成した半導体装置1は、再配線チップRDCにより、複数の表面電極3apと複数の裏面電極3bpを、平面視において（詳しくは、表面3aまたは裏面3b側

50

から厚さ方向に重ねて見た時)、異なる平面位置に配置することができる。例えば、図7に示す例では、複数の表面電極3 a pと電氣的に接続される複数の裏面電極3 b pのうち、少なくとも一部は、厚さ方向に重ならない位置に配置される。一方、再配線チップR D Cの複数の表面電極3 a pと、ロジックチップL Cの複数の裏面電極3 b pは、厚さ方向に重なる位置(互いに対向する位置)に配置される。また、ロジックチップL Cの複数の裏面電極3 b pに電氣的に接続される複数の貫通電極3 t s vおよび複数の表面電極3 a pは、それぞれ厚さ方向に重なる位置に配置される。

【0066】

このため、メモリチップM C 1の複数の表面電極3 a pと、再配線チップR D Cの複数の裏面電極3 b pはそれぞれ厚さ方向に重なる位置に配置され、接合材7を介して電氣的に接続される。また、ロジックチップL Cの複数の裏面電極3 b pと再配線チップR D Cの複数の表面電極3 a pは、それぞれ厚さ方向に重なる位置に配置され、接合材7を介して電氣的に接合される。

【0067】

つまり、本実施の形態では、ロジックチップL CとメモリチップM C 1の間に、ロジックチップL CとメモリチップM C 1の電極の位置をアジャストするための複数の引出配線R D Lを備えた再配線チップR D Cを配置することで、電極の平面配置を変換する。この結果、メモリチップM C 1は、電氣的特性や小型化などの要求の観点から最適なレイアウトで、半導体素子を含む回路領域や表面電極3 a pを形成することができる。一方、ロジックチップL Cは、複数の貫通電極3 t s vを配置するスペースを確保する必要があるが、半導体素子を含む回路領域や表面電極3 a pのレイアウトを、メモリチップM C 1のレイアウトに係わず、最適化することができる。

【0068】

すなわち、上記の構成によれば、メモリチップM C 1の設計上の自由度を向上させることができる。また、上記の構成によれば、ロジックチップL Cの設計上の自由度を向上させることができる。また、メモリチップM C 1やロジックチップL Cの設計上の自由度を向上させることで、これらの半導体チップ3の平面サイズを小型化できる。また、これらの半導体チップ3の平面サイズを小型化することで、1枚の半導体ウエハから取得可能な半導体チップ3が増加するので、半導体チップ3の製造効率が向上する。また、上記したように、再配線チップR D Cにより電極の平面位置を変換するので、ロジックチップの複数の裏面電極3 b pに電氣的に接続される複数の貫通電極3 t s vおよび複数の表面電極3 a pは、それぞれ厚さ方向に重なる位置に配置することができる。したがって、ロジックチップL Cの製造プロセスを簡略化し、歩留を向上させることができる。

【0069】

なお、メモリチップM C 1とロジックチップL Cを電氣的に接続する伝送経路のインピーダンス成分を低減する観点からは、図46や図47に示すようにロジックチップL C上に直接メモリチップM C 1を搭載する方が好ましい。しかし、再配線チップR D Cは、半導体基板を基材として利用することにより、ロジックチップL CやメモリチップM C 1に配線や電極を形成する技術を適用して引出配線R D L、貫通電極3 t s v、表面電極3 a pおよび裏面電極3 b pを形成することができる。このため、図示しないボンディングワイヤや配線基板2を介して、メモリチップM C 1とロジックチップL Cを電氣的に接続する場合と比較すれば、伝送経路中のインピーダンス成分を低減することができる。

【0070】

また、再配線チップR D Cを介してメモリチップM C 1とロジックチップL Cを電氣的に接続する場合、引出配線R D Lの配置スペースを広く確保できるので、メモリチップM C 1とロジックチップL Cを結ぶ伝送経路の数(信号線の数)を増やすことができる。つまり、上記したバス幅拡大化を進めることができる。そしてバス幅拡大化を進めることにより、各信号線の単位時間当たりの伝送回数を減らすことができる。これにより、伝送経路中のノイズの影響を低減することができる。言い換えれば、ロジックチップL CとメモリチップM C 1の間の信号伝送速度を向上させた場合でも、伝送信頼性を向上させること

10

20

30

40

50

ができる。

【0071】

また、図6に示す例では、ロジックチップLC上には、複数のメモリチップMC1、MC2、MC3、MC4が積層されるので、この複数のメモリチップMC1、MC2、MC3、MC4間でも、信号伝送速度を向上させることが好ましい。そこで、複数のメモリチップMC1、MC2、MC3、MC4のうち、上下にそれぞれ半導体チップ3が配置される、メモリチップMC1、MC2、MC3は、ロジックチップLCと同様に複数の貫通電極3tsvを有している。詳しくは、メモリチップMC1、MC2、MC3のそれぞれは、表面3aに形成された複数の表面電極（電極、パッド）3ap、および裏面3bに形成された複数の裏面電極（電極、パッド）3bpを有している。また、メモリチップMC1、MC2、MC3のそれぞれは、表面3aおよび裏面3bのうち的一方から他方に向かって貫通するように形成され、かつ、複数の表面電極3apと複数の裏面電極3bpを電氣的に接続する複数の貫通電極3tsvを有している。

10

【0072】

したがって、上記したロジックチップLCの場合と同様に、メモリチップMC1、MC2、MC3、MC4のうち、上段側の半導体チップ3の表面電極3apと下段側の半導体チップ3の裏面電極3bpを、接合材（導電性部材、バンプ電極）7などの導電性部材を介して電氣的に接続すれば、積層された複数の半導体チップ3の回路は、貫通電極3tsvを介して電氣的に接続される。

【0073】

20

このため、メモリチップMC1、MC2、MC3、MC4の間の伝送経路から、配線基板2や図示しないワイヤ（ボンディングワイヤ）を排除することができる。この結果、積層された複数のメモリチップMC1、MC2、MC3、MC4の間の伝送経路中のインピーダンス成分を低減し、高クロック化させたことによるノイズの影響を低減することができる。言い換えれば、複数のメモリチップMC1、MC2、MC3、MC4の間の信号伝送速度を向上させた場合でも、伝送信頼性を向上させることができる。

【0074】

なお、図6に示す例では、最上段に搭載されるメモリチップMC4は、メモリチップMC3と接続されれば良いので、複数の表面電極3apは形成されるが、複数の裏面電極3bpおよび複数の貫通電極3tsvは形成されていない。このように、最上段に搭載されるメモリチップMC4は、複数の裏面電極3bpおよび複数の貫通電極3tsvを備えない構造を採用することで、メモリチップMC4の製造工程を簡略化することができる。ただし、図示は省略するが、変形例としては、メモリチップMC4についても、メモリチップMC1、MC2、MC3と同様に、複数の裏面電極3bpおよび複数の貫通電極3tsvを備えた構造にすることもできる。この場合、積層される複数のメモリチップMC1、MC2、MC3、MC4を同一の構造にすることで、製造効率を向上させることができる。

30

【0075】

また、積層された半導体チップ3の間に配置され、上段側の半導体チップ3の表面電極3apと下段側の半導体チップ3の3bpを電氣的に接続する接合材7は、図6に示す例では、例えば以下の材料を用いている。例えば、接合材7は、鉛（Pb）を実質的に含まない、所謂、鉛フリー半田からなる半田材7aであって、例えば錫（Sn）のみ、錫-ビスマス（Sn-Bi）、または錫-銅-銀（Sn-Cu-Ag）などである。ここで、鉛フリー半田とは、鉛（Pb）の含有量が0.1wt%以下のものを意味し、この含有量は、RoHS（Restriction of Hazardous Substances）指令の基準として定められている。以下、本実施の形態において、半田材、あるいは半田成分について説明する場合には、特にそうでない旨明示した場合を除き、鉛フリー半田を指す。

40

【0076】

また、ロジックチップLCの表面電極3apと配線基板2のボンディングリード2fの接合部では、例えば、柱状（例えば円柱形）に形成した銅（Cu）を主成分とする金属部

50

材である突起電極 7 b および半田材 7 a を介して、ロジックチップ L C の表面電極 3 a p と配線基板 2 のボンディングリード 2 f が電氣的に接続される。詳しくは、突起電極 7 b の先端に、ニッケル (N i) 膜、半田 (例えば S n A g) 膜を積層しておき、先端の半田膜をボンディングリード 2 f に接合させることで、ロジックチップ L C の表面電極 3 a p と配線基板 2 のボンディングリード 2 f を電氣的に接続することができる。ただし、接合材 7 を構成する材料は、電氣的特性上の要求、あるいは接合強度上の要求を満たす範囲内で種々の変形例を適用することができる。例えば、半導体チップ 3 の間の接合部に、突起電極 7 b を用いる構成とすることもできる。

【 0 0 7 7 】

また、図 6 に示すロジックチップ L C 、再配線チップ R D C 、あるいはメモリチップ M C 1 、 M C 2 、 M C 3 のように、貫通電極 3 t s v を備える半導体チップ 3 は、厚さ、すなわち、表面 3 a と裏面 3 b の離間距離は薄く (小さく) することが好ましい。半導体チップ 3 の厚さを薄くすれば、貫通電極 3 t s v の伝送距離が短縮されるので、インピーダンス成分を低減できる点で好ましい。また、半導体基板の厚さ方向に開口部 (貫通孔および貫通しない穴を含む) を形成する場合、孔の深さが深くなるほど加工精度が低下する。言い換えれば、半導体チップ 3 の厚さを薄くすれば、貫通電極 3 t s v を形成するための開口部の加工精度を向上させることができる。このため、複数の貫通電極 3 t s v の径 (半導体チップ 3 の厚さ方向に対して直交方向の長さ、幅) を揃えることができるので、複数の伝送経路のインピーダンス成分を制御し易くなる。

【 0 0 7 8 】

図 6 に示す例では、ロジックチップ L C の厚さ T 1 は、ロジックチップ L C 上に配置される複数のメモリチップ M C 1 、 M C 2 、 M C 3 、 M C 4 の積層体 M C S (図 4 参照) の厚さ T A よりも薄い。例えば、ロジックチップ L C の厚さ T 1 は 5 0 μ m である。これに対し、複数のメモリチップ M C 1 、 M C 2 、 M C 3 、 M C 4 の積層体 M C S (図 4 参照) の厚さ T A は 2 6 0 μ m 程度である。

【 0 0 7 9 】

上記のように、半導体チップ 3 を薄型化する場合、半導体チップ 3 を露出させた状態では、半導体チップ 3 が損傷する懸念がある。本実施の形態によれば、図 4 に示すように、複数の半導体チップ 3 に封止体 4 を密着させて封止する。このため、封止体 4 は半導体チップ 3 の保護部材として機能し、半導体チップ 3 の損傷を抑制することができる。つまり、本実施の形態によれば、複数の半導体チップ 3 を樹脂で封止することにより、半導体装置 1 の信頼性 (耐久性) を向上させることができる。

【 0 0 8 0 】

また、貫通電極 3 t s v を備える半導体チップ 3 を積層する半導体装置 1 の場合、伝送距離短縮の観点から、半導体チップ 3 と配線基板 2 の間隔も狭くする事が好ましい。例えば、図 6 に示す例では、ロジックチップ L C の表面 3 a と配線基板 2 の上面 2 a の間の間隔 G 1 は例えば 2 0 μ m ~ 3 0 μ m 程度である。また、メモリチップ M C 1 の表面 3 a と配線基板 2 の上面 2 a の間の間隔 G 2 は例えば 7 0 μ m ~ 1 0 0 μ m 程度である。このように、貫通電極 3 t s v を備える半導体チップ 3 を積層する半導体装置 1 では、半導体チップ 3 の厚さおよび離間距離を小さくすることで、伝送距離の短縮を図ることが好ましい。

【 0 0 8 1 】

< 各半導体チップの平面レイアウトの詳細 >

次に図 6 に示す複数の半導体チップ 3 それぞれの平面視における電極等のレイアウトについて説明する。図 8 は、図 4 に示すメモリチップの表面側のレイアウト例を示す平面図、図 9 は、図 8 に示すメモリチップの裏面側の一例を示す平面図である。また、図 1 0 は、図 4 に示すロジックチップの表面側のレイアウト例を示す平面図、図 1 1 は、図 1 0 に示すロジックチップの裏面側の一例を示す平面図である。また、図 1 2 は図 4 に示す再配線チップの表面側のレイアウト例を示す平面図、図 1 3 は、図 1 2 に示す再配線チップの裏面側の一例を示す平面図である。

【 0 0 8 2 】

なお、図 8 ~ 図 1 3 では、見易さのため、電極数を少なくして示しているが、電極（表面電極 3 a p、裏面電極 3 b p、貫通電極 3 t s v）の数は、図 8 ~ 図 1 0 に示す態様には限定されない。また、図 9 では、メモリチップ M C 1、M C 2、M C 3 の裏面図を示すが、裏面電極 3 b p が形成されないメモリチップ M C 4（図 4 参照）の裏面の構造は、図 3 に示されているので、図示は省略する。

【 0 0 8 3 】

また、図 8 ~ 図 1 3 に示す各半導体チップ 3 の電極および引出配線 R D L のレイアウトは、図 1 2 および図 1 3 に示す再配線チップ R D C により、平面視における電極の配置を異なる位置に変換する実施態様を例示的に示したものである。電極および引出配線 R D L のレイアウトは、ロジックチップ L C やメモリチップ M C 1、M C 2、M C 3、M C 4 に形成される回路のレイアウト等に応じて、種々の変形例を適用できることは言うまでもない。

10

【 0 0 8 4 】

図 8 に示すように、メモリチップ M C 1、M C 2、M C 3、M C 4 が備える複数の表面電極 3 a p は、表面 3 a において中央部に配置されている。また、図 9 に示すように、メモリチップ M C 1、M C 2、M C 3 が備える複数の裏面電極 3 b p は、裏面 3 b において中央部に配置されている。図 6 に示すように、メモリチップ M C 1、M C 2、M C 3、M C 4 の複数の表面電極 3 a p とメモリチップ M C 1、M C 2、M C 3 の複数の裏面電極 3 b p は、それぞれが厚さ方向に重なる位置に配置されている。

20

【 0 0 8 5 】

また、図 8 に示すように、メモリチップ M C 1、M C 2、M C 3、M C 4 の表面 3 a 側（詳しくは、半導体基板の主面上）には、複数のメモリ領域（記憶回路素子配列領域）M R が設けられている。図 8 に示す例では、上記した 4 チャンネルに対応した四つのメモリ領域 M R が形成されている。各メモリ領域 M R には複数のメモリセル（記憶回路素子）がアレイ状に配置されている。図 5 を用いて説明した主記憶回路 M M は、メモリ図 8 に示す複数のメモリ領域 M R にそれぞれ形成される。

【 0 0 8 6 】

本実施の形態では、図 4 に示すようにロジックチップ L C、再配線チップ R D C、およびメモリチップ M C 1、M C 2、M C 3、M C 4 のそれぞれの表面 3 a の中心部が重なるように積層する。このため、図 8 に示すように、メモリチップ M C 1、M C 2、M C 3、M C 4 の複数の表面電極 3 a p は、表面 3 a の中央部に配置することで、平面サイズの異なる各半導体チップ 3 を電氣的に接続する伝送経路距離を短くすることができる。

30

【 0 0 8 7 】

また、メモリチップ M C 1、M C 2、M C 3、M C 4 の複数の表面電極 3 a p は、表面 3 a の中央部に集約配置されている。言い換えれば、メモリチップ M C 1、M C 2、M C 3、M C 4 が有する複数の表面電極 3 a p は、表面 3 a の周縁部に設けられた主回路領域（メモリ領域 M R）に囲まれるように配置される。特に、図 8 に示す例では、表面 3 a の周縁部に配置されるメモリ領域 M R とメモリチップ M C 1、M C 2、M C 3、M C 4 の側面 3 c の間には、表面電極 3 a p が存在しない。

40

【 0 0 8 8 】

このように、複数の表面電極 3 a p を表面 3 a の中央部に集約して配置すれば、表面電極群が配置された領域を囲むように、4 チャンネル分のメモリ領域 M R を配置することができる。この結果、各メモリ領域 M R から表面電極 3 a p までの距離を均等化することができる。つまり、複数のチャンネルそれぞれの伝送距離を等長化することができるので、チャンネル毎の伝送速度の誤差を低減することができる点で好ましい。

【 0 0 8 9 】

また、図 1 0 に示すように、ロジックチップ L C が備える複数の表面電極 3 a p のうちの一部（複数の表面電極 3 a p 1）は、表面 3 a において中央部に配置されている。また、ロジックチップ L C が備える複数の表面電極 3 a p のうちの一部（複数の表面電極 3 a

50

p 2) は、表面 3 a の周縁部に表面 3 a の辺 (側面 3 c) に沿って配置されている。また、図 1 1 に示すように、ロジックチップ L C が備える複数の裏面電極 3 b p のうちの一部 (複数の裏面電極 3 b p 1) は、裏面 3 b において中央部に配置されている。また、ロジックチップ L C が備える複数の裏面電極 3 b p のうちの他部 (複数の裏面電極 3 b p 2) は、裏面 3 b の周縁部に裏面 3 b の辺 (側面 3 c) に沿って配置されている。

【 0 0 9 0 】

図 1 0 に示す複数の表面電極 3 a p のうち、表面 3 a の中央部に配置される複数の表面電極 3 a p 1 は、図 1 1 に示す裏面 3 b の中央部に配置される複数の裏面電極 3 b p 1 と、図 6 に示す複数の貫通電極 3 t s v を介して裏面電極 3 b p と電氣的に接続されている。また、複数の表面電極 3 a p 1 の大部分は、図 6 に示す配線基板とは接合されていない。つまり、複数の表面電極 3 a p 1 は、主に、内部インタフェース用の電極である。

10

【 0 0 9 1 】

一方、図 1 0 に示す複数の表面電極 3 a p のうち、表面 3 a の周縁部に配置される複数の表面電極 3 a p 2 の大部分は、図 4 に示す配線基板 2 を介して図示しない外部機器と電氣的に接続されている。詳しくは、図 6 に示すように、突起電極 7 b および半田材 7 a を介して、ロジックチップ L C の表面電極 3 a p と配線基板 2 のボンディングリード 2 f が電氣的に接続される。つまり複数の表面電極 3 a p 2 は、主に外部インタフェース用の電極である。

【 0 0 9 2 】

ただし、図 1 0 に示す複数の表面電極 3 a p のうち、表面 3 a の周縁部に配置される複数の表面電極 3 a p 2 には、貫通電極 3 t s v が接合されないものと、図 6 に示す貫通電極 3 t s v が接合されるものが混在する。つまり、図 1 0 に示す例では、複数の表面電極 3 a p 2 は、内部インタフェース用の電極と外部インタフェース用の電極が混在する。

20

【 0 0 9 3 】

本実施の形態では、図 1 2 および図 1 3 に示すように再配線チップ R D C に形成された貫通電極 3 t s v および引出配線 R D L を、メモリチップ M C 1 (図 4 参照) とロジックチップ L C (図 4 参照) を電氣的に接続する伝送経路中に組み込むことで、平面視における電極の配置を異なる位置に変換する。このため、図 8 に示すように、メモリチップ M C 1 の複数の表面電極 3 a p が表面 3 a の中央部に配置されている場合でも、図 1 1 に示すように、ロジックチップ L C の裏面 3 b の周縁部に形成される複数の裏面電極 3 b p 2 と電氣的に接続することができる。このように本実施の形態によれば、再配線チップ R D C により、電極の平面配置を自由に調整することができるので、ロジックチップ L C およびメモリチップ M C 1 の設計上の自由度を向上させることができる。

30

【 0 0 9 4 】

また、図 1 2 および図 1 3 に示す例では、再配線チップ R D C は裏面 3 b および表面 3 a のそれぞれに引出配線 R D L が形成されている。引出配線 R D L は、表面電極 3 a p または裏面電極 3 b p と一体に形成され、表面電極 3 a p または裏面電極 3 b p と貫通電極 3 t s v を電氣的に接続する。

【 0 0 9 5 】

また、図 1 3 に示す例では、再配線チップ R D C の裏面 3 b の中央に集約配置される複数の裏面電極 3 b p の一部に引出配線 R D L が接続され、引出配線 R D L を介して裏面 3 b の周縁部に形成された貫通電極 3 t s v に向かって引き出される。これにより、図 1 2 に示す再配線チップ R D C は表面 3 a の中央部には、隣り合う表面電極 3 a p 間の距離を図 1 3 に示す裏面電極 3 b p 間の距離よりも広くすることができる。そして、表面 3 a では、隣り合う表面電極 3 a p 間の広い隙間を利用して、引出配線 R D L を配置することができる。つまり、表面 3 a および裏面 3 b にそれぞれ複数の引出配線 R D L を形成することで、図 8 に示すメモリチップ M C 1 の複数の表面電極 3 a p の配置ピッチが狭い場合でも、図 1 2 および図 1 3 に示す引出配線 R D L の配置スペースを確保できる。

40

【 0 0 9 6 】

ただし、上記したように図 1 2 および図 1 3 に示すレイアウトは、再配線チップ R D C

50

により、平面視における電極の配置を異なる位置に変換する実施態様を例示的に示したものであり、種々の変形例が存在する。例えば、引出配線 RDL の配置スペースが確保できれば、表面 3 a または裏面 3 b のうち、いずれか一方のみに引出配線 RDL を配置する変形例に適用することができる。

【0097】

ところで、図 10 に示すロジックチップ LC の表面 3 a の中央部に集約される表面電極 3 a p 1 を内部インタフェース専用の電極として利用する場合には、表面電極 3 a p 1 を図 6 に示す配線基板 2 と電氣的に接続しなくても機能させることができる。しかし、図 10 に示すように、表面電極 3 a p 1 の一部を図 6 に示す配線基板 2 のボンディングリード 2 f と電氣的に接続した場合には、表面電極 3 a p 1 の一部を外部インタフェース用の電極として利用できる点で好ましい。

10

【0098】

例えば、メモリチップ MC 1、MC 2、MC 3、MC 4 には図 5 に示す主記憶回路 MM を駆動させるための電源回路 DR が形成されるが、この電源回路 DR に電源電位（第 1 基準電位）や基準電位（第 1 基準電位と異なる第 2 基準電位、例えば接地電位）を供給する端子として、図 10 に示す表面電極 3 a p 1 の一部を利用することが考えられる。言い換えれば、図 10 に示す例では、ロジックチップ LC の表面 3 a の中央部に配置される複数の表面電極 3 a p 1 には、第 1 基準電位（例えば電源電位）が供給される第 1 基準電位電極と、第 1 基準電位とは異なる第 2 基準電位（例えば接地電位）が供給される第 2 基準電位電極が含まれる。さらに言い換えれば、図 10 に示す例では、ロジックチップ LC の表面 3 a の中央部に配置される複数の表面電極 3 a p 1 には、メモリチップ MC 1 に形成された回路を駆動する電圧を供給する電源線 V 2、V 3（図 5 参照）が含まれる。

20

【0099】

信号伝送速度を向上させる場合、瞬間的な電圧降下などによる動作の不安定化を抑制する観点から、電源の供給源と電源を消費する回路間の伝送距離を短くすることが好ましい。そこで、ロジックチップ LC の表面電極 3 a p 1 の一部を配線基板 2 と電氣的に接続し、第 1 基準電位（例えば電源電位）や第 2 基準電位（例えば接地電位）を供給すれば、電源を消費する回路が形成されたメモリチップ MC 1、MC 2、MC 3、MC 4 の駆動回路までの距離を短縮できる点で好ましい。また、第 1 基準電位（例えば電源電位）が供給される第 1 基準電位電極と、第 1 基準電位とは異なる第 2 基準電位（例えば接地電位）が供給される第 2 基準電位電極は、図 6 に示すように表面電極 3 a p と裏面電極 3 b p が厚さ方向に重なるように配置され、かつ貫通電極 3 t s v を介して電氣的に接続されていることが好ましい。

30

【0100】

また、図 3 に示す例では、再配線チップ RDC の平面サイズは、ロジックチップ LC の平面サイズよりも大きく、かつメモリチップ MC 4（積層体 MCS）の平面サイズよりも小さい。言い換えれば、再配線チップ RDC の 4 つの側面 3 c のそれぞれは、メモリチップ MC 4 の側面 3 c とロジックチップ LC の側面 3 c の間に配置される。さらに換言すれば、再配線チップ RDC の平面サイズは、ロジックチップ LC、再配線チップ RDC およびメモリチップ MC 1 を配線基板 2 上に搭載（積層）した際、再配線チップ RDC の 4 つの側面 3 c のそれぞれが、メモリチップ MC 1 の側面 3 c とロジックチップ LC の側面 3 c の間に位置するような大きさである。

40

【0101】

上記したように平面視における電極の位置を変換して、メモリチップ MC 1 とロジックチップ LC の電極の位置を調整する観点からは、図 14 や図 15 に示す変形例の構成を適用することができる。図 14 および図 15 は、図 3 に対する変形例である半導体装置の内部構造を示す透視平面図である。図 14 に示す第 1 の変形例である半導体装置 1 a は、再配線チップ RDC の平面サイズがロジックチップ LC の平面サイズよりも小さく、ロジックチップ LC の 4 つの側面 3 c のそれぞれは、メモリチップ MC 4 の側面 3 c と再配線チップ RDC の側面 3 c の間に配置される。一方、図 15 に示す第 2 の変形例である半導体

50

装置 1 b は、再配線チップ R D C の平面サイズがメモリチップ M C 4 の平面サイズよりも大きく、メモリチップ M C 4 の 4 つの側面 3 c のそれぞれは、ロジックチップ L C の側面 3 c と再配線チップ R D C の側面 3 c の間に配置される。

【 0 1 0 2 】

ここで、ロジックチップ L C の設計上の自由度を向上させる観点からは、ロジックチップ L C の裏面 3 b 全体を再配線チップ R D C で覆うことが好ましい。ロジックチップ L C の裏面 3 b 全体を再配線チップ R D C で覆うことにより、ロジックチップ L C の裏面 3 b の任意の位置に裏面電極 3 b p (図 1 1 参照) を配置することができる。したがって、再配線チップ R D C の平面サイズは、ロジックチップ L C の平面サイズ以上にすることが好ましい。また、積層体 M C S を搭載する際の安定性の観点からも、再配線チップ R D C の平面サイズは、ロジックチップ L C の平面サイズよりも大きいことが好ましい。

10

【 0 1 0 3 】

一方、メモリチップ M C 1、M C 2、M C 3、M C 4 (図 8 参照) の設計上の自由度を向上させる観点からは、メモリチップ M C 1 の表面 3 a (図 8 参照) 全体を再配線チップ R D C で覆うことが好ましい。メモリチップ M C 1 の全体を再配線チップ R D C で覆うことにより、メモリチップ M C 1、M C 2、M C 3、M C 4 (図 8 参照) の表面 3 a の任意の位置に表面電極 3 a p (図 8 参照) を配置することができる。したがって、図 1 5 に示すように再配線チップ R D C の平面サイズはメモリチップ M C 4 の平面サイズ以上にすることが好ましい。

【 0 1 0 4 】

20

しかし、再配線チップ R D C の平面サイズがメモリチップ M C 4 の平面サイズよりも大きくなると、再配線チップ R D C の周縁部が突出することになるため、損傷し易くなる。また、メモリチップ M C 1、M C 2、M C 3、M C 4 (図 8 参照) の周縁の端部に表面電極 3 a p を形成すると、表面電極 3 a p や再配線チップ R D C との接合部が損傷し易くなるので、メモリチップ M C 1、M C 2、M C 3、M C 4 (図 8 参照) の側面 3 c と表面電極 3 a p は離間して配置することが好ましい。このため、再配線チップ R D C の平面サイズがメモリチップ M C 4 の平面サイズよりも小さい場合でも、メモリチップ M C 4 の平面サイズと同程度の大きさがあれば、メモリチップ M C 1、M C 2、M C 3、M C 4 (図 8 参照) の設計上の自由度を向上させることができる。

【 0 1 0 5 】

30

したがって、図 3 に示すように、再配線チップ R D C の平面サイズは、ロジックチップ L C の平面サイズよりも大きく、かつメモリチップ M C 4 (積層体 M C S) の平面サイズよりも小さくすることが特に好ましい。言い換えれば、再配線チップ R D C の 4 つの側面 3 c のそれぞれは、メモリチップ M C 4 の側面 3 c とロジックチップ L C の側面 3 c の間に配置されることが特に好ましい。さらに換言すれば、再配線チップ R D C の平面サイズは、ロジックチップ L C、再配線チップ R D C およびメモリチップ M C 1 を配線基板 2 上に搭載 (積層) した際、再配線チップ R D C の 4 つの側面 3 c のそれぞれが、メモリチップ M C 1 の側面 3 c とロジックチップ L C の側面 3 c の間に位置するような大きさである。

【 0 1 0 6 】

40

< 半導体装置の製造方法 >

次に、図 1 ~ 図 1 3 を用いて説明した半導体装置 1 の製造工程について説明する。半導体装置 1 は、図 1 6 に示すフローに沿って製造される。図 1 6 は、図 1 ~ 図 1 3 を用いて説明した半導体装置の製造工程の概要を示す説明図である。各工程の詳細については、図 1 7 ~ 図 4 0 を用いて、以下に説明する。

【 0 1 0 7 】

< 基板準備工程 >

まず、図 1 6 に示す基板準備工程では、図 1 7 ~ 図 2 0 に示す配線基板 2 0 を準備する。図 1 7 は、図 1 6 に示す基板準備工程で準備する配線基板の全体構造を示す平面図、図 1 8 は図 1 7 に示すデバイス領域 1 個分の拡大平面図である。また、図 1 9 は図 1 8 の A

50

- A線に沿った拡大断面図である。また、図20は、図18の反対側の面を示す拡大平面図である。なお、図17～図20では、見易さのため、端子数を少なくして示しているが、端子（ボンディングリード2f、ランド2g）の数は、図17～図20に示す態様には限定されない。

【0108】

図17に示すように、本工程で準備する配線基板20は、枠部（外枠）20bの内側に複数のデバイス領域20aを備えている。詳しくは、複数（図17では27個）のデバイス領域20aが行列状に配置されている。複数のデバイス領域20aは、それぞれが、図1～図4に示す配線基板2に相当する。配線基板20は、複数のデバイス領域20aと、各デバイス領域20aの間にダイシングライン（ダイシング領域）20cを有する、所謂、多数個取り基板である。このように、複数のデバイス領域20aを備える多数個取り基板を用いることで、製造効率を向上させることができる。

10

【0109】

また、図18および図19に示すように各デバイス領域20aには、図4を用いて説明した配線基板2の構成部材がそれぞれ形成されている。配線基板20は、上面2a、上面2aの反対側の下面2b、および上面2a側と下面2b側を電氣的に接続する複数の配線層（図4に示す例では4層）を有する。各配線層には、複数の配線2dおよび複数の配線2d間、および隣り合う配線層間を絶縁する絶縁層（コア層）2eが形成されている。また、配線2dには、絶縁層2eの上面または下面に形成される配線2d1、および絶縁層2eを厚さ方向に貫通するように形成されている層間導電路であるビア配線2d2が含まれる。

20

【0110】

また、図18に示すように、配線基板20の上面2aは、図16に示す第1チップ搭載工程において、図10に示すロジックチップLCを搭載する予定領域であるチップ搭載領域（チップ搭載部）2p1を含む。チップ搭載領域2p1は上面2aにおいて、デバイス領域20aの中央部に存在する。なお、図18ではチップ搭載領域2p1の位置を示すため、チップ搭載領域の輪郭を2点鎖線で示すが、チップ搭載領域2p1は、上記の通りロジックチップLCを搭載する予定領域なので、実際に視認可能な境界線が存在する必要はない。

【0111】

30

また、配線基板20の上面2aは、複数のボンディングリード（端子、チップ搭載面側端子、電極）2fが形成されている。ボンディングリード2fは、図16に示す第1チップ搭載工程において、図10に示すロジックチップLCの表面3aに形成された複数の表面電極3apと電氣的に接続される端子である。本実施の形態では、ロジックチップLCの表面3a側を配線基板20の上面2aと対向させる、所謂、フェイスダウン実装方式でロジックチップLCを搭載するので、複数のボンディングリード2fの接合部は、チップ搭載領域2p1の内側に形成される。

【0112】

また、配線基板20の上面2aは、絶縁膜（ソルダレジスト膜）2hにより覆われている。絶縁膜2hには開口部2hwが形成され、この開口部2hwにおいて、複数のボンディングリード2fの少なくとも一部（半導体チップとの接合部、ボンディング領域）が絶縁膜2hから露出している。

40

【0113】

一方、図20に示すように、配線基板20の下面2bには複数のランド2gが形成されている。配線基板20の下面2bは、絶縁膜（ソルダレジスト膜）2kにより覆われている。絶縁膜2kには開口部2kwが形成され、この開口部2kwにおいて、複数のランド2gの少なくとも一部（半田ボール5との接合部）が絶縁膜2kから露出している。

【0114】

また、図19に示すように、複数のボンディングリード2fと複数のランド2gは、複数の配線2dを介して、それぞれ電氣的に接続されている。これら複数の配線2d、複数

50

のボンディングリード 2 f および複数のランド 2 g などの導体パターンは、例えば、銅 (Cu) を主成分とする金属材料で形成される。また、複数の配線 2 d、複数のボンディングリード 2 f および複数のランド 2 g は例えば、電解めっき法により形成することができる。また、図 19 に示すように、4 層以上 (図 19 では 4 層) の配線層を有する配線基板 20 は、例えばビルドアップ工法により、形成することができる。

【0115】

< 第 1 接着材配置工程 >

次に、図 16 に示す第 1 接着材配置工程では、図 21 および図 22 に示すように、配線基板 20 の上面 2 a のチップ搭載領域 2 p 1 上に接着材 NCL1 を配置する。図 21 は図 13 に示すチップ搭載領域に接着材を配置した状態を示す拡大平面図、図 22 は図 21 の A-A 線に沿った拡大断面図である。なお、図 21 ではチップ搭載領域 2 p 1 およびチップ搭載領域 2 p 2 の位置を示すため、チップ搭載領域 2 p 1、2 p 2 の輪郭をそれぞれ 2 点鎖線で示すが、チップ搭載領域 2 p 1、2 p 2 は、上記の通りロジックチップ LC を搭載する予定領域なので、実際に視認可能な境界線が存在する必要はない。なお、以下、チップ搭載領域 2 p 1、2 p 2 を図示する場合には、同様に実際に視認可能な境界線が存在する必要はない。

10

【0116】

半導体チップをフェイスダウン実装方式 (フリップチップ接続方式) で配線基板上に搭載する場合、例えば、半導体チップと配線基板を電氣的に接続した後で接続部分を樹脂で封止する方式 (後注入方式) が行われる。この場合、半導体チップと配線基板の隙間の近傍に配置したノズルから樹脂を供給し、毛細管現象を利用して樹脂を隙間に埋め込む。

20

【0117】

本実施の形態において説明する例では、後述する第 1 チップ搭載工程でロジックチップ LC (図 8 参照) を配線基板 20 上に搭載する前に、接着材 NCL1 をチップ搭載領域 2 p 1 に配置し、接着材 NCL1 上からロジックチップ LC を押し付けて配線基板 20 と電氣的に接続する方式 (先塗布方式) で、ロジックチップ LC を搭載する。

【0118】

上記した後注入方式の場合、毛細管現象を利用して樹脂を隙間に埋め込むので、一つのデバイス領域 20 a に対する処理時間 (樹脂を注入する時間) が長くなる。一方、上記した先塗布方式の場合、ロジックチップ LC の先端 (例えば、図 6 に示す突起電極 7 b の先端に形成された半田材 7 a) とボンディングリード 2 f の接合部が接触した時点で、既に配線基板 20 とロジックチップ LC の間には、接着材 NCL1 が埋め込まれている。したがって、上記した後注入方式と比較して、一つのデバイス領域 20 a に対する処理時間を短縮し、製造効率を向上させることができる点で好ましい。

30

【0119】

ただし、本実施の形態に対する変形例としては図 16 に示す第 1 チップ搭載工程と第 1 接着材配置工程の順番を前後させて、後注入方式を適用することができる。例えば、一括して形成する製品形成領域が少ない場合には、処理時間の差は小さくなるので、後注入方式を用いた場合でも、製造効率の低下を抑制できる。

【0120】

また、先塗布方式で使用する接着材 NCL1 は、上記したように、絶縁性 (非導電性) の材料 (例えば樹脂材料) から成り、ロジックチップ LC (図 6 参照) と配線基板 20 の接合部に接着材 NCL1 を配置することで、接合部に設けられている複数の導電性部材 (図 6 に示す接合材 7 およびボンディングリード 2 f) の間を電氣的に絶縁することができる。

40

【0121】

また、接着材 NCL1 はエネルギーを加えることで硬さ (硬度) が硬くなる (高くなる) 樹脂材料で構成され、本実施の形態では、例えば熱硬化性樹脂を含んでいる。また、硬化前の接着材 NCL1 は図 6 に示す接合材 7 よりも柔らかく、ロジックチップ LC を押し付けることにより変形させられる。

50

【 0 1 2 2 】

また、硬化前の接着材 N C L 1 は、ハンドリング方法の違いから、以下の 2 通りに大別される。一つは、N C P (Non-Conductive Paste) と呼ばれるペースト状の樹脂 (絶縁材ペースト) から成り、図示しないノズルからチップ搭載領域 2 p 1 に塗布する方式がある。もう一つは、N C F (Non-Conductive Film) と呼ばれる、予めフィルム状に成形された樹脂 (絶縁材フィルム) から成り、フィルム状態のままチップ搭載領域 2 p 1 に搬送し、貼り付ける方法がある。絶縁材ペースト (N C P) を使用する場合、絶縁材フィルム (N C F) のように貼り付ける工程が不要なので、絶縁材フィルムを使用する場合よりも半導体チップ等と与えるストレスを小さくすることができる。一方、絶縁材フィルム (N C F) を使用する場合、絶縁材ペースト (N C P) よりも保形性が高いので、接着材 N C L 1 を配置する範囲や厚さを制御し易い。

10

【 0 1 2 3 】

図 2 1 および図 2 2 に示す例では、絶縁材フィルム (N C F) である接着材 N C L 1 をチップ搭載領域 2 p 1 上に配置して、配線基板 2 0 の上面 2 a と密着するように貼り付けた例を示している。ただし、図示は省略するが、変形例としては、絶縁材ペースト (N C P) を用いることもできる。

【 0 1 2 4 】

< 第 1 チップ準備工程 >

また、図 1 6 に示す第 1 チップ準備工程では、図 1 0 および図 1 1 に示すロジックチップ L C を準備する。図 2 3 は、図 6 に示す貫通電極を備えた半導体チップの製造工程の概要を模式的に示す説明図である。また、図 2 4 は図 2 3 に続く半導体チップの製造工程の概要を模式的に示す説明図である。なお、図 2 3 および図 2 4 では、貫通電極 3 t s v および貫通電極 3 t s v と電気的に接続される裏面電極 3 b p の製造方法を中心に説明し、貫通電極 3 t s v 以外の各種回路の形成工程については図示および説明を省略する。また、図 2 3 および図 2 4 に示す半導体チップの製造方法は、図 4 に示すロジックチップ L C の他、再配線チップ R D C やメモリチップ M C 1、M C 2、M C 3 の製造方法にも適用することができる。

20

【 0 1 2 5 】

まず、ウエハ準備工程として、図 2 3 に示すウエハ (半導体基板) W H を準備する。ウエハ W H は、例えばシリコン (S i) から成る半導体基板であって、平面視において円形を成す。ウエハ W H は、半導体素子形成面である表面 (主面、上面) W H s および表面 W H s の反対側の裏面 (主面、下面) W H b を有する。また、ウエハ W H の厚さは、図 4 に示すロジックチップ L C、再配線チップ R D C やメモリチップ M C 1、M C 2、M C 3 の厚さよりも厚く、例えば数百 μ m 程度である。

30

【 0 1 2 6 】

次に、孔形成工程として、図 6 に示す貫通電極 3 t s v を形成するための孔 (穴、開口部) 3 t s h を形成する。図 2 3 に示す例では、マスク 2 5 をウエハ W H の表面 W H s 上に配置して、エッチング処理を施すことにより孔 3 t s h を形成する。なお、図 4 に示すロジックチップ L C やメモリチップ M C 1、M C 2、M C 3 の半導体素子は、例えば本工程の後で、かつ、次の配線層形成工程の前に形成することができる。

40

【 0 1 2 7 】

次に、孔 3 t s h 内に例えば銅 (C u) などの金属材料を埋め込んで貫通電極 3 t s v を形成する。次に、配線層形成工程として、ウエハ W H の表面 W H s 上に配線層 (チップ配線層) 3 d を形成する。本工程では、図 6 に示す複数の表面電極 3 a p を形成し、複数の貫通電極 3 t s v と複数の表面電極 3 a p をそれぞれ電気的に接続する。なお、再配線チップ R D C の場合には、表面電極 3 a p と貫通電極 3 t s v を接続する、引出配線 R D L (図 1 2 参照) を形成する。引出配線 R D L は表面電極 3 a p を形成する際に、一括して形成することができる。また、本工程では、図 4 に示すロジックチップ L C やメモリチップ M C 1、M C 2、M C 3 の半導体素子と図 6 に示す複数の表面電極 3 a p を、配線層 3 d を介して電気的に接続する。再配線チップ R D C の場合、半導体素子を形成しない場

50

合には、配線層 3 d を形成する工程は省略し、引出配線 R D L を形成する工程に置き換えることができる。これにより、ロジックチップ L C やメモリチップ M C 1、M C 2、M C 3 の半導体素子は配線層 3 d を介して電氣的に接続される。

【 0 1 2 8 】

次に、突起電極形成工程として、表面電極 3 a p (図 6) 上に突起電極 7 b を形成する。また、突起電極 7 b の先端に半田材 7 a を形成する。この半田材 7 a が、図 6 に示す半導体チップ 3 を配線基板 2、または下層の半導体チップ 3 上に搭載する際の接合材として機能する。なお、図 6 に示す例では、ロジックチップ L C と配線基板 2 の接合部以外では、突起電極 7 b を介さずに、半田材 7 a を介して接合する例を示している。この場合、表面電極 3 a p の露出面に半田材 7 a を接合し、半田材 7 a をバンプ電極 (所謂マイクロバンプ) として用いることができる。

10

【 0 1 2 9 】

次に、図 2 4 に示す裏面研磨工程として、ウエハ W H の裏面 W H b (図 2 3 参照) 側を研磨し、ウエハ W H の厚さを薄くする。これにより、図 6 に示す半導体チップ 3 の裏面 3 b が露出する。言い換えると、貫通電極 3 t s v はウエハ W H を厚さ方向に貫通する。また、複数の貫通電極 3 t s v は、ウエハ W H の裏面 3 b においてウエハ W H から露出する。図 2 4 に示す例において、裏面研磨工程では、ガラス板などの支持基材 2 6 および表面 W H s 側を保護する保護層 2 7 によりウエハ W H を支持した状態で、研磨治具 2 8 を用いて研磨する。

【 0 1 3 0 】

20

次に、裏面電極形成工程において、裏面 3 b に複数の裏面電極 3 b p を形成し、複数の貫通電極 3 t s v と電氣的に接続する。なお、図 4 に示す再配線チップ R D C の場合には、本工程において、貫通電極 3 t s v と、裏面電極 3 b p を電氣的に接続する引出配線 R D L (図 1 3 参照) を形成する。引出配線 R D L は裏面電極 3 b p を形成する際に、一括して形成することができる。

【 0 1 3 1 】

次に個片化工程として、ウエハ W H をダイシングラインに沿って分割し、複数の半導体チップ 3 を取得する。その後、必要に応じて検査を行い、図 4 に示す半導体チップ 3 (ロジックチップ L C、再配線チップ R D C やメモリチップ M C 1、M C 2、M C 3) が得られる。

30

【 0 1 3 2 】

< 第 1 チップ搭載工程 >

次に、図 1 6 に示す第 1 チップ搭載工程では、図 2 5 や図 2 6 に示すように、ロジックチップ L C を配線基板 2 上に搭載する。図 2 5 は図 1 6 に示す配線基板のチップ搭載領域上にロジックチップ L C を搭載した状態を示す拡大平面図である。また、図 2 6 は、図 2 5 の A - A 線に沿った拡大断面図である。

【 0 1 3 3 】

本工程では、図 2 6 に示すように、ロジックチップ L C の表面 3 a が配線基板 2 の上面 2 a と対向するように、所謂フェイスダウン実装方式 (フリップチップ接続方式) によりロジックチップ L C を搭載する。また、本工程によりロジックチップ L C と配線基板 2 は電氣的に接続される。詳しくは、ロジックチップ L C の表面に形成された複数の表面電極 3 a p と配線基板 2 の上面 2 a に形成された複数のボンディングリード 2 f は、突起電極 7 b (図 6 参照) および半田材 7 a (図 6 参照) を介して電氣的に接続される。

40

【 0 1 3 4 】

本工程では、図 2 6 に示すように、配線基板 2 0 のチップ搭載領域 2 p 1 上にロジックチップ L C (半導体チップ 3) を配置する。ロジックチップ L C の表面 3 a 側には接合材 7 が形成されている。一方、配線基板 2 0 の上面 2 a に形成されたボンディングリード 2 f の接合部には、図 6 に示す突起電極 7 b と電氣的に接続するための接合材である半田層 (図示は省略) が形成されている。また、加熱処理を行う前であれば、接着材 N C L 1 は硬化前の柔らかい状態である。このため、ロジックチップ L C を接着材 N C L 1 上に配置

50

すると、接合材 7 は接着材 N C L 1 の内部に埋まる。

【 0 1 3 5 】

次に、図示しない加熱治具をロジックチップ L C の裏面 3 b 側に押し当て、配線基板 2 0 に向かってロジックチップ L C を押し付ける。上記したように、加熱処理を行う前であれば、接着材 N C L 1 は硬化前の柔らかい状態なので、加熱治具によりロジックチップ L C を押し込むと、ロジックチップ L C の表面 3 a に形成された複数の接合材 7 の先端は、ボンディングリード 2 f のボンディング領域（詳しくは図示しない半田層）と接触する。

【 0 1 3 6 】

次に、図示しない加熱治具にロジックチップ L C が押し付けられた状態で、加熱治具によりロジックチップ L C および接着材 N C L 1 を加熱する。ロジックチップ L C と配線基板 2 0 の接合部では、半田材 7 a（図 2 3 参照）およびボンディングリード 2 f 上の図示しない半田層がそれぞれ溶融し、一体化する。これにより、図 6 に示すように、突起電極 7 b とボンディングリード 2 f は、半田材 7 a を介して電氣的に接続される。

【 0 1 3 7 】

また、接着材 N C L 1 を加熱することで、接着材 N C L 1 は硬化する。これにより、ロジックチップ L C の一部が埋め込まれた状態で硬化した接着材 N C L 1 が得られる。また、ロジックチップ L C の裏面電極 3 b p は、硬化した接着材 N C L 1 から露出する。

【 0 1 3 8 】

< 第 2 接着材配置工程 >

次に、図 1 6 に示す第 2 接着材配置工程では、図 2 7 に示すように、ロジックチップ L C（半導体チップ 3）の裏面 3 b 上およびロジックチップ L C から露出する接着材 N C L 1 上に、接着材 N C L 2 を配置する。図 2 7 は図 2 5 に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図、図 2 8 は図 2 7 の A - A 線に沿った拡大断面図である。

【 0 1 3 9 】

上記した図 6 に示すように、本実施の形態の半導体装置 1 は、積層される複数の半導体チップ 3 の内、最下段（例えば第 1 段目）に搭載されるロジックチップ L C、および下段から数えて第 2 段目に搭載される再配線チップ R D C、および下段から数えて第 3 段目に搭載されるメモリチップ M C 1 は、いずれもフリップチップ接続方式で搭載される。このため、上記した第 1 接着材配置工程で説明したように、変形例としては後注入方式を適用することもできるが、一つのデバイス領域 2 0 a（図 2 7、図 2 8 参照）に対する処理時間を短縮し、製造効率を向上させることができる点で、上記した先塗布方式を適用することが好ましい。

【 0 1 4 0 】

また、先塗布方式で使用する接着材 N C L 2 は、上記したように、絶縁性（非導電性）の材料（例えば樹脂材料）から成り、ロジックチップ L C（図 6 参照）と再配線チップ R D C（図 6 参照）の接合部に接着材 N C L 2 を配置することで、接合部に設けられている複数の導電性部材（例えば、図 6 に示す接合材 7 および裏面電極 3 b p）の間を電氣的に絶縁することができる。

【 0 1 4 1 】

また、接着材 N C L 2 はエネルギーを加えることで硬さ（硬度）が硬くなる（高くなる）樹脂材料で構成され、本実施の形態では、例えば熱硬化性樹脂を含んでいる。また、硬化前の接着材 N C L 2 は図 6 に示す溶融前の接合材 7 よりも柔らかく、再配線チップ R D C を押し付けることにより変形させられる。

【 0 1 4 2 】

また、本工程で使用する接着材 N C L 2 としては、上記下 N C P（絶縁材ペースト）および N C F（絶縁材フィルム）のいずれか一方を用いることができる。図 2 7 および図 2 8 に示す例では、N C P（絶縁材ペースト）をノズル 3 0（図 2 8 参照）から吐出して、ロジックチップ L C の裏面 3 b 上およびロジックチップ L C から露出する接着材 N C L 1 上に、接着材 N C L 2 を配置する。

【 0 1 4 3 】

なお、ノズル 3 0 からペースト状の接着材 N C L 2 を吐出する点に関しては、上記第 1 接着材配置工程で説明した、後注入方式と共通する。しかし、本実施の形態では、図 4 に示すメモリチップ M C 1 を搭載する前に、予め接着材 N C L 2 を搭載する。したがって、毛細管現象を利用して樹脂を注入する後注入方式と比較すると、接着材 N C L 2 の塗布速度は大幅に向上させることができる。

【 0 1 4 4 】

絶縁材ペースト (N C P) は、絶縁材フィルム (N C F) と比較して、低荷重で塗布対象物 (本工程ではロジックチップ L C) と密着させることができる。したがって、本工程の際に既に搭載されたロジックチップ L C へのストレスを低減する観点からは、絶縁材ペースト (N C P) の方が好ましい。ただし、図示は省略するが、変形例としては、接着材 N C L 2 として絶縁材フィルム (N C F) を用いることもできる。

10

【 0 1 4 5 】

図 2 7 に示す例では、平面視において四角形を成すロジックチップ L C の対角線に沿ってロジックチップ L C の裏面 3 b 上に接着材 N C L 2 を帯状に塗布する。このように、接着材 N C L 2 の塗布領域に、互いに交差する 2 本の帯形状を成すように、ペースト状の接着材 N C L 2 を塗布する方式 (クロス塗布方式と呼ぶ) は、後述する第 2 チップ搭載工程において、接着材 N C L 2 を均等に拡げ易いという点で好ましい。ただし、後述する第 2 チップ搭載工程において、隙間が生じないように接着材 N C L 2 を拡げることができる方法であれば、図 2 7 とは異なる塗布方法を用いることもできる。

20

【 0 1 4 6 】

< 第 2 チップ準備工程 >

また、図 1 6 に示す第 2 チップ準備工程では、図 1 2 および図 1 3 に示す再配線チップ R D C を準備する。再配線チップ R D C には、表面 3 a に形成される複数の表面電極 3 a p および裏面 3 b に形成される複数の裏面電極 3 b p、および複数の表面電極 3 a p と複数の裏面電極 3 b p を電氣的に接続する複数の貫通電極 3 t s v が形成される。また、複数の表面電極 3 a p と複数の裏面電極 3 b p の少なくとも一部は、平面視において異なる位置 (例えば、図 6 に示すように厚さ方向に重ならない位置) に配置されている。図 1 2 および図 1 3 に示す例では、メモリチップ M C 1、M C 2、M C 3、M C 4 に回路駆動用の電位 (駆動用電源電圧) を供給する複数対の表面電極 3 a p と裏面電極 3 b p は、平面視において同じ位置 (例えば、図 6 に示すように厚さ方向に重なる位置) に配置されている。また、再配線チップ R D C には、表面 3 a または裏面 3 b のいずれか一方または両方に、表面電極 3 a p または裏面電極 3 b p と貫通電極 3 t s v を電氣的に接続する引出配線 R D L が形成されている。

30

【 0 1 4 7 】

再配線チップ R D C の製造方法は、上記したように、第 1 チップ準備工程で説明した工程を適用して製造できるので、重複する説明は省略する。なお、図 1 2 および図 1 3 に示す再配線チップ R D C の引出配線 R D L は、図 2 3 に示す配線層形成工程および図 2 4 に示す裏面電極形成工程で形成することができる。また、表面 3 a または裏面 3 b の一方に引出配線 R D L を形成する場合には、図 2 3 に示す配線層形成工程または図 2 4 に示す裏面電極形成工程の一方を省略できる。また、第 1 チップ準備工程で説明した工程を適用すれば、再配線チップ R D C に半導体素子を形成し、回路を形成することもできる。

40

【 0 1 4 8 】

< 第 2 チップ搭載工程 >

次に、図 1 6 に示す第 2 チップ搭載工程では、図 2 9 や図 3 0 に示すように、ロジックチップ L C 上に再配線チップ R D C を搭載する。図 2 9 は図 2 7 に示すロジックチップの裏面上に再配線チップを搭載した状態を示す拡大平面図である。また、図 3 0 は、図 2 9 の A - A 線に沿った拡大断面図である。

【 0 1 4 9 】

本工程では、図 3 0 に示すように、再配線チップ R D C の表面 3 a がロジックチップ L

50

Cの裏面3b(あるいは、配線基板20の上面2a)と対向するように、所謂フェイスダウン実装方式(フリップチップ接続方式)により再配線チップRDCを搭載する。また、本工程により再配線チップRDCとロジックチップLCは電氣的に接続される。詳しくは、図6に示すように、再配線チップRDCの表面3aに形成された複数の表面電極3apとロジックチップLCの裏面3bに形成された複数の裏面電極3bpは、接合材7(半田材7a)を介して電氣的に接続される。

【0150】

本工程では、図29に示すように、配線基板20のチップ搭載領域(チップ搭載部)2p2上に再配線チップRDC(半導体チップ3)を配置する。チップ搭載領域2p2は、本工程で再配線チップRDCを搭載する予定領域であって、第1チップ搭載工程で説明したチップ搭載領域2p1と同様に実際に視認可能な境界線が存在する必要はない。再配線チップRDCの表面3a側には接合材7が形成されている。接合材7は再配線チップRDCの複数の表面電極3apのそれぞれに接合されている。また、図示は省略するが、ロジックチップLCの複数の裏面電極3bpにも接合材7を接合させておくこともできる。本工程では、再配線チップRDCの複数の表面電極3apのそれぞれと、ロジックチップLCの複数の裏面電極3bpのそれぞれが対向するように配置する。

【0151】

次に、図示しない加熱治具を再配線チップRDCの裏面3b側に押し当て、配線基板20に向かって再配線チップRDCを押し付ける。加熱処理を行う前であれば、接着材NCL2は硬化前の柔らかい状態なので、加熱治具により再配線チップRDCを押し込むと、図28に示す接着材NCL2はロジックチップLCの裏面3bと再配線チップRDCの間で押し広げられる。また、再配線チップRDCの表面3aに形成された複数の接合材7の先端は、ロジックチップLCの裏面電極3bp(あるいは裏面電極3bp上に形成された図示しない半田材)と接触する。

【0152】

次に、図示しない加熱治具に再配線チップRDCが押し付けられた状態で、加熱治具により再配線チップRDCおよび接着材NCL2を加熱する。再配線チップRDCとロジックチップLCの接合部では、半田材7aが溶融し表面電極3apおよび裏面電極3bpに接合される。これにより、図6に示すように、再配線チップRDCの複数の表面電極3apと、ロジックチップLCの複数の裏面電極3bpは、接合材7(半田材7a)を介して電氣的に接続される。また、ロジックチップLCの複数の裏面電極3bpはそれぞれロジックチップLCの複数の貫通電極3tsvと電氣的に接続されているので、本工程により再配線チップRDCは、ロジックチップLCの複数の貫通電極3tsvを介してロジックチップLCに形成された回路と電氣的に接続される。

【0153】

また、接着材NCL2を加熱することで、接着材NCL2は硬化する。これにより、再配線チップRDCの一部が埋め込まれた状態で硬化した接着材NCL2が得られる。また、再配線チップRDCの裏面電極3bpは、硬化した接着材NCL2から露出する。

【0154】

<第3接着材配置工程>

次に、図16に示す第3接着材配置工程では、図31に示すように、再配線チップRDC(半導体チップ3)の裏面3b上に、接着材NCL3を配置する。図31は図29に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図、図32は図31のA-A線に沿った拡大断面図である。

【0155】

上記した図6に示すように、本実施の形態の半導体装置1は、積層される複数の半導体チップ3の内、最下段(例えば第1段目)に搭載されるロジックチップLC、および下段から数えて第2段目に搭載される再配線チップRDC、および下段から数えて第3段目に搭載されるメモリチップMC1は、いずれもフリップチップ接続方式で搭載される。このため、上記した第1接着材配置工程で説明したように、変形例としては後注入方式を適用

することもできるが、一つのデバイス領域 20a (図31参照) に対する処理時間を短縮し、製造効率を向上させることができる点で、上記した先塗布方式を適用することが好ましい。

【0156】

また、先塗布方式で使用する接着材 NCL3 は、上記したように、絶縁性 (非導電性) の材料 (例えば樹脂材料) から成り、再配線チップ RDC (図6参照) とメモリチップ MC1 (図6参照) の接合部に接着材 NCL3 を配置することで、接合部に設けられている複数の導電性部材 (例えば、図6に示す接合材7および裏面電極3bp) の間を電氣的に絶縁することができる。

【0157】

また、接着材 NCL3 はエネルギーを加えることで硬さ (硬度) が硬くなる (高くなる) 樹脂材料で構成され、本実施の形態では、例えば熱硬化性樹脂を含んでいる。また、硬化前の接着材 NCL3 は図6に示す溶融前の接合材7よりも柔らかく、再配線チップ RDC を押し付けることにより変形させられる。

【0158】

また、本工程で使用する接着材 NCL3 としては、上記下 NCP (絶縁材ペースト) および NCF (絶縁材フィルム) のいずれか一方を用いることができる。図31および図32に示す例では、再配線チップ RDC の裏面3b上に NCF (絶縁材フィルム) である接着材 NCL3 を配置する。NCF (絶縁材フィルム) を使用する場合、本工程において、再配線チップ RDC の裏面3bに形成された裏面電極3bp および引出配線 RDL が接着材 NCL3 に覆われ、密着するように配置する。

【0159】

< 第3チップ準備工程 >

また、図16に示す第3チップ準備工程では、図4に示すメモリチップ MC1、MC2、MC3、MC4 の積層体 MCS を準備する。本実施の形態に対する変形例としては、ロジックチップ LC 上にメモリチップ MC1、MC2、MC3、MC4 を順次積層することができる。しかし、本実施の形態では、メモリチップ MC1、MC2、MC3、MC4 を予め積層して、図34に示す積層体 (メモリチップ積層体、半導体チップ積層体) MCS を形成する実施態様について説明する。以下で説明するように、メモリチップ MC1、MC2、MC3、MC4 の積層体 MCS を形成する場合、例えば、図16に示す第3チップ準備工程以外の工程とは別の場所で、他の工程とは独立して行うことができる。例えば、積層体 MCS は、購入部品として準備することも可能である。このため、図16に示す組立工程を簡略化し、全体として製造効率を向上させることができる点で有利である。

【0160】

図33は、図4に示すメモリチップの積層体の組立工程の概要を模式的に示す説明図である。また、図34は図33に続くメモリチップの積層体の組立工程の概要を模式的に示す説明図である。なお、図33および図34に示す複数のメモリチップ MC1、MC2、MC3、MC4 のそれぞれの製造方法は、図23および図24を用いて説明した半導体チップの製造方法を適用して製造することができるので、説明を省略する。

【0161】

まず、組立基材準備工程として、図34に示す積層体 MCS を組み立てるための基材 (組立基材) 34 を準備する。基材34は、複数のメモリチップ MC1、MC2、MC3、MC4 を積層する組立面34aを有し、組立面34aには、接着層35が設けられている。

【0162】

次にチップ積層工程として、メモリチップ MC1、MC2、MC3、MC4 を基材34の組立面34a上に積層する。図33に示す例では、積層される各半導体チップの裏面3bが基材34の組立面34aと対向するように、メモリチップ MC4、MC3、MC2、MC1 の順で、順次積層される。上段側の半導体チップ3の裏面電極3bp と下段側の半導体チップ3の表面電極3ap は、例えば接合材7 (半田材7a) により接合される。ま

10

20

30

40

50

た、最上段に配置されるメモリチップMC1の表面電極3apには、突起電極7bおよび突起電極7bの先端接合される半田材7aが形成されている。

【0163】

次に、図34に示す積層体封止工程では、積層された複数の半導体チップ3の間に、樹脂（アンダフィル樹脂）を供給し、封止体（チップ積層体用封止体、チップ積層体用樹脂体）6を形成する。この封止体6は、上記第1接着材配置工程で説明した、後注入方式により形成される。すなわち、予め複数の半導体チップ3を積層した後、ノズル36からアンダフィル樹脂6aを供給し、積層された複数の半導体チップ3の間に埋め込む。アンダフィル樹脂6aは図16に示す封止工程で使用する封止用の樹脂よりも粘度が低く、毛細管現象を利用して複数の半導体チップ3の間に埋め込むことができる。その後、半導体チップ3の間に埋め込まれたアンダフィル樹脂6aを硬化させて封止体6を得る。

10

【0164】

この後注入方式で封止体6を形成する方法は、所謂、トランスファモールド方式と比較して隙間の埋め込み特性に優れているため、積層された半導体チップ3の間の隙間が狭い場合に適用して有効である。また、図34に示すようにアンダフィル樹脂6aを埋め込む隙間が複数段に形成されている場合、複数の隙間に対して一括してアンダフィル樹脂6aを埋め込むことができる。このため、全体としては処理時間を短縮できる。

【0165】

次に、組立基材除去工程では、基材34および接着層35を、メモリチップMC4の裏面3bから剥離させて取り除く。基材34と接着層35を取り除く方法としては、例えば接着層35に含まれる樹脂成分（例えば紫外線硬化樹脂）を硬化させる方法を適用することができる。以上の工程により、複数のメモリチップMC1、MC2、MC3、MC4が積層され、各メモリチップMC1、MC2、MC3、MC4の接続部が封止体6により封止された積層体MCSが得られる。この積層体MCSは、複数の表面電極3apが形成された表面3a（メモリチップMC1の表面3a）および表面3aの反対側に位置する裏面3b（メモリチップMC4の裏面3b）を有する一つのメモリチップと見做すことができる。

20

【0166】

<第3チップ搭載工程>

次に、図16に示す第3チップ搭載工程では、図35や図36に示すように、ロジックチップLC上に再配線チップRDCを搭載する。図35は図31に示す再配線チップの裏面上にメモリチップの積層体を搭載した状態を示す拡大平面図である。また、図36は、図35のA-A線に沿った拡大断面図である。

30

【0167】

本工程では、図36に示すように、積層体MCSの表面3aが再配線チップRDCの裏面3b（あるいは、配線基板20の上表面2a）と対向するように、所謂フェイスダウン実装方式（フリップチップ接続方式）により積層体MCSを搭載する。また、本工程により積層体MCSと再配線チップRDCは電氣的に接続される。詳しくは、図6に示すように、積層体MCSの表面3aに形成された複数の表面電極3apと再配線チップRDCの裏面3bに形成された複数の裏面電極3bpは、接合材7（半田材7a）を介して電氣的に接続される。

40

【0168】

本工程では、図35に示すように、配線基板20のチップ搭載領域（チップ搭載部）2p3上に積層体MCS（半導体チップ3）を配置する。チップ搭載領域2p3は、本工程で積層体MCSを搭載する予定領域であって、第1チップ搭載工程で説明したチップ搭載領域2p1と同様に実際に視認可能な境界線が存在する必要はない。積層体MCSの表面3a側には接合材7が形成されている。接合材7は積層体MCSの複数の表面電極3apのそれぞれに接合されている。また、図示は省略するが、再配線チップRDCの複数の裏面電極3bpにも接合材7を接合させておくこともできる。本工程では、積層体MCSの複数の表面電極3apのそれぞれと、再配線チップRDCの複数の裏面電極3bpのそれ

50

それぞれ対向するように配置する。

【0169】

次に、図示しない加熱治具を積層体MCSの裏面3b側に押し当て、配線基板20に向かって積層体MCSを押し付ける。加熱処理を行う前であれば、接着材NCL3は硬化前の柔らかい状態なので、加熱治具により積層体MCSを押し込むと、積層体MCSの表面3aに形成された複数の接合材7の先端は、再配線チップRDCの裏面電極3bp（あるいは裏面電極3bp上に形成された図示しない半田材）と接触する。

【0170】

次に、図示しない加熱治具に積層体MCSが押し付けられた状態で、加熱治具により積層体MCSおよび接着材NCL3を加熱する。積層体MCSと再配線チップRDCの接合部では、半田材7aが熔融し表面電極3apおよび裏面電極3bpに接合される。これにより、図6に示すように、積層体MCSの複数の表面電極3apと、再配線チップRDCの複数の裏面電極3bpは、接合材7（半田材7a）を介して電氣的に接続される。また、再配線チップRDCの複数の裏面電極3bpはそれぞれ再配線チップRDCの複数の貫通電極3tsvと電氣的に接続されているので、本工程により積層体MCSは、再配線チップRDCおよびロジックチップLCの複数の貫通電極3tsvを介してロジックチップLCに形成された回路と電氣的に接続される。

【0171】

また、接着材NCL3を加熱することで、接着材NCL3は硬化する。これにより、積層体MCSの一部が埋め込まれた状態で硬化した接着材NCL3が得られる。また、積層体MCSの裏面電極3bpは、硬化した接着材NCL3から露出する。

【0172】

<封止工程>

次に、図16に示す封止工程では、図37に示すように、配線基板20の上面2a、ロジックチップLC、再配線チップRDC、および複数のメモリチップMC1、MC2、MC3、MC4の積層体MCSを樹脂で封止して、封止体4を形成する。図37は図36に示す配線基板上に封止体を形成し、積層された複数の半導体チップを封止した状態を示す拡大断面図である。また、図38は、図37に示す封止体の全体構造を示す平面図である。

【0173】

本実施の形態では、図38に示すように、複数のデバイス領域20a（複数のデバイス領域20aにそれぞれ搭載された複数の半導体チップ）を一括して封止する封止体4を形成する。このような封止体4の形成方法は、一括封止（Block Molding）方式と呼ばれ、この一括封止方式により製造された半導体パッケージをMAP（Multi Array Package）型の半導体装置と呼ぶ。一括封止方式では、各デバイス領域20aの間隔を小さくすることができるので、1枚の配線基板20における有効面積が大きくなる。つまり、1枚の配線基板20から取得できる製品個数が増加する。このように、1枚の配線基板20における有効面積を大きくすることで、製造工程を効率化することができる。

【0174】

また、本実施の形態では、図示しない成形金型内に加熱軟化させた樹脂を圧入して成形した後、樹脂を熱硬化させる、所謂、トランスファモールド方式により形成する。トランスファモールド方式により形成された封止体4は、例えば、図37に示す積層体MCSを封止する封止体6のように、液状の樹脂を硬化させたものと比較して、耐久性が高いので、保護部材として好適である。また、例えば、シリカ（二酸化珪素； SiO_2 ）粒子などのフィラー粒子を熱硬化性樹脂に混合することで、封止体4の機能（例えば、反り変形に対する耐性）を向上させることができる。

【0175】

なお、本実施の形態では、積層される複数の半導体チップ3の接合部（電氣的接続部）は、接着材NCL1、NCL2、NCL3、および封止体6により封止されている。したがって、変形例としては、封止体4を形成しない実施態様に適用することができる。この

場合、本封止体工程は省略することができる。

【 0 1 7 6 】

< ボールマウント工程 >

次に、図 1 6 に示すボールマウント工程では、図 3 9 に示すように、配線基板 2 0 の下面 2 b に形成された複数のランド 2 g に、外部端子になる複数の半田ボール 5 を接合する。図 3 9 は、図 3 7 に示す配線基板の複数のランド上に半田ボールを接合した状態を示す拡大断面図である。

【 0 1 7 7 】

本工程では、図 3 9 に示すように配線基板 2 0 の上下を反転させた後、配線基板 2 0 の下面 2 b において露出する複数のランド 2 g のそれぞれの上に半田ボール 5 を配置した後、加熱することで複数の半田ボール 5 とランド 2 g を接合する。本工程により、複数の半田ボール 5 は、配線基板 2 0 を介して複数の半導体チップ 3 (ロジックチップ L C、再配線チップ R D C およびメモリチップ M C 1、M C 2、M C 3、M C 4) と電氣的に接続される。ただし、本実施の形態で説明する技術は、アレイ状に半田ボール 5 を接合した、所謂 B G A (Ball Grid Array) 型の半導体装置に限って適用させるものではない。例えば、本実施の形態に対する変形例としては、半田ボール 5 を形成せず、ランド 2 g を露出させた状態、あるいはランド 2 g に半田ボール 5 よりも薄く半田ペーストを塗布した状態で出荷する、所謂 L G A (Land Grid Array) 型の半導体装置に適用することができる。L G A 型の半導体装置の場合には、ボールマウント工程は省略することができる。

【 0 1 7 8 】

< 個片化工程 >

次に、図 1 6 に示す個片化工程では、図 4 0 に示すように、配線基板 2 0 をデバイス領域 2 0 a 毎に分割する。図 4 0 は図 3 9 に示す多数個取りの配線基板を個片化した状態を示す断面図である。本工程では、図 4 0 に示すように、ダイシングライン (ダイシング領域) 2 0 c に沿って配線基板 2 0 および封止体 4 を切断し、個片化された複数の半導体装置 1 (図 4 参照) を取得する。切断方法は特に限定されないが、図 4 0 に示す例では、ダイシングブレード (回転刃) 4 0 を用いてテープ材 (ダイシングテープ) 4 1 に接着固定された配線基板 2 0 および封止体 4 を、配線基板 2 0 の下面 2 b 側から切削加工して切断する実施態様を示している。ただし、本実施の形態で説明する技術は、複数のデバイス領域 2 0 a を備えた、多数個取り基板である配線基板 2 0 を用いる場合に限って適用させるものではない。例えば、半導体装置 1 個分に相当する配線基板 2 (図 4 参照) の上に複数の半導体チップ 3 を積層した半導体装置に適用することができる。この場合、個片化工程は省略することができる。

【 0 1 7 9 】

以上の各工程により、図 1 ~ 図 1 3 を用いて説明した半導体装置 1 が得られる。その後、外観検査や電氣的試験など、必要な検査、試験を行い、出荷、あるいは、図示しない実装基板に実装する。

【 0 1 8 0 】

(実施の形態 2)

上記実施の形態 1 では、ロジックチップ L C やメモリチップ M C 1 などの設計上の自由度を向上させることができる実施態様として、ロジックチップ L C とメモリチップ M C 1 の間に、再配線チップ R D C を配置し、再配線チップ R D C を介してロジックチップ L C とメモリチップ M C 1 を電氣的に接続する実施態様について説明した。本実施の形態 2 では、ロジックチップ L C と再配線チップ R D C を、それぞれ配線基板 2 上に並べて搭載する実施態様について説明する。なお、本実施の形態 2 では既に説明した実施の形態 1 との相違点を中心に説明し、重複する説明は原則として省略する。

【 0 1 8 1 】

図 4 1 は、図 4 に対する変形例である半導体装置の断面図である。また、図 4 2 は、図 4 1 に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。また、図 4 3 は、図 4 1 および図 4 2 に示す半導体装置の回路構成例を模式的

に示す説明図である。なお、図 4 1 では、見易さのため、端子数を少なくして示しているが、端子（ボンディングリード 2 f、ランド 2 g、半田ボール 5）の数は、図 4 1 に示す態様には限定されない。また、図 4 2 では、ロジックチップ LC とメモリチップ MC 4 の平面視における位置関係や平面サイズの違いを見易くするため、ロジックチップ LC および再配線チップ RDC の輪郭を、点線（ロジックチップ LC の輪郭の一部は実線）により示している。

【0182】

まず、半導体装置 1 c は、図 4 1 に示すようにロジックチップ LC と再配線チップ RDC が、厚さ方向に重ならないように隣り合って配線基板 2 上に搭載され、さらに、ロジックチップ LC および再配線チップ RDC と重なるように、積層体 MCS が再配線チップ RDC 上に積層されている点で、図 4 に示す半導体装置 1 と相違する。言い換えれば、図 4 2 に示すように、半導体装置 1 c は、ロジックチップ LC が搭載されるチップ搭載領域（チップ搭載部）2 p 1 と再配線チップ RDC が搭載されるチップ搭載領域（チップ搭載部）2 p 2 が平面視において重ならず、配線基板 2 の上面 2 a 側に、並べて配置されている。

10

【0183】

半導体装置 1 c のように、複数の半導体チップ 3 を配線基板 2 上に並べて搭載する場合、複数の半導体チップ 3 の積層厚さを薄くすることができる。したがって、半導体装置 1 c は、上記実施の形態 1 で説明した半導体装置 1（図 4 参照）よりも薄型化することができる。また、フェイスダウン実装方式（フリップチップ接続方式）で半導体チップ 3 を実装する場合、半導体チップ 3 上に実装するよりも配線基板 2 上に実装する方が、容易に実装することができる。

20

【0184】

また、図 4 1 に示すように半導体装置 1 c のロジックチップ LC と再配線チップ RDC は、それぞれ表面 3 a が配線基板 2 の上面 2 a と対向した状態で、フェイスダウン実装方式（フリップチップ接続方式）で配線基板 2 上に搭載されている。また、再配線チップ RDC 上には、複数のメモリチップ MC 1、MC 2、MC 3、MC 4 の積層体 MCS がフェイスダウン実装方式（フリップチップ接続方式）で配線基板 2 上に搭載されている。再配線チップ RDC 上と、複数のメモリチップ MC 1、MC 2、MC 3、MC 4 の積層体 MCS は、再配線チップ RDC に形成された複数の貫通電極 3 tsv を介して電氣的に接続されている。また、半導体装置 1 c は、ロジックチップ LC の複数の表面電極 3 ap と再配線チップ RDC の複数の表面電極 3 ap が、配線基板 2 が有する複数の配線 2 d を介して電氣的に接続されている点で図 4 に示す半導体装置 1 と相違する。

30

【0185】

半導体装置 1 c のようにロジックチップ LC と、メモリチップ MC 1、MC 2、MC 3、MC 4 の積層体 MCS が搭載された再配線チップ RDC を、配線基板 2 を介して電氣的に接続する場合の回路構成例を説明すると、例えば図 4 3 に示すようになる。図 4 3 に示す例では、ロジックチップ LC が有する内部インタフェース回路 NIF と再配線チップ RDC の中継回路 TC を結ぶ伝送経路の間に配線基板 2 が介在する。このため、配線基板 2 に形成された複数の配線 2 d（図 4 1 参照）により、ロジックチップ LC と再配線チップ RDC の電極（外部端子）の位置をアジャストすることができる。

40

【0186】

つまり、半導体装置 1 c の場合、ロジックチップ LC が有する内部インタフェース回路 NIF と、複数のメモリチップ MC 1、MC 2、MC 3、MC 4 の内部インタフェース回路 NIF を接続するために、ロジックチップ LC に貫通電極 3 tsv（図 6 参照）を形成する必要がない。このため、図 4 1 に示す例では、ロジックチップ LC には、表面 3 a 側と裏面 3 b 側を電氣的に接続する貫通電極 3 tsv（図 6 参照）が存在しない。また、ロジックチップ LC の裏面 3 b には裏面電極 3 bp（図 6 参照）が形成されていない。このため、半導体装置 1 c の場合、上記した半導体装置 1 よりもロジックチップ LC の構造を単純化することが可能なので、設計上の自由度が向上する。また、ロジックチップ LC を

50

製造する段階で、貫通電極 3 t s v や裏面電極 3 b p を形成する工程を省略できるので、製造効率を向上させることができる。

【 0 1 8 7 】

ただし、図 4 1 に示すように、ロジックチップ L C の裏面 3 b の一部が、積層体 M C S から露出する場合、裏面 3 b の露出領域上に、別の電子部品（例えば半導体チップ 3 ）をフェイスダウン実装方式（フリップチップ接続方式）で搭載する実施態様に適用することもできる。この場合、ロジックチップ L C に例えば図 6 に示すような貫通電極 3 t s v および裏面電極 3 b p を接続することで、ロジックチップ L C 上に搭載される図示しない電子部品と、ロジックチップ L C を電氣的に接続することができる。

【 0 1 8 8 】

また、ロジックチップ L C と再配線チップ R D C の電極（外部端子）の位置を配線基板 2 によりアジャストすれば、例えば図 4 2 に示すように半導体装置 1 c が有する再配線チップ R D C の平面サイズを図 3 に示す半導体装置 1 が有する再配線チップ R D C の平面サイズよりも小さくできる。図 4 2 に示す例では、再配線チップ R D C の平面サイズは、メモリチップ M C 4 の平面サイズ、およびロジックチップ L C の平面サイズよりも小さい。また、図 4 1 に示す例では、再配線チップ R D C は、表面 3 a および裏面 3 b にそれぞれ引出配線 R D L が形成されているが、変形例として、引出配線 R D L が形成されない構成とすることができる。この場合、再配線チップ R D C の平面サイズをさらに小型化することができる。ただし、引出配線 R D L を再配線チップ R D C に形成しない場合は、メモリチップの表面電極 3 a p のレイアウトに合わせて配線基板 2 の上面 2 a に複数のボンディングリード 2 f を形成しなければならない。そのため、複数のボンディングリード 2 f の容易な設計（レイアウト）も考慮した場合は、上記実施の形態のように、再配線チップ R D C に引出配線 R D L を形成しておくことが好ましい。

【 0 1 8 9 】

再配線チップ R D C の平面サイズを小型化すれば、再配線チップ R D C の製造効率は向上するが、再配線チップ R D C 上に積層体 M C S を搭載する際には、積層体 M C S が安定し難くなる。そこで、図 4 1 および図 4 2 に示すように、メモリチップ M C 1 の表面 3 a と配線基板 2 の上面 2 a の間に、ロジックチップ L C の少なくとも一部を配置することが好ましい。言い換えれば、ロジックチップ L C の少なくとも一部は、メモリチップ M C 1 により覆われていることが好ましい。これにより、再配線チップ R D C 上に積層体 M C S を搭載する際に積層体 M C S を接着固定する接着材 N C L 3 の配置範囲を、再配線チップ R D C の裏面 3 b およびロジックチップ L C の裏面 3 b 上に広げることができるので、積層体 M C S が実装時に傾き難くなる。つまり、再配線チップ R D C 上に積層体 M C S を搭載する際の安定性が向上する。

【 0 1 9 0 】

再配線チップ R D C 上に積層体 M C S を搭載する際の安定性を向上させる観点からは、再配線チップ R D C の裏面 3 b の高さがロジックチップ L C の裏面 3 b の高さと同程度になっていれば良い。しかし、積層体 M C S を搭載する際に、メモリチップ M C 1 の表面 3 a がロジックチップ L C の裏面 3 b 等と例えば接触して損傷することを抑制する観点から、図 4 1 に示すように再配線チップ R D C の裏面 3 b の高さがロジックチップ L C の裏面 3 b の高さよりも高くなっていることが好ましい。再配線チップ R D C と積層体 M C S は複数の接合材 7（図 6 参照）を介して接続されるので、メモリチップ M C 1 の表面 3 a と再配線チップ R D C の裏面 3 b は接触し難い。しかし、メモリチップ M C 1 の表面 3 a とロジックチップ L C の裏面 3 b の間には接合材 7 が存在しないので、再配線チップ R D C の裏面 3 b よりも低い位置にロジックチップ L C の裏面 3 b を配置することが好ましい。

【 0 1 9 1 】

また、図 4 3 に示す例では、ロジックチップ L C の入出力回路 N S 1 を駆動する電源回路（入出力用電源回路）D R 1 に接続される電源線 V 2 と、メモリチップ M C 1、M C 2、M C 3、M C 4 の入出力回路 N S 2 を駆動する電源回路（入出力用電源回路）D R 3 に接続される電源線 V 4 をそれぞれ独立して配線基板 2 に接続している。半導体装置 1 c の

場合、再配線チップ R D C とロジックチップ L C が、それぞれ配線基板 2 に接続されるので、電源線 V 2、V 4 をそれぞれ独立して設けても、ロジックチップ L C に形成される端子数（電極数）は増加しない。

【 0 1 9 2 】

また、半導体装置 1 c の場合、メモリチップ M C 1、M C 2、M C 3、M C 4 の入出力回路 N S 2 を駆動する電源回路（入出力用電源回路）D R 3 に接続される電源線 V 4、およびメモリチップ M C 1、M C 2、M C 3、M C 4 のコア回路 C R 2 を駆動する電源回路（入出力用電源回路）D R 4 に接続される電源線 V 3 が、それぞれ配線基板 2 に接続され、ロジックチップ L C には接続されない。このため、電源の供給源と電源を消費する回路間の伝送距離をさらに短くすることが可能となり、瞬間的な電圧降下などによる動作の不安定化を抑制することができる点で好ましい。

10

【 0 1 9 3 】

上記した相違点以外は、図 4 1 ~ 図 4 3 に示す半導体装置 1 c は図 3 ~ 図 5 に示す半導体装置 1 と同様なので、重複する説明は省略する。また、半導体装置 1 c の製造方法は、上記実施の形態 1 で説明した図 1 6 に示す第 2 接着材配置工程で、チップ搭載領域 2 p 1（図 4 2 参照）の隣に配置されるチップ搭載領域 2 p 2（図 4 2 参照）に接着材 N C L 2 を配置する点で半導体装置 1 の製造方法と相違する。また、図 1 6 に示す第 2 チップ搭載工程で、再配線チップ R D C と配線基板 2 を電気的に接続する点で半導体装置 1 の製造方法と相違する。上記相違点以外では、上記実施の形態 1 で説明した半導体装置の製造方法を適用することができるので、重複する説明は省略する。

20

【 0 1 9 4 】

< その他の変形例 >

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 9 5 】

例えば上記実施の形態 1 および上記実施の形態 2 では、引出配線 R D L（図 6 参照）などの導体パターンにより構成される単純な中継回路 T C（図 5 参照）のみが形成された再配線チップ R D C（図 6 参照）を用いる実施態様について説明した。しかし変形例として、例えば図 4 4 に示す半導体装置 1 d のように、再配線チップ R D C に、中継回路 T C の他、メモリチップ M C 1、M C 2、M C 3、M C 4 の主記憶回路 M M の動作を制御する制御回路 C U 1 の一部を形成することができる。図 4 4 は図 5 に対する変形例である半導体装置の回路構成例を模式的に示す説明図である。

30

【 0 1 9 6 】

図 4 4 に示す半導体装置 1 d が有する再配線チップ R D C には、中継回路 T C の他、信号線の通信周波数（クロック数）を増加させる制御回路 C U 1 が形成されている。この場合、再配線チップ R D C とロジックチップ L C を接続する信号線の数メモリチップ M C 1 と再配線チップ R D C を接続する信号線の数よりも少なくすることができる。すなわち、ロジックチップ L C が有する裏面電極 3 b p（図 6 参照）および貫通電極 3 t s v（図 6 参照）の数を低減することができる。言い換えれば、再配線チップ R D C の裏面電極 3 b p の数よりも表面電極 3 a p の数を少なくすることができる。この結果、ロジックチップ L C に貫通電極 3 t s v を形成するために必要な制約が低減するので、ロジックチップ L C の設計上の自由度を向上させることができる。

40

【 0 1 9 7 】

また例えば、図 4 4 に示すように、メモリチップ M C 1、M C 2、M C 3、M C 4 の主記憶回路 M M の動作を制御する制御回路 C U 1 を再配線チップ R D C に形成する技術を、上記実施の形態 2 で説明した半導体装置 1 c と組み合わせて適用することもできる。

【 0 1 9 8 】

また例えば、上記実施の形態 1 および上記実施の形態 2 では、ロジックチップ L C、再配線チップ R D C および複数のメモリチップ M C 1、M C 2、M C 3、M C 4 が、それぞ

50

れ配線基板 2 の上面 2 a 側に搭載される実施態様について説明した。しかし変形例として図 4 5 に示す半導体装置 1 e のように、ロジックチップ L C を配線基板 2 の実装面である下面 2 b 側に搭載することができる。図 4 5 は、図 4 1 に対する変形例である半導体装置の断面図である。図 4 5 に示す半導体装置 1 e は、ロジックチップ L C が配線基板 2 の実装面である下面 2 b 側に搭載されている点で、図 4 1 に示す半導体装置 1 c とは相違する。言い換えれば、半導体装置 1 e では、ロジックチップ L C と再配線チップ R D C の間に配線基板が配置される。

【 0 1 9 9 】

更に言い換えれば、半導体装置 1 e の配線基板 2 は、ロジックチップ L C を搭載するためのチップ搭載領域を下面 2 b に、再配線チップ R D C を搭載するためのチップ搭載領域を上面 2 a に、それぞれ備えている。また、ロジックチップ L C および再配線チップ R D C は、それぞれフェイスダウン実装方式（フィリップチップ接続方式）により配線基板 2 に搭載される。すなわち、再配線チップ R D C は、表面 3 a が配線基板 2 の上面 2 a と対向するように配線基板 2 上に搭載される。また、ロジックチップ L C は表面 3 a が配線基板 2 の下面 2 b と対向するように配線基板 2 に搭載される。

【 0 2 0 0 】

また、図 4 5 に示す例では、ロジックチップ L C と再配線チップ R D C は、厚さ方向に重なる位置に配置される。これにより、ロジックチップ L C と再配線チップ R D C を電氣的に接続する伝送経路の距離を短くすることができる。また、ロジックチップ L C は、配線基板 2 の下面 2 b の中央部に配置され、半導体チップ 1 e の外部端子である複数のランド 2 g（半田ボール 5）は、ロジックチップ L C の周囲に配置される。この場合、半導体チップの外部インタフェース回路（例えば図 4 4 に示す外部インタフェース回路 G I F）と外部端子の距離を短くすることができる。

【 0 2 0 1 】

ただし、半導体装置 1 e のように配線基板 2 の上下面にそれぞれ半導体チップ 3 を搭載する場合、配線基板 2 内の配線 2 d の引き回しのレイアウトが複雑化するため、配線層数が増加する傾向がある。また、配線基板 2 の実装面側にチップ搭載領域を設けることにより、外部端子の配置スペースが不足する場合があります。実装面積が大型化しやすい。したがって、配線層数を少なくする観点、あるいは実装面積を低減する観点からは、図 4 に示す半導体装置 1 や図 4 1 に示す半導体装置 1 c のように、チップ搭載面である上面 2 a 側に、ロジックチップ L C および再配線チップ R D C を搭載することが好ましい。

【符号の説明】

【 0 2 0 2 】

- 1、1 a、1 b、1 c 半導体装置
- 2 配線基板
 - 2 a 上面（面、主面、チップ搭載面）
 - 2 b 下面（面、主面、実装面）
 - 2 c 側面
 - 2 d 配線
 - 2 d 1 配線
 - 2 d 2 ビア配線
 - 2 e 絶縁層（コア層）
 - 2 f ボンディングリード（端子、チップ搭載面側端子、電極）
 - 2 g ランド
 - 2 h、2 k 絶縁膜（ソルダレジスト膜）
 - 2 h w 開口部
 - 2 k 絶縁膜（ソルダレジスト膜）
 - 2 k w 開口部
 - 2 p 1、2 p 3 チップ搭載領域（チップ搭載部）
- 3 半導体チップ

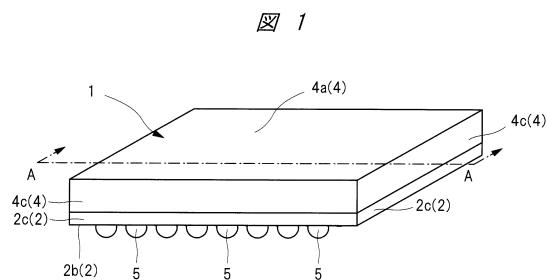
3 a	表面（主面、上面）	
3 a p、3 a p 1、3 a p 2	表面電極（電極、パッド）	
3 a p 1	表面電極	
3 a p 2	表面電極	
3 b	裏面（主面、下面）	
3 b p、3 b p 1、3 b p 2	裏面電極（電極、パッド）	
3 c	側面	
3 d	配線層（チップ配線層）	
3 p	裏面電極	
3 t s h	孔（穴、開口部）	10
3 t s v	貫通電極	
4	封止体（樹脂体）	
4 a	上面（面、表面）	
4 b	下面（面、裏面）	
4 c	側面	
5	半田ボール（外部端子、電極、外部電極）	
6	封止体（チップ積層体用封止体、チップ積層体用樹脂体）	
6 a	アンダフィル樹脂	
7	接合材（導電性部材、パンプ電極、突起電極）	
7 a	半田材	20
7 b	突起電極	
2 0	配線基板	
2 0 a	デバイス領域	
2 0 b	枠部（外枠）	
2 0 c	ダイシングライン（ダイシング領域）	
2 5	マスク	
2 6	支持基材	
2 7	保護層	
2 8	研磨治具	
3 0	ノズル	30
3 4	基材（組立基材）	
3 4 a	組立面	
3 5	接着層	
3 6	ノズル	
4 0	ダイシングブレード（回転刃）	
4 1	テープ材（ダイシングテープ）	
A S	アドレス線（信号線）	
C R 1、C R 2	コア回路（主回路）	
C U	制御回路	
D R	電源回路（駆動回路）	40
D R 1	電源回路（入出力用電源回路）	
D R 2	電源回路（コア用電源回路）	
D R 3	電源回路（入出力用電源回路）	
D R 4	電源回路（コア用電源回路）	
D S	データ線（信号線）	
G 1、G 2	間隔	
G I F	外部インタフェース回路（外部入出力回路）	
L C	ロジックチップ（半導体チップ）	
M C 1、M C 2、M C 3、M C 4	メモリチップ（半導体チップ）	
M C S	積層体（メモリチップ積層体、半導体チップ積層体）	50

M M 主記憶回路（記憶回路）
 M R メモリ領域（記憶回路素子配列領域）
 N C L 1、N C L 2、N C L 3 接着材（絶縁性接着材）
 N I F 内部インタフェース回路（内部入出力回路）
 N S 1、N S 2 入出力回路
 N S 2 コア回路
 O S 信号線
 P U 演算処理回路
 R D C 再配線チップ（インタフェースチップ）
 R D L 引出配線（再配線）
 S G 信号線
 S i シリコン
 S M 補助記憶回路（記憶回路）
 T 1、T A 厚さ
 T A 厚さ
 T C 中継回路
 V 1、V 2、V 3、V 4 電源線
 W H ウエハ（半導体基板）
 W H b 裏面（主面、下面）
 W H s 表面（主面、上面）

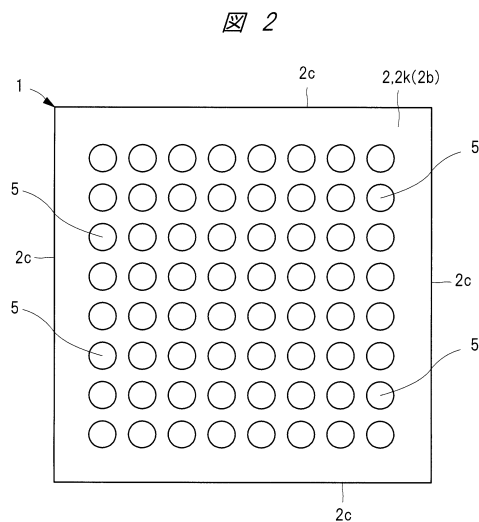
10

20

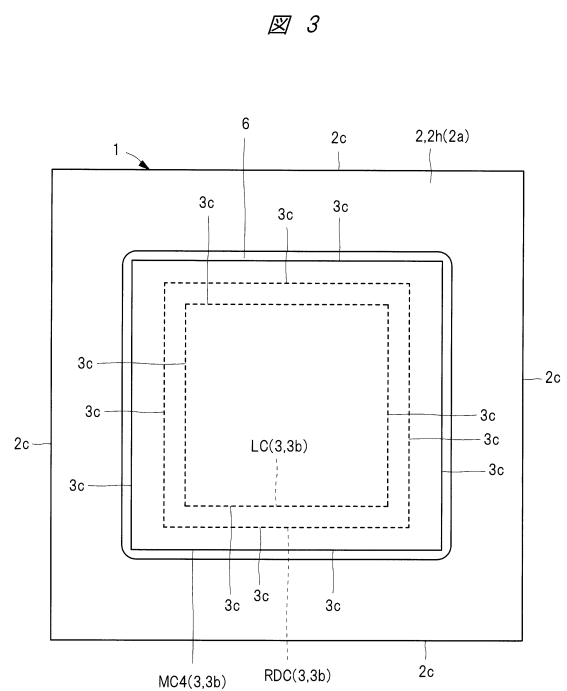
【図 1】



【図 2】

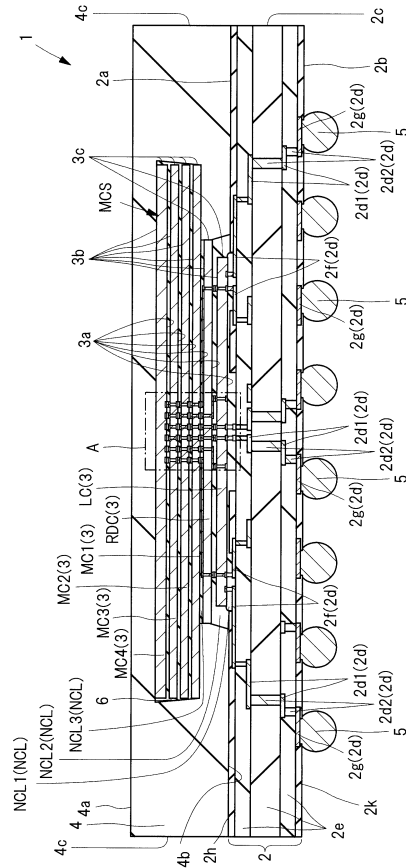


【図 3】



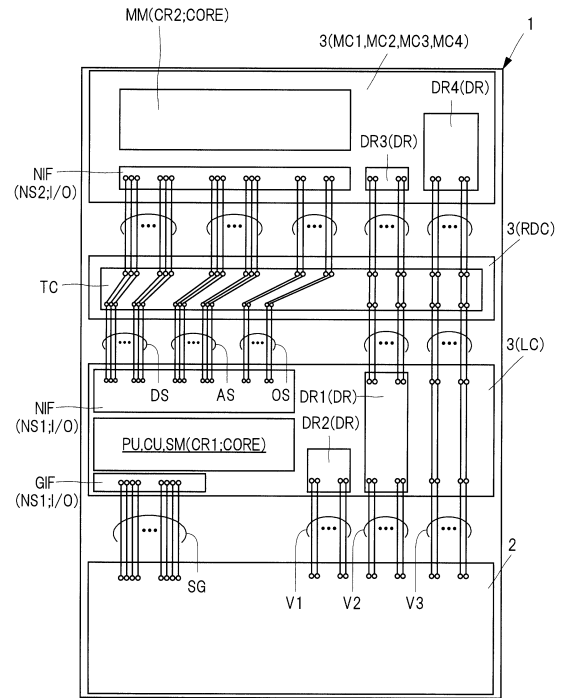
【図4】

図 4



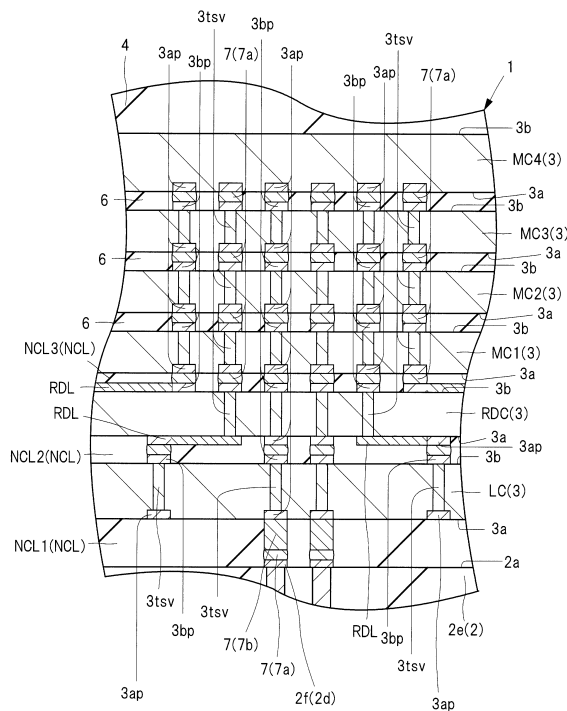
【図5】

図 5



【図6】

図 6



【図7】

図 7

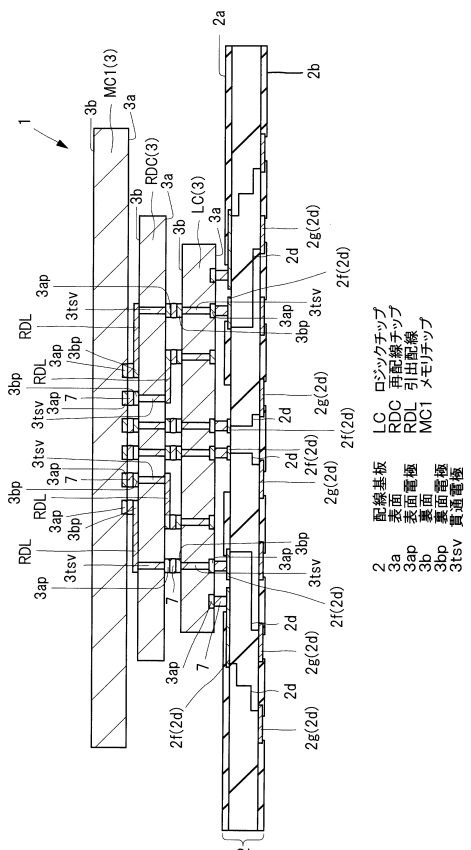
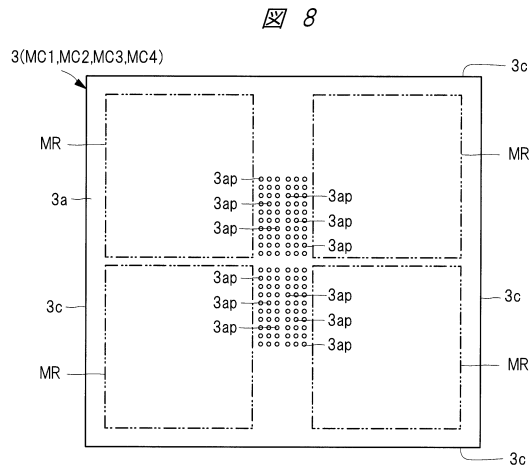
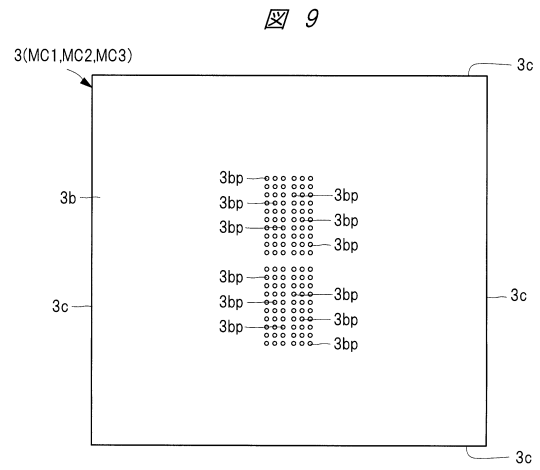


図 7
2 配線基板
3a 表面電極
3b 裏面電極
3bp メモリチップ
3tsv 貫通電極
LC ロジックチップ
RDC 再配線チップ
RDL 引出配線
MC1 メモリチップ

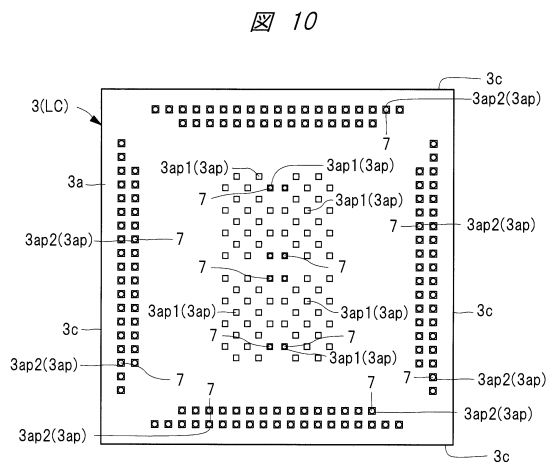
【図 8】



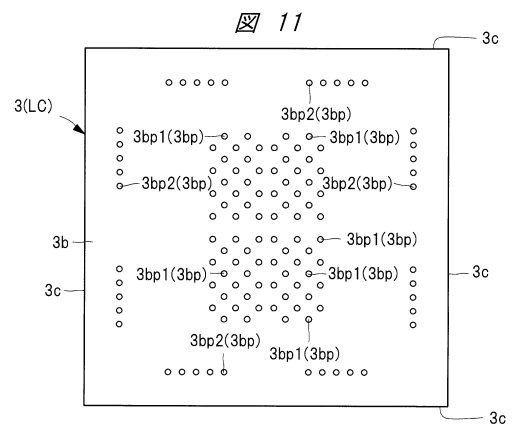
【図 9】



【図 10】

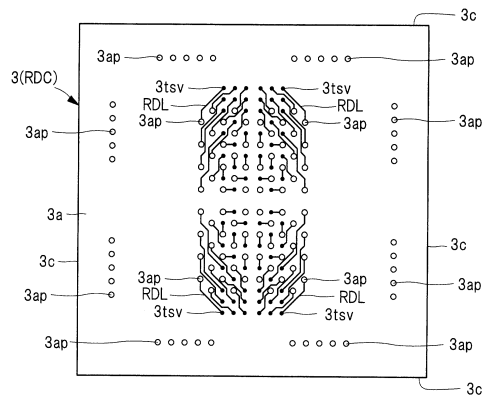


【図 11】



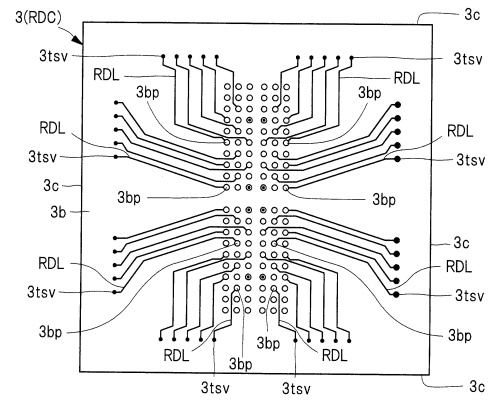
【図 12】

図 12



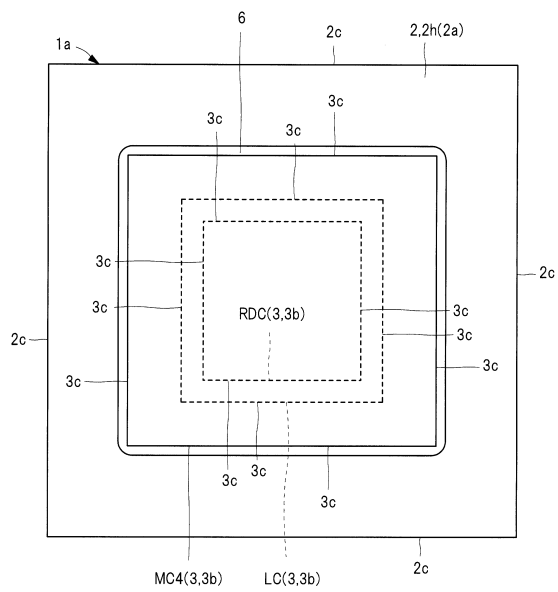
【図 13】

図 13



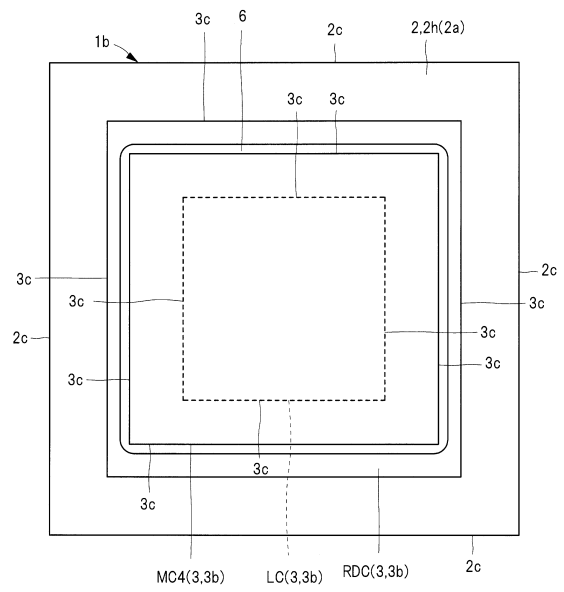
【図 14】

図 14



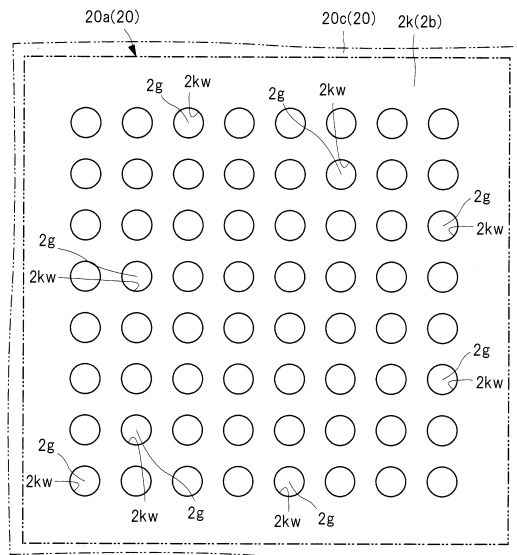
【図 15】

図 15



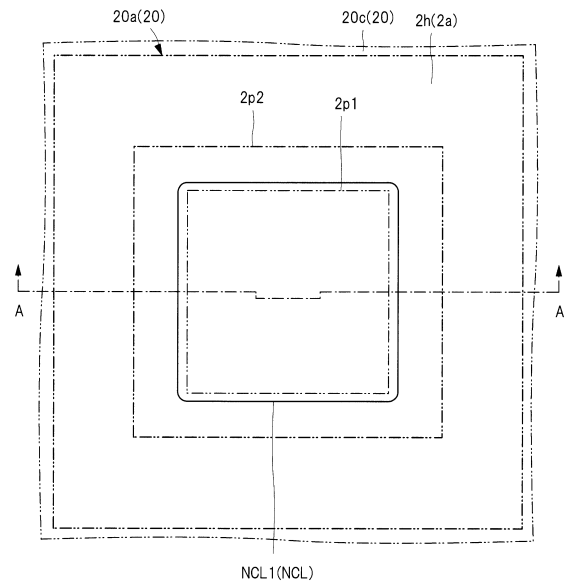
【図 20】

図 20



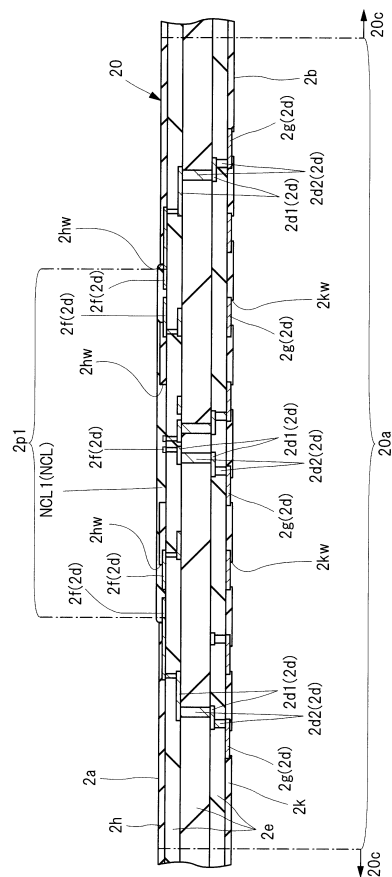
【図 21】

図 21



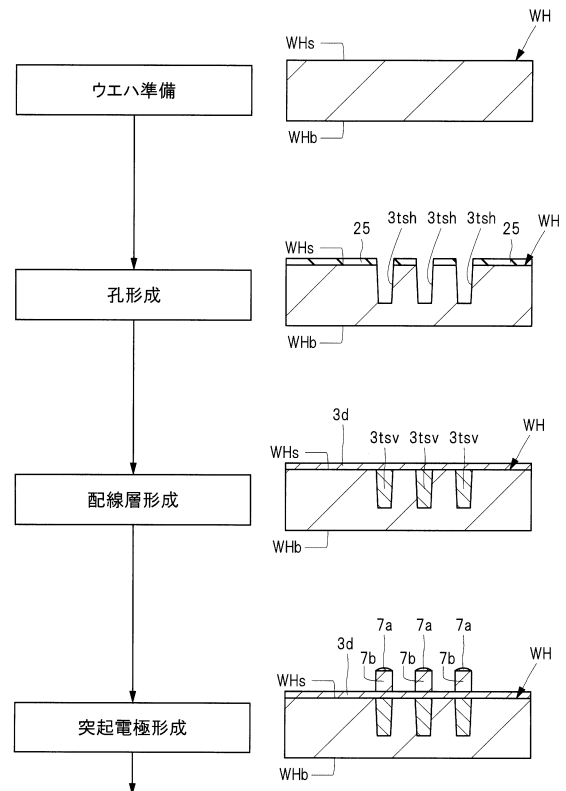
【図 22】

図 22

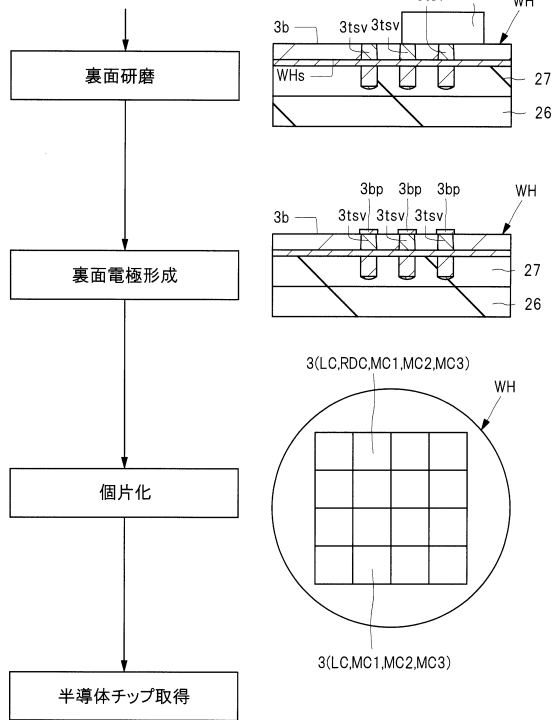


【図 23】

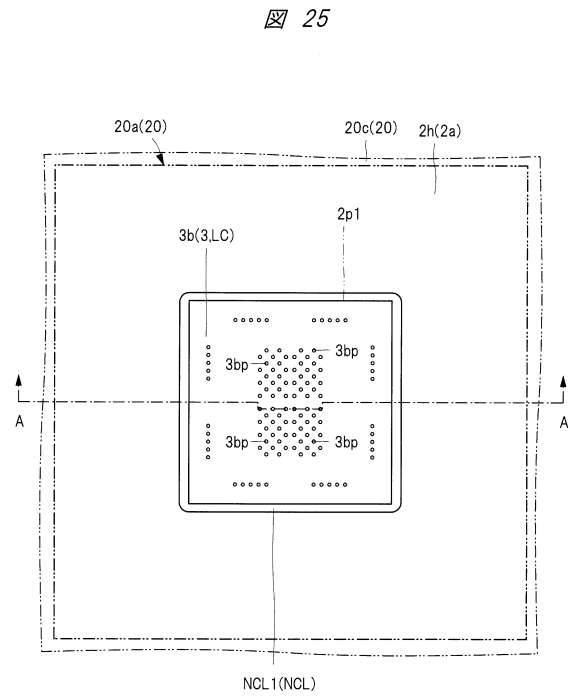
図 23



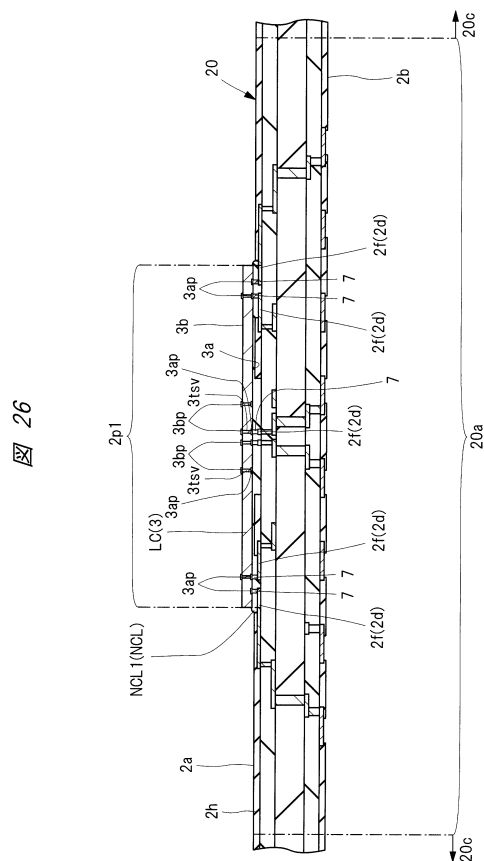
【図 24】



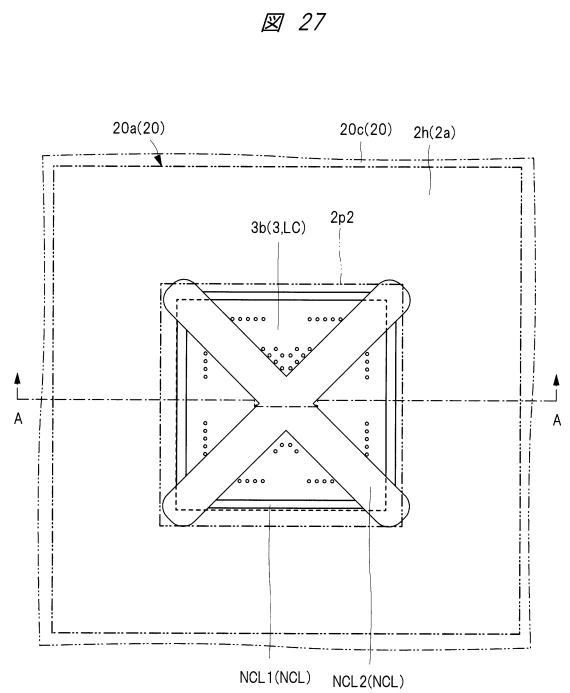
【図 25】



【図 26】



【図 27】



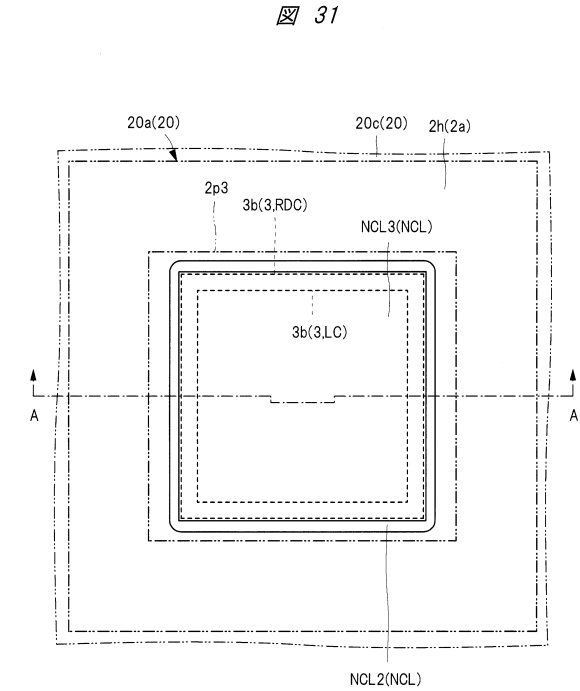
28



30

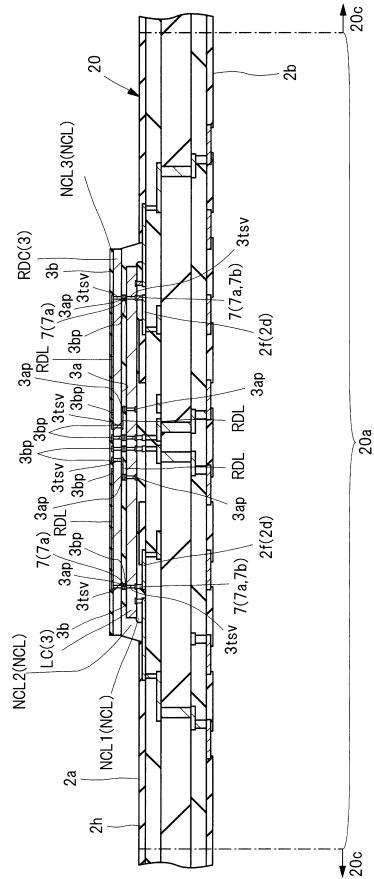


【 図 3 1 】



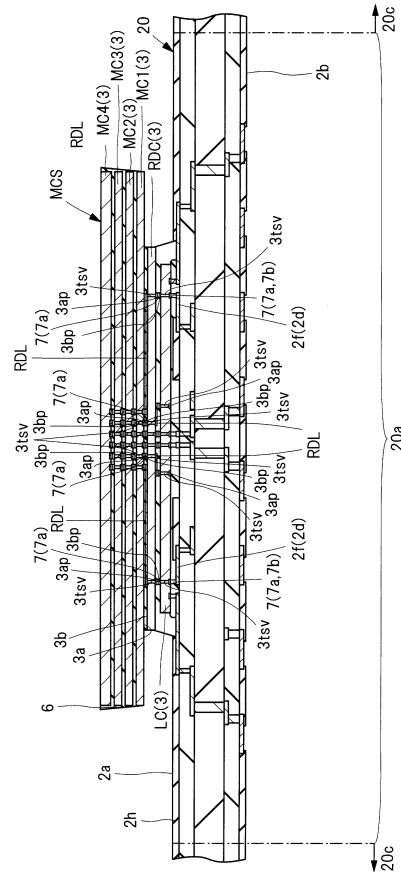
【図 32】

図 32

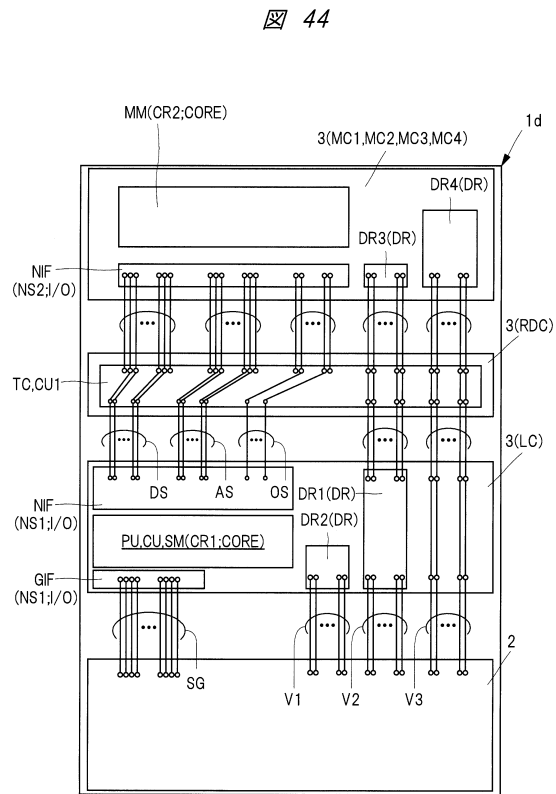


【図 36】

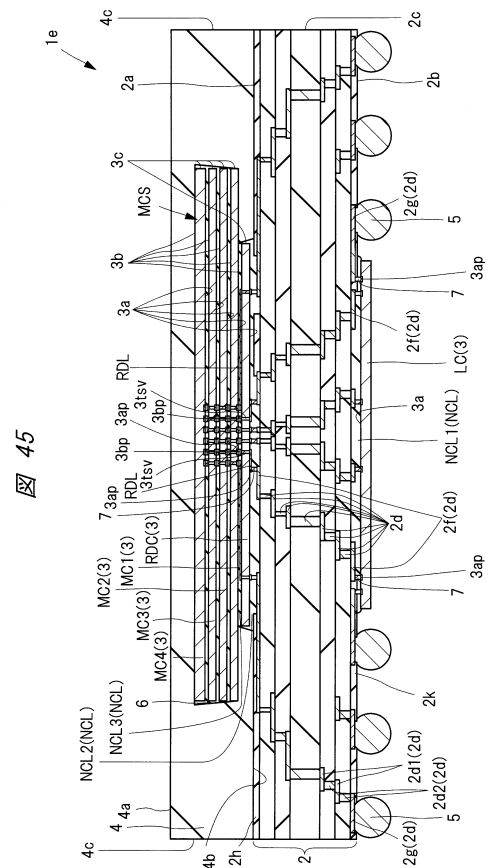
図 36



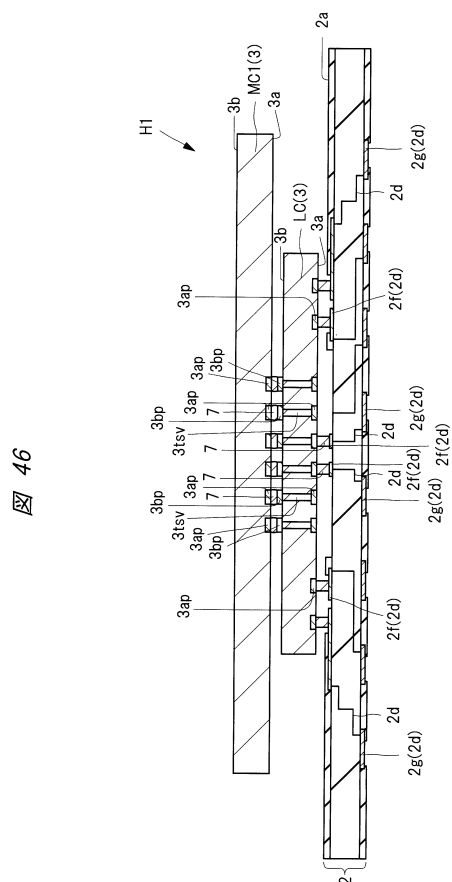
【 図 4 4 】



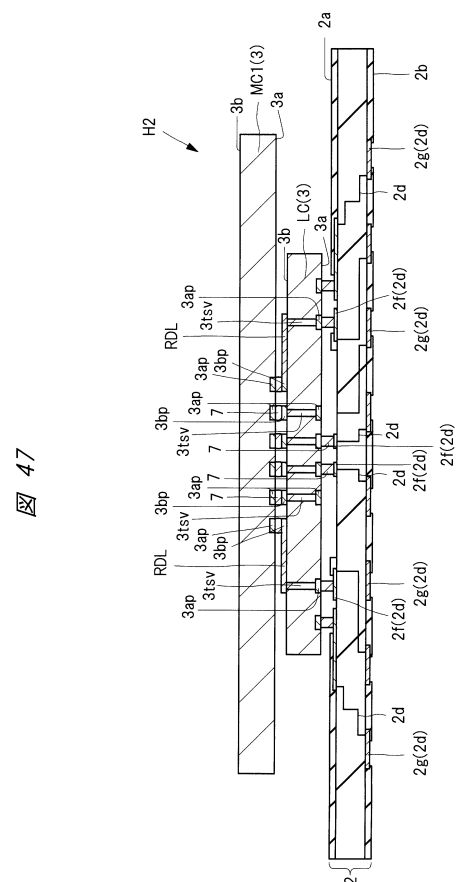
【 図 4 5 】



【 図 4 6 】



【圖 47】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/522 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 23/32 (2006.01)

(72)発明者 菊池 隆文

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 多賀 和宏

(56)参考文献 特開 2 0 0 8 - 2 5 8 5 2 2 (J P , A)

特開 2 0 1 1 - 1 6 6 1 4 7 (J P , A)

特開 2 0 0 7 - 1 8 0 5 2 9 (J P , A)

特開 2 0 0 7 - 0 1 2 8 4 8 (J P , A)

特開 2 0 0 5 - 2 1 7 2 0 5 (J P , A)

特開 2 0 0 8 - 2 5 8 3 0 6 (J P , A)

特開 2 0 0 7 - 0 3 6 1 0 4 (J P , A)

特開 2 0 0 8 - 2 6 3 0 0 5 (J P , A)

特開 2 0 0 8 - 0 9 1 6 2 7 (J P , A)

特開 2 0 1 0 - 1 6 1 1 0 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 3

2 1 / 7 6 8

2 1 / 8 2 2 9

2 1 / 8 2 4 2 - 2 1 / 8 2 4 7

2 3 / 3 2

2 3 / 5 2 2

2 3 / 5 3 2

2 5 / 0 0 - 2 5 / 0 7

2 5 / 1 0 - 2 5 / 1 1

2 5 / 1 6 - 2 5 / 1 8

2 7 / 1 0