

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200310115275.1

[51] Int. Cl.

H01L 21/00 (2006.01)

G02F 1/136 (2006.01)

G09F 9/30 (2006.01)

[45] 授权公告日 2007 年 9 月 26 日

[11] 授权公告号 CN 100339941C

[22] 申请日 2003.11.26

[21] 申请号 200310115275.1

[30] 优先权

[32] 2002.11.26 [33] JP [31] 342490/2002

[73] 专利权人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 宫崎敏英 小山田晋

[56] 参考文献

US6171941B1 2001.1.9

US6090704A 2000.7.18

US6174822B1 2001.1.16

JP2002-12889A 2002.4.26

审查员 朱永全

[74] 专利代理机构 北京市中咨律师事务所

代理人 李 峥 于 静

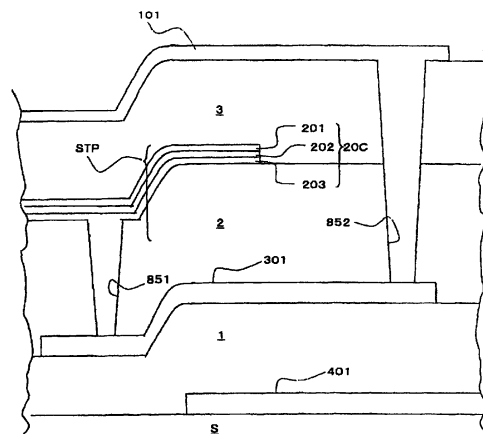
权利要求书 3 页 说明书 34 页 附图 10 页

[54] 发明名称

布线结构及其制造方法和电光装置、电子设备

[57] 摘要

本发明提供一种可以很好地实现构成叠层体的一部分的第 1 导电层和应与其电气连接的导电层间的电气连接的布线结构及其制造方法。该布线结构在基板(S)上,呈叠层构造的一部分地具备有:由第 1 导电层(203)、在其上形成的绝缘层(202)、再在其上形成的第 2 导电层(201)构成的电容器(20C);应与第 1 导电层电气连接的导电层(101);和配置在第 1 导电层和导电层各自的下层的中继层(301),第 1 导电层和导电层通过中继层电气连接。



1. 一种布线结构，其特征在于：

在基板上形成有第1导电层、在该第1导电层上形成的绝缘层、和在该绝缘层上形成的第2导电层；

具备：与上述第1导电层电气连接的导电层；和配置在上述第1导电层和上述导电层下方的中继层；

其中，上述第1导电层和上述导电层通过上述中继层电气连接。

2. 根据权利要求1所述的布线结构，其特征在于：由上述第1导电层、上述绝缘层、上述第2导电层和上述中继层构成的叠层体被形成在具有阶差的表面上。

3. 根据权利要求1所述的布线结构，其特征在于：上述第2导电层由包含不相同的材料的多个层构成。

4. 根据权利要求3所述的布线结构，其特征在于：上述第2导电层包含上层由硅化钨构成的层和下层由多晶硅构成的层。

5. 根据权利要求1所述的布线结构，其特征在于：上述叠层体构成电容器。

6. 根据权利要求5所述的布线结构，其特征在于：上述绝缘层包含由高介电常数材料构成的层。

7. 根据权利要求6所述的布线结构，其特征在于：上述绝缘层由包含不相同的材料的多个层构成，同时其中的一层与其他层相比，包含由高介电常数材料构成的层。

8. 根据权利要求1所述的布线结构，其特征在于，进一步具备：

在上述第1导电层与上述中继层之间以及在上述导电层与上述中继层之间形成的层间绝缘膜；

在上述导电层和上述中继层间形成的第2层间绝缘膜；

将上述第1导电层与上述中继层电气连接的第1接触孔；以及

将上述导电层与上述中继层电气连接的第2接触孔。

9. 一种布线结构的制造方法，其特征在于，包括：

在基板上形成中继层的工序；

在上述中继层之上形成第1层间绝缘膜的工序；

在上述第1层间绝缘膜形成通到上述中继层的第1接触孔的工序；

以在上述第1层间绝缘膜之上并且填埋上述第1接触孔的方式，形成第1导电层的工序；

在上述第1导电层之上顺序形成上述绝缘层和上述第2导电层的工序；

在上述第2导电层之上形成第2层间绝缘膜的工序；

在上述第2层间绝缘膜和上述第1层间绝缘膜形成通到上述中继层的第2接触孔的工序；以及

以在上述第2层间绝缘膜之上并且填埋上述第2接触孔的方式形成导电层的工序。

10. 根据权利要求9所述的布线结构的制造方法，其特征在于：上述第1导电层、上述绝缘层和上述第2导电层被形成在具有阶差的表面上。

11. 一种电光装置，是在基板上具有在第1方向上延伸的数据线和在与该数据线交叉的第2方向上延伸的扫描线、以及与上述数据线和上述扫描线的交叉区域对应地配置的像素电极和薄膜晶体管的电光装置，其特征在于：

在上述基板上进一步具备与上述薄膜晶体管和上述像素电极电气连接的存储电容，和配置在上述像素电极和上述存储电容下方的中继电极；

其中，构成上述存储电容的一对电极中的一方的电极与上述像素电极，通过上述中继电极电气连接。

12. 根据权利要求11所述的电光装置，其特征在于：上述存储电容被形成在具有阶差的表面上。

13. 根据权利要求11所述的电光装置，其特征在于：上述一方的电极包含与上述像素电极和上述薄膜晶体管电气连接的像素电位侧电容电极；

上述存储电容包括该像素电位侧电容电极、与该像素电位侧电容电极相对配置的被设为固定电位的固定电位侧电容电极、和夹持在上述像素电

位侧电容电极与上述固定电位侧电容电极间的电介质膜;

上述电介质膜构成包含由高介电常数材料构成的层的叠层体。

14. 根据权利要求 11 所述的电光装置, 其特征在于: 上述中继电极, 作为与包含在上述扫描线中的上述薄膜晶体管的栅电极相同的膜被形成。

15. 根据权利要求 11 所述的电光装置, 其特征在于: 上述固定电位侧电容电极被形成为覆盖上述像素电位侧电容电极。

16. 一种电子设备, 其特征在于, 使用了以下电光装置, 该电光装置:

在基板上具备在第 1 方向上延伸的数据线和在与该数据线交叉的第 2 方向上延伸的扫描线、以及与上述数据线和上述扫描线的交叉区域对应地配置的像素电极和薄膜晶体管;

在上述基板上进一步具备与上述薄膜晶体管和上述像素电极电气连接的存储电容, 和配置在上述像素电极和上述存储电容下方的中继电极;

其中, 构成上述存储电容的一对电极中的一方的电极与上述像素电极, 通过上述中继电极电气连接。

布线结构及其制造方法和电光装置、电子设备

技术领域

本发明涉及在基板上层叠构筑各种布线、电路元件等的布线结构及其制造方法的技术领域。另外，本发明还涉及具备这种布线结构的电光装置的技术领域。

背景技术

这种布线结构由例如作为开关元件的薄膜晶体管（TFT：Thin Film Transistor）、或薄膜二极管、电容、电阻等各种电路元件，以及在它们之间联络的布线等构成。并且，近年来，这些各种要素常常被立体地、或者呈叠层结构地构筑在基板上。例如，在 TFT 上配置电容，在该电容器上配置与上述 TFT 电气连接的布线等。由此，即可实现布线结构的高密度化，实现该布线结构或者包含该布线结构的电子设备等的小型化、狭小化、轻薄化等。

更具体而言，上述布线结构可以应用于例如将液晶等电光物质夹持在一对基板间、并通过使光以将其贯穿的方式透过而可以进行图像显示的液晶装置等的电光装置。另外，这里，所谓“图像的显示”，是通过例如对每个像素使电光物质的状态发生变换以使光的透过率变化，从而可以辨认在每个像素灰度不同的光而实现的。

这样的电光装置通过在上述一对基板的一方上具有排列成矩阵状的像素电极、以将该像素电极间接合的方式设置的扫描线和数据线、再加上作为像素开关元件的 TFT 等，提供可进行有源矩阵驱动的电光装置（例如，参照专利文献 1）。在该电光装置中，上述各种结构被集中制作在一方的基板上，但若将它们平面地展开，则会需要较大面积，有可能会使像素开

口率（即，光应透过的区域相对于基板整个面的区域的比率）降低。因此，如果利用上述那样的布线结构的立体的结构，可以显著地降低导致上述不利状况的可能性。即，例如首先在基板上形成 TFT 及具有作为该 TFT 的栅电极膜的功能的扫描线，并在其上形成数据线，进而，再在其上形成像素电极等。如此，则除了可以实现装置的小型化外，还可通过适当地设定各种要素的配置，来实现像素开口率的提高等。

专利文献 1：特开 2002—122889

但是，在这样的电光装置中，即使在基板上将上述各种要素立体地配置为最佳状态，一般也不容易构成最佳的叠层结构。

例如，在上述叠层结构中，除了上述扫描线、数据线、TFT 和像素电极以外，为了提高像素电极的电位保持特性，有时还具有与后两者电气连接的存储电容。这种的存储电容，通常应具有尽可能大的电容值。但是，作为叠层结构的一部分而在基板上具备这样的存储电容并不容易。首先，要是以单纯地具有平面的宽阔的形式来形成该存储电容的，则会使像素开口率缩小，不能达到显示明亮的图像这样的电光装置本来的目的。而要是太小面积的存储电容又不能获得足够的电荷积累特性，但并不意味着它不能起到作为电容器的功能。

另一方面，为了适应电光装置的小型化、高精细化这样的一般的要求，还要求存储电容的小型化、狭小化。换言之，就是要求构成该存储电容的一对电极和由它们所夹持的电介质膜的小面积化、薄膜化。并且，必须即要与要求这样的小面积化、薄膜化的情况相适应，同时又必须使上述三者中像素电极侧电容电极，在分别与像素电极和 TFT 间实现电气连接。但是，即要满足这样的要求，同时又要如前所述地实现存储电容的电容值的增大化、或者电光装置的小型化、高精细化，并且构成最佳的叠层结构，是非常困难的。

这样的问题，具体而言，例如，是如以下那样地具体存在的。即存在有当在基板上自下起顺序地形成有薄膜晶体管、存储电容（下侧电极、电介质膜和上侧电极）和像素电极时，要实现上述下侧电极和 TFT 及像素电

极的电气连接的事例。这时，实现 TFT 和下侧电极的电气连接是比较容易的。但是，要实现该电极与像素电极的电气连接则并不容易。这是因为，在下侧电极的上侧，存在有电介质膜和上侧电极。因此，为了实现两者间的连接，应使下侧电极的上方的面露出，从而必须对电介质膜和固定电位侧电容电极进行适当的图案形成处理。但是，一般要考虑到构成存储电容的所述各种要素被如上所述地薄膜化的问题，因此，如果实施上述的图案形成处理，则在下侧电极上发生所谓的“穿透”的可能性非常大。即，本来应仅对上侧电极进行蚀刻，却很有可能连电介质膜、甚至位于其下侧的下侧电极也同时进行了蚀刻。若发生了这样的事情，则有可能不能实现下侧电极与像素电极的电气连接，从而该存储电容有可能已经不能起到作为电容器的功能。

顺便说明，上述事情，在存储电容被形成在具有阶差的表面上时更加严重。这是因为，位于该阶差上的电介质膜和上侧电极的厚度与不位于该阶差上的所述的厚度不一致所致。这时，通常前者的厚度比后者的厚度大。因此，若要完全除去位于阶差上的上侧电极（在此时刻，不位于阶差上的上侧电极已被完全除去），则对不位于阶差上的下侧电极也进行蚀刻的可能性就非常高（详细情况，参照后述的图 3 和图 4 的说明）。

发明内容

本发明就是鉴于上述问题而提出的，其目的在于提供一种可以很好地实现构成叠层体的一部分的第 1 导电层和应与其电气连接的导电层间的电气连接的布线结构及其制造方法。另外，本发明的目的还在于提供一种具有这样的布线结构的电光装置。

本发明的布线结构，为了解决上述问题，其特征在于：在基板上形成有第 1 导电层、在该第 1 导电层上形成的绝缘层、和在该绝缘层上形成的第 2 导电层；并具有：应与上述第 1 导电层电气连接的导电层；和配置在上述第 1 导电层和上述导电层各自的下层的中继层；上述第 1 导电层和上述导电层通过上述中继层电气连接。

按照本发明的布线结构，第1导电层和应与其电气连接的导电层通过位于它们各自的下层的中继层电气连接。即，第1导电层与中继层的配置关系，是前者在更上层，后者在更下层，并且，导电层与中继层的配置关系，也是前者在更上层，后者在更下层。总之，在所述三者间，中继层位于最下层。并且，由于第1导电层与导电层间的电气连接通过上述中继层而进行，因此在该结构中，可以使第1导电层和导电层的下侧分别具有电气连接点，而使其上侧不具有电气连接点。

在此，所谓第1导电层在其上侧不具有电气连接点，意味着没有必要为了实现该第1导电层和应与该第1导电层电气连接的导电层的电气连接，对其上方进行如可以看到该第1电极的表面那样的处理或加工。在此，如果要进行如可以看到第1导电层的表面那样的处理等，则必须进行图案形成处理以使位于其上层的第2导电层具有指定形状。即，必须对第2导电层进行图案形成处理，以使第2导电层的面积小于第1导电层的面积，换言之，以使第1导电层的边缘从第2导电层的边缘露出。但是，这样的图案形成处理通常伴随有一定的困难。这是因为，虽然打算仅蚀刻第2导电层，但必定伴随有将位于其下层的绝缘层和第1导电层也蚀刻的可能性（即，所谓的“穿透”的可能性）。若发生了这样的穿透等，则会发生第1导电层的电气连接点消失等不良状况。

然而，在本发明中，如上所述，由于第1导电层的电气连接点位于其下侧，所以，没有必要为了使该第1导电层的表面露出，而对第2导电层实施上述那样的困难的图案形成处理等。

根据以上所述，由于根据本发明，可以良好地实现第1导电层和导电层的电气连接，同时，可极大地降低使叠层体产生无用的缺陷（例如，上述那样的第1导电层的穿透等）的担心，所以可以提供能够进行更良好的动作的布线结构。

另外，按照本发明的布线结构，在作为整体需要进行某种图案形成处理时，可以一并对第2导电层、绝缘层和第1导电层进行图案形成处理。

在本发明的布线结构的一实施方式中，其特征在于由上述第1导电层、

上述绝缘层、上述第2导电层和上述中继层构成的叠层体被形成在具有阶差的表面上。

按照该实施方式，由于由上述第1导电层、上述绝缘层、上述第2导电层和上述中继层构成的叠层体被形成在具有阶差的表面上，所以，当从剖面看该叠层体时，构成该叠层体的第1导电层、绝缘层和第2导电层成为具有弯曲的部分的形状。例如，该叠层体具有位于第1水平面上的部分、位于比上述第1水平面高的第2水平面上的部分、位于连接第1水平面和第2水平面的线段上的部分等。

这时，例如，设垂直上述线段的方向的该叠层体的厚度和垂直上述第1水平面的方向的厚度均为“ t ”，若假定从该第1水平面看该线段倾斜角度 θ （度）（其中 $0 < \theta < \pi/2$ ），则在线段上的、在垂直第1水平面的方向上测量的叠层体的厚度 t_2 为 $t_2 = t / \cos \theta$ 。另一方面，垂直第1水平面的方向上的该叠层体的厚度 t_1 为 $t_1 = t$ 。

这样，在第1水平面上和第2水平面上的部分的该叠层体的厚度 t_1 与上述线段部分的该叠层体的厚度 t_2 之间，通常可以得到 $t_2 > t_1$ 的关系。另外，现在所说的是关于“叠层体”的厚度的问题，但是，同样的事实，对于构成该叠层体的“第2导电层”、“绝缘层”和“第1导电层”的每一个当然也是如此。

并且，若对位于这样的阶差上的叠层体仅进行对上述的第2导电层的蚀刻，则该蚀刻的实施会伴随比上述更多的困难。这是因为，若要将绝缘层和第1导电层上的第2导电层的全部彻底地蚀刻掉，则首先要除去第1和第2水平面上的第2导电层，然后除去上述线段上的第2导电层，但是，在除去该线段上的第2导电层的过程中，有可能同时也进行了第1和第2水平面之下的层的除去、即绝缘层或第1导电层的除去。这样，在第1导电层中发生穿透等的可能性就更高了。

然而，在本发明中，如既已描述的那样，在第1导电层的下面侧具有与中继层的电气连接点，并且通过由此实现与导电层的电气连接，因此就不必进行上述那样的困难的蚀刻处理。换言之，在本实施例的发生“阶差”

的状况下可以更明显地享有本发明的作用效果。

另外，本实施例所谓的“阶差”，当在例如形成于基板上的布线或电路元件等任意一种要素之上形成层间绝缘膜等时，就会在该层间绝缘膜的表面上出现。该阶差是由于上述要素的高度而引起的。从上述说明可知，只要在基板上并且在上述叠层体下构筑任意一种要素，本实施例的“阶差”发生的可能性就很高，另外，该构筑的构筑物越复杂，该“阶差”的发生的可能性就越高，同时，其形态也越复杂。

另外，仅对上述第2导电层进行蚀刻的情况下的不良状况的程度，可随着上述阶差的高度或上述第1水平面及上述线段的角度的大小等不同。通常，如果上述高度越大、或上述角度越大，则上述不良状况的程度也会变得越大。

但是，本发明与以的事实基本无缘。即，如前所述，只有在这样的状况下本发明的作用效果才可以发挥得更显著。

在本发明的布线结构的其他实施例中，上述第2导电层由包含不相同的材料的多个层构成。

按照该实施例，由于第2导电层由包含不相同的材料的多个层构成，所以，通常对于该多个层的每个层的蚀刻率会有所不同。因此，若仅对上述第2导电层进行蚀刻处理，则该蚀刻的实施会伴随比上述更多的困难。特别是在第2导电层的上层配置由更难以蚀刻的材料构成的层、在其下层配置由很易于蚀刻的材料构成层的情况下，困难性就增大。

然而，在本发明中，由于以上所述的理由，与这样的事实无缘，相反，本发明的作用效果，只有在这样的状况下才能够发挥得更明显。

作为本实施例的第2导电层的具体例，可以考虑例如具有上层为由铝构成的层、下层为由多晶硅构成的层的结构，或者从上层开始顺次地使由硅化钨构成的层和由钛构成的层交替地反复叠加、最后具有由多晶硅构成的层的结构等。不论哪种结构，由于各层的蚀刻率不同，所以，在仅进行第2导电层的蚀刻时，上述不良状况都会变得很显著。

在本实施例中，上述第2导电层可以设为包含上层为由硅化钨构成的

层、下层为由多晶硅构成的层这样的结构。

按照这样的结构，由于具有上层为由硅化钨(WSi)构成的层、下层为由多晶硅构成的层这样的结构，所以，对前者的蚀刻将侵蚀到后者，所以，在仅对第2导电层进行蚀刻的情况下上述不良状况将更严重。因此，本发明的作用效果更为显著。

在本发明的布线结构的其他实施例中，上述叠层体构成电容器。

按照该实施例，由于叠层体构成电容器，所以，可以得到如下的作用效果。即，如前所述，当必须仅对构成叠层体的第2导电层进行蚀刻处理时，由于可能发生绝缘膜或第1导电层等的“穿透”等，所以，必须对其采取对策。这时，作为有效的对策方法，可以列举有预先将上述绝缘膜或上述第1导电层形成得较厚。如果这样，则可以将该绝缘膜或该第1导电层作为所谓的蚀刻阻挡层来利用，所以，能够在发生上述“穿透”等之前，在仅第2导电层被蚀刻后的时刻，结束该蚀刻处理。

但是，在这样的对策中，第一，存在不能适应布线结构的小型化、狭小化等的要求的问题。第二，在叠层体如本实施例那样构成“电容器”时，存在有若绝缘层较厚则不能争取该电容值的难点。

然而，在本发明中，不必经过上述那样仅蚀刻构成叠层体的第2导电层的工序，即可实现第2导电层和导电层的电气连接。即，这就意味着不必采用上述对策、即增厚绝缘层等的对策，反过来说，就是意味着该绝缘层可以尽可能薄。这样，如果如本实施例那样，上述叠层体构成电容器，则可较大地争取该电容器的电容值。

在本实施例中，上述绝缘层可以构成为包含由高介电常数材料构成的层。

按照这样的结构，可以进一步增大上述电容器的电容值。

另外，更具体而言，在绝缘层包含作为高介电常数材料的一例的氮化硅(SiN)等的情况下，与该绝缘层仅包含氧化硅的情况相比，则会更显著地出现仅进行上述第2导电层的蚀刻时的不良状况(即，氮化硅具有更易于被蚀刻的性质)。

然而，在本发明中，由于以上所述的理由，与这样的事情无缘，相反，只有在这样的状况下才能更显著地发挥本发明的作用效果。

作为本发明所说的“高介电常数材料”，除了上述氮化硅外，还有包含 TaOx（氧化钽）、BST（钛酸锶钡）、PZT（钛酸锆酸盐）、TiO₂（氧化钛）、ZrO₂（氧化锆）、HfO₂（氧化铪）及 SiON（氮氧化硅）中的至少一种而成的绝缘材料等。特别是如果使用 TaOx、BST、PZT、TiO₂ 及 HfO₂ 这样的高介电常数材料，可以以有限的基板上的区域增大电容值。或者，如果使用 SiO₂（氧化硅）、SiON（氮氧化硅）及 SiN（氮化硅）这样的包含硅的材料，则可以降低层间绝缘膜等处的应力发生。

或者，上述绝缘层可以由包含不相同的材料的多层构成，同时其中的一层与其他层相比包含由高介电常数材料构成的层。

利用这样的结构，可以进一步增大上述电容器的电容值。

另外，在这样的结构中，例如，由于绝缘层采用氮化硅层及氧化硅层等这样的二层结构，所以，能够通过前者的氮化硅争取电容值、由后者的氧化硅确保耐压性等，从而实现该电容器的高性能化。

在本发明的布线结构的其他实施例中，进一步具有在上述第 1 导电层与上述中继层之间以及上述导电层与上述中继层之间形成的第 1 层间绝缘膜、在上述导电层和上述中继层间形成的第 2 层间绝缘膜、将上述第 1 导电层与上述中继层电气连接的第 1 接触孔、以及将上述导电层与上述中继层电气连接的第 2 接触孔。

按照该实施例，具有第 1 层间绝缘膜和第 2 层间绝缘膜，同时，可以分别通过仅贯穿前者的第 1 接触孔、贯穿前者和后者双方的第 2 接触孔，实现第 1 导电层和中继层间的电气连接、以及导电层和中继层间的电气连接。这样，按照将第 1 导电层和导电层形成在各自的层的实施例，可以实现该布线结构的进一步的高密度化，从而可以更良好地实现该布线结构的小型化、狭小化等。

另外，本发明的第 1 层间绝缘膜和第 2 层间绝缘膜包括分别为多个层间绝缘膜的情况。例如，在中继层与第 1 导电层之间可以存在任何其他的

要素，并在该要素的上下分别形成层间绝缘膜（这时，第1层间绝缘膜就成为具有二层的层间绝缘膜）。

本发明的布线结构的制造方法包括：在基板上形成中继层的工序、在上述中继层之上形成第1层间绝缘膜的工序、在上述第1层间绝缘膜上形成通到上述中继层的第1接触孔的工序、在上述第1层间绝缘膜之上且填埋上述第1接触孔那样地形成第1导电层的工序、在上述第1导电层之上顺序形成上述绝缘层和上述第2导电层的工序、在上述第2导电层之上形成第2层间绝缘膜的工序、在上述第2层间绝缘膜和上述第1层间绝缘膜上形成通到上述中继层的第2接触孔的工序、以及在上述第2层间绝缘膜之上并且填埋上述第2接触孔那样形成导电层的工序。

按照本发明的布线结构的制造方法，可以较佳地制造上述本发明的布线结构。

本发明的第1层间绝缘膜和第2层间绝缘膜包括分别为多个层间绝缘膜的情况。例如，在中继层与第1导电层之间可以存在任何其他的要素，并在该要素的上下分别形成层间绝缘膜（这时，第1层间绝缘膜就成为具有二层的层间绝缘膜）。

在本发明的布线结构的制造方法的实施例中，上述第1导电层、上述绝缘层和上述第2导电层被形成在具有阶差的表面上。

按照该实施例，因为由第1导电层、绝缘层和第2导电层构成的叠层体被形成在具有阶差的表面上，所以分别成为从剖面看具有弯曲的部分的形状。因此，这种情况下，在仅蚀刻第2导电层时，就会发生与其相伴的不良状况。但是，在本实施例中，第1导电层在该时刻已通过接触孔与中继层电气连接，然后，通过该中继层经由第2接触孔与导电层电气连接，即可实现第1导电层和导电间的电气连接，所以，不必进行仅对第2导电层的蚀刻。

如上所述，按照本实施例，可以更显著地发挥本发明的作用效果。

为了解决上述问题，本发明的电光装置是在基板上构成叠层结构的一部分地具有在第1方向上延伸的数据线和在与该数据线交叉第2方向上延

伸的扫描线、以及与上述数据线和上述扫描线的交叉区域对应地配置的像素电极和薄膜晶体管的电光装置，其特征在于：在上述基板上进一步成层叠结构的一部分地具备有与上述薄膜晶体管和上述像素电极电气连接的存储电容、和配置上述像素电极和上述存储电容各自的下层的中继电极，构成上述存储电容的一对电极中的一方的电极与上述像素电极通过上述中继电极电气连接。

本发明的电光装置相当于上述本发明的布线结构的更具体且实际的应用例。即，本发明的电光装置中的“中继电极”相当于上述本发明的布线结构中的“中继层”，该“一方的电极”相当于“第1导电层”，该“像素电极”相当于“导电层”。另外，本发明的“存储电容”相当于上述“叠层体”。

因此，按照本发明的电光装置，可以获得与通过上述本发明的布线结构所起到的作用效果大致相同的作用效果。

即，按照本发明，为了将存储电容和像素电极电气连接，不必经过仅对构成存储电容的另一方的电极进行蚀刻这样的困难的工序，而通过中继电极进行该存储电容和该像素电极间的电气连接，由此即可将其良好地实现。

另外，在本发明中，因为不必经过上述的仅对另一方的电极进行蚀刻的工序，所以，可以形成没有无用的缺陷（例如，上述一方的电极的穿透等）的存储电容。

此外，按照本发明，在必须对存储电容整体进行某种图案形成处理时，可以一并对固定电位侧电容电极、电介质膜和像素电位侧电容电极进行图案形成处理。

在本发明的电光装置的实施例中，上述存储电容被形成在具有阶差的表面上。

按照该实施例，可以获得与上述本发明的布线结构中的叠层体被形成在具有阶差的表面上的情况相同的作用效果。即，简而言之，在仅对存储电容中的像素电位侧电容电极进行蚀刻的情况下，当其被形成在具有阶差

的表面上时，该蚀刻变得非常困难，但本发明与这样的事实基本无缘。反言之，这种情况下，在以往的方法中必须在加以细心的注意之后进行上述蚀刻，以实现像素电位侧电容电极与像素电极的电气连接，但在本发明中则没有这种必要，相反，只有在这样的状况下才能够更显著地发挥本发明的作用效果。

在本发明的电光装置的其他实施例中，上述一方的电极包含与上述像素电极和上述薄膜晶体管电气连接的像素电位侧电容电极，上述存储电容由该像素电位侧电容电极、与该像素电位侧电容电极相对配置且被设为固定电位的固定电位侧电容电极、和夹持在上述像素电位侧电容电极与上述固定电位侧电容电极间的电介质膜构成，上述电介质膜构成包含由高介电常数材料构成的层的叠层体。

按照该实施例，因为存储电容包含高介电常数材料，所以，可以增大其电容值。另外，更具体而言，在电介质膜包含作为高介电常数材料的一例的氮化硅（SiN）等的情况下，与该电介质膜仅包含氧化硅的情况相比，则会更显著地出现仅进行上述第2导电层的蚀刻时的不良状况（即，氮化硅具有更易于被蚀刻的性质）。另外，本发明的“高介电常数材料”具有与上述相同的意义。

在本发明的电光装置的其他实施例中，上述中继电极，作为与包含在上述扫描线中的上述薄膜晶体管的栅电极相同的膜而被形成。

按照该实施例，由于中继电极作为与包含在扫描线中的薄膜晶体管的栅电极相同的膜而被形成，所以，例如，与经过特别的工序制造该中继电极的情况相比，可以实现制造工序的简洁化、或制造成本的低廉化等。

另外，按照这样的实施例，可更自然地决定像素电位侧电容电极、中继电极和像素电极间的配置关系，可以更好地进行基板上的叠层结构的具体的形式的决定，又或者可以提高各种要素的设计的自由度。

另外，在以下的情况下，可以更有效地获得这样的作用效果。即，在薄膜晶体管被配置在叠层结构的最下层或更下层的情况下。这是因为，如此则中继电极就可以更自然地实现位于存储电容和像素电极的下层这样的

形式。

另外，这样，当扫描线包含栅极时，为了进一步充分发挥作为该栅电极的功能，可以在该扫描线中，至少对该栅电极部分，以由例如导电性的多晶硅膜构成的方式构成。这种情况下，在栅电极和中继电极作为相同的膜而被形成的本实施例中，该中继电极也同样由导电性的多晶硅膜等构成。

此外，根据本实施例的记载可推知相反的情况，本发明的“中继电极”并非必须作为与栅电极相同的膜而形成。这种情况下，如上所述，由于中继电极和栅电极并非由相同的材料构成，所以，该中继电极的材料基本上可以自由选择，只要具有导电性即可。

在本发明的电光装置的其他实施例中，上述固定电位侧电容电极被形成成为覆盖上述像素电位侧电容电极。

按照该实施例，由于像素电位侧电容电极被形成成为覆盖固定电位侧电容电极，所以，可以用更宽阔的电极面积夹持电介质膜，从而可以构成具有更大的电容值的存储电容。具体而言，例如，在本实施例中，上述三要素的侧面也可以作为电容器来利用，从而可以估计由此产生的电容值的增大化。另外，从这样的观点考虑，例如，如果预先将像素电位侧电容电极形成得较厚等，则上述侧面的面积将增大，从而可以更有效地争取电容值。

本发明的这样的作用和其他优点，根据以下说明的实施例加以阐明。

附图说明

图1是表示本实施例的布线结构的一例的剖面图。

图2是表示用于进行与图1的对比的结构的不同视角的剖面图。

图3是用于说明在图2的布线结构中仅对上侧电极进行蚀刻的工序的工序图（之一）。

图4是用于说明在图2的布线结构中仅对上侧电极进行蚀刻的工序的工序图（之二）。

图5是用于说明图1的布线结构的制造方法的流程图。

图6是表示构成本发明的实施例的电光装置中的图像显示区域的矩阵

状的多个像素中设置的各种元件、布线等的等效电路的电路图。

图 7 是形成有本发明的实施例的电光装置中的数据线、扫描线、像素电极等的 TFT 阵列基板的相邻的多个像素群组的平面图。

图 8 是仅选取图 2 中主要部分的平面图。

图 9 是图 2 的 A—A' 剖面图。

图 10 是将本发明的实施例的电光装置中的 TFT 阵列基板与在其上形成的各结构要素一起从对向基板侧看的平面图。

图 11 是图 10 的 H—H' 剖面图。

标号说明

101	导电层	20c	电容器（叠层体）
201	上侧电极	201a	WSi 层
201b	多晶硅层	202	绝缘层
203	下侧电极	301	中继层
3a	扫描线	6a	数据线
9a	像素电极	10	TFT 阵列基板
30	TFT	70	存储电容
71	下部电极	75	电介质膜
75a	氧化硅膜	75b	氮化硅膜
300	电容电极	400	屏蔽层
719	中继电极	43	第 3 层间绝缘膜
44	第 4 层间绝缘膜		
881	（连接下部电极和中继电极的）接触孔		
882	（连接像素电极和中继电极的）接触孔		

具体实施方式

下面，参照附图说明本发明的实施例。在以下的说明中，先说明本实施例的布线结构的一例，然后，将由该布线结构获得的作用效果与其制造方法相关联地进行说明。

首先，参照图 1 对本实施例的布线结构进行说明。图 1 是表示本实施

例的布线结构的一例的剖面图。在图 1 中, 该布线结构从下层侧开始依次由布线 401、中继层 301、作为本发明的叠层体的一例的电容器 20C 以及导电层 101 构成。另外, 在导电层 101 和电容器 20C 间形成有第 3 层间绝缘膜 3, 在电容器 20C 和中继层 301 间形成有第 2 层间绝缘膜 2, 在中继层 301 和布线 401 间形成有第 1 层间绝缘膜 1, 以免在所述各要素间发生短路。另外, 所述第 1~第 3 层间绝缘膜 1~3 由例如氧化硅膜等构成。

在该布线结构中, 首先在基板 S 上形成布线 401。该布线 401 被描绘成与图 1 中其他要素不相联络, 但是, 该布线 401 是与图中未示出的某一要素连接, 发挥作为布线的功能的。在图 1 中, 特别表示出了由于形成有该布线 401 而在位于该布线 401 的上层的结构中产生阶差 STP 的情况。这样的阶差 STP 通过第 1~第 3 层间绝缘膜 1~3 而到达最上层。

在布线 401 上, 隔着第 1 层间绝缘膜 1 而形成中继层 301, 在该中继层 301 上, 隔着第 2 层间绝缘膜 2 而形成电容器 20C。并且, 所述中继层 301 和电容器 20C 经由接触孔 851 而电气连接。更具体而言, 电容器 20C 由上侧电极 201、绝缘层 202 和下侧电极 203 构成, 而与中继层 301 电气连接的是其中的下侧电极 203。另外, 在本实施例中, 特别地上侧电极 201 具备在图中上层具有由 WSi 膜构成的层(以下, 称为“WSi 层”)、在其下层具有由多晶硅膜构成的层(以下, 称为“多晶硅层”)的叠层结构(在图 1 和图 2 未示出, 参照后述的图 3 和图 4)。

在电容器 20C 上, 隔着第 3 层间绝缘膜 3 形成导电层 101。并且, 导电层 101 经由贯穿第 2 和第 3 层间绝缘膜 2 和 3 而开设的接触孔 852 与中继层 301 电气连接。

在这样的布线结构中, 下侧电极 203 和导电层 101 必须相互电气连接。其必要性的根据被认为有很多种, 但可认为包括如下等情况, 例如, 如在后述的电光装置的实施例中所述的那样, 在导电层 101 是用于对液晶分子施加电场的像素电极(在图 6 或图 9 中为标号 9a)、电容器 20C 是提高该像素电极的电位保持特性的存储电容(在图 6 或图 9 中为标号 70)、下侧电极 203 是作为像素电位侧电容电极的下部电极(在图 6 或图 9 中为标号

71) 时, 此外为了进一步通过使 TFT 的漏极与该下部电极连接, 实现 TFT、下部电极及像素电极这样的信号流, 后两者的电气连接是必须的。

并且, 在这样的本实施例的各种要素的配置关系中, 若侧重于中继层 301 和构成电容器 20C 的下侧电极 203 以及导电层 101, 则中继层 301 可以配置在下侧电极 203 及导电层 101 的下层。即, 在这三者之中, 中继层 301 位于最下层。

这样, 下侧电极 203 中的与中继层 301 的电气连接点就位于该下侧电极 203 的下面侧, 导电层 101 中的与中继层 301 的电气连接点也位于该导电层 101 的下面侧。

按照上述结构的布线结构, 可以得到以下的作用效果。对于这一点, 通过与未采用图 1 那样的结构的布线结构进行的对比即可知道。下面, 参照图 2 说明这一问题。图 2 是表示用于进行与图 1 的对比的结构的相同视角的剖面图。另外, 为了便于说明, 在图 1 和图 2 中, 在指示实际上相同的要素时, 使用相同的标号进行说明。

首先, 在图 1 中, 如前所述, 下侧电极 203 和中继层 301 通过在形成于两者间的第 1 层间绝缘膜 1 上开设的接触孔 851 而电气连接。因此, 可以说下侧电极 203 中、相对于中继层 301 的电气连接点就位于该下侧电极 203 的“下侧”。

与此相对, 在图 2 中, 不存在中继层 301。因此, 下侧电极 203 和导电层 101 的电气连接, 通过在该下侧电极 203 的上侧具有电气连接点的接触孔 851' 而实现。更详细而言, 接触孔 851' 是在第 3 层间绝缘膜 3、上侧电极 201 和绝缘层 202 上开孔而成, 导电层 101 以填埋该接触孔 851' 的方式而形成。

即, 在这样的结构中, 为了实现下侧电极 203 和导电层 101 间的电气连接, 如图 2 中所显示的那样, 必须利用下侧电极 203 的“上侧”。另外, 与其相伴, 这种情况下, 必须“仅”对构成电容器 20C 的上侧电极 201 或“仅”对绝缘层 202 实施蚀刻工序(参见图中的虚线)。

这是因为, 为了实现与下侧电极 203 的上侧的电气连接, 必须呈现出

如同从上方临近该下侧电极 203 的表面的状态。

但是，这样的蚀刻工序是非常困难的。下面，对于这一点，参照图 3 和图 4 进行说明。在此图 3 和图 4 是用于说明在图 2 的布线结构中仅对上侧电极 201 进行蚀刻的工序的工序图。

首先，在图 3 的工序 (1) 中，仅图示出了电容器 20C 的结构要素中由 WSi 层 201a 和多晶硅层 201b 以及位于其下层的氧化硅膜等构成的绝缘层 202。另外，由于该电容器 20C 被形成在阶差 STP 上，所以，上述 WSi 层 201a、多晶硅层 201b 和绝缘层 202 从剖面看都具有弯曲的形状。并且，又由于该电容器 20C 被形成在台阶 STP 上，所以，在图 3 的工序 (1) 中，如对 WSi 层 201a 所示的那样，在水平面上形成的 WSi 层 201a 的厚度 T1 与在阶差 STP 上形成的 WSi 层 201a 的厚度 T2 不同（即， $T2 > T1$ ）。

而对于这样的阶差 STP 上的电容器 20C，在希望仅对 WSi 层 201a 和多晶硅层 201b 进行蚀刻而同时使绝缘层 202 保留（即，将该绝缘层 202 用于所谓的蚀刻阻挡层）时，首先，如图 3 的工序 (2) 所示，实施仅蚀刻 WSi 层 201a 的工序。由此，WSi 层 201a 就被从绝缘层 202 上消除（参见图中虚线）。但是，在该图 3 的工序 (2)，会形成有残留部 201aE。这是因为如参照图 3 的工序 (1) 所说明的那样，水平面上的 WSi 层 201a 的厚度 T1 与阶差 STP 上的厚度 T2 不同而造成的。即，厚度 ($T2 - T1$) 的部分未被蚀刻而残留有 WSi 层 201a。

因此，如图 3 的工序 (3) 所示，WSi 层 201a 的蚀刻继续进行，直至将残留部 201aE 除去。但是，这时，会导致也同时进行了位于 WSi 层 201a 的下层的多晶硅层 201b 的蚀刻。结果，由于实施了以除去残留部 201aE 为目的的 WSi 层 201a 的过量蚀刻，在图 3 的工序 (3) 的阶段，水平面上的多晶硅层 201b 的厚度就变成为比当初成膜后的厚度小的厚度 T3。

另外，在进行这种情况下的 WSi 层 201a 的蚀刻时，同时存在有多晶硅层 201b 的蚀刻率大于该 WSi 层 201a 的蚀刻率的问题。即，普遍认为在图 2 的工序 (3) 中，幸运时，会残留厚度 T3 而仍然存在多晶硅层 201b，但在较差的情况下，在图 3 的工序 (3) 的阶段，该多晶硅层 201b 就会完全

消失（参照图 3 的工序（3）中的粗虚线）。另外，因为对 WSi 层 201a 的蚀刻，还有可能使得对绝缘层 202 的蚀刻也进行，所以在多晶硅层 201b 完全消失之后，也有可能产生本来不应有的绝缘层 202 的侵蚀甚至其消失的后果。甚而言之，也有可能发生超过绝缘层 202 进而向位于更下层的层（即，下侧电极 203）的侵蚀。

顺便说明，上述事情，在阶差 STP 相对非常大时特别严重。这是因为，如果阶差 STP 大，则可以认为残留部 201aE 也变大，因此，欲将其除去的对 WSi 层 201a 的蚀刻就要进行比较长的时间。这样，对叠层体的蚀刻就会伴随有非常大的困难。

而继图 3 的工序（3）之后，在图 4 的工序（4）的阶段，进行对多晶硅层 201b 的蚀刻。由此，具有上述的厚度 T3 的水平面上的多晶硅层 201b 首先被蚀刻。但是，对于该多晶硅层 201 也同样，对于在阶差 STP 上存在的该多晶硅层 201b，存在有其厚度比上述 T3 大的厚度 T4 的部分。因此，在图 4 的工序（4）的蚀刻中，和上述 WSi 层 201a 一样，会产生残留部 201bE。因此，对于该多晶硅层 201b 也同样，为了除去残留部 201bE，必须进行过量蚀刻。

于是，最终如图 4 的工序（5）所示，多晶硅层 201b 从绝缘层 202 上完全消失，但与此同时，对于图 4 中位于最下层的绝缘层 202，也进行了本来不应蚀刻的相当于厚度 T5 的程度的蚀刻。这并不是本来所希望的事情。并且，假如厚度 T5 比当初作为绝缘层 202 成膜的厚度（以下，虽然图中未示出，但设为厚度 Ts）大时，即使想使绝缘层 202 保留，也已使其消除了。进而，在厚度 T5 与厚度 Ts 相比非常大时，换言之，阶差 STP 相对非常大时，还有可能会超过绝缘层 202 而发生位于更下层的层（即，下侧电极 203）的侵蚀。

如上所述，在以往的情况下，在位于阶差 STP 上的电容器 20C 的蚀刻是非常困难的。

然而，在本实施例中，不必经过上述图 3 和图 4 的各个工序。这是因为，在图 1 中，当使下侧电极 203 与导电层 101 电气连接时，没有使用将

它们直接连接的接触孔 851' (参见图 2), 而该下侧电极 203 和该导电层 101 是通过位于它们各自的下层的中继层 301 而连接的。在下侧电极 203 在图中下面侧具有电气连接点的情况下, 就不需要图 3 和图 4 的各工序。

根据如上说明, 按照本实施例, 可以良好地实现下侧电极 203 与导电层 101 的电气连接, 同时, 可以极大地降低电容器 20C 发生无用的缺陷(例如, 上述下侧电极 203 的穿透等)的担心, 从而可以提供可进行良好的动作的布线结构。

另外, 由于在本实施例中, 特别地形成为本发明所说的“集层体”构成电容器 20C 的形态, 所以, 可以实现其大容量化。之所以这样说, 是因为在本实施例中, 如上所述, 不必经过图 3 和图 4 的各工序来实现下侧电极 203 与导电层 101 的电气连接, 所以, 不必过多考虑绝缘层 202 或下侧电极 203 的穿透等, 并预先将其厚度设置得较大。即, 绝缘层 202 的厚度可以尽可能减薄, 因此, 可以实现电容器 20C 的大容量化。

此外, 与此相关地, 在本实施例中, 所谓不必考虑上述绝缘层 202 的穿透等, 就是意味着在选择构成该绝缘层 202 的材料时没有特别的限制。例如, 作为构成绝缘层 202 的材料, 只要与氧化硅膜相比, 选择作为更高介电常数的氮化硅, 即可适于对电容器 20C 的容量增大。但是, 从两者间的蚀刻选择比的观点考虑, 如果选择更容易蚀刻的氮化硅, 则存在有该绝缘层 202 的穿透等的可能性将增大的负面影响。因此, 在以往还要进行对氧化硅的选择等。

然而, 在本实施例中, 就无需要这样的考虑。在本实施例中, 从这一点考虑, 也将促进电容器 20C 的容量增大。

进而言之, 可以使绝缘层 202 具有由包含不相同的材料的多层构成, 同时其中的一层与其他层相比包含由高介电常数材料构成的层的结构, 即具有叠层结构。

在上述实施例中, 对在阶差 STP 上形成电容器 20C 的形式进行了描述, 但是, 本发明不限于这种形式。例如, 假定不存在阶差 STP, 但有必要进行仅蚀刻上侧电极 201 的工序时, 也有可能存在上述不利的方面。因此,

电容器 20C、或者更一般地说本发明的“叠层体”，即使没有被形成在阶差上，也可以相应地享有本发明的作用效果。

另外，就阶差 STP 而言，上述实施例的阶差 STP 是因布线 401 的高度而形成的，但通常在构成各种电子设备的布线结构中，有可能存在有与图 1 所示的阶差 STP 相比，高度更大、更陡、且甚至样式更复杂（例如，某一阶差反映了位于其下层的多个要素的高度等）的情况。然而，本发明基本上与这样的事实无缘。这是因为，只要设置有中继层 301，就能够与该阶差无关地，良好地实现第 1 导电层和导电层的电气连接。反言之，可以说该阶差越高、越陡或者越复杂，则本发明所具有的价值就越高。

布线结构的制造方法

下面，参照图 5 的流程图和图 1 说明上述实施例的布线结构的制造方法。

首先，如在图 5 的步骤 S10 中那样，在基板 S 上形成布线 401，然后在布线 401 上形成第 1 层间绝缘膜 1。这样，在第 1 层间绝缘膜 1 的表面上就产生了由布线 401 的高度引起的阶差 STP。

其次，如在图 5 的步骤 S11 中那样，在第 1 层间绝缘膜 1 上形成中继层 301。

然后，如在图 5 的步骤 S12 中那样，在中继层 301 上形成第 2 层间绝缘膜 2。继而，在该第 2 层间绝缘膜 2 上形成接触孔 851 以通向中继层 301。

然后，如在图 5 的步骤 S13 中那样，在第 2 层间绝缘膜 2 上且填埋接触孔 851 那样地形成下侧电极 203，然后在该下侧电极 203 上形成绝缘层 202 和上侧电极 201，构成电容器 20C。通过该工序，就实现了下侧电极 203 与中继层 301 的电气连接。

然后，如在图 5 的步骤 S14 中那样，在电容器 20C 上形成第 3 层间绝缘膜 3。继而，在该第 3 层间绝缘膜 3、进而位于其下层的第 2 层间绝缘膜 2 上通向中继层 301 那样地形成接触孔 852。

然后，如在图 5 的步骤 S15 中那样，在第 3 层间绝缘膜 3 上且填埋接触孔 852 那样地形成导电层 101。通过该工序，就实现了导电层 101 与中

继层 301 的电气连接，从而也就实现了导电层 101 与下侧电极 203 间的电气连接。

这样，在制造本实施例的布线结构时，不必经过用图 3 和图 4 所说明的仅蚀刻上侧电极 201 这样的困难的工序，即可极好地实现下侧电极 203 与导电层 101 的电气连接。

另外，上述布线 401、中继层 301、构成电容器 20C 的三要素、导电层 101 可以分别利用溅射法或 CVD (Chemical Vapor Deposition) 法在基板 S 的整个面上形成由适当的导电性材料构成的前驱膜，然后对该前驱膜利用光刻和蚀刻等进行图案形成处理以具有适当的平面形状。另外，在本发明中，包括在所述各要素间混合存在其他要素的情况（例如，在中继层 301 和下侧电极 203 之间存在布线等其他要素的情况）。总之，从电流的观点看，只要有从下侧电极 203（或者导电层 101）向其下层的中继层 301，继而从该中继层 301 向其上层的导电层 101（或者下侧电极 203）的电流，即在本发明的范围内。

电光装置的实施例

下面，参照附图说明本发明的实施例。以下的实施例是将本发明的电光装置应用于液晶装置的实施例。

像素部的结构

首先，参照图 6～图 9 说明本发明实施例的电光装置的像素部的结构。在此图 6 是构成电光装置的图像显示区域的形成为矩阵状的多个像素中的各种元件、布线等的等效电路。图 7 是形成有数据线、扫描线、像素电极等的 TFT 阵列基板的相邻的多个像素群组的平面图。图 8 是图 7 中主要部分的平面图，具体而言，就是为了表示数据线、屏蔽层及像素电极间的配置关系而主要将它们选出的平面图。图 9 是图 7 的 A-A' 剖面图。在图 9 中，为了将各层、各部件设为在图面上可以识别的大小，对各层、各部件使比例不同。

在图 6 中，在构成本实施例的电光装置的图像显示区域的形成为矩阵状的多个像素中，分别形成有像素电极 9a 和用于开关控制该像素电极 9a

的 TFT30, 供给图像信号的数据线 6a 与该 TFT30 的源极电气连接。写入数据线 6a 的图像信号 S1、S2、...、SN 可以按该顺序依线顺次供给, 也可以对彼此相互邻接的多个数据线 6a 按每个组供给。

另外, 栅电极与 TFT30 的栅极电气连接, 并以指定的定时 (タイミング) 脉冲式地将扫描信号 G1、G2、...、GM 按该顺序依线顺次施加给扫描线 11a 和栅电极。像素电极 9a 与 TFT30 的漏极电气连接, 通过使作为开关元件的 TFT30 将其开关关闭一定期间, 以指定的定时写入由数据线 6a 供给的图像信号 S1、S2、...、SN。

通过像素电极 9a 写入到作为电光物质的一例的液晶上的指定电平的图像信号 S1、S2、...、SN 在与形成于对向基板上的对向电极之间保持一定期间。液晶, 其分子集合的取向、秩序随着所施加的电压电平而变化, 由此可以对光进行调制而进行灰度显示。如果是常白模式, 则根据以各像素单位所施加的电压减少对入射光的透过率, 如果是常黑模式, 则根据以各像素单位所施加的电压增加对入射光的透过率, 作为整体从电光装置射出具有与图像信号相对应的对比度的光。

为了防止在此保持的图像信号泄漏, 附加有与在像素电极 9a 和对向电极之间形成的液晶电容并联的存储电容 70。该存储电容 70 与扫描线 11a 平行地设置, 包含固定电位侧电容电极, 同时包含被固定为恒定电位的电容电极 300。

下面, 参照图 7~图 9 说明通过上述数据线 6a、扫描线 11a 和栅电极、TFT30 等而实现上述电路动作的电光装置的实际的结构。

首先, 在图 7 中, 像素电极 9a 在作为有源矩阵基板的 TFT 阵列基板 10 上呈矩阵状地设置有多个 (由虚线部表示轮廓), 并分别沿像素电极 9a 的纵横边界设置数据线 6a 和扫描线 11a。如后面所述, 数据线 6a 由包含铝膜等的叠层结构构成, 扫描线 11a 由例如导电性的多晶硅膜等构成。另外, 扫描线 11a 与和半导体层 1a 中的以图中向右上方倾斜的斜线区域所示的沟道区域 1a' 对向的栅电极 3a 电气连接, 该栅电极 3a 成为被包含在该扫描线 11a 中的形式。即, 在栅电极 3a 与数据线 6a 交叉的地方, 分别设

置有与沟道区域 1a' 对向地配置有被包含在扫描线 11a 中的栅电极 3a 的像素开关用的 TFT30。换言之, TFT30 (除了栅电极) 成为位于栅电极 3a 与扫描线 11a 之间的形式。

其次, 如作为图 7 的 A-A' 线剖面图的图 9 所示, 电光装置具有例如由石英基板、玻璃基板、硅基板构成的 TFT 阵列基板 10、和与其相对配置的由例如玻璃基板或石英基板构成的对向基板 20。

如图 9 所示, 在 TFT 阵列基板 10 侧设置有上述像素电极 9a, 并在其上侧设置有实施了摩擦处理等指定的取向处理的取向膜 16。像素电极 9a 由例如 IT0 膜等透明导电性膜构成。另一方面, 在对向基板 20 侧遍及其全面地设置有对向电极 21, 并在其下侧设置有实施了摩擦处理等指定的取向处理的取向膜 22。其中, 对向电极 21 和上述像素电极 9a 一样, 由例如 IT0 膜等透明导电性膜构成, 上述取向膜 16 和 22 由例如聚酰亚胺膜等透明的有机膜构成。

在这样相对配置的 TFT 阵列基板 10 和对向基板 20 之间, 将液晶等电光物质封入到由后述的密封材料 (参见图 10 和图 11) 包围起来的空间中, 形成液晶层 50。液晶层 50 在未施加来自像素电极 9a 的电场的状态下, 由取向膜 16 和 22 形成指定的取向状态。液晶层 50 由例如一种或混合有多种向列液晶的电光物质构成。密封材料是用于将 TFT 基板 10 和对向基板 20 在它们的周边相互粘贴的、由例如光硬化性树脂或热硬化性树脂构成的粘接剂, 并混入有用于使两基板间的距离为指定值的玻璃纤维或玻璃珠等隔离物。

另一方面, 在 TFT 阵列基板 10 上, 除了上述像素电极 9a 和取向膜 16 外, 呈叠层结构地具备包含它们的各种结构。如图 9 所示, 该叠层结构从下起依次具有包含扫描线 11a 的第 1 层、包含具有栅电极 3a 的 TFT30 等的第 2 层、包含存储电容 70 的第 3 层、包含数据线 6a 等的第 4 层、包含屏蔽层 400 等的第 5 层和包含上述像素电极 9a 和取向膜 16 等的第 6 层 (最上层)。另外, 在第 1 层和第 2 层之间设置有基底绝缘膜 12、在第 2 层和第 3 层之间设置有第 1 层间绝缘膜 41、在第 3 层和第 4 层之间设置有第 2

层间绝缘膜 42、在第 4 层和第 5 层之间设置有第 3 层间绝缘膜 43、在第 5 层和第 6 层之间设置有第 4 层间绝缘膜 44,以防止上述各要素间发生短路。另外,在所述的各种绝缘膜 12、41、42、43 和 44 上,另外还设置有例如将 TFT30 的半导体层 1a 中的高浓度源极区域 1a 与数据线 6a 电气连接的接触孔等。下面,对所述的各要素自下起依次说明。

首先,在第 1 层上设置有由包含例如 Ti(钛)、Cr(铬)、W(钨)、Ta(钽)、Mo(钼)等高熔点金属中的至少一种的金属单体、合金、金属硅化物、多晶硅化物、其叠层体、或导电性多晶硅等构成的扫描线 11a。该扫描线 11a 从平面看沿图 7 的 X 方向被图案形成为条纹状。若更详细讲,条纹状的扫描线 11a 具有沿图 7 的 X 方向延伸的本线部和沿着延设有数据线 6a 或屏蔽层 400 的图 7 的 Y 方向延伸的突出部。另外,从相邻的扫描线 11a 延伸出的突出部相互不连接,因此,该扫描线 11a 呈 1 条 1 条分开形式。

由此,扫描线 11a 就具有一起控制处于同一行的 TFT30 的通/断的功能。另外,该扫描线 11a 以将未形成有像素电极 9a 的区域掩盖的方式形成,所以,具有遮蔽从下侧向 TFT30 入射的光的功能。由此,能够抑制 TFT30 的半导体层 1a 中的光漏电流的发生,从而可以获得没有闪烁等的高品质的图像显示。

其次,作为第 2 层,设置有包含栅电极 3a 的 TFT30。如图 9 所示,TFT30 具有 LDD(Lightly Doped Drain,轻掺杂漏)结构,作为其构成要素,具有上述栅电极 3a、由例如多晶硅膜构成并由来自栅电极 3a 的电场形成沟道的半导体层 1a 的沟道区域 1a'、包含将栅电极 3a 与半导体层 1a 绝缘的栅极绝缘膜的绝缘膜 2、半导体层 1a 中的低浓度源极区域 1b 和低浓度漏极区域 1c 以及高浓度源极区域 1d 和高浓度漏极区域 1e。

并且,在本实施例中,特别在该第 2 层中,作为与上述栅电极 3a 相同的膜而形成中继电极 719。该中继电极 719 从平面看,如图 7 所示,位于各像素电极 9a 的一边的大致中央那样地形成成为岛状。由于中继电极 719 和栅电极 3a 作为相同的膜而形成,所以,在后者由例如导电性多晶硅膜等

构成时,前者也由导电性多晶硅膜等构成。

上述 TFT30 优选为如图 9 所示的那样具有 LDD 结构,但是,可以是不进行在低浓度源极区域 1b 和低浓度漏极区域 1c 中掺入杂质的偏置结构,也可以是将栅电极 3a 作为掩模以高浓度掺入杂质、自对准式地形成高浓度源极区域和高浓度漏极区域的自对准型的 TFT。另外,在本实施例中,采用了在高浓度源极区域 1d 和高浓度漏极区域 1e 之间仅配置 1 个像素开关用 TFT30 的栅电极的单栅极结构,但是,也可以在它们之间配置 2 个或 2 个以上的栅电极。如果这样以双栅极或三栅极以上构成 TFT,则可以防止沟道与源极和漏极区域的接合部的泄漏电流,从而可以降低截止时的电流。

此外,构成 TFT30 的半导体层 1a 既可以是非单晶体层,也可以是单晶体层。在单晶体层的形成,可以使用贴合法等众所周知的方法。通过将半导体层 1a 设为单晶体层,特别地可以实现周边电路的高性能化。

在以上说明的扫描线 11a 之上、且在 TFT30 之下,设置有由例如氧化硅膜等构成的基底绝缘膜 12。基底绝缘膜 12 除了将 TFT30 与扫描线 11a 层间绝缘的功能外,通过在 TFT 阵列基板 10 的整个面上形成,还可具有防止因 TFT 阵列基板 10 的表面摩擦时产生的粗糙、清洗后所残留的污物等原因使像素开关用的 TFT30 的特性发生变化的功能。

在基底绝缘膜 12 上,从平面看在半导体层 1a 的两侧,开设有与沿前述的数据线 6a 延伸的半导体层 1a 的沟道长度同幅度的槽(接触孔)12cv,对应该槽 12cv,层叠在其上方的栅电极 3a 包含有下侧形成为凹状的部分。另外,通过将该槽 12cv 整体填埋那样地形成栅电极 3a,而在该栅电极 3a 上延设与其一体形成的侧壁部 3b。由此,如图 7 所清楚地显示的那样,TFT30 的半导体层 1a 平面看被从侧面覆盖,从而至少能够抑制来自该部分的光的入射。

另外,该侧壁部 3b 以将上述槽 12cv 填埋的方式而被形式,同时使其下端与上述扫描线 11a 接触。在此,扫描线 11a 如上述那样形成为条纹状,因此,位于某一行的栅电极 3a 和扫描线 11a,仅限于该行始终为同电位。

在此,在本发明中,也可以采用与扫描线 11a 平行地形成包含栅电极

3a 的另一扫描线的结构。这时，该扫描线 11a 与该另一扫描线就成为冗长的布线结构。

由此，即使在例如该扫描线 11a 的一部分存在有某种缺陷而不能正常通电时，只要位于与该扫描线 11a 同一行的另一扫描线是完好的，则通过它仍然可以正常地进行 TFT30 的动作控制。

继上述第 2 层之后在第 3 层中，设置有存储电容 70。存储电容 70 通过使与 TFT30 的高浓度漏极区域 1e 及像素电极 9a 电气连接的作为像素电位侧电容电极的下部电极 71、和作为固定电位侧电容电极的电容电极 300 隔着电介质膜 75 相对配置而形成。根据该存储电容 70，可以显著地提高像素电极 9a 的电位保持特性。另外，如由图 7 的平面图可知的那样，本实施例的存储电容 70 以未达到与像素电极 9a 的形成区域大致对应的光透过区域（换言之，以收敛在遮光区域内的方式形成），因此，能够较大地维持电光装置整体的像素开口率，由此，可显示更明亮的图像。

更详细而言，下部电极 71 由例如导电性的多晶硅膜构成，并起到作为像素电位侧电容电极的功能。但是，下部电极 71 也可以由包含金属或包含合金的单层膜或多层膜构成。另外，下部电极 71 除了具有作为像素电位侧电容电极的功能外，还具有中继连接像素电极 9a 与 TFT30 的高浓度漏极区域 1e 的功能。并且，在本实施例中，特别地存在有经由上述中继电极 71 来进行在此所说的中继连接的特征。关于这一点，后面会再次提及。

电容电极 300 具有作为存储电容 70 的固定电位侧电容电极的功能。在本实施例中，为了将电容电极 300 设成固定电位，通过与被设为固定电位的屏蔽层 400 电气连接而实现。

并且，在本实施例中，特别地，该电容电极 300，在 TFT 阵列基板 10 上与各像素相对应地形成成为岛状，且上述下部电极 71 被形成成为与该电容电极 300 具有大致相同的形状。

由此，本实施例的存储电容 70 就不会在平面上具有过分的宽度，即不会使像素开口率降低，并且在该状况下可以实现最大限度的电容值。即，在本实施例中，存储电容 70 可用更小的面积具有更大的电容值。

更详细而言,由图9可知,电容电极300的面积比下部电极71的面积略大一点,即前者以将后者覆盖的方式形成。按照这样的形式,如由图可看出的那样,可以将该电容电极300及该下部电极71的侧面也作为电容利用(参见图9中的存储电容70的左侧),因此,可以实现电容值的增大。另外,两者间也不易发生短路。另外,从这样的观点考虑,为了使上述侧面的面积增大,例如预先将下部电极71形成得比较厚也是有效的。

另外,该电容电极300可以具有例如从上层起依次为WSi层及多晶硅层这样的二层结构。根据这样的二层结构,由于WSi层的存在而可以提高对TFT30的遮光性,且由于多晶硅层的存在而可以得到良好的导电性。另外,电容电极300,除此以外,还可以考虑具有自上层起依次为铝层及多晶硅层这样的二层结构,或从上层起依次交替地反复出现WSi层及由钛构成的层、最后为多晶硅层的结构等。

如图9所示,电介质膜75由例如膜厚为5~200nm左右的比较薄的HTO(High Temperature Oxide)膜、LT0(Low Temperature Oxide)膜等氧化硅膜,或者氮化硅膜等构成。从增大存储电容70的观点考虑,只要能够充分地获得膜的可靠性,则电介质膜75越薄越好。并且,在本实施例中,如图9所示,电介质膜75特别地具有下层为氧化硅膜75a、上层为氮化硅膜75b这样的二层结构。其中上层的氮化硅膜75b被图案形成为比像素电位侧电容电极的下部电极71略大的尺寸,并以收敛在遮光区域(非开口区域)内的方式形成。因此,由于存在有介电常数比较大的氮化硅膜75b,所以可以使存储电容70的电容值增大,另外,即便如此,由于存在有氧化硅膜75a,所以仍不会使存储电容70的耐压性降低。这样,通过将电介质膜75设为二层结构,可以享有相反的两个作用效果。另外,由于存在有氮化硅膜75b,可以防止水对TFT30的侵入于未然。由此,在本实施例中,不会导致TFT30的阈值电压上升这样的后果,可以实现比较长期的装置运行。另外,因为具有着色性的氮化硅膜75b被图案形成为比下部电极71略大的尺寸,且没有形成在光透过的部分(位于遮光区域内),所以,可以防止透过率下降。在本实施例中,电介质膜75具有二层结构,但是,根

据情况不同,也可以构成为具有例如氧化硅膜、氮化硅膜及氧化硅膜等这样的三层结构或者在其以上的叠层结构。

在以上说明的 TFT30 或栅电极 3a 及中继电极 719 之上、且在存储电容 70 之下,形成有由例如 NSG (非硅酸盐玻璃)、PSG (磷硅酸盐玻璃)、BSG (硼硅酸盐玻璃)、BPSG (硼磷硅酸盐玻璃)等硅酸盐玻璃膜、氮化硅膜、氧化硅膜等、或者优选为 NSG 构成的第 1 层间绝缘膜 41。并且,在第 1 层间绝缘膜 41 上,贯通后述的第 2 层间绝缘膜 42 地开设有将 TFT30 的高浓度源极区域 1d 与后述的数据线 6a 电气连接的接触孔 81。另外,在第 1 层间绝缘膜 41 上,开设有将 TFT30 的高浓度漏极区域 1e 与构成存储电容 70 的下部电极 71 电气连接的接触孔 83。

此外,在该第 1 层间绝缘膜 41 上,还开设有用于将构成存储电容 70 的作为像素电位侧电容电极的下部电极 71 与中继电极 719 电气连接的接触孔 881。此外,在第 1 层间绝缘膜 41 上,贯通后述的第 2 层间绝缘膜开设有将中继电极 719 与后述的第 2 中继电极 6a2 电气连接的接触孔 882。

另外,所述 4 个接触孔中,在接触孔 81 和 882 的形成部分没有形成上述电介质膜 75,换言之,在该电介质膜 75 上形成有开口部。这是因为在接触孔 81 处必须实现高浓度源极区域 1d 与数据线 6a 间的电气导通,而在接触孔 882 处要使该接触孔 882 贯穿第 1 和第 2 层间绝缘膜 41 和 42 的缘故。顺便说明,如果在电介质膜 75 上设置这样的开口部,则在进行对 TFT30 的半导体层 1a 的氢化处理时,可以得到易于使该处理所用的氢通过该开口部到达半导体层 1a 的作用效果。

另外,在本实施例中,通过对第 1 层间绝缘膜 41 进行约 1000℃ 的焙烧,可以实现注入到构成半导体层 1a 或栅电极 3a 的多晶硅膜中的离子的激活。

而继上述第 3 层之后在第 4 层上,设置有数据线 6a。该数据线 6a 与 TFT30 的半导体层 1a 的延伸方向一致地、即与图 7 中 Y 方向重叠地形成成为条纹状。如图 9 所示,该数据线 6a 被作为自下层起依次具有由铝构成的层 (参见图 9 中的标号 41A)、由氮化钛构成的层 (参见图 9 中的标号 41TN)、

由氮化硅膜构成的层（参见图 9 中的标号 401）的三层结构的膜而形成。氮化硅膜以将其下层的铝层和氮化钛层覆盖的方式被图案形成为稍大的尺寸。其中，由于数据线 6a 包含作为电阻比较小的材料的铝，所以能够无迟滞地实现对 TFT30、像素电极 9a 的图像信号的供给。另一方面，由于在该数据线 6a 上存在有防止水分的浸入的作用比较优异的氮化硅膜，所以可以实现 TFT30 的耐湿性的提高，从而可以延长其寿命。氮化硅膜优选为等离子体氮化硅膜。

另外，在该第 4 层上，作为与数据线 6a 相同的膜，形成有屏蔽层用中继层 6a1 和第 2 中继电极 6a2。如图 7 所示，从平面看，它们并没有以具有与数据线 6a 连续的平面形状的方式形成，而是以各部分之间在图案形成上分开的方式形成。即，若注意图 7 中位于最左方的数据线 6a，在其正右方形形成有具有略四边形状的屏蔽层用中继层 6a1，进而在其右方形形成有具有比屏蔽层用中继层 6a1 略大的面积的具有大致四边形状的第 2 中继电极 6a2。屏蔽层用中继层 6a1 和第 2 中继电极 6a2，是与数据线 6a 在同一工序中，作为具有自下层起依次为由铝构成的层、由氮化钛构成的层、由氮化硅构成的层的三层结构的膜而被形成的。并且，氮化硅膜以将其下层的铝层和氮化钛层覆盖的方式被图案形成为稍大的尺寸。氮化钛层具有作为用于防止相对于屏蔽层用中继层 6a1 和第 2 中继电极 6a2 形成的接触孔 803、804 的蚀刻穿透的阻挡金属的功能。另外，由于在屏蔽层用中继层 6a1 和第 2 中继电极 6a2 上形成有防止水分的浸入的作用比较优异的氮化硅膜，所以可以实现 TFT30 的耐湿性的提高，从而可以实现其寿命的延长。另外，氮化硅膜优选为等离子体氮化硅膜。

在以上说明的存储电容 70 之上、且在数据线 6a 之下，形成有例如 NSG、PSG、BSG、BPSG 等硅酸盐膜、氮化硅膜或氧化硅膜等、或者优选为使用了 TEOS 气体的、利用等离子体 CVD 法形成的第 2 层间绝缘膜 42。在第 2 层间绝缘膜 42 上，开设有将 TFT30 的高浓度源极区域 1d 与数据线 6a 电气连接的上述的接触孔 81，同时开设有将上述屏蔽层用中继层 6a1 与作为存储电容 70 的上部电极的电容电极 300 电气连接的接触孔 801。此外，在第 2 层

间绝缘膜 42 上, 形成有用于将第 2 中继电极 6a2 与中继电极 719 电气连接的上述的接触孔 882。

而继上述第 4 层之后在第 5 层上, 形成屏蔽层 400。该屏蔽层 400, 若从平面看, 如图 7 和图 8 所示, 分别沿图中 X 方向和 Y 方向延伸而形成格子状。对于该屏蔽层 400 中沿图中 Y 方向延伸的部分, 特别地以覆盖数据线 6a 的方式、且比该数据线 6a 更宽地形成。另外, 对于图中沿 X 方向延伸的部分, 为了确保形成后述的第 3 中继电极 402 的区域, 在各像素电极 9a 的一边的中央附近具有切口部。

此外, 在图 7 或图 8 中, 在分别沿 XY 方向延伸的屏蔽层 400 的交叉部分的角部, 以将该角部掩盖的方式设置有大致呈三角形形状的部分。由于在屏蔽层 400 上设置有该大致呈三角形的部分, 所以能够有效地进行对 TFT30 的半导体层 1a 的光的遮蔽。即, 相对于半导体层 1a 从斜上方进入的光, 被该三角形形状的部分反射或吸收而不能到达半导体层 1a。因此, 能够抑制光漏电流的发生, 从而可以显示没有闪烁等的高品质的图像。

屏蔽层 400 从配置有像素电极 9a 的图像显示区域 10a 向其周围延伸, 与恒定电位源电气连接, 由此被设为固定电位。另外, 作为在此所说的“恒定电位源”, 可以是供给给数据线驱动电路 101 的正电源或负电源的恒定电位源, 也可以是供给给对向基板 20 的对向电极 21 的恒定电位源。

这样, 根据覆盖数据线 6a 的整体 (参见图 8) 地形成的、同时被设为固定电位的屏蔽层 400 的存在, 可以消除在该数据线 6a 和像素电极 9a 间发生的电容耦合的影响。即, 可以避免像素电极 9a 的电位随着向数据线 6a 的通电而变化的现象于未然, 从而可以降低在图像上发生沿着数据线 6a 的显示不均的可能性。在本实施例中, 特别地由于屏蔽层 400 形成为格子状, 所以, 即使对于扫描线 11a 延伸的部分也可以对其加以抑制以免发生无用的电容耦合。

另外, 在第 4 层上, 作为与这样的屏蔽层 400 相同的膜, 形成有作为本发明中所说的“中继层”的一例的第 3 中继电极 402。该第 3 中继电极 402 具有通过后述的接触孔 89 对第 2 中继电极 6a2 和像素电极 9a 间的电

气连接进行中继的功能。另外，在所述的屏蔽层 400 和第 3 中继电极 402 间并没有呈平面形状连续地形成，两者间在图案形成是分开地形成的。

另一方面，上述屏蔽层 400 和第 3 中继电极 402，具有下层为由铝构成的层、上层为由氮化钛构成的层的二层结构。另外，在第 3 中继层 402 中，下层的由铝构成的层与第 2 中继电极 6a2 连接，上层的由氮化钛构成的层与由 ITO 等构成的像素电极 9a 连接。这时，特别是后者的连接能够良好地进行。这一点，与假如采用将铝与 ITO 直接连接的形式时，会在两者之间产生电蚀，因为由铝的断线、或氧化铝形成而引起的绝缘等因素，而无法实现理想的电连接的情况形成对照。这样，由于在本实施例中，可以良好地实现第 3 中继电极 401 与像素电极 9a 的电气连接，所以能够良好地维持对该像素电极 9a 的电压施加、或者该像素电极 9a 的电位保持特性。

此外，由于屏蔽层 400 和第 3 中继电极 402 包含光反射性能比较优异的铝，且包含光吸收性能比较优异的氮化钛，所以，可以获得作为遮光层的功能。即，根据它们，能够将入射光（参见图 9）对 TFT30 的半导体层 1a 的传播抑制在其上侧。如前所述，对于上述电容电极 300 和数据线 6a，可以说也是一样的。在本实施例中，所述屏蔽层 400、第 3 中继电极 402、电容电极 300 和数据线 6a 形成为构筑在 TFT 阵列基板 10 上的叠层结构的一部分，同时可以起到作为遮蔽对 TFT30 来自上侧的入射光的上侧遮光膜（或者，如果侧重于构成“叠层结构的一部分”这一点可称为“内藏遮光膜”）的功能。按照构成该“上侧遮光膜”或者“内藏遮光膜”的概念，除了上述结构外，可以认为栅电极 3a 及下部电极 71 等也包含在其中。总之，在最广义地理解的前提下，只要是构筑在 TFT 阵列基板 10 上的由不透明的材料构成的结构，就可以称为“上侧遮光膜”或“内藏遮光膜”。

在以上说明的上述数据线 6a 之上、且在屏蔽层 400 之下，形成有 NSG、PSG、BSG、BPSG 等硅酸盐玻璃膜、氮化硅膜或氧化硅膜等、或者最好由使用了 TEOS 气体的等离子体 CVD 法形成的第 3 层间绝缘膜 43。在该第 3 层间绝缘膜 43 上，分别开设有用于将上述屏蔽层 400 与屏蔽层用中继层 6a1 电气连接的接触孔 803 和用于将第 3 中继电极 402 与第 2 中继电极 6a2 电

气连接的接触孔 804。

另外，对第 2 层间绝缘膜 42 不进行对第 1 层间绝缘膜 41 进行的上述的焙烧，由此可以实现在电容电极 300 的界面附近发生的应力的缓和。

最后，在第 6 层上，如上所述，呈矩阵状地形成像素电极 9a，并在该像素电极 9a 上形成取向膜 16。并且，在像素电极 9a 之下，形成由 NSG、PSG、BSG、BPSG 等硅酸盐玻璃膜、氮化硅膜、氧化硅膜等，或者优选为 BPSG 构成的第 4 层间绝缘膜 44。在该第 4 层间绝缘膜 44 上，开设有用于将像素电极 9a 和上述第 3 中继电极 402 间电气连接的接触孔 89。另外，在本实施例中，特别地第 4 层间绝缘膜 44 的表面通过 CMP (Chemical Mechanical Polishing) 处理等而被平坦化，降低了因为由位于其下方的各种布线、元件等造成的阶差引起的液晶层 50 的取向不良。但是，取代这样对第 4 层间绝缘膜 44 进行平坦化处理，或者在此基础上，还可通过在 TFT 阵列基板 10、基底绝缘膜 12、第 1 层间绝缘膜 41、第 2 层间绝缘膜 42 及第 3 绝缘膜 43 中的至少一个上开设槽，并将数据线 6a 等的布线、TFT30 等埋设其中，以进行平坦化处理。

在形成这种构成的本实施例的电光装置中，特别地具有作为第 2 层存在有作为与栅电极 3a 相同的膜形成的中继电极 719，并且位于第 3 层的存储电容 70 的下部电极 71 与位于第 6 层的像素电极 9a 通过该中继电极 719 电气连接的特征。

这样，由于下部电极 71 和像素电极 9a，将其分开来看，通过位于更下层的中继电极 719 而被连接，所以，该中继电极 719 与下部电极 71 的电气连接点、尤其是下部电极 71 的电气连接点，位于该下部电极 71 的下侧（参见图 9 中的接触孔 881）。

这样的电光装置的结构，可以说是更具体且实际地应用了上述本实施例的布线结构。即，本发明的电光装置中的“中继电极 719”相当于上述本发明的布线结构中的“中继层 301”，同样，“下部电极 71”相当于“下侧电极 203”，而“像素电极 9a”相当于“导电层 101”。另外，本发明中所说的“存储电容 70”，相当于上述“电容器 20C”。因此，按照本实

施例的电光装置，可以得到与由图 1 所示的布线结构所获得的作用效果大致相同的作用效果。

即，按照本实施例的电光装置，为了将存储电容 70 和像素电极 9a 电气连接，不必经过仅对构成存储电容 70 的作为固定电位侧电容电极的电容电极 300 蚀刻这样的困难的工序，该存储电容 70 和该像素电极 9a 间的电气连接通过中继电极 719 来进行即可将其良好地实现。

另外，在本发明中，由于不必经过仅蚀刻上述电容电极 300 的工序，所以，能够形成没有无用的缺陷（例如，下部电极 71 的穿透等）的存储电容 70。此外，按照本实施例，在必须对于存储电容的全体进行某种图案形成处理时，可以一并对电容电极 300、电介质膜 75 和下部电极 719 进行图案形成处理。

在上述实施例中，中继电极 719 作为与栅电极 3a 相同的膜而被形成，但是，本发明不限于这样的形式。例如，在上述实施例中，也可以考虑将在第 3 层上形成的存储电容 70，通过各种办法，形成在更上层的情况，因此，在这种情况下，可以设想使中继电极位于栅电极 3a 的上层。另外，对于各结构要素的立体的、平面的设计，本发明也不限于上述实施例的形式。也可以考虑与图 6～图 9 不同的形式。

另外，在上述实施例中，存储电容 70 构成了自下侧起依次为像素电位侧电容电极、电介质膜和固定电位侧电容电极这样的三层结构，但是，根据情况不同，也可以构成与此相反的结构。这时，例如，可以使作为上部电极的像素电位侧电容电极具有比固定电位侧电容电极的面积大的面积的方式、即前者相对于后者在平面上具有多余的面形成，同时，可以将该多余的面配置得与通向中继电极 719 的接触孔的形成位置相对应。这样，中继电极 719 与像素电位侧电容电极的电气连接可以通过该接触孔而很容易地实现。

这样，本发明中所说的“像素电位侧电容电极”就不再是构成存储电容 70 的“下部电极 71”（参见上述实施例），而是构成其上部电极。

电光装置的全体结构

下面，参照图 10 和图 11 说明如上述那样构成的本实施例的电光装置的整体结构。另外，图 10 是将 TFT 阵列基板与在其上形成的各结构要素一起从对向基板 20 侧看的平面图，图 11 是图 10 的 H-H' 剖面图。

在图 10 和图 11 中，在本实施例的电光装置中 TFT 阵列基板 10 与对向基板 20 被相对配置。在 TFT 阵列基板 10 和对向基板 20 之间，封入有液晶层 50，TFT 阵列基板 10 和对向基板 20 通过设置在位于图像显示区域 10a 的周围的密封区域的密封材料 52 而相互连接。

密封材料 52 是用于使两基板相互贴合，由例如紫外线硬化树脂、热硬化树脂等构成，可通过紫外线、加热等使其硬化的材料。另外，在密封材料 52 中，如果是将本实施例的电光装置应用于如液晶装置中的投影用途那样进行小型放大显示的液晶装置，则散布有用于使两基板间的距离（基板间隔）为指定值的玻璃纤维或玻璃珠等间隔材料（隔离物）。或者，如果将该电光装置应用于如液晶显示器或液晶电视那样进行大型等倍显示的液晶装置，则这样的间隔材料就可以包含在液晶层 50 中。

在密封材料 52 的外侧区域，沿 TFT 阵列基板 10 的一边设置有通过以指定的定时向数据线供给图像信号而驱动该数据线 6a 的数据线驱动电路 101 以及外部电路连接端子 102，沿与该边相邻的两边设置有通过以指定的定时向扫描线 11a 及栅电极 3a 供给扫描信号而驱动栅电极 3a 的扫描线驱动电路 104。

另外，只要供给给扫描线 11a 和栅电极 3a 的扫描信号延迟没有问题，扫描驱动电路 104 当然也可以仅设于一侧。另外，也可以将数据线驱动电路 101 沿着图像显示区域 10a 的边排列在两侧。

在 TFT 阵列基板 10 的余下的一边，设置有助于将设置在图像显示区域 10a 的两侧的扫描线驱动电路 104 间连接的多个布线 105。

另外，在对向基板 20 的角部的至少 1 个部位，设置有助于在 TFT 阵列基板 10 与对向基板 20 之间获得电气导通的导通部件 106。

在图 11 中，在 TFT 阵列基板 10 上，在形成像素开关用的 TFT、扫描线、数据线等布线之后的像素电极 9a 上，形成取向膜。另一方面，在对向

基板 20 上,除了对向电极 21 以外,在最上层部分形成取向膜。另外,液晶层 50 由例如一种或混合有多种向列液晶的液晶构成,并在所述一对取向膜间获得指定的取向状态。

在 TFT 阵列基板 10 上,除了所述的数据线驱动电路 101、扫描线驱动电路 104 等以外,还可形成以规定的定时向多条数据线 6a 施加图像信号的采样电路、将规定电压电平的预充电信号先于图像信号分别供给给多条数据线 6a 的预充电电路、用于检查制造过程中、出厂时的电光装置的品质、缺陷等的检查电路等。

另外,在上述实施例中,作为将数据线驱动电路 101 和扫描线驱动电路 104 设置在 TFT 阵列基板 10 上的替代,也可以使其经由设置在 TFT 阵列基板 10 的周边部的各向异性导电薄膜电气式地及机械式地连接到安装在例如 TAB (Tape Automated Bonding) 基板上的驱动用 LSI 上。另外,在对向基板 20 的投射光入射的一侧和 TFT 阵列基板 10 的出射光出射的一侧,根据例如 TN (Twisted Nematic) 模式、VA (Vertically Aligned) 模式、PDLC (Polymer Dispersed Liquid Crystal) 模式等的动作模式,或常白模式、常黑模式的不同,分别在指定的方向配置有偏振膜、相位差膜、偏振片等。

本发明不限于上述实施例,在不违反从权利要求范围和说明书中可以理解的发明的主旨、或思想的范围内可以适当地变更,伴随有这样的变更的布线结构及其制造方法以及电光装置、或者例如电泳装置、场致发光装置、或包含这些电光装置的电子设备也包含在本发明的技术范围内。

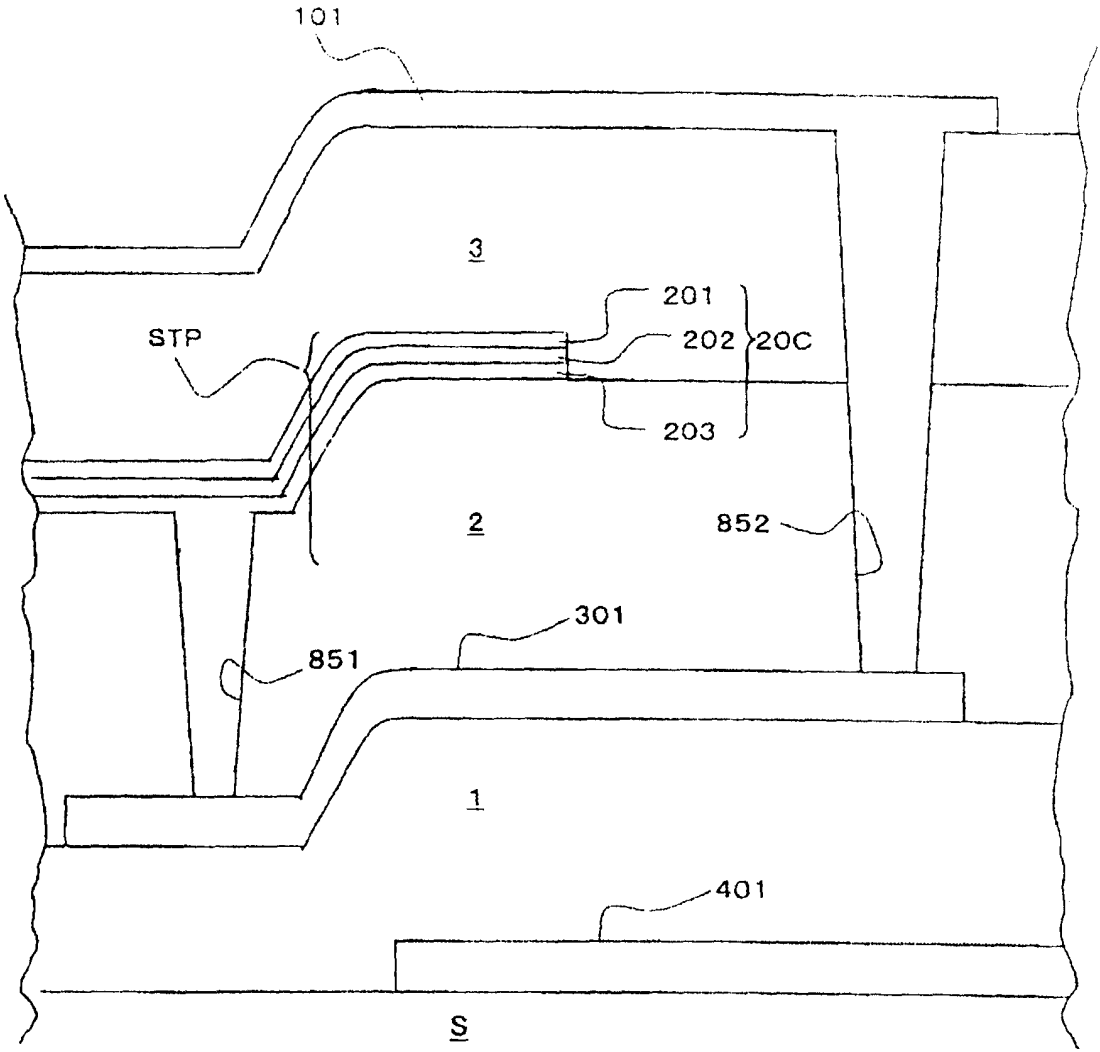


图 1

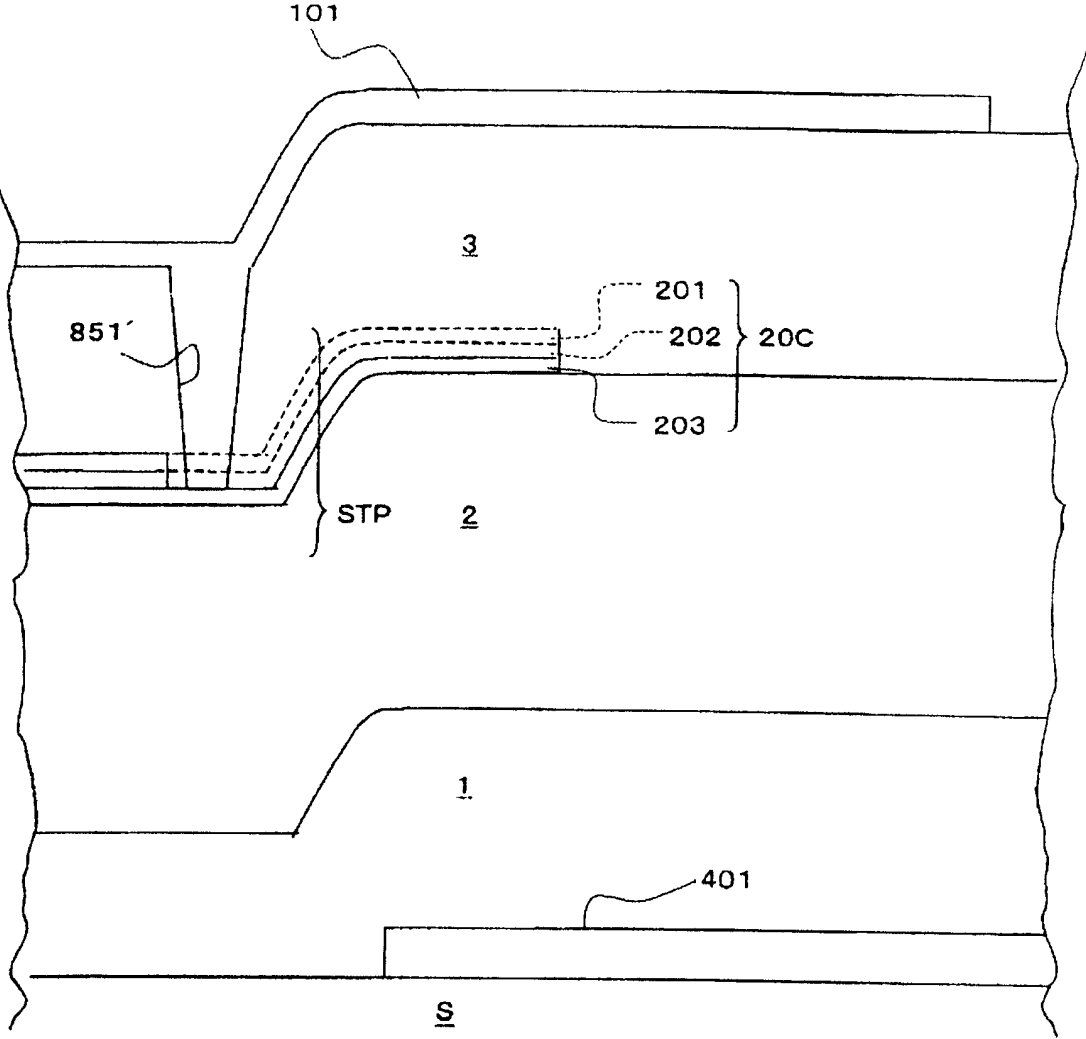
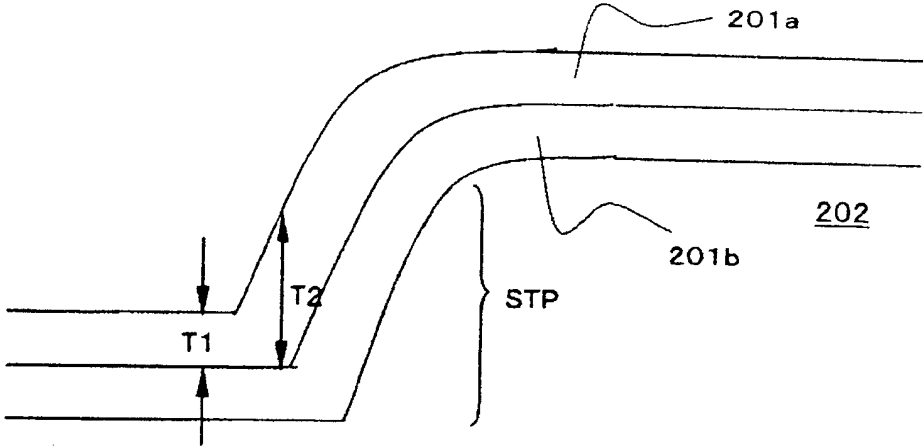
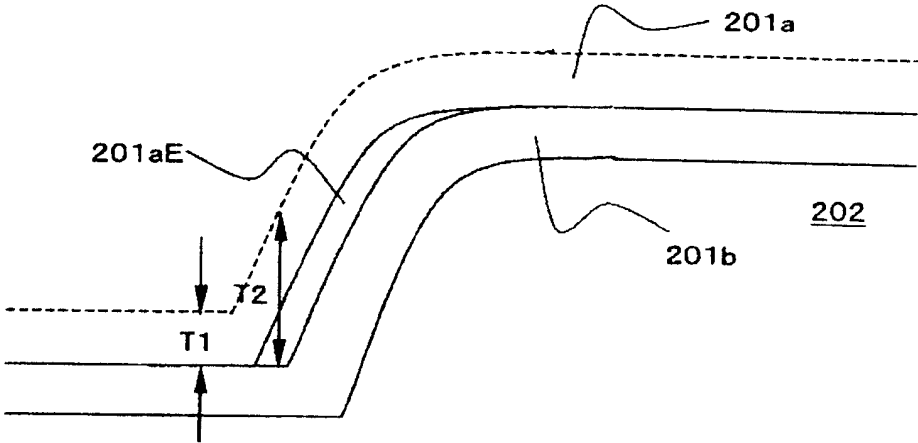


图 2

工序 (1)



工序 (2)



工序 (3)

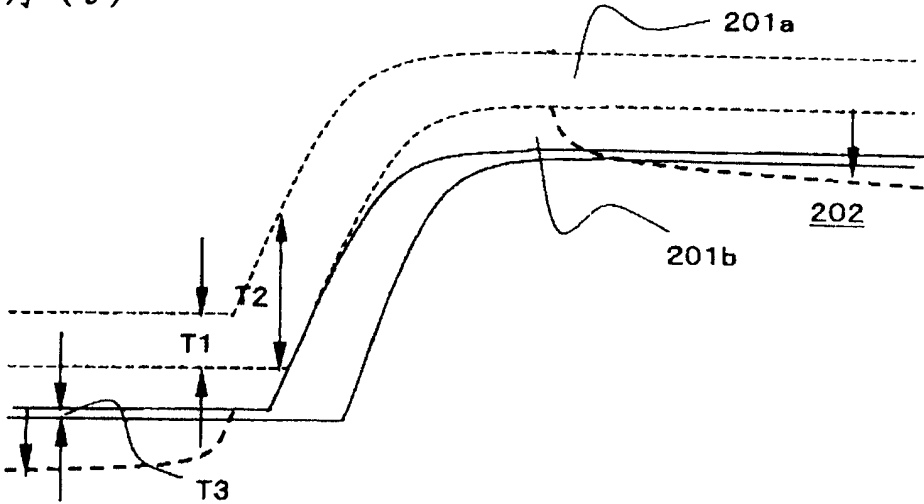
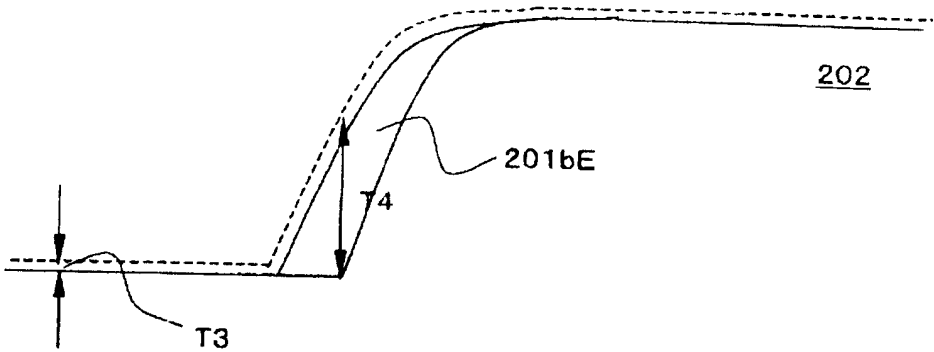


图 3

工序 (4)



工序 (5)

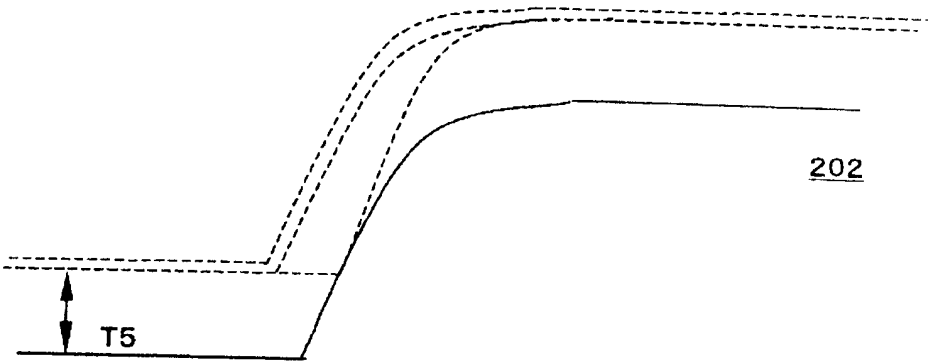


图 4

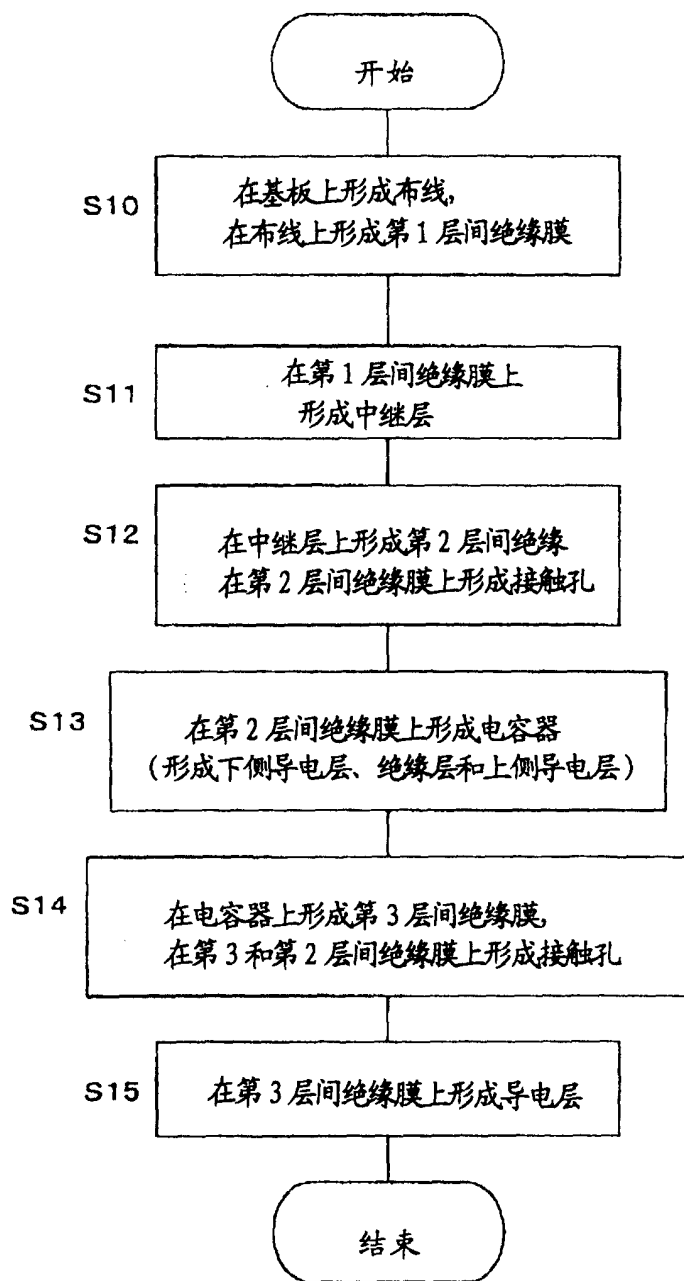


图 5

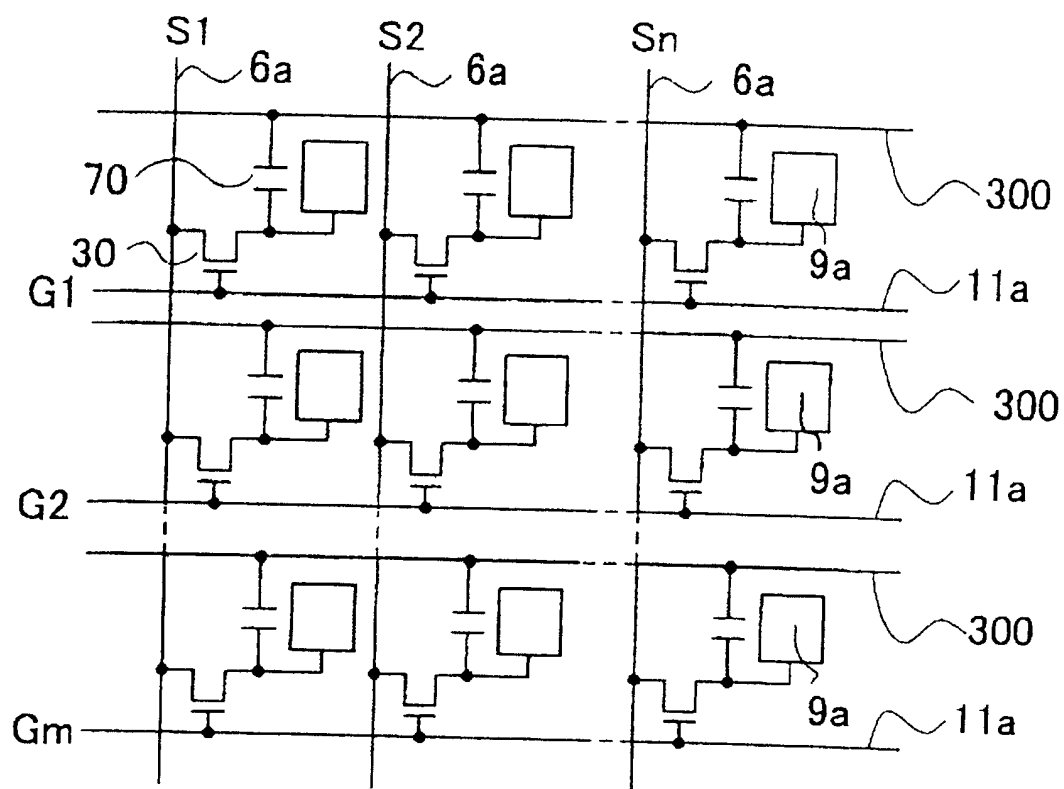


图 6

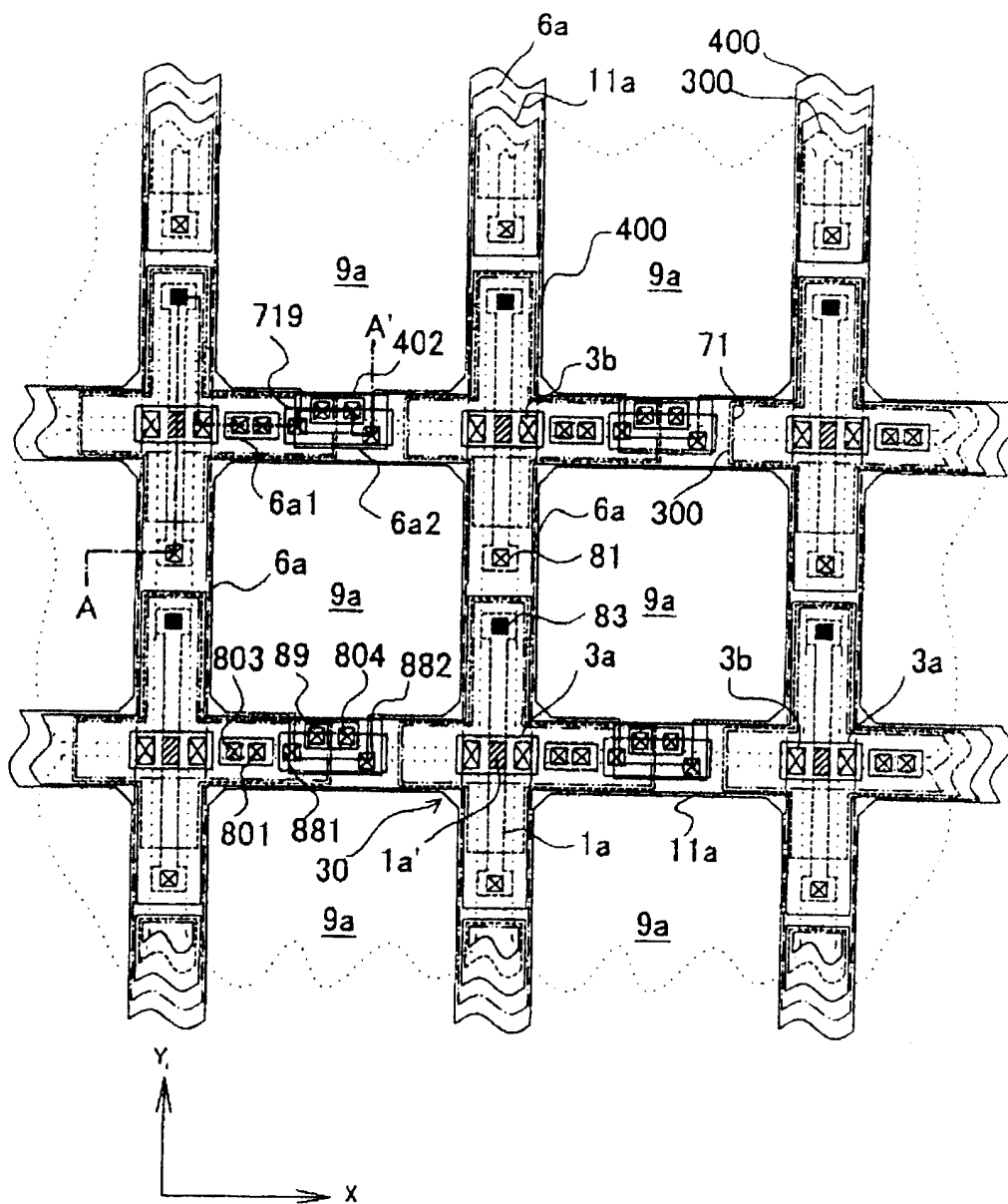


图 7

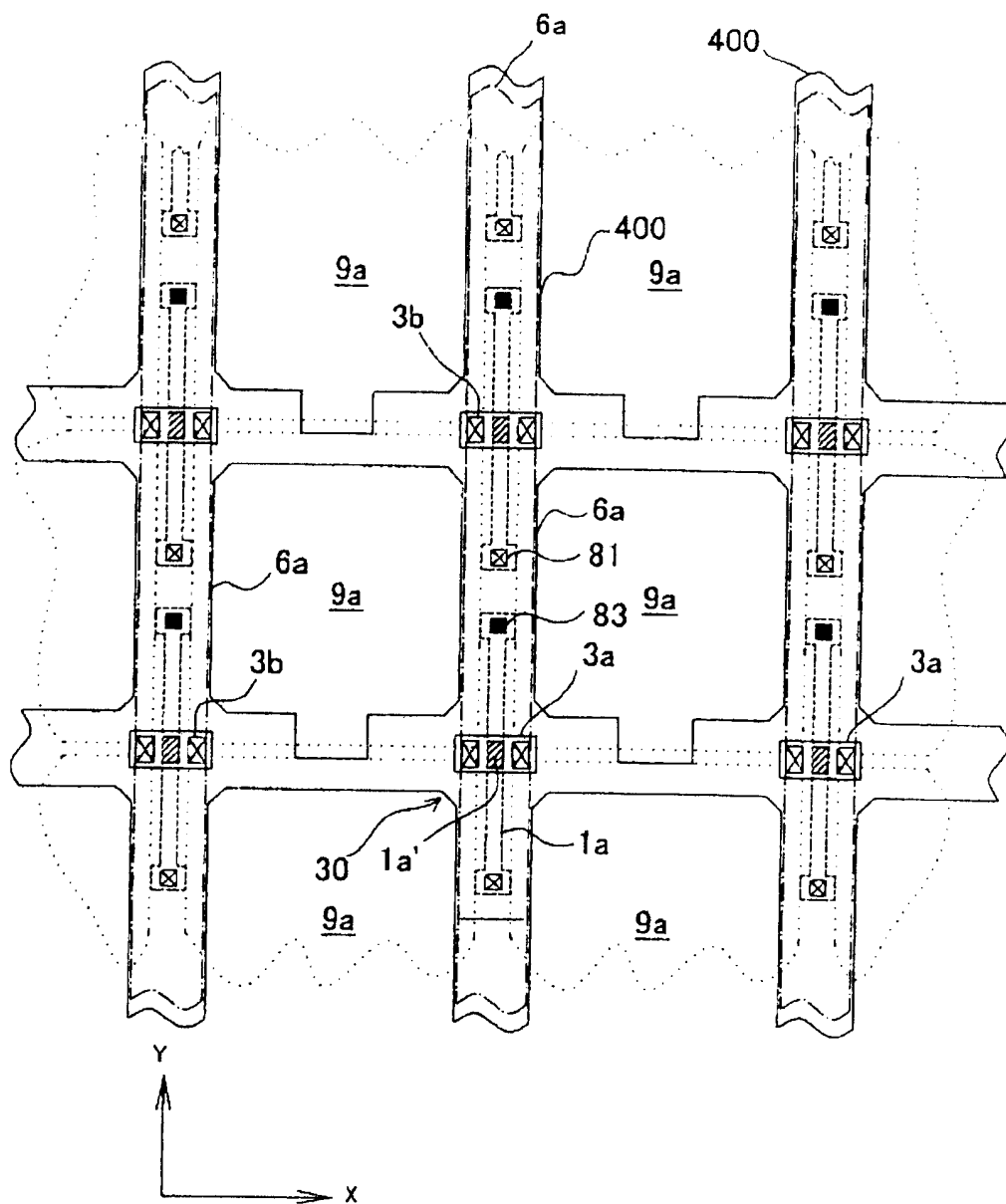


图 8

