(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0057407
(43) 공개일자 2024년05월02일

(51) 국제특허분류(Int. Cl.)
H01L 23/373 (2006.01) *H01L 21/48* (2006.01)
H01L 23/00 (2006.01) *H01L 23/367* (2006.01)
H01L 23/495 (2006.01) *H01L 23/498* (2006.01)
H01L 23/538 (2006.01)
(52) CPC특허분류
H01L 23/3735 (2013.01)
H01L 21/4857 (2013.01)
(21) 출원번호 10-2024-7006857
(22) 출원일자(국제) 2022년07월01일
심사청구일자 없음
(85) 번역문제출일자 2024년02월28일
(86) 국제출원번호 PCT/US2022/073351
(87) 국제공개번호 WO 2023/039312
국제공개일자 2023년03월16일
(30) 우선권주장
17/470,961 2021년09월09일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
데틀레프센, 안드레아스
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
비엘렌, 제로엔
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤남

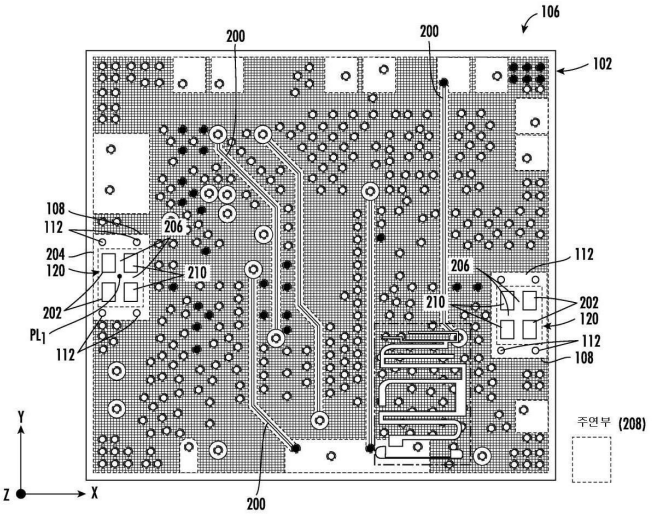
전체 청구항 수 : 총 32 항

(54) 발명의 명칭 **다이-기판 기계적 스트레스를 감소시키기 위해 패키지 기판의 금속 구조물(들)에 보이드-한정된 섹션들을 갖는 반도체 다이 모듈 패키지들, 및 관련 방법들**

(57) 요 약

다이-기판 기계적 스트레스를 감소시키기 위해 패키지 기판의 금속 구조물(들)에 보이드-한정된 섹션들을 갖는 반도체 다이 모듈 패키지들 및 관련 제작 방법들. 패키지 기판과 다이 모듈 패키지의 다이(들) 사이의 다이-기판 기계적 스트레스를 감소시키기 위해, 보이드-한정된 섹션들이 패키지 기판의 금속화 층(들)의 금속 구조물(들)에 형성된다. 보이드-한정된 섹션들은 강성을 감소시키기 위해 한정된 영역에서 금속 구조물의 금속 재료의 하나 이상의 컷아웃들로부터 형성되며, 이는 또한 패키지 기판의 유효 열 팽창 계수(CTE)를 감소시키는 효과를 갖는다. 보이드-한정된 섹션 내의 금속 컷아웃들 사이에 남아 있는 금속 재료는 금속 인터커넥트들을 형성한다. 다이 인터커넥트들은 패키지 기판에 대한 다이와 다이 인터커넥트들 사이의 기계적인 스트레스를 감소시키기 위해 금속 구조물의 보이드-한정된 섹션들의 금속 인터커넥트들에 다이를 직접적으로 결합할 수 있다.

대 표 도



(52) CPC특허분류
H01L 21/4882 (2013.01)
H01L 23/367 (2013.01)
H01L 23/49568 (2013.01)
H01L 23/49822 (2013.01)
H01L 23/49838 (2013.01)
H01L 23/5383 (2013.01)
H01L 23/562 (2013.01)

명 세 서

청구범위

청구항 1

다이 모듈 패키지(die module package)로서,

패키지 기판 — 상기 패키지 기판은:

수평 방향으로 서로 평행하고 공통 수직 평면을 공유하는 복수의 금속 구조물들을 포함하고,

상기 복수의 금속 구조물들 중 각각의 금속 구조물은:

제1 열 팽창 계수(CTE)를 갖는 금속 재료;

상기 금속 구조물에 배치된 복수의 보이드(void)들을 포함하는 보이드-한정된 섹션(void-defined section);

상기 복수의 보이드들 중 인접한 보이드들 사이에 배치된 상기 금속 구조물의 상기 금속 재료로 각각 형성된 하나 이상의 금속 인터커넥트(metal interconnect)들; 및

상기 보이드-한정된 섹션의 상기 복수의 보이드들 중 적어도 하나의 보이드에 배치된 제2 CTE를 갖는 유전체 재료를 포함하고, 상기 유전체 재료의 제2 CTE는 상기 금속 재료의 제1 CTE보다 작음 —;

상기 패키지 기판에 인접하게 배치된 다이(die); 및

상기 다이에 각각 결합되고 상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 상기 보이드-한정된 섹션의 상기 하나 이상의 금속 인터커넥트들 중 금속 인터커넥트에 각각 결합되는 적어도 하나의 다이 인터커넥트(die interconnect)

를 포함하는, 다이 모듈 패키지.

청구항 2

제1 항에 있어서,

상기 다이의 영역의 적어도 일부분은 수직 평면에서 상기 패키지 기판의 보이드-한정된 섹션과 적어도 부분적으로 중첩되도록 상기 패키지 기판에 대해 배향되는, 다이 모듈 패키지.

청구항 3

제1 항에 있어서,

상기 패키지 기판은 서로 평행한 복수의 금속화 층들을 포함하고; 그리고

상기 복수의 금속 구조물들 중 각각의 금속 구조물은 상기 복수의 금속화 층들 중 상이한 금속화 층에 배치되는, 다이 모듈 패키지.

청구항 4

제1 항에 있어서,

상기 복수의 금속 구조물들 중 제1 금속 구조물은 상기 복수의 금속화 층들 중 제1 금속화 층에 배치되고;

상기 복수의 금속 구조물들 중 제2 금속 구조물은 상기 제1 금속화 층과 상이한 상기 복수의 금속화 층들 중 제2 금속화 층에 배치되고; 그리고

상기 다이 모듈 패키지는 상기 제1 금속 구조물의 상기 보이드-한정된 섹션의 상기 복수의 보이드들 중 개개의 보이드를 통해 배치된 수직 인터커넥트 액세스(vertical interconnect access)(비아(via))를 추가로 포함하고;

적어도 하나의 비아의 각각의 비아는 상기 제2 금속 구조물의 보이드-한정된 섹션의 상기 복수의 금속 인터커넥트들 중 금속 인터커넥트에 결합되는, 다이 모듈 패키지.

청구항 5

제1 항에 있어서,

상기 금속 구조물에 배치된 복수의 보이드들은 각각 상기 금속 구조물의 상기 금속 재료에 의해 완전히 둘러싸여 이에 결합되는, 다이 모듈 패키지.

청구항 6

제1 항에 있어서,

상기 복수의 금속 구조물들 중 각각의 금속 구조물은 접지 평면(ground plane)을 포함하는, 다이 모듈 패키지.

청구항 7

제1 항에 있어서,

각각의 금속 구조물 내의 상기 복수의 보이드들은 상기 금속 구조물의 영역의 적어도 30 퍼센트(30%)인 영역을 갖는, 다이 모듈 패키지.

청구항 8

제1 항에 있어서,

상기 복수의 보이드들은 상기 금속 구조물에서 상기 보이드-한정된 섹션의 주연부(perimeter)를 형성하는, 다이 모듈 패키지.

청구항 9

제8 항에 있어서,

상기 복수의 보이드들은 상기 주연부의 제2 영역의 적어도 85 퍼센트(85%)인 제1 영역을 갖는, 다이 모듈 패키지.

청구항 10

제1 항에 있어서,

상기 금속 구조물의 상기 보이드-한정된 섹션은 100 메가파스칼(MPa) 내지 50 기가파스칼(GPa)의 영률(Young's modulus)을 갖는, 다이 모듈 패키지.

청구항 11

제1 항에 있어서,

상기 금속 구조물의 상기 금속 재료의 제1 CTE는 13 ppm/K(parts per million (ppm) per Kelvin (K)) 내지 24 ppm/K인, 다이 모듈 패키지.

청구항 12

제11 항에 있어서,

상기 유전체 재료의 제2 CTE는 4 ppm/K 내지 18 ppm/K인, 다이 모듈 패키지.

청구항 13

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 상기 복수의 보이드들은 상기 금속 구조물에 반복되는 패턴으로 형성되는, 다이 모듈 패키지.

청구항 14

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 상기 복수의 보이드들 각각은 제1 축의 제1 방향으로 동일한 제1 피치를 갖고 상기 제1 축에 직교하는 제2 축의 제2 방향으로 동일한 제2 피치를 갖는, 다이 모듈 패키지.

청구항 15

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 상기 복수의 보이드들 각각은 제1 축의 제1 방향으로 제1 길이 및 상기 제1 축에 직교하는 제2 축의 제2 방향으로 제2 길이를 갖는 연신된 보이드(elongated void)를 포함하고, 상기 제2 길이는 상기 제1 길이와 동일한, 다이 모듈 패키지.

청구항 16

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 상기 복수의 보이드들 각각은 제1 축의 제1 방향으로 제1 길이 및 상기 제1 축에 직교하는 제2 축의 제2 방향으로 제2 길이를 갖는 연신된 보이드를 포함하고, 상기 제2 길이는 상기 제1 길이보다 작은, 다이 모듈 패키지.

청구항 17

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물은 적어도 두 개의 직교 축들을 따라 균일하게 변형 가능한, 다이 모듈 패키지.

청구항 18

제17 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 상기 복수의 보이드들은 동일한 피치를 갖는, 다이 모듈 패키지.

청구항 19

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 상기 복수의 보이드들 중 보이드들의 서브세트(subset)는 동일한 축을 따라 연신되는, 다이 모듈 패키지.

청구항 20

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 상기 보이드-한정된 섹션은 상기 보이드-한정된 섹션의 주연부를 형성하는 정사각형 형상의 주연부를 따라 배치된 복수의 직선형 보이드들을 포함하는 정사각형 형상의 보이드-한정된 섹션인, 다이 모듈 패키지.

청구항 21

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 상기 보이드-한정된 섹션은 상기 보이드-한정된 섹션의 주연부를 형성하는 원형 형상의 주연부를 따라 배치된 복수의 볼록한(convex) 보이드들을 포함하는 원형 형상의 보이드-한정된 섹션인, 다이 모듈 패키지.

청구항 22

제1 항에 있어서,

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물에 대해:

상기 복수의 보이드들 중 제1 보이드는:

제1 축과 정렬된 제1 연신된 보이드 부분;

상기 제1 축에 평행한 제2 축과 정렬된 제2 연신된 보이드 부분; 및

상기 제1 연신된 보이드 부분과 상기 제2 연신된 보이드 부분을 결합하는 제3 보이드 부분을 포함하고, 그리고

상기 복수의 보이드들 중 제2 보이드는:

상기 제1 축과 정렬되고 상기 적어도 하나의 금속 구조물의 제1 금속 보이드 부분에 의해 상기 제1 연신된 보이드 부분으로부터 분리된 제4 연신된 보이드 부분;

상기 제2 축과 정렬되고 상기 적어도 하나의 금속 구조물의 제2 금속 보이드 부분에 의해 상기 제1 연신된 보이드 부분으로부터 분리된 제5 연신된 보이드 부분; 및

상기 적어도 하나의 금속 구조물의 제3 금속 보이드 부분에 의해 분리된 제4 연신된 보이드 부분과 제5 연신된 보이드 부분을 결합하는 제6 보이드 부분을 포함하고,

상기 제1, 제2, 및 제3 금속 보이드 부분들이 함께 결합되어 금속 인터커넥트를 형성하는, 다이 모듈 패키지.

청구항 23

제1 항에 있어서,

셋톱 박스(set top box); 엔터테인먼트 유닛(entertainment unit); 내비게이션 디바이스(navigation device); 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(global positioning system)(GPS) 디바이스; 모바일 폰(mobile phone); 셀룰러 폰(cellular phone); 스마트 폰(smart phone); 세션 개시 프로토콜(session initiation protocol)(SIP) 폰; 태블릿; 패블릿(phablet); 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인 휴대 정보 단말기(PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너(tuner); 라디오; 위성 라디오; 음악 플레이어; 디지털 음악 플레이어; 휴대용 음악 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 구성요소; 항공 전자 시스템들; 드론; 및 멀티콥터(multicopter)를 포함하는 그룹으로부터 선택된 디바이스 내로 통합되는, 다이 모듈 패키지.

청구항 24

다이 모듈 패키지를 제조하는 방법으로서,

패키지 기판을 형성하는 단계 - 상기 단계는:

수평 방향으로 서로 평행하고 공통 수직 평면을 공유하는 복수의 금속 구조물들을 형성하는 단계를 포함하고, 상기 복수의 금속 구조물들 중 각각의 금속 구조물은:

제1 열 팽창 계수(CTE)를 갖는 금속 재료;

상기 금속 구조물에 배치된 복수의 보이드들을 포함하는 보이드-한정된 섹션;

상기 복수의 보이드들 중 인접한 보이드들 사이에 배치된 금속 구조물의 상기 금속 재료로 각각 형성된 하나 이상의 금속 인터커넥트들; 및

상기 보이드-한정된 섹션의 상기 복수의 보이드들 중 적어도 하나의 보이드에 배치된 제2 CTE를 갖는 유전체 재료를 포함하고, 상기 유전체 재료의 제2 CTE는 상기 금속 재료의 제1 CTE보다 작음 -;

상기 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 상기 보이드-한정된 섹션의 상기 하나 이상의 금속 인터커넥트들 중 적어도 하나의 금속 인터커넥트에 결합된 적어도 하나의 다이 인터커넥트를 형성하는 단계; 및

상기 적어도 하나의 다이 인터커넥트에 다이를 결합하는 단계를 포함하는, 다이 모듈 패키지를 제조하는 방법.

청구항 25

제24 항에 있어서,

상기 적어도 하나의 다이 인터커넥트에 다이를 결합하는 단계는 수직 평면에서 상기 패키지 기판의 상기 복수의

금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션과 적어도 부분적으로 중첩하도록 상기 패키지 기판에 대해 배향된 상기 다이의 영역의 적어도 일부분을 배치하는 단계를 더 포함하는, 다이 모듈 패키지를 제조하는 방법.

청구항 26

제24 항에 있어서,

상기 복수의 금속 구조물들 중 제1 금속 구조물의 상기 보이드-한정된 섹션의 상기 복수의 보이드들 중 개개의 보이드를 각각 통하는 적어도 하나의 수직 인터커넥트 액세스(비아)를 배치하는 단계; 및

상기 적어도 하나의 비아의 각각의 비아를 상기 복수의 금속 구조물들 중 금속 구조물의 제2 보이드-한정된 섹션의 상기 복수의 금속 인터커넥트들 중 금속 인터커넥트에 결합하는 단계를 더 포함하는, 다이 모듈 패키지를 제조하는 방법.

청구항 27

제24 항에 있어서,

상기 복수의 금속 구조물들을 형성하는 단계는, 상기 패키지 기판에서 서로 평행한 복수의 금속화 층들 중 상이한 금속화 층에 상기 복수의 금속 구조물들 중 각각의 금속 구조물을 형성하는 단계를 더 포함하는, 다이 모듈 패키지를 제조하는 방법.

청구항 28

제24 항에 있어서,

상기 금속 구조물에 복수의 보이드들을 형성하는 것은, 상기 복수의 보이드들이 각각 상기 금속 구조물의 상기 금속 재료에 의해 완전히 둘러싸여 이에 결합되도록 상기 금속 구조물에 상기 복수의 보이드들을 형성하는 것을 더 포함하는, 다이 모듈 패키지를 제조하는 방법.

청구항 29

제24 항에 있어서,

상기 금속 구조물에 복수의 보이드들을 형성하는 것은 상기 금속 구조물의 영역의 적어도 30 퍼센트(30%)의 상기 금속 구조물의 영역을 소비하도록 각각의 금속 구조물에 상기 복수의 보이드들을 형성하는 것을 더 포함하는, 다이 모듈 패키지를 제조하는 방법.

청구항 30

제24 항에 있어서,

상기 금속 구조물의 상기 보이드-한정된 섹션은 100 메가파스칼(MPa) 내지 50 기가파스칼(GPa)의 영률을 갖는, 다이 모듈 패키지를 제조하는 방법.

청구항 31

제24 항에 있어서,

상기 금속 재료의 제1 CTE는 13 ppm/K(parts per million (ppm) per Kelvin (K)) 내지 24 ppm/K인, 다이 모듈 패키지를 제조하는 방법.

청구항 32

제24 항에 있어서,

상기 유전체 재료의 제2 CTE는 4 ppm/K 내지 18 ppm/K인, 다이 모듈 패키지를 제조하는 방법.

발명의 설명

기 술 분 야

[0001] [0001] 본 출원은 2021년 9월 9일에 출원되고 발명의 명칭이 "다이-기판 기계적 스트레스를 감소시키기 위해 패키지 기판의 금속 구조물(들)에 보이드-한정된 섹션들을 갖는 반도체 다이 모듈 패키지들, 및 관련 방법들"인 미국 특허 출원 제17/470,961 호를 우선권으로 주장하고, 이 출원은 그 전체가 인용에 의해 본 명세서에 포함된다.

[0002] [0002] 본 개시 내용의 분야는 패키지 기판(package substrate) 상에 장착된 전력 증폭기들(PA들) 및 필터(filter)들과 같은 다양한 다이 구성요소(die component)들과, 다른 집적 회로(IC) 칩들을 포함할 수 있는, 무선 주파수(radio-frequency)(RF) 프런트 엔드 모듈 패키지(front end module package)들과 같은 반도체 다이 모듈 패키지들에 관한 것이다.

배 경 기 술

[0003] [0003] 반도체 디바이스들은 전자 디바이스들의 초석이다. 반도체 디바이스들은 반도체 다이("다이")에 형성된다. 하나 이상의 반도체 다이들은 "다이 모듈 패키지"라고도 불리는 모듈 패키지의 하위 구성요소들로서 패키징될 수 있다. 다이 모듈 패키지의 일 유형은 무선 주파수(RF) 다이 모듈 패키지이다. 다이 모듈 패키지는 패키지 기판에 결합된 베어(bare) 또는 자체 칩 패키지 상태인 하나 이상의 반도체 다이들을 포함한다. 패키지 기판은 다이들에 대한 지지 구조를 제공한다. 패키지 기판은 반도체 다이들에 신호 라우팅 경로(signal routing path)들을 제공하기 위한 금속 인터커넥트들(예컨대, 금속 트레이스(metal trace)들, 금속 라인(metal line)들, 수직 인터커넥트 액세스(vertical interconnect access; via)들(비아들))을 포함하는 하나 이상의 금속화 층들을 포함한다. 이러한 신호 라우팅 경로들은 다이-투-다이(die-to-die)(D2D) 신호 라우팅 경로들뿐만 아니라 다이 모듈 패키지 외부의 패키지 인터커넥트들에 결합된 외부 신호 라우팅 경로들을 포함할 수 있다. 신호 라우팅을 위해 반도체 다이를 패키지 기판의 금속 인터커넥트들에 전기적으로 결합하기 위해 패키지 기판의 상부 금속화 층의 금속 인터커넥트들에 다이들을 결합하는 다이 인터커넥트들(예컨대, 솔더 범프(solder bump)들)이 제공된다.

[0004] [0004] 다이 모듈 패키지의 상이한 구성요소들은 온도 변화들에 따른 열 팽창 및 수축을 특징화하는 상이한 열 팽창 계수들(coefficients of thermal expansion)(CTE들)을 갖는 상이한 재료들로 제조된다. 예를 들어, 유전체 재료와 매립된 금속(예컨대, 구리) 트레이스들로 형성되는 패키지 기판은 패키지 기판에 다이를 전기적으로 결합하고 장착하는 데 사용되는 다이 인터커넥트들과 상이한 CTE를 가질 수 있다. 패키지 기판은 또한 하위 구성요소 다이 또는 칩 자체와 상이한 CTE를 가질 수도 있다. 따라서, 다이 모듈 패키지가 환경 온도의 변화들을 경험할 때, 다이 모듈 패키지의 상이한 재료들은 열 수축 및 팽창으로 인해 기계적인 스트레스 힘(mechanical stress force)들을 경험할 것이다. 그러나, 다이 모듈 패키지의 다양한 재료들의 상이한 CTE들(즉, CTE 불일치)은 반복되는 열 팽창 및 수축으로 인해 기계적인 스트레스 힘들이 반복적으로 가해지도록 할 것이다. 예를 들어, 이러한 스트레스 힘들은 특히 다이 인터커넥트들, 다이들 및/또는 패키지 기판 사이의 CTE의 차이로 인해, 다이를 패키지 기판에 결합하는 다이 인터커넥트들(범프들) 및/또는 다이 자체에 손상을 유발할 수 있다. 다이 인터커넥트들은 반복되는 열 스트레스로 인해 결국 "솔더 피로(solder fatigue)"로 알려진 기계적인 열화를 경험할 것이다. 또한, 다이 모듈 패키지가 패키지 기판에 장착된 다이와 패키지 기판 사이에 에어 캐비티(air cavity)가 존재하는 베어 다이 모듈 패키지인 경우, 에어 캐비티의 존재는 응력 흡수 재료가 하위 구성요소 다이와 패키지 기판 사이에 배치되어 기계적인 스트레스 힘들을 완화하는 것을 허용하지 않을 수 있다. 예를 들어, 다이 모듈 패키지가 음향 필터(acoustic filter)를 포함하는 경우, 음향 필터와 기판 사이의 필터 아래에 배치된 언더몰드(undermold) 재료는 음향 필터의 음향 기능들을 방해할 것이다.

발명의 내용

[0005] [0005] 본 명세서에 개시된 양태들은 다이-기판 기계적 스트레스를 감소시키기 위해 패키지 기판의 금속 구조물(들)에 보이드-한정된 섹션(void-defined section)들을 갖는 반도체 다이 모듈 패키지들을 포함한다. 관련 제조 방법들도 또한 개시된다. 다이 모듈 패키지는 지지를 위해 그리고 다이들에 대한 전기적인 연결을 제공하기 위해 패키지 기판에 결합된 하나 이상의 다이들을 포함한다. 예를 들어, 반도체 다이("다이") 모듈 패키지는 하나의 예로서 패키지 기판에 장착된 음향 필터와 같은 하나 이상의 RF 다이 하위 구성요소들을 포함하는 무선 주파수(RF) 다이 모듈 패키지일 수 있다. 패키지 기판은 패키지 기판 상에 장착되고 금속 구조물에 전기적으로 결합된 다이(들) 사이에 접지 전위 연결을 제공하기 위한 접지 평면들을 포함하는 신호 라우팅 경로들을 제공하기 위해 하나 이상의 금속 구조물들을 포함하는 적어도 하나의 금속화 층을 포함한다. 다이 인터커넥트들(예컨대, 솔더 범프들)은 패키지 기판의 금속 구조물들에 다이(들)를 전기적으로 결합한다. 패키지 기판이

다이 인터커넥트들 및 다이들과 상이한 열 팽창 계수(CTE)를 가질 수 있기 때문에, 다이 모듈 패키지의 환경 온도의 변화들로 인해 패키지 기판에 의해, 다이 인터커넥트들로, 결국 다이들로 기계적인 스트레스 힘들이 가해질 수 있다. 이는 다이 인터커넥트들 및 다이의 패키지 기판에의 신뢰성 있는 전기적인 연결부들을 손상시킬 위험이 있다. 따라서, 예시적인 양태들에서, 패키지 기판, 다이 인터커넥트들, 및/또는 다이 모듈 패키지의 다이들 사이의 다이-기판 기계적 스트레스를 감소시키기 위해, 패키지 기판의 금속화 층(들)의 금속 구조물(들)에 보이드-한정된 섹션들이 형성되어, 보이드-한정된 섹션들 내에서 금속 구조물의 강성을 감소시킨다. 보이드-한정된 섹션들은 강성을 감소시키기 위해 한정된 영역에서 금속 구조물의 금속 재료의 하나 이상의 컷아웃(cutout)들로 형성되며, 이는 또한 패키지 기판의 유효 CTE를 감소시키는 효과를 갖는다. 보이드-한정된 섹션 내의 금속 컷아웃들 사이에 남아 있는 금속 재료는 금속 인터커넥트들을 형성한다. 보이드-한정된 섹션들을 포함하는 금속 구조물들은 패키지 기판의 하나의, 다수의 및/또는 모든 금속화 층들에 제공될 수 있다. 예를 들어, 복수의 금속 구조물들은 금속 구조물들이 또한 수평 방향으로 서로 평행하고 패키지 기판의 강성을 감소시키기 위해 패키지 기판의 수직 방향으로 적어도 부분적으로 서로 중첩되도록 공통 수직 평면(common vertical plane)을 공유하도록 서로 평행한 다수의 금속화 층들에 제공될 수 있다. 다이 모듈 패키지의 다이(들)는 다이가 위에 위치되고 보이드-한정된 섹션들이 다이(들) 아래에 위치되도록 패키지 기판 상에서 배향될 수 있다. 다이 인터커넥트들은 다이를 (사이에 놓인 금속화 층들의 금속 인터커넥트들을 통해 직접적으로 또는 간접적으로) 금속 구조물들의 감소된 강성의 보이드-한정된 섹션들의 금속 인터커넥트들에 결합하여, 패키지 기판에의 다이 및 다이 인터커넥트들의 결합부(coupling) 사이의 기계적인 스트레스를 완충시키고 따라서 감소시킨다.

[0006] [0006] 다른 예시적인 양태들에서, 금속 구조물들에 보이드-한정된 섹션들을 한정하는 금속 구조물들의 컷아웃들은 보이드-한정된 섹션들의 강성과 패키지 기판의 유효 CTE를 추가로 감소시키기 위해 선택적으로 접지 평면(들)의 금속 재료의 CTE보다 낮은 CTE를 갖는 재료로 추가로 채워질 수 있다. 다이 인터커넥트들과 다이에 대해 연결들이 이루어지는 보이드-한정된 섹션의 강성과 유효 CTE를 추가로 감소시키는 것은 패키지 기판과 다이 인터커넥트들 및/또는 다이들 사이의 기계적인 스트레스를 추가로 감소시킬 수 있다.

[0007] [0007] 하나의 예시적인 양태에서, 패턴화된 보이드들은 방향의 모든 축들에서(in all axes of direction) 동등하게 가요성(flexibility)을 제공하기 위해 방향의 모든 축들에서 균일하도록 패키지 기판의 금속 구조물에 배치될 수 있다. 다른 예시적인 양태에서, 패키지 기판의 금속 구조물(들) 내의 패턴화된 보이드들은 방향의 특정 축들에서 향상된 가요성을 제공하기 위해 방향의 특정 축들로 연신되도록 편향될 수 있다. 다른 예시적인 양태에서, 패키지 기판의 금속 구조물(들) 내의 패턴화된 보이드들은 수직 인터커넥트 액세스들(비아들)이 금속 구조물(들)을 통해 연장하고 이에 연결되는 비아들을 지지하도록 보이드들 중 하나 이상을 통해 연장되도록 설계될 수 있다. 다른 예시적인 양태에서, 패키지 기판의 금속 구조물(들)의 보이드들은 이러한 금속 트레이스들 및/또는 다른 전기적인 구성요소들에 선택적인 기계적인 스트레스 완화를 제공하도록 패키지 기판의 금속 트레이스들 및/또는 다른 전기적인 구성요소들에 인접하여 선택적으로 제공되도록 패턴화될 수 있다.

[0008] [0008] 이와 관련하여, 하나의 예시적인 양태에서, 다이 모듈 패키지 기판이 제공된다. 다이 모듈 패키지는 패키지 기판을 포함한다. 패키지 기판은 수평 방향으로 서로 평행하고 공통 수직 평면을 공유하는 복수의 금속 구조물들을 포함한다. 복수의 금속 구조물들 중 각각의 금속 구조물은 제1 CTE를 갖는 금속 재료를 포함한다. 복수의 금속 구조물들 중 각각의 금속 구조물은 또한 금속 구조물 내에 배치된 복수의 보이드들을 포함하는 보이드-한정된 섹션을 포함한다. 복수의 금속 구조물들 중 각각의 금속 구조물은 또한 복수의 보이드들 중 인접한 보이드들 사이에 배치된 금속 구조물의 금속 재료로 각각 형성된 하나 이상의 금속 인터커넥트들을 포함한다. 복수의 금속 구조물들 중 각각의 금속 구조물은 또한 보이드-한정된 섹션의 복수의 보이드들 중 적어도 하나의 보이드에 배치된 제2 CTE를 갖는 유전체 재료를 포함한다. 유전체 재료의 제2 CTE는 금속 재료의 제1 CTE보다 작다. 다이 모듈 패키지는 또한 패키지 기판에 인접하게 배치된 다이를 포함한다. 다이 모듈 패키지는 또한 각각 다이에 결합되고 각각 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션의 하나 이상의 금속 인터커넥트들 중 금속 인터커넥트에 결합되는 적어도 하나의 다이 인터커넥트를 포함한다.

[0009] [0009] 다른 예시적인 양태에서, 다이 모듈 패키지를 제조하는 방법이 제공된다. 방법은 패키지 기판을 형성하는 것을 포함한다. 패키지 기판을 형성하는 것은 수평 방향으로 서로 평행하고 공통 수직 평면을 공유하는 복수의 금속 구조물들을 형성하는 것을 포함한다. 복수의 금속 구조물들 중 각각의 금속 구조물은 제1 CTE를 갖는 금속 재료, 금속 구조물에 배치된 복수의 보이드들을 포함하는 보이드-한정된 섹션, 복수의 보이드들 중 인접한 보이드들 사이에 배치된 금속 구조물의 금속 재료로 각각 형성된 하나 이상의 금속 인터커넥트들, 및 보이드-한정된 섹션의 복수의 보이드들 중 적어도 하나의 보이드 내에 배치된 제2 CTE를 갖는 유전체 재료를 포함

하고, 유전체 재료의 제2 CTE는 금속 재료의 제1 CTE보다 작다. 이 방법은 또한 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션의 하나 이상의 금속 인터커넥트들 중 적어도 하나의 금속 인터커넥트에 결합된 적어도 하나의 다이 인터커넥트를 형성하는 것을 포함한다. 이 방법은 또한 다이를 적어도 하나의 다이 인터커넥트에 결합하는 것을 포함한다.

도면의 간단한 설명

[0010] [0010] 도 1은 금속 구조물의 보이드-한정된 섹션들에 다이들을 결합하는 다이 인터커넥트들을 갖는 예시적인 반도체 다이("다이") 모듈 패키지의 측면도이고, 여기서 보이드-한정된 섹션들은, 패키지 기판과 다이 인터커넥트들 및 다이들 사이의 다이-기판 기계적 스트레스를 감소시키기 위해 금속 구조물(들)의 금속 강성을 감소시키도록 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된다.

[0011] 도 2는 도 1의 패키지 기판과 같은 패키지 기판의 예시적인 기판 층의 평면도이며, 여기서 기판 층은, 패키지 기판과 다이 인터커넥트들 및 다이들 사이의 다이-기판 기계적 스트레스를 감소시키기 위해, 다이에 결합되는 다이 인터커넥트들에 결합되도록 구성된 보이드-한정된 섹션들을 갖는 접지 평면들을 포함한다.

[0012] 도 3은 접지 평면의 보이드-한정된 섹션들의 강성을 감소시키고 접지 평면의 전체 열 팽창 계수(CTE)를 감소시키기 위해 접지 평면에 보이드-한정된 섹션들을 제공하는 패턴화된 보이드들을 갖는 패키지 기판의 금속화 층의 예시적인 금속 구조물의 평면도이다.

[0013] 도 4a는 도 3의 금속 구조물의 CTE의 예시적인 시뮬레이션 결과들을 예시하는 그래프이다.

[0014] 도 4b는 도 3과 같은, 그러나 패턴화된 보이드들을 갖지 않는 금속 구조물의 CTE의 예시적인 시뮬레이션 결과를 예시하는 그래프이다.

[0015] 도 5는 금속 구조물을 형성하는데 사용된 다양한 금속 재료들의 부피의 함수로서 도 3의 금속 구조물의 유효 CTE를 예시하는 그래프이다.

[0016] 도 6은 방향의 축에서 수직으로 편향된 금속 구조물의 금속 강성을 감소시키기 위해 방향의 축으로 편향된 패턴화된 보이드들을 갖는 다른 예시적인 접지 평면의 평면도이다.

[0017] 도 7은 보이드-한정된 섹션들의 강성을 감소시키기 위해 금속 구조물에서 보이드-한정된 섹션들을 형성하는 패턴화된 보이드들을 갖는 다른 예시적인 접지 평면의 평면도이며, 여기서 수직 인터커넥트 액세스들(비아들)은 보이드들 내에 선택적으로 배치된다.

[0018] 도 8은 방향의 축으로 편향 연신된 패턴화된 보이드들을 갖고 방향의 축에 수직으로 편향된 접지 평면의 강성을 감소시키기 위해 금속 구조물에 보이드-한정된 섹션들을 형성하는 다른 예시적인 금속 구조물의 평면도이다.

[0019] 도 9a 내지 도 9h는 이러한 금속 트레이스들 및/또는 다른 전기적인 구성요소들에 선택적인 기계적인 스트레스 완화를 제공하는, 금속 구조물들에 보이드-한정된 섹션들을 형성하기 위해 패키지 기판의 금속 트레이스들 및/또는 다른 전기적인 구성요소들에 인접하여 선택적으로 제공되는 보이드들을 갖는 다른 예시적인 금속 구조물들의 평면도들이다.

[0020] 도 10은 패키지 기판과 다이 인터커넥트들 및 다이들 사이의 다이-기판 기계적 스트레스를 감소시키기 위해 금속 구조물(들)의 금속 강성을 감소시키도록 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된 보이드-한정된 섹션들을 갖는 하나 이상의 금속 구조물들을 포함하는 패키지 기판을 포함하는 다이 모듈 패키지를 제조하는 예시적인 제조 공정을 예시하는 흐름도이다.

[0021] 도 11은 도 1 내지 도 3 및 도 6 내지 도 9h의 패키지 기판들을 포함하는(그러나, 이에 제한되지 않음), 그리고 도 10의 예시적인 제조 공정에 따르는, 금속 구조물(들)의 금속 강성을 감소시키기 위해 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된 보이드-한정된 섹션들을 갖는 하나 이상의 금속 구조물을 포함하는 패키지 기판을 포함하는 개개의 다이 모듈 패키지들에 제공될 수 있는 무선 주파수(RF) 구성요소들을 포함하는 예시적인 무선 통신 디바이스의 블록도이다.

[0022] 도 12는 도 1 내지 도 3 및 도 6 내지 도 9h의 패키지 기판들을 포함하는(그러나, 이에 제한되지 않음), 그리고 도 10의 예시적인 제조 공정에 따르는, 금속 구조물(들)의 금속 강성을 감소시키기 위해 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된 보이드-한정된 섹션들을 갖는 하나 이상의 금속 구조물을 포함하는 패키지 기판을 포함하는 개개의 다이 모듈 패키지들에 제공될 수 있는 예시적인 프로세서 기반 시스템

(processor-based system)의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] [0023] 이제 도면들을 참조하여, 본 개시 내용의 여러 예시적인 양태들이 설명된다. 본 명세서에서 "예시적인"이라는 단어는 "예, 사례 또는 예시로서 제공되는"이라는 의미로 사용된다. 본 명세서에서 "예시적인" 것으로 설명된 모든 양태는 반드시 다른 양태들에 비해 바람직하거나 유리한 것으로 해석되어서는 안 된다.

[0012] [0024] 본 명세서에 개시된 양태들은 다이-기판 기계적 스트레스를 감소시키기 위해 패키지 기판의 금속 구조물(들)에 보이드-한정된 섹션들을 갖는 반도체 다이 모듈 패키지들을 포함한다. 관련 제조 방법들도 또한 개시된다. 다이 모듈 패키지는 지지를 위해 그리고 다이들에 대한 전기적인 연결을 제공하기 위해 패키지 기판에 결합된 하나 이상의 다이들을 포함한다. 예를 들어, 반도체 다이("다이") 모듈 패키지는 하나의 예로서 패키지 기판에 장착된 음향 필터와 같은 하나 이상의 RF 다이 하위 구성요소들을 포함하는 무선 주파수(RF) 다이 모듈 패키지일 수 있다. 패키지 기판은 패키지 기판 상에 장착되고 금속 구조물에 전기적으로 결합된 다이(들) 사이에 접지 전위 연결을 제공하기 위한 접지 평면들을 포함하는 신호 라우팅 경로들을 제공하기 위해 하나 이상의 금속 구조물들을 포함하는 적어도 하나의 금속화 층을 포함한다. 다이 인터커넥트들(예컨대, 솔더 범프들)은 패키지 기판의 금속 구조물들에 다이(들)를 전기적으로 결합한다. 패키지 기판이 다이 인터커넥트들 및 다이들과 상이한 열 팽창 계수(CTE)를 가질 수 있기 때문에, 다이 모듈 패키지의 환경 온도의 변화들로 인해 패키지 기판에 의해, 다이 인터커넥트들로, 결국 다이들로 기계적인 스트레스 힘들이 가해질 수 있다. 이는 다이 인터커넥트들 및 다이의 패키지 기판에의 신뢰성 있는 전기적인 연결부들을 손상시킬 위험이 있다. 따라서, 예시적인 양태들에서, 패키지 기판, 다이 인터커넥트들, 및/또는 다이 모듈 패키지의 다이들 사이의 다이-기판 기계적 스트레스를 감소시키기 위해, 패키지 기판의 금속화 층(들)의 금속 구조물(들)에 보이드-한정된 섹션들이 형성되어, 보이드-한정된 섹션들 내에서 금속 구조물의 강성을 감소시킨다. 보이드-한정된 섹션들은 강성을 감소시키기 위해 한정된 영역에서 금속 구조물의 금속 재료의 하나 이상의 컷아웃(cutout)들로 형성되며, 이는 또한 패키지 기판의 유효 CTE를 감소시키는 효과를 갖는다. 보이드-한정된 섹션 내의 금속 컷아웃들 사이에 남아 있는 금속 재료는 금속 인터커넥트들을 형성한다. 보이드-한정된 섹션을 포함하는 금속 구조물들은 패키지 기판의 하나의, 다수의 및/또는 모든 금속화 층들에 제공될 수 있다. 예를 들어, 복수의 금속 구조물들은 금속 구조물들이 또한 수평 방향으로 서로 평행하고 패키지 기판의 강성을 감소시키기 위해 패키지 기판의 수직 방향으로 적어도 부분적으로 서로 중첩되도록 공통 수직 평면(common vertical plane)을 공유하도록 서로 평행한 다수의 금속화 층들에 제공될 수 있다. 다이 모듈 패키지의 다이(들)는 다이가 위에 위치되고 보이드-한정된 섹션들이 다이(들) 아래에 위치되도록 패키지 기판 상에서 배향될 수 있다. 다이 인터커넥트들은 다이를 (사이에 놓인 금속화 층들의 금속 인터커넥트들을 통해 직접적으로 또는 간접적으로) 금속 구조물들의 감소된 강성의 보이드-한정된 섹션들의 금속 인터커넥트들에 결합하여, 패키지 기판에의 다이 및 다이 인터커넥트들의 결합부 사이의 기계적인 스트레스를 완충시키고 따라서 감소시킨다.

[0013] [0025] 다른 예시적인 양태들에서, 금속 구조물들에 보이드-한정된 섹션들을 한정하는 금속 구조물들의 컷아웃들은 보이드-한정된 섹션들의 강성과 패키지 기판의 유효 CTE를 추가로 감소시키기 위해 선택적으로 접지 평면(들)의 금속 재료의 CTE보다 낮은 CTE를 갖는 재료로 추가로 채워질 수 있다. 다이 인터커넥트들과 다이에 대해 연결들이 이루어지는 보이드-한정된 섹션의 강성과 유효 CTE를 추가로 감소시키는 것은 패키지 기판과 다이 인터커넥트들 및/또는 다이들 사이의 기계적인 스트레스를 추가로 감소시킬 수 있다.

[0014] [0026] 이와 관련하여, 도 1은 패키지 기판(104)에 인접하고 이에 결합된 2 개의 반도체 다이들("다이들")(102(1), 102(2))을 포함하는 예시적인 반도체 다이("다이") 모듈 패키지(100)의 측면도이다. 예를 들어, 다이 모듈 패키지(100)는 다이(102(1), 102(2))가 음향 필터 또는 RF 증폭기와 같은 RF 구성요소들인 RF 다이 모듈 패키지일 수 있다. 패키지 기판(104)은 코어리스(coreless) 또는 코어(cored) 기판일 수 있다. 패키지 기판(104)은 다이들(102(1), 102(2))과 다이 모듈 패키지(100)의 외부 인터커넥트 범프들(110) 사이에 신호 라우팅 경로(signal routing path)들을 제공하기 위한 금속 구조물들(108(1) 내지 108(4))을 각각 포함하는 금속화 층들(106(1) 내지 106(4))을 포함한다. 예를 들어, 금속 구조물들(108(1) 내지 108(4))은 금속 재료의 재분배로부터 형성되거나 적층 공정에서 적층되는 금속화 층(106(1) 내지 106(4))에 형성될 수 있다. 금속 구조물들(108(1) 내지 108(4))은 금속 인터커넥트들(예컨대, 금속 라인들, 금속 트레이스들)을 제공한다. 금속 구조물들(108(1) 내지 108(4))은 또한 다이들(102(1), 102(2))에 대한 접지 평면으로서 역할을 할 수 있다. 금속 구조물들(108(1) 내지 108(4))은 다이들(102(1), 102(2)) 사이에 다이-대-다이(die-to-die) 인터커넥트들(D2

D)을 제공할 수 있다. 수직 인터커넥트 액세스들(비아들)(112)은 패키지 기판(104)의 개개의 금속화 층들(106(1) 내지 106(4))의 금속 구조물들(108(1) 내지 108(4)) 사이에 결합되어 상이한 금속화 층들(106(1) 내지 106(4)) 사이에 신호 라우팅을 제공한다. 다이 인터커넥트들(114)(예컨대, 솔더 범프들)은 다이(들)(102(1), 102(2))와 패키지 기판(104)의 상부 금속화 층(106(1))의 금속 구조물들(108(1))에 결합되어 다이들(102(1), 102(2))을 패키지 기판(104)에 전기적으로 결합한다. 다이 인터커넥트들(114)은 또한 비아들(112)을 통한 그러한 금속 구조물들(108(2) 내지 108(4)) 사이의 상호 연결성으로 인해 아래에 놓인(underlying) 금속화 층들(106(2) 내지 106(4))의 다른 금속 구조물들(108(2) 내지 108(4))에 간접적으로 결합될 수 있다. 일부 금속 구조물들(108(1) 내지 108(4))은 다이 인터커넥트들(114)을 통해 다이들(102(1), 102(4))에 접지 전위 결합들을 위한 접지 평면으로서 역할을 할 수 있다. 다이들(102(1), 102(2))은 패키지 기판(104) 상의 오버몰드(overmold) 재료(116)에 의해 캡슐화된다.

[0015] [0027] 다이 모듈 패키지(100)의 환경 온도의 변화들로 인해 패키지 기판(104)에 의해 다이 인터커넥트들(114) 및 이어서 다이들(102(1), 102(2))에 기계적인 스트레스 힘들이 가해질 수 있다. 이는 패키지 기판(104)이 다이 인터커넥트들(114) 및/또는 다이들(102(1), 102(2))과 상이한 CTE를 가질 수 있기 때문이다. 이는 다이 인터커넥트들(114) 및 패키지 기판(104)에 대한 다이들(102(1), 102(2))의 신뢰성 있는 전기적인 연결부들에 대해 손상의 위험이 있을 수 있다. 패키지 기판(104)의 폴리머 재료(118)는 일반적으로 패키지 기판(104) 및 다이 인터커넥트들(114)의 금속 구조물들(108(1) 내지 108(4))을 형성하는 데 사용되는 금속 재료에 비해 더 낮은 CTE를 갖는 더 부드러운 재료이다. 기계적인 힘들이 패키지 기판(104) 상에 가해지면, 이러한 기계적인 힘들은 패키지 기판(104)의 금속 구조물들(108(1) 내지 108(4))로 전달될 수 있으며, 이는 결국 다이 인터커넥트들(114)과 다이들(102(1), 102(2))로 전달된다. 이들 힘들이 너무 크면, 다이들(102(1), 102(2))과 금속 구조물들(108(1) 내지 108(4)) 사이의 연결성이 손상될 수 있으며, 이에 따라 다이 모듈 패키지(100)의 전기적인 연결성이 저하될 수 있다. 예를 들어, 이러한 기계적인 힘들은 다이 모듈 패키지(100)가 겪는 환경 온도의 변화들로 인해 발생할 수 있다. CTE의 차이들로 인해, 다이들(102(1), 102(2)), 다이 인터커넥트들(114) 및 패키지 기판(104)의 금속 구조물들(108(1) 내지 108(4))은 주어진 온도 변화에 기초하여, 예컨대 도 1의 X축, Y축 및 Z축 방향들에서 상이한 양들과 거리들로 상이하게 열적으로 수축 및 팽창할 수 있다. 이러한 스트레스 힘들은 특히 다이들(102(1), 102(2)) 및/또는 다이 인터커넥트들(114)의 모서리들에 손상을 유발할 수 있다. 패키지 기판(104)의 폴리머 재료(118)는 패키지 기판(102)에 가해진 기계적인 스트레스들 중 일부를 완충할 수 있지만, 반복된 열 팽창 및 수축을 통한 반복된 기계적인 스트레스들은 시간이 지남에 따라 여전히 상당하여 다이들(102(1), 102(2))과 패키지 기판(104) 사이의 전기적인 연결부들을 손상시킬 수 있다.

[0016] [0028] 따라서, 예시적인 양태들에서, 다이 모듈 패키지의 패키지 기판(104), 다이 인터커넥트들(114) 및/또는 다이들(102(1), 102(2)) 사이의 다이-기판 기계적 스트레스를 감소시키기 위해, 보이드-한정된 섹션들(120)은, 도 1에 도시된 바와 같이, 이 예에서의 금속 구조물들(108(1))에 형성된다. 이는 다이 인터커넥트들(114)이 결합되는 이들 금속 구조물들(108(1))의 영역들의 강성을 감소시켜 결국 패키지 기판(104)으로부터 다이 인터커넥트들(114) 및 다이들(102(1), 102(2))로의 기계적인 스트레스 전달을 감소시킨다. 아래에서 더 자세하게 논의되는 바와 같이, 보이드-한정된 섹션들(120)은 강성을 감소시키기 위해 한정된 영역에서 금속 구조물(108(1))의 금속 재료의 하나 이상의 컷아웃들로부터 형성되며, 이는 또한 패키지 기판(104)의 유효 CTE를 감소시키는 효과를 갖는다. 패키지 기판(104)의 전체 유효 CTE는 이 예에서 금속 구조물들(108(1) 내지 108(4))의 금속 재료의 CTE보다 작다. 보이드-한정된 섹션(120)의 금속 컷아웃들 사이에 남아 있는 금속 재료는 금속 인터커넥트들을 형성한다. 보이드-한정된 섹션들(120)은 패키지 기판(104)의 하나의, 다수의 및/또는 모든 금속화 층들(106(1) 내지 106(4))의 특정 금속 구조물들(108(1) 내지 108(4))에 제공될 수 있다. 다이 모듈 패키지(100)의 다이(들)(102(1), 102(2))는 다이들(102(1), 102(2))이 다이(들)(102(1), 102(2)) 아래에 위치된 금속 구조물(108(1))의 보이드-한정된 섹션들(120) 위에 위치되도록 패키지 기판(104) 상에 배향될 수 있다. 이는 다이 인터커넥트들(114)이 다이들(102(1), 102(2))을 (사이에 있는 금속화 층들(106(2) 내지 106(4))의 금속 구조물들(108(2) 내지 108(4))을 통해 직접적으로 또는 간접적으로) 감소된 강성의 보이드-한정된 섹션들(120)의 금속 구조물(108(1))의 금속 인터커넥트들에 결합시키는 것을 허용하여, 패키지 기판(104)에 대한 다이들(102(1), 102(2))과 다이 인터커넥트들(114)의 결합 사이의 기계적인 스트레스를 완화시키고 따라서 감소시킨다.

[0017] [0029] 패키지 기판(104)의 강성을 추가로 감소시키는 것이 바람직한 경우, 개개의 금속 구조물(108(2) 내지 108(4))의 금속 재료의 하나 이상의 컷아웃들로부터 형성된 보이드 섹션들을 포함하는 하나 이상의 추가적인 금속 구조물들(108(2) 내지 108(4))이 또한 제공될 수 있다는 점에 유의하라. 예를 들어, 이러한 금속 구조물들(108(2) 내지 108(4))은 수평 방향(예컨대, X축 방향)으로 서로 평행하도록 정렬될 수 있으며 수직 방향(Z축 방

향)으로 적어도 부분적으로 서로 중첩되도록 도 1에서 (Z축 방향 및 Y축 방향의) 공통 수직 평면(PL_1)을 공유할 수 있다. 따라서, 금속 구조물(108(1))의 금속 인터커넥트들에 다이를 결합하는 다이 인터커넥트들(114)은 금속 구조물(108(1)) 아래의 다른 금속 구조물들(108(2) 내지 108(4))로부터 패키지 기판(104)으로부터의 감소된 강성 및 스트레스 힘들로부터 이점을 얻을 것이다. 예를 들어, 이러한 다른 금속 구조물들(108(2) 내지 108(4))은 금속 구조물(108(1))이 더 쉽게 구부러지는 것을 허용하여 다이 인터커넥트들(114) 및 다이들(102(1), 102(2))에 대한 스트레스 힘들을 감소시킬 수 있다.

[0018] [0030] 도 2는 예로서 도 1의 다이 모듈 패키지(100)의 패키지 기판(104)에 제공될 수 있는 예시적인 금속화 층(106)의 평면도이다. 도 2에 도시된 바와 같이, 금속화 층(106)은 접지 평면으로 작용하는 금속 구조물들을 포함할 수 있는 금속 구조물들(108)(예컨대, 금속 평면들)을 포함한다. 금속 구조물들(108)은 도 1의 패키지 기판(104)의 금속 구조물들(108(1)-108(4)) 중 임의의 금속 구조물로서 제공될 수 있다는 점에 유의하라. 금속화 층(106)은 또한 금속 구조물들(108)과 같은 평면 구조물들이 아닌 금속 트레이스들(200)을 포함한다. 도 2의 금속화 층(106)은 다이 모듈 패키지(100)의 다이 인터커넥트들(114)에 직접 결합되고 인접하는 도 1의 패키지 기판(104)의 상부 금속화 층(106(1))일 수 있다. 예를 들어, 도 2의 금속화 층(106)의 금속 구조물(108)이 접지 평면으로서 역할을 한다면, 접지 평면으로서 작용하는 이러한 금속 구조물(108)은 다이들(102(1), 102(2))에 대한 접지 전위의 전기적인 연결을 위해 다이 인터커넥트들(114) 바로 아래에 위치될 수 있다. 도 2에 도시된 바와 같이, 이 예에서 금속 구조물들(108)은 각각 보이드-한정된 섹션들(120)을 형성하기 위한 패턴으로 배치된 보이드들(202)을 포함한다. 이 예에서, 보이드들(202)은 금속 구조물들(108)의 금속 재료(204)의 컷-아웃 섹션들이다. "패턴화된" 보이드들이란, 보이드들(202)이 금속 구조물(108)에 무작위로 배치되지 않도록 의도된 위치 및 설계로 금속 구조물(108)에 배치된다는 것을 의미한다. 이 예에서, 보이드들(202)은 금속 구조물들(108)의 보이드-한정된 섹션들(120)의 주연부(perimeter)(208)를 형성한다.

[0019] [0031] 금속 구조물(108)의 인접한 보이드들(202) 사이에 남아 있는 금속 재료(204)는 다이 인터커넥트(114)에 (직접적으로 또는 간접적으로) 결합되거나 금속 구조물(108)에 전기적으로 결합되는 비아(112)에 결합될 수 있는 금속 인터커넥트들(206)(예컨대, 금속 라인들, 트레이스들)을 형성한다. 이러한 방식으로, 금속 구조물(108)의 보이드-한정된 섹션(120)에 배치된 보이드들(202)은 금속 인터커넥트들(206)에 대한 전기적인 연결부들이 만들어질 수 있는 영역에서 금속 구조물(108)의 강성을 감소시켜서, 금속 구조물(108)로부터 이러한 연결부들에 부여되는 스트레스 힘들을 감소시킨다. 그러나, 금속 구조물들(108)은 여전히 금속 재료 구조물을 보유하고 연결성을 위한 금속 인터커넥트들(206)을 제공한다. 예를 들어, 주어진 보이드-한정된 섹션(120)의 보이드들(202)의 영역(area)은 금속 구조물(108)의 주연부(208)의 영역의 적어도 85 퍼센트(85%)일 수 있다.

[0020] [0032] 도 1 및 도 2를 참조하면, 다이(102(1), 102(2))의 일부는 패키지 기판(104)에 대해 배향되어, 이 예에서 Z축 방향인 수직 방향으로 패키지 기판(104)의 금속 구조물(108)의 보이드-한정된 섹션(120)과 적어도 부분적으로 중첩될 수 있다는 점에 유의하라. 이는 다이 인터커넥트들(114)이, 전기적인 연결성을 제공하기 위해 금속 구조물(108)의 보이드-한정된 섹션(120)의 금속 인터커넥트(들)(206)에 다이(102(1), 102(2))를 더욱 용이하게 결합시키는 것을 허용한다. 또한, 비아들(112)이 도 2의 금속화 층(106)의 금속 구조물들(108)의 보이드들(202)과 이격되어 별도로 도시되어 있지만, 일부 보이드들(202)은 금속 재료로 채워져 보이드(202)를 통해 연장되는 비아(112)를 형성할 수 있다는 점에 유의하라. 또한, 아래에서 더 자세하게 설명되는 바와 같이, 보이드들(202)은 모든 방향들에서 부여되는 강성의 균일한 감소를 달성하기 위해 금속 구조물(108)의 보이드-한정된 섹션(120)을 한정하는 금속 구조물(108)에 형상화되고 배치될 수 있거나, 보이드-한정된 섹션(120)에서 X축 및 Y축 방향으로 편향될 수 있다. 대안적으로, 보이드들(202)은 특정 방향 없이 또는 단지 특정 방향들로만 부여되는 강성의 편향되거나 불균일한 감소를 달성하기 위해 금속 구조물(108)의 보이드-한정된 섹션(120)을 한정하는 금속 구조물(108)에 형상화되고 배치될 수 있다.

[0021] [0033] 이 예에서, 금속 구조물(108)의 보이드들(202)은 또한 선택적으로 폴리머 또는 적층 재료와 같은 유전체 재료(210)로 채워져, 금속 구조물(108)의 강성을 더욱 감소시킬 수 있다. 유전체 재료(210)는 금속 구조물(108)을 형성하는 금속 재료(204)의 CTE보다 낮은 CTE를 갖도록 선택될 수 있다. 예를 들어, 금속 구조물들(108)을 형성하는 금속 재료(204)의 CTE는 13 ppm/K(parts per million (ppm) per Kelvin (K)) 내지 24 ppm/K일 수 있다. 금속 재료(204)는 예를 들어 알루미늄 니켈(AlNi) 또는 그 합금일 수 있다. 다른 예로서, 금속 구조물들(108)을 형성하는 금속 재료(204)가 예를 들어 구리인 경우, 금속 구조물들(108)의 금속 재료(204)의 CTE는 다른 예로서 18 ppm/K 일 수 있다. 예를 들어, 금속 구조물들(108)의 보이드들(202)에 배치된 유전체 재료(210)의 CTE는 4 ppm/K 내지 18 ppm/K일 수 있다. 보이드들(202)에 채워진 유전체 재료(210)가 예를 들어 낮은 CTE 유리 섬유 폴리머인 경우, 유전체 재료(210)의 CTE는 다른 예로서 대략 6 ppm/K 일 수 있다. 유전체

재료(210)의 강화를 위한 섬유의 예들은 탄소 섬유 및 산화알루미늄(Al_2O_3) 구체들을 포함한다. 다른 예로서, 보이드들(202)은 금속 구조물(108)의 보이드-한정된 섹션(120)의 보이드들(202)의 영률(즉, 강성)이 100 메가파스칼(MegaPascal)(MPa) 내지 50 기가파스칼(GigaPascal)(GPa)일 수 있도록 금속 구조물(108)에 배치될 수 있다. 도 2는 도 1의 패키지 기판(104)의 하나의 금속화 층(106)의 모습만을 도시하지만, 보이드-한정된 섹션들(120)은 패키지 기판(104)의 임의의 금속화 층(106(1) 내지 106(4))의 임의의 금속 구조물들(108(1) 내지 108(4))에 형성될 수 있다는 점에 유의하라. 예를 들어, 다이 인터커넥트(114)가 상부 금속화 층(106(1))의 금속 구조물(108(1))에 대한 직접적인 연결을 통해 그리고 다른 금속화 층들(106(1) 내지 106(4))로의 비아(112) 연결부들을 통해 다수의 금속화 층들(106(2) 내지 106(4))의 다수의 금속화 구조물들(108(1) 내지 108(4))에 결합되는 경우, 그러한 다른 금속화 층들(106(2) 내지 106(4))의 그러한 비아들(112)의 후속 연결부들은 그러한 다른 금속화 층들(106(2) 내지 106(4))의 그러한 금속 구조물들(108(2) 내지 108(4))의 보이드-한정된 섹션들(120)일 수 있다. 이는 패키지 기판(104)에 의해 다이 인터커넥트들(114) 및 이어서 결합된 다이들(102(1), 102(2))에 부여되는 스트레스를 더욱 감소시킬 수 있다. 그리고 위에서 논의된 바와 같이, 보이드 섹션들(120)을 갖는 하나 이상의 금속 구조물들(108(1) 내지 108(4))은 수평 방향(예컨대, X축 방향)으로 서로 평행하게 정렬되고, 감소된 강성을 지원하기 위해 수직 방향(Z축 방향)으로 적어도 부분적으로 서로 중첩되도록 패키지 기판(104)에서 (Z축 방향 및 Y축 방향의) 공통 수직 평면(PL_1)을 공유할 수 있다.

[0022] [0034] 금속 구조물들(108)의 금속 강성을 감소시키기 위한 보이드-한정된 섹션(120)을 형성하기 위해 도 1의 패키지 기판(104)의 금속화 층(106(1) 내지 106(4))의 금속 구조물들(108)에 배치된 보이드들(202)은 임의의 디자인 및 원하는 패턴으로 제공될 수 있다. 예를 들어, 도 3은 금속 구조물(308)에 보이드-한정된 섹션(300)을 형성하여 금속 구조물(308)의 금속 강성을 감소시키기 위해 벌집 패턴의 형상의 패턴화된 보이드들(302)(즉, 육각형 형상의 보이드들)을 갖는 예시적인 금속 구조물(308)의 평면도이다. 금속 인터커넥트들(306)은 인접한 보이드들(302) 사이에 남아 있는 금속 구조물(308)의 금속 재료(304)에 의해 형성된다. 금속 구조물(308)은 예로서 도 1의 다이 모듈 패키지(100)의 패키지 기판(104)의 금속화 층(106(1) 내지 106(4))과 같은 다이 모듈 패키지의 패키지 기판의 금속화 층의 접지 평면으로서 역할을 할 수 있다. 금속 구조물(308)은 구리와 같은 금속 재료(304)로 형성된다. 유전체 재료(310)는 패턴화된 보이드들(302) 내에 배치될 수 있다. 패턴화된 보이드들(302)은 이 예에서 금속 구조물(308)에서 균일하며, 이는 이들이 도 3에 도시된 것과 동일한 형상과 배향을 갖는다는 것을 의미한다. 금속 구조물(308)의 금속 재료(304)의 영역에 대한 복수의 패턴화된 보이드들(302)의 영역의 비율은 금속 구조물(308)의 금속 강성의 원하는 감소를 달성하기 위해 5 퍼센트(5%) 이상일 수 있다.

[0023] [0035] 패턴화된 보이드들(302)은 또한 도 3에 도시된 바와 같이 반복적인 패턴으로 금속 구조물(308)에 배치되고, 이는 패턴화된 보이드들(302)이 금속 구조물(308)에서 반복되는 방식으로 배향되고 설치된다는 것을 의미한다. 예를 들어, 도 3에 도시된 바와 같이, 패턴화된 보이드들(302)의 패턴은 점선 상자(309)에 도시된다. 도 3의 예에서, 패턴화된 보이드들(302)은 금속 구조물(308)의 금속 재료(304)에 의해 완전히 둘러싸여 있다. 또한 이 예에서, 금속 구조물(308)에 배치된 패턴화된 보이드들(302)은 금속 구조물(308)의 전체 영역의 적어도 30 퍼센트(30%)인 결합된 영역을 갖도록 설계될 수 있다. 행(예컨대, 행 R_1)의 각각의 패턴화된 보이드(302)는 인접한 행(예컨대, 행 R_2)에서 두 개의 인접한 패턴화된 보이드들(302) 사이의 중심선 CTR_1을 따라 오프셋된다. 또한, 열(예컨대, 행 C_1)의 각각의 패턴화된 보이드(302)는 인접한 열(예컨대, 열 C_2)에서 두 개의 인접한 패턴화된 보이드들(302) 사이의 중심선 CTR_2를 따라 오프셋된다. 패턴화된 보이드들(302)은 각각 X축 방향으로 동일한 제1 피치(P_1)를 갖는다. 패턴화된 보이드들(302)은 또한 각각 Y축 방향으로 동일한 제2 피치(P_2)를 갖는다. 제1 및 제2 피치들(P_1, P_2)은 동일한 피치일 수 있거나, 상이한 피치들일 수 있다. 패턴화된 보이드들(302)이 동일한 형상 및 배향이고 X축 방향으로 동일한 피치(P_1)를 갖는다는 것은 금속 구조물(308)이 X축 방향으로 균일하게 가요성인 것을 의미한다. 패턴화된 보이드들(302)이 동일한 형상이고 Y축 방향으로 동일한 피치(P_2)를 갖는다는 것은 금속 구조물(308)이 Y축 방향으로 균일하게 가요성인 것을 의미한다. 금속 구조물(308)이 X축 및 Y축 방향들 모두에서 동일한 가요성을 갖는 것이 바람직한 경우, 패턴화된 보이드들(302)은 금속 구조물(308)에 동일한 피치(P_1, P_2)이도록 형성될 수 있다.

[0024] [0036] 도 3의 금속 구조물(308)에 패턴화된 보이드들(302)을 배치하는 예시적인 효과를 추가로 예시하기 위해, 도 4a가 제공된다. 도 4a는 주어진 온도에서 금속 구조물(308)에 보이드-한정된 섹션들(320)을 형성하는 패턴화된 보이드들(302)의 효과를 고려할 때, 도 3의 금속 구조물(308)이 제공되는 패키지 기판(404)의 기계적인 팽창의 예시적인 시뮬레이션 결과를 예시하는 다이어그램이다. 도 4a의 예에서, 패키지 기판(404)은 비아들

(412) 사이에 배치된 보이드들(302)에 의해 형성된 보이드-한정된 섹션(320)을 갖는 금속 구조물들(308)을 각각 포함하는 복수의 금속화 층들(406(1) 내지 406(X))을 포함한다. 다수의 금속화 층들(406(1) 내지 406(X))의 금속 구조물들(308)은 수평 방향(예컨대, X축 방향)으로 서로 평행하도록 그리고 (Z축 방향과 Y축 방향의) 공통 수직 평면(PL_2)을 공유하도록 정렬될 수 있어, 수직 방향(Z축 방향)으로 적어도 부분적으로(즉, 전체적으로 또는 부분적으로) 서로 중첩될 수 있다. 도 4b는 순수(full) 구리이고 도 3의 금속 구조물(308)과 유사하지만, 보이드-한정된 섹션들(320)에서 보이드들(302)의 포함 없는 금속 구조물(408)을 포함하는, 주어진 온도에서의 패키지 기판(424)의 기계적인 팽창의 예시적인 시뮬레이션 결과를 예시하는 다이어그램이다. 도 4a를 참조하면, 금속 구조물(308)의 다양한 영역들이 X축, Y축 및 Z축 방향에서의 금속 구조물(308)의 색상 변화로 도시된다. 색상 변화의 거리는 기계적인 변위를 예시한다. 도 4b를 참조하면, 금속 구조물(408)의 다양한 영역들이 X축, Y축 및 Z축 방향들에서의 금속 구조물(408)의 색상 변화로 또한 도시된다. 색상 변화의 거리는 기계적인 변위를 예시한다. 도 4a의 금속 구조물(308)의 전체 유효 CTE는 도 4b의 보이드-한정된 섹션들을 제공하는 보이드들 없는 금속 구조물(408)의 유효 CTE보다 대략 20% 더 낮은 것으로 밝혀졌다.

[0025] [0037] 도 5는 도 3의 금속 구조물(308)을 포함할 수 있지만, 패키지 기판의 전체 부피에 대한 다양한 금속 재료들의 부피의 함수로서 패키지 기판의 유효 CTE를 예시하는 그래프(500)이다. 이는 접지 평면들을 포함하여 패키지 기판의 금속 구조물들에서 패턴화된 보이드들의 존재가 어떻게 접지 평면의 전체 CTE를 낮출 수 있는 지를 예시한다. 도 5의 그래프(500)는 X축에서 패키지 기판 내의 구리 함량의 부피 백분율의 함수로서 Y축에서 패키지 기판의 유효 CTE를 예시하고, 패턴화된 보이드들의 함수로서 접지 평면들에서 구리의 부피 백분율을 예시한다. 도 5에 도시된 바와 같이, 제1 곡선(502)은 보이드 패턴들을 포함하지 않는 접지 평면들을 사용할 때, 패키지 기판 내의 구리 함량의 주어진 부피 백분율에 대한 패키지 기판의 유효 CTE를 예시한다. 제2 곡선(504)은 금속 재료가 접지 평면들의 부피의 60%인 보이드 패턴들을 포함하는 접지 평면들을 사용할 때, 패키지 기판 내의 구리 함량의 주어진 부피 백분율에 대한 패키지 기판의 유효 CTE를 예시한다. 도 5에 도시된 바와 같이, 패키지 기판 내의 구리 함량의 주어진 부피 백분율에 대한 제2 곡선(504)의 유효 CTE는 제1 곡선(502)의 유효 CTE보다 작다.

[0026] [0038] 도 6은 부여된 기계적인 힘에 기초하여 금속 구조물(608)의 금속 강성의 감소를 편향시키기 위해 Y축 방향으로 연신된 패턴화된 보이드들(602)을 갖는 금속화 층(601)에 제공될 수 있는 다른 예시적인 금속 구조물(608)의 평면도이다. 도 3의 금속 구조물(308)과 유사하게, 도 6의 금속 구조물(608)은 벌집 패턴의 형상으로 패턴화된 보이드들(602)(즉, 육각형 형상의 보이드들)을 가져, 금속 구조물(608)의 금속 강성을 감소시키기 위해 금속 구조물(608)의 보이드-한정된 영역(void-defined area)(620)을 생성한다. 금속 인터커넥트들(606)은 인접한 보이드들(602) 사이의 금속 구조물(608)의 금속 재료(604)에 형성된다. 금속 구조물(608)은 예로서 도 1의 다이 모듈 패키지(100)의 패키지 기판(104)과 같은 패키지 기판의 접지 평면으로서 역할을 할 수 있다. 금속 구조물(608)은 구리와 같은 금속 재료(604)로 만들어진다. 유전체 재료(612)는 패턴화된 보이드들(602) 내에 배치될 수 있다. 패턴화된 보이드들(602)은 도 6에 도시된 것과 동일한 형상 및 배향을 갖는다. 패턴화된 보이드들(602)은 또한 도 6에 도시된 바와 같이 반복된 패턴으로 금속 구조물(608)에 배치되고, 이는 패턴화된 보이드들(602)이 반복되는 방식으로 금속 구조물에 배향되고 설치된다는 것을 의미한다. 예를 들어, 도 6에 도시된 바와 같이, 패턴화된 보이드들(602)의 패턴은 점선 상자(610)에 도시된다. 행(예컨대, 행 R_1)의 각각의 패턴화된 보이드(602)는 인접한 행(예컨대, 행 R_2)에서 두 개의 인접한 패턴화된 보이드들(602) 사이의 중심선 CTR_1을 따라 오프셋된다. 또한, 열(예컨대, 행 C_1)의 각각의 패턴화된 보이드(602)는 인접한 열(예컨대, 열 C_2)에서 두 개의 인접한 패턴화된 보이드들(602) 사이의 중심선 CTR_2를 따라 오프셋된다. 패턴화된 보이드들(602)은 각각 X축 방향으로 동일한 제1 피치(P_3)를 갖는다. 패턴화된 보이드들(602)은 또한 각각 Y축 방향으로 동일한 제2 피치(P_4)를 갖는다.

[0027] [0039] 이 예에서, Y축 방향으로의 패턴화된 보이드들(602)의 길이(L_1)가 X축 방향으로의 길이(L_2)보다 길기 때문에, 제1 피치(P_3)가 제2 피치(P_4)보다 작다. 따라서, 패턴화된 보이드들(602)은 Y축 방향으로 연신된다. 이는 패턴화된 보이드들(602)이 Y축 방향보다 X축 방향의 강성을 더 감소시키는 효과를 갖는다. 이는 금속 구조물(608)의 강성의 감소 방향을 편향시키는 데에 바람직할 수 있다. 도 6의 예에서, 패턴화된 보이드들(602)은 금속 구조물(608)의 금속 재료(604)에 의해 완전히 둘러싸여 있다. 또한, 도 6의 이 예에서, 금속 구조물(608)에 배치된 패턴화된 보이드들(602)은 금속 구조물(608)의 전체 영역의 적어도 30 퍼센트(30%)인 결합된 영역을 갖도록 설계될 수 있다.

[0028] [0040] 금속 구조물에 대한 상호 연결부들을 제공하기 위해 도 3의 금속 구조물(308)과 같은 패턴화된 보이드들의 서브세트(subset)로 보이드-한정된 섹션(720)을 갖는 금속 구조물을 통해 분포되고 연장되는 비아들을 제공하는 것이 또한 바람직할 수 있다. 이와 관련하여, 도 7은 도 1의 패키지 기판(104)과 같은 패키지 기판의 금속화 층에 제공될 수 있는 다른 예시적인 금속 구조물(708)의 평면도이다. 도 7의 금속 구조물(708)은 도 3의 금속 구조물(308)과 유사하다. 금속 인터커넥트들(706)은 인접한 패턴화된 보이드들(702) 사이의 금속 구조물(708)의 금속 재료(704)에 형성된다. 그러나 도 7에서, 금속 구조물(708)의 금속 재료(704)에 형성된 특정 패턴화된 보이드들(702)은 유전체 재료로 채워지지 않고, 오히려 비아들(712)이 이러한 패턴화된 보이드들(702)에 배치되어 금속 구조물(708)이 배치되는 금속화 층에 인접하여 인접하는 금속화 층들에 상호 연결부들을 제공한다. 이는 금속 구조물(708)의 유전체 재료(714)를 갖는 패턴화된 보이드들(702)의 전체 부피를 변화시킬 것이며, 이는 금속 구조물(708)의 금속 강성 및 유효 CTE의 전체 감소에 영향을 미칠 것이다. 그러나, 비아들(712)의 설치에 의한 상호 연결 라우팅 효율성에 대한 트레이드오프(tradeoff)로서 금속 강성의 더 적은 감소가 바람직할 수 있다. 도 3의 금속 구조물(308)의 요소들과 공통인 도 7의 금속 구조물(708)의 다른 요소들은 도 3과 도 7 사이에 공통 요소 번호들 및 라벨링(labeling)으로 도시되어 있다. 또한, 도 7의 예에서, 패턴화된 보이드들(702)은 금속 구조물(708)의 금속 재료(704)에 의해 완전히 둘러싸여 있다. 또한, 이 예에서, 금속 구조물(708)에 배치된 패턴화된 보이드들(702)은 금속 구조물(708)의 전체 영역의 적어도 30 퍼센트(30%)인 결합된 영역을 갖도록 설계될 수 있다.

[0029] [0041] 도 8은 도 1의 패키지 기판(104)의 금속화 층(106(1) 내지 106(4))과 같은 패키지 기판의 금속화 층에 제공될 수 있고, 패턴화된 보이드들(802)을 갖는 보이드-한정된 섹션(820)을 포함하는 금속 재료(804)의 다른 예시적인 금속 구조물(808)의 평면도이다. 금속 인터커넥트들(806)은 인접한 보이드들(802) 사이의 금속 구조물(808)의 금속 재료(804)에 형성된다. 도 8의 금속 구조물(808)에 형성된 보이드들(802)은 부여된 기계적인 힘에 기초하여 금속 구조물(808)의 금속 강성의 감소를 편향시키기 위해 도 6의 금속 구조물(608)보다 Y축 방향으로 훨씬 더 연신된다. 도 8의 금속 구조물(808)은 X축 방향으로 금속 구조물(808)의 금속 강성을 감소시키기 위해 Y축 방향으로 연신된 슬롯(slot)들의 형상의 패턴화된 보이드들(802)을 갖는다. 금속 구조물(808)은 예로서 도 1의 다이 모듈 패키지(100)와 같은 다이 모듈 패키지의 패키지 기판(104)에서 접지 평면으로서 역할을 할 수 있다. 금속 구조물(808)은 구리와 같은 금속 재료(804)로 만들어진다. 유전체 재료(814)는 패턴화된 보이드들(802) 내에 배치되어 보이드-한정된 섹션(820)과 금속 구조물(808)의 유효 CTE를 더욱 감소시킬 수 있다. 패턴화된 보이드들(802)은 동일한 형상과 배향을 갖는다. 패턴화된 보이드들(802)은 또한 도 8에 도시된 바와 같이 반복된 패턴으로 금속 구조물(808)에 배치되고, 이는 패턴화된 보이드들(802)이 반복되는 방식으로 금속 구조물에 배향되고 설치된다는 것을 의미한다. 예를 들어, 도 8에 도시된 바와 같이, 패턴화된 보이드들(802)의 패턴은 점선 상자(810)로 도시된다. 패턴화된 보이드들(802)은 각각 X축 방향으로 동일한 제1 피치(P_5)를 갖는다. 패턴화된 보이드들(802)은 또한 각각 Y축 방향으로 동일한 제2 피치(P_6)를 갖는다. 이 예에서는, Y축 방향으로의 패턴화된 보이드들(802)의 길이(L_3)가 X축 방향으로의 길이(L_4)보다 길기 때문에, 제1 피치(P_5)가 제2 피치(P_6)보다 작다. 따라서, 패턴화된 보이드(802)는 Y축 방향으로 연신된다. 이는 패턴화된 보이드들(802)이 Y축 방향보다 X축 방향의 강성을 더욱 감소시키는 효과를 갖는다. 이는 접지 평면(800)의 강성의 감소 방향을 편향시키는 데에 바람직할 수 있다. 이 예에서, X축 방향의 길이(L_4)보다 훨씬 더 큰 Y축 방향의 길이(L_3)를 갖는 패턴화된 보이드들(802)은 본질적으로 금속 구조물(808)에 스프링(spring)들을 생성하여, X축 방향으로 가요성 금속 구조물(808)을 제공한다.

[0030] [0042] 또한, 도 8에 도시된 바와 같이, 보이드들(802)의 일부 또는 전부는 관통 비아들(812)을 가능하게 하여 보이드-한정된 섹션(820)의 금속 인터커넥트들(806)과 인접한 금속화 층들 사이의 상호 연결들을 가능하게 할 수 있다. 비아들(812)은 또한 Z축 방향으로 상부 인접하는 금속화 층까지 연장되거나(도 8에서 보이드(802) 내부에 점 '.'로 표시됨), 또는 Z축 방향으로 하부 인접하는 금속화 층까지 연장하는(도 8에서 보이드(802) 내부에 'X'로 표시됨) 교번적인 방식으로 보이드들(802)에 배치될 수 있어, 보이드-한정된 섹션(820)의 강성 및 굽힘에 있어서 대칭을 제공할 수 있다. 또한, 도 8의 예에서, 보이드들(802)은 금속 구조물(808)의 금속 재료(804)에 의해 완전히 둘러싸여 있다. 또한, 이 예에서, 금속 구조물(808)에 배치된 보이드들(802)은 금속 구조물(808)의 전체 영역의 적어도 30 퍼센트(30%)인 결합된 영역을 갖도록 설계될 수 있다.

[0031] [0043] 금속 구조물에 보이드-한정된 섹션을 형성하기 위해 패키지 기판의 금속화 층의 금속 구조물에 패턴화되지 않은 보이드들을 제공하는 것도 또한 가능하다. 예를 들어, 보이드들은 패키지 기판에 접지 평면을 제공하는 금속 구조물에 배치될 수 있다. 예를 들어, 패키지 기판의 금속 라인들 또는 트레이스들 및/또는 다른 전

기적인 구성요소들에 인접한 패키지 기판의, 접지 평면과 같은 금속 구조물에 보이드들이 선택적으로 배치되어, 이러한 금속 라인들 또는 트레이스들 및/또는 다른 전기적인 구성요소들에 선택적인 기계적인 스트레스 완화를 제공할 수 있다.

[0032] [0044] 이와 관련하여, 도 9a 내지 도 9h는 금속 구조물의 보이드-한정된 섹션을 제공하기 위해 패키지 기판의 금속 트레이스들 및/또는 다른 전기적인 구성요소들에 인접하여 선택적으로 제공되는 패턴화된 보이드들 또는 컷아웃들을 갖는 금속화 층의 다른 예시적인 금속 구조물들의 평면도이다. 보이드-한정된 섹션은 패키지 기판의 비아들 또는 다른 인터커넥트들에 결합될 수 있어 이러한 상호 연결부들 및 이러한 상호 연결부들에 결합된 전기적인 구성요소들에 선택적인 기계적인 스트레스 완화를 제공할 수 있다.

[0033] [0045] 도 9a는 도 1의 패키지 기판(104)과 같은 패키지 기판(902)에 제공될 수 있는 금속 구조물(900)의 금속 재료(901)에 보이드들에 의해 형성된 보이드-한정된 섹션(903)을 갖는 금속 구조물(900)의 평면도이다. 제1 보이드(904(1))는 금속 구조물(900)에 배치된다. 제2 보이드(904(2))는 또한 금속 구조물(900)의 제1 보이드(904(1))에 인접하게 배치되어 금속 인터커넥트(906)가 제1 보이드(904(1))와 제2 보이드(904(2)) 사이의 금속 구조물(900)에 형성된다. 제2 보이드(904(2))는 제1 보이드(904(1))와 동일한 축(A_1)을 따라 정렬된다. 유전체 재료(908)는, 유전체 재료(908)가 금속 구조물(900)의 금속 재료(901)의 CTE보다 낮은 CTE를 갖도록, 제1 보이드(904(1)) 및/또는 제2 보이드(904(2)) 내에 배치될 수 있다. 이러한 방식으로, 금속 인터커넥트(906)에 인접한 금속 구조물(900)의 강성이 감소되고, 부여된 스트레스 힘에 응답하여 보이드들(904(1), 904(2))에 인접한 금속 재료(901) 및 금속 인터커넥트(906)에 대한 손상을 감소시키거나 회피할 수 있다.

[0034] [0046] 도 9b는 도 1의 패키지 기판(104)과 같은 패키지 기판(914)에 제공될 수 있는 금속 구조물(910)의 금속 재료(912)에 보이드들에 의해 형성된 보이드-한정된 섹션(913)을 갖는 금속 구조물(910)의 평면도이다. 제1 보이드(916(1))는 금속 구조물(910)에 배치된다. 제1 보이드(916(1))는 제1 축(A_2)과 이의 긴 방향에서 정렬된 제1 연신된 보이드 부분(918(1)) 및 제1 축(A_2)과 평행한 제2 축(A_3)과 이의 긴 방향에서 정렬된 제2 연신된 보이드 부분(918(2))을 포함한다. 제3 보이드 부분(918(3))은 제1 연신된 보이드 부분(918(1))과 제2 연신된 보이드 부분(918(2))을 결합한다. 제3 보이드 부분(918(3))은 제1 및 제2 축들(A_2, A_3)에 직교하는 제3 축(A_4)과 이의 긴 방향에서 정렬된다. 제2 보이드(916(2))는 제1 축(A_2)과 이의 긴 방향에서 정렬된 제4 연신된 부분(920(1)) 및 제2 축(A_3)과 이의 긴 방향에서 정렬된 제5 연신된 보이드 부분(920(2))을 포함한다. 제6 보이드 부분(920(3))은 제4 연신된 보이드 부분(920(1))과 제5 연신된 보이드 부분(920(2))을 결합한다. 제6 보이드 부분(920(3))은 제1 및 제2 축들(A_2, A_3)에 직교하는 제4 축(A_5)과 이의 긴 방향에서 정렬된다. 개개의 제1 및 제4 연신된 보이드 부분들(918(1), 920(1)), 개개의 제2 및 제5 연신된 보이드 부분들(918(2), 920(2)) 및 개개의 제3 및 제6 보이드 부분들(918(3), 920(3)) 사이의 공간에 금속 인터커넥트(922)가 형성된다. 유전체 재료(924)가 보이드 부분들(918(1) 내지 918(3), 920(1) 내지 920(3)) 내에 배치될 수 있고 유전체 재료(924)는 금속 구조물(910)의 금속 재료(912)의 CTE보다 낮은 CTE를 갖는다. 이러한 방식으로, 금속 인터커넥트(922)에 인접한 금속 구조물(910)의 강성이 감소되고, 부여된 스트레스 힘에 응답하여 보이드들(916(1), 916(2))에 인접한 금속 재료(922) 및 금속 인터커넥트(912)에 대한 손상을 감소시키거나 회피할 수 있다.

[0035] [0047] 도 9c는 도 1의 패키지 기판(104)과 같은 패키지 기판(934)에 제공될 수 있는 금속 구조물(930)의 금속 재료(932)에 보이드들에 의해 형성된 보이드-한정된 섹션(933)을 갖는 다른 금속 구조물(930)의 평면도이다. 제1 보이드(936(1))는 금속 구조물(930)에 배치된다. 제1 보이드(936(1))는 제1 축(A_6)과 이의 긴 방향에서 정렬된다. 제2 보이드(936(2))는 금속 구조물(930)에 배치되고 제1 축(A_6)에 직교하는 제2 축(A_7)과 이의 긴 방향으로 정렬된다. 제3 보이드(936(3))는 제1 및 제2 보이드들(936(1), 936(2)) 사이의 금속 구조물(930)에 배치되고, 개개의 제1 및 제2 축들(A_6, A_7)을 따라 이의 긴 방향을 따라 정렬된 연신된 보이드 부분들(938(1), 938(2))을 포함한다. 이러한 방식으로, 보이드들(936(1) 내지 936(3))은 금속 구조물(930)에서 L-형상을 형성하며, 여기서 두 개의 금속 인터커넥트들(940(1), 940(2))은 개개의 보이드(936(1) 내지 936(3)) 사이에 형성된다. 유전체 재료(942)가 보이드들(936(1) 내지 936(3)) 내에 배치될 수 있고 유전체 재료(942)는 금속 구조물(930)의 금속 재료(932)의 CTE보다 낮은 CTE를 갖는다. 이러한 방식으로, 금속 인터커넥트들(940(1), 940(2))에 인접한 금속 구조물(930)의 강성이 감소되며, 이는 부여된 스트레스 힘에 응답하여 보이드들(936(1) 내지 936(3))에 인접한 금속 인터커넥트들(940(1), 940(2)) 및 금속 재료(932)에 대한 손상을 줄이거나 방지할 수 있다.

[0036] [0048] 도 9d는 도 1의 패키지 기판(104)과 같은 패키지 기판(954)에 제공될 수 있는 금속 구조물(950)의 금속 재료(952)에 보이드들에 의해 형성된 보이드-한정된 섹션(953)을 갖는 다른 금속 구조물(950)의 평면도이다. 반경 R_1의 곡선형 보이드(956)가 금속 구조물(950)에 배치된다. 유전체 재료(958)가 보이드(956) 내에 배치될 수 있고 유전체 재료(958)는 금속 구조물(950)의 금속 재료(952)의 CTE보다 낮은 CTE를 갖는다. 이러한 방식으로, 보이드(956)에 인접한 금속 구조물(950)의 강성이 감소되고, 이는 부여된 스트레스 힘에 응답하는 손상을 방지할 수 있다. 금속 인터커넥트들(959)은 보이드(956)에 인접하여 형성된다.

[0037] [0049] 도 9e 내지 도 9h는 도 1의 패키지 기판(104)과 같은 패키지 기판에 제공될 수 있는 금속 구조물들(960, 970, 980, 990)의 금속 재료(962)에 보이드들에 의해 형성된 개개의 보이드-한정된 섹션들(963, 973, 983, 993)을 갖는 다른 개개의 금속 구조물들(960, 970, 980, 990)의 평면도이다. 도 9e는 금속 인터커넥트들(967)을 형성하기 위해 비아들(966)을 둘러싸는 4 개의 보이드들(964(1) 내지 964(4))을 포함한다. 유전체 재료(968)가 보이드들(964(1) 내지 964(4)) 내에 배치될 수 있고 유전체 재료(968)는 금속 구조물(960)의 금속 재료(962)의 CTE보다 낮은 CTE를 갖는다. 도 9f는 도 9e와 상이한 배열로 인터커넥트들을 제공하기 위해 비아들(966)을 둘러싸는 4 개의 보이드들(974(1) 내지 974(4))을 포함하는 금속 구조물(970)이다. 유전체 재료(968)는 보이드(974(1) 내지 974(4)) 내에 배치될 수 있고 유전체 재료(968)는 금속 구조물(970)의 금속 재료(962)의 CTE보다 낮은 CTE를 갖는다. 도 9g는 도 9f와 상이한 배열로 인터커넥트들을 제공하기 위해 비아들(966)을 둘러싸는 4 개의 보이드들(984(1) 내지 984(4))을 포함하는 금속 구조물(980)이다. 유전체 재료(968)가 보이드들(984(1) 내지 984(4)) 내에 배치될 수 있고 유전체 재료(968)는 금속 구조물(980)의 금속 재료(962)의 CTE보다 낮은 CTE를 갖는다. 도 9h는 도 9g와는 상이한 배열로 인터커넥트들을 제공하기 위해 비아들(966)을 둘러싸는 두 개의 보이드들(994(1), 994(2))을 포함하는 또 다른 금속 구조물(990)이다. 유전체 재료(968)는 보이드들(994(1), 994(2)) 내에 배치될 수 있고 유전체 재료(968)는 금속 구조물(990)의 금속 재료(962)의 CTE보다 낮은 CTE를 갖는다.

[0038] [0050] 도 10은 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된 보이드-한정된 섹션들을 갖는 하나 이상의 금속 구조물들을 포함하는 패키지 기판을 포함하는, 도 1의 다이 모듈 패키지(100)와 같은 다이 모듈 패키지를 제조하는 예시적인 제조 공정(1000)을 도시하는 흐름도이다. 보이드-한정된 섹션들은 금속 구조물(들)의 금속 강성을 감소시켜 패키지 기판과, 다이 인터커넥트들 및 다이들 사이의 다이-기판 기계적 스트레스를 감소시킬 수 있다. 예시적인 제조 공정(1000)은 도 1 및 도 2의 다이 모듈 패키지(100)를 참조하여 논의될 것이다. 그러나, 제조 공정(1000)은 도 3, 도 4 및 도 6 내지 도 9h의 금속 구조물들(308, 408, 608, 708, 808, 908, 910, 930, 950, 960, 970, 980, 990)을 각각 제조하는 데에도 또한 사용될 수 있다는 점에 유의하라.

[0039] [0051] 이와 관련하여, 도 10을 참조하면, 공정(1000)의 제1 단계는 패키지 기판(104)을 형성하는 것이다(도 10의 블록 1002). 공정(1000)의 다음 단계는 서로 평행하고 공통 수직 평면을 공유하는 복수의 금속 구조물들(108)을 형성하는 것이며, 각각은 수직 방향으로 부분적으로 서로 중첩되고 각각은 제1 CTE를 갖는 금속 재료(204)를 포함한다(도 10의 블록 1004). 그 후, 복수의 금속 구조물들(108) 중 각각의 금속 구조물(108)에 대해(도 10의 블록 1006), 공정의 다음 단계는 금속 구조물(108)에 보이드-한정된 섹션(120)을 형성하는 것이다(도 10의 블록 1008). 이 공정(1000)은 또한, 복수의 금속 구조물들(108) 중 각각의 금속 구조물(108)에 대해, 하나 이상의 금속 인터커넥트들(206)이 복수의 보이드들(202) 중 개개의 인접하는 보이드들(202) 사이에 형성되도록 금속 구조물(108)에 배치된 복수의 보이드들(202)을 형성하는 것을 포함한다(도 10의 블록 1010). 이 공정(1000)은 또한, 복수의 금속 구조물들(108) 중 각각의 금속 구조물(108)에 대해, 보이드-한정된 섹션(120)의 복수의 보이드들(202) 중 적어도 하나의 보이드(202)에 제2 CTE를 갖는 유전체 재료(210)를 배치하는 것을 포함하고, 유전체 재료(210)의 제2 CTE는 금속 구조물(108)의 제1 CTE보다 작다(도 10의 블록 1012). 공정(1000)은 또한 보이드-한정된 섹션(120)의 하나 이상의 금속 인터커넥트들(206) 중에서 적어도 하나의 금속 인터커넥트(206)에 결합된 적어도 하나의 다이 인터커넥트(114)를 형성하는 것을 포함한다(도 10의 블록 1014). 공정(1000)은 또한 다이(102(1), 102(2))를 적어도 하나의 다이 인터커넥트(114)에 결합하는 것을 포함한다(도 10의 블록 1016).

[0040] [0052] 본 명세서에 사용된 용어들 "상단", "위", "하단", 아래"는 상대적인 용어들이며 엄격한 배향을 제한하거나 암시하려는 의도가 아니라는 점을 이해해야 한다. "상단"으로 참조된 요소는 항상 지면을 기준으로 "하단"으로 참조된 요소 위에 있도록 배향되지 않으며 그 반대의 경우도 마찬가지이다. "상단" 또는 "하단"으로 참조되는 요소는 오직 해당 예와 특정 예시된 예에 대해서만 상단 또는 하단에 있을 수 있다. 다른 요소의 "위" 또는 "아래"로 참조되는 요소는 지면과 관련될 필요가 없으며, 그 반대의 경우도 마찬가지이다. "위" 또는 "아래"로 참조된 요소는 오직 해당 예 및 특정 예시된 예와 관련하여 그러한 다른 참조된 요소에 대해 위 또

는 아래에 있을 수 있다.

[0041] [0053] 도 1 내지 도 3 및 도 6 내지 도 9h의 패키지 기판들을 포함하는(그러나, 이에 제한되지 않음), 그리고 도 10의 예시적인 제조 공정에 따르는, 그리고 본 명세서에 개시된 임의의 양태들에 따르는, 금속 구조물(들)의 금속 강성을 감소시키도록 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된 보이드-한정된 섹션들을 갖는 하나 이상의 금속 구조물들을 포함하는 패키지 기판을 포함하는 다이 모듈 패키지들은 임의의 프로세서 기반 디바이스(processor-based device)로 제공되거나 또는 그 내에 통합될 수 있다. 예들은, 제한 없이, 셋톱 박스(set top box), 엔터테인먼트 유닛(entertainment unit), 내비게이션 디바이스(navigation device), 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 글로벌 포지셔닝 시스템(globlal positioning system)(GPS) 디바이스, 모바일 폰(mobile phone), 셀룰러 폰(cellular phone), 스마트 폰(smart phone), 세션 개시 프로토콜(session initiation protocol)(SIP) 폰, 태블릿, 패블릿(phablet), 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(예컨대, 스마트 워치, 건강 또는 피트니스 트래커(fitness tracker), 안경 등), 데스크톱 컴퓨터, 개인 휴대 정보 단말기(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너(tuner), 라디오, 위성 라디오, 음악 플레이어, 디지털 음악 플레이어, 휴대용 음악 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 구성요소, 항공 전자 시스템들, 드론 및 멀티콥터(multicopter)를 포함한다.

[0042] [0054] 이와 관련하여, 도 11은 하나 이상의 IC들(1102)로부터 형성된 RF 구성요소들을 포함하는 예시적인 무선 통신 디바이스(1100)를 예시하며, 여기서 IC들(1102) 중 임의의 IC는 IC 패키지(1103)에 포함될 수 있다. IC 패키지(1103)는 도 1 내지 도 3 및 도 6 내지 도 9h의 패키지 기판들을 포함하는(그러나, 이에 제한되지 않음), 그리고 도 10의 예시적인 제조 공정에 따르는, 금속 구조물(들)의 금속 강성을 감소시키기 위해 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된 보이드-한정된 섹션들을 갖는 하나 이상의 금속 구조물들을 포함하는 패키지 기판을 포함하는 다이 모듈 패키지(들)를 포함할 수 있다.

[0043] [0055] 무선 통신 디바이스(1100)는 예들로서 위에서 참조된 디바이스들 중 임의의 디바이스를 포함하거나 제공될 수 있다. 도 11에 도시된 바와 같이, 무선 통신 디바이스(1100)는 트랜시버(transceiver)(1104) 및 데이터 프로세서(data processor)(1106)를 포함한다. 데이터 프로세서(1106)는 데이터 및 프로그램 코드(program code)들을 저장하는 메모리를 포함할 수 있다. 트랜시버(1104)는 양방향 통신을 지원하는 송신기(1108) 및 수신기(1110)를 포함한다. 일반적으로, 무선 통신 디바이스(1100)는 임의의 수의 통신 시스템들 및 주파수 대역들을 위한 임의의 수의 송신기들(1108) 및/또는 수신기들(1110)을 포함할 수 있다. 트랜시버(1104)의 전부 또는 일부는 하나 이상의 아날로그 IC들, RF IC들(RFIC들), 혼합 신호 IC들 등에서 구현될 수 있다.

[0044] [0056] 송신기(1108) 또는 수신기(1110)는 슈퍼-헤테로다인 아키텍처(super-heterodyne architecture) 또는 직접-변환 아키텍처(direct-conversion architecture)로 구현될 수 있다. 슈퍼-헤테로다인 아키텍처에서, 신호는 RF와 기저대역(baseband) 사이에서 다수의 스테이지(stage)들로, 예컨대 하나의 스테이지에서는 RF에서 중간 주파수(IF)로, 그런 다음 수신기(1110)를 위한 다른 스테이지에서는 IF에서 기저대역으로 주파수 변환된다. 직접-변환 아키텍처에서, 신호가 하나의 스테이지에서 RF와 기저대역 사이에서 주파수 변환된다. 슈퍼-헤테로다인 및 직접-변환 아키텍처들은 상이한 회로 블록들을 사용하거나 및/또는 상이한 요구사항을 가질 수 있다. 도 11의 무선 통신 디바이스(1100)에서, 송신기(1108) 및 수신기(1110)는 직접-변환 아키텍처로 구현된다.

[0045] [0057] 송신 경로에서, 데이터 프로세서(1106)는 송신될 데이터를 처리하고 I 및 Q 아날로그 출력 신호들을 송신기(1108)에 제공한다. 예시적인 무선 통신 디바이스(1100)에서, 데이터 프로세서(1106)는 데이터 프로세서(1106)에 의해 생성된 디지털 신호들을 I 및 Q 아날로그 출력 신호들, 예컨대 추가적인 처리를 위한 I 및 Q 출력 전류들로 변환하기 위한 디지털-아날로그 변환기들(DAC들)(1112(1), 1112(2))을 포함한다.

[0046] [0058] 송신기(1108) 내부에서, 저역 통과 필터들(1114(1), 1114(2))은 I 및 Q 아날로그 출력 신호들을 각각 필터링하여, 이전의 디지털-아날로그 변환에 의해 유발된 원하지 않는 신호들을 제거한다. 증폭기들(AMP들)(1116(1), 1116(2))은 저역 통과 필터들(1114(1), 1114(2))로부터의 신호들을 각각 증폭하고, I 및 Q 기저대역 신호들을 제공한다. 업컨버터(upconverter)(1118)는 TX LO 신호 생성기(1122)로부터 믹서(mixer)들(1120(1), 1120(2))을 통해 I 및 Q 송신(TX) 국부 발진기(LO) 신호들로 I 및 Q 기저대역 신호들을 업컨버팅하여, 업컨버팅된 신호(1124)를 제공한다. 필터(1126)는 업컨버팅된 신호(1124)를 필터링하여 주파수 업컨버전에 의해 유발된 원하지 않는 신호들과 수신 주파수 대역의 노이즈를 제거한다. 전력 증폭기(PA)(1128)는 원하는 출력 전력 레벨을 얻기 위해 필터(1126)로부터 업컨버팅된 신호(1124)를 증폭하고 송신 RF 신호를 제공한다. 송신 RF 신호는 듀플렉서(duplexer) 또는 스위치(1130)를 통해 라우팅되고 안테나(1132)를 통해 송

신된다.

[0047] [0059] 수신 경로에서, 안테나(1132)는 기지국들에 의해 송신된 신호들을 수신하고 수신된 RF 신호를 제공하며, 이는 듀플렉서 또는 스위치(1130)를 통해 라우팅되고 저잡음 증폭기(LNA)(1134)에 제공된다. 듀플렉서 또는 스위치(1130)는 RX 신호들이 TX 신호들로부터 격리되도록 특정 수신(RX)-TX 듀플렉서 주파수 분리로 작동하도록 설계된다. 수신된 RF 신호는 LNA(1134)에 의해 증폭되고 필터(1136)에 의해 필터링되어 원하는 RF 입력 신호를 획득한다. 다운컨버전 믹서(downconversion mixer)들(1138(1), 1138(2))은 필터(1136)의 출력을 RX LO 신호 생성기(1140)로부터의 I 및 Q RX LO 신호들(즉, LO_I 및 LO_Q)와 혼합하여, I 및 Q 기저대역 신호들을 생성한다. I 및 Q 기저대역 신호들은 AMP들(1142(1), 1142(2))에 의해 증폭되고 저역 통과 필터들(1144(1), 1144(2))에 의해 추가로 필터링되어 데이터 프로세서(1106)에 제공되는 I 및 Q 아날로그 입력 신호들을 획득한다. 이 예에서, 데이터 프로세서(1106)는 아날로그 입력 신호들을 데이터 프로세서(1106)에 의해 추가로 처리될 디지털 신호들로 변환하기 위한 아날로그-디지털 변환기들(ADC들)(1146(1), 1146(2))을 포함한다.

[0048] [0060] 도 11의 무선 통신 디바이스(1100)에서, TX LO 신호 생성기(1122)는 주파수 업컨버전을 위해 사용되는 I 및 Q TX LO 신호들을 생성하는 반면, RX LO 신호 생성기(1140)는 주파수 다운컨버전을 위해 사용되는 I 및 Q RX LO 신호들을 생성한다. 각각의 LO 신호는 특정 기본 주파수를 갖는 주기적인 신호이다. TX 위상-고정된 루프(phase-locked loop)(PLL) 회로(1148)는 데이터 프로세서(1106)로부터 타이밍 정보를 수신하고 TX LO 신호 생성기(1122)로부터 TX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다. 마찬가지로, RX PLL 회로(1150)는 데이터 프로세서(1106)로부터 타이밍 정보를 수신하고 RX LO 신호 생성기(1140)로부터 RX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다.

[0049] [0061] 도 12는 도 1 내지 도 3 및 도 6 내지 9h의 패키지 기판들을 포함하는(그러나, 이에 제한되지 않음), 그리고 도 10의 예시적인 제조 공정에 따르는, 그리고 본 명세서에 개시된 임의의 양태들에 따르는, 금속 구조물(들)의 금속 강성을 감소시키기 위해 금속 구조물(들)의 금속 재료에 보이드들에 의해 형성된 보이드-한정된 섹션들을 갖는 하나 이상의 금속 구조물들을 포함하는 패키지 기판을 포함하는 다이 모듈 패키지(들)를 포함하는 프로세서 기반 시스템(1200)으로서 무선 통신 디바이스의 예를 예시한다. 이 예에서, 프로세서 기반 시스템(1200)은 IC 패키지(1202)의 IC(1204)로서 그리고 시스템-온-칩(system-on-a-chip)(SoC)(1206)으로서 형성될 수 있다. 프로세서 기반 시스템(1200)은 CPU 코어들 또는 프로세서 코어들로 또한 지칭될 수 있는 하나 이상의 프로세서들(1210)을 포함하는 중앙 처리 유닛(CPU)(1208)을 포함한다. CPU(1208)는 임시 저장된 데이터에 대한 신속한 액세스를 위해 CPU(1208)에 결합된 캐시 메모리(1212)를 가질 수 있다. CPU(1208)는 시스템 버스(1214)에 결합되고 프로세서 기반 시스템(1200)에 포함된 마스터(master) 및 슬레이브(slave) 디바이스들을 상호 결합할 수 있다. 잘 알려진 바와 같이, CPU(1208)는 시스템 버스(1214)를 통해 주소, 제어 및 데이터 정보를 교환함으로써 이러한 다른 디바이스들과 통신한다. 예를 들어, CPU(1208)는 슬레이브 디바이스의 예로서 메모리 컨트롤러(1216)에 버스 트랜잭션 요청(bus transaction request)들을 전달할 수 있다. 도 12에는 예시되지 않았지만, 다수의 시스템 버스들(1214)이 제공될 수 있으며, 각각의 시스템 버스(1214)는 상이한 패브릭(fabric)을 구성한다.

[0050] [0062] 다른 마스터 및 슬레이브 디바이스들은 시스템 버스(1214)에 연결될 수 있다. 도 12에 예시된 바와 같이, 이들 디바이스들은 메모리 컨트롤러(1216) 및 메모리 어레이(들)(1218)를 포함하는 메모리 시스템(1220), 하나 이상의 입력 디바이스들(1222), 하나 이상의 출력 디바이스들(1224), 하나 이상의 네트워크 인터페이스 디바이스들(1226) 및 하나 이상의 디스플레이 컨트롤러들(1228)을 예들로서 포함할 수 있다. 메모리 시스템(1220), 하나 이상의 입력 디바이스들(1222), 하나 이상의 출력 디바이스들(1224), 하나 이상의 네트워크 인터페이스 디바이스들(1226) 및 하나 이상의 디스플레이 컨트롤러들(1228) 각각은 동일하거나 상이한 다이 모듈 패키지들(1202)에 제공될 수 있다. 입력 디바이스(들)(1222)는 입력 키(input key)들, 스위치들, 음성 프로세서들 등을 포함하는(그러나, 이에 제한되지 않음), 임의의 형태의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(1224)는 오디오, 비디오, 다른 시각적 표시기들 등을 포함하는(그러나, 이에 제한되지 않음) 임의의 유형의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(1226)는 네트워크(1230)와의 데이터의 교환을 허용하도록 구성된 임의의 디바이스일 수 있다. 네트워크(1230)는 유선 또는 무선 네트워크, 사설 또는 공용 네트워크, 근거리 통신망(LAN), 무선 근거리 통신망(WLAN), 광역 통신망(WAN), 블루투스(BLUETOOTH™) 네트워크 및 인터넷을 포함하는(그러나, 이에 제한되지 않음) 임의의 유형의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(1226)는 원하는 임의의 유형의 통신 프로토콜을 지원하도록 구성될 수 있다.

[0051] [0063] CPU(1208)는 또한 하나 이상의 디스플레이들(1232)에 보내진 정보를 제어하기 위해 시스템 버스(1214)

를 통해 디스플레이 컨트롤러(들)(1228)를 액세스하도록 구성될 수 있다. 디스플레이 컨트롤러(들)(1228)는 디스플레이(들)(1232)에 적합한 포맷(format)으로 디스플레이될 정보를 처리하는 하나 이상의 비디오 프로세서들(1234)을 거쳐서 디스플레이될 디스플레이(들)(1232)에 정보를 보낸다. 디스플레이 컨트롤러(들)(1228) 및 비디오 프로세서(들)(1234)는 동일하거나 상이한 다이 모듈 패키지(1202)의 IC들로서 포함될 수 있으며, 예로서 CPU(1208)를 포함하는 동일하거나 상이한 다이 모듈 패키지(1202)에 포함될 수 있다. 디스플레이(들)(1232)는 음극선관(CRT), 액정 디스플레이(LCD), 플라즈마 디스플레이, 발광 다이오드(LED) 디스플레이 등을 포함하는(그러나, 이에 제한되지 않음) 임의의 유형의 디스플레이를 포함할 수 있다.

[0052] [0064] 해당 기술 분야의 숙련자는 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리듬들이 전자적인 하드웨어, 메모리 또는 다른 컴퓨터 판독 가능 매체에 저장되고 프로세서나 다른 처리 디바이스, 또는 둘의 조합들에 의해 실행될 수 있는 명령어들로서 구현될 수 있다는 것을 추가로 이해할 것이다. 본 명세서에 설명된 마스터 및 슬레이브 디바이스들은 예로서 임의의 회로, 하드웨어 구성요소, IC 또는 IC 칩에 사용될 수 있다. 본 명세서에 개시된 메모리는 임의의 유형 및 크기의 메모리일 수 있으며 원하는 임의의 유형의 정보를 저장하도록 구성될 수 있다. 이러한 상호 호환성(interchangeability)을 명확하게 예시하기 위해, 다양한 예시적인 구성요소들, 블록들, 모듈들, 회로들 및 단계들이 일반적으로 기능(functionality)의 측면에서 설명되었다. 이러한 기능이 구현되는 방법은 특정 애플리케이션(application), 설계 선택들 및/또는 전체 시스템에 부과되는 설계 제약 조건들에 따라 달라진다. 숙련된 기술자들은 각각의 특정 애플리케이션에 대해 다양한 방식들로 설명된 기능을 구현할 수 있지만, 그러한 구현 결정들이 본 개시 내용의 범주로부터 벗어나는 것을 유발하는 것으로 해석되어서는 안 된다.

[0053] [0065] 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 논리 블록(logical block)들, 모듈들 및 회로들은 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍 가능 게이트 어레이(FPGA) 또는 다른 프로그래밍 가능 로직 디바이스, 개별 게이트 또는 트랜지스터 로직, 개별 하드웨어 구성요소들 또는 본 명세서에서 설명된 기능을 수행하도록 설계된 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서(microprocessor)일 수 있지만, 대안으로, 프로세서는 임의의 기존 프로세서, 컨트롤러, 마이크로 컨트롤러 또는 상태 머신(state machine)일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합(예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 이러한 구성)으로 구현될 수도 있다.

[0054] [0066] 본 명세서에 개시된 양태들은 하드웨어 및 하드웨어에 저장되고 예를 들어 RAM(Random Access Memory), 플래시 메모리(flash memory), ROM(Read Only Memory), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 레지스터(register)들, 하드 디스크, 이동식 디스크, CD-ROM 또는 해당 기술 분야에 알려진 임의의 다른 형태의 컴퓨터 판독 가능 매체에 있을 수 있는 명령어들로 실시될 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 읽고 저장 매체에 정보를 기록할 수 있도록 프로세서에 결합된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서와 저장 매체는 ASIC에 있을 수 있다. ASIC은 원격국(remote station)에 있을 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격국, 기지국 또는 서버에 개별 구성요소들로서 있을 수 있다.

[0055] [0067] 본 명세서의 예시적인 양태들 중 임의의 양태에 설명된 작동 단계들은 예들과 논의를 제공하기 위해 설명된다는 점도 유의해야 한다. 설명된 작동들은 예시된 시퀀스(sequence)들 이외의 다수의 상이한 시퀀스들로 수행될 수 있다. 더욱이, 단일 작동 단계로 설명된 작동들은 실제로 많은 상이한 단계들로 수행될 수 있다. 추가적으로, 예시적인 양태들에서 논의된 하나 이상의 작동 단계들은 조합될 수 있다. 흐름도들에 예시된 작동 단계들은 해당 기술 분야의 숙련자에게 쉽게 명백한 바와 같이 수많은 상이한 변형들이 있을 수 있다는 것이 이해되어야 한다. 해당 기술 분야의 숙련자는 또한 정보와 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 사용하여 표현될 수 있다는 것도 이해할 것이다. 예를 들어, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령어들, 명령들, 정보, 신호들, 비트(bit)들, 기호들 및 칩(chip)들은 전압들, 전류들, 전자기파들, 자기장들 또는 입자들, 광학적 필드(field)들 또는 입자들, 또는 이들의 임의의 조합으로 표현될 수 있다.

[0056] [0068] 본 개시 내용의 이전의 설명은 해당 기술 분야의 기술자가 본 개시 내용을 실시하거나 이용하는 것을 가능하게 하도록 제공된다. 본 개시 내용에 대한 다양한 수정들은 해당 기술 분야의 숙련자에게 바로 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 다른 변형들에 적용될 수 있다. 따라서, 본 개시 내용은 본 명세서에 설명된 예들 및 설계들에 제한되도록 의도되지 않고, 본 명세서에 개시된 원리들 및 신규 특징들과 일치하는 가장 넓은 범주에 부합되어야 한다.

[0057] [0069] 구현 예들이 다음의 번호가 매겨진 조항들에 설명되어 있다:

[0058] 1. 다이 모듈 패키지로서,

[0059] 패키지 기판 — 패키지 기판은:

[0060] 수평 방향으로 서로 평행하고 공통 수직 평면을 공유하는 복수의 금속 구조물들을 포함하고,

[0061] 복수의 금속 구조물들 중 각각의 금속 구조물은:

[0062] 제1 열 팽창 계수(CTE)를 갖는 금속 재료;

[0063] 금속 구조물에 배치된 복수의 보이드들을 포함하는 보이드-한정된 섹션;

[0064] 복수의 보이드들 중 인접한 보이드들 사이에 배치된 금속 구조물의 금속 재료로 각각 형성된 하나 이상의 금속 인터커넥트들; 및

[0065] 보이드-한정된 섹션의 복수의 보이드들 중 적어도 하나의 보이드에 배치된 제2 CTE를 갖는 유전체 재료를 포함하고, 상기 유전체 재료의 제2 CTE는 상기 금속 재료의 제1 CTE보다 작음 —;

[0066] 패키지 기판에 인접하게 배치된 다이(die); 및

[0067] 다이에 각각 결합되고 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션의 하나 이상의 금속 인터커넥트들 중 금속 인터커넥트에 각각 결합되는 적어도 하나의 다이 인터커넥트를 포함하는, 다이 모듈 패키지.

[0068] 2. 조항 1에 있어서, 다이의 영역의 적어도 일부분은 수직 평면에서 패키지 기판의 보이드-한정된 섹션과 적어도 부분적으로 중첩되도록 패키지 기판에 대해 배향된다.

[0069] 3. 조항 1 내지 2 중 어느 한 조항에 있어서,

[0070] 패키지 기판은 서로 평행한 복수의 금속화 층들을 포함하고; 및

[0071] 복수의 금속 구조물들 중 각각의 금속 구조물은 복수의 금속화 층들 중 상이한 금속화 층에 배치된다.

[0072] 4. 조항 1 내지 3 중 어느 한 조항에 있어서,

[0073] 복수의 금속 구조물들 중 제1 금속 구조물은 복수의 금속화 층들 중 제1 금속화 층에 배치되고;

[0074] 복수의 금속 구조물들 중 제2 금속 구조물은 제1 금속화 층과 상이한 복수의 금속화 층들 중 제2 금속화 층에 배치되고; 그리고

[0075] 제1 금속 구조물의 보이드-한정된 섹션의 복수의 보이드들 중 개개의 보이드를 통해 배치된 수직 인터커넥트 액세스(vertical interconnect access)(비아(via))를 추가로 포함하고;

[0076] 적어도 하나의 비아의 각각의 비아는 제2 금속 구조물의 보이드-한정된 섹션의 복수의 금속 인터커넥트들 중 금속 인터커넥트에 결합된다.

[0077] 5. 조항 1 내지 4 중 어느 한 조항에 있어서, 금속 구조물에 배치된 복수의 보이드들은 각각 금속 구조물의 금속 재료에 의해 완전히 둘러싸여 이에 결합된다.

[0078] 6. 조항 1 내지 5 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 각각의 금속 구조물은 접지 평면을 포함한다.

[0079] 7. 조항 1 내지 6 중 어느 한 조항에 있어서, 각각의 금속 구조물 내의 복수의 보이드들은 금속 구조물의 영역의 적어도 30 퍼센트(30%)인 영역을 갖는다.

[0080] 8. 조항 1 내지 7 중 어느 한 조항에 있어서, 복수의 보이드들은 금속 구조물에서 보이드-한정된 섹션의 주연부(perimeter)를 형성한다.

[0081] 9. 조항 8에 있어서, 복수의 보이드들은 주연부의 제2 영역의 적어도 85 퍼센트(85%)인 제1 영역을 갖는다.

[0082] 10. 조항 1 내지 9 중 어느 한 조항에 있어서, 금속 구조물의 보이드-한정된 섹션은 100 메가파스칼(MPa) 내지 50 기가파스칼(GPa)의 영률(Young's modulus)을 갖는다.

[0083] 11. 조항 1 내지 10 중 어느 한 조항에 있어서, 금속 구조물의 금속 재료의 제1 CTE는 13 ppm/K(parts per

million (ppm) per Kelvin (K)) 내지 24 ppm/K이다.

[0084] 12. 조항 11에 있어서, 유전체 재료의 제2 CTE는 4 ppm/K 내지 18 ppm/K이다.

[0085] 13. 조항 1 내지 12 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 복수의 보이드들은 금속 구조물에 반복되는 패턴으로 형성된다.

[0086] 14. 조항 1 내지 13 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 복수의 보이드들 각각은 제1 축의 제1 방향으로 동일한 제1 피치를 갖고 제1 축에 직교하는 제2 축의 제2 방향으로 동일한 제2 피치를 갖는다.

[0087] 15. 조항 1 내지 14 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 복수의 보이드들 각각은 제1 축의 제1 방향으로 제1 길이 및 제1 축에 직교하는 제2 축의 제2 방향으로 제2 길이를 갖는 연신된 보이드를 포함하고, 제2 길이는 제1 길이와 동일하다.

[0088] 16. 조항 1 내지 15 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 복수의 보이드들 각각은 제1 축의 제1 방향으로 제1 길이 및 제1 축에 직교하는 제2 축의 제2 방향으로 제2 길이를 갖는 연신된 보이드를 포함하고, 제2 길이는 제1 길이보다 작다.

[0089] 17. 조항 1 내지 16 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물은 적어도 두 개의 직교 축들을 따라 균일하게 변형 가능하다.

[0090] 18. 조항 17에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 복수의 보이드들은 동일한 피치를 갖는다.

[0091] 19. 조항 1 내지 18 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물 내의 복수의 보이드들 중 보이드들의 서브세트(subset)는 동일한 축을 따라 연신된다.

[0092] 20. 조항 1 내지 19 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션은 보이드-한정된 섹션의 주연부를 형성하는 정사각형 형상의 주연부를 따라 배치된 복수의 직선형 보이드들을 포함하는 정사각형 형상의 보이드-한정된 섹션이다.

[0093] 21. 조항 1 내지 20 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션은 보이드-한정된 섹션의 주연부를 형성하는 원형 형상의 주연부를 따라 배치된 복수의 볼록한(convex) 보이드들을 포함하는 원형 형상의 보이드-한정된 섹션이다.

[0094] 22. 조항 1 내지 21 중 어느 한 조항에 있어서, 복수의 금속 구조물들 중 적어도 하나의 금속 구조물에 대해:

[0095] 복수의 보이드들 중 제1 보이드는:

[0096] 제1 축과 정렬된 제1 연신된 보이드 부분;

[0097] 제1 축에 평행한 제2 축과 정렬된 제2 연신된 보이드 부분; 및

[0098] 제1 연신된 보이드 부분과 제2 연신된 보이드 부분을 결합하는 제3 보이드 부분을 포함하고, 그리고

[0099] 복수의 보이드들 중 제2 보이드는:

[0100] 제1 축과 정렬되고 적어도 하나의 금속 구조물의 제1 금속 보이드 부분에 의해 제1 연신된 보이드 부분으로부터 분리된 제4 연신된 보이드 부분;

[0101] 제2 축과 정렬되고 적어도 하나의 금속 구조물의 제2 금속 보이드 부분에 의해 제1 연신된 보이드 부분으로부터 분리된 제5 연신된 보이드 부분; 및

[0102] 적어도 하나의 금속 구조물의 제3 금속 보이드 부분에 의해 분리된 제4 연신된 보이드 부분과 제5 연신된 보이드 부분을 결합하는 제6 보이드 부분을 포함하고,

[0103] 제1, 제2, 및 제3 금속 보이드 부분들이 함께 결합되어 금속 인터커넥트를 형성한다.

[0104] 23. 조항 1 내지 22 중 어느 한 조항에 있어서, 셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(SIP) 폰; 태블릿; 패블릿; 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인 휴대 정보 단말기(PDA); 모니터; 컴퓨터 모

니터; 텔레비전; 튜너; 라디오; 위성 라디오; 음악 플레이어; 디지털 음악 플레이어; 휴대용 음악 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 구성요소; 항공 전자 시스템들; 드론; 및 멀티콥터를 포함하는 그룹으로부터 선택된 디바이스 내로 통합된다.

[0105] 24. 다이 모듈 패키지를 제조하는 방법으로서,

[0106] 패키지 기판을 형성하는 단계 – 단계는:

[0107] 수평 방향으로 서로 평행하고 공통 수직 평면을 공유하는 복수의 금속 구조물들을 형성하는 단계를 포함하고, 복수의 금속 구조물들 중 각각의 금속 구조물은:

[0108] 제1 열 팽창 계수(CTE)를 갖는 금속 재료;

[0109] 금속 구조물에 배치된 복수의 보이드들을 포함하는 보이드-한정된 섹션;

[0110] 복수의 보이드들 중 인접한 보이드들 사이에 배치된 금속 구조물의 금속 재료로 각각 형성된 하나 이상의 금속 인터커넥트들; 및

[0111] 보이드-한정된 섹션의 복수의 보이드들 중 적어도 하나의 보이드에 배치된 제2 CTE를 갖는 유전체 재료를 포함하고, 상기 유전체 재료의 제2 CTE는 상기 금속 재료의 제1 CTE보다 작음 –;

[0112] 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션의 하나 이상의 금속 인터커넥트들 중 적어도 하나의 금속 인터커넥트에 결합된 적어도 하나의 다이 인터커넥트를 형성하는 단계; 및

[0113] 적어도 하나의 다이 인터커넥트에 다이를 결합하는 단계를 포함한다.

[0114] 25. 조항 24에 있어서, 적어도 하나의 다이 인터커넥트에 다이를 결합하는 단계는 수직 평면에서 패키지 기판의 복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션과 적어도 부분적으로 중첩하도록 패키지 기판에 대해 배향된 다이의 영역의 적어도 일부분을 배치하는 단계를 추가로 포함한다.

[0115] 26. 조항 24 내지 25 중 어느 한 조항에 있어서,

[0116] 복수의 금속 구조물들 중 제1 금속 구조물의 보이드-한정된 섹션의 복수의 보이드들 중 개개의 보이드를 통해 각각 적어도 하나의 수직 인터커넥트 액세스(비아)를 배치하는 단계; 및

[0117] 적어도 하나의 비아의 각각의 비아를 복수의 금속 구조물들 중 금속 구조물의 제2 보이드-한정된 섹션의 복수의 금속 인터커넥트들 중 금속 인터커넥트에 결합하는 단계를 추가로 포함한다.

[0118] 27. 조항 24 내지 26 중 어느 한 조항에 있어서, 복수의 금속 구조물들을 형성하는 단계는, 패키지 기판에서 서로 평행한 복수의 금속화 층들 중 상이한 금속화 층에 복수의 금속 구조물들 중 각각의 금속 구조물을 형성하는 단계를 추가로 포함한다.

[0119] 28. 조항 24 내지 27 중 어느 한 조항에 있어서, 금속 구조물에 복수의 보이드들을 형성하는 것은, 복수의 보이드들이 각각 금속 구조물의 금속 재료에 의해 완전히 둘러싸여 이에 결합되도록 금속 구조물에 복수의 보이드들을 형성하는 것을 추가로 포함한다.

[0120] 29. 조항 24 내지 28 중 어느 한 조항에 있어서, 금속 구조물에 복수의 보이드들을 형성하는 것은 금속 구조물의 영역의 적어도 30 퍼센트(30%)의 금속 구조물의 영역을 소비하도록 각각의 금속 구조물에 복수의 보이드들을 형성하는 것을 추가로 포함한다.

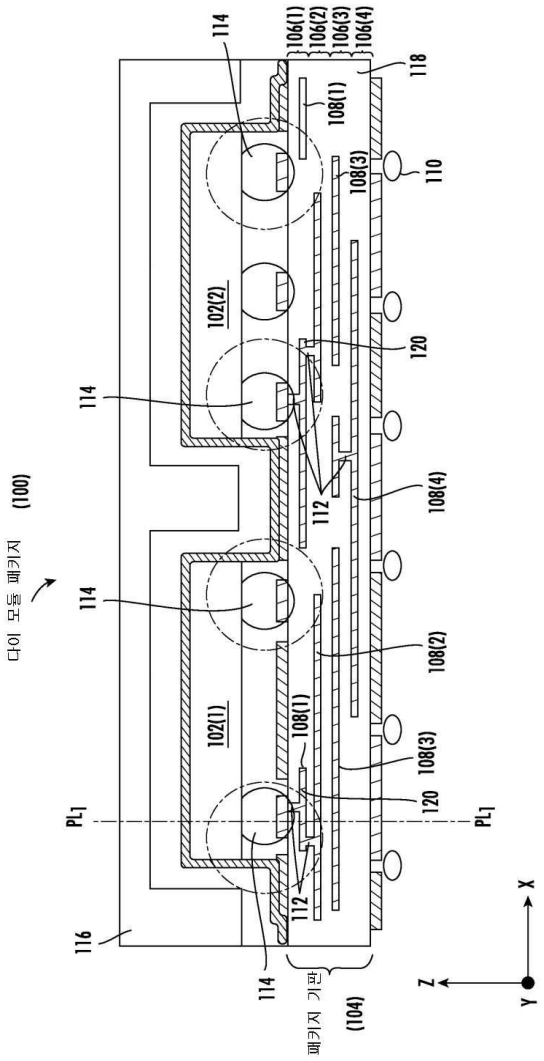
[0121] 30. 조항 24 내지 29 중 어느 한 조항에 있어서, 금속 구조물의 보이드-한정된 섹션은 100 메가파스칼(MPa) 내지 50 기가파스칼(GPa)의 영률을 갖는다.

[0122] 31. 조항 24 내지 30 중 어느 한 조항에 있어서, 금속 재료의 제1 CTE는 13 ppm/K(parts per million (ppm) per Kelvin (K)) 내지 24 ppm/K이다.

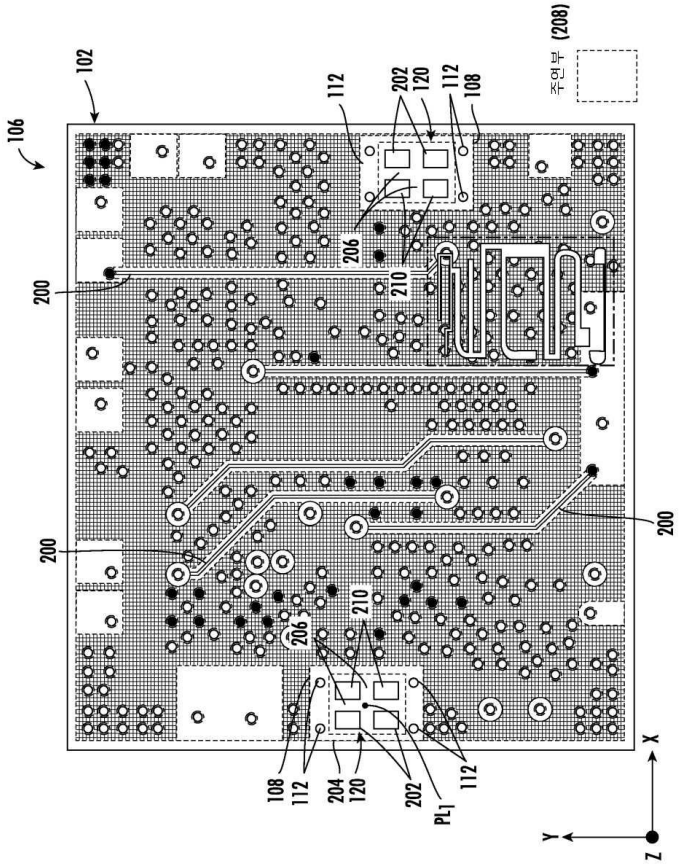
[0123] 32. 조항 24 내지 31 중 어느 한 조항에 있어서, 유전체 재료의 제2 CTE는 4 ppm/K 내지 18 ppm/K이다.

도면

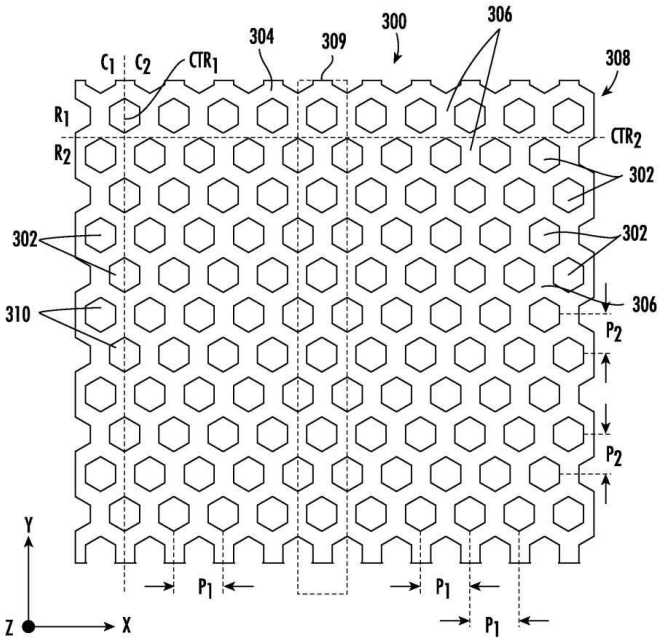
도면1


다이 모듈 패키지 (100)
114
106(1)
106(2)
106(3)
106(4)
118
108(1)
110
108(3)
102(2)
120
112
108(4)
108(2)
102(1)
PL1
116
패키지 기판
(104)
X
Y
Z

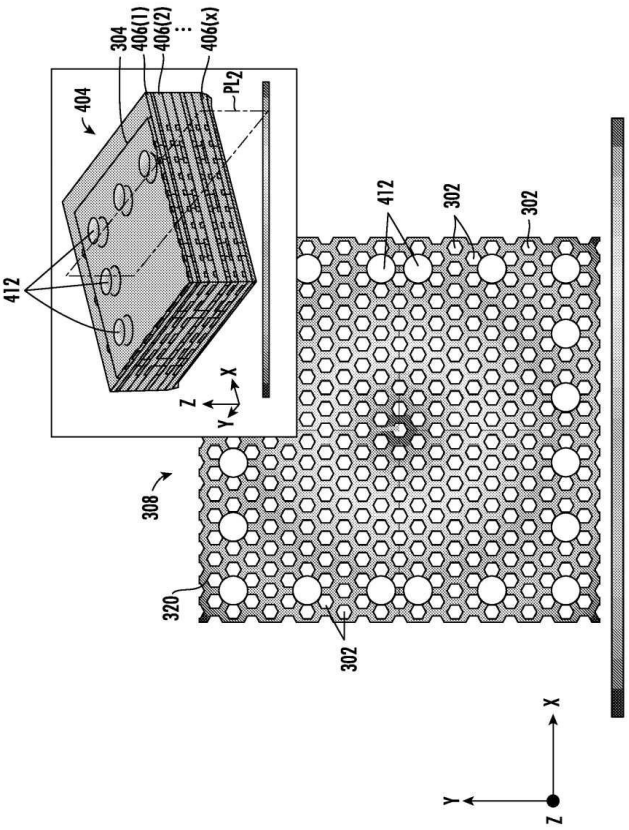
도면2


102
106
200
200
200
112
202
120
112
108
주연부 (208)
206
210
206
210
108
112
204
120
202
PL1
112
X
Y
Z

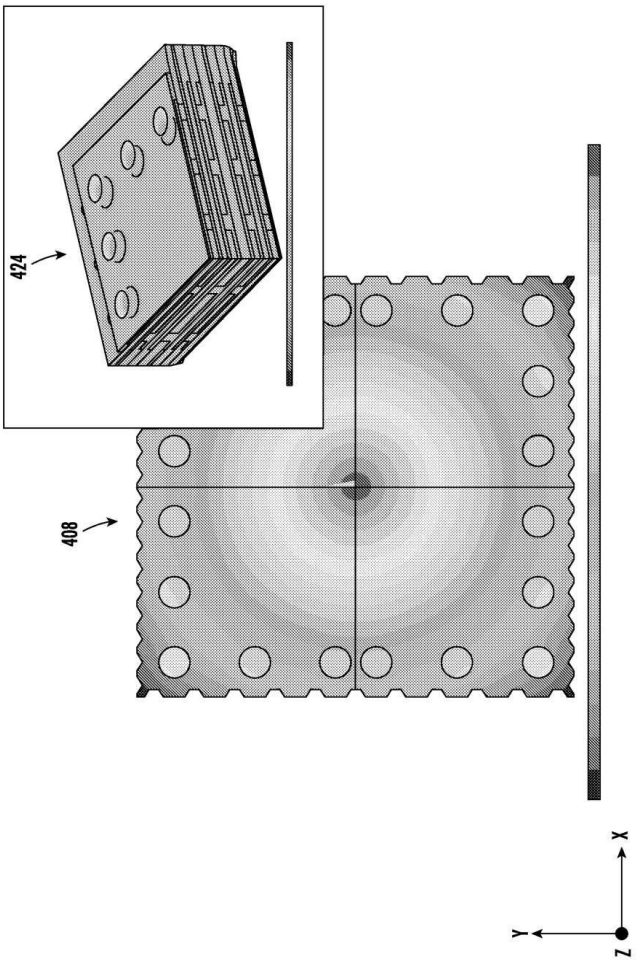
도면3


C1
C2
CTR1
304
309
300
306
308
R1
R2
CTR2
302
302
302
310
306
P2
P2
Y
Z
X
P1
P1
P1

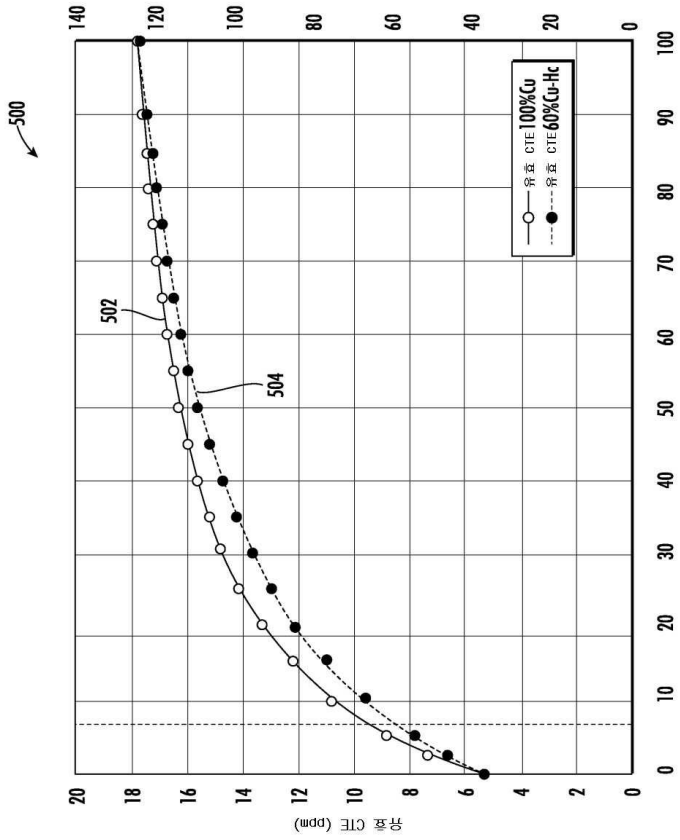
도면4a



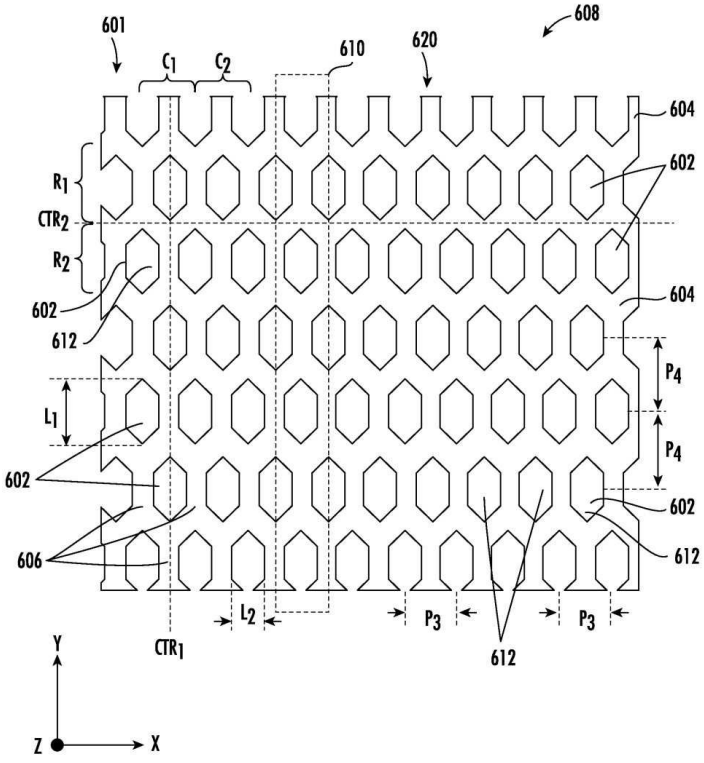
도면4b



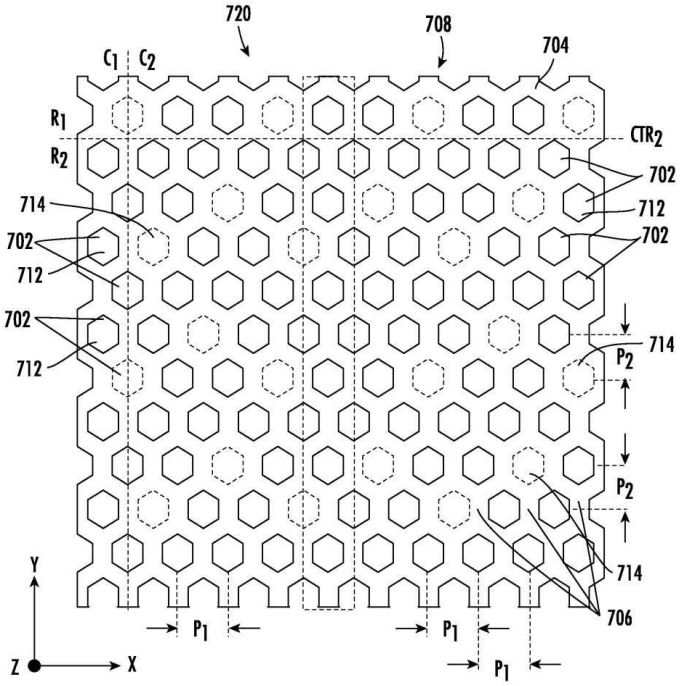
도면5


500
502
504
유효 CTE 100%Cu
유효 CTE 60%Cu-Hc
유효 CTE (ppm)

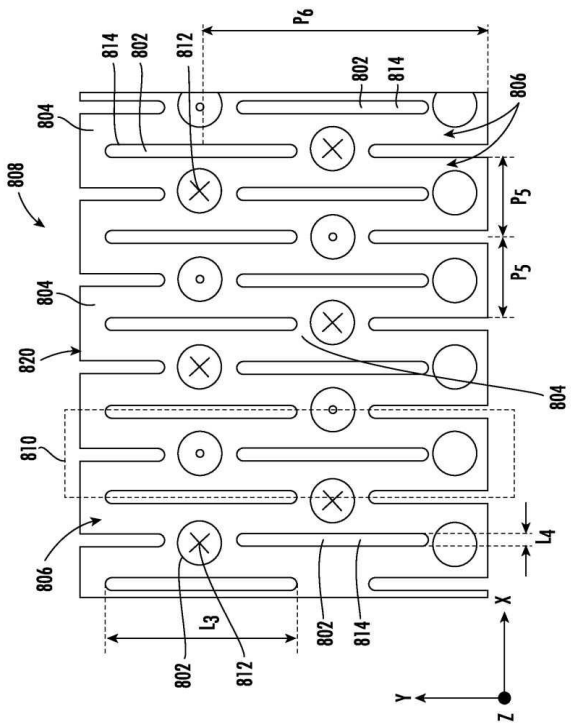
도면6


601
608
610
620
604
602
612
606
R1
CTR2
R2
L1
L2
P3
P4
CTR1
Y
Z
X

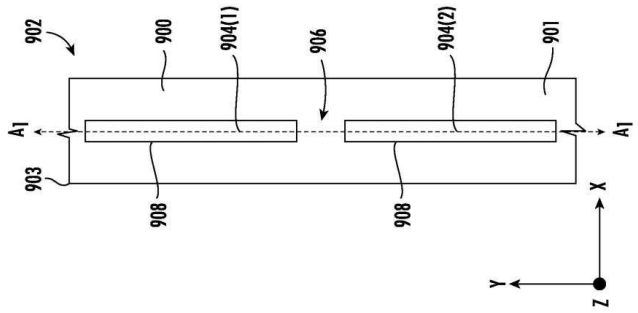
도면7


720
708
704
C1
C2
R1
R2
CTR2
702
712
714
706
P1
P2
Y
Z
X

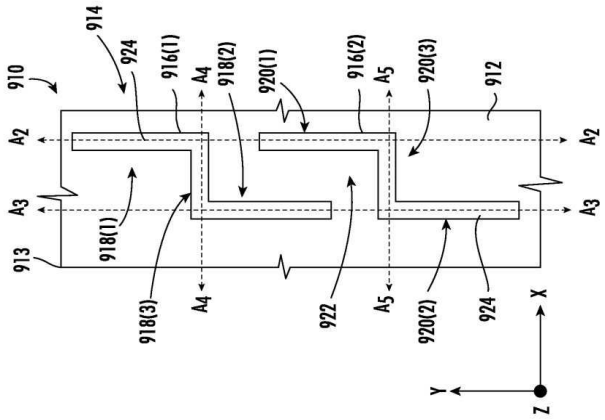
도면8


P6
814
802
812
804
806
808
P5
820
810
L4
L3
Y
X
Z

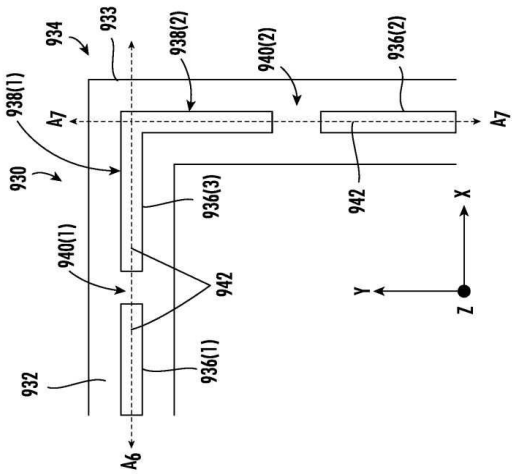
도면9a



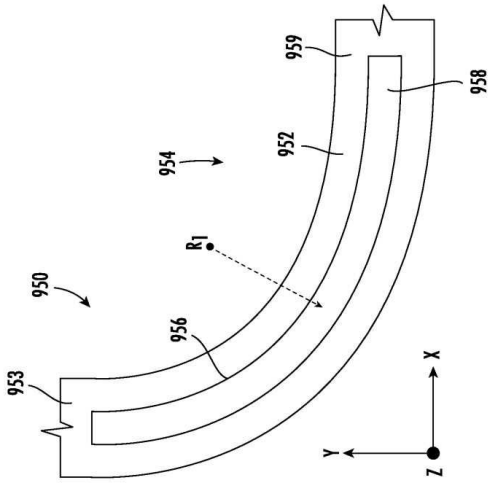
도면9b



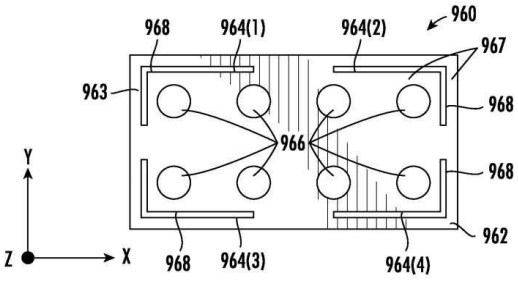
도면9c



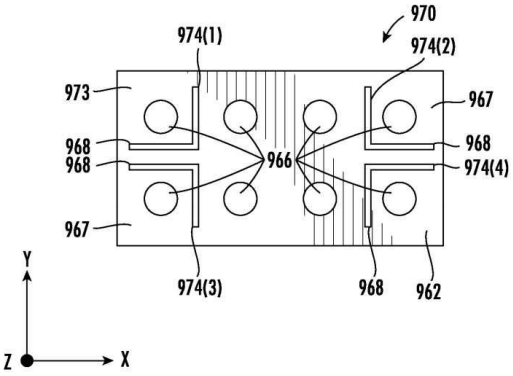
도면9d



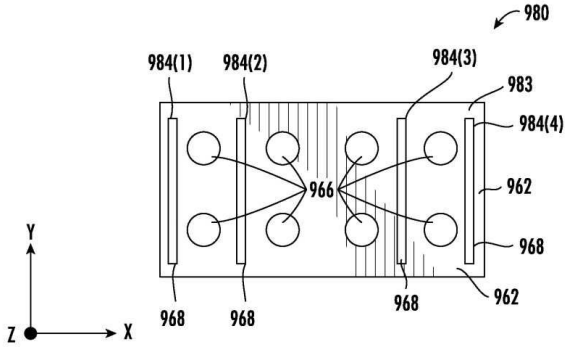
도면9e



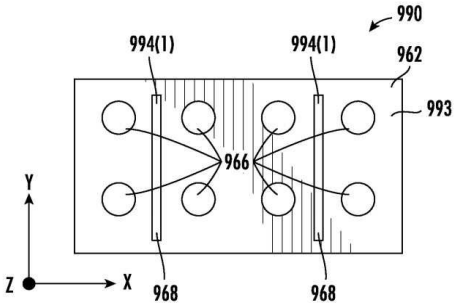
도면9f



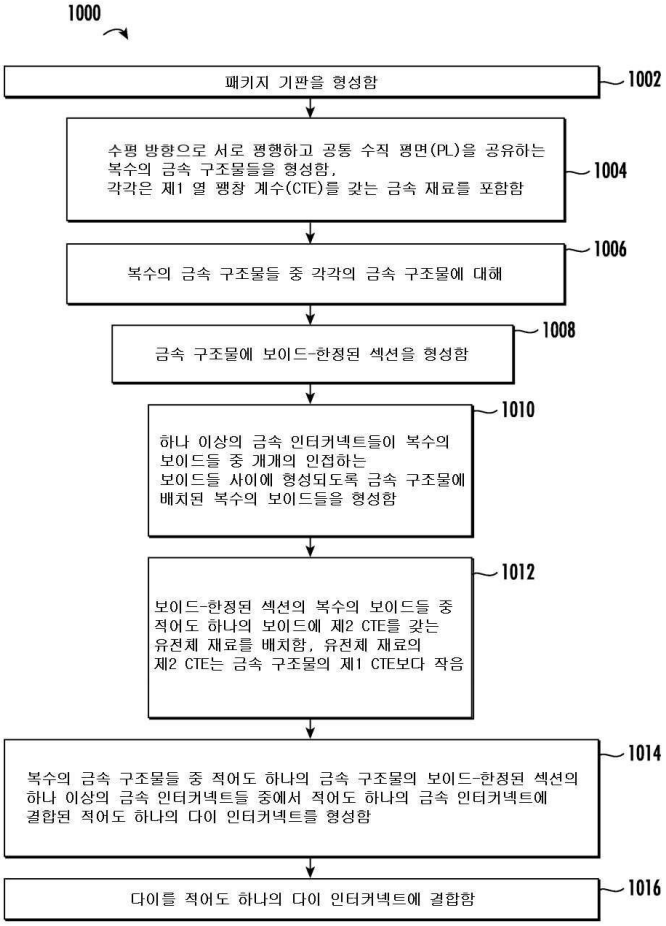
도면9g


980
984(1)
984(2)
984(3)
983
984(4)
966
962
968
962
968
968
968
Y
Z
X

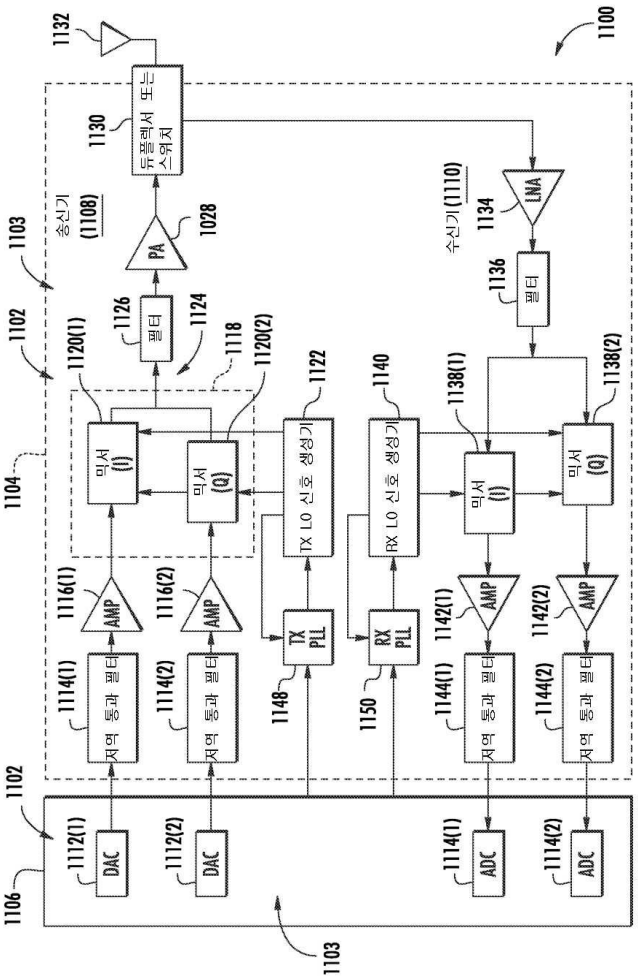
도면9h


990
994(1)
994(1)
962
993
966
968
968
Y
Z
X

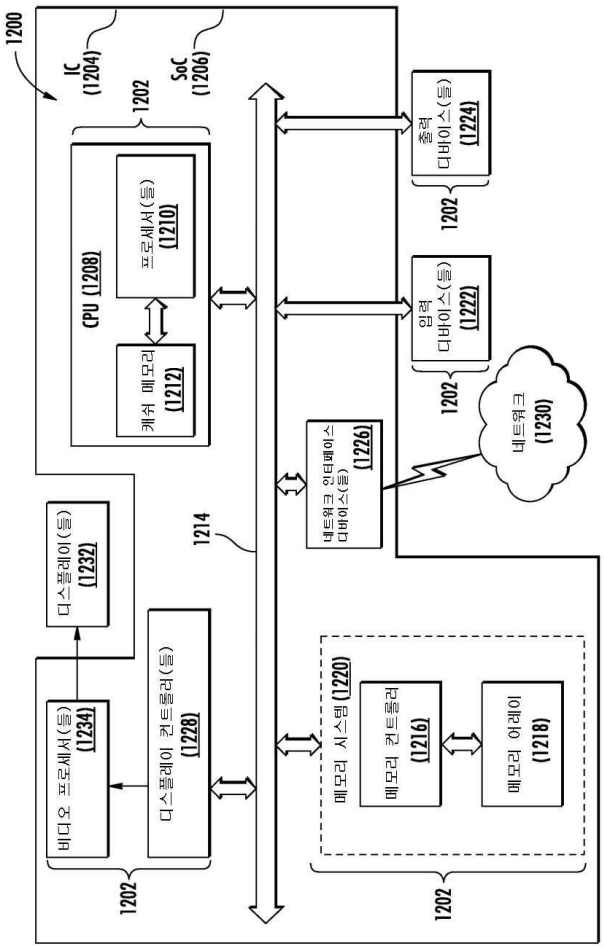
도면10


1000
패키지 기판을 형성함
1002
수평 방향으로 서로 평행하고 공통 수직 평면(PL)을 공유하는 복수의 금속 구조물들을 형성함, 각각은 제1 열 팽창 계수(CTE)를 갖는 금속 재료를 포함함
1004
복수의 금속 구조물들 중 각각의 금속 구조물에 대해
1006
금속 구조물에 보이드-한정된 섹션을 형성함
1008
하나 이상의 금속 인터커넥트들이 복수의 보이드들 중 개개의 인접하는 보이드들 사이에 형성되도록 금속 구조물에 배치된 복수의 보이드들을 형성함
1010
보이드-한정된 섹션의 복수의 보이드들 중 적어도 하나의 보이드에 제2 CTE를 갖는 유전체 재료를 배치함, 유전체 재료의 제2 CTE는 금속 구조물의 제1 CTE보다 작음
1012
복수의 금속 구조물들 중 적어도 하나의 금속 구조물의 보이드-한정된 섹션의 하나 이상의 금속 인터커넥트들 중에서 적어도 하나의 금속 인터커넥트에 결합된 적어도 하나의 다이 인터커넥트를 형성함
1014
다이를 적어도 하나의 다이 인터커넥트에 결합함
1016

도면11


1100
1132
1130
듀플렉서 또는 스위치
송신기 (1108)
1103
1102
1104
1106
1028
PA
1126
필터
1124
1118
1120(1)
1120(2)
믹서 (I)
믹서 (Q)
1122
TX LO 신호 생성기
1140
RX LO 신호 생성기
1138(1)
1138(2)
수신기 (1110)
1134
LNA
1136
필터
1116(1)
1116(2)
AMP
1114(1)
1114(2)
저역 통과 필터
1148
TX PLL
1150
RX PLL
1142(1)
1142(2)
1144(1)
1144(2)
1112(1)
1112(2)
DAC
ADC

도면12


1200
IC (1204)
SoC (1206)
1202
CPU (1208)
프로세서(들) (1210)
캐쉬 메모리 (1212)
출력 디바이스(들) (1224)
입력 디바이스(들) (1222)
네트워크 (1230)
네트워크 인터페이스 디바이스(들) (1226)
1214
디스플레이(들) (1232)
비디오 프로세서(들) (1234)
디스플레이 컨트롤러(들) (1228)
메모리 시스템 (1220)
메모리 컨트롤러 (1216)
메모리 어레이 (1218)