



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 236 199 A1

4(51) G 11 C 11/40
G 11 C 11/34

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 11 C / 274 966 2

(22) 09.04.85

(44) 28.05.86

(71) Akademie der Wissenschaften der DDR, 1080 Berlin, Otto-Nuschke-Straße 22/23, DD

(72) Winkler, Wolfgang, Dr.-Ing. Dipl.-Ing.; Freund, Dieter, Dipl.-Ing.; Richter, Reiner, Dipl.-Ing.; Kummer, Michael, Dipl.-Ing., DD

(54) Halbleiterspeicher

(57) Die Erfindung betrifft einen Halbleiterspeicher zur Speicherung von digitalen Informationen mit geringer Zykluszeit und geringer Verlustzeit, durch die Gestaltung sowohl der Lesevorgänge als auch der Schreibvorgänge mit nur einer Impulsphase an der Wortleitung. Erreicht wird dies dadurch, daß in einer Speichermatrix Zeilenleitungen und dazu senkrecht Spaltenleitungen angeordnet sind, die in ihren Kreuzungspunkten mit Speicherzellen verbunden sind und die Zeilenleitungen mit einer Eingangsdatenleitung und die Spaltenleitungen über Spaltenleitungen mit einer Ausgangsdatenleitung und einer Schreibleitung verbunden sind und die Eingangsdatenleitung über eine Steuerschaltung mit dem Dateneingang, die Ausgangsdatenleitung über einen Leseverstärker und einen Ausgangspuffer mit dem Datenausgang sowie die Schreibleitung über eine Schreibschaltung mit dem Schreibsignal verbunden sind. Fig. 1

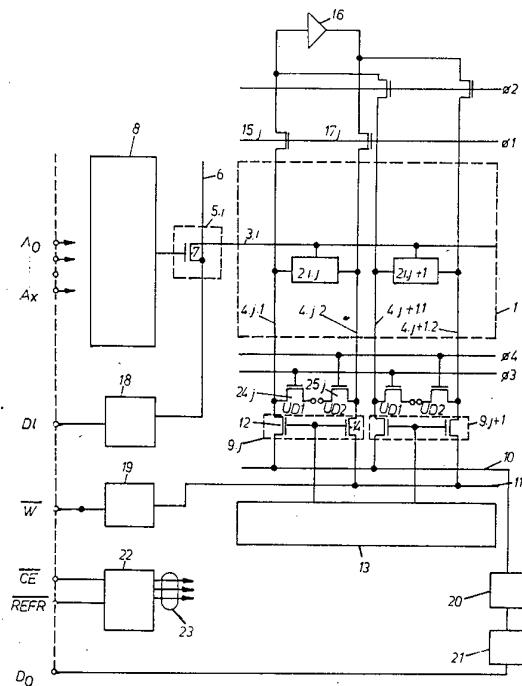


Fig. 1

Erfindungsanspruch:

1. Halbleiterspeicher mit einem Zeilendekoder und einem Spaltendekoder, **gekennzeichnet dadurch**, daß in einer Speichermatrix (1) Zeilenleitungen (3.i.) und dazu senkrecht Spaltenleitungen (4.j.) angeordnet sind, die in ihren Kreuzungspunkten mit Speicherzellen (2.i.j.) verbunden sind, daß die Zeilenleitungen (3.i.) über Zeilenschalter (5.i.) mit einer Eingangsdatenleitung (6) und die Spaltenleitungen (4.j.) über Spaltenschalter (9.j.) mit einer Ausgangsdatenleitung (10) und einer Schreibleitung (11) verbunden sind, daß die Eingangsdatenleitung (6) über eine Steuerschaltung (18) mit dem Dateneingang (DI), die Ausgangsdatenleitung (10) über einen Leseverstärker (20) und einen Ausgangspuffer (21) mit dem Datenausgang (DO) sowie die Schreibleitung (11) über eine Schreibschaltung (19) mit dem Schreibsignal (W) verbunden sind.
2. Halbleiterspeicher nach Anspruch 1, **gekennzeichnet dadurch**, daß den Spaltenleitungen (4.j.) Refresh-Verstärker (16) zugeordnet sind.
3. Halbleiterspeicher nach Anspruch 2, **gekennzeichnet dadurch**, daß in der Speichermatrix Taper-isolierte Speicherzellen angeordnet sind, wobei jeweils das Gate (31) mit einer Zeilenleitung (3.i) Source (32) mit einer Spaltenleitung (4.j.1) und Drain (33) mit einer Spaltenleitung (4.j.2) verbunden sind.
4. Halbleiterspeicher nach Anspruch 1, **gekennzeichnet dadurch**, daß in den Zeilenschaltern (5.i) Zeilentransistoren (7) angeordnet sind, deren Gates mit dem Zeilendekoder (8) verbunden sind und deren gesteuerte Strecken jeweils zwischen einer Zeilenleitung (3.i) und der Eingangsdatenleitung (6) angeordnet sind.
5. Halbleiterspeicher nach Anspruch 1–4, **gekennzeichnet dadurch**, daß in den Spaltenschaltern (9.j) erste Spaltentransistoren (12), deren Gates mit dem Spaltendekoder (13) verbunden sind und deren gesteuerte Strecken jeweils zwischen einer Spaltenleitung (4.j) und der Schreibleitung (11) angeordnet sind und daß in den Spaltenschaltern (9.j) zweite Spaltentransistoren (14), deren Gates mit dem Spaltendekoder (13) verbunden sind und deren gesteuerte Strecken jeweils zwischen einer Spaltenleitung (4.j) und der Ausgangsdatenleitung (10) angeordnet sind.
6. Halbleiterspeicher nach Anspruch 2 und 3, **gekennzeichnet dadurch**, daß der Eingang eines Refreshverstärkers (16) über erste Transistoren (15.j) mit einer oder mehreren Spaltenleitungen (4.j.1) verbunden ist und daß der Ausgang eines Refreshverstärkers (16) über zweite Transistoren (17.j) mit einer oder mehreren Spaltenleitungen (4.j.2) verbunden ist.

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft einen Halbleiterspeicher zur Speicherung von digitalen Informationen. Der Halbleiterspeicher wird in digitalen Rechenanlagen und in informationsverarbeitenden Systemen eingesetzt.

Charakteristik der bekannten technischen Lösungen

In der DD-PS 213545 wird ein Halbleiterspeicher mit Taper-isolierten Speicherzellen sowie ein Verfahren zu seinem Betrieb beschrieben, der es ermöglicht, den Schreibvorgang ohne stationären Stromfluß durchzuführen. Nachteilig ist aber dabei, daß beim Schreibvorgang an der Wortleitung eine Impulsspannung in drei Phasen angelegt werden muß. In der ersten Phase wird der Lesezustand eingestellt, um den Informationsinhalt der der angewählten Zeile zugeordneten Speicherzellen in den Refreshverstärkern zwischenzuspeichern. In der zweiten Phase wird in alle Speicherzellen dieser Zeile der „1“-Zustand eingeschrieben, d.h. ein Speicherladungspaket wird in den Speicherbereich gebracht. Erst in der dritten Phase wird nun in der angewählten Speicherzelle je nach einzuschreibender Information das Speicherladungspaket entfernt (Schreiben „0“) oder dort belassen (Schreiben „1“). Die Notwendigkeit von mehreren, zeitlich aufeinander folgenden Phasen beim Schreibvorgang, die auch bei anderen Speicherkonzeptionen, die nicht zerstörendes Lesen ermöglichen, vorhanden ist, bedingt eine relativ große Zykluszeit. Weiterhin bewirkt die komplizierte Takterzeugung eine große Verlustleistung.

Ziel der Erfindung

Das Ziel der Erfindung ist es, einen Halbleiterspeicher mit geringer Zykluszeit und geringer Verlustleistung zu entwickeln.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, sowohl Lesevorgänge als auch Schreibvorgänge in einem Halbleiterspeicher mit nur einer Impulsphase an der Wortleitung zu ermöglichen. Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß in einer Speichermatrix — Zeilenleitungen und dazu senkrecht Spaltenleitungen angeordnet sind, die in ihren Kreuzungspunkten mit Speicherzellen verbunden sind, daß die Zeilenleitungen über Zeilenschalter mit einer Eingangsdatenleitung und die Spaltenleitungen über Spaltenschalter mit einer Ausgangsdatenleitung und einer Schreibleitung verbunden sind, daß die Eingangsdatenleitung über eine Steuerschaltung mit dem Dateneingang, die Ausgangsdatenleitung über einen Leseverstärker und einen Ausgangspuffer mit dem Datenausgang sowie die Schreibleitung über eine Schreibschaltung mit dem Schreibsignal verbunden sind. Den Spaltenleitungen sind Refresh-Verstärker zugeordnet, wobei mehrere Spaltenleitungen zu einem Refresh-Verstärker gehören können.

Taper-isolierte Speicherzellen sind in der Speichermatrix so angeordnet, daß jeweils das Gate mit einer Zeilenleitung, Source mit einer Spaltenleitung und Drain mit einer benachbarten Spaltenleitung verbunden sind. Dabei ist ein Refresh-Verstärker eingangsseitig über erste Transistoren mit einer oder mehreren Spaltenleitungen verbunden und über zweite Transistoren mit einer oder mehreren benachbarten Spaltenleitungen. Die Vorgänge Schreiben, Lesen, Speichern und Refresh werden durch

unterschiedliche Spannungen an den Zeilen- und Spaltenleitungen gesteuert. Der Schreibvorgang wird dadurch ermöglicht, daß die durch den Spaltendekoder ausgewählten Spaltenleitungen eine Schreibspannung führen. Zugleich wird eine durch den Zeilendekoder ausgewählte Zeilenleitung über einen Zeilenschalter mit der Eingangsdatenleitung verbunden. Die Zeilenleitung wird dadurch mit einer Spannung beaufschlagt, die dem am Dateneingang anliegenden Pegel entspricht. Beim Schreibvorgang werden die Refreshverstärker nicht aktiviert, was eine geringe Verlustleistung gewährleistet. Zum Lesen wird die durch den Zeilendekoder ausgewählte Zeilenleitung mit einer Lesespannung beaufschlagt. Der Spaltendekoder verbindet zugleich eine ausgewählte Spaltenleitung mit der Ausgangsdatenleitung.

Der durch die somit ausgewählte Speicherzelle fließende Strom, der vom Ladungszustand abhängig ist, verursacht auf der Spaltenleitung und der Ausgangsdatenleitung eine Spannungsänderung, die vom Leseverstärker verstärkt wird und über den Ausgangspuffer am Datenausgang ausgegeben wird. Der Refresh-Vorgang wird ausgeführt, indem aufeinanderfolgend die Zeilenleitungen auf Lesespannung geschaltet werden. Dabei werden wie beim Lesevorgang die Spaltenleitungen, je nach Ladungsinhalt der Speicherzellen, umgeladen. Der Spannungspegel der jeweiligen Spaltenleitung wird von dem jeweils zugeordneten Refreshverstärker verstärkt und auf die Spaltenleitungen rückgekoppelt, wodurch die Speicherzellen der jeweils angewählten Zeile in ihrem Ladungszustand aufgefrischt werden.

Ausführungsbeispiel

Die Erfindung ist anhand von einem Ausführungsbeispiel näher erläutert. Die Zeichnungen zeigen:

Fig. 1: Den Halbleiterspeicher als Blockschaltbild

Fig. 2: Taper-isolierte Speicherzelle

Der in Fig. 1 dargestellte Halbleiterspeicher enthält eine Speichermatrix 1 mit n Zeilen und m Spalten in deren Schnittpunkten jeweils eine Speicherzelle 2.i.j angeordnet ist.

Jeder Zeile ist eine Zeilenleitung 3.i und jeder Spalte zwei Spaltenleitungen 4.j.1 und 4.j.2 zugeordnet. Die Zeilenleitungen 3.i sind über Zeilenschalter 5.i mit einer Eingangsdatenleitung 6 verbunden. Die Zeilenschalter 5.i enthalten je einen Zeilentransistor 7, dessen Gate mit dem Zeilendekoder 8 verbunden ist und dessen gesteuerte Strecke jeweils zwischen der Zeilenleitung 3.i und der Eingangsdatenleitung 6 angeordnet ist. Die Spaltenleitungen 4.j.1 sind über Spaltenschalter 9.j mit einer Ausgangsdatenleitung 10 und einer Schreibleitung 11 verbunden. Die Spaltenschalter 9.j enthalten je einen ersten Spaltentransistor 12, dessen Gate mit dem Spaltendekoder 13 verbunden ist und dessen gesteuerte Strecke zwischen der Spaltenleitung 4.j.1 und der Ausgangsdatenleitung 10 angeordnet ist. Die Spaltenschalter 9.j enthalten weiterhin je einen zweiten Spaltentransistor 14, dessen Gate mit dem Spaltendekoder 13 verbunden ist und dessen gesteuerte Strecke zwischen der Spaltenleitung 4.j.2 und der Schreibleitung 11 angeordnet ist.

Die Spaltenleitungen 4.j.1 sind über erste Transistoren 15.j, an deren Gates der Auswahltakt $\emptyset 1$ anliegt, mit dem Eingang eines Refreshverstärkers 16 verbunden. Die Spaltenleitungen 4.j.2 sind über zweite Transistoren 17.j, an deren Gates der Auswahltakt $\emptyset 2$ anliegt, mit dem Ausgang eines Refreshverstärkers 16 verbunden. Wie in Fig. 1 ersichtlich, ist jeweils zwei Spalten ein Refreshverstärker 16 zugeordnet.

Die Eingangsdatenleitung 6 ist über eine Steuerschaltung 18 mit dem Dateneingang DI verbunden. Die Schreibleitung 11 ist über eine Schreibschaltung 19 mit dem Schreibsignal $\bar{W}$ verbunden.

Die Ausgangsdatenleitung 10 ist über einen Leseverstärker 20 und einen Ausgangspuffer 21 mit dem Datenausgang DO verbunden. Eine Impulsschaltung 22, an deren Eingang Steuersignale wie z. B. $\bar{CE}$, $\bar{W}$, und $\bar{REFR}$ anliegen, erzeugt Taktspannungen, die über Impulsleitungen 23 zu den einzelnen Funktionseinheiten des Halbleiterspeichers geführt werden.

An den Spaltenleitungen 4.j sind Vorladetransistoren 24.j und 25.j angeschlossen, deren Gates mit Vorladetakt $\emptyset 3$ bzw. $\emptyset 4$ verbunden sind und deren Drainelektroden mit positiven Spannungen U_{D1} bzw. U_{D2} ($U_{D2} > U_{D1}$) verbunden sind.

In Fig. 2 ist das Ersatzschaltbild einer in der Speichermatrix 1 angeordneten Taper-isolierten Speicherzelle 30 dargestellt. Die Taper-isolierte Speicherzelle 30 hat die äußeren Anschlüsse Gate 31, das mit der Zeilenleitung 3.i verbunden ist, Source 32, das mit der Spaltenleitung 4.j.1 verbunden ist und Drain 33, das mit der Spaltenleitung 4.j.2 verbunden ist. Die in der Speichermatrix 1 angeordneten Taper-isolierten Speicherzellen 30 besitzen einen geringen Abstand zwischen Source 32 und Drain 33, wodurch es möglich ist, daß beide Elektroden eine gemeinsame Verarmungszone ausbilden können. Die Taper-isolierte Speicherzelle 30 ist ein n-Kanal-Element, wie das Ausführungsbeispiel zeigt.

Die Funktion des Halbleiterspeichers soll nachfolgend anhand der Vorgänge Schreiben, Lesen und Refresh erläutert werden.

Zum Schreiben wird die Schreibleitung 11 durch die Schreibschaltung 19 entladen. Entsprechend der anliegenden Adresse AO...AX wird durch den Spaltendekoder 13 eine Spalte ausgewählt und der zweite Spaltentransistor 14 verbindet die Schreibleitung 11 mit einer Spaltenleitung 4.j.2, die damit ebenfalls entladen wird. Dabei kann auch die Spaltenleitung 4.j.1 entladen werden, da die Speicherzellen 2.i.j der angewählten Spalte nicht vollständig sperren. Entsprechend der anliegenden Pegel am Dateneingang DI wird durch die Steuerschaltung 18 die Eingangsdatenleitung 6 mit einer hohen Spannung beaufschlagt (H-Pegel, Schreiben des „0“-Zustandes) oder mit einer niedrigen Spannung (L-Pegel, Schreiben des „1“-Zustandes). Dieser Pegel wird über den Zeilenschalter 5.i auf die ausgewählte Zeilenleitung 3.i übertragen, wodurch in die ausgewählte Speicherzelle 2.i.j die gewünschte Information eingeschrieben wird. Alle anderen Speicherzellen 2.i.j, auch in der ausgewählten Zeile, behalten ihren Informationsgehalt, da dort aufgrund der hohen Source-Bulk- und Drain-Bulk-Spannungen eine gemeinsame Verarmungszone ausgebildet wird, so daß kein Speicherladungsaustausch möglich ist. Beim Schreibvorgang werden die Refreshverstärker nicht aktiviert, was sich günstig auf die Gesamtverlustleistung des Halbleiterspeichers auswirkt. Im Speicherzustand sind die Spaltenleitungen über die Vorladetransistoren 24.j und 25.j mit den Spannungen U_{D1} bzw. U_{D2} verbunden, so daß in den Taper-isolierten Speicherzellen 30 Source 32 und Drain 33 eine gemeinsame Verarmungszone ausbilden und damit kein Speicherladungsaustausch erfolgen kann. Zum Lesen einer Speicherzelle 2.i.j wird entsprechend der anliegenden Adresse AO...AX eine Zeilenleitung 3.i mit der Eingangsdatenleitung 6 verbunden. Über die Steuerschaltung 18 wird dann die Zeilenleitung 3.i auf H-Pegel geschaltet. Zugleich werden durch Abschalten des Taktes $\emptyset 3$ die Spaltenleitungen 4.j.1 von der Spannung U_{D1} getrennt. Durch die Speicherzellen 2.i.j der angewählten Zeilenleitung 3.i wird nun in Abhängigkeit

von deren Speicherinhalt Strom fließen. Bei Speicherinhalt „1“ wird die entsprechende Spaltenleitung 4.j.1 aufgeladen, bei Speicherinhalt „0“ nicht. Über den Spaltendekoder 13 wird eine Spalte ausgewählt, wobei über einen ersten Spaltentransistor 12 eine Spaltenleitung 4.j.1 mit der Ausgangsdatenleitung 10 verbunden wird. Über den Leseverstärker 20 und den Ausgangspuffer 21 wird der Spannungspegel der Ausgangsdatenleitung 10 verstärkt und am Datenausgang DO ausgegeben. Beim Lesevorgang werden Refreshverstärker 16 nicht aktiviert, was die Gesamtverlustleistung des Halbleiterspeichers verringert. Da die Taper-isolierte Speicherzelle 30 auf einem dynamischen Wirkprinzip beruht, müssen in gewissen zeitlichen Abständen Refresh-Vorgänge ausgeführt werden. Der Refresh-Vorgang wird ausgeführt, indem aufeinanderfolgend die Zeilenleitungen 3i auf H-Pegel geschaltet werden. Dazu erhält die Eingangsdatenleitung 6 über die Steuerschaltung 18 H-Pegel und der Zeilendekoder wird mit aufeinanderfolgenden Adressen angesteuert. Durch Abschalten des Taktes ϕ_3 werden die Spaltenleitungen 4.j.1 von der Spannung U_{D1} getrennt. Wie beim Lesevorgang werden nun die Spaltenleitungen 4.j.1 auf einen, dem jeweiligen Zellinhalt entsprechenden Spannungspegel geladen. Der Spaltendekoder 13 wird nicht aktiviert, dafür aber die Refreshverstärker 16. Durch den Auswahltakt ϕ_1 werden zunächst die Spaltenleitungen 4.j über den ersten und zweiten Transistor 15j und 17j an den Refreshverstärker 16 geschaltet. Der Refreshverstärker 16 entlädt die Spaltenleitung 4.j.2, wenn er an seinem Eingang ein niedriger Spannungspegel erkannt wird. Damit wird der „0“-Zustand der ausgewählten Speicherzelle 2.i.j aufgefrischt. Dagegen bleibt der Refreshverstärker an seinem Ausgang hochohmig, wenn an seinem Eingang ein niedriger Spannungspegel erkannt wird. Dadurch wird ein in der Speicherzelle 2.i.j vorhandener „1“-Zustand, der ohnehin ein Gleichgewichtszustand ist, nicht verändert.

Nachdem mit diesem Vorgang alle Speicherzellen 2.i.j der i-ten Zeile mit ungeradzahlgiger Spaltennummer aufgefrischt worden sind, werden die mit geradzahlgiger Spaltennummer aufgefrischt. Dazu wird durch den Auswahltakt ϕ_2 der zugeordnete Refreshverstärker 16 mit den Spaltenleitungen 4.j + 1 verbunden und der Refreshvorgang, wie oben beschrieben, ausgeführt.

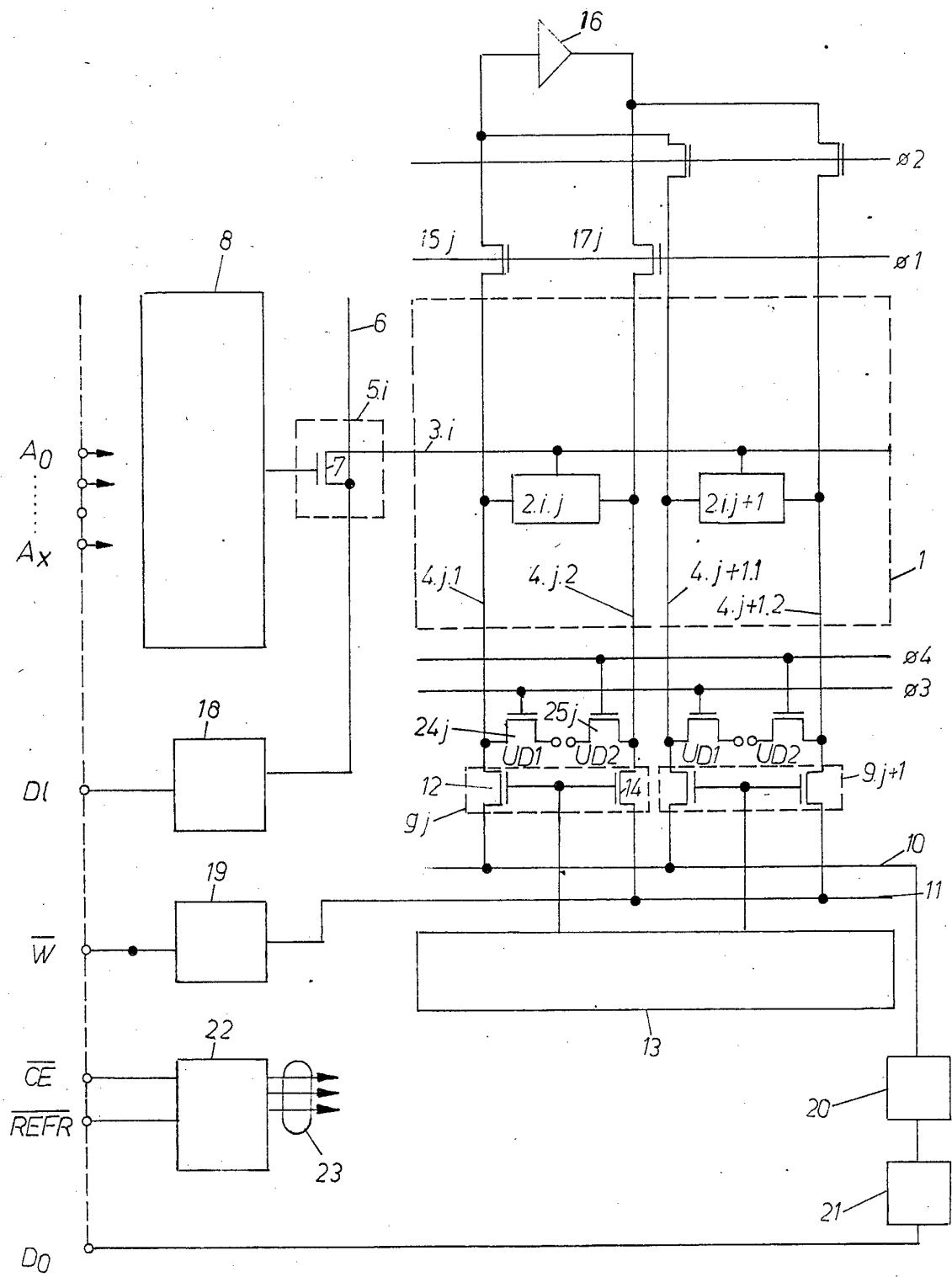


Fig. 1

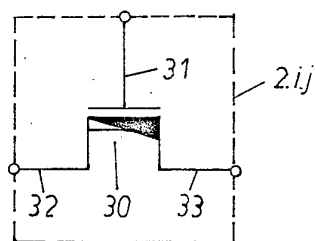


Fig. 2