

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2012-33896

(P2012-33896A)

(43) 公開日 平成24年2月16日 (2012.2.16)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/768 (2006.01)	H O 1 L 21/90 A	5 F 0 3 3
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 3 Z	5 F 1 1 0
	H O 1 L 29/78 6 1 7 K	
	H O 1 L 29/78 6 1 6 S	

審査請求 未請求 請求項の数 12 O L (全 33 頁)

(21) 出願番号	特願2011-139445 (P2011-139445)	(71) 出願人	000153878
(22) 出願日	平成23年6月23日 (2011.6.23)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-148134 (P2010-148134)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年6月29日 (2010.6.29)	(72) 発明者	倉田 求
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	笹川 慎也
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	田口 文香
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	家田 義紀
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 配線基板、半導体装置、及びそれらの作製方法

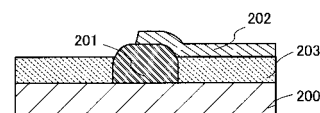
(57) 【要約】

【課題】集積化が進む配線基板、又は半導体装置において、導通不良を軽減する。信頼性の高い配線基板、又は半導体装置を歩留まり良く作製する。

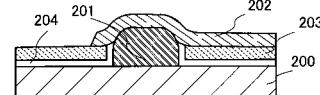
【解決手段】多層配線構造を有する配線基板、又は半導体装置において、該配線に用いる導電層の接続構造に曲面を有する導電層を用いる。周囲の絶縁層の除去によって露出された下層の導電層の先端部は曲面であり、下層の導電層上に積層する上層の導電層の被覆性を良好とすることができる。曲面な表面を有するレジストマスクを用いて導電層をエッチング加工することによって曲面な表面を有する導電層を形成する。

【選択図】 図 1

(A)



(B)



【特許請求の範囲】**【請求項 1】**

第 1 の導電層と、前記第 1 の導電層の側面を覆う絶縁層と、前記絶縁層上に設けられ、かつ前記第 1 の導電層の前記絶縁層から突出する部分と接する第 2 の導電層とを有し、前記第 1 の導電層において前記絶縁層から突出する部分の表面は曲面であることを特徴とする配線基板。

【請求項 2】

請求項 1 において、前記第 1 の導電層の線幅は 1 μ m 以下であることを特徴とする配線基板。

【請求項 3】

第 1 のトランジスタのゲート電極層と、前記ゲート電極層の側面を覆う絶縁層と、前記絶縁層上に設けられ、かつ前記ゲート電極層の前記絶縁層から突出する部分と接する第 2 のトランジスタのソース電極層又はドレイン電極層とを有し、

前記ゲート電極層において前記絶縁層から突出する部分の表面は曲面であることを特徴とする半導体装置。

【請求項 4】

請求項 3 において、前記ゲート電極層の線幅は 1 μ m 以下であることを特徴とする半導体装置。

【請求項 5】

絶縁表面上に導電膜を形成し、
前記導電膜上に表面に曲面を有するレジストマスクを形成し、
前記表面に曲面を有するレジストマスクを用いて前記導電膜をエッチングガスによりエッチングして表面に曲面を有する第 1 の導電層を形成し、
前記第 1 の導電層上に絶縁層を形成し、
前記絶縁層をエッチングして前記第 1 の導電層の一部を露出し、
前記絶縁層上に前記第 1 の導電層と接する第 2 の導電層を形成することを特徴とする配線基板の作製方法。

【請求項 6】

絶縁表面上に導電膜を形成し、
前記導電膜上にテーパーを有するレジストマスクを形成し、
前記テーパーを有するレジストマスクを加熱処理して表面に曲面を有するレジストマスクを形成し、
前記表面に曲面を有するレジストマスクを用いて前記導電膜をエッチングガスによりエッチングして表面に曲面を有する第 1 の導電層を形成し、
前記第 1 の導電層上に絶縁層を形成し、
前記絶縁層をエッチングして前記第 1 の導電層の一部を露出し、
前記絶縁層上に前記第 1 の導電層と接する第 2 の導電層を形成することを特徴とする配線基板の作製方法。

【請求項 7】

請求項 6 において、前記レジストマスクのテーパーの角度は 90 度未満とすることを特徴とする配線基板の作製方法。

【請求項 8】

請求項 5 乃至 7 のいずれか一項において、前記絶縁層のエッチングは、化学的機械研磨法を用いることを特徴とする配線基板の作製方法。

【請求項 9】

導電膜を形成し、
前記導電膜上に表面に曲面を有するレジストマスクを形成し、
前記表面に曲面を有するレジストマスクを用いて前記導電膜をエッチングガスによりエッチングして表面に曲面を有する第 1 のトランジスタのゲート電極層を形成し、
前記ゲート電極層上に絶縁層を形成し、

10

20

30

40

50

前記絶縁層をエッチングして前記ゲート電極層の一部を露出し、

前記絶縁層上に前記ゲート電極層と接する第2のトランジスタのソース電極層又はドレイン電極層を形成することを特徴とする半導体装置の作製方法。

【請求項10】

導電膜を形成し、

前記導電膜上にテーパーを有するレジストマスクを形成し、

前記テーパーを有するレジストマスクを加熱処理して表面に曲面を有するレジストマスクを形成し、

前記表面に曲面を有するレジストマスクを用いて前記導電膜をエッチングガスによりエッチングして表面に曲面を有する第1のトランジスタのゲート電極層を形成し、

10

前記ゲート電極層上に絶縁層を形成し、

前記絶縁層をエッチングして前記ゲート電極層の一部を露出し、

前記絶縁層上に前記ゲート電極層と接する第2のトランジスタのソース電極層又はドレイン電極層を形成することを特徴とする半導体装置の作製方法。

【請求項11】

請求項10において、前記レジストマスクのテーパーの角度は90度未満とすることを特徴とする半導体装置の作製方法。

【請求項12】

請求項9乃至11のいずれか一項において、前記絶縁層のエッチングは、化学的機械研磨法を用いることを特徴とする半導体装置の作製方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

配線基板、半導体装置、及びそれらの作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

半導体装置における多層配線および配線層間の接続には、金属材料を用い、CMP技術により不要な配線材料を除去することで埋め込み配線構造を作製する方法が用いられている。

30

【0004】

半導体装置においては、集積度の向上にともない配線やそのコンタクト寸法の微細化が要求されている。よって、高微細化であっても配線間の導通不良が生じないように、良好な配線間の接続構造が提案されている（例えば、特許文献1参照。）。特許文献1は、配線の形成領域に生じる凹凸をガスイオンの照射によって平滑化することによって、配線のカバレッジを向上させている。

【先行技術文献】

【特許文献】

40

【0005】

【特許文献1】特開2009-54879号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

このような、集積化が進む配線基板、又は半導体装置において、導通不良を軽減することを目的の一とする。

【0007】

信頼性の高い配線基板、又は半導体装置を歩留まり良く作製することを目的の一とする。

【課題を解決するための手段】

50

【 0 0 0 8 】

多層配線構造を有する配線基板、又は半導体装置において、該配線に用いる導電層の接続構造に曲面を有する導電層を用いる。曲面な表面を有するレジストマスクを用いて導電層をエッチング加工することによって曲面な表面を有する導電層（表面が曲面である導電層、表面に曲面を有する導電層ともいえる）を形成する。

【 0 0 0 9 】

曲面な表面を有する導電層であると、表面に鋭角な段差を有さない。よって、導電層の断面は錐形の先端が丸いドーム状となっている。下層の導電層を露出させる絶縁層の除去工程の際、周囲の絶縁層の除去によって露出された下層の導電層の先端部は曲面であり、下層の導電層上に積層する上層の導電層の被覆性を良好とすることができる。

10

【 0 0 1 0 】

本明細書で開示する発明の構成の一形態は、第1の導電層と、第1の導電層の側面を覆う絶縁層と、絶縁層上に設けられ、かつ第1の導電層の絶縁層から突出する部分と接する第2の導電層とを有し、第1の導電層において絶縁層から突出する部分の表面は曲面である配線基板である。

【 0 0 1 1 】

本明細書で開示する発明の構成の一形態は、第1のトランジスタのゲート電極層と、ゲート電極層の側面を覆う絶縁層と、絶縁層上に設けられ、かつゲート電極層の絶縁層から突出する部分と接する第2のトランジスタのソース電極層又はドレイン電極層とを有し、ゲート電極層において絶縁層から突出する部分の表面は曲面である半導体装置である。

20

【 0 0 1 2 】

本明細書で開示する発明の構成の一形態は、絶縁表面上に導電膜を形成し、導電膜上に表面に曲面を有するレジストマスクを形成し、表面に曲面を有するレジストマスクを用いて導電膜をエッチングガスによりエッチングして表面に曲面を有する第1の導電層を形成し、第1の導電層上に絶縁層を形成し、絶縁層をエッチングして第1の導電層の一部を露出し、絶縁層上に第1の導電層と接する第2の導電層を形成する配線基板の作製方法である。

【 0 0 1 3 】

本明細書で開示する発明の構成の一形態は、絶縁表面上に導電膜を形成し、導電膜上にテーパーを有するレジストマスクを形成し、テーパーを有するレジストマスクを加熱処理して表面に曲面を有するレジストマスクを形成し、表面に曲面を有するレジストマスクを用いて導電膜をエッチングガスによりエッチングして表面に曲面を有する第1の導電層を形成し、第1の導電層上に絶縁層を形成し、絶縁層をエッチングして第1の導電層の一部を露出し、絶縁層上に第1の導電層と接する第2の導電層を形成する配線基板の作製方法である。

30

【 0 0 1 4 】

本明細書で開示する発明の構成の一形態は、導電膜を形成し、導電膜上に表面に曲面を有するレジストマスクを形成し、表面に曲面を有するレジストマスクを用いて導電膜をエッチングガスによりエッチングして表面に曲面を有する第1のトランジスタのゲート電極層を形成し、ゲート電極層上に絶縁層を形成し、絶縁層をエッチングしてゲート電極層の一部を露出し、絶縁層上にゲート電極層と接する第2のトランジスタのソース電極層又はドレイン電極層を形成する半導体装置の作製方法である。

40

【 0 0 1 5 】

本明細書で開示する発明の構成の一形態は、導電膜を形成し、導電膜上にテーパーを有するレジストマスクを形成し、テーパーを有するレジストマスクを加熱処理して表面に曲面を有するレジストマスクを形成し、表面に曲面を有するレジストマスクを用いて導電膜をエッチングガスによりエッチングして表面に曲面を有する第1のトランジスタのゲート電極層を形成し、ゲート電極層上に絶縁層を形成し、絶縁層をエッチングしてゲート電極層の一部を露出し、絶縁層上にゲート電極層と接する第2のトランジスタのソース電極層又はドレイン電極層を形成する半導体装置の作製方法である。

50

【発明の効果】

【0016】

導電層同士の積層構造において、上層の導電層が下層の導電層上に被覆性よく形成されることによって、導電層同士の電氣的接続を確実に行うことができる。従って、生産時には膜の形状不良による特性不良を軽減することができるため歩留まりが向上し、配線基板、又は半導体装置としても信頼性を高めることができる。

【図面の簡単な説明】

【0017】

【図1】配線基板の一形態を説明する図。

【図2】配線基板の一形態を説明する図。

10

【図3】半導体装置の一形態を説明する図。

【図4】半導体装置の一形態を説明する図。

【図5】半導体装置の作製方法の一形態を説明する図。

【図6】半導体装置の一形態を説明する図。

【図7】半導体装置の作製方法の一形態を説明する図。

【図8】半導体装置の一形態を説明する図。

【図9】電子機器を示す図。

【図10】実施例におけるSEM像及びSTEM像を示す図。

【発明を実施するための形態】

【0018】

20

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0019】

(実施の形態1)

本実施の形態では、配線基板、半導体装置、及びそれらの作製方法の一形態を、図1乃至図3を用いて説明する。

30

【0020】

図1(A)に、本実施の形態の積層する導電層同士の接続構造を有する配線基板を示す。絶縁層200上に導電層201が設けられており、該導電層201の周囲は上部を除いて絶縁層203が形成されている。絶縁層203上には導電層202が絶縁層203から突出している導電層201と接して形成され、導電層201と導電層202とが電氣的に接続している。

【0021】

導電層201は、曲面な表面を有する導電層である。曲面な表面を有するレジストマスクを用いて導電膜をエッチング加工することによって、表面に鋭角な段差を有さない導電層201を形成することができる。

40

【0022】

図1(A)の積層する導電層同士の接続構造を有する配線基板の作製方法を図2(A)乃至(E)に示す。

【0023】

絶縁層200上に導電膜211を形成し、導電膜211上にレジストマスク212を形成する(図2(A)参照。)。レジストマスク212は、表面が曲面であり、図2(A)に示すように断面ではほぼ半球に近い形状とする。

【0024】

レジストマスク212の形状は、フォトリソグラフィ工程によりテーパーを有するレジス

50

トマスクを形成した後、加熱処理を行うことで制御することができる。加熱処理前のレジストマスクのテーパの角度（導電膜 2 1 1 表面とレジストマスクの側面との角度）は 90 度未満とすればよい。本実施の形態では 75 度のテーパの角度を有するレジストマスクを形成した後、180 で 2 時間加熱処理を行う。

【0025】

表面が曲面のレジストマスク 2 1 2 を用いて、導電膜 2 1 1 をエッチング加工することによって、曲面を有する導電層 2 0 1 を形成する（図 2（B）参照。）。エッチングはドライエッチングを用いる。エッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）、または、フッ素を含むガス（フッ素系ガス、例えばフッ化炭素（ CF_4 ）、六フッ化硫黄（ SF_6 ）、三フッ化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）を用いることができる。さらに上記ガスに酸素や希ガス（例えば Ar など）を添加したエッチングガスを用いてもよい。

10

【0026】

半導体装置の集積化にともない、導電層の線幅はより小さく微細になる。線幅が小さくなると、導電層にテーパを付与することが難しくなり、導電層の側面は垂直形状になりやすい。側面が垂直形状となると絶縁層から突出する導電層の上方の端部は鋭角化し、上に形成される上層の導電層の被覆性が低下してしまう。

【0027】

本明細書に開示するように、曲面を有するように形状を制御されたレジストを用いて導電層を形成すると、1 μm 以下の微細な線幅であっても表面に曲面を有する導電層とすることができる。従って、導電層の被覆形状の不良による導通不良は抑制され、高信頼性の配線基板、又は半導体装置を歩留まり良く作製することができる。

20

【0028】

導電層 2 0 1 を覆うように絶縁層 2 1 3 を形成する（図 2（C）参照。）。

【0029】

次に絶縁層 2 1 3 をエッチングし、平坦化された絶縁層 2 0 3 を形成し、同時に導電層 2 0 1 の上部を突出するように露出させる（図 2（D）参照。）。

【0030】

絶縁層 2 1 3 の平坦化及び導電層 2 0 1 の露出を行う絶縁層 2 1 3 の部分的な除去方法（エッチング）は、特に限定しないが、化学的機械研磨（Chemical Mechanical Polishing：CMP）法を好適に用いることができる。

30

【0031】

例えば、絶縁層 2 1 3 として酸化シリコン膜を用いた場合、CMP 法の処理条件の一例としては、スラリー液と研磨布を用い、圧力 0.01 MPa、スピンドル回転速度（回転数）20 rpm、テーブル回転速度（回転数）を 20 rpm とすればよい。

【0032】

突出した導電層 2 0 1 と接して絶縁層 2 0 3 上に導電層 2 0 2 を形成し、導電層 2 0 1 と導電層 2 0 2 とを電氣的に接続する（図 2（E）参照。）。

【0033】

本実施の形態の導電層 2 0 1 は、曲面な表面を有する導電層であり、表面に鋭角な段差を有さない。よって、導電層 2 0 1 の断面は錐形の先端が丸いドーム状となっている。よって、CMP 処理の際、周囲の絶縁層 2 1 3 の除去によって露出された導電層 2 0 1 の先端部は曲面であり、導電層 2 0 1 上に積層する導電層 2 0 2 の被覆性を良好とすることができる。

40

【0034】

導電層 2 0 2 が導電層 2 0 1 上に被覆性よく形成されることによって、導電層 2 0 1 と導電層 2 0 2 との電氣的接続を確実に行うことができる。従って、生産時には膜の形状不良による特性不良を軽減することができるため歩留まりが向上し、半導体装置としても信頼性を高めることができる。

50

【 0 0 3 5 】

図 1 (B) は絶縁層を積層構造とする例であり、絶縁層 2 0 4 と絶縁層 2 0 3 とが積層している。このように異なる絶縁層を積層する場合、特にエッチング条件の違いから図 1 (B) のように絶縁層が過剰にエッチング (所謂オーバーエッチング) される恐れがあるため、突出する導電層 2 0 1 の表面が曲面であり、鋭角な段差を有さないことは有益である。

【 0 0 3 6 】

また、図 1 (B) では導電層 2 0 2 が、絶縁層 2 0 3 から突出された導電層 2 0 1 の全領域を覆う構造となっている。導電層 2 0 2 により導電層 2 0 1 が覆われる構造であると、導電層 2 0 1 と導電層 2 0 2 とが同材料、又はエッチングによる選択比が低い材料同士である場合、導電層 2 0 2 のエッチング工程の際に導電層 2 0 1 がエッチングされるのを防止することができる。

10

【 0 0 3 7 】

本明細書に開示する配線基板を用いて半導体装置を提供することができる。図 3 に図 1 及び図 2 に示したような曲面を有する導電層を用いた多層配線構造を含む配線基板を有する半導体装置の例を示す。

【 0 0 3 8 】

図 3 において、絶縁層 3 0 0 上に絶縁層 3 0 3 a と、絶縁層 3 0 3 a から上部を突出させた導電層 3 0 1 a、3 0 1 b とが設けられ、導電層 3 0 1 a に接して導電層 3 0 2 a が、導電層 3 0 1 b に接して導電層 3 0 2 b がそれぞれ形成されている。

20

【 0 0 3 9 】

導電層 3 0 2 a、3 0 2 b 上には絶縁層 3 0 3 b と、導電層 3 0 2 a と接し、かつ絶縁層 3 0 3 b から上部を突出させた導電層 3 0 1 c が設けられ、導電層 3 0 1 c に接して導電層 3 0 2 c が形成されている。

【 0 0 4 0 】

導電層 3 0 2 c 上には絶縁層 3 0 3 c と、導電層 3 0 2 c と接し、かつ絶縁層 3 0 3 c から上部を突出させた導電層 3 0 1 d が設けられ、導電層 3 0 1 d に接して導電層 3 0 2 d が形成されている。

【 0 0 4 1 】

積層する導電層間の導通が良好であるため、図 3 のような多層の導電層による積層構造であっても電氣的接続を確実に行うことができる。

30

【 0 0 4 2 】

導電層 2 0 1、導電層 2 0 2、導電層 3 0 1 a、3 0 1 b、3 0 1 c、3 0 1 d、導電層 3 0 2 a、3 0 2 b、3 0 2 c、3 0 2 d の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。導電層 2 0 1、導電層 2 0 2、導電層 3 0 1 a、3 0 1 b、3 0 1 c、3 0 1 d、導電層 3 0 2 a、3 0 2 b、3 0 2 c、3 0 2 d の成膜方法は、スパッタリング法、蒸着法、CVD 法などを用いることができる。

【 0 0 4 3 】

絶縁層 2 0 3、絶縁層 2 0 4、絶縁層 3 0 3 a、3 0 3 b、3 0 3 c は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層 2 0 3、絶縁層 2 0 4、絶縁層 3 0 3 a、3 0 3 b、3 0 3 c は、プラズマ CVD 法又はスパッタリング法等を用いて形成することができる。

40

【 0 0 4 4 】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low - k 材料) 等を用いることができる。有機材料を用いる場合、スピンコート法、印刷法などの湿式法によって絶縁層

50

203、絶縁層204、絶縁層303a、303b、303cを形成してもよい。

【0045】

なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層203、絶縁層204、絶縁層303a、303b、303cを形成してもよい。

【0046】

絶縁層200、絶縁層300としては、上記絶縁層203、絶縁層204、絶縁層303a、303b、303cと同様な材料及び方法を用いて形成することができる。

【0047】

また、絶縁層200として基板を用いてもよい。絶縁層200として用いることのできる基板としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種のガラス基板や、石英基板、セラミック基板、サファイア基板、プラスチック基板などの絶縁基板が挙げられる。また、単結晶半導体基板（例えば、単結晶シリコン基板）や多結晶半導体基板（例えば、多結晶シリコン基板）を用いることも可能である。

【0048】

本実施の形態において示す多層配線構造を有する半導体装置において、該導電層の接続構造に曲面を有する導電層を用いることによって、集積度が十分に高められた信頼性の高い半導体装置が実現できる。

【0049】

（実施の形態2）

実施の形態1で示した導電層の接続構造を含む配線基板を用いて半導体装置を提供することができる。本実施の形態では、実施の形態1で示した導電層の接続構造を含む配線基板を用いた半導体装置の一例として、記憶媒体（メモリ素子）を示す。

【0050】

実施の形態1で示す導電層の接続構造は、複数のトランジスタを積層する集積回路に好適に用いることができる。本実施の形態では、単結晶半導体基板に作製された第1のトランジスタであるトランジスタ140と絶縁層を介してトランジスタ140の上方に半導体膜を用いて作製された第2のトランジスタであるトランジスタ162を含む半導体装置を作製する。

【0051】

本明細書に開示する導電層の接続構造を適用できる半導体装置としては積層するトランジスタの半導体材料、及び構造は、同一でもよいし異なってもよい。本実施の形態では、記憶媒体（メモリ素子）の回路に好適な材料及び構造のトランジスタをそれぞれ用いる例である。

【0052】

図4は、半導体装置の構成の一例である。図4（A）には、半導体装置の断面を、図4（B）には、半導体装置の平面を、それぞれ示す。ここで、図4（A）は、図4（B）のC1 - C2およびD1 - D2における断面に相当する。また、図4（C）には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図4（A）および図4（B）に示される半導体装置は、下部に第1の半導体材料を用いたトランジスタ140を有し、上部に第2の半導体材料を用いたトランジスタ162を有する。本実施の形態では、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0053】

図4における半導体装置の作製方法を図5（A）乃至（C）を用いて説明する。

【0054】

トランジスタ 140 は、半導体材料（例えば、シリコンなど）を含む基板 185 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 120 と、不純物領域 120 に接する金属化合物領域 124 と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 とを有する。

【0055】

本実施の形態のゲート電極 110 は、実施の形態 1 で示したように曲面な表面を有する導電層である。曲面な表面を有するレジストマスクを用いて導電層をエッチング加工することによって、表面に鋭角な段差を有さないゲート電極 110 を形成することができる。

【0056】

半導体材料を含む基板 185 は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0057】

基板 185 上にはトランジスタ 140 を囲むように素子分離絶縁層 106 が設けられている。なお、高集積化を実現するためには、図 4 に示すようにトランジスタ 140 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 140 の特性を重視する場合には、ゲート電極 110 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 120 を設けても良い。

【0058】

単結晶半導体基板を用いたトランジスタ 140 は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0059】

トランジスタ 140 を形成した後、トランジスタ 140 を覆うように絶縁層 170 及び絶縁層 171 を形成する（図 5（A）参照。）。

【0060】

絶縁層 170、及び絶縁層 171 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層 170、及び絶縁層 171 は、プラズマ CVD 法又はスパッタリング法等を用いて形成することができる。

【0061】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。有機材料を用いる場合、スピンコート法、印刷法などの湿式法によって絶縁層 170、及び絶縁層 171 を形成してもよい。

【0062】

なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層 170、及び絶縁層 171 を形成してもよい。

【0063】

本実施の形態では、絶縁層 170 としてスパッタリング法により膜厚 50 nm の酸化窒化シリコン膜を形成し、絶縁層 171 としてスパッタリング法により膜厚 550 nm の酸化シリコン膜を形成する。

【0064】

次に、トランジスタ 162 および容量素子 164 の形成前の処理として、絶縁層 170 及

10

20

30

40

50

び絶縁層 171 に CMP 処理を施して、平坦化した絶縁層 128、絶縁層 130 を形成し、同時にゲート電極 110 の上面を露出させる（図 5（B）参照。）。

【0065】

CMP 処理により十分に平坦化した絶縁層 130 上に半導体膜を形成した後、当該半導体膜を選択的にエッチングして半導体層 144 を形成する。本実施の形態では、半導体層 144 として酸化物半導体膜を用い、In-Ga-Zn-O 系酸化物ターゲットを用いてスパッタリング法により成膜する。

【0066】

その後、酸化物半導体膜に対して、加熱処理（第 1 の加熱処理）を行うことが望ましい。この第 1 の加熱処理によって酸化物半導体膜中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体膜の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第 1 の加熱処理の温度は、例えば、300 以上 550 未満、好ましくは 400 以上 500 以下とする。

10

【0067】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1 時間の条件で行うことができる。この間、酸化物半導体膜は大気に触れさせず、水や水素の混入が生じないようにする。第 1 の加熱処理によって不純物を低減し、I 型（真性）または I 型に限りなく近い酸化物半導体膜を形成することで、極めて優れた特性のトランジスタを実現することができる。

20

【0068】

次に、ゲート電極 110、絶縁層 128、絶縁層 130 などの上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b を形成する。

20

【0069】

本実施の形態のゲート電極 110 は、実施の形態 1 で示したように曲面な表面を有する導電層であり、表面に鋭角な段差を有さない。よって、図 4（A）に示すようにゲート電極 110 の断面は錐形の先端が丸いドーム状となっている。よって、CMP 処理の際、周囲の絶縁層 128、絶縁層 130 の除去によって露出されたゲート電極 110 の先端部は曲面であり、ゲート電極 110 上に積層するソース電極またはドレイン電極 142a の被覆性を良好とすることができる。

30

【0070】

ソース電極またはドレイン電極 142a がゲート電極 110 上に被覆性よく形成されることによって、ソース電極またはドレイン電極 142a とゲート電極 110 との電氣的接続を確実に行うことができる。従って、生産時には膜の形状不良による特性不良を軽減することができるため歩留まりが向上し、半導体装置としても信頼性を高めることができる。

【0071】

導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。また、導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素や、上述した元素を成分とする合金等を用いることができる。Mn、Mg、Zr、Be、Nd、Sc のいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

40

【0072】

導電層は、単層構造であっても良いし、2 層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された 2 層構造、窒化チタン膜上にチタン膜が積層された 2 層構造、チタン膜とアルミニウム膜とチタン膜とが積層された 3 層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b への加工が容易であるというメリットがある。

【0073】

50

上部のトランジスタ 1 6 2 のチャネル長 (L) は、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b の下端部の間隔によって決定される。なお、チャネル長 (L) が 2 5 n m 未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数 n m ~ 数 1 0 n m と波長の短い超紫外線を用いるのが望ましい。

【 0 0 7 4 】

次に、半導体層 1 4 4 に接するゲート絶縁層 1 4 6 を形成する。ゲート絶縁層 1 4 6 は、プラズマ C V D 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、酸化ハフニウム層、又は酸化ガリウム層を単層で又は積層して形成することができる。

10

【 0 0 7 5 】

次に、ゲート絶縁層 1 4 6 上において半導体層 1 4 4 と重畳する領域にゲート電極 1 4 8 a を形成し、ソース電極またはドレイン電極 1 4 2 a と重畳する領域に電極 1 4 8 b を形成する。

【 0 0 7 6 】

ゲート絶縁層 1 4 6 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の加熱処理を行うのが望ましい。加熱処理の温度は、2 0 0 以上 4 5 0 以下、望ましくは 2 5 0 以上 3 5 0 以下である。例えば、窒素雰囲気下で 2 5 0 、1 時間の加熱処理を行えばよい。第 2 の加熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 1 4 6 が酸素を含む膜として、半導体層 1 4 4 に酸素を供給し、該半導体層 1 4 4 の酸素欠損を補償して、I 型 (真性) または I 型に限りなく近い酸化半導体層を形成することもできる。

20

【 0 0 7 7 】

なお、第 2 の加熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の加熱処理を行っても良い。また、第 1 の加熱処理に続けて第 2 の加熱処理を行っても良いし、第 1 の加熱処理に第 2 の加熱処理を兼ねさせても良いし、第 2 の加熱処理に第 1 の加熱処理を兼ねさせても良い。

【 0 0 7 8 】

上述のように、第 1 の加熱処理と第 2 の加熱処理の少なくとも一方を適用することで、半導体層 1 4 4 を、その主成分以外の不純物が極力含まれないように高純度化することができる。

30

【 0 0 7 9 】

ゲート電極 1 4 8 a および電極 1 4 8 b は、ゲート絶縁層 1 4 6 上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。

【 0 0 8 0 】

次に、ゲート絶縁層 1 4 6、ゲート電極 1 4 8 a、および電極 1 4 8 b 上に、絶縁層 1 5 0 および絶縁層 1 5 2 を形成する。絶縁層 1 5 0 および絶縁層 1 5 2 は、スパッタ法や C V D 法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

40

【 0 0 8 1 】

次に、ゲート絶縁層 1 4 6、絶縁層 1 5 0、及び絶縁層 1 5 2 に、ソース電極またはドレイン電極 1 4 2 b にまで達する開口を形成する。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【 0 0 8 2 】

その後、上記開口にソース電極またはドレイン電極 1 4 2 b に接する配線 1 5 6 を形成する。なお、図 5 にはソース電極またはドレイン電極 1 4 2 b と配線 1 5 6 との接続箇所は図示していない。

【 0 0 8 3 】

50

配線 156 は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて導電層を形成した後、当該導電層をエッチング加工することによって形成される。また、導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素や、上述した元素を成分とする合金等を用いることができる。Mn、Mg、Zr、Be、Nd、Sc のいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極またはドレイン電極 142a などと同様である。

【0084】

以上により、高純度化された半導体層 144 を用いたトランジスタ 162、および容量素子 164 が完成する。容量素子 164 は、ソース電極またはドレイン電極 142a、半導体層 144、ゲート絶縁層 146、および電極 148b、で構成される。

10

【0085】

なお、図 4 の容量素子 164 では、半導体層 144 とゲート絶縁層 146 を積層させることにより、ソース電極またはドレイン電極 142a と、電極 148b との間の絶縁性を十分に確保することができる。もちろん、十分な容量を確保するために、半導体層 144 を有しない構成の容量素子 164 を採用しても良い。また、絶縁層を有する構成の容量素子 164 を採用しても良い。さらに、容量が不要の場合は、容量素子 164 を設けない構成とすることも可能である。

【0086】

図 4 (C) には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図 4 (C) において、トランジスタ 162 のソース電極またはドレイン電極の一方と、容量素子 164 の電極の一方と、トランジスタ 140 のゲート電極と、は電氣的に接続されている。また、第 1 の配線 (1st Line: ソース線とも呼ぶ) とトランジスタ 140 のソース電極とは、電氣的に接続され、第 2 の配線 (2nd Line: ビット線とも呼ぶ) とトランジスタ 140 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 (3rd Line: 第 1 の信号線とも呼ぶ) とトランジスタ 162 のソース電極またはドレイン電極の他方とは、電氣的に接続され、第 4 の配線 (4th Line: 第 2 の信号線とも呼ぶ) と、トランジスタ 162 のゲート電極とは、電氣的に接続されている。そして、第 5 の配線 (5th Line: ワード線とも呼ぶ) と、容量素子 164 の電極の他方は電氣的に接続されている。

20

【0087】

酸化物半導体を用いたトランジスタ 162 は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ 162 をオフ状態とすることで、トランジスタ 162 のソース電極またはドレイン電極の一方と、容量素子 164 の電極の一方と、トランジスタ 140 のゲート電極とが電氣的に接続されたノード (以下、ノード FG) の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 164 を有することにより、ノード FG に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

30

【0088】

半導体装置に情報を記憶させる場合 (書き込み) は、まず、第 4 の配線の電位を、トランジスタ 162 がオン状態となる電位にして、トランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位が、ノード FG に供給され、ノード FG に所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷 (以下、ロー (Low) レベル電荷、ハイ (High) レベル電荷という) のいずれかが与えられるものとする。その後、第 4 の配線の電位を、トランジスタ 162 がオフ状態となる電位にして、トランジスタ 162 をオフ状態とすることにより、ノード FG が浮遊状態となるため、ノード FG には所定の電荷が保持されたままの状態となる。以上のように、ノード FG に所定量の電荷を蓄積及び保持させることで、メモリセルに情報を記憶させることができる。

40

【0089】

トランジスタ 162 のオフ電流は極めて小さいため、ノード FG に供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、または、リフ

50

レッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0090】

記憶された情報を読み出す場合（読み出し）は、第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、ノードFGに保持された電荷量に応じて、トランジスタ140は異なる状態をとる。一般に、トランジスタ140をnチャネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ140の見かけのしきい値 V_{th_H} は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ140の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ140を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ140は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ140は「オフ状態」のままである。このため、第5の配線の電位を制御して、トランジスタ140のオン状態またはオフ状態を読み出す（第2の配線の電位を読み出す）ことで、記憶された情報を読み出すことができる。

10

【0091】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作（第2の書き込み）を行うことで、記憶させた情報を上書きすることが可能である。

20

30

【0092】

本実施の形態で示すトランジスタ162は、高純度化され、真性化された酸化物半導体層を半導体層144に用いることで、トランジスタ162のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0093】

また、本実施の形態において示す半導体装置では、トランジスタ140とトランジスタ162を重畳させ、その接続構造を、曲面を有する導電層を用いて行うことによって、集積度が十分に高められた信頼性の高い半導体装置が実現される。

【0094】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

40

【0095】

（実施の形態3）

実施の形態2で適用することのできる半導体基板の他の例を、図6及び図7を用いて示す。本実施の形態では、絶縁層を介して単結晶半導体層が設けられた半導体基板を用いる。

【0096】

図6に示す半導体装置は、ベース基板180上に絶縁層183を介してトランジスタ140が設けられている。トランジスタ140は島状の半導体層184を有し、半導体層184はゲート電極110と重なるチャネル形成領域181、該チャネル形成領域181を挟

50

むようにソース領域又はドレイン領域として機能する不純物領域 182 を含む。なお、半導体層 184 は独立した島状であるため、実施の形態 2 の図 5 の半導体装置の際に設けた素子分離絶縁層 106 は必要ない。図 6 ではゲート絶縁層 108 はゲート電極 110 の下に選択的に設けられる例であるが、ベース基板 180 全面に覆うように形成されてもよい。

【0097】

図 7 (A) 乃至 (D) に本実施の形態の半導体装置の作製方法を示す。

【0098】

まず、単結晶半導体基板 190 を準備する。

【0099】

単結晶半導体基板 190 としては、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板等の第 14 族元素でなる単結晶半導体基板、またはガリウムヒ素、インジウムリン等の化合物半導体基板を用いることができる。市販の単結晶シリコン基板としては、直径 5 インチ (約 125 mm)、直径 6 インチ (約 150 mm)、直径 8 インチ (約 200 mm)、直径 12 インチ (約 300 mm)、直径 16 インチ (約 400 mm) サイズの円形のものが代表的であり、いずれのサイズの単結晶シリコン基板も用いることができる。なお、単結晶半導体基板 190 の形状は円形に限られず、矩形状等に加工して用いることも可能である。本実施の形態では、単結晶半導体基板 190 として、単結晶シリコン基板を用いた場合について説明する。

【0100】

次に、単結晶半導体基板 190 の表面に絶縁層 193 を形成する。(図 7 (A) 参照。)

【0101】

絶縁層 193 を形成する前に希フッ酸を用いて単結晶半導体基板を洗浄するとよい。このとき、希フッ酸とオゾン水を交互に吐出して洗浄してもよい。必要に応じて、超音波洗浄や 2 流体ジェット洗浄を組み合わせることが好ましい。超音波洗浄は、メガヘルツ超音波洗浄 (メガソニック洗浄) が好ましい。洗浄により、単結晶半導体基板表面の異物、有機汚染を低減し、絶縁層 193 を均一に形成することが可能となる。

【0102】

絶縁層 193 を形成する材料としては、酸化シリコン膜が挙げられる。

【0103】

絶縁層 193 の形成方法としては、熱酸化法、CVD 法、またはスパッタリング法が挙げられる。

【0104】

例えば、熱酸化法を用いて絶縁層 193 (本実施の形態では酸化シリコン膜) を形成する場合には、主成分のガスを酸素 (O_2) として、ハロゲンを含む酸化性雰囲気中で熱酸化することが好ましい。例えば、塩素 (Cl) を含む酸化性雰囲気中で単結晶半導体基板 190 に熱酸化処理を行うことにより、塩素酸化された絶縁層 193 を形成する。この場合、絶縁層 193 は、塩素原子を含有する絶縁層となる。絶縁層 193 中に含有された塩素原子は、歪みを形成する。その結果、絶縁層 193 の水分に対する吸収割合が向上し、拡散速度が増大する。つまり、絶縁層 193 表面に水分が存在する場合に、当該表面に存在する水分を絶縁層 193 中に素早く吸収し、拡散させることができる。

【0105】

熱酸化処理の一例としては、酸素に対し塩化水素 (HCl) を 0.5 ~ 10 体積 % (代表的には 3 体積 %) の割合で含む酸化性雰囲気中で、900 ~ 1150 の温度 (代表的には 1000) で行うことができる。処理時間は 0.1 ~ 6 時間、好ましくは 0.5 ~ 1 時間とすればよい。熱酸化処理により形成される酸化膜の膜厚は、10 nm ~ 1000 nm (好ましくは 50 nm ~ 300 nm)、例えば 100 nm とすればよい。

【0106】

次に、単結晶半導体基板 190 に水素イオン 191 を照射し、脆化領域 192 を形成する (図 7 (B) 参照。)。

10

20

30

40

50

【0107】

水素イオン照射前に、純水を用いて絶縁層193の表面を洗浄してもよい。このとき、純水の代わりにオゾン水を用いてもよい。あるいは超音波洗浄、2流体ジェット洗浄を組み合わせてもよい。超音波洗浄は、メガヘルツ超音波洗浄（メガソニック洗浄）が好ましい。ただし、希フッ酸洗浄を行うと、絶縁層193表面が疎水性となり、ベース基板との貼り合わせに不良が生じることがある。そのため、希フッ酸洗浄を用いない方が好ましい。洗浄により、絶縁層193表面の異物、有機汚染を低減できる。

【0108】

水素イオン照射工程は、イオンドーピング装置によるイオンドーピング法でも、イオン注入装置によるイオン注入法でも行うことができる。

10

【0109】

本実施の形態においては、イオンドーピング装置を用いることで、質量分離されていないイオンを単結晶半導体基板190に照射する例を示す。イオンドーピング装置の代表的なものは、プロセスガスをプラズマ励起して生成された全てのイオン種をチャンバー内に配置された被処理体に照射する非質量分離型の装置である。本明細書においては、イオンドーピング装置を用いて、ソースガス（原料ガス）から生成されるイオンを質量分離せず対象物に照射する方法を「イオンドーピング法」と呼ぶ。

【0110】

イオンドーピング装置の主要な構成は、被処理物を配置するチャンバーと、所望のイオンを発生させるイオン源と、イオンを加速し、照射するための加速機構である。イオン源は、所望のイオン種を生成するためのソースガスを供給するガス供給装置、ソースガスを励起して、プラズマを生成させるための電極等で構成される。プラズマを形成するための電極としては、フィラメント型の電極や容量結合高周波放電用の電極等が用いられる。加速機構は、引出電極、加速電極、減速電極、接地電極等の電極、及びこれらの電極に電力を供給するための電源等で構成される。加速機構を構成する電極には複数の開口やスリットが設けられており、イオン源で生成されたイオンは電極に設けられた開口やスリットを通過して加速される。なお、イオンドーピング装置の構成は上述したものに限定されず、必要に応じた機構が設けられる。

20

【0111】

なお、イオンを照射する装置として用いることのできるイオン注入装置は、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する装置（質量分離型の装置）であり、この点でイオンドーピング装置とは大きく異なるものである。

30

【0112】

次に、単結晶半導体基板の単結晶半導体層を、ベース基板に転載する方法を説明する。

【0113】

まずは、ベース基板180を準備する。ベース基板180を用いるに際し、ベース基板180の表面を予め洗浄しておくことが好ましい。具体的には、ベース基板180の表面を、塩酸過水（HPM）、硫酸過水（SPM）、アンモニア過水（APM）、希フッ酸（DHF）等を用いて超音波洗浄を行う。このような洗浄処理を行うことによって、ベース基板180表面の平坦化の実現や残存する研磨粒子を除去することができる。

40

【0114】

ベース基板180としては、絶縁基板を用いることが好ましい。絶縁基板の具体例としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種のガラス基板や、石英基板、セラミック基板、サファイア基板、プラスチック基板が挙げられる。また、ベース基板180として単結晶半導体基板（例えば、単結晶シリコン基板）や多結晶半導体基板（例えば、多結晶シリコン基板）を用いることも可能であるが、量産性やコストの面を考慮すると、大面積化が可能で安価な絶縁基板を用いることが好ましい。本実施の形態では、ベース基板180として絶縁基板の一つであるガラス基板を用いる場合について説明する。

【0115】

50

次に、絶縁層 193 を介して単結晶半導体基板 190 とベース基板 180 とを貼り合わせる（図 7（C）参照。）。

【0116】

次に、熱処理を行い、脆化領域 192 において単結晶半導体基板 190 を分離することにより、ベース基板 180 上に単結晶半導体層 194 を設ける（図 7（D）参照。）。熱処理を行うことにより、脆化領域 192 に微小な孔が形成され、この微小な孔の中にイオンの照射により添加された元素が析出し、内部の圧力が上昇する。圧力の上昇によって脆化領域 192 の微小な孔に体積変化が起こり、脆化領域 192 に亀裂が生じるため、脆化領域 192 に沿って単結晶半導体基板 190 が分離する。この結果、単結晶半導体基板 190 から分離された単結晶半導体層 194 が、絶縁層 193 を介してベース基板 180 上に形成される。分離後に形成される単結晶半導体層 194 の膜厚は、例えば 10 nm 以上 500 nm 以下とすればよく、好ましくは 50 nm 以上 200 nm 以下とする。なお、熱処理を行うための加熱手段としては、抵抗加熱炉等の加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置等を用いることができる。例えば、RTA 装置を用いる場合、加熱温度 550 以上 730 以下、処理時間 0.5 分以上 60 分以内で加熱すればよい。

10

【0117】

ベース基板 180 上に絶縁層 183 を介して設けられた単結晶半導体層 194 を島状の形状にエッチング加工し、半導体層 184 を得る。単結晶半導体層 194 のエッチング加工にはフォトリソグラフィ工程を用いればよい。

20

【0118】

半導体層 184 に不純物領域 182 を形成し、トランジスタ 140 を作製することができる。不純物領域 182 は、導電性を付与する不純物元素（n 型を付与する不純物元素（リン（P）など）又は p 型を付与する不純物元素（ボロン（B）など））を半導体層 184 に添加して形成すればよい。

【0119】

その後の工程は、実施の形態 2 と同様に行えばよく、図 6 に示す本実施の形態の半導体装置を作製することができる。

【0120】

本実施の形態では、ベース基板を選択することができるため、用途に合わせて透光性の基板などを適宜用いることができる。従って本発明を用いて、より多様な機能を有する半導体装置を提供することができる。

30

【0121】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0122】

（実施の形態 4）

本実施の形態では、本明細書に開示する半導体装置に適用できるトランジスタの例を示す。本明細書に開示する半導体装置に適用できるトランジスタの構造は特に限定されず、例えばトップゲート構造、又はボトムゲート構造のスタガ型及びプレーナ型などを用いることができる。また、トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、2 つ形成されるダブルゲート構造もしくは 3 つ形成されるトリプルゲート構造であっても良い。また、チャネル領域の上下にゲート絶縁層を介して配置された 2 つのゲート電極層を有する、デュアルゲート型でもよい。

40

【0123】

本明細書に開示する半導体装置（例えば、実施の形態 2 及び実施の形態 3 におけるトランジスタ 162）に適用できるトランジスタの断面構造の例を図 8（A）乃至（D）に示す。図 8（A）乃至（D）に示すトランジスタは絶縁層 400 上に設ける例を示すが、ガラス基板などの基板上に設けられもよい。なお、図 8（A）乃至（D）に示すトランジスタを実施の形態 2 及び実施の形態 3 におけるトランジスタ 162 に適用する場合、絶縁層 4

50

00は、絶縁層130に相当する。

【0124】

図8(A)に示すトランジスタ410は、ボトムゲート構造の薄膜トランジスタの一つであり、逆スタガ型薄膜トランジスタともいう。

【0125】

トランジスタ410は、絶縁層400上に、ゲート電極層401、ゲート絶縁層402、半導体層403、ソース電極層405a、及びドレイン電極層405bを含む。また、トランジスタ410を覆い、半導体層403に積層する絶縁層407が設けられている。絶縁層407上にはさらに絶縁層409が形成されている。

【0126】

図8(B)に示すトランジスタ420は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0127】

トランジスタ420は、絶縁層400上に、ゲート電極層401、ゲート絶縁層402、半導体層403、半導体層403のチャネル形成領域を覆うチャネル保護層として機能する絶縁層427、ソース電極層405a、及びドレイン電極層405bを含む。また、トランジスタ420を覆い、絶縁層409が形成されている。

【0128】

図8(C)示すトランジスタ430はボトムゲート型の薄膜トランジスタであり、絶縁層400上に、ゲート電極層401、ゲート絶縁層402、ソース電極層405a、ドレイン電極層405b、及び半導体層403を含む。また、トランジスタ430を覆い、半導体層403に接する絶縁層407が設けられている。絶縁層407上にはさらに絶縁層409が形成されている。

【0129】

トランジスタ430においては、ゲート絶縁層402は絶縁層400及びゲート電極層401上に接して設けられ、ゲート絶縁層402上にソース電極層405a、ドレイン電極層405bが接して設けられている。そして、ゲート絶縁層402、及びソース電極層405a、ドレイン電極層405b上に半導体層403が設けられている。

【0130】

図8(D)に示すトランジスタ440は、トップゲート構造の薄膜トランジスタの一つである。トランジスタ440は、絶縁層400上に、絶縁層437、半導体層403、ソース電極層405a、及びドレイン電極層405b、ゲート絶縁層402、ゲート電極層401を含み、ソース電極層405a、ドレイン電極層405bにそれぞれ配線層436a、配線層436bが接して設けられ電氣的に接続している。

【0131】

ボトムゲート構造のトランジスタ410、420、430を基板上に設ける場合、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0132】

ゲート電極層401の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

【0133】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。例えば、第1のゲート絶縁層としてプラズマCVD法により膜厚50nm以上200nm以下の窒化シリコン層(SiN

10

20

30

40

50

y ($y > 0$) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層 (SiO_x ($x > 0$)) を積層して、合計膜厚 200 nm のゲート絶縁層とする。

【0134】

ソース電極層 405 a、ドレイン電極層 405 b に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cu などの金属層の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属層を積層させた構成としても良い。また、Al 膜に生ずるヒロックやウイスキアの発生を防止する元素 (Si、Nd、Sc など) が添加されている Al 材料を用いることで耐熱性を向上させることが可能となる。

10

【0135】

ソース電極層 405 a、ドレイン電極層 405 b に接続する配線層 436 a、配線層 436 b のような導電膜も、ソース電極層 405 a、ドレイン電極層 405 b と同様な材料を用いることができる。

【0136】

また、ソース電極層 405 a、ドレイン電極層 405 b (これと同じ層で形成される配線層を含む) となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ酸化物 (In_2O_3 SnO_2 、ITO と略記する)、酸化インジウム酸化亜鉛酸化物 (In_2O_3 ZnO) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

20

【0137】

絶縁層 407、427、437 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0138】

絶縁層 409 は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【0139】

また、絶縁層 409 上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

30

【0140】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0141】

(実施の形態 5)

上記実施の形態 2 乃至 4 において、トランジスタの半導体層に用いることのできる例として酸化物半導体を説明する。

40

【0142】

実施の形態 4 で示した図 8 (A) 乃至 (D) のトランジスタ 410、420、430、440 において、半導体層 403 として酸化物半導体層を用いることができる。

【0143】

半導体層 403 に用いる酸化物半導体としては、四元系金属酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属酸化物である In-Ga-Zn-O 系酸化物半導体、In-Sn-Zn-O 系酸化物半導体、In-Al-Zn-O 系酸化物半導体、Sn-Ga-Zn-O 系酸化物半導体、Al-Ga-Zn-O 系酸化物半導体、Sn-A

50

1 - Z n - O系酸化物半導体や、二元系金属酸化物である I n - Z n - O系酸化物半導体、S n - Z n - O系酸化物半導体、A l - Z n - O系酸化物半導体、Z n - M g - O系酸化物半導体、S n - M g - O系酸化物半導体、I n - M g - O系酸化物半導体や、I n - G a - O系の材料、I n - O系酸化物半導体、S n - O系酸化物半導体、Z n - O系酸化物半導体などを用いることができる。また、上記酸化物半導体に S i O₂ を含んでもよい。ここで、例えば、I n - G a - Z n - O系酸化物半導体とは、インジウム (I n)、ガリウム (G a)、亜鉛 (Z n) を有する酸化物膜、という意味であり、その組成比はとくに問わない。また、I n と G a と Z n 以外の元素を含んでもよい。

【 0 1 4 4 】

また、酸化物半導体層は、化学式 $I n M O_3 (Z n O)_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、M は、G a、A l、M n および C o から選ばれた一または複数の金属元素を示す。例えば M として、G a、G a 及び A l、G a 及び M n、または G a 及び C o などがある。

10

【 0 1 4 5 】

また、酸化物半導体として I n - Z n - O系の材料を用いる場合、原子数比で、 $I n / Z n = 0.5 \sim 50$ 、好ましくは $I n / Z n = 1 \sim 20$ 、さらに好ましくは $I n / Z n = 1.5 \sim 15$ とする。Z n の原子数比を好ましい前記範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比が $I n : Z n : O = X : Y : Z$ のとき、 $Z > 1.5 X + Y$ とする。

【 0 1 4 6 】

半導体層 4 0 3 に用いる酸化物半導体としては、インジウムを含む酸化物半導体、インジウム及びガリウムを含む酸化物半導体などを好適に用いることができる。

20

【 0 1 4 7 】

また、酸化物半導体を半導体層 4 0 3 として用いる場合、該半導体層 4 0 3 と接する膜に、金属酸化物膜を用いることが好ましい。酸化物半導体層を挟んで、酸化物半導体層と同種の成分でなる金属酸化物膜を設ける構成は、電気的特性の変動防止に効果的である。酸化物半導体層と同種の成分でなる金属酸化物膜として、具体的には、酸化物半導体層の構成元素から選択される一または複数の金属元素の酸化物を含む膜を用いるのが好ましい。このような材料は酸化物半導体層との相性が良く、酸化物半導体層を挟んで該金属酸化物膜を設けることで、酸化物半導体層との界面の状態を良好に保つことができる。つまり、上述の材料を用いた金属酸化物膜を、酸化物半導体層と接する絶縁膜として設けることで、該金属酸化物膜と酸化物半導体層との界面及びその近傍への水素イオンの蓄積を抑制または防止することができる。

30

【 0 1 4 8 】

上記金属酸化物膜を好適に用いることのできる半導体層 4 0 3 と接する膜とは、図 4 のトランジスタ 1 6 2 においては絶縁層 1 3 0 とゲート絶縁層 1 4 6、図 8 のトランジスタ 4 1 0 及びトランジスタ 4 3 0 においてはゲート絶縁層 4 0 2 と絶縁層 4 0 7、トランジスタ 4 2 0 においてはゲート絶縁層 4 0 2 と絶縁層 4 2 7、トランジスタ 4 4 0 においては絶縁層 4 3 7 とゲート絶縁層 4 0 2 である。上記ゲート絶縁層 4 0 2、絶縁層 4 0 7、絶縁層 4 2 7、絶縁層 4 3 7 は積層構造でもよいが、その場合少なくとも半導体層 4 0 3 と接する膜は金属酸化物膜とすることが好ましい。

40

【 0 1 4 9 】

金属酸化物膜は、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどの材料を用いて形成する。また、13族元素および酸素を含む材料を用いて形成することもできる。13族元素および酸素を含む材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウムおよび酸化ガリウムアルミニウムのいずれか一または複数を含む材料などがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量 (原子%) よりアルミニウムの含有量 (原子%) が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量 (原子%) がアルミニウムの含有量 (原子%) 以上のものを示す。金属酸化物膜は、上述の材料を用いて、単層構造または積層構造で

50

形成することができる。

【0150】

なお、酸化物半導体層に用いられる酸化物半導体材料には、13族元素を含むものが多い。このため、13族元素および酸素を含む材料を用いて、酸化物半導体層と接する膜を形成すると、酸化物半導体層との界面の状態を良好に保つことができる。これは、13族元素および酸素を含む材料と、酸化物半導体材料との相性が良いことによる。

【0151】

例えば、ガリウムを含有する酸化物半導体層を形成する場合には、酸化ガリウムを含む材料を酸化物半導体層と接する膜に用いることで、酸化物半導体層と酸化物半導体層と接する膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と該絶縁膜の界面における水素のパイルアップを低減することができる。なお、酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。つまり、酸化アルミニウムなどを含む材料を用いて酸化物半導体層と接する膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

10

【0152】

なお、酸化物半導体層と接する膜に含まれる13族元素は、二種類以上であっても良い。例えば、上述のガリウムとアルミニウムを含有する酸化アルミニウムガリウム（または酸化ガリウムアルミニウム）などの材料を、酸化物半導体層と接する膜に用いても良い。この場合、ガリウムを含有することに起因する効果と、アルミニウムを含有することに起因する効果を合わせて得ることができるため、好適である。例えば、酸化物半導体層と酸化アルミニウムガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層への水の侵入を防ぎ、酸化物半導体層と絶縁膜の界面における水素のパイルアップを十分に低減することができる。

20

【0153】

また、酸化物半導体層と接する膜は、化学量論的組成比より酸素が多い領域を含むことが好ましい。これにより、酸化物半導体層に酸素を供給し、酸化物半導体層中、または酸化物半導体層と酸化物半導体層と接する膜の界面における酸素不足欠陥を低減することができる。

30

【0154】

なお、欠陥（酸素欠損）のない酸化物半導体を用いる場合であれば、酸化物半導体層と接する膜には、化学量論的組成に一致した量の酸素が含まれていれば良いが、トランジスタのしきい値電圧の変動を抑えるなどの信頼性を確保するためには、酸化物半導体層に酸素欠損の状態は生じ得ることを考慮して、酸化物半導体層と接する膜の酸素を化学量論的組成より多くしておくことが好ましい。

【0155】

酸化物半導体層と接する膜の構成の具体例を、トランジスタ440を用いて説明する。トランジスタ440において、酸化物半導体層である半導体層403と接する膜は、絶縁層437とゲート絶縁層402である。なお、半導体層403としてはIn-Ga-Zn-O膜を用いる。

40

【0156】

第1例としては、絶縁層437とゲート絶縁層402として酸化ガリウム（ Ga_2O_x （ $x = 3 +$ 、 $0 < \quad < 1$ ））膜を用いる例である。絶縁層437とゲート絶縁層402とを積層構造として半導体層403と接して酸化ガリウム（ Ga_2O_x （ $x = 3 +$ 、 $0 < \quad < 1$ ））膜を設け、さらにその外側に酸化ガリウム膜に接して酸化ガリウムアルミニウム（ $Ga_xAl_{2-x}O_3 + \quad$ （ $0 < x \leq 2$ 、 $0 < \quad < 1$ ））膜を設ける構成としてもよい。

【0157】

第2例としては、絶縁層437とゲート絶縁層402として酸化アルミニウム（ Al_2O

50

x ($x = 3 +$ 、 $0 < < 1$)膜を用いる例である。絶縁層437とゲート絶縁層402とのどちらか一方を、酸化ガリウム (Ga_2O_x ($x = 3 +$ 、 $0 < < 1$))膜としてもよい。

【0158】

第3例としては、絶縁層437とゲート絶縁層402として酸化ガリウムアルミニウム又は酸化アルミニウムガリウム ($\text{Ga}_x\text{Al}_{2-x}\text{O}_3$ ($0 < x < 2$ 、 $0 < < 1$))膜を用いる例である。絶縁層437とゲート絶縁層402とを積層構造として半導体層403と接して酸化ガリウムアルミニウム ($\text{Ga}_x\text{Al}_{2-x}\text{O}_3$ ($1 < x < 2$ 、 $0 < < 1$))膜を設け、さらにその外側に酸化アルミニウムガリウム ($\text{Ga}_x\text{Al}_{2-x}\text{O}_3$ ($0 < x < 1$ 、 $0 < < 1$))膜を設ける構成としてもよい。

10

【0159】

上記構成を用いることによって、半導体装置の信頼性を向上させることができる。

【0160】

酸化物半導体層を用いたトランジスタ410、420、430、440は、オフ状態における電流値 (オフ電流値) を低くすることができる。

【0161】

また、半導体層403として酸化物半導体層を用いたトランジスタ410、420、430、440は、比較的高い電界効果移動度が得られるため、高速駆動が可能である。

【0162】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【0163】

(実施の形態6)

本実施の形態は、トランジスタの半導体層として用いることのできる酸化物半導体層の作製方法の一例を説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0164】

本実施の形態の半導体層に用いる酸化物半導体は、 n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより I 型 (真性) の酸化物半導体、又は I 型 (真性) に限りなく近い酸化物半導体としたものである。すなわち、不純物を添加して I 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された I 型 (真性半導体) 又はそれに近づくことを特徴としている。そうすることにより、フェルミ準位 (E_f) を真性フェルミ準位 (E_i) と同じレベルにまですることができ、従って、トランジスタが有する酸化物半導体層は、高純度化及び電氣的に I 型 (真性) 化された酸化物半導体層である。

30

【0165】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく (ゼロに近い)、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

40

【0166】

酸化物半導体中にキャリアが極めて少ないため、トランジスタは、オフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。

【0167】

具体的には、上述の酸化物半導体層を具備するトランジスタは、オフ状態における電流値 (オフ電流値) を、室温 (25°C) でのオフ状態における電流値 (オフ電流値) (ここでは、単位チャネル幅 ($1 \mu\text{m}$) あたりの値) は 100 zA (1 zA (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは 10 zA 以下にまで低くすることができる。

【0168】

また、上述の酸化物半導体層を具備するトランジスタはオン電流の温度依存性がほとんど

50

見られず、オフ電流も非常に小さいままである。また、光劣化によるトランジスタ特性の変動も少ない。

【0169】

また、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜の成膜の前処理として、スパッタリング装置の予備加熱室で基板を予備加熱し、基板に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0170】

酸化物半導体膜は、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下とすればよい。

10

【0171】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、被形成面の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0172】

酸化物半導体膜に用いる酸化物半導体は、実施の形態5に示した四元系金属酸化物や、三元系金属酸化物や、二元系金属酸化物や、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。

20

【0173】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol比]の酸化物ターゲットを用い、In-Ga-Zn-O膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、In₂O₃:Ga₂O₃:ZnO=1:1:2[mol比]の酸化物ターゲットを用いてもよい。酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

30

【0174】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0175】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100℃以上600℃以下好ましくは200℃以上400℃以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

40

【0176】

50

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

【0177】

次いで、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0178】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N(関東化学社製)を用いてもよい。

【0179】

次いで、酸化物半導体層に脱水化または脱水素化のための加熱処理を行う。脱水化または脱水素化のための加熱処理の温度は、400以上750以下、または400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、酸化物半導体層への水や水素の再混入を防ぐため大気に触れないように保持して酸化物半導体層を得る。

【0180】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0181】

例えば、脱水化または脱水素化のための加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0182】

なお、脱水化または脱水素化のための加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0183】

また、脱水化または脱水素化のための加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下)を導入してもよい。酸素ガスまたはN₂Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又はN₂Oガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時

10

20

30

40

50

に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電氣的にI型（真性）化する。

【0184】

また、酸化物半導体層の脱水化または脱水素化のための加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、脱水化または脱水素化のための加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0185】

なお、図4に示すトランジスタ162の様なトップゲート型トランジスタの場合、脱水化または脱水素化のための加熱処理は、酸化物半導体層上にソース電極層及びドレイン電極層を形成した後に行ってもよい。

10

【0186】

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域（単結晶領域）、即ち、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3nm以上15nm以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450以上850以下、好ましくは550以上750以下の第1の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450以上850以下、好ましくは600以上700以下の第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。

20

【0187】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層に接する酸素を含む絶縁層を形成する。

【0188】

酸化物半導体層に接する絶縁層は、実施の形態5で示したような金属酸化物膜を用いることが好ましい。

30

【0189】

酸化物半導体層に接する絶縁層はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。よって、絶縁層を、成膜する際に用いる成膜ガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0190】

酸化物半導体層に接して絶縁層を形成した後に、酸化物半導体層と絶縁層とが接した状態で、加熱処理を行う。該加熱処理は、不活性ガス雰囲気下、または酸素ガス雰囲気下で加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うことができる。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

40

【0191】

以上の工程を経ることによって、酸化物半導体膜に対して加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。よって、酸化物半導体層は高純度化及び電氣的にI型（真性）化する。

【0192】

このように、本実施の形態を用いて作製した、高純度化された酸化物半導体層を含むトランジスタを用いることにより、オフ状態における電流値（オフ電流値）をより低くすることができる。

50

【0193】

また、高純度化された酸化物半導体層を含むトランジスタは、高い電界効果移動度が得られるため、高速駆動が可能である。

【0194】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0195】

(実施の形態7)

上記実施の形態2乃至4において、トランジスタの半導体層に用いることのできる他の材料の例を説明する。

10

【0196】

半導体素子が有する半導体層を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いた気相成長法やスパッタリング法で作製される非晶質(アモルファス、以下「AS」ともいう。)半導体、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いは微結晶半導体などを用いることができる。半導体層はスパッタリング法、LP-CVD法、またはプラズマCVD法等により成膜することができる。

【0197】

微結晶半導体膜は、周波数が数十MHz~数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。

20

【0198】

アモルファス半導体としては、代表的には水素化アモルファスシリコン、結晶性半導体としては代表的にはポリシリコンなどがあげられる。ポリシリコン(多結晶シリコン)には、800以上のプロセス温度を経て形成されるポリシリコンを主材料として用いた所謂高温ポリシリコンや、600以下のプロセス温度で形成されるポリシリコンを主材料として用いた所謂低温ポリシリコン、また結晶化を促進する元素などを用いて、非晶質シリコンを結晶化させたポリシリコンなどを含んでいる。もちろん、前述したように、微結晶半導体又は半導体層の一部に結晶相を含む半導体を用いることもできる。

30

【0199】

半導体層に、結晶性半導体膜を用いる場合、その結晶性半導体膜の作製方法は、種々の方法(レーザ結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する元素を用いた熱結晶化法等)を用いれば良い。また、SASである微結晶半導体をレーザ照射して結晶化し、結晶性を高めることもできる。結晶化を助長する元素を導入しない場合は、非晶質珪素膜にレーザ光を照射する前に、窒素雰囲気下500で1時間加熱することによって非晶質珪素膜の含有水素濃度を $1 \times 10^{20} \text{ atoms/cm}^3$ 以下にまで放出させる。これは水素を多く含んだ非晶質珪素膜にレーザ光を照射すると非晶質珪素膜が破壊されてしまうからである。

40

【0200】

非晶質半導体層への金属元素の導入の仕方としては、当該金属元素を非晶質半導体膜の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタリング法、CVD法、プラズマ処理法(プラズマCVD法も含む)、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体膜の表面の濡れ性を改善し、非晶質半導体膜の表面全体に水溶液を行き渡らせるため、酸素雰囲気中での

50

UV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

【0201】

また、非晶質半導体膜を結晶化し、結晶性半導体膜を形成する結晶化工程で、非晶質半導体膜に結晶化を促進する元素（触媒元素、金属元素とも示す）を添加し、熱処理（550～750 で3分～24時間）により結晶化を行ってもよい。結晶化を助長（促進）する元素としては、鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）及び金（Au）から選ばれた一種又は複数種類を用いることができる。

10

【0202】

結晶化を助長する元素を結晶性半導体膜から除去、又は軽減するため、結晶性半導体膜に接して、不純物元素を含む半導体膜を形成し、ゲッタリングシンクとして機能させる。不純物元素としては、n型を付与する不純物元素、p型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン（P）、窒素（N）、ヒ素（As）、アンチモン（Sb）、ビスマス（Bi）、ボロン（B）、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、Kr（クリプトン）、Xe（キセノン）から選ばれた一種または複数種を用いることができる。結晶化を促進する元素を含む結晶性半導体膜に、希ガス元素を含む半導体膜を形成し、熱処理（550～750 で3分～24時間）を行う。結晶性半導体膜中に含まれる結晶化を促進する元素は、希ガス元素を含む半導体膜中に移動し、結晶性半導体膜中の結晶化を促進する元素は除去、又は軽減される。その後、ゲッタリングシンクとなった希ガス元素を含む半導体膜を除去する。

20

【0203】

非晶質半導体膜の結晶化は、熱処理とレーザ光照射による結晶化を組み合わせてもよく、熱処理やレーザ光照射を単独で、複数回行っても良い。

【0204】

また、結晶性半導体膜を、直接基板にプラズマ法により形成しても良い。また、プラズマ法を用いて、結晶性半導体膜を選択的に基板に形成してもよい。

【0205】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

30

【0206】

（実施の形態8）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

40

【0207】

本実施の形態では、上記実施の形態のいずれか一で得られる電気的特性が良好で、信頼性の高いトランジスタを搭載した電子機器の例について図9を用いて説明する。

【0208】

図9（A）は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。なお、ノート型のパーソナルコンピュータは、上記実施の形態で示す導電層の接続構造を用いることで、良好な品質を有し、信頼性の高いノート型のパーソナルコンピュータが実現される。

【0209】

図9（B）は、携帯情報端末（PDA）であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の

50

付属品としてスタイラス 3022 がある。なお、携帯情報端末 (PDA) は、上記実施の形態で示す導電層の接続構造を用いることで、良好な品質を有し、信頼性の高い携帯情報端末 (PDA) が実現される。

【0210】

図 9 (C) は、本発明に係る半導体装置の一例である電子ペーパーを一部品として実装して作製した電子書籍である。図 9 (C) は、電子書籍の一例を示している。例えば、電子書籍 2700 は、筐体 2701 および筐体 2703 の 2 つの筐体で構成されている。筐体 2701 および筐体 2703 は、軸部 2711 により一体とされており、該軸部 2711 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

10

【0211】

筐体 2701 には表示部 2705 が組み込まれ、筐体 2703 には表示部 2707 が組み込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 9 (C) では表示部 2705) に文章を表示し、左側の表示部 (図 9 (C) では表示部 2707) に画像を表示することができる。

【0212】

また、図 9 (C) では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカー 2725などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

20

【0213】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0214】

図 9 (D) は、携帯電話であり、筐体 2800 及び筐体 2801 の二つの筐体で構成されている。筐体 2801 には、表示パネル 2802、スピーカー 2803、マイクロフォン 2804、ポインティングデバイス 2806、カメラ用レンズ 2807、外部接続端子 2808などを備えている。また、筐体 2801 には、携帯型情報端末の充電を行う太陽電池セル 2810、外部メモリスロット 2811などを備えている。また、アンテナは筐体 2801 内部に内蔵されている。なお、携帯電話は、上記実施の形態で示す導電層の接続構造を用いることで高信頼性を付与することができる。

30

【0215】

また、表示パネル 2802 はタッチパネルを備えており、図 9 (D) には映像表示されている複数の操作キー 2805 を点線で示している。なお、太陽電池セル 2810 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

40

【0216】

表示パネル 2802 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2802 と同一面上にカメラ用レンズ 2807 を備えているため、テレビ電話が可能である。スピーカー 2803 及びマイクロフォン 2804 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2800 と筐体 2801 は、スライドし、図 9 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0217】

外部接続端子 2808 は AC アダプタ及び USB ケーブルなどの各種ケーブルと接続可能

50

であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット2811に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。記録媒体として、実施の形態2又は実施の形態3に示す半導体装置を用いることができる。実施の形態2又は実施の形態3によれば、長期にわたり記憶内容を保持することが可能な高信頼性の半導体装置が得られる。

【0218】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0219】

図9(E)は、デジタルカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。なお、デジタルカメラは、上記実施の形態で示す導電層の接続構造を用いることで、良好な品質を有し、信頼性の高いデジタルカメラが実現される。

【0220】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、良好な品質を有する電子機器が実現される。

【実施例1】

【0221】

本実施例では、発明の一形態である半導体装置において用いることのできる導電層を作製し、走査電子顕微鏡(SEM; Scanning Electron Microscope)による観察と、走査透過電子顕微鏡(STEM: Scanning Transmission Electron Microscope)による観察を行った。図10(A)にSEM像(倍率6万倍)と図10(B)にSTEM像(10万倍)を示す。

【0222】

図10(B)は本実施例の導電層であり、図10(A)は図10(B)の導電層を形成する際に用いたレジストマスクである。

【0223】

レジストマスクはテーパ形状を有する形状に形成した後、180℃で2時間加熱処理することによって、図10(A)に示すような表面が曲面の、断面STEM像ではほぼ半球のレジストマスクとすることができた。なお、レジスト材料は、TSMR-8900MD2(東京応化工業株式会社製)を用いた。

【0224】

図10(A)に示すような表面が曲面のレジストマスクを用いて、窒化タンタル膜及びタングステン膜の積層構造からなる導電層をエッチング加工することによって、図10(B)に示すような曲面を有する導電層を形成することができた。

【0225】

本実施例では、導電層を、スパッタリング法を用いた窒化タンタル膜(膜厚30nm)とタングステン膜(膜厚370nm)の積層で形成し、第1のエッチング工程と第2のエッチング工程の2工程でエッチング工程を行った。第1のエッチング工程としては、エッチングガスとして四フッ化炭素(CF₄)、塩素(Cl₂)、及び酸素(O₂)(CF₄: Cl₂: O₂ = 60sccm: 50sccm: 45sccm)を用い、電源電力3000W、バイアス電力100W、圧力0.67Pa、基板温度-10℃で行った。第2のエッチング工程としては、エッチングガスとして塩素(Cl₂)(Cl₂ = 100sccm)を用い、電源電力2000W、バイアス電力50W、圧力0.67Pa、基板温度-10℃で行った。

【0226】

図10(B)の導電層は図10(A)のレジストマスクの形状を反映し、表面に鋭角な凹凸や段差を有さない曲面を有する導電層である。

【0227】

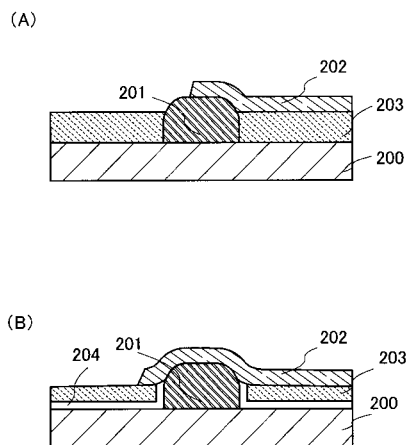
本実施例の図10(B)のような導電層であると、先端部は曲面なので積層する他の導電

層の被覆性を良好とすることができる。

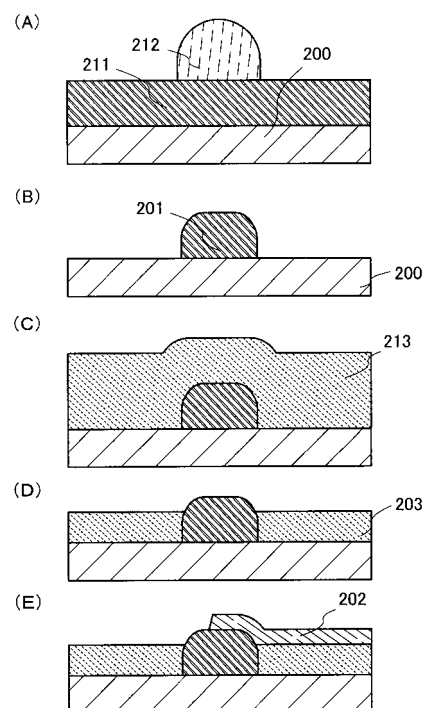
【 0 2 2 8 】

上層の導電層が下層の導電層上に被覆性よく形成されることによって、導電層同士の電氣的接続を確実に行うことができる。従って、生産時には膜の形状不良による特性不良を軽減することができるため歩留まりが向上し、半導体装置としても信頼性を高めることができる。

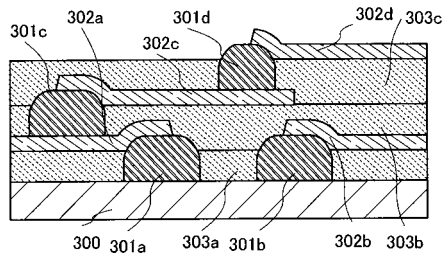
【 図 1 】



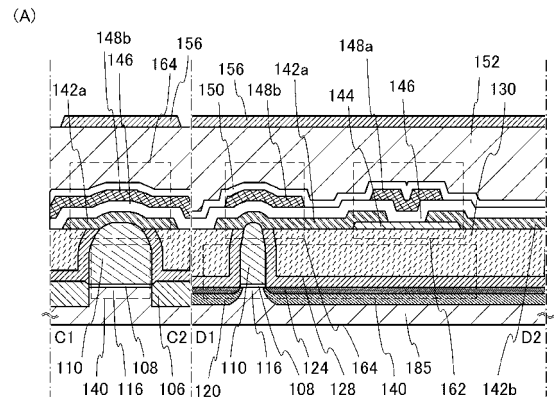
【 図 2 】



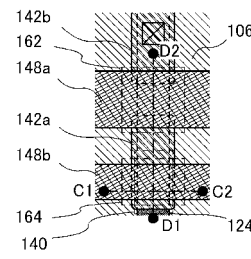
【図 3】



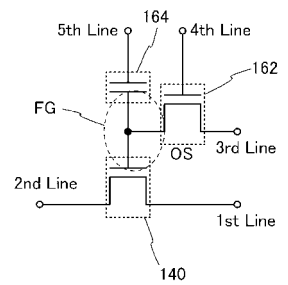
【図 4】



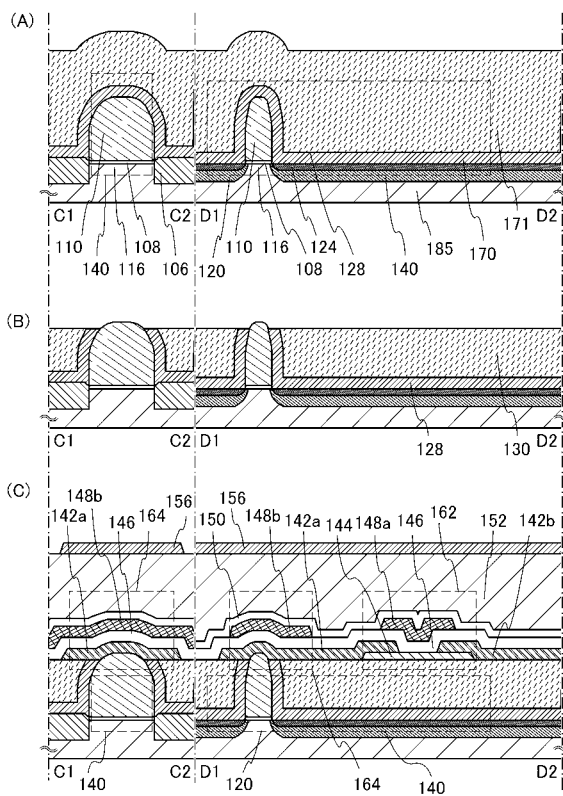
(B)



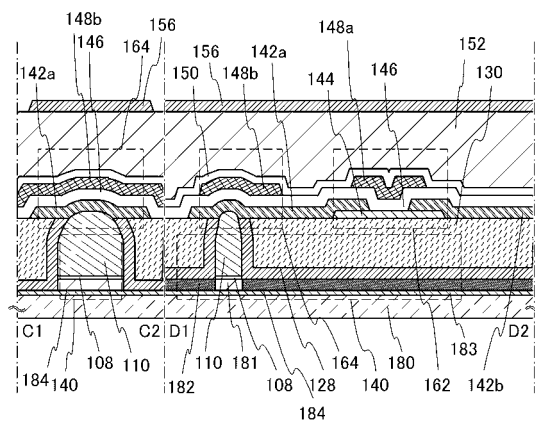
(C)



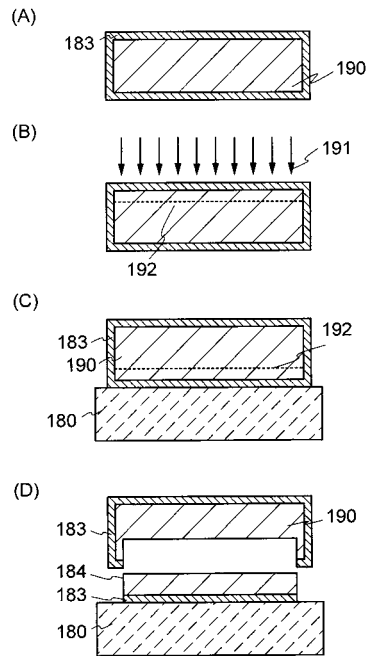
【図 5】



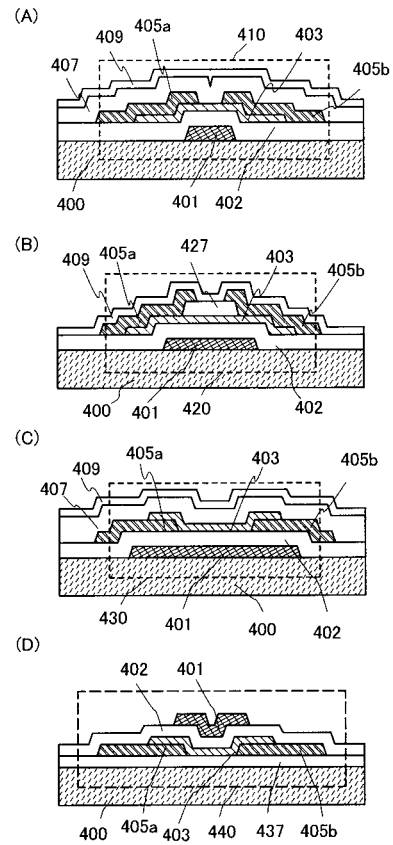
【図 6】



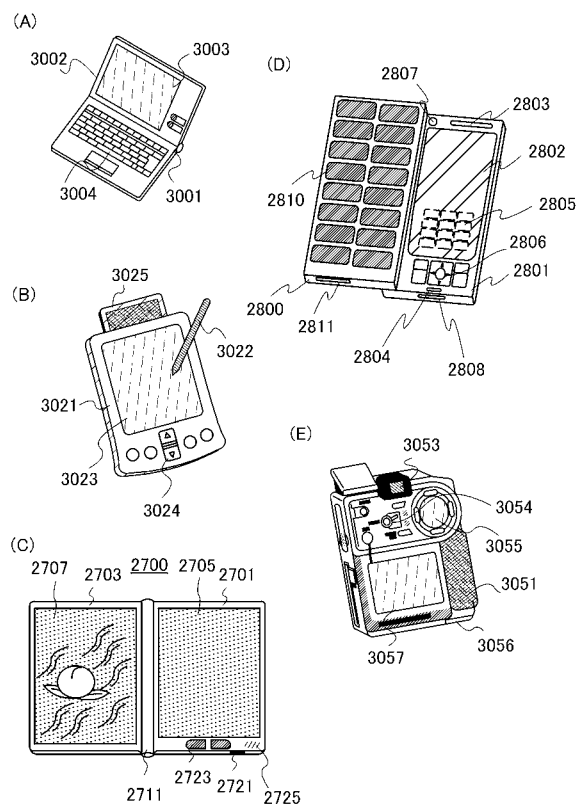
【図 7】



【図 8】

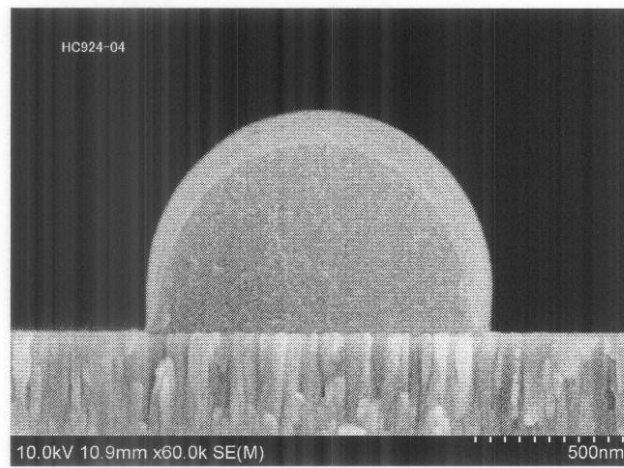


【図 9】

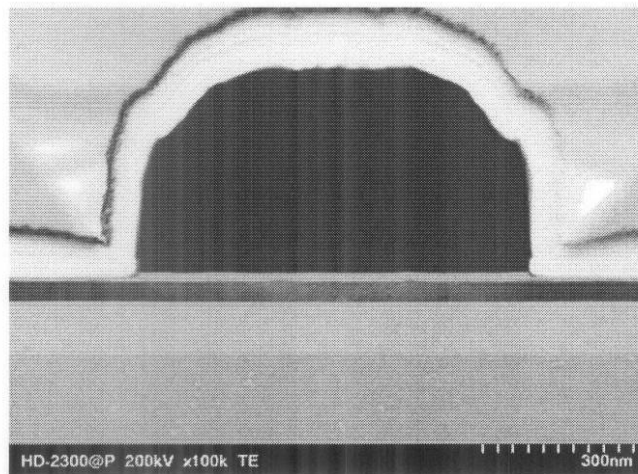


【図 10】

(A)



(B)



フロントページの続き

F ターム(参考) 5F033 GG01 GG03 HH07 HH08 HH09 HH11 HH17 HH18 HH19 HH20
HH21 HH33 JJ01 JJ07 JJ08 JJ11 JJ17 JJ18 JJ19 JJ20
JJ21 KK07 KK08 KK09 KK11 KK17 KK18 KK19 KK20 KK21
KK33 MM05 MM08 MM17 NN19 PP06 PP15 PP19 QQ08 QQ09
QQ48 RR03 RR04 RR05 RR06 RR07 RR08 RR21 RR22 SS08
SS15 SS21 XX02
5F110 AA04 AA26 BB01 BB06 BB11 CC01 CC02 CC03 CC05 CC07
DD01 DD02 DD03 DD04 DD05 DD13 DD14 DD15 DD17 EE02
EE03 EE04 EE06 EE14 EE22 EE28 EE30 EE31 EE36 EE43
EE44 EE45 FF01 FF02 FF03 FF04 FF09 FF28 FF30 FF36
GG01 GG02 GG03 GG04 GG05 GG06 GG07 GG12 GG13 GG14
GG15 GG17 GG25 GG28 GG35 GG43 GG45 GG47 GG57 GG58
HK01 HK02 HK03 HK04 HK06 HK07 HK21 HK22 HK32 HK33
HK34 HK35 HL02 HL03 HL04 HL06 HL23 HL24 HM03 NN03
NN04 NN12 NN22 NN23 NN24 NN27 NN33 NN34 NN35 NN36
NN72 NN74 PP01 PP02 PP03 PP10 PP29 PP34 PP35 QQ02
QQ03 QQ04 QQ06 QQ17 QQ19