

(43) 国際公開日
2006年3月23日 (23.03.2006)

PCT

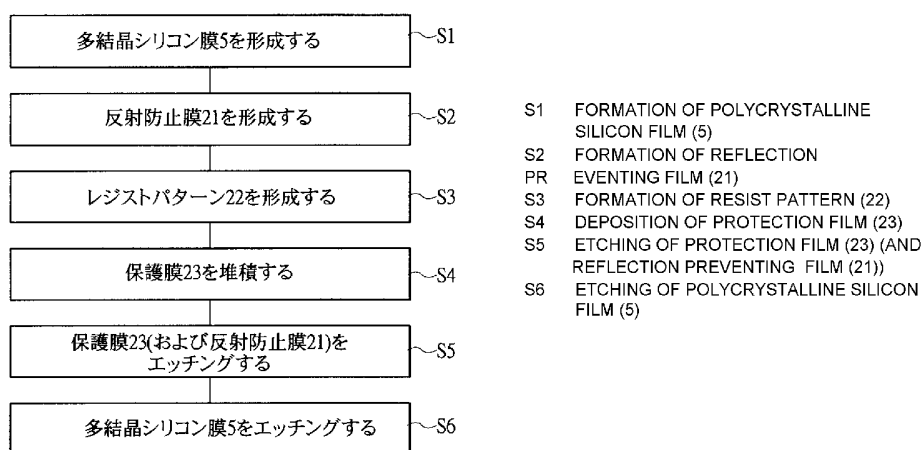
(10) 国際公開番号
WO 2006/030581 A1

- (51) 国際特許分類⁷: H01L 21/3065, 21/28, 21/3205, 21/768, 29/423, 29/78
- (21) 国際出願番号: PCT/JP2005/013230
- (22) 国際出願日: 2005年7月19日 (19.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-270670 2004年9月17日 (17.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 栗原 優 (KURIHARA, Masaru) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所 中央研究所内 Tokyo (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿8丁目1番1号アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: After forming a polycrystalline silicon film (5) on a semiconductor substrate through an insulating film to be used for a gate insulating film (step S1), an organic reflection preventing film (21) is formed on the polycrystalline silicon film (5) (step S2), and a resist pattern (22) is formed on the reflection preventing film (21) (step S3). Then, while applying a bias voltage on the semiconductor substrate, a protection film (23) is deposited on the reflection preventing film (21) to cover the resist pattern (22) by plasma using a fluorocarbon gas (step S4). Then, the protection film (23) and the reflection preventing film (21) are etched by plasma using a gas including oxygen gas (step S5). Using the resist pattern (22) having reduced roughness as an etching mask, the polycrystalline silicon film (5) is etched and a gate electrode is formed (step S6).

/ 続葉有 /



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 半導体基板上にゲート絶縁膜用の絶縁膜を介して多結晶シリコン膜(5)を形成(ステップS1)した後、多結晶シリコン膜(5)上に有機系の反射防止膜(21)を形成し(ステップS2)、反射防止膜(21)上にレジストパターン(22)を形成する(ステップS3)。それから、半導体基板にバイアス電圧を印加しながらフロロカーボン系のガスを用いたプラズマにより保護膜(23)をレジストパターン(22)を覆うように反射防止膜(21)上に堆積させる(ステップS4)。そして、酸素ガスを含むガスを用いたプラズマにより保護膜(23)および反射防止膜(21)をエッチングする(ステップS5)。その後、エッジラフネスが低減されたレジストパターン(22)をエッチングマスクとして用いて多結晶シリコン膜(5)をエッチングし、ゲート電極を形成する(ステップS6)。

明 細 書

半導体装置の製造方法

技術分野

- [0001] 本発明は、半導体装置の製造方法に関し、特に、レジストパターンをエッチングマスクとして用いて被加工層をエッチングする工程を有する半導体装置の製造方法に適用して有効な技術に関する。

背景技術

- [0002] 半導体装置におけるMISFETのゲート電極を形成する方法として、レジストパターンをエッチングマスクとして用いたドライエッチング方法がある。このドライエッチング方法は、真空容器内に導入したプロセスガスを、外部から印加した高周波電力によりプラズマ化し、プラズマ中で生成された反応性ラジカルやイオンをウエハ上で高精度に反応させることで、レジストに代表されるマスク材料やゲート絶縁膜に対し、被加工膜であるシリコン膜を選択的に加工する技術である。
- [0003] 特開2002-289592号公報(特許文献1)には、レジストの開口部の反射防止膜を、炭化水素のハロゲン置換体を成分として含むエッチングガスによりエッチングして除去する構成とし、これにより、炭化水素のハロゲン置換体の炭素成分が、反射防止膜のエッチングの際に、イオンの照射の少ないレジストの開口部の側壁、および反射防止膜がエッチングされた開口部の側壁に、炭素質の堆積物として形成され、側壁保護膜として働くので、エッチングによるレジストの開口部および反射防止膜の開口部の横方向への広がりを抑制して、反射防止膜を異方性エッチングすることができる技術が記載されている。
- [0004] また、特開2000-164571号公報(特許文献2)には、導電体層(半導体基板)上に絶縁膜(層間絶縁膜)を形成する工程と、絶縁膜上にレジストを成膜する工程と、レジストの露光・現像を行いレジストに開口を設ける工程と、レジストをマスクとして第1のエッチングを行い、レジスト表面にエッチングガスの反応物を堆積させながら絶縁膜の少なくとも一部を除去する工程と、エッチング条件の異なる第2のエッチングを行い、導電体層に達するコンタクトホールを開口する工程とを有するコンタクトホール形

成方法に関する技術が記載されている。

[0005] また、特開平10-4084号公報(特許文献3)には、第1工程で、基板上の金属系膜上にレジスト膜を形成した後、リソグラフィ技術によって該レジスト膜をパターンニングしてレジストパターンを形成し、第2工程で、フルオロカーボン系のガスを用いたプラズマ処理によって、レジストパターンの表面に保護膜を形成した後、第3工程で、保護膜を形成したレジストパターンをエッチングマスクに用いて、金属系膜をエッチングすることにより、異方性に優れたエッチングを達成する技術が記載されている。

[0006] また、特開平11-195641号公報(特許文献4)には、 SF_6 ガスを用いたエッチング工程と C_4F_8 を用いたデポジション工程を交互に複数回行い、酸化シリコンをマスクとして、シリコンの深い溝を高速にエッチングする技術が記載されている。

特許文献1:特開2002-289592号公報

特許文献2:特開2000-164571号公報

特許文献3:特開平10-4084号公報

特許文献4:特開平11-195641号公報

発明の開示

発明が解決しようとする課題

[0007] 本発明者の検討によれば、次のような問題があることを見出した。

[0008] 近年、半導体装置の小型化や高集積化の要求に伴い、半導体素子の微細化、例えばゲート電極などの微細化が要求されている。例えば90nmノード以降の高集積・高速ロジックデバイス製造工程において、配線幅が50nm以下の微細なゲート電極を形成するために、光源波長193nmのArFエキシマレーザを用いたリソグラフィ(ArFリソグラフィ)が用いられている。このArFリソグラフィ用レジストは、従来のKrFエキシマレーザを用いたリソグラフィ(KrFリソグラフィ)用レジストに比べ、その材質の強度低下による薄膜化、エッチング耐性の低下によるレジスト形状異常やレジスト選択比の低下、およびレジスト材質である有機ポリマー起因のエッジラフネスが問題となりやすい。

[0009] 図71～図75は、本発明の課題を説明するための説明図である。エッジラフネスとは、図71の平面図に示されるように、下地層101上に形成されたレジストパターン10

2を上部から観測した際の、レジストパターン102のパターンエッジの凹凸を指し、そのバラツキ(3σ)を指標とする。しかし、エッジラフネスは、レジスト材料のポリマーサイズのバラツキが原因とされるため、図72の断面図に示されるように、断面からレジストパターン102を見た場合にも、原理的にレジストパターン102の側壁に凹凸が見られる。また、図73に示されるように、フーリエ変換によりエッジラフネスを波長分析すると、さまざまな波長成分が含まれていることが分かる。レジストパターン102はゲート電極加工の際のエッチングマスクとして用いられるため、原理的にレジストパターン102のエッジラフネスはゲート電極に転写される。

[0010] レジストパターン102のエッジラフネスを反映して生じたゲート電極のエッジラフネスは、デバイス性能の低下、およびデバイス性能のばらつきによる生産性低下(製造歩留り低下)の原因となる。その影響は、エッジラフネスの波長の長さにより異なる。例えば、図74に示されるように、ゲート電極103に生じたエッジラフネスの波長(λ)が、半導体基板のソース/ドレインを形成するアクティブ領域104の大きさ(W_1)よりも小さい場合(すなわち $\lambda < W_1$ の場合)、ゲート長が短い箇所でリーク電流が増大してしまう。そのため待機電力が増大し、トランジスタ性能低下の原因のひとつとなる。また、図75に示されるように、ゲート電極103に生じたエッジラフネスの波長(λ)が、半導体基板のソース/ドレインを形成するアクティブ領域104の大きさ(W_1)よりも大きい場合(すなわち $\lambda > W_1$ の場合)、トランジスタ毎のゲート長がばらつき、それによってトランジスタ性能のばらつきが発生し、生産性低下(製造歩留り低下)の原因のひとつとなる。

[0011] このため、ゲート電極などのエッジラフネスを低減することが望まれる。例えば、90nmノードにおける配線幅37nmのゲート電極では、エッジラフネスは3nm以下であることが望まれる。また、ArFリソグラフィを用いて形成したレジストパターンを用いたゲート電極形成では、このエッジラフネスの低減技術が特に重要である。

[0012] また、特開2002-289592号公報や特開2000-164571号公報には、堆積性の保護膜を用いレジストパターンの寸法を制御する方法が記載されているが、これらの方法は、いずれもパターンの加工寸法を制御するものであって、エッジラフネスの低減は考慮されていない。

[0013] また、特開平10-4084号公報では、金属配線加工工程において、レジストパターンの表面に保護膜を形成し、その保護膜を形成したレジストパターンをエッチングマスクに用いて金属系膜をエッチングすることにより金属配線を形成しているが、この保護膜はエッチングマスクとして用いられるものであり、エッジラフネスの低減は考慮されていない。

[0014] また、特開平11-195641号公報では、酸化シリコンをマスクとして、アスペクト比の高いシリコンの溝の加工において、デポジション工程による保護膜の形成と、エッチング工程によるシリコンの加工を交互に複数回行うことにより、高速にシリコンをエッチングする方法が記載されているが、この保護膜はマスクとなる酸化シリコンの保護、およびシリコンのアンダーカットという異常形状を抑制するための保護膜であり、エッジラフネスの低減は考慮されていない。

[0015] 本発明の目的は、半導体装置の性能を向上させることができる技術を提供することにある。

[0016] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0017] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0018] 本発明は、被加工層を有する半導体基板の前記被加工層上にレジストパターンを形成する工程と、前記被加工層上に前記レジストパターンを覆うように第1材料膜を形成する工程と、前記第1材料膜の少なくとも一部を除去する工程と、その後、前記レジストパターンおよび前記第1材料膜の残存部分をエッチングマスクとして前記被加工層をエッチングする工程とを有するものである。

発明の効果

[0019] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0020] 半導体装置の性能を向上させることができる。

図面の簡単な説明

- [0021] [図1]本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。
- [図2]図1に続く半導体装置の製造工程中における要部断面図である。
- [図3]図2に続く半導体装置の製造工程中における要部断面図である。
- [図4]図3に続く半導体装置の製造工程中における要部断面図である。
- [図5]図4に続く半導体装置の製造工程中における要部断面図である。
- [図6]図5に続く半導体装置の製造工程中における要部断面図である。
- [図7]本発明の実施の形態1のゲート電極形成工程の工程フロー図である。
- [図8]本発明の実施の形態1のゲート電極形成工程中の要部断面図および要部平面図である。
- [図9]図8に続くゲート電極形成工程中の要部断面図および要部平面図である。
- [図10]図9に続くゲート電極形成工程中の要部断面図および要部平面図である。
- [図11]図10に続くゲート電極形成工程中の要部断面図および要部平面図である。
- [図12]保護膜の堆積工程で半導体基板(ウエハ)にバイアス電圧を印加しなかった場合の説明図である。
- [図13]保護膜の堆積工程で半導体基板(ウエハ)にバイアス電圧を印加した場合の説明図である。
- [図14]保護膜の堆積工程で半導体基板(ウエハ)にバイアス電圧を印加した場合の説明図である。
- [図15]第1の比較例のゲート電極形成工程中の要部断面図である。
- [図16]図15に続くゲート電極形成工程中の要部断面図である。
- [図17]図16に続くゲート電極形成工程中の要部断面図である。
- [図18]第1の比較例において、反射防止膜がエッチングされるとともにレジストパターンもエッチングされて細線化される様子を模式的に示す説明図である。
- [図19]第1の比較例におけるレジストパターンの初期寸法からの変化量とレジストパターンのエッジラフネスとの関係を示すグラフである。
- [図20]本実施の形態において、レジストパターンを形成した後、保護膜の堆積を行ってから、保護膜と反射防止膜をエッチングしてレジストパターンが細線化される様子を模式的に示す説明図である。

[図21]本実施の形態におけるレジストパターンの初期寸法からの変化量とレジストパターンのエッジラフネスとの関係を示すグラフである。

[図22]半導体装置の製造工程中の半導体基板の温度分布の一例を示すグラフである。

[図23]半導体装置の製造工程中の半導体基板の温度分布の一例を示すグラフである。

[図24]半導体装置の製造工程中の半導体基板の温度分布の一例を示すグラフである。

[図25]レジストパターン形成工程、保護膜堆積工程、保護膜および反射防止膜のエッチング工程、および多結晶シリコン膜のエッチング工程における、ゲート長と処理レートとの半導体基板の面内分布を示すグラフである。

[図26]本発明の実施の形態4のゲート電極形成工程の工程フロー図である。

[図27]本発明の実施の形態4のゲート電極形成工程中の要部断面図である。

[図28]図27に続くゲート電極形成工程中の要部断面図である。

[図29]図28に続くゲート電極形成工程中の要部断面図である。

[図30]図29に続くゲート電極形成工程中の要部断面図である。

[図31]図30に続くゲート電極形成工程中の要部断面図である。

[図32]本発明の実施の形態5のゲート電極形成工程の工程フロー図である。

[図33]本発明の実施の形態5のゲート電極形成工程中の要部断面図である。

[図34]図33に続くゲート電極形成工程中の要部断面図である。

[図35]図34に続くゲート電極形成工程中の要部断面図である。

[図36]図35に続くゲート電極形成工程中の要部断面図である。

[図37]本発明の実施の形態6のゲート電極形成工程の工程フロー図である。

[図38]本発明の実施の形態6のゲート電極形成工程中の要部断面図である。

[図39]図38に続くゲート電極形成工程中の要部断面図である。

[図40]図39に続くゲート電極形成工程中の要部断面図である。

[図41]図40に続くゲート電極形成工程中の要部断面図である。

[図42]図41に続くゲート電極形成工程中の要部断面図である。

- [図43]図42に続くゲート電極形成工程中の要部断面図である。
- [図44]本発明の実施の形態7のゲート電極形成工程の工程フロー図である。
- [図45]本発明の実施の形態7のゲート電極形成工程中の要部断面図である。
- [図46]図45に続くゲート電極形成工程中の要部断面図である。
- [図47]図46に続くゲート電極形成工程中の要部断面図である。
- [図48]図47に続くゲート電極形成工程中の要部断面図である。
- [図49]本発明の実施の形態8の素子分離溝形成工程の工程フロー図である。
- [図50]本発明の実施の形態8の素子分離溝形成工程中の要部断面図である。
- [図51]図50に続く素子分離溝形成工程中の要部断面図である。
- [図52]図51に続く素子分離溝形成工程中の要部断面図である。
- [図53]図52に続く素子分離溝形成工程中の要部断面図である。
- [図54]図53に続く素子分離溝形成工程中の要部断面図である。
- [図55]本発明の実施の形態9の配線形成工程の工程フロー図である。
- [図56]本発明の実施の形態9の配線形成工程中の要部断面図である。
- [図57]図56に続く配線形成工程中の要部断面図である。
- [図58]図57に続く配線形成工程中の要部断面図である。
- [図59]図58に続く配線形成工程中の要部断面図である。
- [図60]本発明の実施の形態10の開口部形成工程の工程フロー図である。
- [図61]本発明の実施の形態10の開口部形成工程中の要部断面図である。
- [図62]図61に続く開口部形成工程中の要部断面図である。
- [図63]図62に続く開口部形成工程中の要部断面図である。
- [図64]図63に続く開口部形成工程中の要部断面図である。
- [図65]本発明の実施の形態11の半導体装置の製造工程中の要部断面図である。
- [図66]図65に続く半導体装置の製造工程における要部断面図である。
- [図67]図66に続く半導体装置の製造工程における要部断面図である。
- [図68]図67に続く半導体装置の製造工程における要部断面図である。
- [図69]図68に続く半導体装置の製造工程における要部断面図である。
- [図70]図69に続く半導体装置の製造工程における要部断面図である。

[図71]本発明の課題の説明図である。

[図72]本発明の課題の説明図である。

[図73]本発明の課題の説明図である。

[図74]本発明の課題の説明図である。

[図75]本発明の課題の説明図である。

発明を実施するための最良の形態

[0022] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0023] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

[0024] (実施の形態1)

本実施の形態の半導体装置の製造工程を図面を参照して説明する。図1～図6は、本発明の一実施の形態である半導体装置、例えばMISFET (Metal Insulator Semiconductor Field Effect Transistor)、の製造工程中の要部断面図である。

[0025] 図1に示されるように、例えば $1\sim 10\ \Omega\text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)1を準備し、半導体基板1の主面に素子分離領域2を形成する。素子分離領域2は、例えば半導体基板1に形成された素子分離溝2aに埋め込まれた酸化シリコン膜などの絶縁膜からなり、例えばSTI (Shallow Trench Isolation) 法などにより形成することができる。また、素子分離領域2をLOC OS (Local Oxidization of Silicon) 法などにより形成することもできる。

[0026] 次に、半導体基板1のnチャネル型MISFETを形成する領域にp型ウエル3を形成する。p型ウエル3は、例えばホウ素(B)などのp型の不純物をイオン注入することなどによって形成される。

[0027] 次に、p型ウエル3の表面にゲート絶縁膜形成用の絶縁膜4aを形成する。絶縁膜4aは、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成する

ことができる。また、ゲート絶縁膜形成用の絶縁膜4aとして、酸化窒化シリコン膜を用いることもできる。また、ゲート絶縁膜形成用の絶縁膜4aとして、例えば、酸化ハフニウム(HfO_2)、ハフニウムアルミネート(HfAlO_x)、ハフニウムシリケート(HfSiO_x)、ジルコニア(酸化ジルコニウム)、ジルコニウムアルミネート(ZrAlO_x)、ジルコニウムシリケート(ZrSiO_x)、酸化ランタン(La_2O_3)、ランタンシリケート(LaSiO_x)などのいわゆる High-k 膜(高誘電率膜)などを用いることもできる。

[0028] 次に、p型ウエル3の絶縁膜4a上にゲート電極5aを形成する。例えば次のようにしてゲート電極5aを形成することができる。

[0029] まず、図2に示されるように、半導体基板1上に、すなわち絶縁膜4a上に、例えばCVD(Chemical Vapor Deposition)法などにより、ゲート電極形成用の導電体膜である多結晶シリコン膜(シリコン膜、ドーパトポリシリコン膜)5を形成する。多結晶シリコン膜5はリン(P)などのn型の不純物をドーパ(導入)した多結晶シリコン膜であることが好ましい。n型の不純物は、例えば、多結晶シリコン膜5の成膜後にイオン注入などによって多結晶シリコン膜5中に導入することができるが、多結晶シリコン膜5の成膜ガスを調整することにより多結晶シリコン膜5の成膜工程中に導入してもよい。多結晶シリコン膜5の代わりにアモルファスシリコン膜を用いることも可能であり、その場合、形成したアモルファスシリコン膜は、その後の種々の高温工程(例えばイオン注入した不純物の活性化アニール工程など)により、多結晶シリコン膜になり得る。

[0030] それから、図3に示されるように、フォトリソグラフィ技術およびドライエッチング技術を用いてこの多結晶シリコン膜5をパターニングすることにより、パターニングされた多結晶シリコン膜5からなるゲート電極5aが、p型ウエル3の表面に絶縁膜4aを介して形成される。ゲート電極5aの下に絶縁膜4aが、MISFETのゲート絶縁膜4となる。このゲート電極5aの形成工程については、後でより詳細に説明する。

[0031] 次に、図4に示されるように、p型ウエル3のゲート電極5aの両側の領域にリン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより、(一対の)n⁻型半導体領域6を形成する。

[0032] 次に、ゲート電極5aの側壁上に、例えば酸化シリコンまたは窒化シリコンあるいはそれらの積層膜などからなる側壁スペーサまたはサイドウォール7を形成する。サイドウ

オール7は、例えば、半導体基板1上に酸化シリコン膜(または窒化シリコン膜あるいはそれらの積層膜)を堆積し、この酸化シリコン膜(または窒化シリコン膜あるいはそれらの積層膜)を異方性エッチングすることによって形成することができる。

[0033] サイドウォール7の形成後、(一対の) n^+ 型半導体領域8(ソース、ドレイン)を、例えば、p型ウェル3のゲート電極5aおよびサイドウォール7の両側の領域にリン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより形成する。イオン注入後、導入した不純物の活性化のためのアニール処理(熱処理)を行うこともできる。 n^+ 型半導体領域8は、 n^- 型半導体領域6よりも不純物濃度が高い。これにより、nチャネル型MISFETのソースまたはドレインとして機能するn型の半導体領域(不純物拡散層)が、 n^+ 型半導体領域8および n^- 型半導体領域6により形成される。

[0034] 次に、図5に示されるように、ゲート電極5aおよび n^+ 型半導体領域8の表面を露出させ、例えばコバルト(Co)膜を堆積して熱処理することによって、ゲート電極5aと n^+ 型半導体領域8との表面に、それぞれ金属シリサイド膜(例えばコバルトシリサイド(CoSi₂)膜)9を形成する。これにより、 n^+ 型半導体領域8などの拡散抵抗と、コンタクト抵抗とを低抵抗化することができる。その後、未反応のコバルト膜は除去する。図5には、未反応のコバルト膜を除去した状態が示されている。

[0035] このようにして、p型ウェル3にnチャネル型のMISFET(Metal Insulator Semiconductor Field Effect Transistor)10が形成される。なお、n型とp型の導電型を逆にして、pチャネル型のMISFETを形成することもできる。

[0036] 次に、図6に示されるように、半導体基板1上に、ゲート電極5aを覆うように、絶縁膜(層間絶縁膜)11を例えばCVD法などを用いて形成する。絶縁膜11の形成後、必要に応じてCMP(Chemical Mechanical Polishing)処理などを行って絶縁膜11の表面を平坦化する。絶縁膜11は、例えば相対的に薄い窒化シリコン膜11aとその上の相対的に厚い酸化シリコン膜11bとからなり、下層側の窒化シリコン膜11aは、後述するコンタクトホール12形成時のエッチングストップ膜として機能することができる。また、絶縁膜11として、酸化シリコン膜などの単体膜を用いることもできる。

[0037] 次に、フォトリソグラフィ法を用いて絶縁膜11上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして、絶縁膜11をドライエッチングすることにより、 n^+

型半導体領域(ソース、ドレイン)8の上部などにコンタクトホール(開口部)12を形成する。コンタクトホール12の底部では、半導体基板1の主面の一部、例えば n^+ 型半導体領域8(の表面上のシリサイド膜9)の一部、やゲート電極5a(の表面上のシリサイド膜9)の一部などが露出される。

[0038] 次に、コンタクトホール12内に、タングステン(W)などからなるプラグ13を形成する。プラグ13は、例えば、コンタクトホール12の内部を含む絶縁膜11上にバリア膜(例えば窒化チタン膜)13aを形成した後、タングステン膜をCVD法などによってバリア膜13a上にコンタクトホール12を埋めるように形成し、絶縁膜11上の不要なタングステン膜およびバリア膜13aをCMP法またはエッチバック法などによって除去することにより形成することができる。

[0039] 次に、プラグ13が埋め込まれた絶縁膜11上に、配線(第1配線層)14を形成する。例えば、チタン膜14a、窒化チタン膜14b、アルミニウム膜14c、チタン膜14dおよび窒化チタン膜14eをスパッタリング法などによって順に形成し、フォトリソグラフィ法およびドライエッチング法などを用いてパターニングすることで、配線14を形成することができる。アルミニウム膜14cは、アルミニウム(Al)単体またはアルミニウム合金などのアルミニウムを主成分とする導電体膜である。配線14はプラグ13を介して、 n チャネル型のMISFET10のソースまたはドレイン用の n^+ 型半導体領域8やゲート電極5aなどと電氣的に接続される。配線14は、上記のようなアルミニウム配線に限定されず種々変更可能であり、例えばタングステン配線や銅配線(例えばダマシン法で形成した埋込銅配線)とすることもできる。その後、更に層間絶縁膜や上層の配線層などが形成されるが、ここではその説明は省略する。第2層配線以降はダマシン法により形成した埋込銅配線とすることもできる。

[0040] 次に、本実施の形態の半導体装置の製造工程におけるゲート電極5aの形成工程についてより詳細に説明する。図7は、ゲート電極5aの形成工程の工程フロー図(説明図)である。図8～図11は、本実施の形態の半導体装置の製造工程中の要部断面図および要部平面図(要部上面図)であり、ゲート電極5a形成(加工)工程中のゲート電極近傍領域の要部断面図および要部平面図(上面図)が示されている。図8～図11のうち、(a)が断面図に対応し、(b)が平面図(上面図)に対応する。図8(b)の

A-A線の断面が図8(a)に対応し、図9(b)のA-A線の断面が図9(a)に対応し、図10(b)のA-A線の断面が図10(a)に対応し、図11(b)のA-A線の断面が図11(a)に対応する。

- [0041] ゲート電極5aを形成するには、まず、上記のように半導体基板1(p型ウェル3)上にゲート絶縁膜用の絶縁膜4aを介して多結晶シリコン膜5を形成(ステップS1)した後、図8に示されるように、多結晶シリコン膜5上に有機系の反射防止膜21を形成する(ステップS2)。反射防止膜21は、露光用のレーザの反射干渉による異常パターン形成を抑制するために形成され、炭素を含有する有機材料(有機系の絶縁膜)からなる。それから、反射防止膜21上にフォトレジスト層を形成し、このフォトレジスト層を露光し(ここでは光源波長193nmのArFエキシマレーザを用いた露光を行う)、現像することにより、すなわちリソグラフィ(フォトリソグラフィ)技術を用いることにより、レジストパターン(フォトレジストパターン)22を形成する(ステップS3)。レジストパターン22は、ArFリソグラフィ(ArFエキシマレーザを用いて露光を行うリソグラフィ技術)対応のレジストパターンである。
- [0042] このような膜構造を、保護膜23を堆積(形成)する工程(ステップS4)、保護膜23(および反射防止膜21)をエッチングする工程(ステップS5)、および多結晶シリコン膜5をエッチングする工程(ステップS6)を行うことにより加工し、ゲート電極5aを形成する。ステップS4～S6を行うための半導体製造としては、例えばUHF-ECRエッチング装置(ゲートエッチング装置)を使用することができる。ステップS4～S6について、以下で詳細に説明する。
- [0043] ステップS3でレジストパターン22を形成した後、図9に示されるように、ステップS4で、反射防止膜21上に、レジストパターン22を覆うように、保護膜23を堆積(形成)する。保護膜23は炭素を含有し、ステップS4においてフロロカーボン(フルオロカーボン)系のガス(例えば CHF_3 ガス)を含むガスを用いたプラズマにより形成される。例えば、上記UHF-ECRエッチング装置を用い、例えば次のような条件 A_1 でステップS4の保護膜23の堆積工程を行うことができる。
- [0044] 条件 A_1 : UHFパワー=800W、ウェハバイアス(半導体基板(半導体ウェハ)1に印加するバイアス電力またはバイアス電圧)=10W、 CHF_3 ガス流量=50sccm。

- [0045] このステップS4により、図9に示されるように、レジストパターン22を覆うように均一な保護膜23を形成することができる。本実施の形態では、半導体基板1(ウエハ)にバイアス電圧を印加しながらステップS4の保護膜23の堆積工程を行う。
- [0046] 図12は、ステップS4の保護膜23の堆積工程で半導体基板1(ウエハ)にバイアス電圧を印加しなかった場合の説明図であり、図13および図14は、ステップS4の保護膜23の堆積工程で本実施の形態のように半導体基板1(ウエハ)にバイアス電圧を印加した場合の説明図である。なお、図12の上段側の(a)には概念的な要部断面図が示され、図12の下段側の(b)には概念的な要部平面図が示されている。また、図13には概念的な要部断面図が示されている。また、図14の上段側の(a)には概念的な要部断面図が示され、図12の下段側の(b)には概念的な要部平面図が示されている。
- [0047] ステップS4において半導体基板1にバイアス電圧を印加しなかった場合には、図12に示されるように、レジストパターン22の形状を反映した形で保護膜23が堆積するため、レジストパターン22のエッジラフネスを反映した形状が保護膜23の表面に現れてしまい、エッジラフネスはほとんど減少しない。しかしながら、本実施の形態のように、ステップS4において半導体基板1にバイアス電圧を印加した場合、高エネルギーイオンが半導体基板1に入射するため、次の2つの作用(第1の作用および第2の作用)によりエッジラフネスを低減することが可能となる。
- [0048] 第1の作用(効果)は、入射イオンによるエッジラフネスの凸部の選択的なエッチングである。これは、図13に示されるように、パターン側壁の凸部が、プラズマから入射するイオン20に直接さらされるために、選択的にエッチングされるメカニズムである。これにより、半導体基板に垂直な方向のレジストパターンのラフネス(レジストパターン22を覆う保護膜23の表面のラフネス)は低減される。
- [0049] 第2の作用(効果)は、図14に示されるように、レジストパターン22の上部に堆積した保護膜23が、イオン20により加熱されて流動性が増し、エッジラフネスの凹部を埋めるメカニズムである。特にこの第2の作用のメカニズムにより、保護膜23を堆積したレジストパターン22のエッジラフネス(すなわちレジストパターン22を覆う保護膜23の表面のラフネス)が低減する。

- [0050] このように、本実施の形態では、半導体基板1にバイアス電圧を印加しながらステップS4の保護膜23の堆積工程を行うことにより、レジストパターン22のエッジラフネスを反映した形状が保護膜23の表面に現れにくくなり、レジストパターン22形成時におけるレジストパターン22自身のエッジラフネスに比較して、保護膜23堆積時におけるレジストパターン22を覆う保護膜23の表面のエッジラフネスを低減することができ、レジストパターン22とその表面の保護膜23とを合わせたパターンのエッジラフネスを低減することができる。
- [0051] また、ステップS4の保護膜23の堆積工程で用いるガス(プロセスガス)には、フロロカーボン系のガス(すなわち $C_xH_yF_z$ ガス)を用い、 $C_xH_yF_z$ ($x=1\sim 10$, $y=0\sim 10$, $z=1\sim 10$)であれば好ましく、 CH_2F_2 ガスまたは CHF_3 ガスであればより好ましく、 CHF_3 ガスが最も好ましい。 $C_xH_yF_z$ ガスにおける炭素(C)元素や水素(H)元素の比率が高すぎると、堆積性が高くなり過ぎて保護膜23が不均一に堆積しやすくなるが、より好ましくは CH_2F_2 ガスまたは CHF_3 ガス、最も好ましくは CHF_3 ガスを用いて保護膜23を堆積させることで、保護膜23をより均一に堆積させることが可能になる。
- [0052] また、ステップS4において、半導体基板1(ウエハ)を配置した処理室(チャンバ)の圧力は、3Pa以下であることが好ましく、0.5Pa以下であることがより好ましい。圧力が3Paよりも大きい場合、保護膜23が不均一に堆積しやすくなるが、好ましくは3Pa以下、より好ましくは0.5Pa以下の圧力でステップS4の保護膜23の堆積工程を行うことで、保護膜23をより均一に堆積させることが可能になる。本実施の形態では、例えば0.2Paの圧力でステップS4の保護膜23の堆積を行う。
- [0053] ステップS4で保護膜23を堆積させた後、ステップS5で保護膜23をエッチング(除去)する。ステップS5の保護膜23のエッチング工程では、 O_2 (酸素)ガスを含むガスを用い、例えばArガスとHBrガスと O_2 ガスとの混合ガスを用いる。これらのガスをプラズマ化して保護膜23をエッチング(プラズマエッチング、ドライエッチング)する。すなわち、酸素ガスを含むガスを用いたプラズマにより、保護膜23をエッチングする。例えば、上記UHF-ECRエッチング装置を用い、例えば次のような条件 B_1 でステップS5の保護膜23のエッチング工程を行うことができる。
- [0054] 条件 B_1 : UHFパワー=900W、ウエハバイアス(半導体基板1に印加するバイアス

電力またはバイアス電圧) = 10W、Arガスの流量 = 200sccm、HBrガスの流量 = 60sccm、 O_2 ガスの流量 = 30sccm。

- [0055] 本実施形態では、反射防止膜21として有機系の反射防止膜を用いているので、酸素ガスを含むガスを用いたプラズマによるステップS5の保護膜23のエッチング工程で、反射防止膜21もエッチング(除去)され得る。従って、ステップS5により、図10に示されるように、炭素を含む保護膜23と有機系の反射防止膜21をエッチングすることができる。なお、ステップS5では、レジストパターン22は反射防止膜21のエッチングマスクとして機能し得るので、レジストパターン22の下部の反射防止膜21は残存し、レジストパターン22に覆われていない領域の反射防止膜21が選択的にエッチングされて除去される。
- [0056] また、本実施の形態では、半導体基板1(ウエハ)にバイアス電圧(ウエハバイアス)を印加しながらステップS5の保護膜23(および反射防止膜21)のエッチング工程を行う。このため、ステップS5では、上記第1の作用のように、レジストパターン22を覆う保護膜23表面のエッジラフネスの凸部が入射イオンにより選択的にエッチングされるので、保護膜23のエッチングの進行とともにエッジラフネス(レジストパターン22を覆う保護膜23の表面のラフネス)は低減していく。従って、ステップS4の保護膜23の堆積直後のエッジラフネス(レジストパターン22を覆う保護膜23の表面のラフネス)よりも、ステップS5の保護膜23のエッチング工程後のエッジラフネスを低減することができる。
- [0057] また、ステップS5ではプロセスガスに酸素(O_2)ガスを含むため、保護膜23が除去されてレジストパターン22が露出した場合、このレジストパターン22もエッチングされ得る。これにより、レジストパターン22は細線化される。この際、上記第1の作用により、エッジラフネスの凸部が入射イオンにより選択的にエッチングされるので、更にレジストパターン22のエッジラフネスを低減することができる。
- [0058] 本実施の形態においては、保護膜23の堆積工程(ステップS4)と除去工程(ステップS5)を別々に行うエッチングを例として取り上げたが、保護膜23の堆積工程と除去工程を交互に複数回行った場合にも同様にエッジラフネスを低減する効果が得られる。この場合、ステップS5の条件 B_1 は、保護膜23とレジストパターン22をエッチング

するのであり、また保護膜23と多結晶シリコン膜5とのエッチング選択比が十分に高いため、多結晶シリコン膜5のエッチングが進行することは無い。また、特開平11-195641号公報(上記特許文献4)には、 C_4F_8 を用いた堆積工程と SF_6 を用いたエッチング工程を交互に行うことにより、マスクとなる酸化シリコンを保護しつつ、シリコンを高速にエッチングする技術が記載されている。このように特開平11-195641号公報の技術は、酸化シリコンマスクの下層にあるシリコンをエッチングする際に、 C_4F_8 を用いた堆積工程と SF_6 を用いたエッチング工程を交互に行うものであり、本実施の形態のように、レジストパターン22および反射防止膜21より下層の多結晶シリコン膜5をエッチングすることなく、保護膜23の堆積工程と除去工程を交互に複数回行い、レジストパターン22のエッジラフネスを低減する技術とは本質的に異なり、特開平11-195641号公報の技術には、エッジラフネスの低減効果は得られない。本実施の形態では、レジストパターン22に保護膜23を堆積する工程とそれを除去する工程により、エッジラフネスを低減する効果を得られるが、保護膜23の堆積工程とそれを除去する工程を交互に複数回行うことにより、さらにエッジラフネスを低減する効果が得られる。

[0059] また、ステップS5において、半導体基板1を配置した処理室(チャンバ)の圧力は、2Pa以上であることが好ましく、10Pa以上であることがより好ましい。圧力が2Paよりも小さい場合、疎パターンと密パターンとでエッチングレートに差が生じやすくなるが、好ましくは2Pa以上、より好ましくは10Pa以上の圧力でステップS5の保護膜23と反射防止膜21のエッチング工程を行うことで、疎パターンと密パターンとでエッチングレートに差が生じるのを防止でき、半導体基板1の面内でより均一なエッチングレートで保護膜23と反射防止膜21のエッチングを行うことが可能になる。本実施の形態では、例えば10Paの圧力でステップS5の保護膜23と反射防止膜21のエッチングを行う。

[0060] ステップS5で保護膜23と反射防止膜21をエッチングした後、図11に示されるように、ステップS6において、エッジラフネスが低減されたレジストパターン22をエッチングマスクとして用いて多結晶シリコン膜5をエッチング(除去)する。

[0061] ステップS6の多結晶シリコン膜5のエッチング工程では、例えば Cl_2 (塩素)ガスとH

Brガスと O_2 (酸素)ガスとの混合ガスを用いる。これらのガスをプラズマ化して多結晶シリコン膜5をエッチングする。すなわち、多結晶シリコン膜5をプラズマエッチング(ドライエッチング)する。例えば、上記UHF-ECRエッチング装置を用い、例えば次のような条件 C_1 でステップS6の多結晶シリコン膜5のエッチング工程を行うことができる。

- [0062] 条件 C_1 : UHFパワー=500W、ウエハバイアス(半導体基板1に印加するバイアス電力またはバイアス電圧)=15W、 Cl_2 ガスの流量=20sccm、HBrガスの流量=80sccm、 O_2 ガスの流量=5sccm。
- [0063] ステップS4およびステップS5によりエッジラフネスが低減されたレジストパターン22をエッチングマスクとして用いて、ステップS6の多結晶シリコン膜5のエッチング工程を行い、このステップS6のエッチング工程でパターニングされた多結晶シリコン膜5がゲート電極5aとなるので、ゲート電極5aのエッジラフネスを低減することができる。本実施の形態では、例えば、エッジラフネスが2nm程度、寸法変化量が-10nm程度のゲート電極5aを形成することができる。
- [0064] 本実施の形態では、ステップS4のレジストパターン22に保護膜23を堆積する工程で用いるガス(プロセスガス)として、フロロカーボン系のガス(すなわち $C_xH_yF_z$ ガス)を用いる方法を例に取り上げたが、例えばクロロカーボン系のガス(すなわち $C_xH_yCl_z$ ガス)や、例えば CH_4 や NH_3 や NF_3 のような堆積性を有するガスを用いた場合にも同様の効果が得られる。
- [0065] また、本実施の形態では、ステップS4のレジストパターン22に保護膜23を堆積する工程と、ステップS5の保護膜23を除去する工程と、ステップS6の多結晶シリコン膜5のエッチング工程を同一のエッチングチャンバで一貫加工する方法を例に取り上げたが、全ての工程または一部の工程を異なるエッチングチャンバで処理した場合にも、本実施の形態の効果をj得ることは可能であり、このような場合も本実施の形態に含むものとする。
- [0066] また、本実施の形態では、エッチングチャンバを用いて、ステップS4のレジストパターン22に保護膜23を堆積する工程を行う方法を例に取り上げたが、例えばCVD装置、PVD装置またはP-CVD装置のような成膜装置を用いて堆積膜23を堆積し、

その後エッチングチャンバを用いて、半導体基板1にバイアス電圧を印加し、高エネルギーイオンを半導体基板1に入射させることにより、上記第1の作用および第2の作用を促進することによりエッジラフネスを低減することも可能である。

[0067] また、本実施の形態では、ステップS6において多結晶シリコン膜5を単一の条件C₁を用いてエッチングする工程を例に取り上げたが、エッジラフネスを低減する効果は、ステップS4のレジストパターン22に保護膜23を堆積する工程と、ステップS5の保護膜23を除去する工程が主であり、ステップS6の多結晶シリコン膜5をエッチングする工程を複数のステップに分割してエッチングした場合にも、本実施の形態の効果を導くことは可能であり、このような場合も本実施の形態に含むものとする。

[0068] 本実施の形態とは異なり、ステップS4の保護膜23の堆積工程を省略し、ステップS5と同様の条件でレジストパターン22の細線化(幅の減少)を行うことも考えられる(第1の比較例)。図15～図17は、本実施の形態とは異なり、ステップS4の保護膜23の堆積工程を省略した第1の比較例のゲート電極形成工程中の要部断面図である。第1の比較例では、図15に示されるようにレジストパターン22を形成した後、保護膜23を形成することなく、図16に示されるように反射防止膜21をエッチングする。その後、フォトリソレジストパターン22をエッチングマスクとして用いて多結晶シリコン膜5をドライエッチングしてゲート電極5aを形成する。

[0069] 第1の比較例では、レジストパターン22を形成した後、保護膜23を形成することなく、ステップS5とほぼ同様の条件で反射防止膜21をエッチングするが、この反射防止膜21のエッチング工程ではプロセスガスとして酸素を含むプラズマを用いたドライエッチングが行われるので、有機系の反射防止膜21がエッチングされるとともに、有機系材料からなるレジストパターン22もエッチングされ、レジストパターン22の膜厚が減少するとともにレジストパターン22が細線化される(すなわちレジストパターン22の幅L₁が細くなる)。

[0070] 図18は、第1の比較例において、レジストパターン22を形成した後、反射防止膜21がエッチングされるとともにレジストパターン22もエッチングされて細線化される様子を模式的に示す説明図である。図18の左側がレジストパターン22を形成した状態に対応し、図18の右側が反射防止膜21がエッチングされるとともにレジストパターン22

もエッチングされて細線化された状態に対応する。なお、図18の上段側の(a)には概念的な要部断面図が示され、図18の下段側の(b)には概念的な要部平面図が示されている。また、図19は、第1の比較例におけるレジストパターン22の初期寸法 L_0 からの変化量 ΔL (ここで $\Delta L = L_1 - L_0$)とレジストパターン22のエッジラフネスとの関係を示すグラフである。

[0071] 第1の比較例では、反射防止膜21のエッチング工程において、酸素ラジカルによる等方性エッチングにより、図18および図19に示されるように、レジストパターン22のエッジラフネス凸部のエッチングが進むため、レジストパターン22の細線化(幅 L_1 の減少)とともにレジストパターン22のエッジラフネスを減少させることができる。例えば、図19に示されるように、レジストパターン22を50nm程度以上細線化する(すなわち、レジストパターン22の幅 L_1 を初期寸法 L_0 から50nm以上減少させる)ことにより、レジストパターン22のエッジラフネスを3nm以下にすることができる。しかしながら、レジストパターン22の細線化と共にレジストパターン22の膜厚も減少するため、レジストパターン22を細線化し過ぎると、レジストパターン22の膜厚が薄くなってしまい、その後のステップS6で多結晶シリコン膜5をエッチングするには、レジストパターン22の残膜厚が不足する可能性が生じる。これは、形成されるゲート電極5aの加工精度の低下を招き、半導体装置の製造歩留りを低下させる可能性がある。また、多結晶シリコン膜5のエッチングを的確に行うためにレジストパターン22の残膜厚をある程度確保しようとする、レジストパターン22の細線化(幅 L_1 の減少)を抑制しなければならず、レジストパターン22のエッジラフネスを減少させることはできない。このため、レジストパターンの細線化を用いてエッジラフネスを低減する第1の比較例では、エッジラフネスの低減量とレジストパターン寸法を独立に制御することは難しく、エッジラフネスの小さいゲート電極、例えばエッジラフネスが3nm程度以下のゲート電極を加工(形成)するのは非常に困難である。

[0072] 図20は、ステップS3でレジストパターン22を形成した後、本実施の形態のようにステップS4の保護膜23の堆積工程を行ってから、ステップS5で保護膜23と反射防止膜21をエッチングしてレジストパターンが細線化される様子を模式的に示す説明図である。図20の左側がステップS3でレジストパターン22を形成した状態に対応し、

図20の中央がステップS4で保護膜23の堆積を行った状態に対応し、図20の右側がステップS5で保護膜23と反射防止膜21のエッチングを行った状態に対応する。なお、図20の上段側の(a)には概念的な要部断面図が示され、図20の下段側の(b)には概念的な要部平面図が示されている。図21は、本実施の形態におけるレジストパターン22の初期寸法 L_0 からの変化量 ΔL ($\Delta L = L_i - L_0$: $i = 2, 3$)とレジストパターン22のエッジラフネスとの関係を示すグラフである。

[0073] なお、本実施の形態において、レジストパターンの寸法(幅) L_1 は、レジストパターン22の表面に保護膜23が形成されていないときは、レジストパターン22自身の寸法(幅)に対応し、レジストパターン22の表面に保護膜23が形成されているときは、この保護膜23もレジストパターン22と同様にエッチングマスクとして機能し得るので、レジストパターン22と保護膜23とを合わせたパターンの寸法(幅)に対応する。

[0074] 本実施の形態のように、ステップS4およびステップS5を併用した場合には、図20および図21に示されるように、ステップS4で保護膜23を堆積した時点で、レジストパターンの寸法 L_2 (レジストパターン22および保護膜23を合わせたパターンの寸法 L_2)は保護膜23の分だけ太くなるものの、上記第1および第2の作用により、エッジラフネスを低減することができる。更にステップS5で保護膜23をエッチングすることにより、保護膜23堆積直後の寸法 L_2 から寸法 L_3 へ細線化すると共に、ステップS4のみの場合(すなわちステップS5を行わない場合)に比べ、更にエッジラフネスを低減することが可能である。

[0075] 本実施の形態の特徴は、保護膜23を堆積するステップS4(の条件 A_1)、および保護膜23と反射防止膜21をエッチングするステップS5(の条件 B_1)により、このレジストパターンの寸法変化量 ΔL とエッジラフネス低減量を独立に制御できることである。例えば、ステップS4(の条件 A_1)およびステップS5(の条件 B_1)を最適化することにより、初期レジストパターンからの寸法を変えることなく、エッジラフネスのみを低減することも可能となる。すなわち、ステップS5の保護膜23のエッチング工程後のレジストパターン寸法 L_3 を初期寸法 L_0 と等しくする場合($L_3 = L_0$ の場合、すなわち $\Delta L = 0$ の場合)においても、ステップS3でレジストパターン22を形成した直後のエッジラフネスに比較して、エッジラフネスを低減することができる。また、ステップS5の保護膜23のエ

ッチング工程後のレジストパターン寸法 L_3 を初期寸法 L_0 よりも細くする場合($L_3 < L_0$ の場合、すなわち $\Delta L < 0$ の場合)においても、第1の比較例に比較してエッジラフネスをより低減することができる。

[0076] また、特開平10-4084号公報(上記特許文献3)には、第1工程で基板上の金属系膜上にレジストパターンを形成し、第2工程でフルオロカーボン系のガスを用いたプラズマ処理によってレジストパターンの表面に保護膜を形成した後、第3工程で保護膜を形成したフォトレジストパターンをエッチングマスクに用いて金属系膜をエッチングする技術が記載されているが、レジストパターンの表面に形成した保護膜のエッチング工程を行わずに保護膜を完全に残したまま、第3工程において保護膜を形成したフォトレジストパターンをエッチングマスクに用いて金属系膜をエッチングしている。このように、特開平10-4084号公報の技術では、レジストパターンに保護膜を堆積させたまま、この保護膜のエッチング工程を行わずに被加工膜である金属系膜をエッチングするので、保護膜が形成されたレジストパターンのエッジラフネスが比較的大きい状態で被加工膜である金属系膜のエッチングを行うことになり、加工された金属系膜のエッジラフネスは比較的大きいものになってしまう。

[0077] それに対して、本実施の形態では、ステップS4で反射防止膜21上にレジストパターン22を覆うように保護膜23を堆積し、この保護膜23をステップS5で積極的にエッチングした後で、ステップS6でフォトレジストパターン22をエッチングマスクとして用いて被加工層である多結晶シリコン膜5をエッチングしている。ステップS5の保護膜23のエッチング工程を行うことにより、図20および図21にも示されるように、ステップS4の保護膜23堆積直後の保護膜23表面のエッジラフネスよりも、ステップS5の保護膜23のエッチング工程後のフォトレジストパターン22のエッジラフネスを更に低減することができる、このエッジラフネスをより低減したフォトレジストパターン22をエッチングマスクとして用いてステップS6で下地の被加工層である多結晶シリコン膜5をエッチングすることができる。このため、加工された多結晶シリコン膜5、すなわちゲート電極5aのエッジラフネスをより低減することが可能になる。

[0078] このように、本実施の形態では、レジストパターン22を覆うように保護膜23を一旦堆積して加工寸法を太くし、その後保護膜23を除去しながらレジストパターン22の寸法

を細くする。このため、本実施の形態では、ゲート電極加工のようにエッチングで除去されない部分の寸法を細く制御することが可能である。さらに本実施の形態では、レジストパターンの寸法変動量をステップS4の保護膜23の堆積工程と、ステップS5の保護膜23の除去工程で、それぞれ独立に制御することができる。また、ステップS4の保護膜の堆積工程と、ステップS5の保護膜23のエッチング工程で、それぞれエッジラフネスの低減効果があるため、よりエッジラフネスが低減したレジストパターンを実現でき、それによってこのレジストパターンをエッチングマスクとしたドライエッチングによって加工された被加工層のエッジラフネスを、より低減することができる。このように、本実施の形態では、レジストパターン加工寸法とエッジラフネス低減量の独立制御が可能になる。

[0079] 本実施の形態では、ステップS3で形成したレジストパターン22にエッジラフネスが生じていても、ステップS4においてプロセスガスとしてフロロカーボンガスを使用してレジストパターン22を覆うように炭素を含む保護膜23を堆積することでエッジラフネスを低減し、ステップS5において保護膜23の少なくとも一部をエッチングにより除去することでエッジラフネスを更に低減でき、また、ステップS4での保護膜23の堆積量とステップS5でのレジストパターンの細線量を制御することにより、レジスト残膜量を充分に確保し、エッジラフネスの低減量と、パターン寸法の独立制御が可能になる。

[0080] 本実施の形態では、レジストパターンのエッジラフネスを低減できるので、エッジラフネスを低減したゲート電極を形成することができる。例えばエッジラフネスが3nm程度以下のゲート電極を形成することが可能になる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能であり、レジスト残膜量を充分確保できるため、エッジラフネスを低減したゲート電極（例えばエッジラフネスが3nm以下のゲート電極）の加工寸法を高精度に制御することが可能になる。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向上し、半導体装置の製造歩留りを向上させることができる。

[0081] また、ArFエキシマレーザを用いたリソグラフィ（ArFリソグラフィ）技術で使用するレジスト膜（レジストパターン）は、KrFエキシマレーザを用いたリソグラフィ（KrFリソグラフィ）用のレジスト膜（レジストパターン）に比べて、エッジラフネスが生じやすいが、

本実施の形態のようにArFリソグラフィ対応のレジストパターン22(ArFリソグラフィを用いて形成したレジストパターン)を使用する場合に本発明を適用すれば、ArFリソグラフィ対応のレジストパターン22であってもエッジラフネスを低減できるので、特に効果が大きい。

[0082] また、ステップS5の保護膜23のエッチング工程では、エッジラフネスの低減効果の観点からは、保護膜23の全部をエッチングにより除去することがより好ましい。保護膜23の全部が除去されるようにステップS5の保護膜23のエッチング工程を行うことで、ステップS5の保護膜23のエッチング工程後に残存するフォトレジストパターン22のエッジラフネスをより低減することができ、このエッジラフネスがより低減されたフォトレジストパターン22をエッチングマスクとして機能させてステップS6の多結晶シリコン膜5のエッチング工程を行うことができるので、パターンニングされた多結晶シリコン膜5からなるゲート電極5aのエッジラフネスをより低減することが可能になる。また、レジストパターン22の細線化も可能になるので、ゲート電極5aの微細化に有利である。しかしながら、ステップS5において保護膜23の一部をエッチングにより除去し、保護膜23の他の一部をレジストパターン22の表面に残存させた状態でステップS6の多結晶シリコン膜5のエッチング工程を行う場合も、本実施の形態の効果を得心することは可能であり、このような場合も本実施の形態に含むものとする。

[0083] すなわち、ステップS5において保護膜23の一部をエッチングにより除去して保護膜23の他の一部を残存させた場合でも、レジストパターン22と保護膜23とを合わせたパターンのエッジラフネスをステップS4の保護膜23堆積時よりも低減することができ、レジストパターン22表面の保護膜23の残存部分とレジストパターン22とがステップS6の多結晶シリコン膜5のエッチング工程でエッチングマスクとして機能することができる。従って、ステップS5において保護膜23の一部をエッチングにより除去し保護膜23の他の一部を残存させた場合でも、エッジラフネスが低減されたエッチングマスクパターン(すなわち保護膜23の残存部分とフォトレジストパターン22とからなるエッチングマスクパターン)をエッチングマスクとして機能させてステップS6の多結晶シリコン膜5のエッチング工程を行うことができるので、パターンニングされた多結晶シリコン膜5からなるゲート電極5aのエッジラフネスを低減することが可能になる。

[0084] このように、本実施の形態では、ステップS3でレジストパターン22を形成した後に、ステップS4でレジストパターン22を覆うように保護膜23を堆積することでレジストパターン22と保護膜23を合わせたパターンのエッジラフネスを(ステップS3のレジストパターン22形成時のレジストパターン22のエッジラフネスよりも)低減し、ステップS5で保護膜23の少なくとも一部をエッチングにより除去することでレジストパターン22と保護膜23とを合わせたパターンのエッジラフネスを更に低減し、その後ステップS6でレジストパターン22および保護膜23の残存部分をエッチングマスクとして被加工層(ここでは多結晶シリコン膜5)をエッチングすることにより、加工された被加工層(ここではゲート電極5a)のエッジラフネスを低減することができる。そして、ステップS5の保護膜23のエッチング工程で保護膜23の全部をエッチングにより除去し、ステップS6でレジストパターン22をエッチングマスクとして被加工層(ここでは多結晶シリコン膜5)をエッチングするようにすれば、加工された被加工層(ここではゲート電極5a)のエッジラフネスをより低減できるのでより好ましい。

[0085] また、ゲート電極のエッジラフネスが大きいと、デバイス性能の低下やデバイス性能のばらつきによる生産性低下(製造歩留り低下)が生じるので、本実施の形態のようにゲート電極の形成工程に本発明を適用してエッジラフネスを低減したゲート電極を形成することが特に有効であるが、本発明は、レジストパターンを覆うように保護膜を堆積(形成)し、その保護膜を除去(エッチング)する工程を有することを特徴とするため、原理的にレジストパターンをエッチングマスクとして用いて被加工膜をエッチングする工程を有するすべてのドライエッチング方法に適用することが可能であり、その例については、以下の実施の形態で説明する。

[0086] (実施の形態2)

本実施の形態では、上記実施の形態1と同様にしてゲート電極5aを形成することができるが、上記ステップS4, S5, S6の各工程において半導体基板1の温度および温度分布を制御する。なお、ステップS4～S6の各工程は、半導体基板1の温度および温度分布以外は上記実施の形態1と同様であるので、ここではその説明は省略する。

[0087] 図22～図24は、本実施の形態の半導体装置の製造工程中の半導体基板1の温

度分布の一例を示すグラフである。図22が、ステップS4の保護膜23の堆積工程中の半導体基板1の温度分布に対応し、図23が、ステップS5の保護膜23(および反射防止膜21)のエッチング工程中の半導体基板1の温度分布に対応し、図24が、ステップS6の多結晶シリコン膜5のエッチング工程中の半導体基板1の温度分布に対応する。

- [0088] 本実施の形態では、ステップS4の保護膜23の堆積工程においては、図22のグラフに示されるように、半導体基板1の面内の温度差 ΔT (半導体基板1の主面の最高温度と最低温度の差)を例えば 5°C 以下に制御し、例えば前記条件 A_1 などを用いて、保護膜23をレジストパターン22を覆うように反射防止膜21上に堆積する。
- [0089] 次に、ステップS5の保護膜23(および反射防止膜21)のエッチング工程では、図23のグラフに示されるように、半導体基板1の面内の温度差 ΔT を 10°C 程度に制御し、例えば前記条件 B_1 などにより、保護膜23および有機系の反射防止膜21をエッチングする。
- [0090] 次に、ステップS6の多結晶シリコン膜5のエッチング工程では、図24のグラフに示されるように、半導体基板1の面内の温度差 ΔT を例えば 20°C 以上に制御し、例えば前記条件 C_1 などにより、多結晶シリコン膜5をエッチングし、ゲート電極5aを加工する。
- [0091] このように、半導体基板1の温度分布も考慮することにより、例えば、エッジラフネス 2nm 程度、寸法変化量 10nm 程度、半導体基板1の面内均一性が 1nm 以下程度のゲート電極5aを形成することができる。
- [0092] 半導体基板1の温度および温度分布を制御する目的は、ステップS4～S6の各工程における反応メカニズムが異なるためである。一般的にエッチングは、プラズマ中で生成されたイオン、およびラジカルが半導体基板に入射し、被加工物であるシリコン(Si)や有機材料との表面反応により加工される。またエッチングした際に生じる反応生成物も、半導体基板に再入射しエッチング反応を阻害する。この表面反応およびラジカルや反応生成物の表面への付着は、半導体基板温度に大きく依存する。そのため加工寸法および加工形状は、半導体基板に入射するイオン、ラジカル、反応生成物のフラックスだけでなく、半導体基板温度により異なる。通常、プラズマの分布

を制御することにより、半導体基板に入射するイオンやラジカルフラックスの面内分布は制御可能であるが、反応生成物は基本的に拡散分布であり、その分布を制御することは困難である。そのため、半導体基板の温度分布を制御することにより、加工寸法および加工形状を制御する方法は、加工精度の半導体基板面内均一性を向上する上で、非常に有効な方法である。

[0093] 保護膜23を堆積するステップS4においては、主な表面反応としては、プラズマ中で均一に生成された炭素系反応物がレジストパターン22に付着する反応が重要であるため、半導体基板1の面内の温度分布は均一な方が望ましい。

[0094] 一方、ステップS6においては、多結晶シリコン膜5に入射するイオン、ラジカルおよびSi反応生成物と多結晶シリコン膜5との複雑な反応が支配的となるため、各入射粒子の半導体基板面内分布を考慮した温度分布制御をする必要がある。例えば、反応生成物の再付着は半導体基板1の主面の端部近傍よりも半導体基板1の主面の中心付近で大きくなる傾向にあるので、半導体基板1の温度を半導体基板1の主面の端部近傍よりも半導体基板1の主面の中心付近で高くすることで、反応生成物の再付着が半導体基板1の主面の面内で均一になるようにすることができる。これにより、半導体基板1の主面の面内での多結晶シリコン膜5のエッチングレートをより均一化することができる。

[0095] 従って、本実施の形態においては、ステップS4では、ステップS6と比較して、半導体基板1の温度分布をより均一化して、半導体基板1の主面の面内の温度差 ΔT をより小さくする。そして、ステップS6では、ステップS4と比較して、半導体基板1に温度分布を生じさせ、半導体基板1の主面の面内の温度差 ΔT をより高くする。すなわち、ステップS4における半導体基板1の面内の温度差が、ステップS5およびステップS6における半導体基板1の面内の温度差よりも小さくなるように、各工程における半導体基板1の温度分布を制御する。

[0096] なお、図22～図24で示した半導体基板面内の温度分布(面内温度差)は一例であり、これに限定されるものではなく、ステップS4～S6のそれぞれの工程ごとに、半導体基板1の温度および温度分布を制御することが重要である。また半導体基板1の温度および温度分布を制御する方法としては、半導体基板1を配置するウエハス

ページの複数冷媒の使用、裏面He圧力の制御、ヒータの利用等がある。

[0097] このように本実施の形態では、ステップS4～S6の各工程の半導体基板の温度分布を制御することにより、エッチング表面反応のバランスをウエハ面内で変更することが可能となり、その結果としてゲート電極の形状およびゲート長の面内(ウエハ面内、半導体基板面内)均一性が向上する効果が得られる。従って、半導体装置の性能がばらつくのを防止でき、半導体装置の性能や製造歩留りを向上することができる。

[0098] (実施の形態3)

本実施の形態では、上記実施の形態1と同様にしてゲート電極5aを形成することができるが、上記ステップS4の保護膜23の堆積レート、ステップS5の保護膜23(および反射防止膜21)のエッチングレート、およびステップS6の多結晶シリコン膜5のエッチングレートの半導体基板面内分布を制御することにより、ゲート電極5aのゲート長の半導体基板面内分布を制御する。なお、ステップS4～S6の各工程は、保護膜23の堆積レート、保護膜23(および反射防止膜21)のエッチングレート、および多結晶シリコン膜5のエッチングレートの半導体基板面内分布以外は上記実施の形態1と同様であるので、ここではその説明は省略する。

[0099] 図25は、(A)ステップS3のレジストパターン22形成工程(B)ステップS4の保護膜23堆積工程(C)ステップS5の保護膜23および有機系の反射防止膜21のエッチング工程、および(D)ステップS6の多結晶シリコン膜5のエッチング工程における、ゲート長と処理レート(堆積レートまたはエッチングレート)の半導体基板の面内分布を示すグラフである。

[0100] まずステップS4として、保護膜23を反射防止膜21上にレジストパターン22を覆うように堆積する。この際、保護膜23の堆積レートに面内分布(半導体基板の主面の面内分布)がある場合、堆積レートが速いウエハ外周部(ウエハ端、半導体基板外周部)では、堆積膜厚が厚くなるため、ゲート長が太くなる。次に、ステップS5において保護膜23および有機系の反射防止膜21をエッチングするが、この際のエッチングレートが面内(半導体基板1の主面の面内)で均一だった場合、ステップS4でのゲート長を反映し、やはりウエハ外周部でのゲート長が太くなる可能性がある。一般的に、エッチングレートが速い方が、ゲート長は細くなる。そのため、本実施の形態では、ステッ

プS5におけるエッチングレートの面内分布を、図25の(C)のように、ウエハ外周部で相対的に高くし、ウエハ中心部で相対的に低くする。すなわち、本実施の形態においては、ステップS4における保護膜23の堆積膜厚の半導体基板1の面内分布に応じて、ステップS5における保護膜23のエッチングレートの半導体基板1の面内分布を制御する。これにより、ステップS3でのゲート長の分布に対し、ステップS4のエッチングレートの面内分布を最適化することにより、ゲート長の面内分布を再び均一にすることが可能となる。このように、堆積レートやエッチングレートの面内分布を制御する方法としては、不活性ガスの添加、外部コイルによる磁場印加によりプラズマ分布を制御する方法や、複数方向からのガス導入により反応生成物の面内分布を制御する方法や、電極にかかるバイアスの面内分布を制御方法などが考えられる。また、上記実施の形態2で述べた電極の温度分布を制御する方法も有効である。

[0101] 以上のように、ステップS4～S6の各工程ごとの堆積レート、エッチングレートの面内分布を制御することにより、例えば、エッジラフネス2nm程度、寸法変化量 ± 10 nm程度、面内均一性1nm程度以下のゲート電極を形成することができる。

[0102] このように本実施の形態では、上記ステップS4の保護膜23の堆積レート、ステップS5の保護膜23(および反射防止膜21)のエッチングレート、およびステップS6の多結晶シリコン膜5のエッチングレートの半導体基板面内分布を制御することにより、ゲート電極の形状およびゲート長の面内(ウエハ面内、半導体基板面内)均一性を向上させることができる。従って、半導体装置の性能がばらつくのを防止でき、半導体装置の性能や製造歩留りを向上することができる。

[0103] (実施の形態4)

上記実施の形態1では、有機系の反射防止膜21を用いているが、本実施の形態では、有機系の反射防止膜21の代わりに無機系の反射防止膜21aを用いている。従って、上記実施の形態1では、反射防止膜21は炭素を含有する有機材料からなるが、本実施の形態では、反射防止膜21aは炭素を含有しない無機材料(無機系の絶縁材料、例えば酸化シリコン膜など)からなる。

[0104] 図26は、本実施の形態のゲート電極5aの形成工程の工程フロー図(説明図)である。図27～図31は、本実施の形態の半導体装置の製造工程中の要部断面図であり

、ゲート電極5a形成(加工)工程中のゲート電極近傍領域の要部断面図が示されている。

[0105] 本実施の形態では、上記実施の形態1と同様にして半導体基板1(p型ウェル3)上にゲート絶縁膜用の絶縁膜4aを介して多結晶シリコン膜5を形成(ステップS1)した後、図27に示されるように、多結晶シリコン膜5上に無機系の反射防止膜21aを形成する(ステップS2a)。反射防止膜21aは、レーザの反射干渉による異常パターン形成を抑制するために形成され、炭素(C)を含有しない無機材料からなる。それから、反射防止膜21a上に、上記実施の形態1と同様にしてレジストパターン22を形成する(ステップS3)。レジストパターン22は、ArFリソグラフィ対応のレジストパターンである。

[0106] 次に、図28に示されるように、上記実施の形態1と同様にして、反射防止膜21a上に、レジストパターン22を覆うように、保護膜23を堆積する(ステップS4)。例えば前記条件A₁などにより保護膜23を堆積することができる。

[0107] 次に、図29に示されるように、保護膜23をエッチング(除去)する(ステップS5a)。このステップS5aの保護膜23のエッチング工程では、上記実施の形態1のステップS5(保護膜23および反射防止膜21のエッチング工程)と同様のエッチング条件、例えば前記条件B₁により、保護膜23をエッチングすることができる。この際、プロセスガスとして酸素(O₂)含むため、下地の無機系の反射防止膜21aはほとんどエッチング(除去)されない。このためステップS4aで保護膜23をエッチングした後、図30に示されるように、無機系の反射防止膜21aをエッチング(除去)する(ステップS5b)。この際、レジストパターン22はエッチングマスクとして機能するので、レジストパターン22の下部の反射防止膜21aは残存し、レジストパターン22に覆われていない領域の反射防止膜21aが選択的にエッチングされて除去される。

[0108] その後、図31に示されるように、ステップS6として、上記実施の形態1と同様にして、例えば前記条件C₁により、レジストパターン22をエッチングマスクとして多結晶シリコン膜5をエッチング(除去)し、ゲート電極5aを加工する。

[0109] 本実施の形態においても、上記実施の形態1と同様に、ステップS4の保護膜23の堆積工程とステップS5aの保護膜23のエッチング工程とを行うことにより、レジストパ

ターン22のエッジラフネスは低減され、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて多結晶シリコン膜5をドライエッチングしてゲート電極5aを形成しているので、ゲート電極5aのエッジラフネスを低減することができる。

[0110] このようにしてゲート電極5aを形成することで、エッジラフネスが低減されたゲート電極、例えば、エッジラフネス2nm程度、寸法変化量0nm程度のゲート電極を形成することができる。

[0111] 本実施の形態においても、上記実施の形態1とほぼ同様の効果を得ることができる。例えば、レジストパターンのエッジラフネスを低減できるので、エッジラフネスを低減したゲート電極を形成することができる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能であり、レジスト残膜量を充分確保できるため、エッジラフネスを低減したゲート電極の加工寸法を高精度に制御することが可能になる。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向上し、半導体装置の製造歩留りを向上させることができる。

[0112] (実施の形態5)

上記実施の形態1では、レジストパターン22として、ArFリソグラフィ対応のレジストパターンを用いているが、本実施の形態では、ArFリソグラフィ対応のレジストパターン22の代わりに、電子線リソグラフィを用いたレジストパターン22aを用いている。また、本実施の形態では、電子線リソグラフィを用いてレジストパターン22aを形成するので、反射防止膜21の形成は省略することができる。

[0113] 図32は、本実施の形態のゲート電極5aの形成工程の工程フロー図(説明図)である。図33～図36は、本実施の形態の半導体装置の製造工程中の要部断面図であり、ゲート電極5a形成(加工)工程中のゲート電極近傍領域の要部断面図が示されている。

[0114] 本実施の形態では、上記実施の形態1と同様にして半導体基板1(p型ウエル3)上にゲート絶縁膜用の絶縁膜4aを介して多結晶シリコン膜5を形成(ステップS1)した後、反射防止膜の形成は省略し、図33に示されるように、多結晶シリコン膜5上にレジストパターン22aを形成する(ステップS3a)。レジストパターン22aは、電子線リソグラフィを用いて形成したレジストパターンである。例えば、多結晶シリコン膜5上にフォ

トレジスト層を形成し、このフォトリジスト層を電子線で露光し、現像することにより、レジストパターン22aを形成することができる。

- [0115] 次に、図34に示されるように、上記実施の形態1と同様にして、多結晶シリコン膜5上に、レジストパターン22aを覆うように、保護膜23を堆積する(ステップS4)。例えば前記条件A₁などにより保護膜23を堆積することができる。
- [0116] 次に、図35に示されるように、保護膜23をエッチング(除去)する(ステップS5c)。このステップS5cの保護膜23のエッチング工程では、上記実施の形態1のステップS5(保護膜23および反射防止膜21のエッチング工程)と同様のエッチング条件、例えば前記条件B₁により、保護膜23をエッチングすることができる。この際、プロセスガスとして酸素(O₂)含むため、下地の多結晶シリコン膜5はほとんどエッチング(除去)されない。
- [0117] その後、図36に示されるように、ステップS6として、上記実施の形態1と同様にして、例えば前記条件C₁により、レジストパターン22aをエッチングマスクとして多結晶シリコン膜5をエッチング(除去)し、ゲート電極5aを加工する。
- [0118] 本実施の形態においても、上記実施の形態1と同様に、ステップS4の保護膜23の堆積工程とステップS5cの保護膜23のエッチング工程とを行うことによりレジストパターン22aのエッジラフネスは低減され、このエッジラフネスが低減されたレジストパターン22aをエッチングマスクに用いて多結晶シリコン膜5をドライエッチングしてゲート電極5aを形成しているので、ゲート電極5aのエッジラフネスを低減することができる。
- [0119] このようにしてゲート電極5aを形成することで、エッジラフネスが低減されたゲート電極、例えば、エッジラフネス2nm程度、寸法変化量0nm程度のゲート電極を形成することができる。
- [0120] 本実施の形態においても、上記実施の形態1とほぼ同様の効果を得ることができる。例えば、レジストパターンのエッジラフネスを低減できるので、エッジラフネスを低減したゲート電極を形成することができる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能であり、レジスト残膜量を充分確保できるため、エッジラフネスを低減したゲート電極の加工寸法を高精度に制御することが可能になる。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向

上し、半導体装置の製造歩留りを向上させることができる。

[0121] (実施の形態6)

上記実施の形態1では、多結晶シリコン膜5上に反射防止膜21およびレジストパターン22を形成しているが、本実施の形態では、多結晶シリコン膜5上にハードマスク用の絶縁膜24を形成し、絶縁膜24上に反射防止膜21およびレジストパターン22を形成している。

[0122] 図37は、本実施の形態のゲート電極5aの形成工程の工程フロー図(説明図)である。図38～図43は、本実施の形態の半導体装置の製造工程中の要部断面図であり、ゲート電極5a形成(加工)工程中のゲート電極近傍領域の要部断面図が示されている。

[0123] 本実施の形態では、図38に示されるように、上記実施の形態1と同様にして半導体基板1(p型ウェル3)上にゲート絶縁膜用の絶縁膜4aを介して多結晶シリコン膜5を形成(ステップS1)した後、多結晶シリコン膜5上にハードマスク形成用の絶縁膜24を形成する(ステップS11)。絶縁膜24は、例えば酸化シリコン膜などからなる。それから、絶縁膜24上に反射防止膜21を形成する(ステップS2)。反射防止膜21は、レーザの反射干渉による異常パターン形成を抑制するために形成され、例えば炭素(C)を含有する有機材料からなる。それから、反射防止膜21上に、上記実施の形態1と同様にしてレジストパターン22を形成する(ステップS3)。

[0124] 次に、図39に示されるように、上記実施の形態1と同様にして、反射防止膜21上に、レジストパターン22を覆うように、保護膜23を堆積する(ステップS4)。例えば前記条件A₁などにより保護膜23を堆積することができる。

[0125] 次に、保護膜23をエッチング(除去)する(ステップS5)。このステップS5の保護膜23のエッチング工程では、上記実施の形態1のステップS5(保護膜23および反射防止膜21のエッチング工程)と同様のエッチング条件、例えば前記条件B₁により、保護膜23をエッチングすることができる。この際、プロセスガスとして酸素(O₂)含むため、下地の有機系の反射防止膜21もエッチング(除去)され得る。従って、ステップS5により、図40に示されるように、炭素を含む保護膜23と有機系の反射防止膜21をエッチングすることができる。なお、ステップS5では、レジストパターン22は反射防止膜2

1のエッチングマスクとして機能し得るので、レジストパターン22の下部の反射防止膜21は残存し、レジストパターン22に覆われていない領域の反射防止膜21が選択的にエッチングされて除去される。

[0126] 次に、図41に示されるように、レジストパターン22をエッチングマスクとして絶縁膜24をエッチング(除去、ドライエッチング)し、パターンニングされた絶縁膜24からなるハードマスク24aを加工(形成)する(ステップS12)。上記実施の形態1と同様に、ステップS4の保護膜23の堆積工程とステップS5の保護膜23のエッチング工程とを行うことによりレジストパターン22のエッジラフネスは低減され、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて絶縁膜24をドライエッチングしてハードマスク24aを形成しているので、ハードマスク24aのエッジラフネスを低減することができる。

[0127] 次に、図42に示されるように、レジストパターン22および反射防止膜21をアッシングなどにより除去する(ステップS13)。

[0128] その後、図43に示されるように、ハードマスク24a(すなわち絶縁膜24)をエッチングマスクとして多結晶シリコン膜5をエッチング(除去)し、ゲート電極5aを加工(形成)する(ステップS14)。上記のように、ハードマスク24aのエッジラフネスは低減されており、このエッジラフネスが小さいハードマスク24aをエッチングマスクに用いて多結晶シリコン膜5をドライエッチングしてゲート電極5aを形成しているので、ゲート電極5aのエッジラフネスを低減することができる。

[0129] このように本実施の形態では、ハードマスク24aの加工時に本発明を適用することにより、ハードマスク24aのエッジラフネスが低減し、その結果、ハードマスク24aをエッチングマスクに用いて加工したゲート電極5aのエッジラフネスを低減することができる。また、本実施の形態では、ハードマスク24aの加工後にレジストパターン22をアッシングにより除去する工程を例に説明したが、レジストパターン22を除去せずに多結晶シリコン膜5までを一貫加工した場合にも、同様の効果が得られる。

[0130] 本実施の形態においても、上記実施の形態1とほぼ同様の効果を得ることができる。例えば、エッジラフネスを低減したレジストパターンを用いてハードマスクを形成し、このハードマスクを用いてゲート電極を形成しているので、エッジラフネスを低減した

ゲート電極を形成することができる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能であり、レジスト残膜量を充分確保できるため、エッジラフネスを低減したゲート電極の加工寸法を高精度に制御することが可能になる。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向上し、半導体装置の製造歩留りを向上させることができる。

[0131] (実施の形態7)

上記実施の形態1では、多結晶シリコン膜5をパターニングしてゲート電極5aを形成しているが、本実施の形態では、多結晶シリコン膜5の代わりに金属膜25を用い、この金属膜25をパターニングして金属ゲート電極としてのゲート電極5bを形成している。

[0132] 図44は、本実施の形態のゲート電極5bの形成工程の工程フロー図(説明図)である。図45～図48は、本実施の形態の半導体装置の製造工程中の要部断面図であり、ゲート電極5b形成(加工)工程中のゲート電極近傍領域の要部断面図が示されている。

[0133] 本実施の形態では、図45に示されるように、半導体基板1(p型ウェル3)上にゲート絶縁膜用の絶縁膜4aを介して、上記実施の形態1の多結晶シリコン膜5の代わりに金属膜25を形成する(ステップS1a)。金属膜25は、例えばチタンシリサイド膜などからなる。また、本実施の形態では、絶縁膜4aは、例えば酸化ハフニウム(HfO_2)などのいわゆるHigh-k膜(高誘電率膜)を用いることが好ましい。

[0134] 次に、金属膜25上に反射防止膜21を形成する(ステップS2)。反射防止膜21は、レーザの反射干渉による異常パターン形成を抑制するために形成され、例えば炭素(C)を含有する有機材料からなる。それから、反射防止膜21上に、上記実施の形態1と同様にしてレジストパターン22を形成する(ステップS3)。レジストパターン22は、ArFリソグラフィ対応のレジストパターンである。

[0135] 次に、図46に示されるように、上記実施の形態1と同様にして、反射防止膜21上に、レジストパターン22を覆うように、保護膜23を堆積する(ステップS4)。例えば前記条件A₁などにより保護膜23を堆積することができる。

[0136] 次に、保護膜23をエッチング(除去)する(ステップS5)。このステップS5の保護膜2

3のエッチング工程では、上記実施の形態1のステップS5(保護膜23および反射防止膜21のエッチング工程)と同様のエッチング条件、例えば前記条件B₁により、保護膜23をエッチングすることができる。この際、プロセスガスとして酸素(O₂)含むため、下地の有機系の反射防止膜21もエッチング(除去)され得る。従って、ステップS5により、図47に示されるように、炭素を含む保護膜23と有機系の反射防止膜21をエッチングすることができる。なお、ステップS5では、レジストパターン22は反射防止膜21のエッチングマスクとして機能し得るので、レジストパターン22の下部の反射防止膜21は残存し、レジストパターン22に覆われていない領域の反射防止膜21が選択的にエッチングされて除去される。

[0137] 次に、図48に示されるように、レジストパターン22をエッチングマスクとして金属膜25をエッチング(除去)し、パターニングされた金属膜25からなるゲート電極5bを加工(形成)する(ステップS6a)。上記実施の形態1では、パターニングされた多結晶シリコン膜5からなるゲート電極5aが形成されたが、本実施の形態では、パターニングされた金属膜25からなるゲート電極5b、すなわち金属ゲート電極としてのゲート電極5bが、ゲート電極5aの代わりに形成される。

[0138] 本実施の形態においても、上記実施の形態1と同様に、ステップS4の保護膜23の堆積工程とステップS5の保護膜23のエッチング工程とを行うことによりレジストパターン22のエッジラフネスは低減され、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて金属膜25をドライエッチングしてゲート電極5bを形成しているので、ゲート電極5bのエッジラフネスを低減することができる。このようにしてゲート電極5bを形成することで、エッジラフネスが低減されたゲート電極(金属ゲート電極)を形成することができる。

[0139] 本実施の形態においても、上記実施の形態1とほぼ同様の効果を得ることができる。例えば、レジストパターンのエッジラフネスを低減できるので、エッジラフネスを低減したゲート電極を形成することができる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能であり、レジスト残膜量を充分確保できるため、エッジラフネスを低減したゲート電極の加工寸法を高精度に制御することが可能になる。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向

上し、半導体装置の製造歩留りを向上させることができる。

[0140] また、本実施の形態では、金属ゲート電極5b(金属膜25)としてチタンシリサイド膜を用い、ゲート絶縁膜(絶縁膜4a)として酸化ハフニウム膜を用いた構造を例に説明したが、これに限定されるものではなく、例えば、金属ゲート電極5b(金属膜25)としてニッケルシリサイドのような他の材料を用いた場合、または金属ゲート電極5b(金属膜25)としてタングステンシリサイド膜と多結晶シリコン膜の積層膜のように異なる材質の積層構造を用いた場合にも、同様の効果が得られる。

[0141] (実施の形態8)

上記実施の形態1では、ゲート電極の形成工程に本発明を適用しているが、本実施の形態では、素子分離領域2用の素子分離溝2aを形成する工程に、本発明を適用している。

[0142] 図49は、本実施の形態の素子分離溝(Siトレンチ)2aの形成工程の工程フロー図(説明図)である。図50～図54は、本実施の形態の半導体装置の製造工程中の要部断面図であり、素子分離溝(Siトレンチ)2a形成工程中の素子分離溝(Siトレンチ)2a近傍領域の要部断面図が示されている。

[0143] 本実施の形態では、素子分離領域2用の素子分離溝(Siトレンチ)2aを以下のようにして形成することができる。

[0144] まず、図50に示されるように、半導体基板1上に窒化シリコン膜26を形成する(ステップS21)。次に、窒化シリコン膜26上に有機系の反射防止膜21を形成する(ステップS22)。反射防止膜21は、レーザの反射干渉による異常パターン形成を抑制するために形成され、例えば炭素(C)を含有する有機材料からなる。それから、反射防止膜21上に、上記実施の形態1と同様にしてレジストパターン22を形成する(ステップS23)。レジストパターン22は、ArFリソグラフィ対応のレジストパターンである。

[0145] 次に、図51に示されるように、上記実施の形態1のステップS4と同様にして、反射防止膜21上に、レジストパターン22を覆うように、保護膜23を堆積する(ステップS24)。例えば前記条件A₁などにより保護膜23を堆積することができる。

[0146] 次に、上記実施の形態1のステップS5と同様にして、保護膜23をエッチング(除去)する(ステップS25)。このステップS25の保護膜23のエッチング工程では、上記実

施の形態1のステップS5(保護膜23および反射防止膜21のエッチング工程)と同様のエッチング条件、例えば前記条件B₁により、保護膜23をエッチングすることができる。この際、プロセスガスとして酸素(O₂)含むため、下地の有機系の反射防止膜21もエッチング(除去)され得る。従って、ステップS25により、図52に示されるように、炭素を含む保護膜23と有機系の反射防止膜21をエッチングすることができる。なお、ステップS25では、レジストパターン22は反射防止膜21のエッチングマスクとして機能し得るので、レジストパターン22の下部の反射防止膜21は残存し、レジストパターン22に覆われていない領域の反射防止膜21が選択的にエッチングされて除去される。

[0147] 次に、図53に示されるように、レジストパターン22をエッチングマスクとして窒化シリコン膜26をエッチング(除去、ドライエッチング)してパターニングする(ステップ26)。それから、図54に示されるように、レジストパターン22をエッチングマスクとして半導体基板1をエッチング(除去、ドライエッチング)して半導体基板1に素子分離溝2aを形成する(ステップ27)。その後、素子分離溝2aに酸化シリコン膜などを埋め込んでその酸化シリコン膜をCMP処理することなどにより、素子分離溝2aに埋め込まれた絶縁膜からなる素子分離領域2を形成することができる。

[0148] 本実施の形態においても、上記実施の形態1と同様に、ステップS24の保護膜23の堆積工程とステップS25の保護膜23のエッチング工程とを行うことによりレジストパターン22のエッジラフネスは低減され、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて窒化シリコン膜26および半導体基板1をドライエッチングして素子分離溝2aを形成しているので、素子分離溝2aのエッジラフネスを低減することができる。

[0149] このように本実施の形態では、本発明の適用によりエッジラフネスの低減したSiトレンチ(素子分離溝2a)の加工が可能になり、Siトレンチ(素子分離溝2a)を利用した素子分離層(素子分離領域2)の加工精度が向上し、その結果としてデバイス性能の向上が期待できる。また、本実施の形態では、レジストパターン22をマスクとし、窒化シリコン膜26および半導体基板1を一貫加工してSiトレンチ(素子分離溝2a)を形成する方法を例に説明したが、他の形態として、ステップS26の窒化シリコン26の加工(

エッチング)後に、レジストパターン22および有機系の反射防止膜21を除去し、その後、パターニングされた窒化シリコン膜26をエッチングマスク(ハードマスク)として半導体基板1をエッチングして素子分離溝2aを形成することもでき、この場合も同様の効果を得ることができる。また、上記実施の形態2～6を本実施の形態と組み合わせることもできる。

[0150] (実施の形態9)

上記実施の形態1では、ゲート電極の形成工程に本発明を適用しているが、本実施の形態では、配線14を形成する工程に、本発明を適用している。

[0151] 図55は、本実施の形態の配線14の形成工程の工程フロー図(説明図)である。図56～図59は、本実施の形態の半導体装置の製造工程中の要部断面図であり、配線14形成工程中の配線14近傍領域の要部断面図が示されている。

[0152] 本実施の形態では、配線14を以下のようにして形成することができる。

[0153] まず、図56に示されるように、絶縁膜(層間絶縁膜)11上に導電体膜(金属膜)27を形成する(ステップ31)。導電体膜27は、例えばアルミニウムを主体とした金属材料膜からなり、例えば、チタン膜(上記チタン膜14aに対応)、窒化チタン膜(上記窒化チタン膜14bに対応)、アルミニウム膜(上記アルミニウム膜14cに対応)、チタン膜(上記チタン膜14dに対応)および窒化チタン膜(上記窒化チタン膜14eに対応)を下から順に形成した積層膜からなる。導電体膜27として、タンゲステン膜などを用いることもできる。

[0154] 次に、導電体膜27上に有機系の反射防止膜21を形成する(ステップS32)。反射防止膜21は、レーザの反射干渉による異常パターン形成を抑制するために形成され、例えば炭素(C)を含有する有機材料からなる。それから、反射防止膜21上に、上記実施の形態1と同様にしてレジストパターン22を形成する(ステップS33)。レジストパターン22は、ArFリソグラフィ対応のレジストパターンである。

[0155] 次に、図57に示されるように、上記実施の形態1のステップS4と同様にして、反射防止膜21上に、レジストパターン22を覆うように、保護膜23を堆積する(ステップS34)。例えば前記条件A₁などにより保護膜23を堆積することができる。

[0156] 次に、上記実施の形態1のステップS5と同様にして、保護膜23をエッチング(除去

）する(ステップS35)。このステップS35の保護膜23のエッチング工程では、上記実施の形態1のステップS5(保護膜23および反射防止膜21のエッチング工程)と同様のエッチング条件、例えば前記条件B₁により、保護膜23をエッチングすることができる。この際、プロセスガスとして酸素(O₂)含むため、下地の有機系の反射防止膜21もエッチング(除去)され得る。従って、ステップS35により、図58に示されるように、炭素を含む保護膜23と有機系の反射防止膜21をエッチングすることができる。なお、ステップS35では、レジストパターン22は反射防止膜21のエッチングマスクとして機能し得るので、レジストパターン22の下部の反射防止膜21は残存し、レジストパターン22に覆われていない領域の反射防止膜21が選択的にエッチングされて除去される。

[0157] 次に、図59に示されるように、レジストパターン22をエッチングマスクとして導電体膜27をエッチング(除去、ドライエッチング)してパターニングする(ステップS46)。これにより、パターニングされた導電体膜27からなる配線14が形成される。

[0158] 本実施の形態においても、上記実施の形態1と同様に、ステップS34の保護膜23の堆積工程とステップS35の保護膜23のエッチング工程とを行うことによりレジストパターン22のエッジラフネスは低減され、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて導電体膜27をドライエッチングして配線14を形成しているので、配線14のエッジラフネスを低減することができる。このようにして配線14を形成することで、エッジラフネスが低減された配線を形成することができる。

[0159] 本実施の形態においても、上記実施の形態1とほぼ同様の効果を得ることができる。例えば、レジストパターンのエッジラフネスを低減できるので、エッジラフネスを低減した配線を形成することができる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能であり、レジスト残膜量を充分確保できるため、エッジラフネスを低減した配線の加工寸法を高精度に制御することが可能になる。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向上し、半導体装置の製造歩留りを向上させることができる。

[0160] (実施の形態10)

上記実施の形態1では、ゲート電極の形成工程に本発明を適用しているが、本実

施の形態では、絶縁膜への開口部(孔または溝)の形成工程に、本発明を適用している。

[0161] 図60は、本実施の形態における絶縁膜への開口部(孔または溝)の形成工程の工程フロー図(説明図)である。図61～図64は、本実施の形態の半導体装置の製造工程中の要部断面図であり、絶縁膜への開口部形成工程中の開口部近傍領域の要部断面図が示されている。

[0162] まず、図61に示されるように、半導体基板1上に絶縁膜28を形成する(ステップ41)。絶縁膜28は、例えば上記実施の形態1の絶縁膜(層間絶縁膜)11などに対応する。

[0163] 次に、絶縁膜28上に有機系の反射防止膜21を形成する(ステップS42)。反射防止膜21は、レーザの反射干渉による異常パターン形成を抑制するために形成され、例えば炭素(C)を含有する有機材料からなる。それから、反射防止膜21上に、上記実施の形態1と同様にしてレジストパターン22を形成する(ステップS43)。レジストパターン22は、ArFリソグラフィ対応のレジストパターンである。

[0164] 次に、図62に示されるように、上記実施の形態1のステップS4と同様にして、反射防止膜21上に、レジストパターン22を覆うように、保護膜23を堆積する(ステップS44)。例えば前記条件A₁などにより保護膜23を堆積することができる。

[0165] 次に、上記実施の形態1のステップS5と同様にして、保護膜23をエッチング(除去)する(ステップS45)。このステップS45の保護膜23のエッチング工程では、上記実施の形態1のステップS5(保護膜23および反射防止膜21のエッチング工程)と同様のエッチング条件、例えば前記条件B₁により、保護膜23をエッチングすることができる。この際、プロセスガスとして酸素(O₂)含むため、下地の有機系の反射防止膜21もエッチング(除去)され得る。従って、ステップS45により、図63に示されるように、炭素を含む保護膜23と有機系の反射防止膜21をエッチングすることができる。なお、ステップS35では、レジストパターン22は反射防止膜21のエッチングマスクとして機能し得るので、レジストパターン22の下部の反射防止膜21は残存し、レジストパターン22に覆われていない領域の反射防止膜21が選択的にエッチングされて除去される。

- [0166] 次に、図64に示されるように、レジストパターン22をエッチングマスクとして絶縁膜28をエッチング(除去、ドライエッチング)して絶縁膜28に開口部(孔または溝)29を形成する(ステップ36)。絶縁膜28に形成された開口部29は、例えば上記コンタクトホール12などに対応する。また、埋込み銅配線用の孔または溝を絶縁膜に形成する際に、この開口部29の形成工程を適用することもできる。その後、開口部29に導電体膜(金属膜)を埋め込んでその導電体膜をCMP処理することにより、プラグや埋込銅配線などを形成することができる。
- [0167] 本実施の形態においても、上記実施の形態1と同様に、ステップS44の保護膜23の堆積工程とステップS45の保護膜23のエッチング工程とを行うことによりレジストパターン22のエッジラフネスは低減され、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて絶縁膜28をドライエッチングして開口部29を形成しているので、開口部29のエッジラフネスを低減することができる。
- [0168] 本実施の形態においても、レジストパターンのエッジラフネスを低減できるので、エッジラフネスを低減した開口部でき、その開口部に導体を埋め込んで形成れたプラグや埋込銅配線のエッジラフネスを低減することができる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能である。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向上し、半導体装置の製造歩留りを向上させることができる。
- [0169] (実施の形態11)
- 上記実施の形態1では、多結晶シリコン膜5のような導電体膜をパターンニングすることでゲート電極5aを形成しているが、本実施の形態では、多結晶シリコン膜5のような導電体膜をパターンニングすることでダミーゲート電極5cを形成し、その後ダミーゲート電極5cを除去することで形成された開口部(溝)に導電体膜を埋め込んで埋込み型のゲート電極5dを形成する。
- [0170] 図65～図70は、本実施の形態の半導体装置の製造工程中の要部断面図である。
- [0171] 本実施の形態では、上記実施の形態1と同様の工程を行って、図4に相当する図65の構造が得られる。なお、上記実施の形態1におけるゲート電極5aは、本実施の形態では、ダミーゲート電極5cに対応する。このダミーゲート電極5cは、上記実施の形

態1のゲート電極5aと同様にして多結晶シリコン膜5をパターニングすることにより形成される。すなわち上記実施の形態1のステップS1～S6により、ゲート電極5aに相当するダミーゲート電極5cが形成される。ダミーゲート電極5cの形成工程は、ゲート電極5aの形成工程と同様であるので、ここではその説明は省略する。上記実施の形態1のようにステップS4の保護膜23の堆積工程とステップS5cの保護膜23のエッチング工程とを行うことによりレジストパターン22のエッジラフネスを低減し、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて多結晶シリコン膜5をドライエッチングしてダミーゲート電極5cを形成しているので、ダミーゲート電極5cのエッジラフネスは低減されている。

[0172] 次に、図66に示されるように、半導体基板1上にダミーゲート電極5cを覆うように絶縁膜31を形成し、この絶縁膜31をCMP処理するなどして、絶縁膜31の上面でダミーゲート電極5cの上面を露出させる。絶縁膜31は、例えば酸化シリコン膜などからなる。

[0173] 次に、図67に示されるように、エッチングにより、絶縁膜31から露出するダミーゲート電極5cを除去する。これにより、絶縁膜31に開口部32が形成される。このダミーゲート電極5cの除去工程またはその後の工程で、開口部32の底部の絶縁膜4aを除去する。上記のようにダミーゲート電極5cのエッジラフネスは低減されているので、開口部32のエッジラフネスも小さい。

[0174] 次に、図68に示されるように、開口部32の底部の半導体基板1(p型ウエル)上に、ゲート絶縁膜形成用の絶縁膜4bを形成する。絶縁膜4bは、例えば酸化シリコン膜からなる。ゲート絶縁膜形成用の絶縁膜4bとして、上記High-k膜(高誘電率膜)などを用いることもできる。

[0175] 次に、絶縁膜31上に、開口部32内を埋めるように導電体膜33を形成する。導電体膜33は、例えば金属材料からなる。

[0176] 次に、図69に示されるように、導電体膜33をCMP処理し、開口部32内に導電体膜33を残し、それ以外の導電体膜33を除去する。開口部32内に埋め込まれた導電体膜33により、ゲート電極5dが形成される。ゲート電極5dは、例えば金属ゲート電極である。ゲート電極5dの下部の絶縁膜4bがゲート絶縁膜となる。

- [0177] 上記のように開口部32のエッジラフネスは小さいので、この開口部32に埋め込まれた導電体膜33からなるゲート電極5dのエッジラフネスも小さくなる。
- [0178] その後、図70に示されるように、ゲート電極5dが埋め込まれた絶縁膜31上に、例えば酸化シリコン膜などからなる絶縁膜34を形成する。以降の工程は、上記実施の形態1と同様であり、コンタクトホール12、プラグ13および配線14などが形成される。
- [0179] 本実施の形態では、上記実施の形態1のようにステップS4の保護膜23の堆積工程とステップS5cの保護膜23のエッチング工程とを行うことによりレジストパターン22のエッジラフネスを低減し、このエッジラフネスが低減されたレジストパターン22をエッチングマスクに用いて多結晶シリコン膜5をドライエッチングしてダミーゲート電極5cを形成しているので、ダミーゲート電極5aのエッジラフネスを低減することができる。このエッジラフネスが低減されたダミーゲート電極5cを除去することで形成された開口部32内に導電体膜33を埋め込んでゲート電極5dを形成しているので、エッジラフネスが低減されたゲート電極5dを形成することができる。また、レジストパターンの寸法とエッジラフネスの低減量を独立に制御可能であり、レジスト残膜量を充分確保できるため、エッジラフネスを低減したゲート電極の加工寸法を高精度に制御することが可能になる。従って、半導体装置の性能を向上させることができる。また、半導体装置の生産性を向上し、半導体装置の製造歩留りを向上させることができる。
- [0180] 本発明は実施の形態として、主にレジストパターンをエッチングマスクとして用いてゲート電極を加工する場合を例として取り上げたが、これに限定されるものではなく、レジストパターンをエッチングマスクとして被加工層をエッチングする種々の半導体装置の製造方法に適用できる。例えば、ハードマスク形成、金属配線形成、Siトレンチ形成、絶縁膜の開口部（孔または溝、例えばコンタクトホール、スルーホールまたは配線溝など）形成などのレジストパターンをエッチングマスクとして用いるドライエッチング方法全般に適用可能である。
- [0181] 例えば、上記実施の形態6のハードマスク形成では、本発明の適用により、ハードマスクの加工寸法とエッジラフネス低減量を制御できるため、結果として、ハードマスクを用いたゲート電極形成においても、加工寸法とエッジラフネス低減量を独立に制御可能となる。同様に、上記実施の形態8のSiトレンチ形成では、エッジラフネスを低

減できるため、Siトレンチによる素子分離層の加工精度も向上し、リーク電流の低下などのデバイス性能の向上が期待できる。また、上記実施の形態9の金属配線形成においては、加工寸法とエッジラフネス低減量を独立制御できるため、エッジラフネス低減による局所電界集中の緩和および断線の抑制などによるデバイス性能の向上が期待できる。また、上記実施の形態10の絶縁膜の開口部形成では、本発明を適用することにより、開口部の加工寸法およびエッジラフネス低減量を制御できる。その結果として、その後の工程において、開口部内に埋込銅配線を形成した場合は、電気特性の向上が期待できる。また、上記実施の形態10の開口部の形成をコンタクトホールに適用した場合は、コンタクトホール径およびコンタクトホール形状のエッジラフネス低減量を制御できるため、エッジラフネスによる局所電界集中の緩和などの電気特性の向上が期待できる。

[0182] このように、本発明の主眼であるレジストパターンを覆うように保護膜を形成する工程と、保護膜の少なくとも一部を除去(エッチング)する工程と、前記レジストパターンおよび保護膜の残存部分(残膜)をエッチングマスクとして、被加工層をエッチングする工程を有することにより、ゲート電極形成はもちろん、ハードマスク形成、金属配線形成、Siトレンチ形成、絶縁膜の開口部(孔または溝、例えばコンタクトホールや配線溝)形成などの工程においても、加工寸法とラフネス低減量を独立に制御することが可能となる。

[0183] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

[0184] 前記実施の形態では、MISFETを有する半導体装置について説明したが、本発明は、これに限定されるものではなく、被加工層をレジストパターンを用いてエッチングする工程を有する種々の半導体装置の製造方法に適用することができる。

産業上の利用可能性

[0185] 本発明は、レジストパターンをエッチングマスクとして用いて被加工層をエッチングする工程を有する半導体装置の製造方法に適用して有効である。

請求の範囲

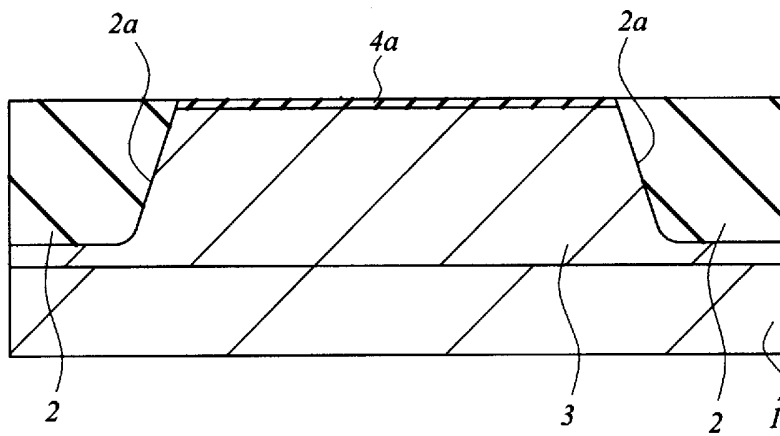
- [1] 以下の工程を有することを特徴とする半導体装置の製造方法；
- (a)被加工層を有する半導体基板を準備する工程、
 - (b)前記被加工層上にレジストパターンを形成する工程、
 - (c)前記被加工層上に前記レジストパターンを覆うように第1材料膜を形成する工程、
 - (d)前記第1材料膜の少なくとも一部を除去する工程、
 - (e)前記(d)工程後、前記レジストパターンおよび前記第1材料膜の残存部分をエッチングマスクとして、前記被加工層をエッチングする工程。
- [2] 請求項1記載の半導体装置の製造方法において、
- 前記(d)工程では、前記第1材料膜の全部を除去し、
 - 前記(e)工程では、前記レジストパターンをエッチングマスクとして、前記被加工層をエッチングすることを特徴とする半導体装置の製造方法。
- [3] 請求項1記載の半導体装置の製造方法において、
- 前記(c)工程では、フロロカーボン系のガスを含むガスを用いたプラズマにより前記第1材料膜を形成することを特徴とする半導体装置の製造方法。
- [4] 請求項1記載の半導体装置の製造方法において、
- 前記(c)工程では、前記半導体基板にバイアス電圧を印加することを特徴とする半導体装置の製造方法。
- [5] 請求項1記載の半導体装置の製造方法において、
- 前記(d)工程では、前記半導体基板にバイアス電圧を印加することを特徴とする半導体装置の製造方法。
- [6] 請求項1記載の半導体装置の製造方法において、
- 前記(c)工程における前記半導体基板面内の温度差が、前記(e)工程における前記半導体基板面内の温度差よりも小さいことを特徴とする半導体装置の製造方法。
- [7] 請求項1記載の半導体装置の製造方法において、
- 前記(c)工程における前記第1材料膜の堆積膜厚の前記半導体基板の面内分布に応じて、前記(d)工程において前記第1材料膜のエッチングレートの前記半導体

基板の面内分布を制御することを特徴とする半導体装置の製造方法。

- [8] 請求項1記載の半導体装置の製造方法において、
前記被加工層は、シリコン層、金属材料層または絶縁層からなることを特徴とする半導体装置の製造方法。
- [9] 請求項1記載の半導体装置の製造方法において、
前記(b)～(e)工程は、ゲート電極を形成するために行われることを特徴とする半導体装置の製造方法。

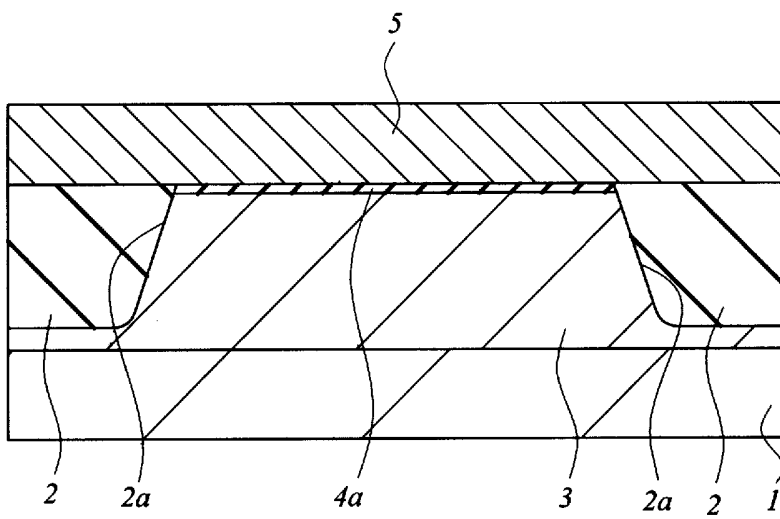
[図1]

図 1



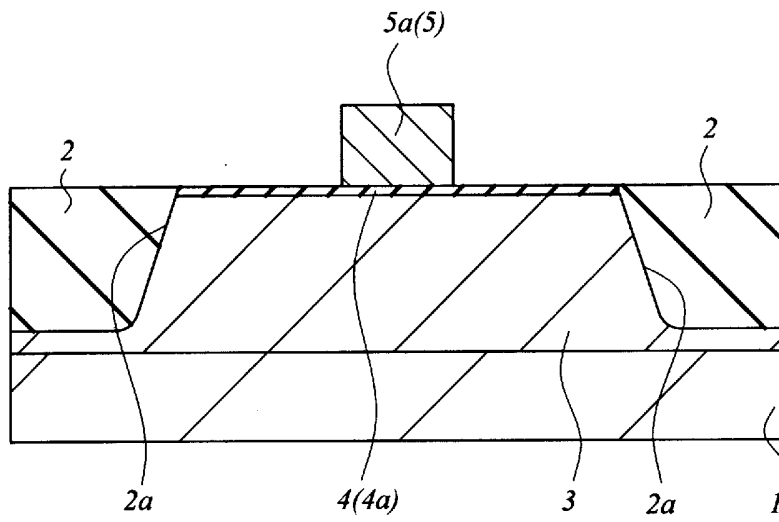
[図2]

図 2



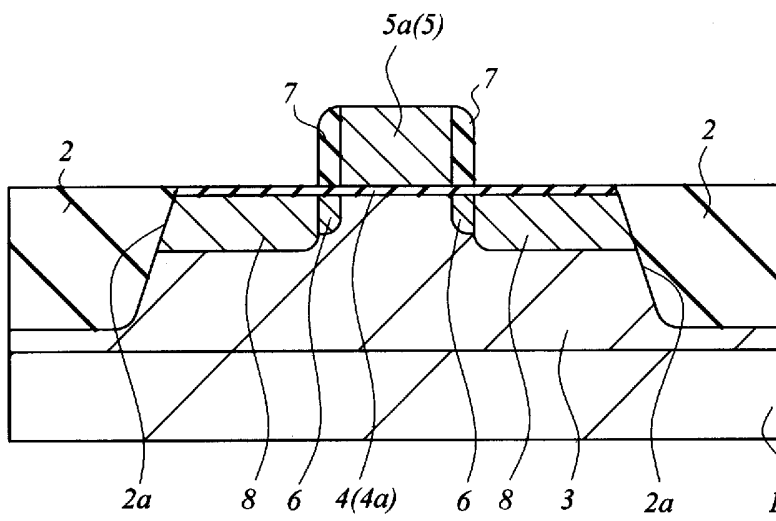
[図3]

図 3



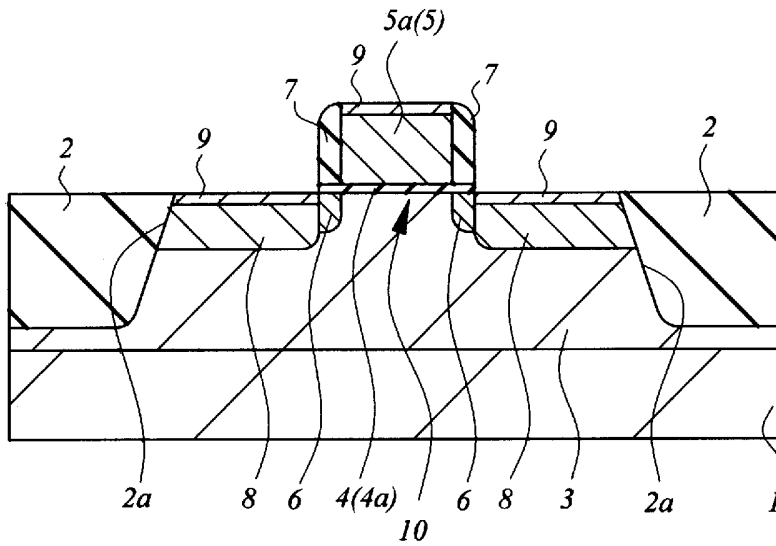
[図4]

図 4



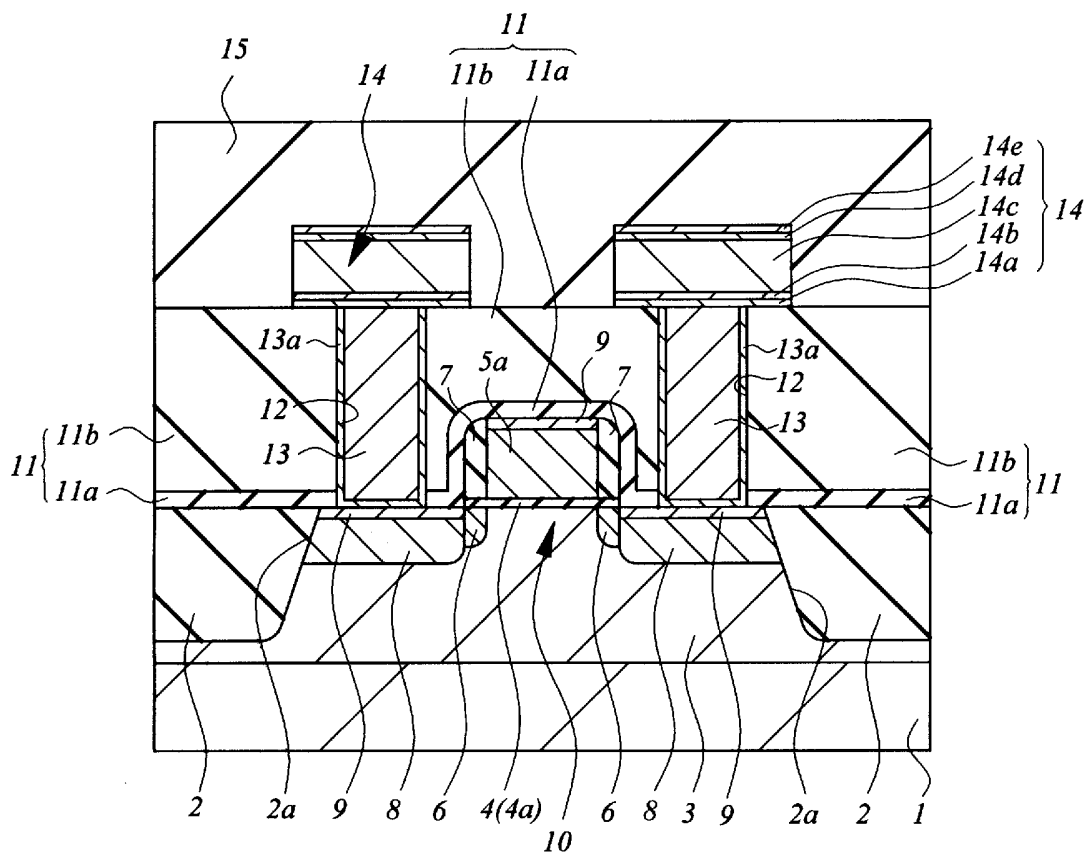
[図5]

図 5



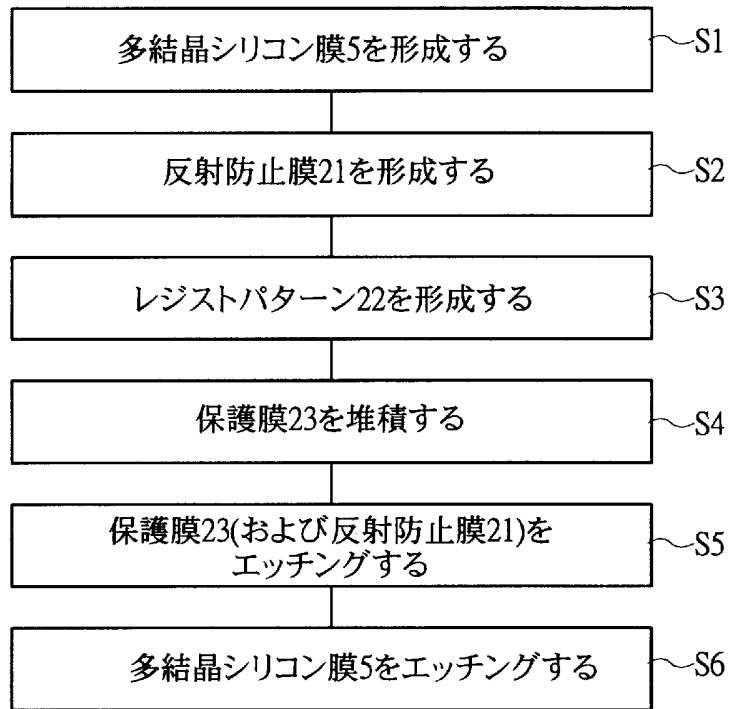
[図6]

図 6



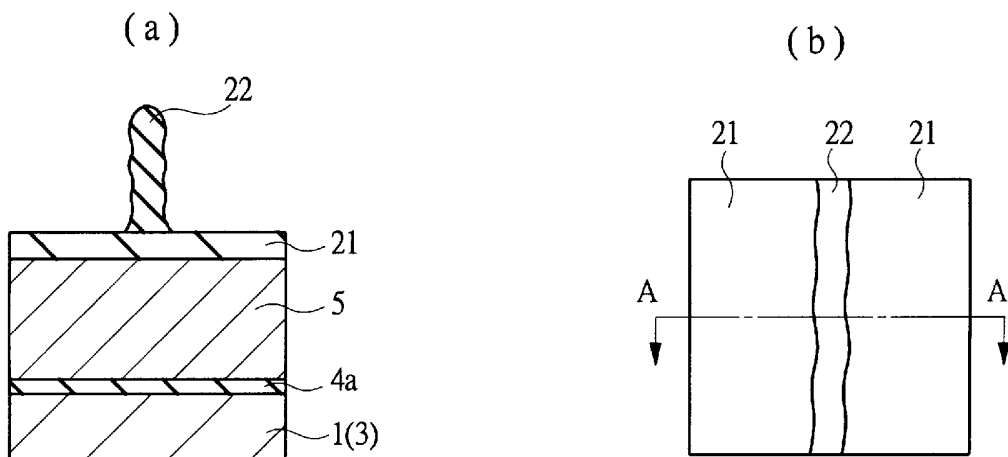
[図7]

図 7



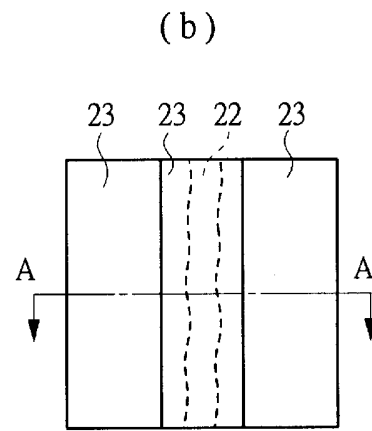
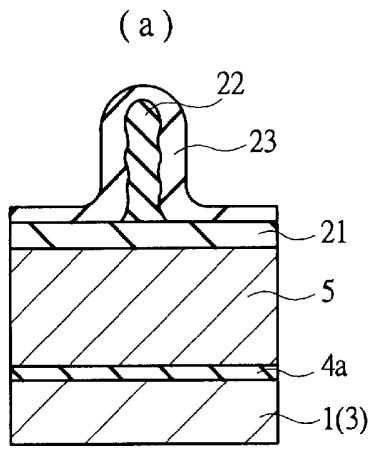
[図8]

図 8



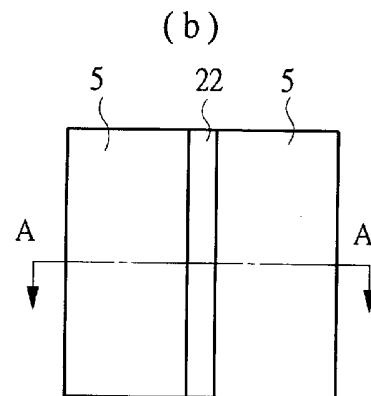
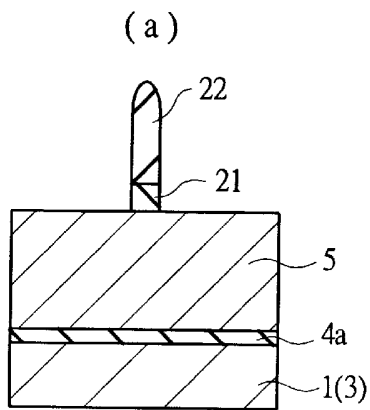
[図9]

図 9



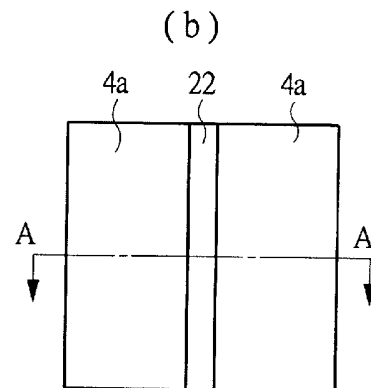
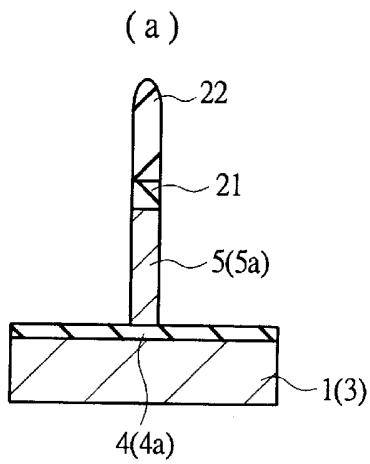
[図10]

図 10



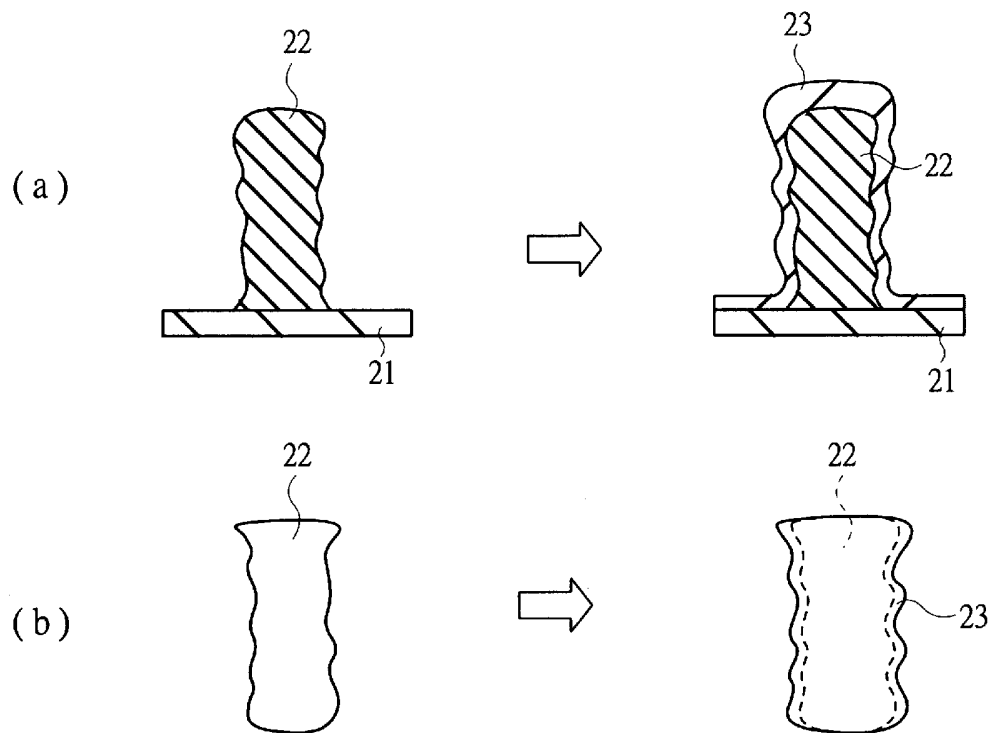
[図11]

図 11



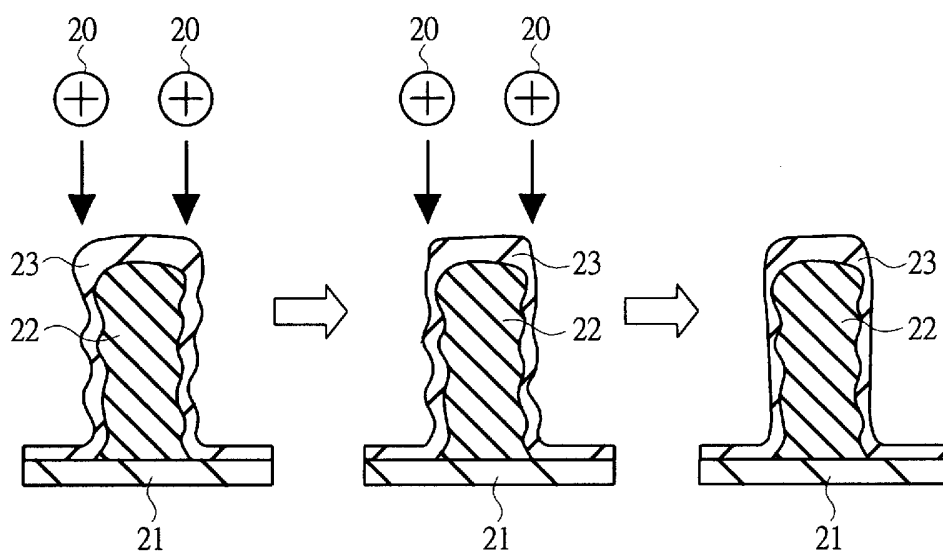
[図12]

図 12



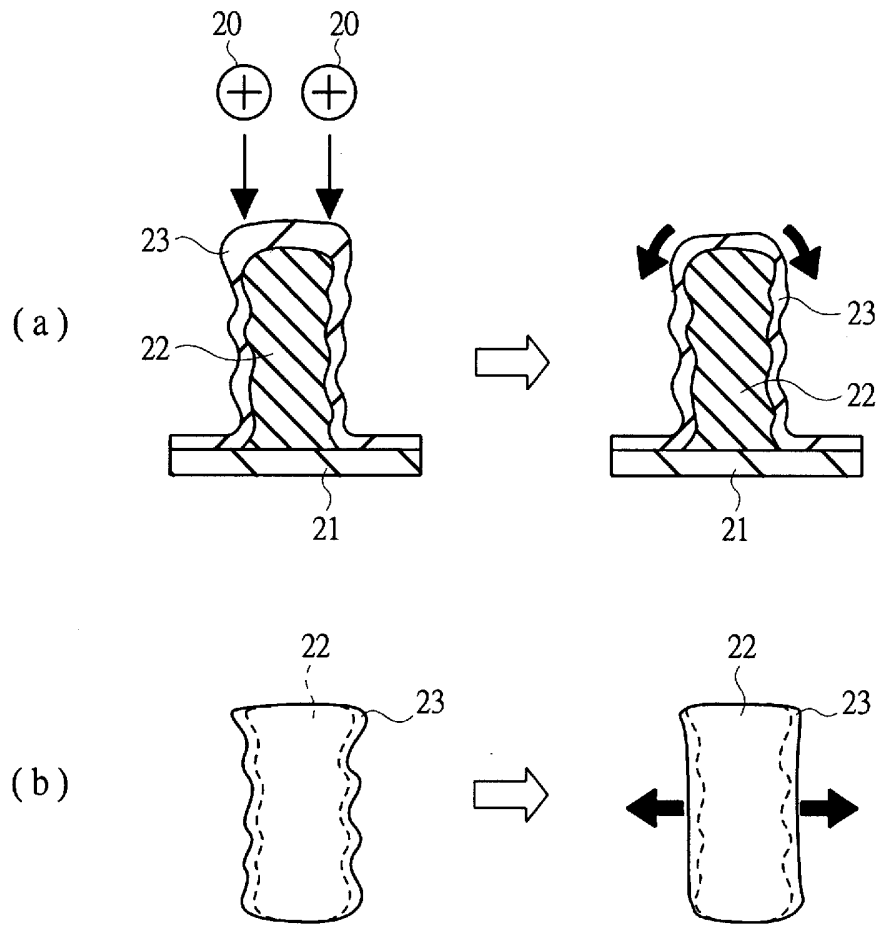
[図13]

図 13



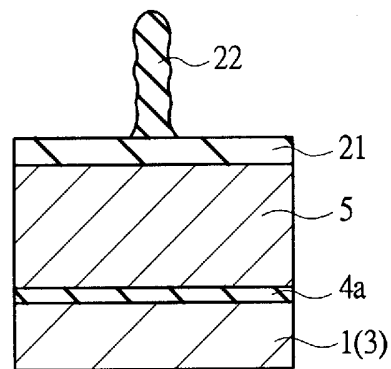
[図14]

図 14



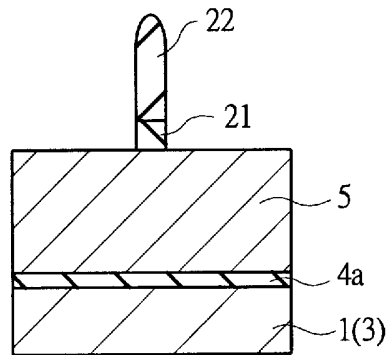
[図15]

図 15



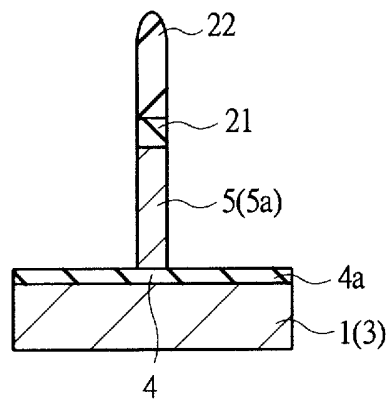
[図16]

図 16



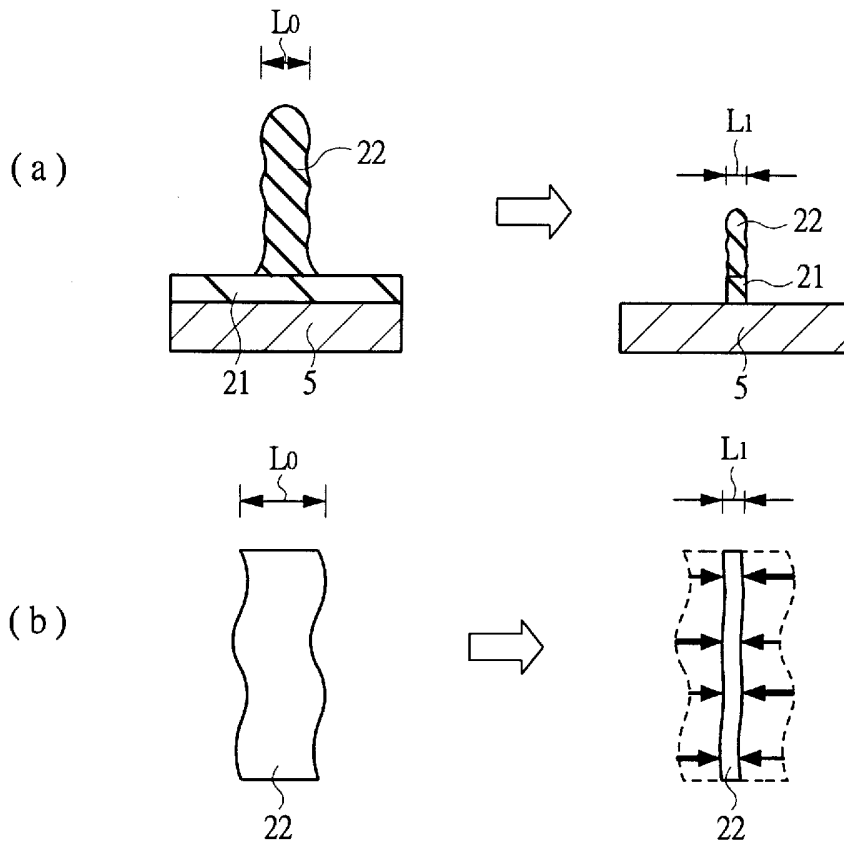
[図17]

図 17



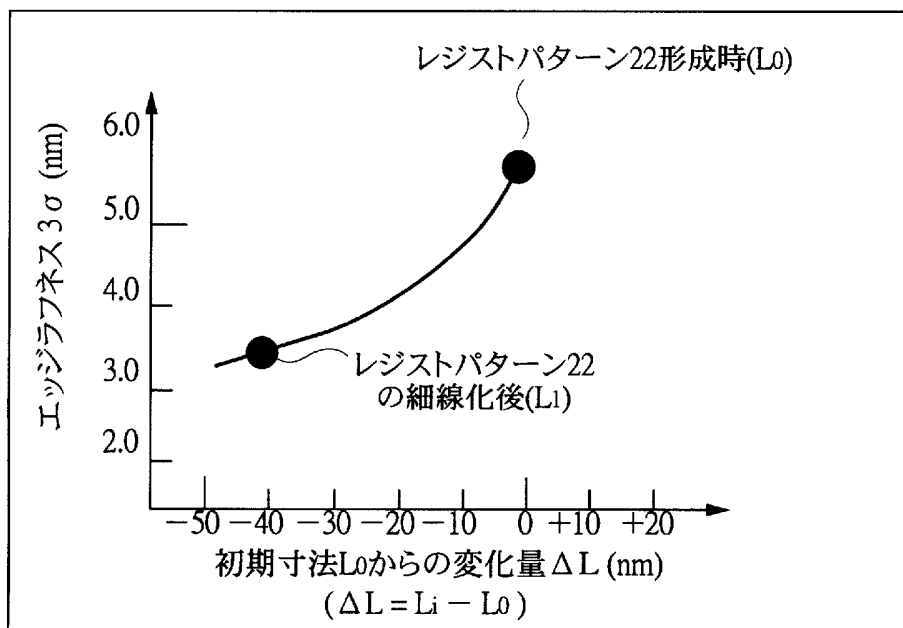
[図18]

図 18



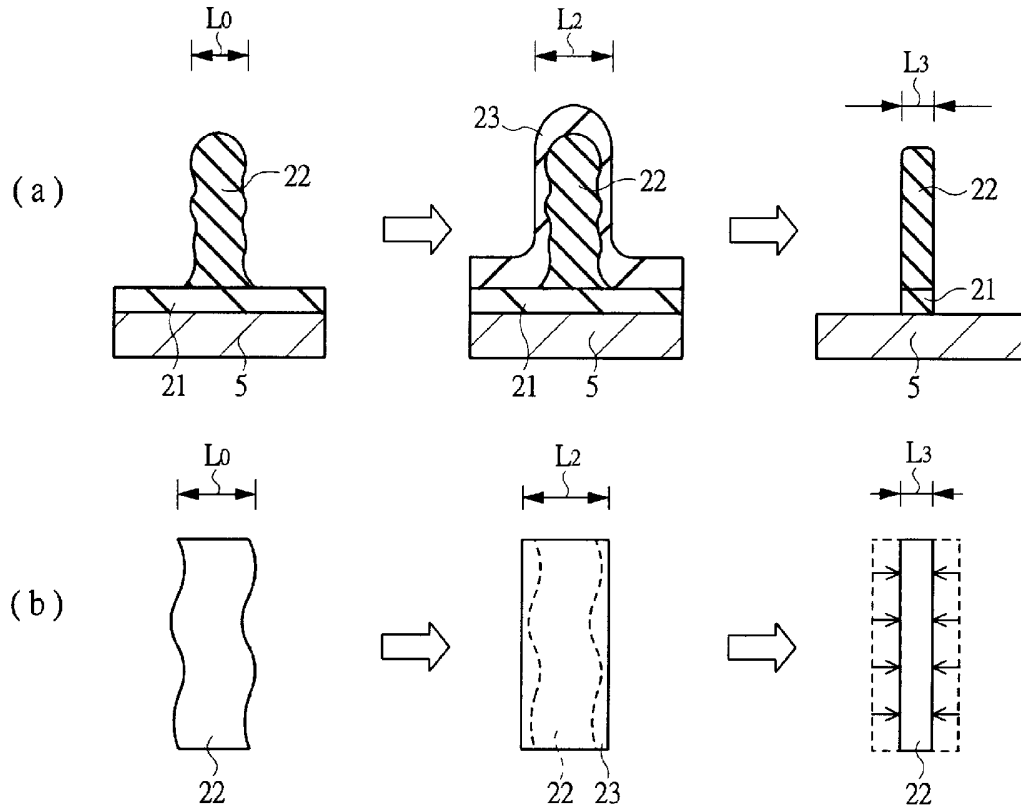
[図19]

図 19



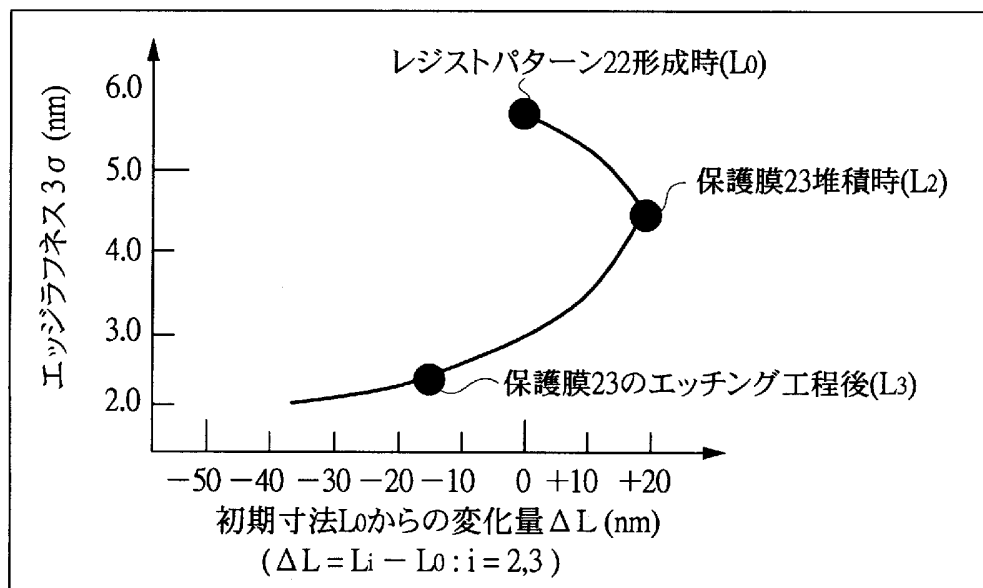
[図20]

図 20



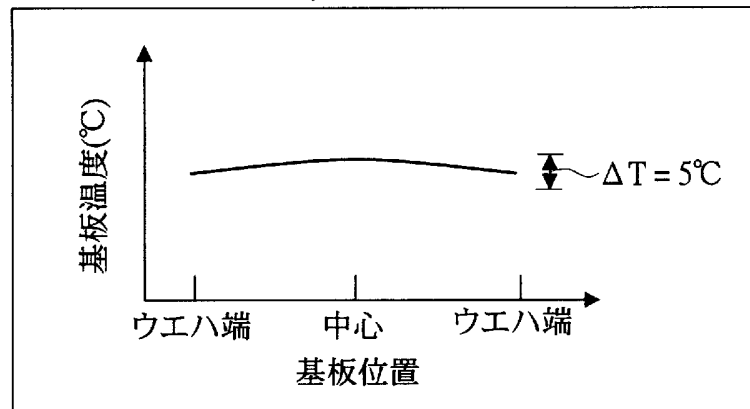
[図21]

図 21



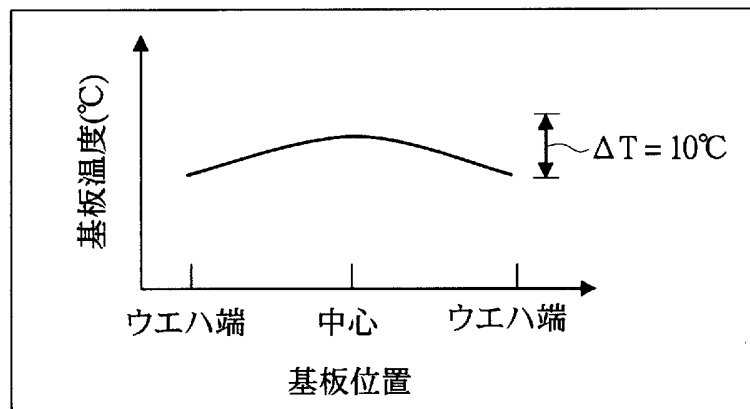
[図22]

図 22



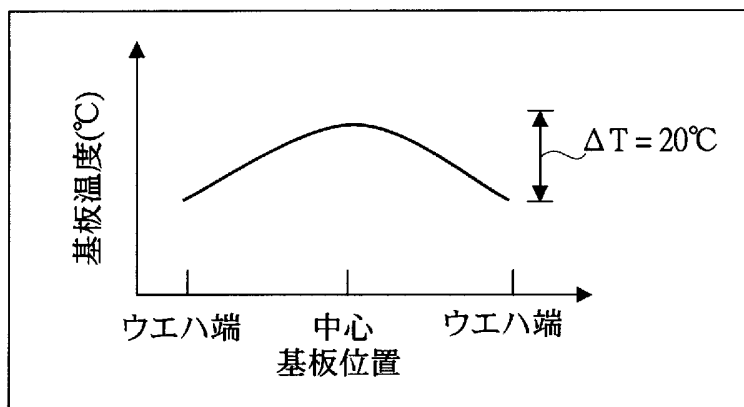
[図23]

図 23



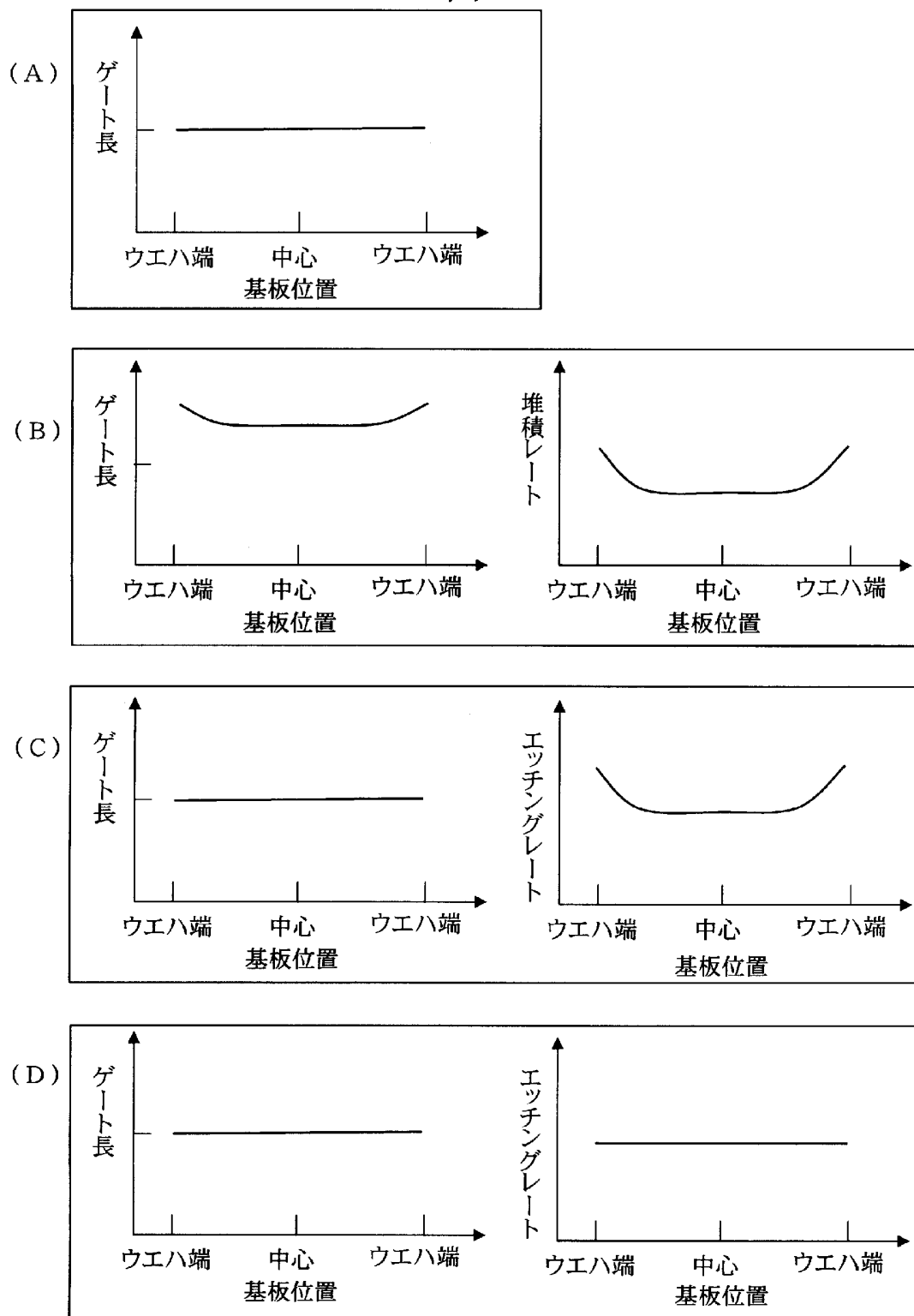
[図24]

図 24



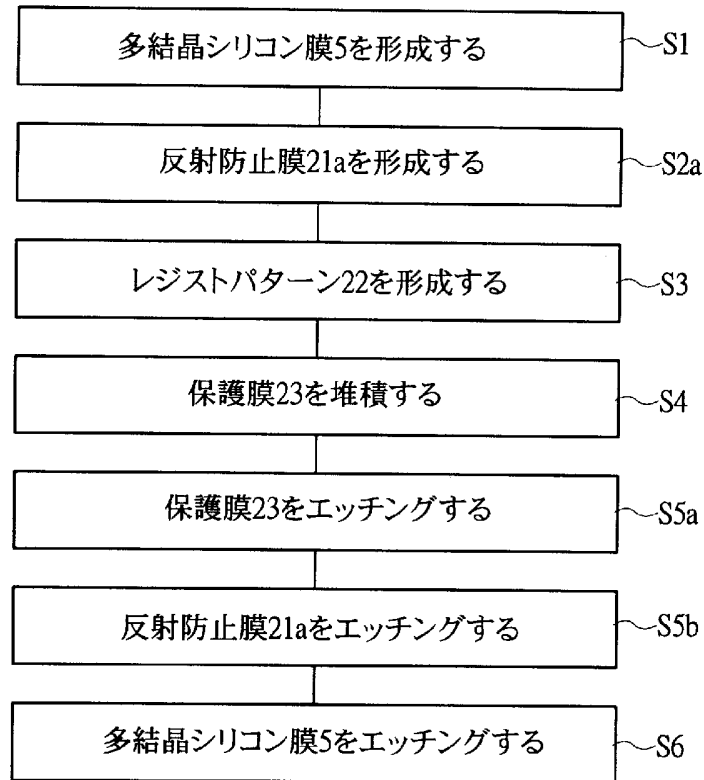
[図25]

図 25



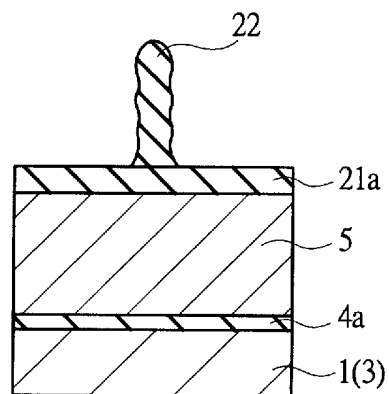
[図26]

図 26

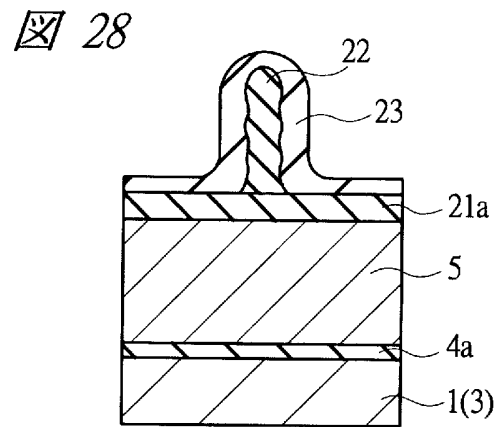


[図27]

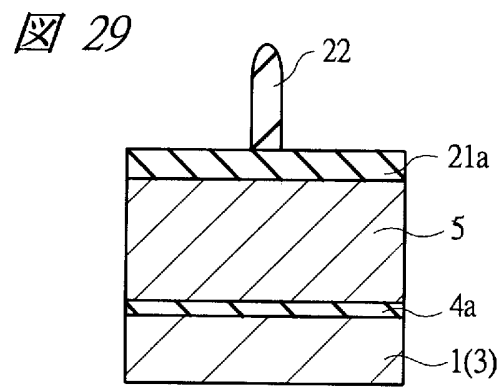
図 27



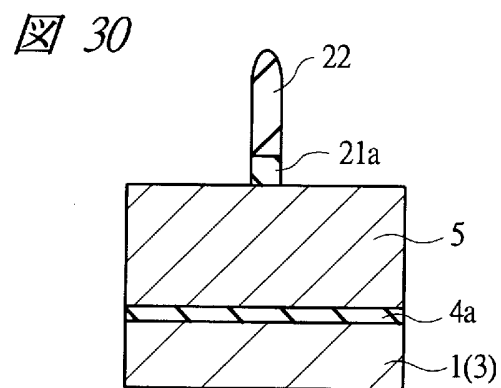
[図28]



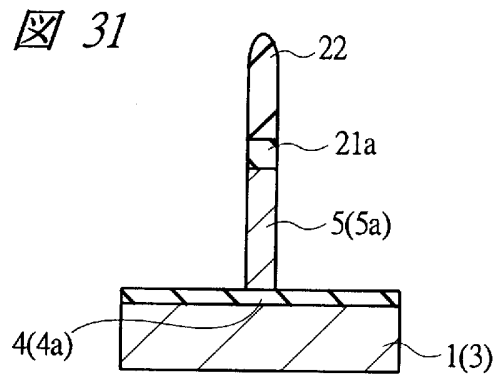
[図29]



[図30]

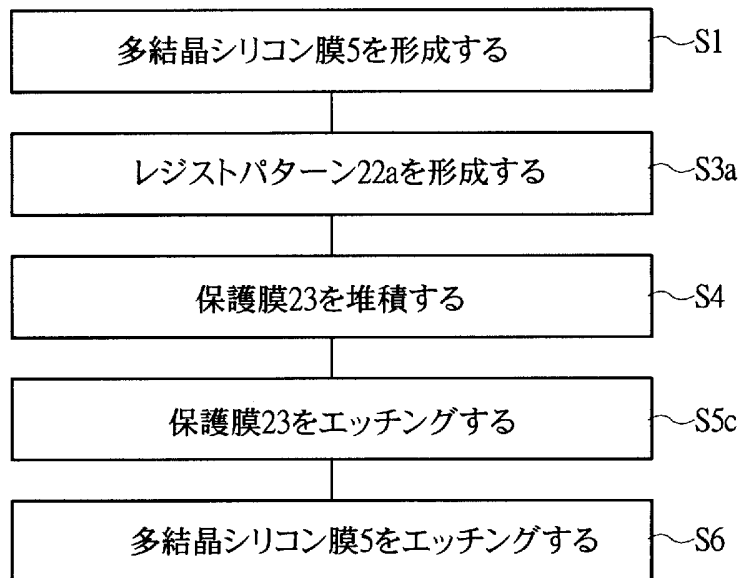


[図31]



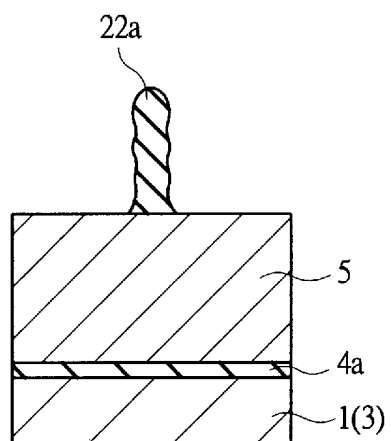
[図32]

図 32



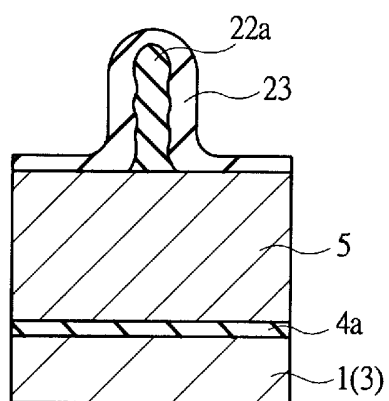
[図33]

図 33



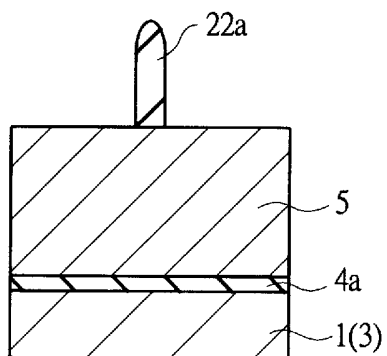
[図34]

図 34



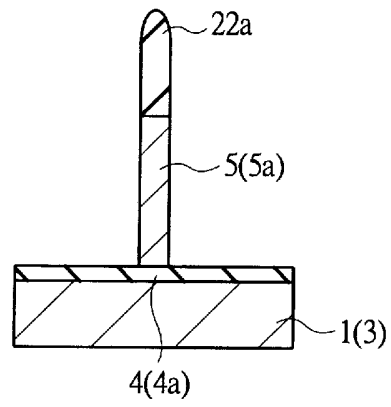
[図35]

図 35



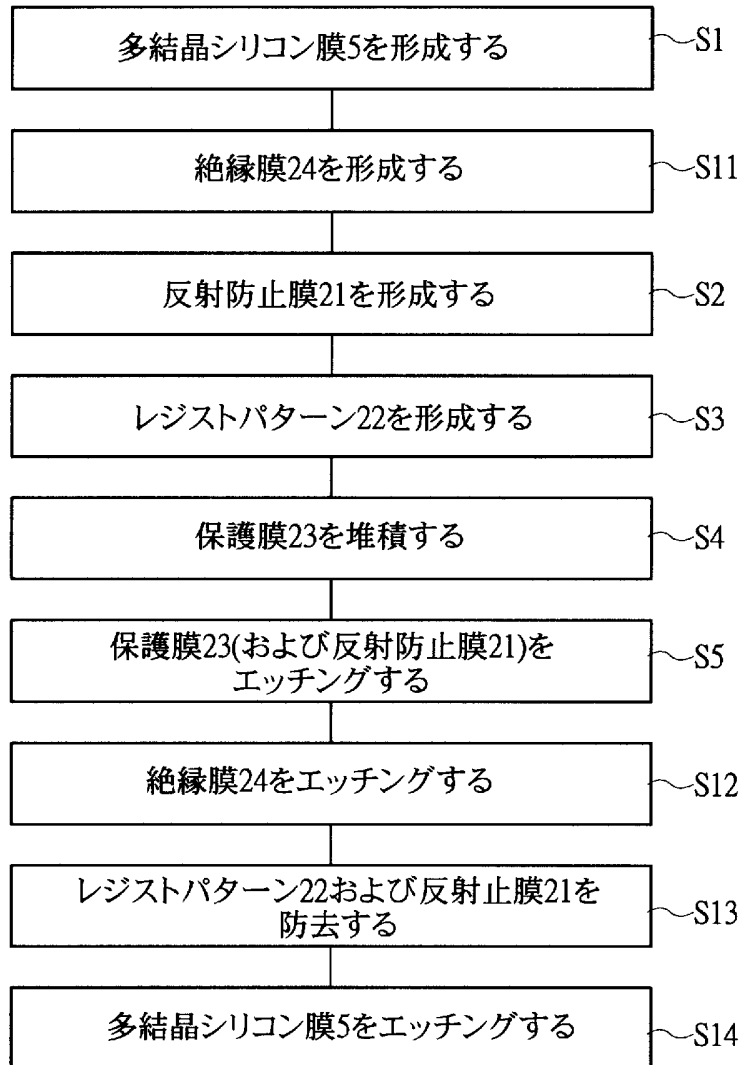
[図36]

図 36



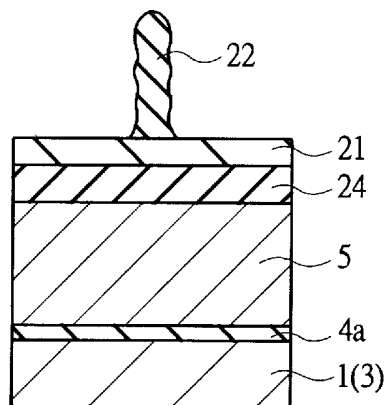
[図37]

図 37



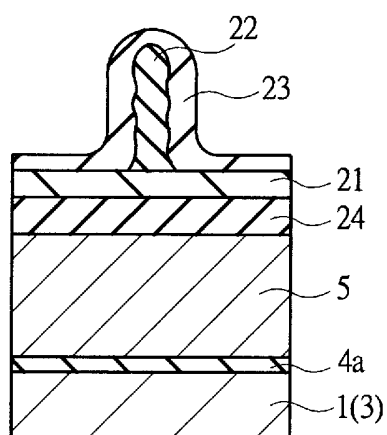
[図38]

図 38



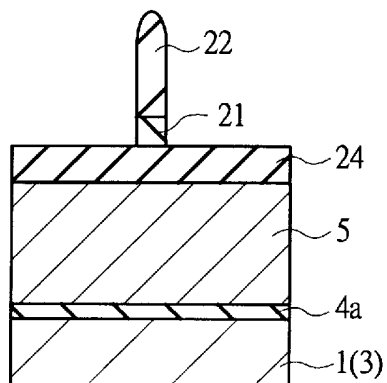
[図39]

図 39



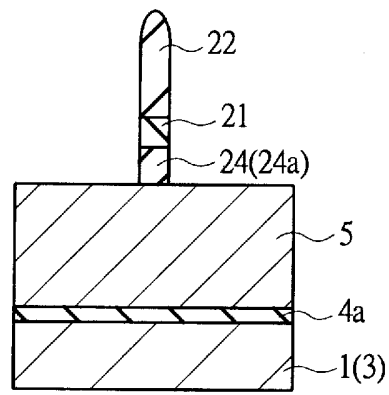
[図40]

図 40



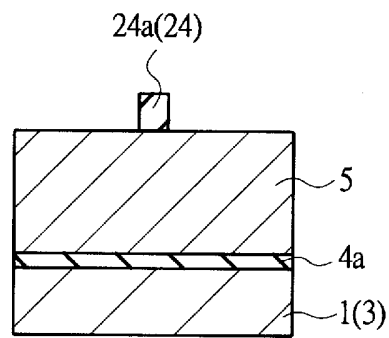
[図41]

図 41



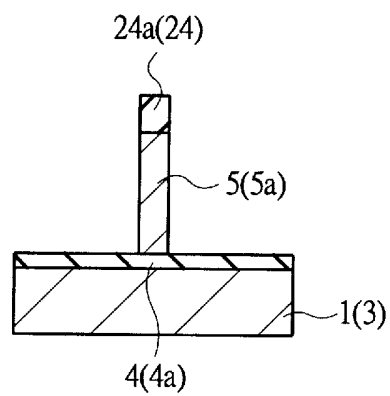
[図42]

図 42



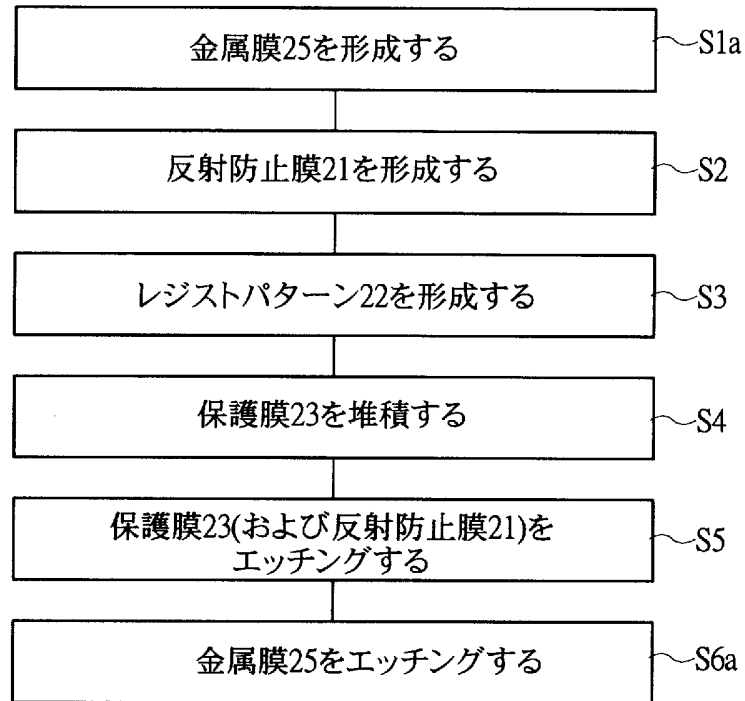
[図43]

図 43



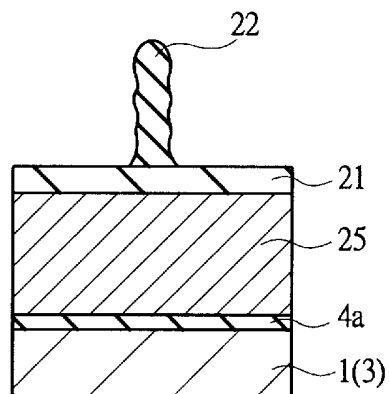
[図44]

図 44



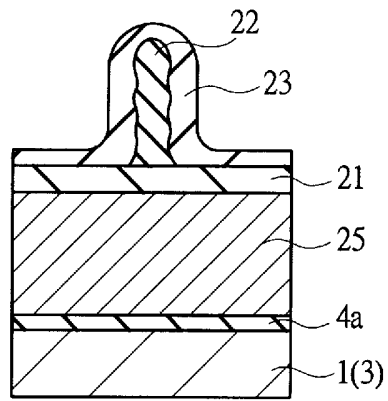
[図45]

図 45



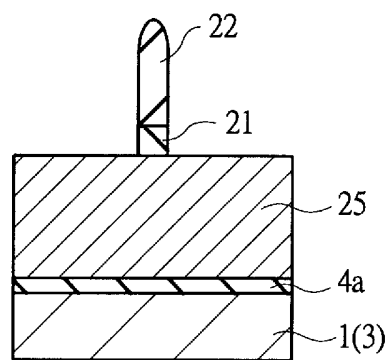
[図46]

図 46



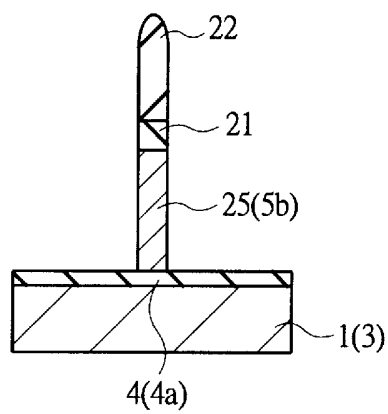
[図47]

図 47



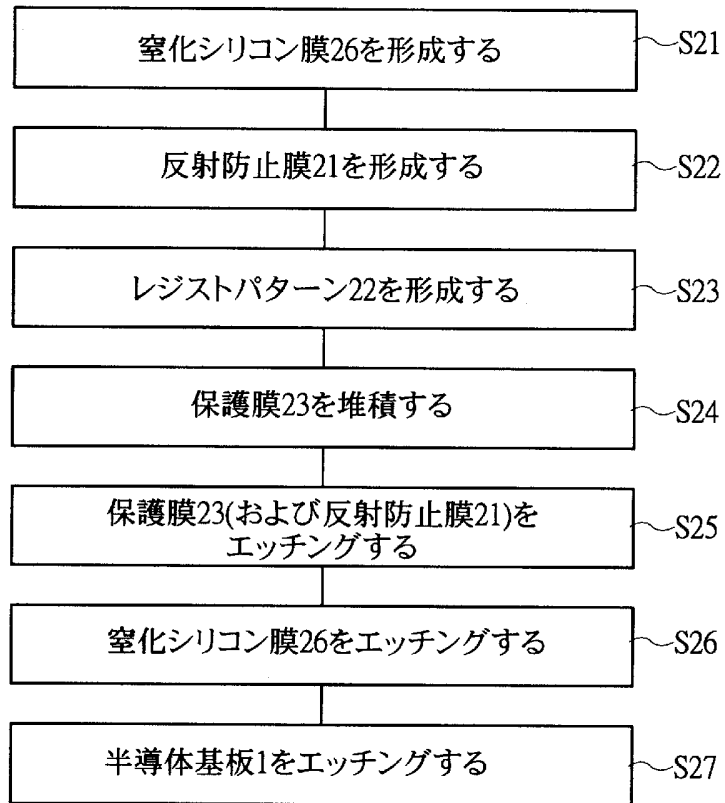
[図48]

図 48



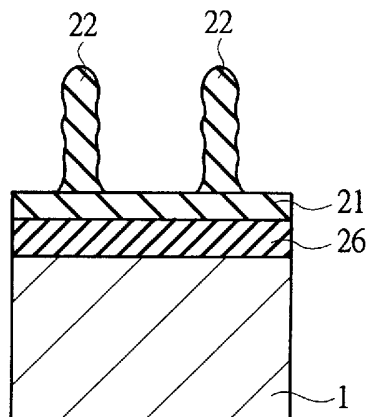
[図49]

図 49

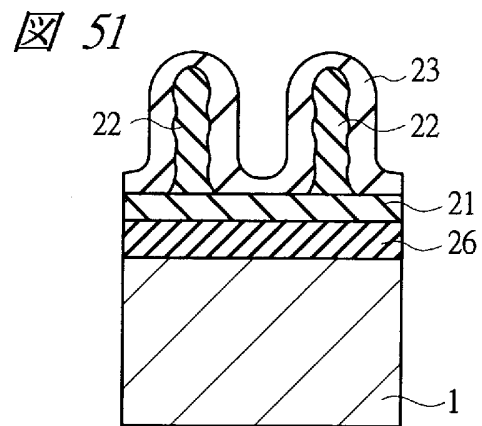


[図50]

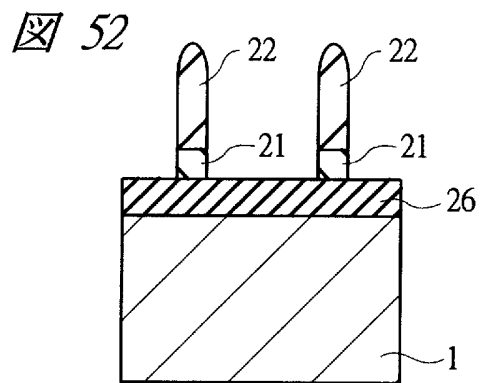
図 50



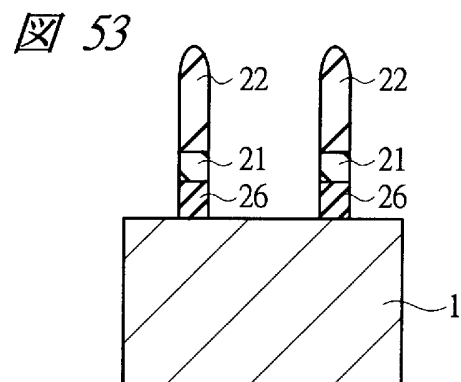
[図51]



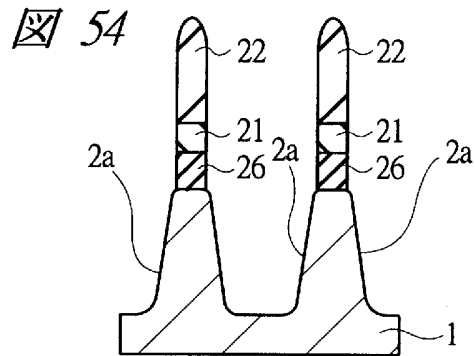
[図52]



[図53]

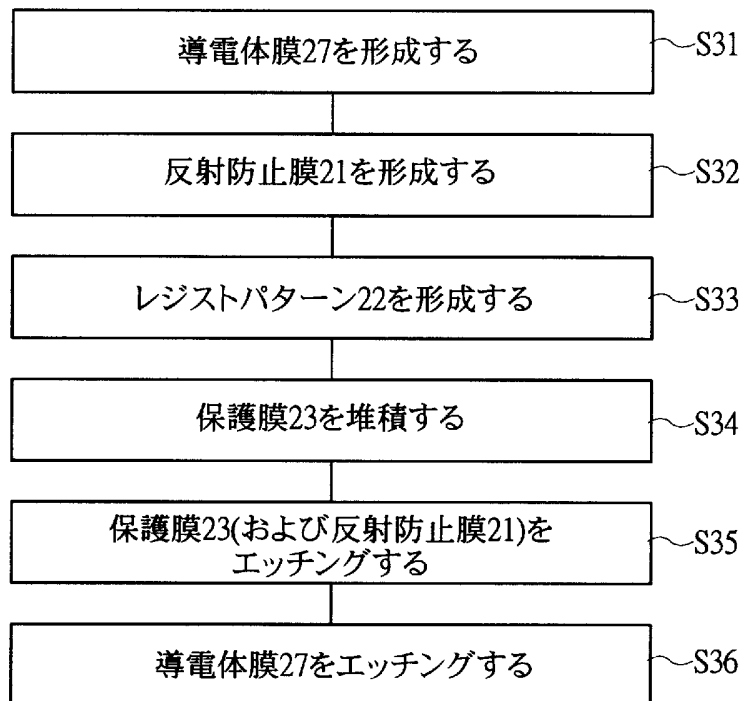


[図54]



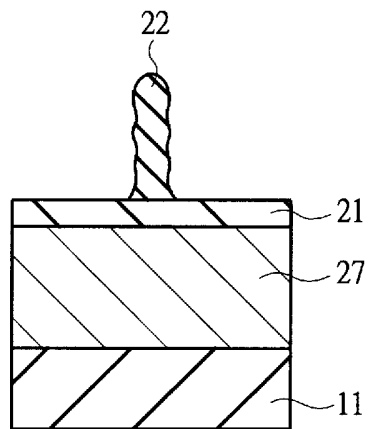
[図55]

図 55



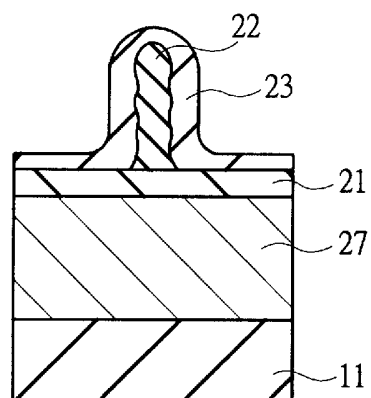
[図56]

図 56



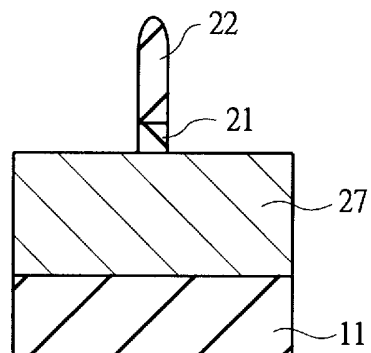
[図57]

図 57



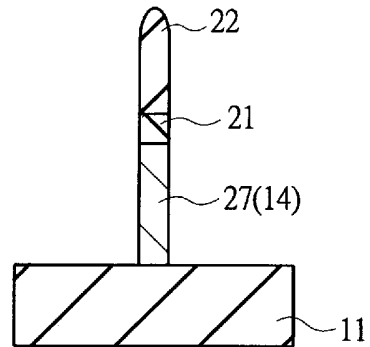
[図58]

図 58



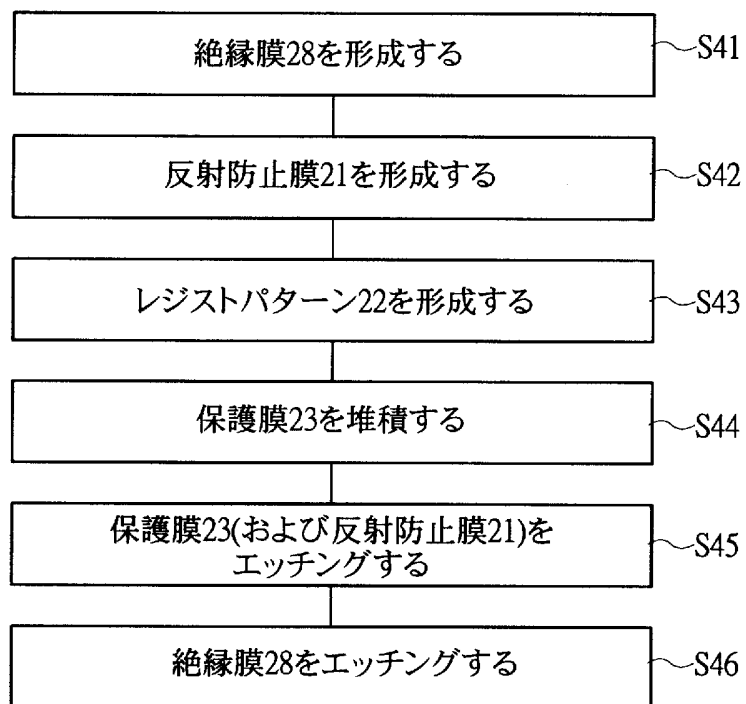
[図59]

図 59



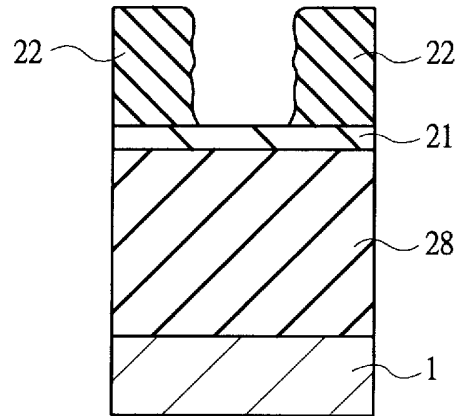
[図60]

図 60



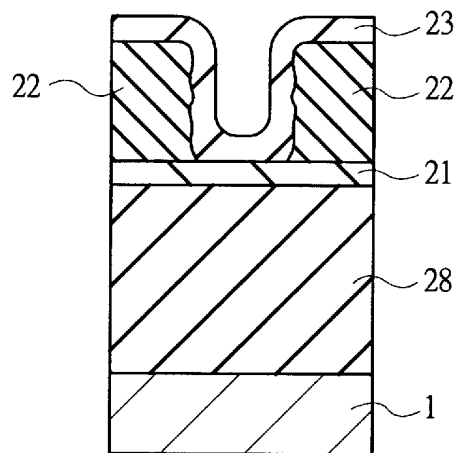
[図61]

図 61



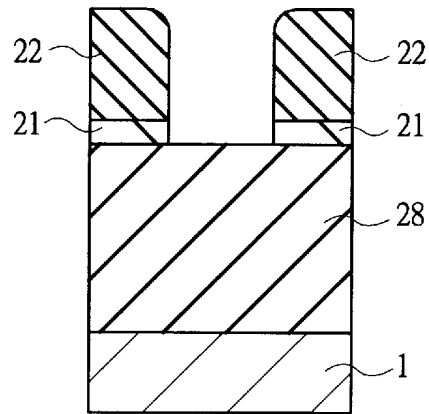
[図62]

図 62



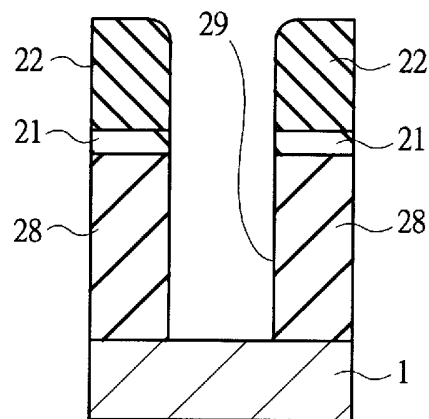
[図63]

図 63



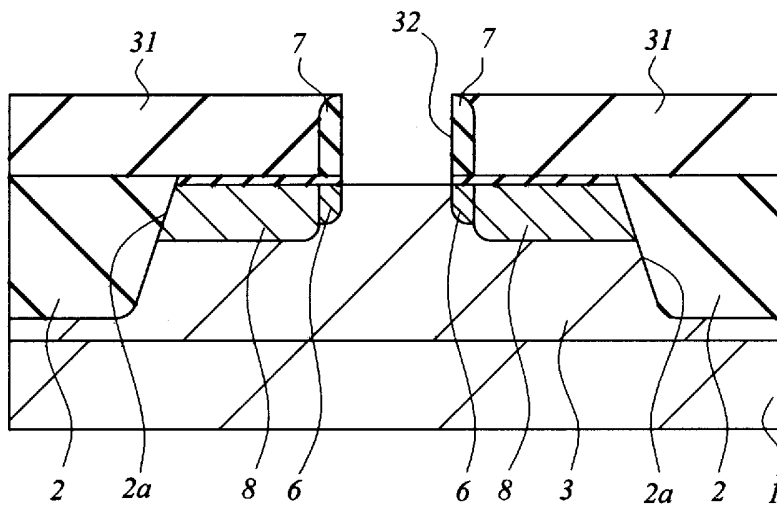
[図64]

図 64



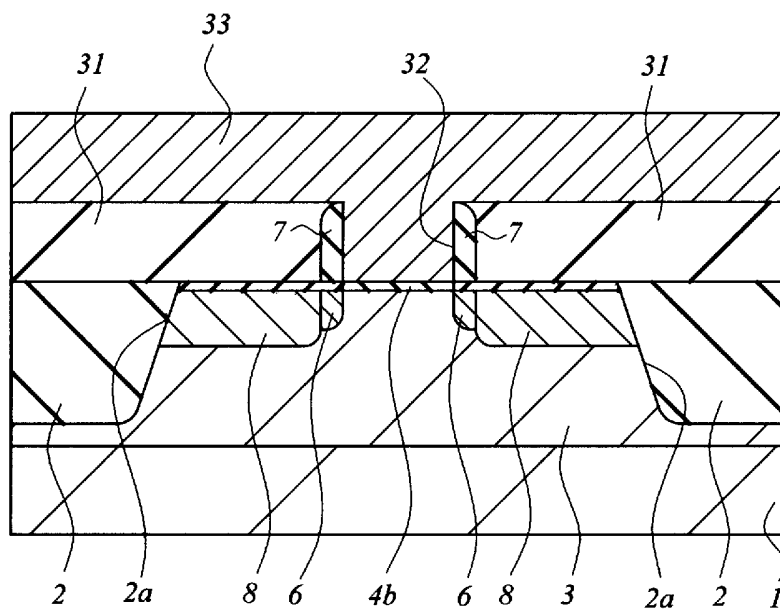
[図67]

図 67

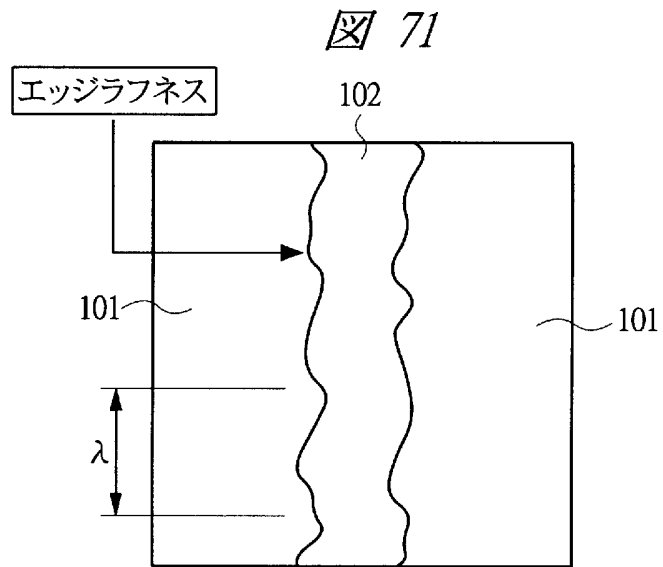


[図68]

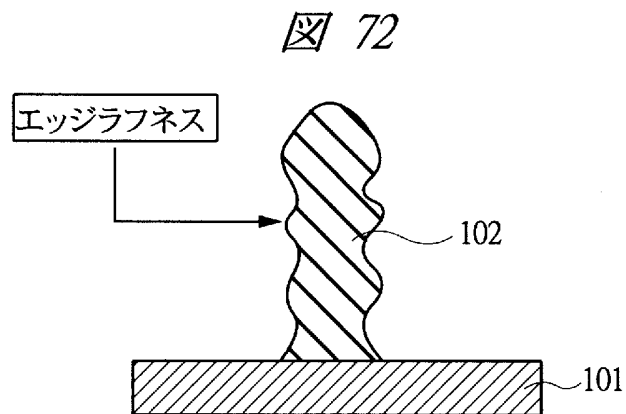
図 68



[図71]

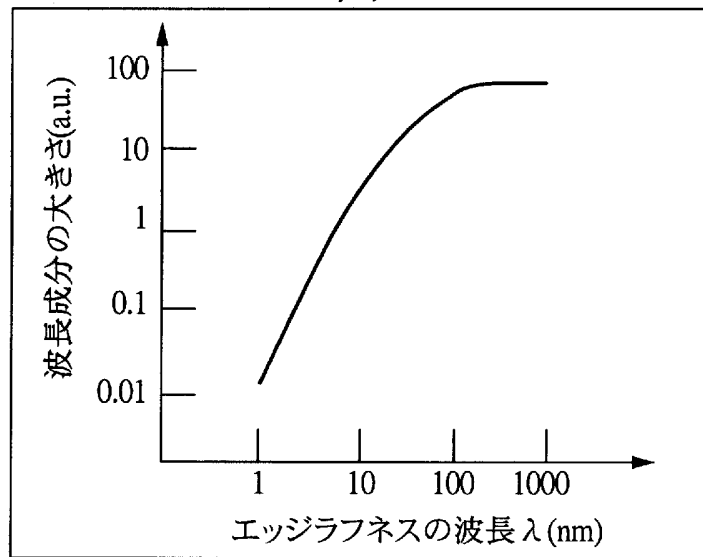


[図72]



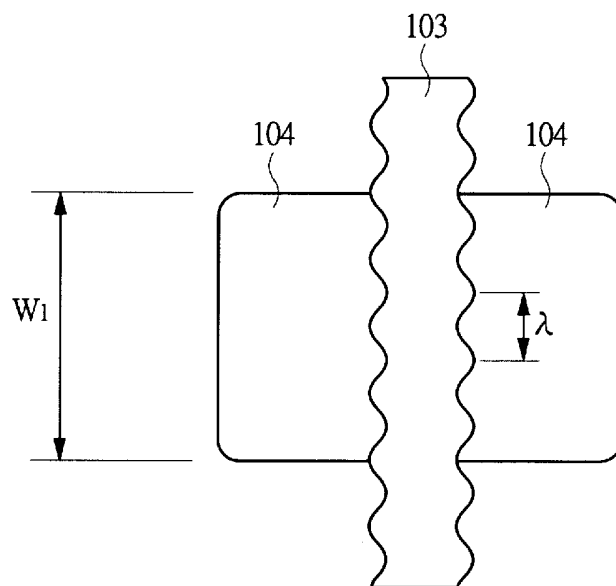
[図73]

図 73



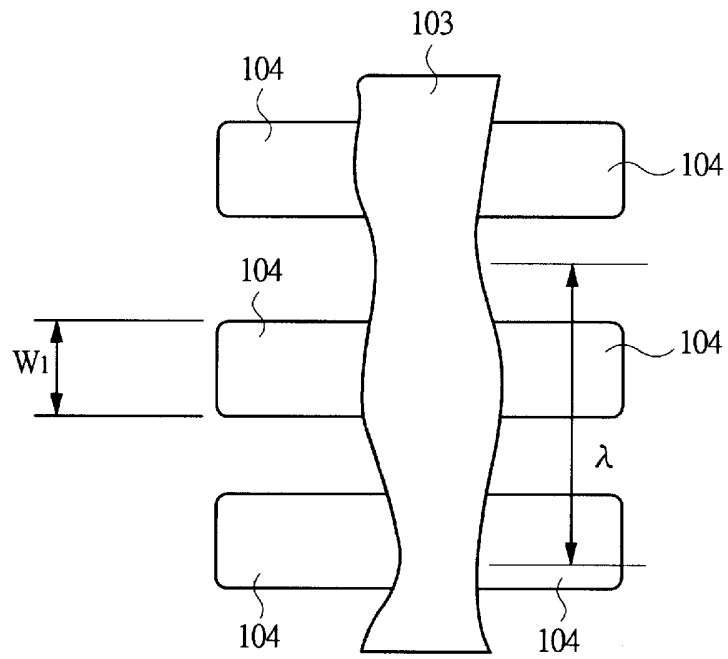
[図74]

図 74



[図75]

図 75



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013230

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/3065, 21/28, 21/3205, 21/768, 29/423, 29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/3065, 21/28, 21/3205, 21/768, 29/423, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-247444 A (Sony Corp.), 02 September, 2004 (02.09.04), Par. Nos. [0015] to [0025]; Fig. 1 (Family: none)	1-9
Y	JP 2002-231608 A (Hitachi, Ltd.), 16 August, 2002 (16.08.02), Par. Nos. [0020] to [0026] (Family: none)	1-9
Y	JP 10-4084 A (Sony Corp.), 06 January, 1998 (06.01.98), Par. Nos. [0007] to [0010] (Family: none)	3, 4, 6, 7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
16 September, 2005 (16.09.05)Date of mailing of the international search report
04 October, 2005 (04.10.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013230

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	Masaru KURIHARA and Masaru IZAWA, 'Reduction Technique of Line-Edge Roughness Independent of CD Shift in Gate-Etching Process', Proceedings of 4 th International Symposium on DRY PROCESS, 2004 Dry Process Symposium, November 2004, pages 7 to 12.	1-9
P,A	Y.S. Chae, H.W. Choi et al., 'Control of Surface Morphology and Etch Selectivity Using Fluorocarbon Film during Dry Etching', Proceedings of 4 th International Symposium on DRY PROCESS, 2004 Dry Process Symposium, November 2004, pages 13 to 17.	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/3065, 21/28, 21/3205, 21/768, 29/423, 29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/3065, 21/28, 21/3205, 21/768, 29/423, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-247444 A (ソニー株式会社) 2004.09.02, 段落【0015】 - 【0025】、第1図 (ファミリーなし)	1-9
Y	JP 2002-231608 A (株式会社日立製作所) 2002.08.16, 段落【0020】 - 【0026】 (ファミリーなし)	1-9
Y	JP 10-4084 A (ソニー株式会社) 1998.01.06, 段落【0007】 - 【0010】 (ファミリーなし)	3, 4, 6, 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

16.09.2005

国際調査報告の発送日

04.10.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

菅野 智子

電話番号 03-3581-1101 内線 3471

4R

3339

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	Masaru Kurihara and Masaru Izawa, 'Reduction Technique of Line-Edge Roughness Independent of CD Shift in Gate-Etching Process' Proceedings of 4 th International Symposium on DRY PROCESS, 2004 Dry Process Symposium, November 2004, pages 7-12.	1-9
P, A	Y. S. Chae, H. W. Choi et al, 'Control of Surface Morphology and Etch Selectivity Using Fluorocarbon Film during Dry Etching' Proceedings of 4 th International Symposium on DRY PROCESS, 2004 Dry Process Symposium, November 2004, pages 13-17.	1-9