

(43) 国際公開日
2006 年 4 月 13 日 (13.04.2006)

PCT

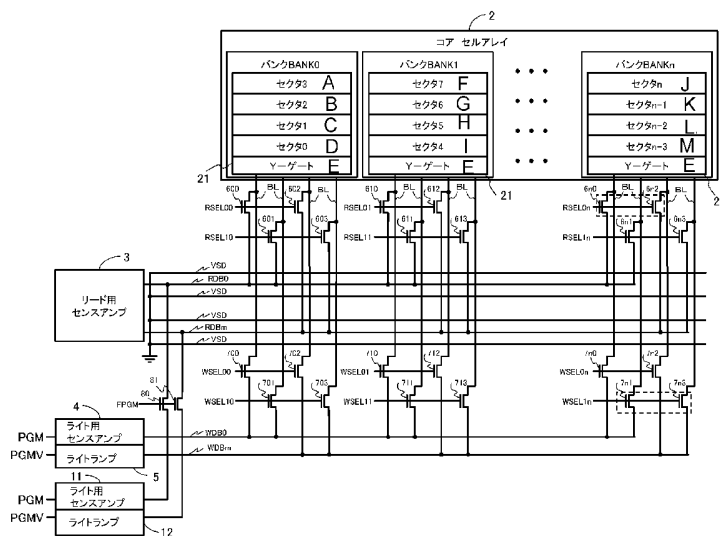
(10) 国際公開番号
WO 2006/038250 A1

- (51) 国際特許分類⁷: G11C 16/10 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/014327 (75) 発明者/出願人 (米国についてのみ): 黒崎一秀
(22) 国際出願日: 2004 年 9 月 30 日 (30.09.2004) (KUROSAKI, Kazuhide) [JP/JP]; 〒1600023 東京都
(25) 国際出願の言語: 日本語 新宿区西新宿四丁目 3 3 番 4 号 Spansion
(26) 国際公開の言語: 日本語 J a p a n 株式会社内 Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイル ワ
ン
エイムディ プレイス ピー・オー・ボッ
クス 3 4 5 3 California (US). Spansion
J a p a n 株式会社 (SPANSION JAPAN LIMITED)
[JP/JP]; 〒9650845 福島県会津若松市門田町工業団地
6 番 Fukushima (JP). (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND DATA WRITING METHOD

(54) 発明の名称: 半導体装置およびデータ書き込み方法



(57) Abstract: A semiconductor device wherein a simultaneous multi-bit write can be realized without increase of chip size. The semiconductor device includes a write data bus for writing data into memory cells; a read data bus for reading data from the memory cells; a first write amplifier that writes data into the memory cells by use of the read data bus during a high speed write; a second write amplifier that writes data into the memory cells by use of the write data bus during a high speed write; a first sense amplifier that reads verify data from the memory cells by use of the read data bus; and a second sense amplifier that reads verify data from the memory cells by use of the write data bus.

(57) 要約: チップサイズを増大させることなく、多ビットの同時書き込みを実現できる半導体装置を提供する。半導体装置は、メモリセルにデータを書き込むためのライトデータバスと、前記メモリセルからデータを読み出すためのリードデータバスと、高速書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込む第 1 のライトアンプと、高速書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込む第 2 のライト

アンプと、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出す第 1 のセンスアンプと、ライトデータバスを用いて前記メモリセルからベリファイデータを読

[続葉有]



SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置およびデータ書き込み方法

技術分野

[0001] 本発明は、半導体装置およびデータ書き込み方法に関する。

背景技術

[0002] 電氣的にデータの書き換えが可能な不揮発性半導体装置としてフラッシュメモリが広く用いられているが、フラッシュメモリのデータ書き換え時間はDRAMやSRAMのような他の半導体記憶装置と比べると極めて長く、フラッシュメモリを制御しているコントローラは、データの書き換え実行中はフラッシュメモリにアクセスできない。

[0003] 最近このような欠点を解消するために、フラッシュメモリの内部を複数のバンクに分割し、あるバンクのデータを書き換えている間でも、他のバンクのデータを読み出すことが可能なデュアルオペレーションタイプのフラッシュメモリが開発されている。ここでバンクとは一つのブロック又は任意に組み合わせられた二以上のブロックから構成されるグループからなり、データ処理に関して同時に働くことが可能なメモリバンクを指称する。

[0004] 次に、従来のデュアルオペレーションタイプのフラッシュメモリについて説明する。図1は従来のデュアルオペレーションタイプのフラッシュメモリのブロック図である。図1に示すように、フラッシュメモリ1は、セルアレイ2と、リード用センスアンプ3と、ライト用センスアンプ4と、ライトアンプ5とを含む。セルアレイ2は複数のバンクBANK0からBANKnを含む。各バンクBANK0乃至BANKnのメモリセルは、セクタ単位に管理されている。Yゲート21はビット線BLを介してリードデータバスRDB0乃至RDBmおよびライトデータバスWDB0乃至WDBmに接続されている。

[0005] リード用センスアンプ3はリードデータバスRDB0乃至RDBmを用いてメモリセルからデータを読み出す。ライト用センスアンプ4はライトデータバスWDB0からWDBmを用いてメモリセルからベリファイデータを読み出す。ライトアンプ5はライトデータバスWDB0からWDBmを用いてメモリセルにデータを書き込む。このようなデュアルオペレーションタイプのフラッシュメモリでは、あるバンクのデータを書き換えている間でも

、他のバンクのデータを読み出すことができる。

[0006] また、このようなデュアルオペレーションタイプのフラッシュメモリについて特許文献1で提案されている。

[0007] 特許文献1: 米国特許第6240040号明細書

発明の開示

発明が解決しようとする課題

[0008] しかしながら、このようなデュアルオペレーションタイプのフラッシュメモリ1において、メモリセルへの書き込み時、内部電源を用いた場合、チップに搭載された高電圧発生回路の電流能力の制約から一度に書き込むビット数が制限されるため、高速に書き込みを行うことができない。一方、外部電源を用いて高速書き込みを行うとした場合、一度に書き込むビット数に制限がないため、多くのビットを同時に書き込むことで高速書き込みが達成できるが、外部電源を用いて多ビットを同時に書き込むには、そのビット数分のライトデータバスが必要となり、ライトデータバスを増やすと、チップサイズが増大するという問題がある。

[0009] そこで、本発明は上記問題点に鑑みてなされたもので、チップサイズを増大させることなく、多ビットの同時書き込みを実現できる半導体装置および半導体書き込み方法を提供することを目的とする。

課題を解決するための手段

[0010] 上記課題を解決するために、本発明は、メモリセルにデータを書き込むためのライトデータバスと、前記メモリセルからデータを読み出すためのリードデータバスと、所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込む第1のライトアンプとを含む半導体装置である。本発明によれば、例えばバースト品やページ品のように多くのリードデータバスを持つ場合、例えば高速書き込み時にはこれらのリードデータバスをライトデータバスとして使用するので、メモリセルに多ビットを同時に書き込むことができ、高速に書き込みを行うことができる。また高速書き込み中に使っていないデータバスを用いてデータの書き込みを行うので、書き込み用のデータバスを別途設ける必要がないため、チップサイズが増大することもない。

[0011] 前記半導体装置は更に、所定の書き込み時、前記ライトデータバスを用いて前記メ

メモリセルにデータを書き込む第2のライトアンプを含む。本発明によれば、データの書き込みにライトデータバスとリードデータバスを用いることで、メモリセルに更に多くのビットを同時に書き込むことができ、高速に書き込むことができる。

[0012] 前記半導体装置は更に、前記リードデータバスをシールドするためのシールド配線と、所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3のライトアンプとを含む。本発明によれば、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するので、メモリセルに更に多くのビットを同時に書き込むことができ、高速に書き込みを行うことができる。

[0013] 本発明は、メモリセルからデータを読み出すリードデータバスをシールドするためのシールド配線と、所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3のライトアンプとを含む半導体装置である。本発明によれば、リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用することで、メモリセルに多ビットを同時に書き込むことができ、データを高速に書き込むことができる。本発明の半導体装置は更に、前記メモリセルにデータを書き込むためのライトデータバスを含む。

[0014] 前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出す第1のセンスアンプを含む。本発明によれば、ベリファイデータの読み出しにリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

[0015] 前記半導体装置は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出す第2のセンスアンプを含む。本発明によれば、ベリファイデータの読み出しにライトデータバスとリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

[0016] 前記半導体装置は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出す第3のセンスアンプを含む。本発明によれば、ベリファイデータの読み出しにシールド配線を用いることで、メモリセルからデータを高速に読み出すことができる。

[0017] 前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからデータ

を読み出すセンスアンプを含む。本発明によれば、リードデータバスを用いてメモリセルからデータを読み出すことができる。

[0018] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含む。本発明によれば、デュアルオペレーション動作に適したデータの高速読み出しが可能となる。

[0019] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、前記バンク毎に設けられ、前記リードデータバスを用いて前記メモリセルからデータを読み出すセンスアンプとを含む。本発明によれば、リード用のセンスアンプがバンク毎に設けられている場合でも、シールド配線を用いてメモリセルにデータを高速に書き込むことができる。

[0020] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含み、前記リードデータバスは、前記バンク毎に設けられている。本発明によれば、リードデータバスがバンク毎に設けられている場合でも、リードデータバスのシールド配線を用いることで、メモリセルにデータを高速に書き込むことができる。

[0021] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、前記バンクを選択する選択信号を生成する選択回路とを含む。本発明によれば、データを高速に書き込むバンクを選択することができる。

[0022] 前記半導体装置は更に、所定の書き込み時、前記第1のライトアンプを前記リードデータバスに接続するスイッチ手段を含む。本発明によれば、第1のライトアンプをリードデータバスに接続してメモリセルにデータを高速に書き込むことができる。

[0023] 前記半導体装置は更に、所定の書き込み時、前記第3のライトアンプを前記シールド配線に接続するスイッチ手段を含む。本発明によれば、第3のライトアンプをシールド配線に接続してメモリセルにデータを高速に書き込むことができる。

[0024] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2の

バンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、前記複数のバンクのうち前記リードデータバスに接続するバンクを選択するスイッチ手段を含む。本発明によれば、各バンク内のメモリセルをリードデータバスに接続することができる。

[0025] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、所定の書き込み時、前記複数のバンクのうち前記シールド配線に接続するバンクを選択するスイッチ手段を含む。本発明によれば、各バンク内のメモリセルをシールド配線に接続することができる。

[0026] 前記リードデータバスは、前記ライトデータバスよりも多くのデータバスから構成される。本発明によれば、バースト品やページ品の場合には、ライトデータバスよりも多いリードデータバスを用いることで、メモリセルにデータを高速に書き込むことができる。前記半導体装置は半導体記憶装置である。

[0027] 本発明は、ライトデータバスを用いてメモリセルにデータを書き込むステップと、リードデータバスを用いて前記メモリセルからデータを読み出すステップと、所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込むステップとを含むデータ書き込み方法である。本発明によれば、例えばバースト品やページ品のように多くのリードデータバスを持つ場合、例えば高速書き込み時にはこれらのリードデータバスをライトデータバスとして使用するので、多ビットを同時に書き込むことができ、高速に書き込みが可能な半導体装置のデータ書き込み方法を提供することができる。また、高速書き込み中に使っていないデータバスを用いてデータの書き込みを行うことで、書き込み用のデータバスを別途設ける必要がないため、チップサイズが増大することもない。

[0028] 本発明のデータ書き込み方法は更に、所定の書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込むステップを含む。本発明によれば、データの書き込みにライトデータバスとリードデータバスを用いることで、更に多くのビットを同時に書き込むことができ、高速に書き込むことができる。

[0029] 本発明のデータ書き込み方法は更に、所定の書き込み時、前記リードデータバスを

シールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップを含む。本発明によれば、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するので、更に多くのビットを同時に書き込むことができ、高速に書き込みを行うことができる。

[0030] 本発明は、リードデータバスを用いてメモリセルからデータを読み出すステップと、所定の書き込み時、前記リードデータバスをシールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップとを含むデータ書き込み方法である。本発明によれば、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するので、多ビットを同時に書き込むことができ、データを高速に書き込むことができる。

[0031] 前記データ書き込み方法は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む。本発明によれば、ベリファイデータの読み出しにリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

[0032] 前記データ書き込み方法は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む。本発明によれば、ベリファイデータの読み出しにライトデータバスとリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

[0033] 前記データ書き込み方法は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出すステップを含む。本発明によれば、ベリファイデータの読み出しにシールド配線を用いることで、メモリセルからデータを高速に読み出すことができる。

[0034] 前記データ書き込み方法は更に、前記メモリセルをそれぞれ含む複数のバンクを選択する選択信号を生成するステップを含む。本発明によれば、データを高速に書き込むバンクを選択することができる。

[0035] 前記データ書き込み方法は更に、複数のバンクのうち第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すステップを含む。本発明によれば、デュアルオペレーションタイプの半導体装置を提供することができる。

できる。

発明の効果

- [0036] 本発明によれば、チップサイズを増大させることなく、多ビットの同時書き込みを実現できる半導体装置および半導体書き込み方法を提供できる。

図面の簡単な説明

- [0037] [図1]従来のデュアルオペレーションタイプのフラッシュメモリのブロック図である。
[図2]実施例1による半導体装置の構成図である。
[図3]実施例1による半導体装置10のバンク選択信号を生成する構成を示す図である。
[図4]実施例1によるバンク選択回路を示す図である。
[図5]実施例1による半導体装置の高速書き込み時のタイミング図である。
[図6]実施例2による半導体装置の構成図である。
[図7]実施例2による半導体装置の高速書き込み時のタイミング図である。
[図8]実施例3による半導体装置の構成図である。
[図9]実施例3による半導体装置の高速書き込み時のタイミング図である。

発明を実施するための最良の形態

- [0038] 以下、添付の図面を参照して本発明の実施例を説明する。

実施例 1

- [0039] 図2は実施例1による半導体装置の構成図である。図2に示すように、半導体装置10は、コアセルアレイ2、リード用センスアンプ3、ライト用センスアンプ4、ライトアンプ5、ライト用センスアンプ11、ライトアンプ12を含む。また、半導体装置10はライトデータバスWDB0乃至WDBm、リードデータバスRDB0乃至RDBmおよびシールド配線VSDを含む。図1と同一箇所については同一符号を付して説明する。
- [0040] 半導体装置10は単独でパッケージされたフラッシュメモリ等の半導体記憶装置であってもよいし、システムLSIのように半導体装置の一部として組み込まれたものであってもよい。この半導体装置10はデータの消去や書き込みを行っている最中に他の部分のデータを読み出すことが可能なデュアルオペレーションタイプのものである。

半導体装置10はデュアルオペレーション動作中は通常でメモリセルにデータを書き込むことができ、高速書き込み時はデュアルオペレーション動作を禁止して、高速にメモリセルにデータを書き込むことができる。

- [0041] コアセルアレイ2は第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクBANK0乃至BANKnを含む。各バンクBANK0乃至BANKnのメモリセルは複数のセクタで構成されている。Yゲート21はビット線BLを介してリードデータバスRDB0乃至RDBmおよびライトデータバスWDB0乃至WDBmに接続されている。ライトデータバスWDB0乃至WDBmはメモリセルにデータを書き込むためのものである。リードデータバスRDB0乃至RDBmはメモリセルからデータを読み出すためのものである。シールド配線VSDはリードデータバスRDB0乃至RDBmをシールドするためのものである。
- [0042] リード用センスアンプ3は、電流比較回路であり、リードデータバスRDB0乃至RDBmを用いてメモリセルからデータを読み出し、メモリセルの読み出し電流と基準電流とを比較し、その電流差を増幅して出力する。ライト用センスアンプ4は通常書き込み時および高速書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルからベリファイデータを読み出すものである。ライトアンプ5は通常書き込み時および高速書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルにデータを書き込むものである。
- [0043] ライト用センスアンプ11はファーストプログラム用のセンスアンプである。このライト用センスアンプ11は、高速書き込み時、リードデータバスRDB0乃至RDBmを用いてメモリセルからベリファイデータを読み出すものである。このライト用センスアンプ11により、プログラムベリファイも2ワード分同時に行うことができる。なお、リードデータバスRDBmはリード用センスアンプ3に接続されているため、ライト用センスアンプ11を追加する代わりに、リード用センスアンプ3を用いてベリファイデータを読み出してもよい。ライトアンプ12は高速書き込み時、リードデータバスRDB0乃至RDBmを用いてメモリセルにデータを書き込むものである。
- [0044] NMOSTランジスタ80および81は、高速書き込み時、ライト用センスアンプ11およびライトアンプ12をリードデータバスRDB0乃至RDBmに接続するスイッチ手段であ

る。

- [0045] 各バンクBANK0乃至BANKnのビット線BLは、バンク選択信号RSEL00乃至RSEL1nがゲート入力となるNMOSTランジスタ600乃至6n3を介してリードデータバスRDB0乃至RDBmに接続されている。また、各バンクBANK0乃至BANKnのビット線BLは、バンク選択信号WSEL00乃至WSEL1nがゲート入力となるNMOSTランジスタ700乃至7n3を介してライトデータバスWDB0乃至WDBmに接続されている。ここでmはI/O番号で例えば0乃至15の整数である。
- [0046] バンクBANKnがリード状態の場合、バンク選択信号RSEL0nまたはRSEL1nがハイレベルになり、リード用センスアンプ3はリードデータバスRDB0乃至RDBmを通してデータの読み取りを行う。このとき16ビット(1ワード)を同時に読み出すことができる。バンクBANKnがプログラムまたはベリファイ状態の場合、バンク選択信号WSEL0nまたはWSEL1nがハイレベルになり、ライト用センスアンプ4およびライトアンプ5は、ライトデータバスWDB0乃至WDBmを通してプログラムまたはベリファイを行う。これにより16ビット(1ワード)同時書き込みが行われる。
- [0047] 通常、バンク選択信号RSEL0n、RSEL1n、WSEL0nおよびWSEL1nはバンクBANK1乃至BANKn毎に制御されリード、ライトが同時に実行することが可能となる。これにより、デュアルオペレーション機能が実現される。
- [0048] 高速書き込み時には、信号FPGMがハイレベルとなり、高速書き込み用のライト用センスアンプ11およびライトアンプ12がNMOSTランジスタ80および81を介してリード用データバスRDB0乃至RDBmに接続される。バンクBANKnの選択は、バンク選択信号RSEL0nおよびWSEL1nがHIGH、バンク選択信号RSEL1nおよびWSEL0nがLOWで行い、点線で囲んだランジスタがオンとなり、信号PGMがHIGHのとき、通常書き込み時の2倍のビット数を同時に書き込み、信号PGMVがHIGHでプログラムベリファイを行うことができる。これにより2ワード分(32ビット)の同時書き込みが実現される。
- [0049] 図3は実施例1による半導体装置10のバンク選択信号を生成する構成を示す図である。図3に示すように、半導体装置10は、コントロールロジック13、アドレスバッファ14およびバンク選択回路15を含む。コントロールロジック13は外部コマンドを受け取

り、信号Read、信号Write、信号FPGMを生成し、これらをアドレスバッファ14に送る。外部コマンドはライトコマンド、高速書き込みコマンド等のコマンドを含む。

[0050] アドレスバッファ14は外部アドレスA (i) およびコントロールロジック13からの信号Read、信号Write信号FPGMを受けて、リード用内部アドレスRA (i) およびRAB (i)、リード用バンク選択信号信号RBSELn、ライト用内部アドレスWA (i) およびWAB (i)、ライト用バンク選択信号WBSELnを生成する。ここでリード用内部アドレスRAB (i) は、リード用内部アドレスRA (i) の反転信号である。ライト用内部アドレスWAB (i) は、ライト用内部アドレスWA (i) の反転信号である。バンク選択回路15はバンクBANK0乃至BANKnを選択する選択信号RSEL0n、RESEL1n、WSEL0nおよびWSEL1nを生成する。

[0051] 次に、バンク選択回路15について説明する。図4はバンク選択信号を生成するバンク選択回路15の構成を示す図である。バンク選択回路15は回路151乃至回路157を含み、バンク選択信号RSEL0n、RSEL1n、WSEL0nおよびWSEL1nを生成する回路である。回路151はNAND回路511およびインバータ512を含み、信号WBSELnおよび信号FPGMから信号FWBSELnを生成する。回路152および回路153は、バンクBANKnのファーストプログラム時、バンク選択信号RSEL0nおよびWSEL1nを強制的にHIGHにする回路である。

[0052] 回路152は、NOR回路521およびインバータ522を含み、信号WA (j) および信号FPGMから信号FWA (j) を生成する。回路153はNAND回路531、インバータ532および533を含み、信号WAB (j) および信号FPGMから信号FWAB (j) を生成する。回路154乃至157において、インバータ回路154a乃至157aは、VCCレベルの入力信号をVPPレベルの出力信号にレベルシフトする回路である。回路154はNAND回路541、NMOSTランジスタ542および543、PMOSTランジスタ544および545を含み、信号RBSELnおよび信号RA (j) からバンク選択信号RSEL1nを生成する。

[0053] 回路155は、NAND回路551および552、NOR回路553、NMOSTランジスタ554および555、PMOSTランジスタ556および557を含み、信号RBSELn、信号RAB (j)、信号FWBSELn、信号FWA (j) からバンク選択信号RSEL0nを生成する。回

路156はNAND回路561、NMOSTランジスタ562および563、PMOSTランジスタ564および565を含み、信号WBSEL_nおよび信号FWA(j)からバンク選択信号WSEL_{1n}を生成する。

[0054] 回路157は、NAND回路571、NMOSTランジスタ572および573、PMOSTランジスタ574および575を含み、信号WBSEL_nおよび信号FWAB(j)からバンク選択信号WSEL_{0n}を生成する。通常、バンクBANK_nがリード状態の時、アドレスバッファ14からの信号RBSEL_nがHIGHとなり、ライト状態の時に信号WBSEL_nがHIGHとなり、リードアドレスRAB(j)およびRA(j)でバンク選択信号RSEL_{0n}およびRSEL_{1n}を選択し、ライトアドレスWAB(j)およびWA(j)で信号WSEL_{0n}、信号WSEL_{1n}の選択を行う。高速書き込み時には信号FPGMがHIGHとなる。また、信号WA(j)、信号WAB(j)にかかわらず内部信号FWA(j)がHIGH、FWAB(j)がLOWとなることで、バンク選択信号RSEL_{0n}およびWSEL_{1n}の選択を行う。

[0055] 次に、実施例1に係る半導体装置の高速書き込み時の動作について説明する。図5は実施例1に係る半導体装置の高速書き込み時のタイミング図である。高速書き込み時、ユーザは高速書き込みコマンドFPGMとともに、2つのアドレスと2つのデータ(16ビットずつの計32ビット)を連続的に入力する。このとき、アドレス入力は、コラム選択用(選択トランジスタ6n0乃至6n3および7n0乃至7n3)の最上位アドレスA(j)をHIGH、LOWと切り替えて入力し、その他のアドレスはA(i)は同一である。2つのデータは、各々のライトアンプ5および12にラッチされる。その後、信号PGMVがHIGHでプログラムベリファイに入る。

[0056] プログラムベリファイでは、図4に示したように、FWA(j)及びFWAB(j)が強制的にそれぞれHIGH及びLOWとなり、選択されたバンクBANK_nは、バンク選択信号RSEL_{0n}及びWSEL_{1n}が常にHIGH、バンク選択信号RSEL_{1n}及びWSEL_{0n}が常にLOWとなる。信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがリードデータバスRDB0乃至RDB_mおよびライトデータバスWDB0乃至WDB_mに供給され、32ビット(2ワード分)同時にプログラムベリファイが行われる。

[0057] 次に、信号PGMがHIGHのプログラム期間に、プログラム電圧がリードデータバスRDB0乃至RDB_mおよびライトデータバスWDB0乃至WDB_mに供給され、32ビット

の同時書き込みが行われる。次に、信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがリードデータバスRDB0乃至RDBmおよびライトデータバスWDB0乃至WDBmに流れ、32ビット(2ワード分)同時にプログラムベリファイが行われ、プログラムベリファイをパスすると、高速書き込みは終了し、信号FPGMがLOWとなる。続けて別のデータの高速書き込みを行うときは、再度FPGMコマンドを入力して同様に行う。

- [0058] 実施例1によれば、リードとライトを同時に行えるフラッシュメモリでは通常リードデータバス、ライトデータバスを持つので、高速書き込み時にはリードとライトとの同時実行を禁止してリードデータバスとライトデータバスの両方をライトデータバスとして使用し多ビットを同時に書き込み、高速に書き込むことができる。書き込み用のデータバスを別途設ける必要がないため、チップサイズが増大することもない。

実施例 2

- [0059] 次に、実施例2について説明する。図6は実施例2に係る半導体装置の構成図である。図6に示すように、半導体装置110は、コアセルアレイ2、リード用センスアンプ3、ライト用センスアンプ4、ライトアンプ5、ライト用センスアンプ11、ライトアンプ12を含む。半導体装置110は更に、実施例1と同様に、コントロールロジック13、アドレスバッファ14およびバンク選択回路15を含む。この半導体装置110はデータの消去や書き込みを行っている最中に他の部分のデータを読み出すことが可能なデュアルオペレーションタイプのものであり、バーストモードまたはページモードを備えている。
- [0060] ライトデータバスWDB0乃至WDBmは、メモリセルにデータを書き込むためのものである。リードデータバスRDB0m乃至RDB1mは、メモリセルからデータを読み出すためのものである。このリードデータバスRDB0m乃至RDB1mは、ライトデータバスWDB0乃至WDBmよりも多くのデータバスを含む。バーストやページモード品では読み出し時は同時に複数ワード(ここでの例では2ワード)をアクセスするため、入出力端子I/Omに対しては同時にリードデータバスRDB0mとリードデータバスRDB1mの2つのバスに2ワード分のデータが読み出される。シールド配線VSDはリードデータバスRDB00乃至RDB1mをシールドするためのものである。
- [0061] コアセルアレイ2は、第1のバンクのメモリセルにデータを書き込み中に第2のバンク

のメモリセルからデータを読み出すことができる複数のバンクBANK0乃至BANKnを含む。バンクBANK0からBANKnのメモリセルは複数のセクタで構成されている。リード用センスアンプ3は、電流比較回路であり、リードデータバスRDB0m乃至RDB1mを用いてメモリセルからデータを読み出し、メモリセルの読み出し電流と基準電流とを比較し、その電流差を増幅して出力する。

[0062] ライト用センスアンプ4は、通常書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルからベリファイデータを読み出す。このライト用センスアンプ4は、高速書き込み時、リードデータバスRDB00乃至RDB0mを用いてメモリセルからベリファイデータの読み出しを行う。ライトアンプ5は、通常書き込み時、ライトデータバスWDB0乃至WDBmを用いてデータの書き込みを行う。ライトアンプ5は、高速書き込み時、リードデータバスRDB00乃至RDB0mを用いてメモリセルからベリファイデータの読み出しを行う。

[0063] ライト用センスアンプ11は、ファーストプログラム用のセンスアンプである。このライト用センスアンプ11は、高速書き込み時、リードデータバスRDB10乃至RDB1mを用いてメモリセルからベリファイデータを読み出す。このライト用センスアンプ11により、プログラムベリファイも2ワード分同時に行うことができる。ライトアンプ12は、高速書き込み時、リードデータバスRDB10乃至RDB1mを用いてメモリセルにデータを書き込む。NMOSTランジスタ80乃至83は、高速書き込み時、ライト用センスアンプ4、センスアンプ5、ライト用センスアンプ11およびライトアンプ12をリードデータバスRDB00乃至RDB1mに接続するスイッチ手段である。

[0064] 各バンクBANK0乃至BANKnのビット線BLは、バンク選択信号RSEL0乃至RSELnがゲート入力となるNMOSTランジスタ600乃至6n3を介してリードデータバスRDB00乃至RDB1mに接続されている。また、各バンクBANK0乃至BANKnのビット線BLは、バンク選択信号WSEL00乃至WSEL1nがゲート入力となるNMOSTランジスタ700乃至7n3を介してライトデータバスWDB0乃至WDBmに接続されている。ここでmはI/O番号で例えば0乃至15の整数となる。

[0065] バンクBANK0乃至BANKnがリード状態の場合、バンク選択信号RSELnがハイレベルになり、リード用センスアンプ3は、リードデータバスRDB00乃至RDB1mを通

して2ワードのデータの読み取りを行う。バンクBANK_nがプログラムまたはベリファイ状態の場合、バンク選択信号WSEL_{0n}またはWSEL_{1n}がハイレベルになり、ライト用センスアンプ4、ライトアンプ5は、ライトデータバスWDB₀乃至WDB_mを通して1ワードのプログラムまたはベリファイを行う。

[0066] 通常、バンク選択信号RSEL_n、WSEL_{0n}、WSEL_{1n}はバンクBANK₀乃至BANK_n毎に制御されリード、ライトを同時に実行することが可能となる。これにより、デュアルオペレーション機能が実現される。高速書き込み時には、信号FPGMがハイレベルとなり、ライト用センスアンプ4、センスアンプ5、ライト用センスアンプ11およびライトアンプ12がNMOSTランジスタ80乃至83を介してリードデータバスRDB₀₀乃至RDB_{1m}に接続されて、2ワード分を同時にプログラムまたはプログラムベリファイすることができる。

[0067] このように、実施例2では、ライトデータバスWDB₀乃至WDB_mより多くのリードデータバスRDB₀₀乃至RDB_{1m}を持つので、高速書き込み時にリードデータバスRDB₀₀乃至RDB_{1m}だけを使用して複数のビットに同時書き込みを行う。この場合、バンク選択信号RSEL_n、WSEL_{0n}、WSEL_{1n}の制御が簡単になる。

[0068] 図7は実施例2に係る半導体装置の高速書き込み時のタイミング図である。バンクBANK_nの高速書き込み時、信号FPGM、バンク選択信号RSEL_nがHIGHとなる。信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがリードデータバスRDB_{0m}およびRDB_{1m}に流れ、プログラムベリファイが行われる。次に、信号PGMがHIGHのプログラム期間に、プログラム電圧がリードデータバスRDB_{0m}およびRDB_{1m}に供給され、32ビットの同時書き込みが行われる。

[0069] 次に、信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがリードデータバスRDB_{0m}およびRDB_{1m}に流れ、プログラムベリファイが行われ、プログラムベリファイをパスすれば、高速書き込みは終了し、信号FPGMがLOWとなる。続けて別のデータの高速書き込みを行うときは、再度FPGMコマンドを入力して同様に行う。

[0070] 実施例2によれば、バースト品やページ品のように複数ワード分のリードデータバスを持つメモリで、高速書き込み時にはこれらのリードデータバスをライトデータバスとし

て使用するので、多ビットを同時に書き込むことができ、高速に書き込みを行うことができる。

実施例 3

[0071] 次に、実施例3について説明する。図8は実施例3に係る半導体装置の構成図である。実施例3では、複数のリードデータバスが各バンク毎にある場合の例である。図8に示すように、半導体装置210は、コアセルアレイ2、複数のリード用センスアンプ3a乃至3n、ライト用センスアンプ4、ライトアンプ5、ライト用センスアンプ11、ライトアンプ120を含む。半導体装置210は更に、実施例1と同様に、コントロールロジック13、アドレスバッファ14およびバンク選択回路15を含む。

[0072] 半導体装置210は、データの消去や書き込みを行っている最中に他の部分のデータを読み出すことが可能なデュアルオペレーションタイプのものであり、ページモードやバーストモードを備えている。ライトデータバスWDB0乃至WDBmは、メモリセルにデータを書き込むためのものである。リードデータバスRDB000乃至RDBn1mは、メモリセルからデータを読み出すためのものである。このリードデータバスRDB000乃至RDBn1mは、バンクBANK0乃至BANKn毎に設けられている。シールド配線VSDは、リードデータバスRDB000乃至RDBn1mをシールドするためのものである。

[0073] コアセルアレイ2は、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクBANK0乃至BANKnを含む。バンクBANK0乃至BANKnのメモリセルは複数のセクタで構成されている。各リード用センスアンプ3a乃至3nは、リードデータバスRDB000乃至RDBn1mを用いてメモリセルからデータを読み出す。このリード用センスアンプ3a乃至3nは、バンク毎に設けられている。

[0074] ライト用センスアンプ4は、通常書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルからベリファイデータを読み出す。ライトアンプ5は、通常書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルにデータを書き込む。ライト用センスアンプ11は、ファーストプログラム用のセンスアンプである。ライト用センスアンプ4および11は、高速書き込み時、シールド配線VSDを用いてメモリセルからベリ

ファイデータを読み出す。このライト用センスアンプ11により、プログラムベリファイも2ワード分同時に行うことができる。ライトアンプ5および120は、高速書き込み時、シールド配線VSDを用いてメモリセルにデータを書き込む。

- [0075] NMOSTランジスタ80乃至83は、高速書き込み時、ライト用センスアンプ4、ライトアンプ5、ライト用センスアンプ11およびライトアンプ12をシールド配線VSDに接続するスイッチ手段である。NMOSTランジスタ800乃至8n4は、高速書き込み時、ビット線BLをリードデータバスRDB000乃至RDBn1mを介してシールド配線VSDに接続するスイッチ手段である。
- [0076] バンクBANKnのビット線BLは、バンク選択信号RSELnがゲート入力となるNMOSTランジスタ6n0乃至6n3を介してリードデータバスRDBn0n乃至RDBn1mに接続されて、2ワード分の読み出しが行われる。また、バンクBANKnのビット線BLは、バンク選択信号WSEL0n乃至WSEL1nがゲート入力となるNMOSTランジスタ7n0と7n2、または7n1と7n3を介してライトデータバスWDB0乃至WDBmに接続されて、1ワードのプログラムが行われる。ここでmはI/O番号で例えば0乃至15の整数となる。
- [0077] 各リードデータバスRDB000乃至RDBn1mは、隣のリードデータバスの影響を緩和するためにシールド配線VSDでシールドされている。このシールド配線VSDは、バンク共通であるのでこれを高速書き込み時のデータバスとして使用する。通常時、信号FPGMBはハイレベルとなり、シールド配線VSDはNMOSTランジスタ90乃至95を介してグランドVSSに接続される。高速書き込み時、信号FPGMBはローレベルとなり、グランドVSSとは切り離される。信号FPGMがハイレベルとなり、ライト用センスアンプ4、ライトアンプ5にはバンクBANKnのリードデータバスRDBn00乃至RDBn0mが、ライト用センスアンプ11およびライトアンプ120にはバンクBANKnのリードデータバスRDBn10乃至RDBn1mが接続されて2ワード同時の高速書き込みおよびベリファイが行われる。
- [0078] 図9は実施例3に係る半導体装置の高速書き込み時のタイミング図である。バンクBANKnの高速書き込み時、信号FPGM、バンク選択信号RSELnがHIGHとなる。信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがシールド配

線VSDに流れ、プログラムベリファイが行われる。次に、信号PGMがHIGHのプログラム期間に、プログラム電圧がシールド配線VSDに供給され、32ビットの同時書き込みが行われる。

- [0079] 次に、信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがシールド配線VSDに流れ、プログラムベリファイが行われ、プログラムベリファイをパスすれば、高速書き込みは終了し、信号FPGMがLOWとなる。続けて別のデータの高速書き込みを行うときは、再度FPGMコマンドを入力して同様に行う。
- [0080] 実施例3によれば、リードデータバスがバンク毎にある場合、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するので、多ビットを同時に書き込むことができ、高速に書き込みを行うことができる。
- [0081] なお、実施例1および実施例2でも、シールド配線VSDを用いて高速書き込みを実現してもよい。
- [0082] また、ライトアンプ12、ライトアンプ5、ライトアンプ5およびライトアンプ120、ライト用センスアンプ11、ライト用センスアンプ4、ライト用センスアンプ4およびライト用センスアンプ11、バンク選択回路15が請求の範囲における第1のライトアンプ、第2のライトアンプ、第3のライトアンプ、第1のセンスアンプ、第2のセンスアンプ、第3のセンスアンプ、選択回路にそれぞれ対応する。また、なお、NMOSTランジスタ600乃至6n3が、複数のバンクのうちリードデータバスに接続するバンクを選択するスイッチ手段である。
- [0083] 以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。

請求の範囲

- [1] メモリセルにデータを書き込むためのライトデータバスと、
 前記メモリセルからデータを読み出すためのリードデータバスと、
 所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込む第1のライトアンプと
 を含む半導体装置。
- [2] 前記半導体装置は更に、所定の書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込む第2のライトアンプを含む請求項1記載の半導体装置。
- [3] 前記半導体装置は更に、前記リードデータバスをシールドするためのシールド配線と、
 所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3のライトアンプとを含む請求項1または請求項2記載の半導体装置。
- [4] メモリセルからデータを読み出すリードデータバスをシールドするためのシールド配線と、
 所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3のライトアンプと
 を含む半導体装置。
- [5] 前記半導体装置は更に、前記メモリセルにデータを書き込むためのライトデータバスを含む請求項4記載の半導体装置。
- [6] 前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出す第1のセンスアンプを含む請求項1から請求項3のいずれか一項に記載の半導体装置。
- [7] 前記半導体装置は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出す第2のセンスアンプを含む請求項1から請求項3のいずれか一項に記載の半導体装置。
- [8] 前記半導体装置は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出す第3のセンスアンプを含む請求項3から請求項5のいずれか一項に記載の記載の半導体装置。

- [9] 前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからデータを読み出すセンスアンプを含む請求項1から請求項4のいずれか一項に記載の半導体装置。
- [10] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含む請求項1から請求項9のいずれか一項に記載の半導体装置。
- [11] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、
前記バンク毎に設けられ、前記リードデータバスを用いて前記メモリセルからデータを読み出すセンスアンプとを含む請求項3から請求項5のいずれか一項に記載の半導体装置。
- [12] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含み、
前記リードデータバスは、前記バンク毎に設けられている請求項3から請求項5のいずれか一項に記載の半導体装置。
- [13] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、
前記バンクを選択する選択信号を生成する選択回路とを含む請求項1から請求項9のいずれか一項に記載の半導体装置。
- [14] 前記半導体装置は更に、所定の書き込み時、前記第1のライトアンプを前記リードデータバスに接続するスイッチ手段を含む請求項1から請求項3のいずれか一項に記載の半導体装置。
- [15] 前記半導体装置は更に、所定の書き込み時、前記第3のライトアンプを前記シールド配線に接続するスイッチ手段を含む請求項3から請求項5のいずれか一項に記載の半導体装置。

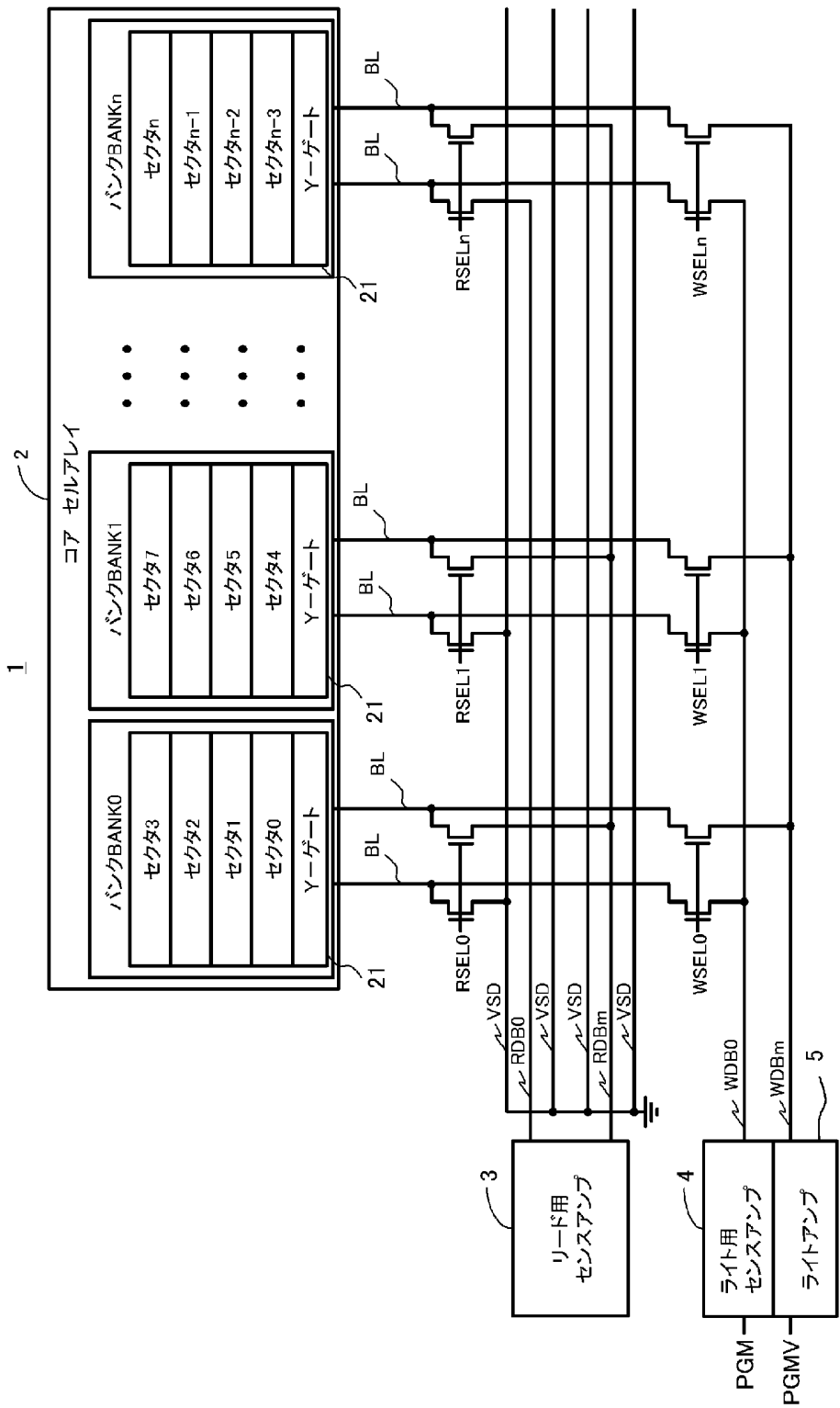
- [16] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、
前記複数のバンクのうち前記リードデータバスに接続するバンクを選択するスイッチ手段を含む請求項1から請求項3のいずれか一項に記載の半導体装置。
- [17] 前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、
所定の書き込み時、前記複数のバンクのうち前記シールド配線に接続するバンクを選択するスイッチ手段を含む請求項3から請求項5のいずれか一項に記載の半導体装置。
- [18] 前記リードデータバスは、前記ライトデータバスよりも多くのデータバスから構成される請求項1から請求項3および請求項5から請求項17のいずれか一項に記載の半導体装置。
- [19] 前記半導体装置は、半導体記憶装置である請求項1から請求項18のいずれか一項に記載の半導体装置。
- [20] ライトデータバスを用いてメモリセルにデータを書き込むステップと、
リードデータバスを用いて前記メモリセルからデータを読み出すステップと、
所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込むステップと
を含むデータ書き込み方法。
- [21] 前記データ書き込み方法は更に、所定の書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込むステップを含む請求項20記載のデータ書き込み方法。
- [22] 前記データ書き込み方法は更に、所定の書き込み時、前記リードデータバスをシールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップを含む請求項20または請求項21記載のデータ書き込み方法。
- [23] リードデータバスを用いてメモリセルからデータを読み出すステップと、

所定の書き込み時、前記リードデータバスをシールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップと

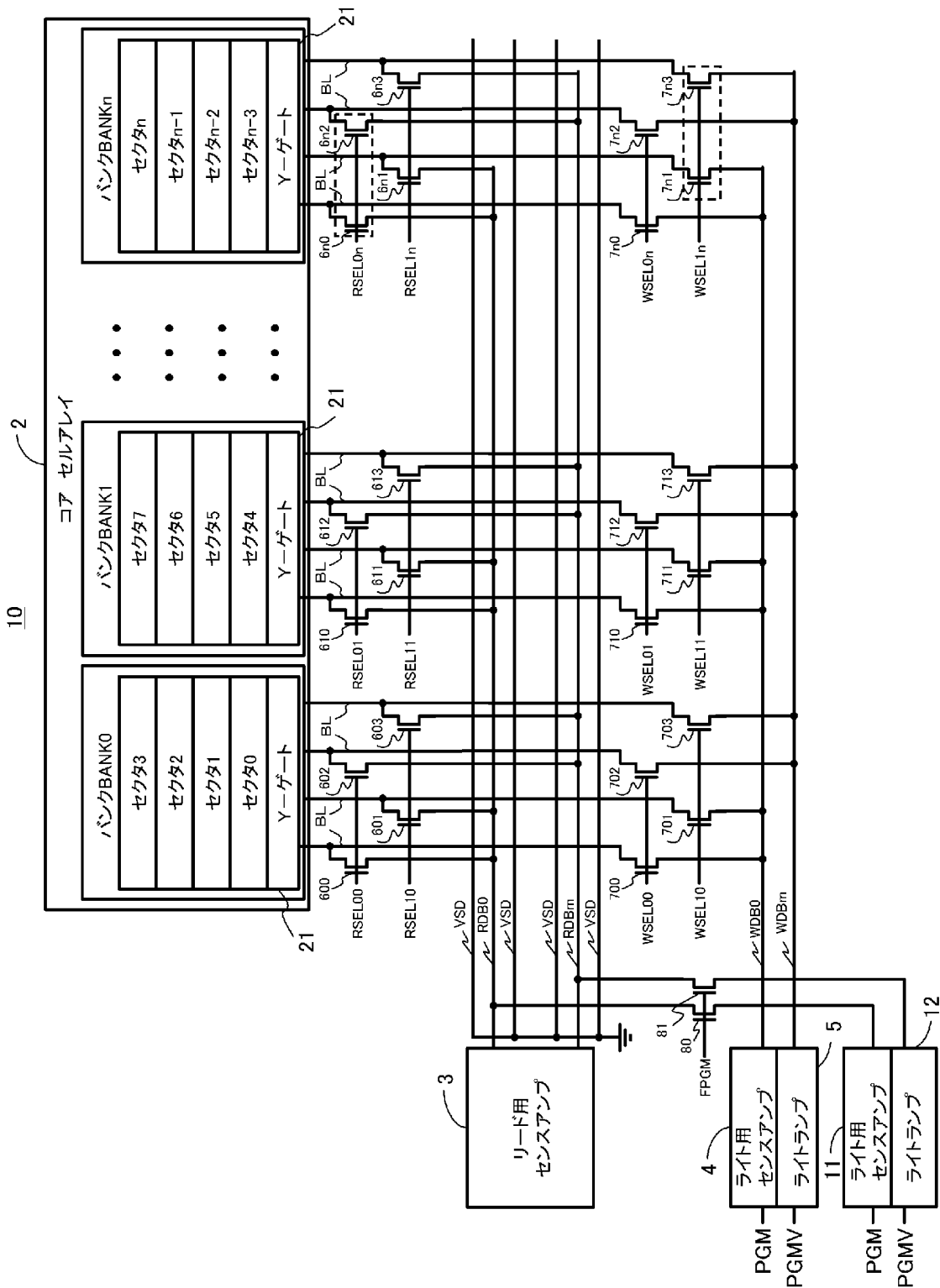
を含むデータ書き込み方法。

- [24] 前記データ書き込み方法は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む請求項20から請求項23のいずれか一項に記載のデータ書き込み方法。
- [25] 前記データ書き込み方法は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む請求項20から請求項22のいずれか一項に記載のデータ書き込み方法。
- [26] 前記データ書き込み方法は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出すステップを含む請求項22または請求項23記載のデータ書き込み方法。
- [27] 前記データ書き込み方法は更に、前記メモリセルをそれぞれ含む複数のバンクを選択する選択信号を生成するステップを含む請求項20から請求項26のいずれか一項に記載のデータ書き込み方法。
- [28] 前記データ書き込み方法は更に、複数のバンクのうち第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すステップを含む請求項20から請求項27のいずれか一項に記載のデータ書き込み方法。

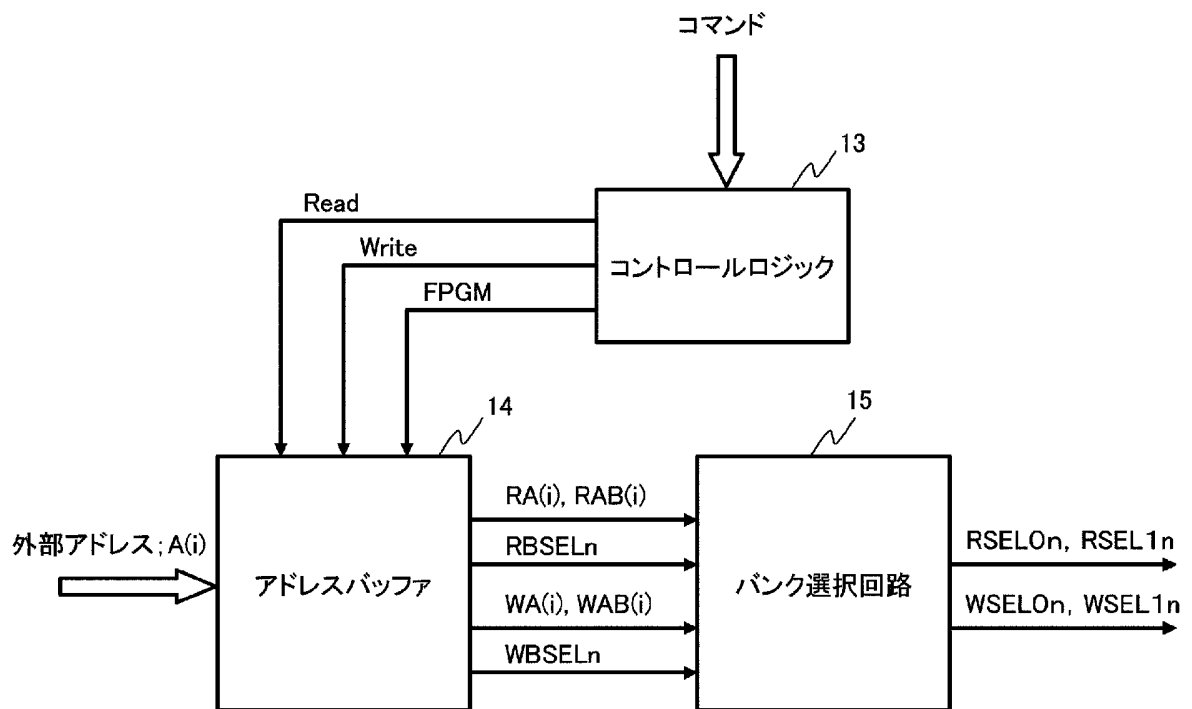
[図1]



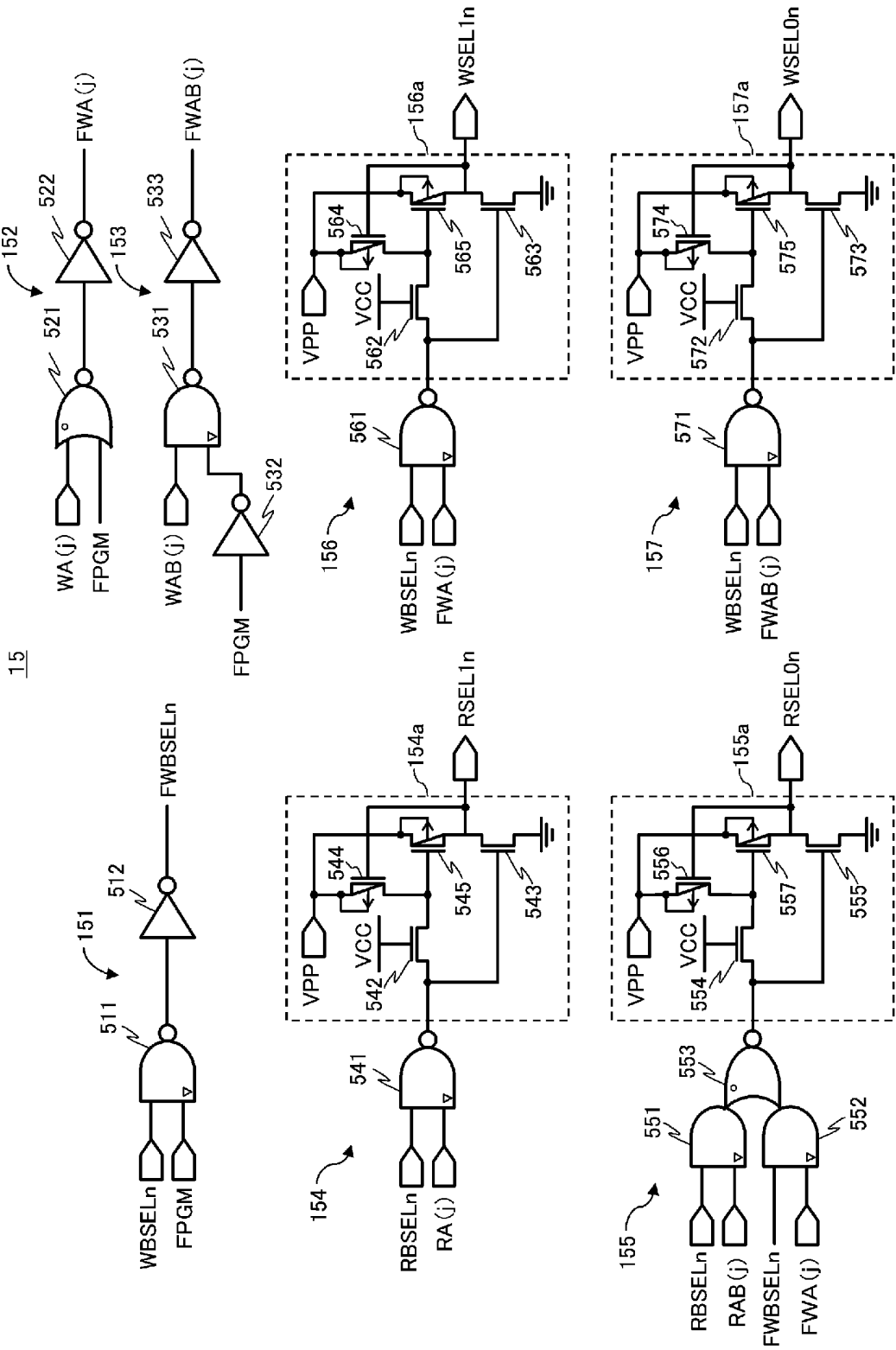
[図2]



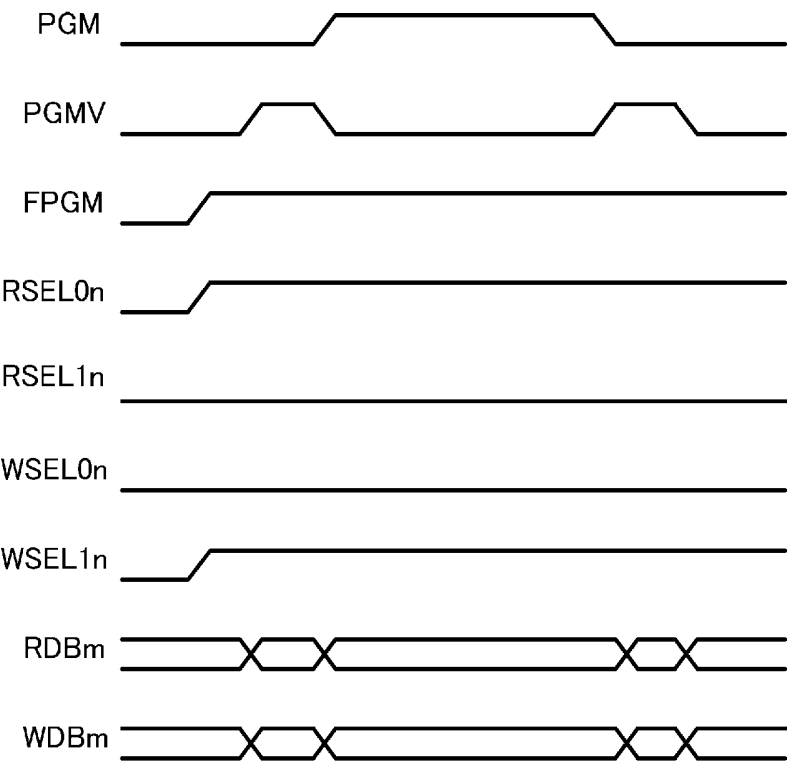
[図3]



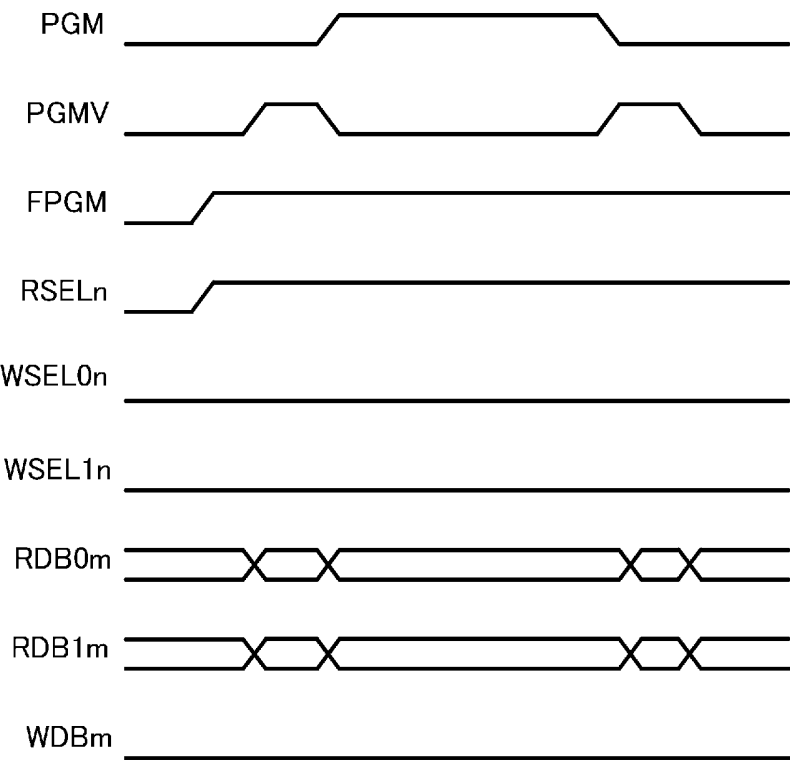
[図4]



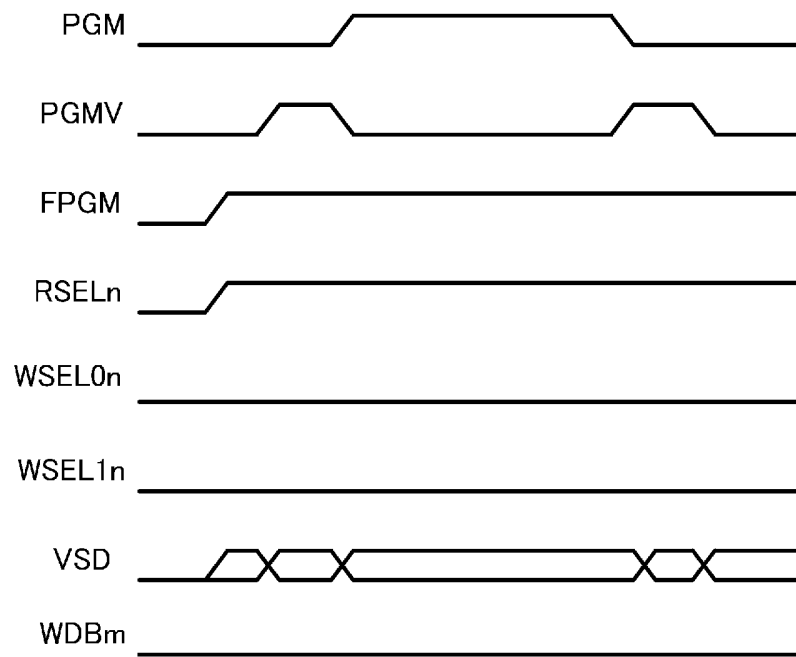
[図5]



[図7]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014327

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C16/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C16/00-16/34, G11C29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-85989 A (Toshiba Corp.), 20 March, 2003 (20.03.03), Full text; Fig. 5 & US 2003/0048686 A1	1-28
A	JP 2002-216483 A (Toshiba Corp.), 02 August, 2002 (02.08.02), Full text; Figs. 21, 22 & US 2002/0097609 A1 & US 2003/0128593 A1	1-28
A	JP 2002-133899 A (NEC Microsystem Kabushiki Kaisha), 10 May, 2002 (10.05.02), Full text; Figs. 1 to 4 (Family: none)	1-28

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 December, 2004 (28.12.04)

Date of mailing of the international search report
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014327

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-257724 A (Advanced Micro Devices Inc.), 16 September, 2003 (16.09.03), Full text; Fig. 2 & WO 2001/069603 A2 & US 6240040 B1	1-28

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl. 7 G11C 16/10		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl. 7 G11C 16/00-16/34, G11C29/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国実用新案登録公報 1996-2004年 日本国登録実用新案公報 1994-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-85989 A (株式会社東芝) 2003. 03. 20, 全文, 第5図 & US 2003/0048686 A1	1-28
A	JP 2002-216483 A (株式会社東芝) 2002. 08. 02, 全文, 第21図, 第22図 & US 2002/0097609 A1 & US 2003/0128593 A1	1-28
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 28.12.2004	国際調査報告の発送日 25.1.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 飯田 清司 電話番号 03-3581-1101 内線 3586	5N 3561

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-133899 A (株式会社エヌイーシーマイクロシステム株式会社) 2002. 05. 10, 全文, 第1~4図 (ファミリー無し)	1-28
A	JP 2003-527724 A (アドバンスト・マイクロ・デバイス・インコーポレイテッド, 富士通株式会社) 2003. 09. 16, 全文, 第2図 & WO 2001/069603 A2 & US 6240040 B1	1-28