



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

223 600

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 23 06 82
(21) PV 4668-82

(51) Int. Cl.³ H 03 K 13/02

(40) Zveřejněno 25 02 83
(45) Vydáno 01 09 84

(75)
Autor vynálezu ČEKAL STANISLAV ing.CSc., PRAHA
TŮMA PAVEL ing., PRAHA

(54) Zapojení obvodů převodníku resolver-číslo se spojitou převodní charakteristikou

223 600

Vynález se týká zapojení obvodů převodníku resolver-číslo se spojitou převodní charakteristikou.

Jednou z důležitých veličin užívaných v automatizovaných měřících systémech, v regulační technice i v dálkovém přenosu dat je úhel natočení hřídele. Na tuto veličinu lze převést mechanickým spřažením řadu dalších fyzikálních veličin. Úhel natočení lze snímat několika způsoby. Nejjednodušší, ale také nejméně spolehlivý a s malou životností je způsob potencio-
metrický. Druhý způsob je snímání úhlu natočení optickým kodérem. Tento přenos je spolehlivý a jeho velkou výhodou je přímý výstup v číslicové formě. Optické kodéry však vyrábí jen velmi málo výrobců, jejich sortiment je malý. Proto se dosud užívají pro přenos úhlu natočení selsyny a resolvery. Zvláště v letecké technice je pro jejich spolehlivost, dlouhou životnost a velmi malé rozměry jejich použití nevyhnutelné. K převodu signálů z resolverů a selsynů na číslo se užívají převodníky selsyn (resolver)-číslo. Existuje několik způsobů, jak tento převod realizovat. Předně je to sledovací převodník využívající násobičky se sinusovou nebo kosinovou charakteristikou. Tento typ je obtížně realizovatelný pro nedostatek nelineárních násobících prvků malých rozměrů. Stejně je tomu i u druhého způsobu, který pracuje na principu postupných aproximací. Proto se nejčastěji užívá analogový způsob převodu pracující na principu volně kmitajícího harmonického oscilátoru. Nevýhodou převodníků, pracujících na tomto harmonickém principu však je nespojitost charakteristiky, která se vlivem nedostatečné teplotní a časové stability užitých prvků může objevit v oblasti přechodů, např. přechod $0 \rightarrow 360^\circ$.

Uvedené nevýhody odstraňuje zapojení obvodů převodníku resolver-číslo se spojitou převodní charakteristikou podle vynálezu, jehož podstata spočívá v tom, že referenční vstup je připojen jednak na hodinový vstup prvního klopného obvodu a jednak přes logický invertor na hodinové vstupy druhého klopného obvodu, šestého klopného obvodu a sedmého klopného obvodu, jehož výstup je spojen s nulovacím vstupem čítače, na jehož hodinový vstup je připojen výstup z hradla a jehož výstup nejvyššího řádu je připojen na hodinové vstupy třetího klopného obvodu a pátého klopného obvodu, jehož negovaný výstup je připojen k nastavovacímu vstupu čtvrtého klopného obvodu, jehož negovaný výstup je připojen na nulovací vstupy pátého klopného obvodu, prvního klopného obvodu a druhého klopného obvodu, jehož negovaný výstup je připojen k nulovacímu vstupu sedmého klopného obvodu zatímco jeho výstup je přiveden jednak na ovládací vstupy prvního přepínače a druhého přepínače a jednak na první vstup hradla, na jehož druhý vstup je připojen výstup hodinového generátoru, zatímco výstup prvního klopného obvodu je připojen jednak na vstup druhého klopného obvodu, jednak na nulovací vstup prvního integrátoru, jehož výstup je připojen na první kontakt druhého přepínače a na jehož vstup je připojen sběrač prvního přepínače, na jehož druhý kontakt je připojen sinusový vstup a jednak na nulovací vstup druhého integrátoru na jehož vstup je připojen sběrač druhého přepínače, jehož druhý kontakt je spojen s kosinovým vstupem, přičemž první kontakt prvního přepínače a výstup druhého integrátoru jsou připojeny přes komparátor na hodinový vstup čtvrtého klopného obvodu, přičemž třetí, čtvrtý, pátý a šestý klopný obvod jsou vzájemně propojeny tak, že výstup čtvrtého klopného obvodu je připojen na nulovací vstup šestého klopného obvodu, negovaný výstup šestého klopného obvodu je připojen na nulovací vstupy třetího a čtvrtého klopného obvodu a výstup třetího klopného obvodu na vstupy pátého a čtvrtého klopného obvodu.

Výhodou navrhovaného zapojení je spojitá přenosová charakteristika převodníku a snadná realizovatelnost daná dostupností jednotlivých typů použitých prvků.

Zapojení podle vynálezu je schematicky znázorněno na

připojených výkresech, kde představuje obr. 1 zapojení obvodů převodníku a obr. 2 v časovém diagramu činnost převodníku.

Referenční vstup 13 je připojen jednak na hodinový vstup prvního klopného obvodu 1 a jednak přes logický invertor 17 na hodinové vstupy druhého klopného obvodu 2, šestého klopného obvodu 6 a sedmého klopného obvodu 7, jehož výstup je spojen s nulovacím vstupem čítače 8. Na hodinový vstup čítače 8 je připojen výstup z hradla 9 a výstup nejvyššího řádu čítače 8 je připojen na hodinové vstupy třetího klopného obvodu 3 a pátého klopného obvodu 5, jehož negovaný výstup je připojen k nastavovacímu vstupu čtvrtého klopného obvodu 4. Negovaný výstup čtvrtého klopného obvodu 4 je připojen na nulovací vstupy pátého klopného obvodu 5, prvního klopného obvodu 1 a druhého klopného obvodu 2. Negovaný výstup klopného obvodu 2 je připojen k nulovacímu vstupu sedmého klopného obvodu 7, zatímco jeho výstup je přiveden jednak na ovládací vstupy prvního přepínače 14 a druhého přepínače 15 a jednak na první vstup hradla 9, na jehož druhý vstup je připojen výstup hodinového generátoru 10. Výstup prvního klopného obvodu 1 je připojen jednak na vstup druhého klopného obvodu 2, jednak na nulovací vstup prvního integrátoru 11 a jednak na nulovací vstup druhého integrátoru 12. Výstup prvního integrátoru 11 je připojen na první kontakt druhého přepínače 15 a na jeho vstup je připojen sběrač prvního přepínače 14, na jehož druhý kontakt je připojen sinusový vstup 18. Na vstup integrátoru 12 je připojen sběrač druhého přepínače 15, jehož druhý kontakt je spojen s kosinusovým vstupem 19, přičemž první kontakt prvního přepínače 14 a výstup druhého integrátoru 12 jsou připojeny přes komparátor 16 na hodinový vstup čtvrtého klopného obvodu 4. Třetí, čtvrtý, pátý a šestý klopný obvod 3, 4, 5, 6 jsou vzájemně propojeny tak, že výstup čtvrtého klopného obvodu 4 je připojen na nulovací vstup šestého klopného obvodu 6, negovaný výstup šestého klopného obvodu 6 je připojen na nulovací vstupy třetího a čtvrtého klopného obvodu 3, 4 a výstup třetího klopného obvodu 3 na vstupy pátého a čtvrtého klopného obvodu 5, 4.

Na první náběžnou hranu referenčního signálu 13 se logická 1 přepíše ze vstupu prvního klopného obvodu 1 na jeho výstup.

Tím přestanou být integrátory 11 a 12 nulovány. Výstup druhého klopného obvodu 2, který je ve stavu logické 0 drží první a druhý přepínač 14, 15 ve stavu, v němž jsou vstupy integrátorů 11, 12 připojeny na sinusový vstup 18 a kosinusový vstup 19, tedy na výstupy resolveru. Dochází k naintegrovaní počátečních podmínek po dobu jedné půlperiody referenčního signálu 13, neboť na závěrnou hranu tohoto signálu se přes invertor 17 přepíše logická 1 na výstup druhého klopného obvodu 2. Tím přepínače 14, 15 spojí první a druhý integrátor 11, 12 do společné smyčky. Vznikne tak harmonický oscilátor, který začne kmitat od naintegrovaných počátečních podmínek. Současně s přepnutím prvního a druhého přepínače 14, 15 se otevře hradlo 9 a hodinové pulsy z hodinového generátoru 10 procházejí do čítače 8. Nejvyšší bit čítače 8 je zaveden do hodinového vstupu třetího klopného obvodu 3, který dělí dvěma a do hodinového vstupu pátého klopného obvodu 5. Třetí klopný obvod 3, který je vynulován se v okamžiku, kdy uplyne doba jedné půlperiody kmitu harmonického oscilátoru (náběžná hrana na nejvyšším bitu čítače 8) překlápí do stavu logické 1. Tím je stav logické 1 i na vstupech čtvrtého a pátého klopného obvodu 4, 5, čímž jsou oba tyto obvody aktivovány a překlápí se do stavu logické 1 na první náběžnou hranu na svých hodinových vstupech. Čtvrtý klopný obvod 4 dostane náběžnou hranu do svého hodinového vstupu z komparátoru 16 v okamžiku, kdy kmit harmonického oscilátoru projde nulovou úrovní v kladném smyslu, což je první průchod nulovou úrovní v kladném smyslu po uplynutí doby jedné půlperiody kmitu. Tento okamžik nastal právě v čase, který je úměrný úhlu natočení resolveru. Negovaný výstup čtvrtého klopného obvodu 4 proto vynuluje první a druhý klopný obvod 1, 2, čímž se zavře hradlo 9 (stop čítače). První integrátor 11 a druhý integrátor 12 se vynulují a první přepínač 14 a druhý přepínač 15 se přepnou na výstupy resolveru (sinusový vstup 18 a kosinusový vstup 19). Funkce pátého klopného obvodu 5 je následující: když nepřijde v intervalu jedné periody kmitu harmonického oscilátoru náběžná hrana do hodinového vstupu čtvrtého klopného obvodu 4, což může nastat, je-li doba periody harmonického oscilátoru delší, než je doba naplnění čítače 8 hodinovými pulsy (tyto doby musí být

223 800

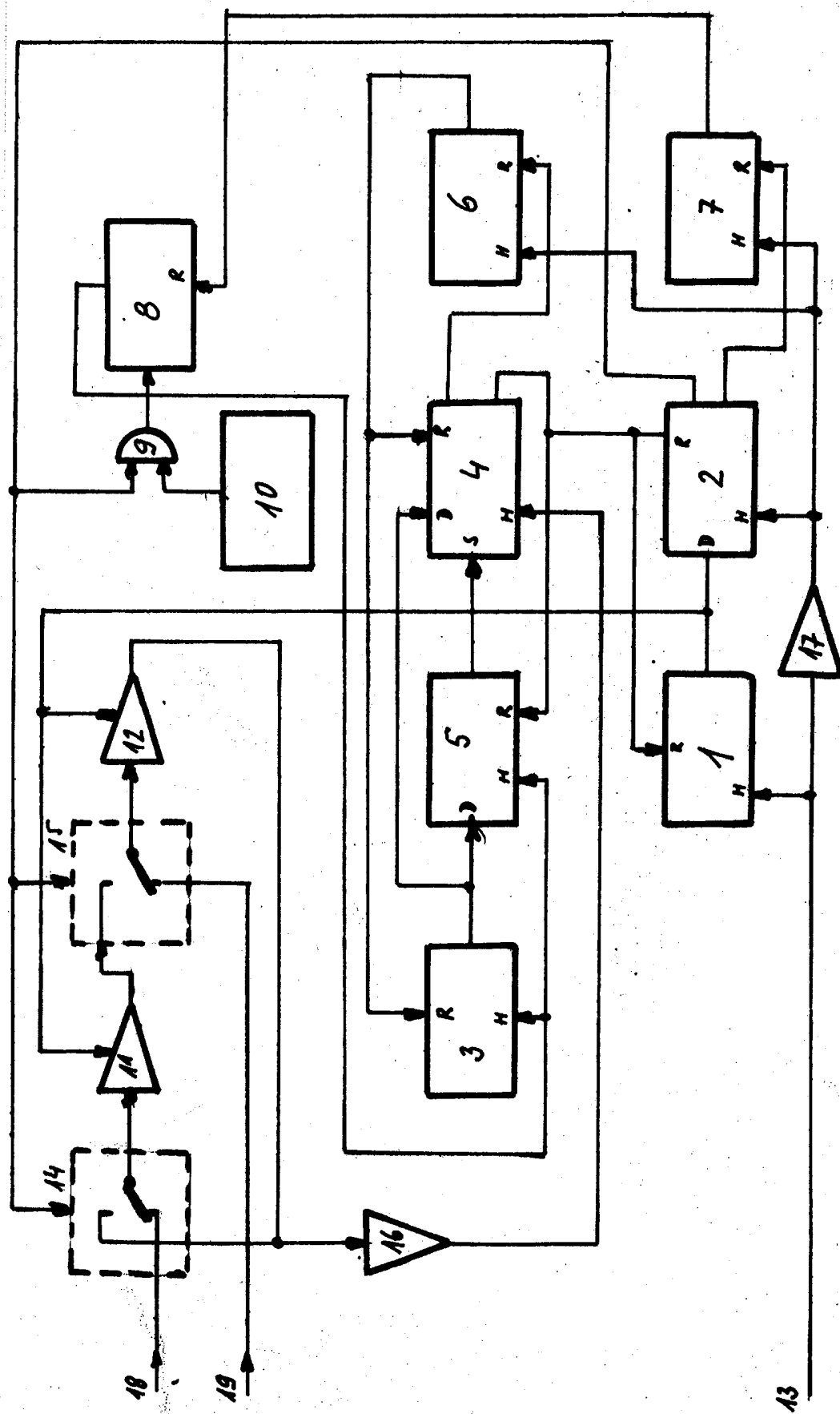
pro přesnou funkci převodníku shodné, což je díky teplotní závislosti integrátorů zajištěno jen v určitém rozsahu teplot), tak se pátý klopný obvod 5 překloupí na náběžnou hranu z nejvyššího bitu čítače 8, svým negovaným výstupem nastaví čtvrtý klopný obvod 4 a měřený cyklus se uzavře tak, jako by měřený úhel byl 0° , resp. 360° (čítač 8 je zastaven v okamžiku, kdy na jeho výstupech jsou samé nuly). Vlivem činnosti pátého klopného obvodu 5 je zabráňováno přeplňování čítače 8 přes rozsah, což by se mohlo stát za extrémních teplot rozladěním harmonického oscilátoru a což by jinak mělo za následek nejednoznačnost charakteristiky v oblasti návaznosti začátku a konce rozsahu. Čtvrtý klopný obvod 4 po překloupení do stavu logické 1 přestane svým výstupem nulovat šestý klopný obvod 6, který se tudíž překloupí na první závěrnou hranu na referenčním vstupu 13 do stavu logické 1. Z výstupu šestého klopného obvodu 6 je možné odebírat informaci, že data na výstupu čítače 8 jsou platná. Negovaný výstup šestého klopného obvodu zároveň vynuluje třetí a čtvrtý klopný obvod 3, 4. Čtvrtý klopný obvod 4 po svém vynulování odblokuje první klopný obvod 1 a druhý klopný obvod 2 a vynuluje šestý klopný obvod 6. Tím je převodník opět uveden do výchozího stavu. Další převod začne až po uplynutí doby jedné půlperrody na referenčním vstupu 13. Tato prodleva je důležitá pro dokonalé vynulování prvního integrátoru 11 a druhého integrátoru 12. Sedmý klopný obvod 7 zajišťuje nulování čítače 8 v době, kdy jsou naintegrovány počáteční podmínky.

Zapojení podle vynálezu lze využít pro realizaci převodníků resolver-číslo, zejména převodníků pro činnost v extrémních teplotních podmínkách, např. v letecké technice.

PŘEDMĚT VYNÁLEZU

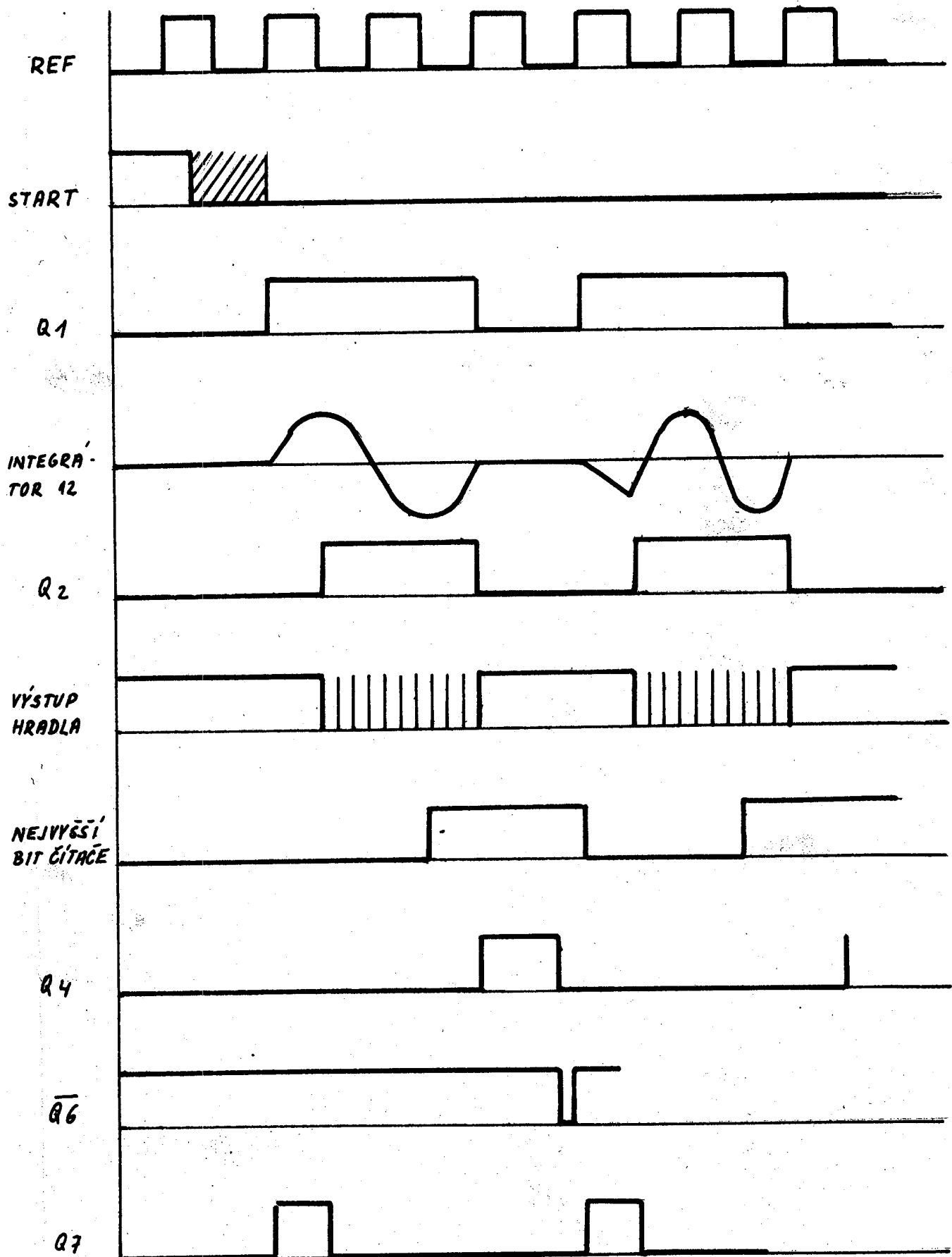
223 800

Zapojení obvodů převodníku resolver-číslo se spojitou převodní charakteristikou, vyznačené tím, že referenční vstup (13) je připojen jednak na hodinový vstup prvního klopného obvodu (1) a jednak přes logický invertor (17) na hodinové vstupy druhého klopného obvodu (2), šestého klopného obvodu (6) a sedmého klopného obvodu (7), jehož výstup je spojen s nulovacím vstupem čítače (8) na jehož hodinový vstup je připojen výstup z hradla (9) a jehož výstup nejvyššího řádu je připojen na hodinové vstupy třetího klopného obvodu (3) a pátého klopného obvodu (5), jehož negovaný výstup je připojen k nastavovacímu vstupu čtvrtého klopného obvodu (4), jehož negovaný výstup je připojen na nulovací vstupy pátého klopného obvodu (5), prvního klopného obvodu (1) a druhého klopného obvodu (2), jehož negovaný výstup je připojen k nulovacímu vstupu sedmého klopného obvodu (7) zatímco jeho výstup je přiveden jednak na ovládací vstupy prvního přepínače (14) a druhého přepínače (15) a jednak na první vstup hradla (9), na jehož druhý vstup je připojen výstup hodinového generátoru (10), zatímco výstup prvního klopného obvodu (1) je připojen jednak na vstup druhého klopného obvodu (2), jednak na nulovací vstup prvního integrátoru (11) jehož výstup je připojen na první kontakt druhého přepínače (15) a na jehož vstup je připojen sběrač prvního přepínače (14), na jehož druhý kontakt je připojen sinusový vstup (18) a jednak na nulovací vstup druhého integrátoru (12) na jehož vstup je připojen sběrač druhého přepínače (15), jehož druhý kontakt je spojen s kosinusovým vstupem (19), přičemž první kontakt prvního přepínače (14) a výstup druhého integrátoru (12) jsou připojeny přes komparátor (16) na hodinový vstup čtvrtého klopného obvodu (4), přičemž třetí, čtvrtý, pátý a šestý klopný obvod (3, 4, 5, 6) jsou vzájemně propojeny tak, že výstup čtvrtého klopného obvodu (4) je připojen na nulovací vstup šestého klopného obvodu (6), negovaný výstup šestého klopného obvodu (6) je připojen na nulovací vstupy třetího a čtvrtého klopného obvodu (3, 4) a výstup třetího klopného obvodu (3) na vstupy pátého a čtvrtého klopného obvodu (5, 4).



Obr. 1

NOVÝ CYKLUS



Obr. 2