



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0039051
(43) 공개일자 2017년04월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/3233 (2013.01)

(21) 출원번호 10-2015-0138251
(22) 출원일자 2015년09월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
박영주
서울특별시 성동구 성수일로8길 47 102동 2201호
(성수동2가, 성수롯데캐슬파크)

윤성욱
경기도 고양시 덕양구 화신로 298 804동 1604호
(화정동, 별빛마을8단지아파트)

(74) 대리인
특허법인로얄

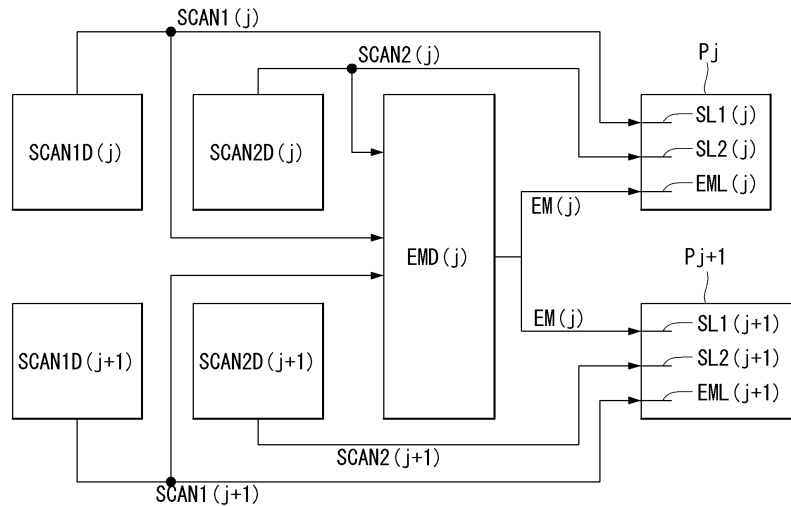
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명에 의한 유기발광다이오드 표시장치는 복수 개의 화소들, 제1 및 제2 스캔신호 스테이지들, 발광제어신호 스테이지들을 포함한다. 각각의 화소들은 n(n은 자연수) 개의 수평라인에 각각 배열되며, 구동트랜지스터의 게이트전극에 연결되는 제1 스캔 트랜지스터, 구동트랜지스터의 소스전극에 연결되는 제2 스캔 트랜지스터, 구동트랜지스터의 드레인전극에 연결되는 발광제어 트랜지스터를 포함한다. 제1 스캔신호 스테이지들은 각 수평라인들의 제1 스캔 트랜지스터에 순차적으로 제1 스캔신호를 출력한다. 제2 스캔신호 스테이지들은 각 수평라인들의 제2 스캔 트랜지스터에 순차적으로 제2 스캔신호를 출력한다. 발광제어신호 스테이지들은 서로 인접하는 두 개의 수평라인들의 발광제어 트랜지스터에 동일한 위상을 갖는 발광제어신호를 출력한다.

대표도 - 도5



(52) CPC특허분류
G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

n (n 은 자연수) 개의 수평라인에 각각 배열되며, 구동트랜지스터의 게이트전극에 연결되는 제1 스캔 트랜지스터, 상기 구동트랜지스터의 소스전극에 연결되는 제2 스캔 트랜지스터, 상기 구동트랜지스터의 드레인전극에 연결되는 발광제어 트랜지스터를 포함하는 화소들;

각 수평라인들의 제1 스캔 트랜지스터에 순차적으로 제1 스캔신호를 출력하는 n 개의 제1 스캔신호 스테이지들;

각 수평라인들의 상기 제2 스캔 트랜지스터에 순차적으로 제2 스캔신호를 출력하는 n 개의 제2 스캔신호 스테이지들; 및

각각이 서로 인접하는 두 개의 수평라인들의 발광제어 트랜지스터에 동일한 위상을 갖는 발광제어신호를 출력하는 $(1/2)*n$ 개의 발광제어신호 스테이지들을 포함하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

각각의 상기 화소들에서,

상기 구동트랜지스터의 소스전극은 유기발광다이오드에 연결되고,

상기 제1 스캔 트랜지스터는 상기 제1 스캔신호를 인가받는 게이트전극, 데이터라인 및 상기 구동트랜지스터의 게이트전극에 각각 연결되는 제1 및 제2 전극을 포함하고,

상기 제2 스캔 트랜지스터는 상기 제2 스캔신호를 인가받는 게이트전극, 초기화라인 및 상기 구동트랜지스터의 소스전극에 각각 연결되는 제1 및 제2 전극을 포함하고,

상기 발광제어 트랜지스터는 상기 발광제어신호를 인가받는 게이트전극, 고전위전압원 및 상기 구동트랜지스터의 드레인전극에 각각 연결되는 제1 및 제2 전극을 포함하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

초기화 기간 내에서,

상기 제1 스캔 트랜지스터는 상기 제1 스캔신호에 응답하여, 상기 구동트랜지스터의 게이트전극에 기준전압을 인가하고,

상기 제2 스캔 트랜지스터는 상기 제2 스캔신호에 응답하여, 상기 구동트랜지스터의 소스전극에 초기화전압을 인가하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

샘플링 기간 내에서,

상기 제2 스캔 트랜지스터는 턴-오프되어 상기 구동트랜지스터의 소스전극은 플로팅되고,

상기 제1 스캔 트랜지스터는 상기 제1 스캔신호에 응답하여, 상기 구동트랜지스터의 게이트전극에 상기 기준전압을 인가하고,

상기 발광제어 트랜지스터는 상기 발광제어신호에 응답하여, 상기 구동트랜지스터의 소스전극 전압이 상기 기준전압에서 상기 구동트랜지스터의 문턱전압의 차이에 해당하도록 상기 구동트랜지스터의 소스전극으로 전류를 인가하는 유기발광다이오드 표시장치.

청구항 5

제 4 항에 있어서,
 데이터 기입 기간 내에서,
 상기 제2 스캔 트랜지스터 및 상기 발광제어 트랜지스터는 턴-오프되고,
 상기 제1 스캔 트랜지스터는 상기 제1 스캔신호에 응답하여, 상기 구동트랜지스터의 상기 구동트랜지스터의 게이트전극과 소스전극 사이에 연결되는 스토리지 커패시터에 데이터전압을 충전시키는 유기발광다이오드 표시장치.

청구항 6

제 1 항에 있어서,
 발광기간 내에서,
 상기 제1 및 제2 스캔 트랜지스터는 턴-오프되고,
 상기 발광제어 트랜지스터는 상기 발광제어신호에 응답하여 구동트랜지스터의 드레인 전극에 전류를 인가함으로써, 상기 스토리지 커패시터에 충전된 전압에 비례하는 밝기로 상기 유기발광다이오드가 발광하는 유기발광다이오드 표시장치.

청구항 7

제 1 항에 있어서,
 제 j (j 는 n 보다 작은 자연수) 발광제어신호를 출력하는 j 번째 상기 발광제어신호 스테이지는,
 Q노드가 충전될 때에 고전위전압을 발광제어신호 출력단으로 출력하는 풀업 트랜지스터;
 QB노드가 충전될 때에 상기 발광제어신호 출력단의 전위를 저전위전압으로 방전하는 풀다운 트랜지스터;
 초기화 기간의 시작 시점에 상기 QB노드를 충전시키는 제1 저전위 트리거 트랜지스터; 및
 데이터 기입 기간 동안에 상기 QB노드를 충전시키는 제2 저전위 트리거 트랜지스터를 포함하고,
 상기 제 j 발광제어신호를 j 번째 수평라인 및 $(j+1)$ 번째 수평라인에 배열된 화소들에 인가하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,
 상기 제1 저전위 트리거 트랜지스터는
 제1 전극이 j 번째 제1 스캔신호를 입력받고, 제2 전극이 QB노드에 연결되며, 게이트전극이 상기 초기화 기간 동안에 턴-온레벨 전압을 갖는 클럭신호 입력단자에 연결되는 유기발광다이오드 표시장치.

청구항 9

제 7 항에 있어서,
 상기 제2 저전위 트리거 트랜지스터는
 게이트전극전극이 $(j+1)$ 번째 제1 스캔신호를 입력받고, 제1 전극이 상기 데이터 기입 기간 동안에 하이레벨 신호를 출력하는 에미션리셋 입력단자에 연결되며, 제2 전극이 상기 QB노드에 연결되는 유기발광다이오드 표시장치.

청구항 10

제 9 항에 있어서,
 $(j+1)$ 번째 제1 스캔신호는

상기 j 번째 수평라인에 배열된 화소들의 데이터 기입 기간 및 상기 (j+1) 번째 수평라인에 배열된 화소들의 초기화 기간 동안에, 상기 제2 저전위 트리거 트랜지스터를 턴-온 시키는 전압레벨을 유지하는 유기발광다이오드 표시장치.

청구항 11

제 7 항에 있어서,

제3 저전위 트리거 트랜지스터는

제1 전극이 고전위전압 입력단에 연결되고, 제2 전극이 상기 Q노드에 연결되며, 게이트전극이 (j+1) 번째 제2 스캔신호에 연결되는 유기발광다이오드 표시장치.

청구항 12

제 11 항에 있어서,

상기 (j+1) 번째 제2 스캔신호는

상기 j 번째 수평라인에 배열된 화소들의 초기화 기간 중에서 소정기간 및 발광 기간 중에서 소정기간 동안 상기 제3 저전위 트리거 트랜지스터를 턴-온시키는 전압레벨을 유지하는 유기발광다이오드 표시장치.

청구항 13

제 1 항에 있어서,

상기 제1 스캔신호 스테이지는

j(j는 n 보다 작은 자연수) 번째 수평라인에 배열된 화소들의 제1 및 제2 초기화 기간, 샘플링 기간 및 데이터 기입 기간 동안에 상기 제1 스캔 트랜지스터를 턴-온 시키는 전압레벨을 갖는 j 번째 제1 스캔신호를 출력하는 유기발광다이오드 표시장치.

청구항 14

제 13 항에 있어서,

상기 제2 스캔신호 스테이지는

j 번째 수평라인에 배열된 화소들의 상기 제2 초기화 기간 동안 상기 제2 스캔 트랜지스터를 턴-온 시키는 전압레벨을 갖는 j 번째 제2 스캔신호를 출력하는 유기발광다이오드 표시장치.

청구항 15

제 14 항에 있어서,

상기 발광제어신호 스테이지는

j 번째 수평라인에 배열된 화소들의 상기 샘플링 기간 동안에 상기 발광제어 트랜지스터를 턴-온 시키는 전압레벨을 갖는 j 번째 발광제어신호를 출력하는 유기발광다이오드 표시장치.

청구항 16

제 15 항에 있어서,

상기 j 번째 발광제어신호는

상기 j+1 번째 수평라인에 배열된 화소들의 제2 초기화 기간 및 데이터 기입 기간 동안에 상기 발광제어 트랜지스터를 턴-오프시키는 전압레벨을 갖는 유기발광다이오드 표시장치.

청구항 17

제 15 항에 있어서,

상기 j 번째 발광제어신호 스테이지는

상기 j 번째 제1 및 제2 스캔신호와 (j+1) 번째 제1 스캔신호를 입력받아서, 상기 j 번째 발광제어신호를 생성하는 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터 뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 회도를 표현할 수 있으며 시야각이 큰 장점이 있다. 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 스캔 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 이처럼 구동트랜지스터에 공급되는 데이터전압을 이용하여 유기발광다이오드를 발광시킨다. 그리고 발광제어신호를 이용하여 구동트랜지스터와 고전위 전압 입력단을 스위칭한다.

[0004] 스캔신호 및 발광제어신호를 생성하는 구동회로들은 표시패널의 베젤 영역에 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. 근래에는 사용자의 요구에 따라 베젤 영역을 줄이기 위한 방안들이 모색되고 있는데, GIP 회로부로 인해서 베젤 사이즈를 줄이기가 쉽지 않은 상태이다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 베젤 영역을 줄일 수 있는 유기발광다이오드 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명에 의한 유기발광다이오드 표시장치는 복수 개의 화소들, 제1 및 제2 스캔신호 스테이지들, 발광제어신호 스테이지들을 포함한다. 각각의 화소들은 n(n은 자연수) 개의 수평라인에 각각 배열되며, 구동트랜지스터의 게이트전극에 연결되는 제1 스캔 트랜지스터, 구동트랜지스터의 소스전극에 연결되는 제2 스캔 트랜지스터, 구동트랜지스터의 드레인전극에 연결되는 발광제어 트랜지스터를 포함한다. 제1 스캔신호 스테이지들은 각 수평라인들의 제1 스캔 트랜지스터에 순차적으로 제1 스캔신호를 출력한다. 제2 스캔신호 스테이지들은 각 수평라인들의 제2 스캔 트랜지스터에 순차적으로 제2 스캔신호를 출력한다. 발광제어신호 스테이지들은 서로 인접하는 두 개의 수평라인들의 발광제어 트랜지스터에 동일한 위상을 갖는 발광제어신호를 출력한다.

발명의 효과

[0007] 본 발명에 의한 유기발광다이오드 표시장치는 하나의 스테이지로 구현되는 발광제어신호 스테이지가 한 쌍의 수평라인에 배열되는 화소들에 발광제어신호를 공급하기 때문에, 전체 표시패널을 구동하기 위한 발광제어신호 스테이지의 스테이지 개수를 줄일 수 있다. 그 결과, 발광제어신호 스테이지가 배치되는 베젤 영역을 줄일 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명에 의한 유기발광다이오드 표시장치를 나타내는 도면.
- 도 2는 도 1에 도시된 화소 구조를 나타내는 도면.
- 도 3은 도 2에 도시된 화소에 인가되는 제어신호들의 타이밍을 나타내는 도면.

도 4a 내지 도 4d는 본 발명에 의한 유기발광다이오드 표시장치의 구동 방법을 나타내는 도면들.

도 5는 본 발명에 의한 쉬프트 레지스터의 스테이지들을 나타내는 도면.

도 6은 발광제어신호 스테이지의 회로도.

도 7은 도 6에 도시된 발광제어신호 스테이지의 입력신호들 및 출력신호를 나타내는 타이밍도.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예를 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0010] 도 1은 본 발명에 의한 유기발광다이오드 표시장치를 보여준다.
- [0011] 도 1을 참조하면, 본 발명에 의한 유기발광다이오드 표시장치는 화소들(P)이 매트릭스 형태로 배열되는 표시패널(100), 데이터 구동부(120), 게이트 구동부(130,140) 및 타이밍 콘트롤러(110)를 구비한다.
- [0012] 표시패널(100)은 화소(P)들이 배치되어 영상을 표시하는 표시부(100A) 및 쉬프트레지스터(140)가 배치되고 영상을 표시하지 않는 비표시부(100B)를 포함한다.
- [0013] 표시부(100A)는 복수 개의 화소(P)를 포함하고, 각각의 화소(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 화소(P)들은 제1 내지 제n 수평라인(HL1 내지 HL[n])들을 따라 배열된다.
- [0014] 각각의 화소(P)는 컬럼라인(Column Line)을 따라 배열되는 초기화라인(INL) 및 데이터라인(DL)과 연결되고, 수평라인(HL)을 따라 배열되는 제1 스캔라인(SL1), 제2 스캔라인(SL2) 및 발광제어신호라인(EML)과 연결된다. 그리고 각각의 화소(P)들은 유기발광다이오드(OLED), 구동트랜지스터(DT) 및 제1 및 제2 스캔 트랜지스터(ST1, ST2), 발광제어 트랜지스터(ET), 스토리지 커패시터(Cst) 및 보조커패시터(Csub) 포함한다. 각각의 트랜지스터들(DT, ST1, ST2, ET)은 다결정 반도체층을 포함한 다결정 박막트랜지스터(Thin Film Transistor; TFT)로 구현될 수 있다. 다만, 본 발명은 이에 한정되지 않고 박막트랜지스터의 반도체층을 아몰포스 실리콘 또는, 산화물 반도체 등으로 형성할 수도 있다.
- [0015] 타이밍 콘트롤러(110)는 데이터 구동부(120) 및 게이트 구동부(130,140)의 구동 타이밍을 제어하기 위한 것이다. 이를 위해서 타이밍 콘트롤러(110)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동부(120)에 공급한다. 또한, 타이밍 콘트롤러(110)는 수직 동기 신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0016] 데이터 구동부(120)는 데이터라인부(DL)를 구동하기 위한 것이다. 이를 위해서 데이터 구동부(120)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(110)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터라인(14b)들에 공급한다. 또한, 데이터 구동부(120)는 초기화 라인(14a)을 통해서 화소(P)들에 초기화 전압(Vini)을 제공한다.
- [0017] 스캔 구동부(130,140)는 레벨 시프터(130) 및 쉬프트 레지스터(140)를 포함한다. 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 인쇄회로기판(미도시)에 형성되고, 쉬프트 레지스터(140)는 표시패널(100)의 비표시영역(100B)에 형성되는 게이트-인-패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.
- [0018] 레벨 시프터(130)는 타이밍 콘트롤러(110)의 제어하에 클럭신호들(CLK) 및 스타트신호(VST)를 레벨 쉬프팅한 후 쉬프트 레지스터(140)에 공급한다. 쉬프트 레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에서 다수의 박막 트랜지스터(이하 TFT)조합으로 형성된다. 쉬프트 레지스터(140)는 클럭신호들(CLK) 및 스타트신호(VST)에 대응하여 스캔 신호를 시프트하고 출력하는 스테이지들로 구성된다. 쉬프트 레지스터(140)에 포함된 스테이지들은 제1 및 제2 스캔신호(SCAN1, SCAN2), 발광제어신호(EM)를 출력한다.
- [0019] 도 2는 도 1에 도시된 화소(P)의 일 예를 나타내는 것이다.
- [0020] 도 2를 참조하면, 본 발명의 일 실시 예에 따른 화소(P)는 유기발광다이오드(OLED), 구동트랜지스터(DT), 제1

및 제2 스캔 트랜지스터(ST1,ST2), 발광제어 트랜지스터(ET), 스토리지 커패시터(Cst) 및 보조 커패시터(Csub)를 구비한다.

- [0021] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드(OLED)의 애노드전극은 구동트랜지스터(DT)의 소스전극에 접속되고, 캐소드전극은 접지단(VSS)에 연결된다.
- [0022] 구동트랜지스터(DT)는 자신의 게이트-소스 간의 전압으로 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 이를 위해서 구동트랜지스터(DT)의 게이트전극은 데이터전압(Vdata)의 입력단에 연결되고, 드레인전극은 구동전압(VDD)의 입력단에 연결되며, 소스전극은 저전압구동전압(VSS)과 연결된다.
- [0023] 제1 스캔 트랜지스터(ST1)는 제1 스캔신호(SCAN1)에 응답하여, 데이터라인(DL)으로부터 제공받는 기준전압(Vref) 또는 데이터전압(Vdata)을 구동트랜지스터(DT)의 게이트전극에 인가한다. 이를 위해서, 제1 스캔 트랜지스터(ST1)의 게이트 전극은 제1 스캔라인(SL1)에, 드레인전극은 데이터라인(DL)에, 소스전극은 제1 노드(n1)에 연결된다.
- [0024] 제2 스캔 트랜지스터(ST2)는 제2 스캔신호(SCAN2)에 응답하여, 초기화라인(INL)으로부터 제공받는 초기화전압(Vini)을 제2 노드(n2)로 제공한다. 이를 위해서 제2 스캔 트랜지스터(ST2)의 게이트 전극은 제2 스캔라인(SL2)에, 드레인전극은 초기화라인(INL)에 소스전극은 제2 노드(n2)에 연결된다.
- [0025] 발광제어 트랜지스터(ET)는 발광제어신호(EM)에 응답하여, 구동전압(VDD) 입력단과 구동트랜지스터(DT) 간의 전류 경로를 제어한다. 이를 위해서 발광제어 트랜지스터(ET)의 게이트 전극은 발광제어신호라인(EML)에 연결되고, 드레인전극은 구동전압(VDD) 입력단에 연결되고, 소스전극은 구동트랜지스터(DT)에 연결된다.
- [0026] 스토리지 커패시터(Cst)는 데이터라인(DL)으로부터 제공받는 데이터전압(Vdata)을 한 프레임동안 유지하여 구동 트랜지스터(DT)가 일정한 전압을 유지하도록 한다. 이를 위해서 스토리지 커패시터(Cst)는 구동트랜지스터(DT)의 게이트 전극과 소스 전극에 연결된다.
- [0027] 보조커패시터(Csub)는 제2 노드(n2)에서 스토리지 커패시터(Cst)와 직렬로 연결되어, 구동전압(Vdata)의 효율을 조절하는 역할을 한다.
- [0028] 상술한 바와 같은 구조를 갖는 화소(P)의 동작을 살펴보면 다음과 같다. 도 3은 도 2의 화소(P)에 인가되는 신호들(EM, SCAN, INIT, DATA)을 나타내는 파형도이다.
- [0029] 도면에서, 1수평주기(H)는 하나의 수평라인(HL)에 배열된 화소(P)들의 스캔 기간을 의미한다. 스캔 기간은 샘플링 기간 및 데이터 기입 기간을 포함한다.
- [0030] 도 4a 내지 도 4d는 각각 초기화 기간(Ti), 샘플링 기간(Ts), 데이터기입 기간(Tw), 발광 기간(Te)에서의 화소(P)의 등가회로를 보여준다. 이때, 도 4a 내지 도 4d에서 소자 및 전류 경로가 활성화된 것은 실선으로, 반대로 소자 및 전류 경로가 비활성화된 것은 점선으로 표시하고 있다. 도 4a 내지 도 4d는 하나의 수평라인, 예컨대 제1 수평라인에 배열되는 화소(P)들의 동작을 나타낸다.
- [0031] 본 발명에 따른 화소(P)의 동작은 제1 노드(n1) 및 제2 노드(n2)를 특정 전압으로 초기화하는 초기화 기간(Ti), 구동트랜지스터(DT)의 문턱전압을 검출하는 샘플링 기간(Ts), 데이터전압(Vdata)을 기입하는 데이터 기입 기간(Tw), 문턱전압과 데이터전압(Vdata)을 이용하여 유기발광다이오드(OLED)에 인가되는 구동 전류를 문턱전압과 무관하게 보상하여 발광하는 발광 기간(Te)을 포함한다.
- [0032] 도 3 및 도 4a를 참조하면, 초기화 기간(Ti)은 제1 초기화 기간(Ti1) 및 제2 초기화 기간(Ti2)을 포함한다. 제1 및 제2 초기화 기간(Ti1, Ti2) 동안에, 제1 스캔신호(SCAN1)는 턴-온 전압레벨로 인가되고, 제2 초기화 기간(Ti2) 동안에 제2 스캔신호(SCAN2)는 턴-온 전압레벨로 인가된다. 제1 및 제2 초기화 기간(Ti1, Ti2) 동안에 발광제어신호(EM)는 턴-오프 전압레벨로 인가된다.
- [0033] 제2 스캔 트랜지스터(ST2)는 제2 스캔신호(SCAN2)가 턴-온 레벨일 때에, 초기화라인(INL)으로부터 제공받는 초기화전압(Vini)을 제2 노드(n2)에 인가한다. 그 결과 구동트랜지스터(DT)의 소스전압(Vs)은 초기화전압(Vini)이 된다. 제1 스캔 트랜지스터(ST1)는 제1 스캔신호(SCAN1)가 턴-온 전압레벨일 때에, 데이터라인(DL)으로부터

제공받는 기준전압(Vref)을 제1 노드(n1)에 인가한다. 그 결과, 구동트랜지스터(DT)의 게이트전압(Vg)은 기준 전압(Vref)이 된다.

- [0034] 이러한 초기화 기간(Ti)에서 제2 노드(n2)에 공급되는 초기화전압(Vini)은 화소(P)를 일정 수준으로 초기화하기 위한 것으로서, 이때 초기화전압(Vini)의 크기는 유기발광다이오드(OLED)가 발광하지 않도록 유기발광다이오드(OLED)의 동작전압보다 작은 전압값으로 설정된다.
- [0035] 도 3 및 도 4b를 참조하면, 샘플링 기간(Ts) 동안에, 제2 스캔신호(SCAN2)는 턴-오프전압레벨로 반전되고, 발광 제어신호(EM)는 턴-온전압레벨로 반전된다. 제1 스캔신호(SCAN1)는 턴-온 전압레벨을 유지한다.
- [0036] 제1 스캔 트랜지스터(ST1)는 제1 스캔신호(SCAN1)에 응답하여 데이터라인(DL)으로부터 제공받는 기준전압(Vref)을 제1 노드(n1)로 공급한다. 그리고 발광제어 트랜지스터(ET)는 발광제어신호(EM)에 응답하여 구동전압(VDD)을 구동트랜지스터(DT)로 공급한다.
- [0037] 제2 스캔 트랜지스터(ST2)가 턴-오프되어 제2 노드(n2)가 플로팅(floating) 된 상태에서, 구동트랜지스터(DT)의 드레인전극에서 소스전극으로 흐르는 전류로 인해서 제2 노드(n2)의 전압은 점차적으로 상승한다. 이때, 제1 노드(n1)는 기준전압(Vref)으로 유지되기 때문에, 제2 노드(n2)는 기준전압(Vref)과 구동트랜지스터(DT)의 문턱 전압(Vth) 간의 차이에 해당하는 크기를 갖는 전압으로 포화(saturation)된다. 즉, 샘플링 기간(Ts)을 통해서, 구동트랜지스터(DT)의 게이트-소스 간의 전위차이는 문턱전압(Vth)의 크기가 된다.
- [0038] 도 3 및 도 4c를 참조하면, 라이팅 시간(Tw) 동안에, 제1 스캔신호(SCAN1)는 턴-온 전압레벨을 유지하고, 제2 스캔신호(SCAN2)는 턴-오프 전압레벨을 유지한다. 발광제어신호(EM)는 턴-오프 전압레벨로 반전된다.
- [0039] 제1 스캔 트랜지스터(ST1)는 제1 스캔신호(SCAN1)에 응답하여, 데이터라인(DL)으로부터 제공받는 데이터전압(Vdata)을 제1 노드(n1)로 공급한다. 이때, 플로팅(floating) 상태인 제2 노드(n2) 전압은 스토리지 커패시터(Cst) 및 보조커패시터(C1)의 비율에 의해서 커플링(Coupling)되어서 상승하거나 하강한다.
- [0040] 도 3 및 도 4d를 참조하면, 발광 시간(Te) 동안에, 제1 스캔신호(SCAN1)는 턴-오프 전압레벨로 반전되고, 제2 스캔신호(SCAN2)는 턴-오프 전압레벨을 유지하며, 발광제어신호(EM)는 턴-온 전압레벨로 반전된다.
- [0041] 발광 시간(Te) 동안에, 스토리지 커패시터(Cst)에 저장된 데이터전압(Vdata)은 유기발광다이오드(OLED)로 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압(Vdata)에 비례하는 밝기로 발광한다. 이때, 라이팅 시간(Tw)에서 결정된 제1 노드(n1) 및 제2 노드(n2)의 전압에 의해서 구동트랜지스터(DT)에 전류가 흐르게 되어 유기발광다이오드(OLED)로 원하는 전류가 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압(Vdata)에 의해 밝기를 조절할 수 있다.
- [0042] 도 5는 쉬프트 레지스터(140)의 스테이지를 나타내는 도면이다. 도 5는 j(j는 n 보다 작은 홀수) 번째 수평라인 및 (j+1) 번째 수평라인에 배열된 화소들과 연결되는 스테이지들을 나타내고 있다.
- [0043] 도 5를 참조하면, 인접하는 한 쌍의 수평라인(HLj, HL[j+1])에 배열된 화소들을 구동하기 위한 스테이지들은 j 번째 제1 스캔신호 스테이지(SCAN1D[j]), j 번째 제2 스캔신호 스테이지(SCAN2D[j]), (j+1) 번째 제1 스캔신호 스테이지(SCAN1D[j+1]), (j+1) 번째 제2 스캔신호 스테이지(SCAN2D[j+1]) 및 j 번째 발광제어신호 스테이지(EMD[j])를 포함한다.
- [0044] j 번째 제1 스캔신호 스테이지(SCAN1D[j])는 j 번째 제1 스캔신호(SCAN1[j])를 생성하고, j 번째 제1 스캔신호(SCAN1)를 j 번째 제1 스캔라인(SL1[j])에 인가한다.
- [0045] j 번째 제2 스캔신호 스테이지(SCAN2D[j])는 j 번째 제2 스캔신호(SCAN2[j])를 생성하고, j 번째 제2 스캔신호(SCAN2[j])를 j 번째 제2 스캔라인(SL2[j])에 인가한다.
- [0046] (j+1) 번째 제1 스캔신호 스테이지(SCAN1D[j+1])는 (j+1) 번째 제1 스캔신호(SCAN1[j+1])를 생성하고, (j+1) 번째 제1 스캔신호(SCAN1[j+1])를 (j+1) 번째 제1 스캔라인(SL1[j+1])에 인가한다.
- [0047] (j+1) 번째 제2 스캔신호 스테이지(SCAN2D[j+1])는 (j+1) 번째 제2 스캔신호(SCAN2[j+1])를 생성하고, (j+1) 번째 제2 스캔신호(SCAN2[j+1])를 (j+1) 번째 제2 스캔라인(SL2[j+1])에 인가한다.
- [0048] j 번째 발광제어신호 스테이지(EMD[j])는 j 번째 발광제어신호(EM[j])를 생성하고, j 번째 발광제어신호(EM[j])를 j 번째 수평라인의 화소들(Pj)과 연결되는 j 번째 발광제어신호라인 및 (j+1) 번째 수평라인의 화소들(P[j+1])과 연결되는 (j+1) 번째 발광제어신호라인(EML[j+1])에 인가한다. j 번째 발광제어신호 스테이지

(EMD[j])는 j 번째 제1 스캔신호(SCAN1), j 번째 제2 스캔신호(SCAN2) 및 (j+1) 번째 제1 스캔신호(SCAN1)를 입력받아서 각 트랜지스터의 동작 타이밍을 제어하는 클럭신호로 이용한다.

- [0049] 인접하는 한 쌍의 수평라인에 배열되는 화소들은 동일한 발광제어신호에 의해서 구동되기 때문에, n/2 개의 발광제어신호 스테이지를 이용하여 n개의 수평라인에 배열된 화소들을 구동할 수 있다. 즉 쉬프트레지스터(140)의 전체 면적을 줄일 수 있기 때문에, 비표시부(100B)의 베젤 영역을 줄일 수 있다.
- [0050] 도 6은 발광제어신호 스테이지를 나타내는 회로도이다. 특히, 도 6은 첫 번째 수평라인(HL1) 및 두 번째 수평라인(HL2)에 배열된 화소들에 공급되는 제1 발광제어신호(EM1)를 출력하는 발광제어신호 스테이지(EMD1)를 도시하고 있다.
- [0051] 도 6 및 도 7을 참조하면, 제1 스테이지의 발광제어신호 스테이지(EMD1)는 첫 번째 제1 및 제2 스캔신호(SCAN1[1], SCAN2[1]), 두 번째 제1 스캔신호(SCAN1[2]), 제1 에미션클럭(ECLK1), 제3 에미션클럭(ECLK3), 제5 에미션클럭(ECLK5), 스타트신호(EMVST) 및 리셋신호(ERST)를 이용하여 제1 발광제어신호(EM1)를 생성한다. 첫 번째 제1 및 제2 스캔신호(SCAN1[1], SCAN2[1])는 첫 번째 스테이지의 제1 및 제2 스캔신호 스테이지(SCAN1D[1], SCAN2D[1])가 각각 출력하는 제1 및 제2 스캔신호(SCAN1[1], SCAN2[1])를 지칭하고, 두 번째 제1 스캔신호(SCAN1[2])는 두 번째 스테이지의 제1 스캔신호 스테이지(SCAN1D[2])가 출력하는 제1 스캔신호(SCAN1[2])를 지칭한다.
- [0052] 이와 유사하게, j 번째 발광제어신호 스테이지(EMD[j])는 제1 에미션클럭(ECLK1), 제3 에미션클럭(ECLK3), 제5 에미션클럭(ECLK5) 대신에, 제j 에미션클럭(ECLKj), 제(j+2) 에미션클럭(ECLK[j+2]), 제(j+4) 에미션클럭(ECLK[j+4])을 입력받는다.
- [0053] 에미션클럭(ECLK)은 7상으로 구현되고, 각 클럭신호들은 연속적이다. 따라서, (j+k)(k는 1<k<7인 자연수)가 7보다 큰 클럭신호는 7을 감산한 서수의 클럭신호를 이용한다. 예컨대, 다섯 번째 발광제어신호 스테이지에서 제(j+4) 게이트클럭(GCLK[j+4])은 제2 게이트클럭(GCLK2)에 해당한다.
- [0054] 제1 트랜지스터(T1)의 제1 전극은 고전위전압(GVDD) 입력단에 연결되고, 제2 전극은 제2 트랜지스터(T2)의 제1 전극에 연결되며, 게이트전극은 제1 에미션클럭(ECLK1) 입력단자에 연결된다. 제2 트랜지스터(T2)의 제1 전극은 제1 트랜지스터(T1)의 제2 전극에 연결되고, 제2 전극은 Q노드(Q)에 연결되며, 게이트 전극은 스타트신호(EMVST) 입력단에 연결된다. 제1 에미션클럭(ECLK1) 및 스타트신호(EMVST)가 동기될 때에 제1 및 제2 트랜지스터(T1,T2)는 모두 턴-온되고, 그 결과 Q노드(Q)는 제1 및 제2 트랜지스터(T1,T2)를 통해서 제공받는 고전위전압(GVDD)에 의해서 충전된다.
- [0055] 제1 저전위 트리거 트랜지스터(T5)의 제1 전극은 첫 번째 제1 스캔신호(SCAN1[1]) 출력단자에 연결되고, 제2 전극은 QB노드(QB)에 연결되고, 게이트전극은 제5 에미션클럭(ECLK5) 입력단자에 연결된다. 이에 따라서, 제1 저전위 트리거 트랜지스터(T5)는 제5 에미션클럭(ECLK5) 및 첫 번째 제1 스캔신호(SCAN1[1])가 동기될 때, QB노드(QB)를 충전한다.
- [0056] 제2 저전위 트리거 트랜지스터(T3)의 제1 전극은 에미션리셋(ERST) 입력단에 연결되고, 제2 전극은 QB노드(QB)에 연결되며, 게이트전극은 두 번째 제1 스캔신호(SCAN1[2]) 출력단에 연결된다. 제2 저전위 트리거 트랜지스터(T3)는 에미션리셋(ERST) 및 두 번째 제1 스캔신호(SCAN1[2])가 동기될 때 QB노드(QB)를 충전한다.
- [0057] 제3 저전위 트리거 트랜지스터(T11)는 제1 전극이 고전위전압(GVDD) 입력단에 연결되고, 제2 전극이 QB노드(QB)에 연결되며, 게이트전극이 첫 번째 제2 스캔신호(SCAN2[1]) 출력단에 연결된다. 이에 따라서, 제3 저전위 트리거 트랜지스터(T11)는 첫 번째 제2 스캔신호(SCAN2[1])가 인가될 때에 QB노드(QB)를 충전한다.
- [0058] 제4 트랜지스터(T4)의 제1 전극은 고전위전압(GVDD)에 연결되고, 제2 전극은 제9 트랜지스터(T9)의 제2 전극과 제11 트랜지스터(T11)의 제1 전극에 연결되며, 게이트전극은 발광제어신호 출력단(EMO1)에 연결된다.
- [0059] 제6 트랜지스터(T6)의 제1 전극은 Q노드(Q)에 연결되고 제2 전극은 저전위전압(GVSS) 입력단자에 연결되며, 게이트전극은 QB노드(QB)에 연결된다. 따라서, 제6 트랜지스터(T6)는 QB노드(QB)가 충전될 때 Q노드(Q)를 저전위전압(GVSS)으로 방전한다.
- [0060] 제7 트랜지스터(T7)는 제1 전극이 QB(QB)에 연결되고, 제2 전극은 저전위전압(GVSS)에 연결되며, 게이트전극은 제3 에미션클럭(ECLK3) 입력단자에 연결된다. 이에 따라서, 제7 트랜지스터(T7)는 제3 에미션클럭(ECLK3)에 응답하여, QB노드(QB2)를 방전한다.

- [0061] 풀업 트랜지스터(T8)의 제1 전극은 고전위전압(GVDD)에 연결되고, 제2 전극은 발광제어신호 출력단(n12)에 연결되며, 게이트전극은 Q노드(Q)에 연결된다. 이에 따라서, 풀업 트랜지스터(T8)는 Q노드(Q2)가 충전될 때 턴-온되어서, 발광제어신호 출력단(EMO1)으로 고전위전압(GVDD) 레벨을 갖는 제1 발광제어신호(EM1)를 출력한다.
- [0062] 풀다운 트랜지스터들(T9,T10)은 서로 직렬로 연결된다. 풀다운 트랜지스터들(T9,T10)들 각각의 게이트전극은 QB노드(QB)에 연결되고, 제9 트랜지스터(T9)의 제1 전극은 발광제어신호 출력단(EMO1)에 연결되며, 제10 트랜지스터(T10)의 제2 전극은 저전위전압(GVSS)에 연결된다. 이에 따라서, 풀다운 트랜지스터들(T9,T10)은 QB노드(QB)의 전위에 대응하여, 발광제어신호 출력단(EMO1)의 전위를 저전위전압(GVSS)으로 방전한다.
- [0063] 도 7은 발광제어신호 스테이지에 입력되는 클럭 및 제어신호들의 타이밍을 나타내는 도면이다. 도 6 및 도 7을 참조하여, 제1 발광제어신호 스테이지(EMD1)가 제1 발광제어신호(EM1)를 출력하는 과정을 살펴보면 다음과 같다.
- [0064] 제1 초기화 기간(Ti1) 동안에, 첫 번째 제1 스캔신호(SCAN1[1])와 제5 에미션클럭(ECLK5)은 동기된다. 그 결과, 제1 저전위 트리거 트랜지스터(T5)는 턴-온되어서, 제5 에미션클럭(ECLK5)의 전압을 이용하여 QB노드(QB)를 충전한다. QB노드(QB)가 충전되어서 풀다운 트랜지스터 (T9,T10)는 턴-온되고, 발광제어신호 출력단(EMO1)은 저전위전압(GVSS)으로 방전한다. 그 결과, 이전 프레임의 발광기간에 하이레벨의 전압으로 출력되던 발광제어신호는 제1 초기화 기간(Ti1)의 시작 시점에 로우레벨로 방전된다.
- [0065] 샘플링 기간(Ts) 동안에, 제1 에미션클럭(ECLK1) 및 스타트신호(EMVST)는 동기된다. 제1 트랜지스터(T1)는 제1 에미션클럭(ECLK1)에 의해서 턴-온되고, 제2 트랜지스터(T2)는 스타트신호(EMVST)에 의해서 턴-온된다. 제1 및 제2 트랜지스터(T1,T2)가 동시에 턴-온되어서, 제1 및 제2 트랜지스터(T1,T2)를 경유하는 고전위전압(GVDD)에 의해 Q노드(Q) 및 부스팅 커패시터(C)가 충전된다. Q노드(Q)가 충전됨에 따라서 풀업 트랜지스터(T8)는 턴-온되고, 고전위전압(GVDD)의 전압레벨을 갖는 제1 발광제어신호(EM1)가 발광제어신호 출력단(EMO1)으로 출력된다.
- [0066] 데이터 기입 기간(Tw) 동안에, 제2 스테이지의 제1 스캔신호(SCAN1)와 리셋신호(ERST)는 동기된다. 그 결과, 제2 저전위 트리거 트랜지스터(T3)는 턴-온되어서, 리셋신호(ERST)를 이용하여 QB노드(QB)를 충전한다. QB노드(QB)가 충전되어서 풀다운 트랜지스터 (T9,T10)는 턴-온되고, 발광제어신호 출력단(EMO1)은 저전위전압(GVSS)으로 방전한다. 그 결과, 샘플링 기간(Ts) 동안, 하이레벨 전압으로 출력되던 제1 발광제어신호(EM1)는 데이터 기입 기간(Tw)의 시작 시점에 로우레벨로 방전된다.
- [0067] 발광 기간(Te)의 시작 시점에서, 제1 에미션클럭(ECLK1) 및 스타트신호(EMVST)는 동기된다. 제1 트랜지스터(T1)는 제1 에미션클럭(ECLK1)에 의해서 턴-온되고, 제2 트랜지스터(T2)는 스타트신호(EMVST)에 의해서 턴-온된다. 제1 및 제2 트랜지스터(T1,T2)가 동시에 턴-온되어서, 제1 및 제2 트랜지스터(T1,T2)를 경유하는 고전위전압(GVDD)에 의해 Q노드(Q) 및 부스팅 커패시터(C)가 충전된다. Q노드(Q)가 충전됨에 따라서 풀업 트랜지스터(T8)는 턴-온되고, 고전위전압(GVDD)의 전압레벨을 갖는 제1 발광제어신호(EM1)가 발광제어신호 출력단(EMO1)으로 출력된다.
- [0068] 발광 기간(Te) 동안, 제7 트랜지스터(T7)는 일정한 간격으로 제3 에미션클럭(ECLK3)에 응답하여 턴-온된다. 제7 트랜지스터(T7)는 턴-온되는 동안에 QB노드(QB)를 저전위전압으로 유지하여, 풀다운 트랜지스터(T9,T10)가 턴-온되는 것을 억제한다. 즉, 제7 트랜지스터(T7)는 발광 기간(Te) 동안에 발광제어신호 출력단(EMO1)을 통해서 안정적으로 제1 발광제어신호(EM1)가 출력되도록 한다.
- [0069] 발광 기간(Tw) 내에서, 제10 트랜지스터(T10)는 첫 번째 제2 스캔신호(SCAN2)에 의해서 턴-온된다. 제10 트랜지스터(T10)가 턴-온될 때 QB노드(QB)는 충전되어 풀다운 트랜지스터(T9,T10)는 턴-온된다. 풀다운 트랜지스터(T9,T10)는 턴-온되어 발광제어신호 출력단(EMO1)의 전압을 방전한다. 즉, 발광 기간(Tw) 동안에 인가되는 첫 번째 제2 스캔신호(SCAN2[1])는 제1 발광제어신호(EM1)의 출력을 중지시킨다. 첫 번째 제2 스캔신호(SCAN2[1])에 의해서 방전된 발광제어신호 출력단(EMO1)의 전압은 제1 에미션클럭(ECLK1)과 스타트신호(EMVST)가 동기되는 시점까지 저전위전압을 유지한다.
- [0070] 발광제어신호(EM)는 이처럼 발광 기간(Tw) 내에서 출력 기간과 억제 기간으로 구분되기 때문에 화소들의 듀티(Duty) 구동이 가능해진다.
- [0071] 본 발명에 의한 제1 발광제어신호(EM1)는 제1 수평라인(HL1)에 배열된 화소들 뿐만 아니라 제2 수평라인(HL2)에 배열된 화소들에 동시에 인가된다. 따라서 제1 발광제어신호(EM1)는 제1 수평라인(HL1)에 배열되는 화소들의

구동과 제2 수평라인(HL2)에 배열되는 화소들의 구동을 모두 만족시켜야 한다. 제2 수평라인에 배열된 화소들의 데이터 기입 기간(Tw2)은 제1 수평라인(HL1)에 배열된 화소들의 발광 기간(Te) 내에서 일부 소정 기간에 해당한다. 제2 수평라인에 배열된 화소들의 데이터 기입 기간(Tw) 동안에, 두 번째 제1 스캔신호 및 리셋신호(ERST)는 제2 저전위 트리거 트랜지스터(T3)를 턴-오프시킨다. 즉, 제1 발광제어신호(EM1)는 제1 수평라인(HL1)에 배열된 화소들 및 제2 수평라인(HL2)에 배열된 화소들의 동시에 구동시킬 수 있다.

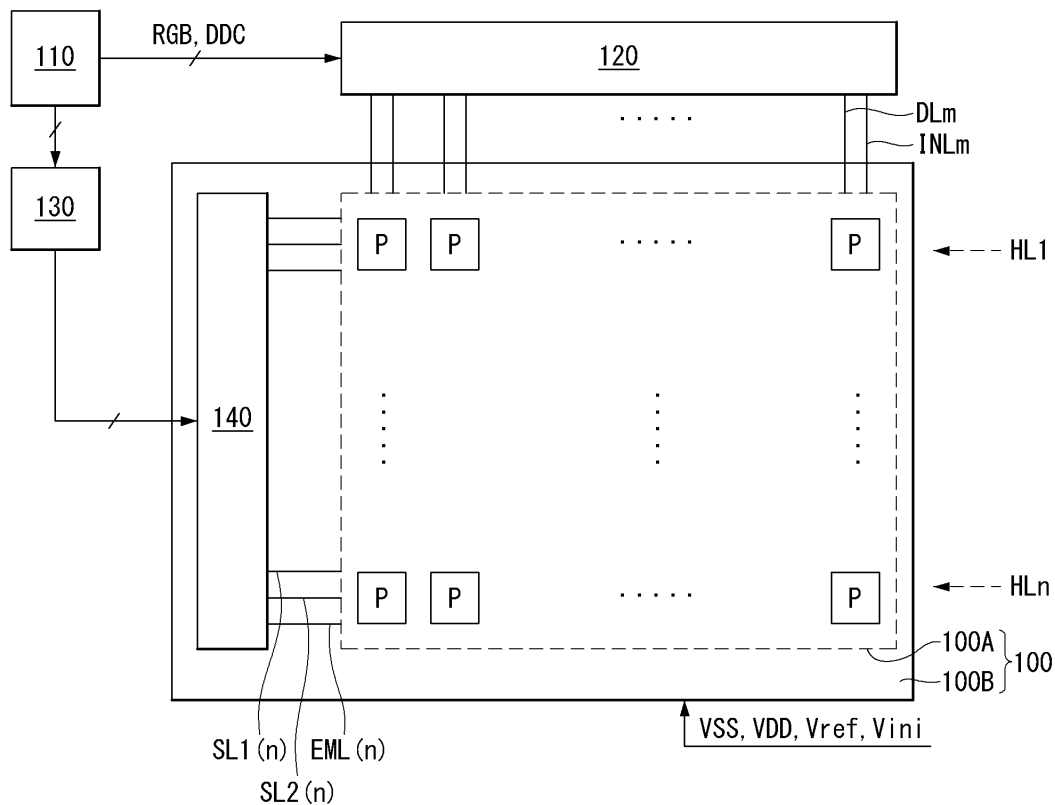
[0072] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

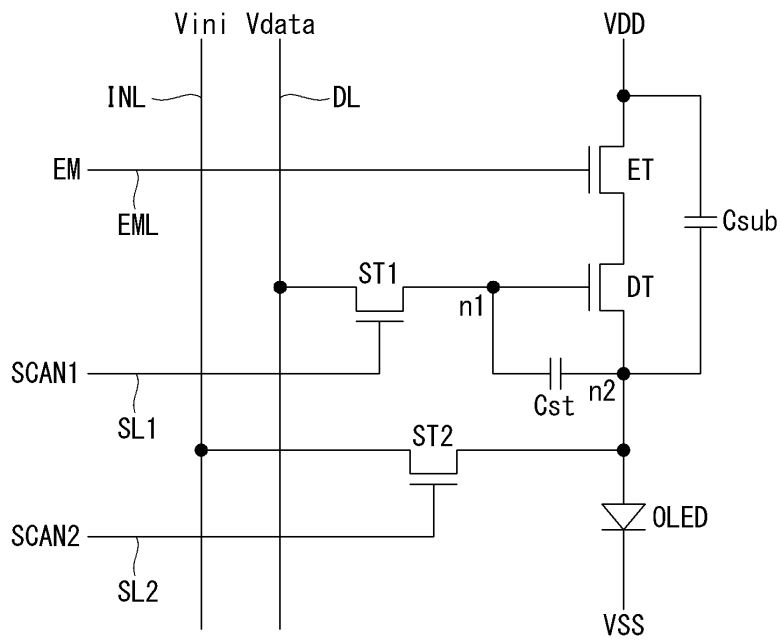
[0073] 100: 표시패널 110: 타이밍 컨트롤러
 120: 데이터 구동부 130: 레벨 쉬프터
 140: 쉬프트 레지스터 DL: 데이터라인
 INL: 초기화신호라인 SL1: 제1 스캔라인
 SL2: 제2 스캔라인 EML: 발광제어신호라인

도면

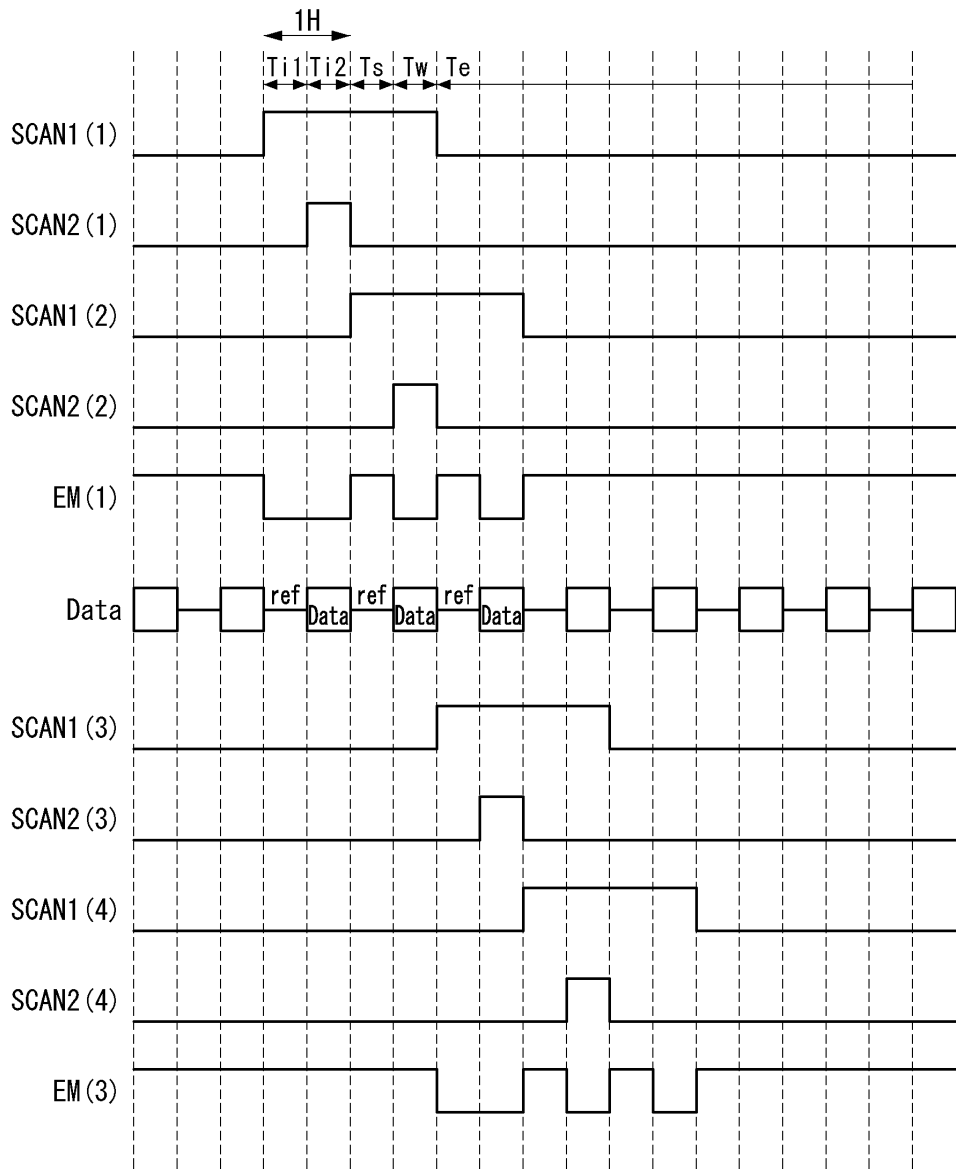
도면1



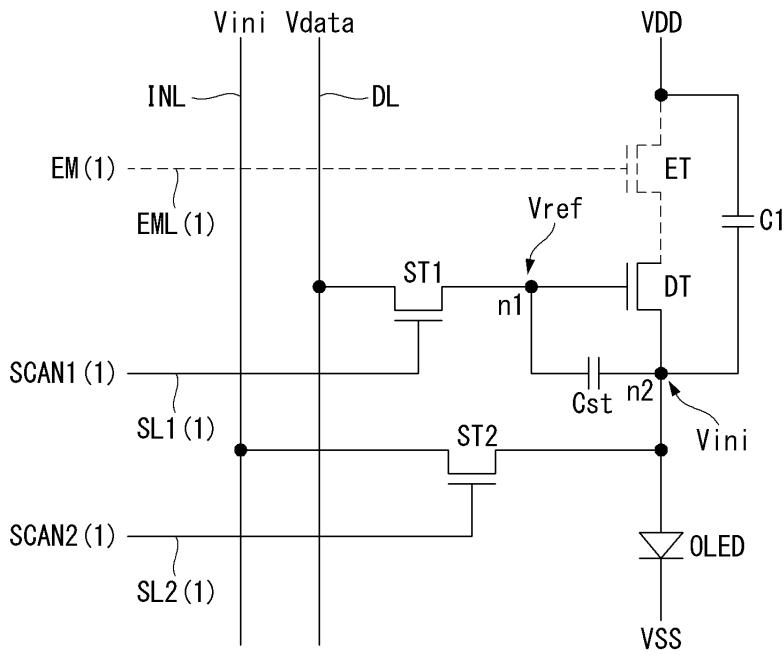
도면2



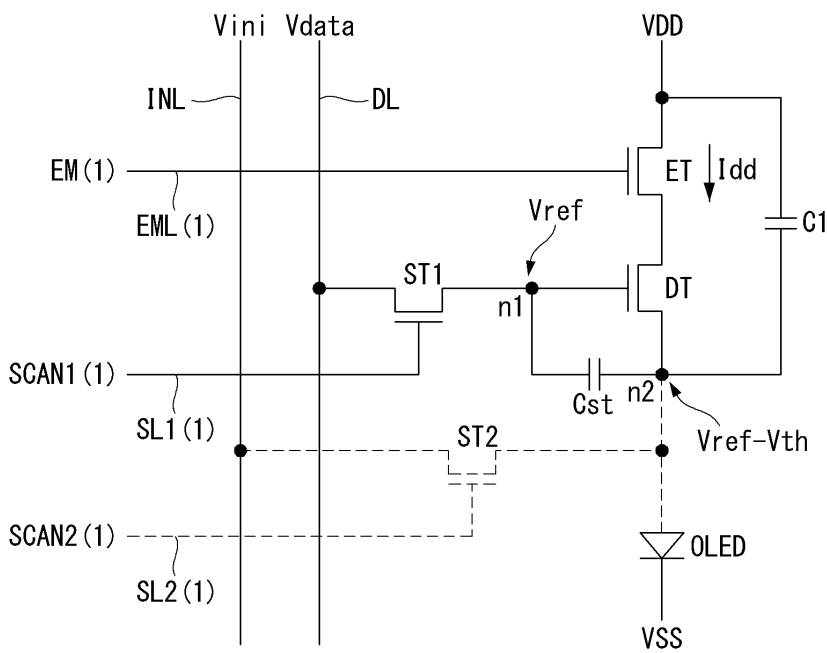
도면3



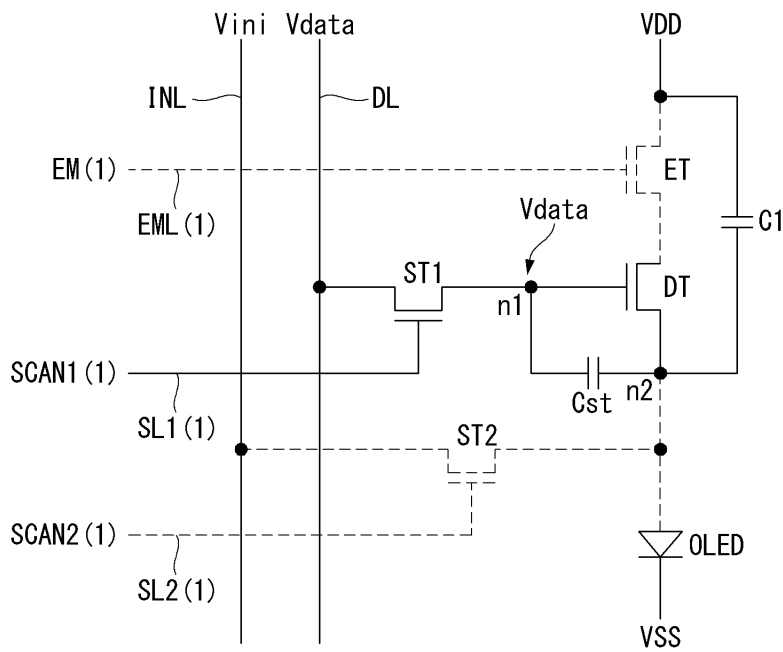
도면4a



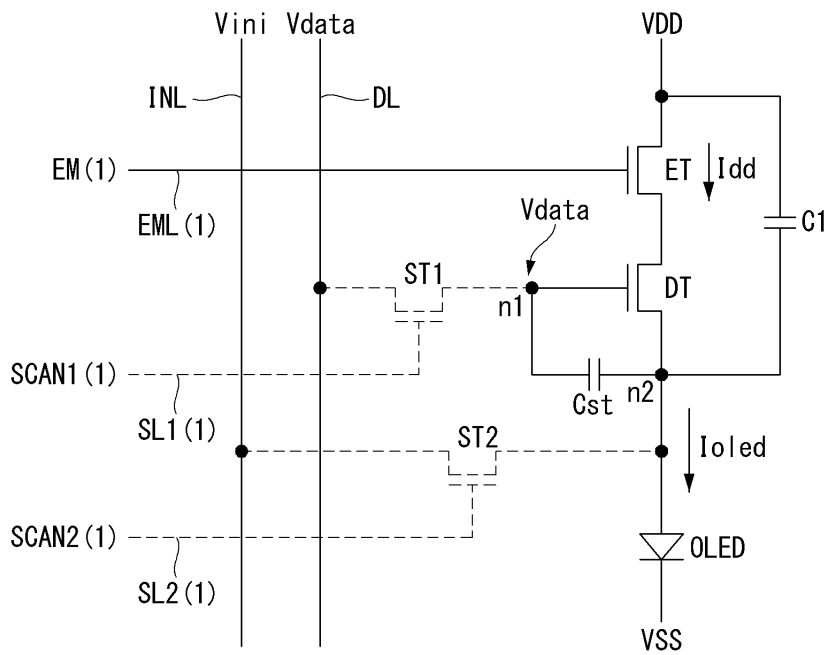
도면4b



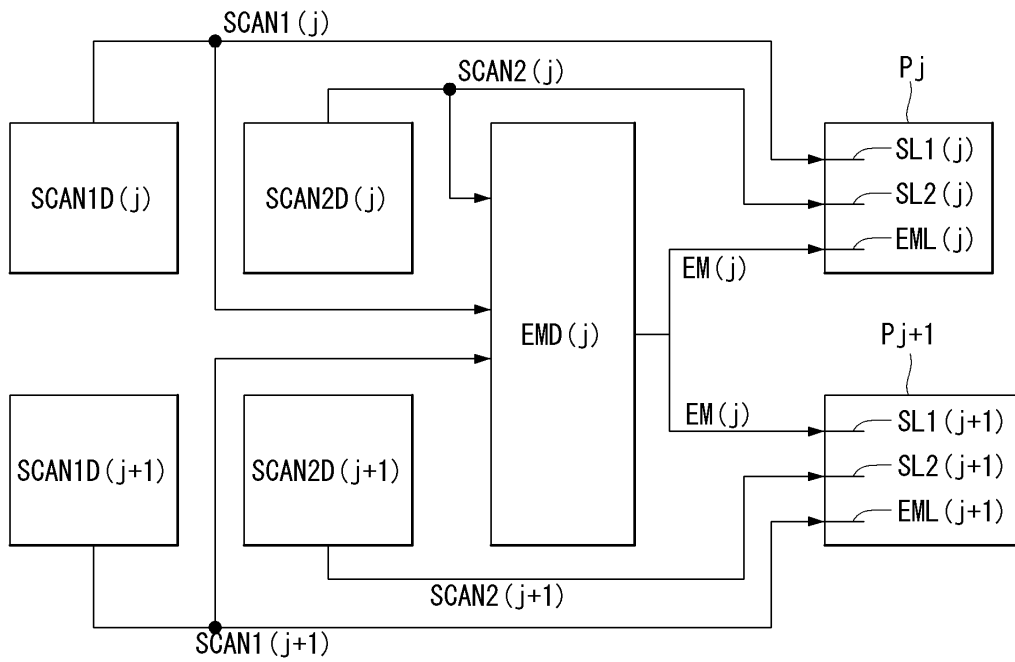
도면4c



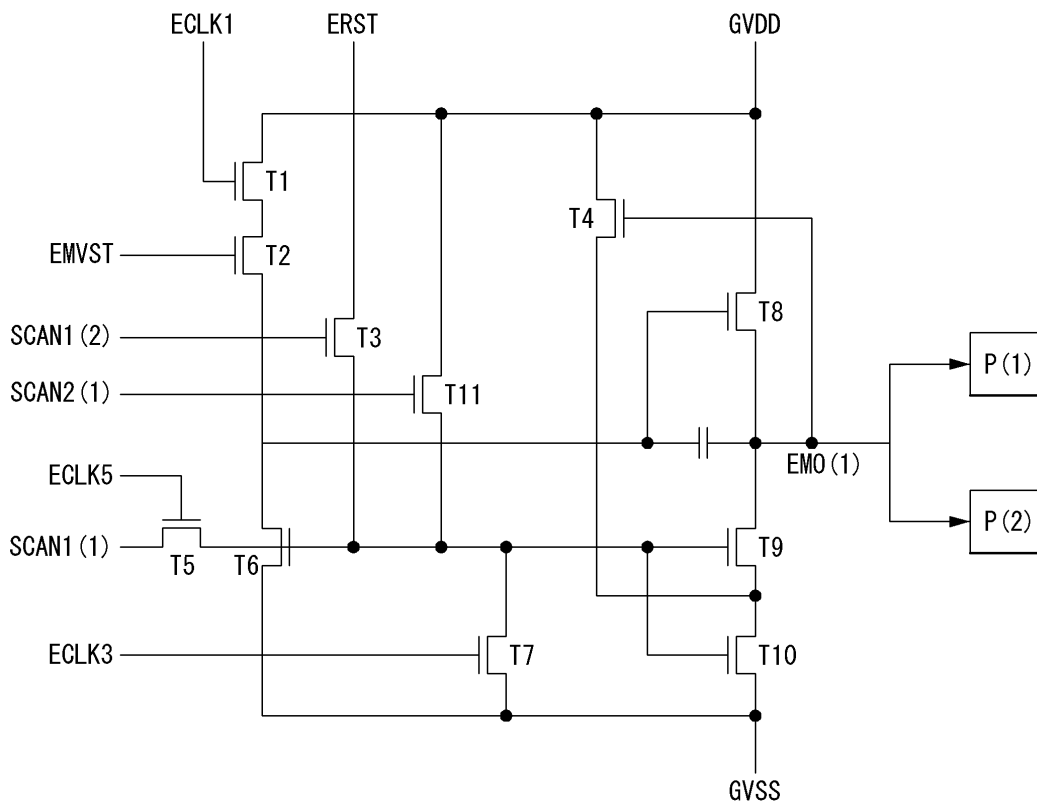
도면4d



도면5



도면6



도면7

