【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成22年3月18日(2010.3.18)

【公開番号】特開2008-204555(P2008-204555A)
【公開日】平成20年9月4日(2008.9.4)
【年通号数】公開・登録公報2008-035
【出願番号】特願2007-40111(P2007-40111)
【国際特許分類】
Ｇ１１Ｃ　29/34　(2006.01)
Ｇ１１Ｃ　11/401　(2006.01)
Ｇ０１Ｒ　31/28　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　29/00　６７１Ｐ
Ｇ１１Ｃ　11/34　３７１Ａ
Ｇ０１Ｒ　31/28　Ｂ
Ｇ０１Ｒ　31/28　Ｙ
Ｇ０１Ｒ　31/28　Ｖ

【手続補正書】
【提出日】平成22年1月28日(2010.1.28)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、
外部制御により第２の動作モード時には第２の動作制御信号及びメモリ選択信号を出力するメモリ選択回路と、
前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、
第１の動作モード時は前記ロジック部からの第１の動作制御信号を選択し第２の動作モード時にはメモリ選択信号及び第２の動作制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及び第２のデータ出力を切り替える第２のデータ出力選択信号を出力する制御回路部と、
前記内部動作制御信号を入力して第１の動作モード時には第１のデータを任意のメモリセルに読み書きし第２の動作モード時には任意のデータ幅からなる第２のデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記第２のデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路と
を有し、第２の動作モード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込むことを特徴とする半導体装置。
【請求項２】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、
外部制御により第２の動作モード時には第２の動作制御信号及びメモリ選択信号を出力するメモリ選択回路と、
前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、
第１の動作モード時は前記ロジック部からの第１の動作制御信号を選択し第２の動作モード時にはメモリ選択信号及び第２の動作制御信号を選択し前記メモリアレイを制御する

内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及び第２のデータ出力を切り替える第２のデータ出力選択信号を出力する制御回路部と、
前記内部動作制御信号を入力して第１の動作モード時には第１のデータを任意のメモリセルに読み書きし第２の動作モード時にはある特定のデータ幅からなる第２のデータを外部から入力して前記メモリセルブロックに書き込み前記第２のデータを前記メモリセルブロックの全ビットデータをある特定のデータ幅に分割して一括で読み出す制御を行うデータ入出力回路と、
前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、
前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅の第２のデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路と
を有し、全ての前記半導体記憶装置から読み出した第２のデータが一致しているかどうかを示す一致判定結果を出力し一致する場合には前記データ圧縮回路から出力されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、第２の動作モード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み出すと共に、読み出したデータの一致判定結果を出力することを特徴とする半導体装置。
【請求項３】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、
外部制御により第２の動作モード時には第２の動作制御信号及びメモリ選択信号を出力するメモリ選択回路と、
前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、
第１の動作モード時は前記ロジック部からの第１の動作制御信号を選択し第２の動作モード時にはメモリ選択信号及び第２の動作制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及び第２のデータ出力を切り替える第２のデータ出力選択信号を出力する制御回路部と、
前記内部動作制御信号を入力して第１の動作モード時には第１のデータを任意のメモリセルに読み書きし第２の動作モード時にはある特定のデータ幅からなる第２のデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記第２のデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路と、
前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、
前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅の第２のデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路と
を有し、全ての前記半導体記憶装置から読み出した第２のデータが一致しているかどうかを示す一致判定結果を出力しおよび一致する場合には前記データ圧縮回路から出力されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、第２の動作モード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み書きすることを特徴とする半導体装置。
【請求項４】
前記制御回路にて、第２の動作モード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括書き込みの要否を選択可能とすることを特徴とする請求項１記載の半導体装置。
【請求項５】

前記制御回路にて、第２の動作モード時に全ての半導体記憶装置の前記メモリセルブロックからの一括読み出しの要否を選択可能とすることを特徴とする請求項２記載の半導体装置。
【請求項６】
前記制御回路にて、第２の動作モード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括読み書きの要否を選択可能とすることを特徴とする請求項３記載の半導体装置。
【請求項７】
前記一括判定回路から出力される一致判定結果を第２のデータ出力端子に割り付けて出力することを特徴とする請求項６記載の半導体装置。
【請求項８】
前記第１の動作モードが通常動作であり、前記第２の動作モードがテストモードであることを特徴とする請求項１～請求項７のいずれかに記載の半導体装置。
【請求項９】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、
任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、
書き込んだ前記テストデータを前記半導体記憶装置から読み出す工程と
を有することを特徴とする半導体装置の検査方法。
【請求項１０】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、
テストデータを前記半導体記憶装置に書き込む工程と、
前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、
読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、
前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程と
を有することを特徴とする半導体装置の検査方法。
【請求項１１】
ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、
任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、
前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、
読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、
前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程と
を有することを特徴とする半導体装置の検査方法。
【請求項１２】
テストモード時に全ての前記半導体記憶装置に対しての一括書き込みの要否を選択可能とすることを特徴とする請求項９記載の半導体装置の検査方法。

【請求項１３】
テストモード時に全ての前記半導体記憶装置からの一括読み出しの要否を選択可能とすることを特徴とする請求項１０記載の半導体装置の検査方法。
【請求項１４】
テストモード時に全ての前記半導体記憶装置に対しての一括読み書きの要否を選択可能とすることを特徴とする請求項１１記載の半導体装置の検査方法。
【請求項１５】
前記出力される一致判定結果をテストデータ出力端子に割り付けて出力することを特徴とする請求項１１記載の半導体装置の検査方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
上記目的を達成するために本発明の半導体装置は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、外部制御により第２の動作モード時には第２の動作制御信号及びメモリ選択信号を出力するメモリ選択回路と、前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、第１の動作モード時は前記ロジック部からの第１の動作制御信号を選択し第２の動作モード時にはメモリ選択信号及び第２の動作制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及び第２のデータ出力を切り替える第２のデータ出力選択信号を出力する制御回路部と、前記内部動作制御信号を入力して第１の動作モード時には第１のデータを任意のメモリセルに読み書きし第２の動作モード時には任意のデータ幅からなる第２のデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記第２のデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路とを有し、第２の動作モード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込むことを特徴とする。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１２
【補正方法】変更
【補正の内容】
【００１２】
また、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、外部制御により第２の動作モード時には第２の動作制御信号及びメモリ選択信号を出力するメモリ選択回路と、前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、第１の動作モード時は前記ロジック部からの第１の動作制御信号を選択し第２の動作モード時にはメモリ選択信号及び第２の動作制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及び第２のデータ出力を切り替える第２のデータ出力選択信号を出力する制御回路部と、前記内部動作制御信号を入力して第１の動作モード時には第１のデータを任意のメモリセルに読み書きし第２の動作モード時にはある特定のデータ幅からなる第２のデータを外部から入力して前記メモリセルブロックに書き込み前記第２のデータを前記メモリセルブロックの全ビットデータをある特定のデータ幅に分割して一括で読み出す制御を行うデータ入出力回路と、前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅の

第２のデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路とを有し、全ての前記半導体記憶装置から読み出した第２のデータが一致しているかどうかを示す一致判定結果を出力し一致する場合には前記データ圧縮回路から出力されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、第２の動作モード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み出すと共に、読み出したデータの一致判定結果を出力することを特徴とする。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１３
【補正方法】変更
【補正の内容】
【００１３】
また、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置であって、外部制御により第２の動作モード時には第２の動作制御信号及びメモリ選択信号を出力するメモリ選択回路と、前記半導体記憶装置には、複数のメモリセルブロックで構成されるメモリアレイと、第１の動作モード時は前記ロジック部からの第１の動作制御信号を選択し第２の動作モード時にはメモリ選択信号及び第２の動作制御信号を選択し前記メモリアレイを制御する内部制御信号を出力し、動作モードにより入出力データを切り替える入出力選択信号及び第２のデータ出力を切り替える第２のデータ出力選択信号を出力する制御回路部と、前記内部動作制御信号を入力して第１の動作モード時には第１のデータを任意のメモリセルに読み書きし第２の動作モード時にはある特定のデータ幅からなる第２のデータを外部から入力して同一ロウアドレスの前記メモリセルブロックの全ビットに対して一括して書き込みし書き込まれた前記第２のデータを前記メモリセルブロックから順に読み出す制御を行うデータ入出力回路と、前記データ入出力回路の制御により読み出した同一ロウアドレスの前記メモリセルブロックの全ビットデータを読み出しある特定のデータ幅毎に互いに比較して一致する場合には一致検出信号を出力する一致検出回路と、前記一致検出信号が一致を示す場合には前記メモリセルブロックから読み出したある特定のデータ幅の第２のデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力するデータ圧縮回路とを有し、全ての前記半導体記憶装置から読み出した第２のデータが一致しているかどうかを示す一致判定結果を出力しおよび一致する場合には前記データ圧縮回路から出力されたデータを一致しない場合にはあらかじめ定めた所定のデータを外部に出力する一括判定回路を有し、第２の動作モード時には、全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットデータを一括して読み書きすることを特徴とする。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
また、前記制御回路にて、第２の動作モード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括書き込みの要否を選択可能とすることが好ましい。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】変更
【補正の内容】
【００１５】
また、前記制御回路にて、第２の動作モード時に全ての半導体記憶装置の前記メモリセ

ルブロックからの一括読み出しの要否を選択可能とすることが好ましい。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】変更
【補正の内容】
【００１６】
また、前記制御回路にて、第２の動作モード時に全ての半導体記憶装置の前記メモリセルブロックに対しての一括読み書きの要否を選択可能とすることが好ましい。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】変更
【補正の内容】
【００１７】
また、前記一括判定回路から出力される一致判定結果を第２のデータ出力端子に割り付けて出力することが好ましい。
また、前記第１の動作モードが通常動作であり、前記第２の動作モードがテストモードであることが好ましい。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００１８
【補正方法】変更
【補正の内容】
【００１８】
さらに、本発明の半導体装置の検査方法は、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、書き込んだ前記テストデータを前記半導体記憶装置から読み出す工程とを有することを特徴とする。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００１９
【補正方法】変更
【補正の内容】
【００１９】
また、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、テストデータを前記半導体記憶装置に書き込む工程と、前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程とを有することを特徴とする。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】

【００２０】
また、ロジック部と複数の半導体記憶装置が同一チップ内に混載される半導体装置の前記半導体記憶装置の検査を行うに際し、任意のデータ幅からなるテストデータを外部から入力して全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックの全ビットに対して一括して書き込む工程と、前記テストデータを全ての前記半導体記憶装置の同一ロウアドレスのメモリセルブロックから任意のデータ幅に分割して一括で読み出す工程と、読み出した前記半導体記憶装置毎に前記格納された各テストデータを互いに比較して一致する場合には一致検出信号を出力する工程と、前記一致検出信号が一致を示す場合には前記半導体記憶装置から読み出した前記テストデータを出力し不一致を示す場合にはあらかじめ定めた所定のデータを出力すると共に全ての前記半導体記憶装置から読み出したテストデータが一致しているかどうかを示す一致判定結果を出力する工程とを有することを特徴とする。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】変更
【補正の内容】
【００２１】
また、テストモード時に全ての前記半導体記憶装置に対しての一括書き込みの要否を選択可能とすることが好ましい。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】００２２
【補正方法】変更
【補正の内容】
【００２２】
また、テストモード時に全ての前記半導体記憶装置からの一括読み出しの要否を選択可能とすることが好ましい。
【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】
【００２３】
また、テストモード時に全ての前記半導体記憶装置に対しての一括読み書きの要否を選択可能とすることが好ましい。
【手続補正１５】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【００２４】
また、前記出力される一致判定結果をテストデータ出力端子に割り付けて出力することが好ましい。