I686870

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I686870 B**

(45)公告日： 中華民國 109 (2020) 年 03 月 01 日

(21)申請案號：105105903　(22)申請日： 中華民國 105 (2016) 年 02 月 26 日

(51)Int. Cl.：　*H01L21/336 (2006.01)*　*H01L29/786 (2006.01)*

H01L21/28 (2006.01)　*G02F1/1368 (2006.01)*

(30)優先權：2015/03/03　日本　2015-040972

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)
日本

(72)發明人：岡崎健一 OKAZAKI, KENICHI (JP)；神長正美 JINTYOU, MASAMI (JP)；井口貴弘 IGUCHI, TAKAHIRO (JP)；保坂泰靖 HOSAKA, YASUHARU (JP)；肥塚純一 KOEZUKA, JUNICHI (JP)；三宅博之 MIYAKE, HIROYUKI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

US　2010/0193790A1　　US　2014/0021467A1

審查人員：湯欽全

申請專利範圍項數：11 項　圖式數：56　共 152 頁

(54)名稱

半導體裝置、顯示裝置及使用該顯示裝置之電子裝置

(57)摘要

一種開口率得到提高且電容值增大的半導體裝置、以及製造成本低的半導體裝置。一種半導體裝置，包括電晶體、第一絕緣膜、以及包括一對電極之間的第二絕緣膜的電容器，電晶體包括閘極電極、與閘極電極接觸的閘極絕緣膜、與閘極絕緣膜接觸並與閘極電極重疊的第一氧化物半導體膜、以及與第一氧化物半導體膜電連接的源極電極及汲極電極，電容器的一對電極中的一個包括第二氧化物半導體膜，第一絕緣膜設置在第一氧化物半導體膜上，以第二氧化物半導體膜夾在第一絕緣膜和第二絕緣膜之間的方式將第二絕緣膜設置在第二氧化物半導體膜上。

Provided is a semiconductor device with high capacitance while the aperture ratio is increased or a semiconductor device whose manufacturing cost is low. The semiconductor device includes a transistor, a first insulating film, and a capacitor including a second insulating film between a pair of electrodes. The transistor includes a gate electrode, a gate insulating film in contact with the gate electrode, a first oxide semiconductor film overlapping with the gate electrode, and a source electrode and a drain electrode electrically connected to the first oxide semiconductor film. One of the pair of electrodes of the capacitor includes a second oxide semiconductor film. The first insulating film is over the first oxide semiconductor film. The second insulating film is over the second oxide semiconductor film so that the second oxide semiconductor film is between the first insulating film and the second insulating film.

指定代表圖：

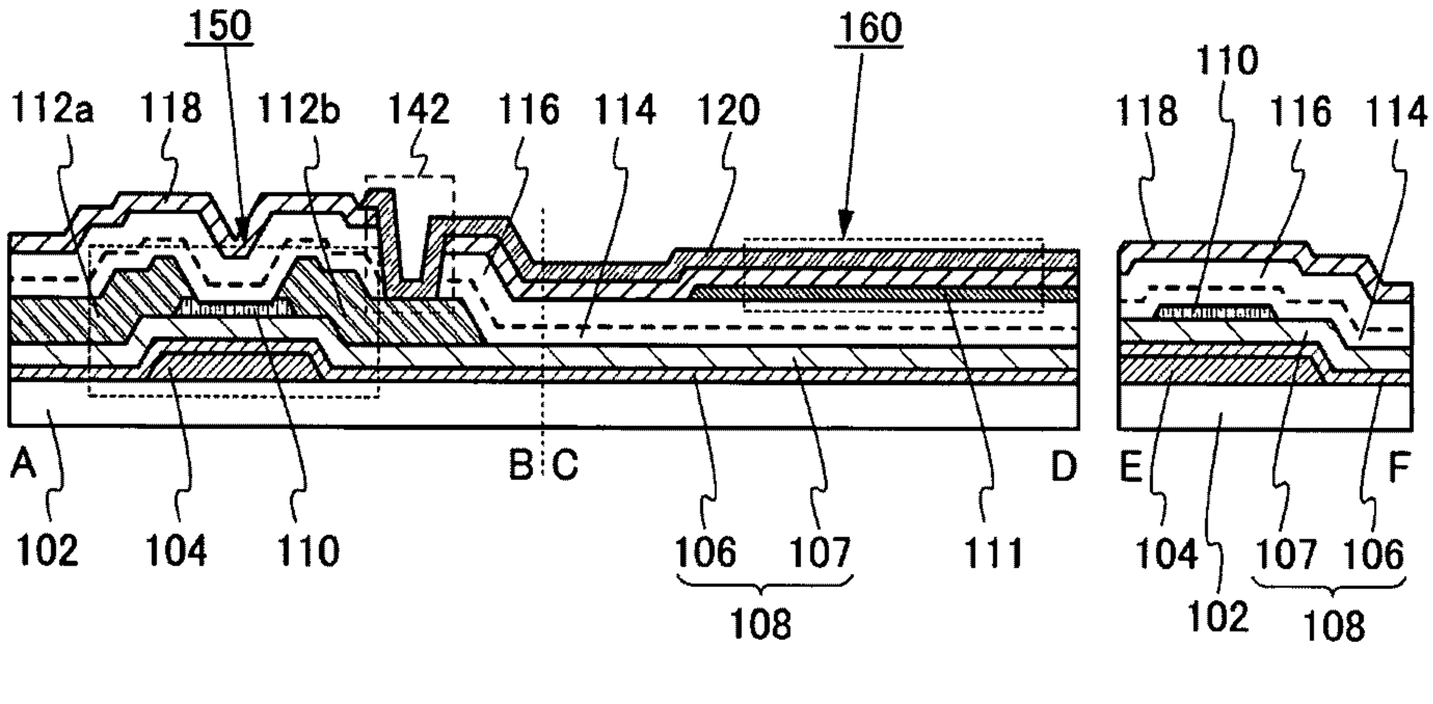


圖 1B

符號簡單說明：

102・・・基板

104・・・閘極電極

106・・・絕緣膜

107・・・絕緣膜

108・・・絕緣膜

110・・・氧化物半導體膜

111・・・氧化物半導體膜

112a・・・源極電極

112b・・・汲極電極

114・・・絕緣膜

116・・・絕緣膜

118・・・絕緣膜

120・・・導電膜

142・・・開口

150・・・電晶體

160・・・電容器

公告本

I686870

發明摘要

※ 申請案號：105105903

※ 申請日：105年2月26日

※IPC 分類：*H01L 21/336* (2006.01)
H01L 29/786 (2006.01)
H01L 21/28 (2006.01)
G02F 1/1368 (2006.01)

【發明名稱】(中文/英文)

半導體裝置、顯示裝置及使用該顯示裝置之電子裝置/SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND ELECTRONIC DEVICE USING THE DISPLAY DEVICE

【中文】

一種開口率得到提高且電容值增大的半導體裝置、以及製造成本低的半導體裝置。一種半導體裝置，包括電晶體、第一絕緣膜、以及包括一對電極之間的第二絕緣膜的電容器，電晶體包括閘極電極、與閘極電極接觸的閘極絕緣膜、與閘極絕緣膜接觸並與閘極電極重疊的第一氧化物半導體膜、以及與第一氧化物半導體膜電連接的源極電極及汲極電極，電容器的一對電極中的一個包括第二氧化物半導體膜，第一絕緣膜設置在第一氧化物半導體膜上，以第二氧化物半導體膜夾在第一絕緣膜和第二絕緣膜之間的方式將第二絕緣膜設置在第二氧化物半導體膜上。

【英文】

Provided is a semiconductor device with high capacitance while the aperture ratio is increased or a semiconductor device whose manufacturing cost is low. The semiconductor device includes a transistor, a first insulating film, and a capacitor including a second insulating film between a pair of electrodes. The transistor includes a gate electrode, a gate insulating film in contact with the gate

electrode, a first oxide semiconductor film overlapping with the gate electrode, and a source electrode and a drain electrode electrically connected to the first oxide semiconductor film. One of the pair of electrodes of the capacitor includes a second oxide semiconductor film. The first insulating film is over the first oxide semiconductor film. The second insulating film is over the second oxide semiconductor film so that the second oxide semiconductor film is between the first insulating film and the second insulating film.

【代表圖】

【本案指定代表圖】：第（　1B　）圖。

【本代表圖之符號簡單說明】：

102　基板
104　閘極電極
106　絕緣膜
107　絕緣膜
108　絕緣膜
110　氧化物半導體膜
111　氧化物半導體膜
112a　源極電極
112b　汲極電極
114　絕緣膜
116　絕緣膜
118　絕緣膜
120　導電膜
142　開口
150　電晶體
160　電容器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

半導體裝置、顯示裝置及使用該顯示裝置之電子裝置

/SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND ELECTRONIC DEVICE USING THE DISPLAY DEVICE

【技術領域】

[0001]

本發明的一個實施方式係關於一種半導體裝置、顯示裝置、使用該顯示裝置的電子裝置。本發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。本發明的一個實施方式係關於一種半導體裝置、顯示裝置、電子裝置、它們的製造方法或它們的驅動方法。尤其是，本發明的一個實施方式例如係關於包括電晶體及電容器的半導體裝置。

【先前技術】

[0002]

用於以液晶顯示裝置或發光顯示裝置爲代表的大多數平板顯示器的電晶體利用在玻璃基板上形成的矽半導體諸如非晶矽、單晶矽或多晶矽而構成。此外，使用該矽半導體的電晶體也用於積體電路（IC）等。

[0003]

近年來，將呈現半導體特性的金屬氧化物用於電晶體來代替矽半導體的技術受到矚目。注意，在本說明書中，將呈現半導體特性的金屬氧化物稱爲氧化物半導體。例如，已公開了作爲氧化物半導體使用氧化鋅或In-Ga-Zn類

氧化物來製造電晶體並將該電晶體用於顯示裝置的像素的切換元件等的技術（參照專利文獻1及專利文獻2）。

[0004]

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻2] 日本專利申請公開第2007-96055號公報

【發明內容】

[0005]

本發明的一個實施方式的目的之一是提供一種包括具有導電性的氧化物半導體膜的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種開口率得到提高且電容值增大的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種製造成本低的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置等。

[0006]

注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個實施方式並不需要實現所有上述目的。上述效果以外的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並可以從所述描述中抽取。

[0007]

本發明的一個實施方式是一種半導體裝置，該半導體裝置包括：電晶體；第一絕緣膜；以及包括一對電極之間的第二絕緣膜的電容器，電晶體包括：閘極電極；與閘極電極接觸的閘極絕緣膜；與閘極絕緣膜接觸並位於與閘極電極重疊的位置上的第一氧化物半導體膜；以及與第一氧化物半導體膜電連接的源極電極及汲極電極，電容器的一對電極中的一個包括第二氧化物半導體膜，第一絕緣膜設置在第一氧化物半導體膜上，以第二氧化物半導體膜夾在第一絕緣膜和第二絕緣膜之間的方式將第二絕緣膜設置在第二氧化物半導體膜上。

[0008]

另外，本發明的另一個實施方式是一種半導體裝置，還包括導電膜且電容器的一對電極中的另一個包括導電膜。

[0009]

另外，本發明的另一個實施方式是一種半導體裝置，其中電晶體包括第一絕緣膜、設置在與第一氧化物半導體膜重疊的位置上的第二氧化物半

導體膜。

[0010]

另外，本發明的另一個實施方式是一種半導體裝置，其中電晶體包括第一絕緣膜、第二絕緣膜、設置在與第一氧化物半導體膜重疊的位置上的導電膜。

[0011]

另外，本發明的另一個實施方式是一種半導體裝置，其電容器使可見光透過。

[0012]

另外，在上述半導體裝置中，第一氧化物半導體膜及第二氧化物半導體膜較佳爲 In-M-Zn 氧化物（M 表示 Al、Ti、Ga、Y、Zr、La、Ce、Nd、Sn 或 Hf）。

[0013]

另外，在上述半導體裝置中，第一絕緣膜包含氧，第二絕緣膜包含氫。

[0014]

另外，本發明的另一個實施方式是一種包括上述半導體裝置及液晶元件的顯示裝置。

[0015]

另外，本發明的另一個實施方式是一種包括上述半導體裝置、以及開關、揚聲器、顯示部和外殼中的至少一個的電子裝置。

[0016]

根據本發明的一個實施方式，可以提供一種包括具有導電性的氧化物半導體膜的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種開口率得到提高且電容值增大的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種製造成本低的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種新穎的半導體裝置等。

[0017]

注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。上述效果以外的效果從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並可以從所述描述中抽取。

【圖式簡單說明】

[0018]

在圖式中：

圖 1A 和圖 1B 是示出半導體裝置的一個實施方式的俯視圖及剖面圖；

圖 2A 和圖 2B 是示出半導體裝置的一個實施方式的剖面圖；

圖 3A 至圖 3D 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 4A 至圖 4C 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 5A 至圖 5C 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 6A 和圖 6B 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 7A 和圖 7B 是示出半導體裝置的一個實施方式的俯視圖及剖面圖；

圖 8A 至圖 8D 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 9A 至圖 9C 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 10A 和圖 10B 是示出半導體裝置的一個實施方式的俯視圖及剖面圖；

圖 11A 至圖 11D 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 12A 至圖 12C 是示出半導體裝置的製造方法的一個實施方式的剖面圖；

圖 13A 至圖 13D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像及 CAAC-OS 的剖面示意圖；

圖 14A 至圖 14D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 15A 至圖 15C 是說明利用 XRD 的 CAAC-OS 及單晶氧化物半導體的結構解析的圖；

圖 16A 和圖 16B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 17 是示出藉由電子照射而發生的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 18 是說明 CAAC-OS 的成膜方法的圖；

圖 19A 至圖 19C 是說明 $InMZnO_4$ 的結晶的圖；

圖 20A 至圖 20F 是說明 CAAC-OS 的成膜方法的圖；

圖 21A 至圖 21C 是示出電晶體的一個例子的俯視圖及剖面圖；

圖 22A 至圖 22D 是示出電晶體的一個例子的剖面圖；

圖 23A 和圖 23B 是說明帶結構的圖；

圖 24A 和圖 24B 是示出電晶體的一個例子的剖面圖；

圖 25A 是示出顯示裝置的一個實施方式的俯視圖，圖 25B 是示出像素的一個實施方式的電路圖；

圖 26 是示出像素的一個實施方式的俯視圖；

圖 27 是示出像素的一個實施方式的剖面圖；
圖 28 是示出像素的一個實施方式的剖面圖；
圖 29 是示出像素的一個實施方式的俯視圖；
圖 30 是示出像素的一個實施方式的剖面圖；
圖 31 是示出像素的一個實施方式的剖面圖；
圖 32 是示出像素的一個實施方式的俯視圖；
圖 33 是示出像素的一個實施方式的剖面圖；
圖 34 是示出像素的一個實施方式的剖面圖；
圖 35 是示出像素的一個實施方式的俯視圖；
圖 36 是示出像素的一個實施方式的剖面圖；
圖 37 是示出像素的一個實施方式的剖面圖；
圖 38 是示出像素的一個實施方式的剖面圖；
圖 39 是示出像素的一個實施方式的俯視圖；
圖 40 是示出像素的一個實施方式的剖面圖；
圖 41A 和圖 41B 分別是示出像素的一個實施方式的電路圖及俯視圖；
圖 42 是示出像素的一個實施方式的剖面圖；
圖 43 是示出像素的一個實施方式的俯視圖；
圖 44 是示出像素的一個實施方式的剖面圖；
圖 45 是示出像素的一個實施方式的電路圖；
圖 46 是示出顯示裝置的一個實施方式的俯視圖；
圖 47 是示出顯示裝置的一個實施方式的剖面圖；
圖 48A 和圖 48B 是用來說明顯示裝置的顯示的圖；
圖 49A 和圖 49B 是用來說明顯示裝置的顯示的圖；
圖 50A 至圖 50E 是說明顯示在顯示裝置上的方法的例子的圖；
圖 51A 至圖 51E 是說明顯示在實施方式的顯示裝置上的方法的例子的圖；
圖 52 是說明顯示模組的圖；
圖 53A 至圖 53G 是說明電子裝置的圖；
圖 54A 至圖 54C 是說明實施例的顯示裝置的亮度變化的圖；
圖 55A 至圖 55C 是說明實施例的視覺刺激的變化的圖；
圖56A和圖56B是說明實施例的受檢者的臨界融合頻率的變化的圖。

【實施方式】

[0019]

下面，參照圖式對本發明的實施方式進行詳細說明。注意，本發明的一個實施方式不侷限於以下說明，所屬技術領域的通常知識者可以很容易地理解一個事實，就是本發明在不脫離其精神及其範圍的條件下，其方式及詳細內容可以被變換爲各種各樣的形式。因此，本發明的一個實施方式不應該被解釋爲僅侷限在以下所示的實施方式所記載的內容中。另外，在下面所說明的實施方式中，在不同的圖式中使用相同的元件符號或相同的陰影線來表示相同部分或具有相同功能的部分，而省略反復說明。

[0020]

注意，在本說明書所說明的每一個圖式中，有時爲了明確起見，誇大地表示各組件的大小、膜厚度、區域。因此，本發明並不一定侷限於上述尺寸。

[0021]

在本說明書等中使用的“第一”、“第二”等序數詞是爲了避免組件的混同而附加的，而不是爲了在數目方面上進行限定的。因此，例如可以將“第一”適當地調換爲“第二”或“第三”等而進行說明。

[0022]

另外，在本說明書等中，可以將“膜”和“層”相互調換。例如，有時可以將“導電層”變換爲“導電膜”。此外，有時可以將“絕緣膜”變換爲“絕緣層”。

[0023]

另外，在本說明書等中，例如當導電性充分低時，有時即使表示爲“半導體”也具有“絕緣體”的特性。此外，“半導體”和“絕緣體”的邊境不太清楚，因此有時不能精確地區別。由此，有時可以將本說明書等所記載的“半導體”換稱爲“絕緣體”。同樣地，有時可以將本說明書等所記載的“絕緣體”換稱爲“半導體”。或者，有時可以將本說明書等所記載的“絕緣體”換稱爲“半絕緣體”。

[0024]

另外，在本說明書等中，例如當導電性充分高時，有時即使表示爲“半導體”也具有“導電體”的特性。此外，“半導體”和“導電體”的邊界不太清楚，因此有時不能精確地區別。由此，有時可以將本說明書等所記載的“半導體”換稱爲“導電體”。同樣地，有時可以將本說明書等所記載的“導電體”換稱爲“半導體”。

[0025]

另外，在使用極性不同的電晶體的情況或在電路工作中在電流方向變化的情況等下，電晶體的“源極”及“汲極”的功能有時被互相調換。因此，在本說明書等中，“源極”和“汲極”可以被互相調換。

[0026]

在本說明書等中，“圖案化”是指利用光微影製程進行的製程。注意，圖案化不侷限於光微影製程，也可以使用光微影製程之外的製程。另外，在進行蝕刻處理之後去除藉由光微影製程形成的遮罩。

[0027]

注意，在本說明書等中，氧氮化矽膜是指其組成中氧含量多於氮含量的膜，較佳爲在 55 原子%以上且 65 原子%以下、1 原子%以上且 20 原子%以下、25 原子%以上且 35 原子%以下、0.1 原子%以上且 10 原子%以下的濃度範圍內分別包含氧、氮、矽和氫。氮氧化矽膜是指其組成中氮含量多於氧含量的膜，較佳爲在 55 原子%以上且 65 原子%以下、1 原子%以上且 20 原子%以下、25 原子%以上且 35 原子%以下、0.1 原子%以上且 10 原子%以下的濃度範圍內分別包含氮、氧、矽和氫。

[0028]

實施方式 1

在本實施方式中，使用圖 1A 至圖 12C 說明本發明的一個實施方式的半導體裝置。

[0029]

〈半導體裝置的結構例子〉

圖 1A 是本發明的一個實施方式的半導體裝置的俯視圖，圖 1B 是沿著圖 1A 中的點劃線 A-B、點劃線 C-D 及點劃線 E-F 的剖面圖。注意，在圖 1A 中，爲了方便起見，省略半導體裝置的組件的一部分（閘極絕緣膜等）。在後面的電晶體的俯視圖中，與圖 1A 相同，有時省略組件的一部分。

[0030]

圖 1A 的點劃線 A-B 示出電晶體 150 的通道長度方向。點劃線 E-F 示出電晶體 150 的通道寬度方向。在本說明書中，電晶體的通道長度方向是指在源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間載子移動的方向，通道寬度方向是指在與基板平行的面內垂直於通道長度方向的方向。

[0031]

圖 1A 及圖 1B 所示的半導體裝置包括：包括第一氧化物半導體膜 110 的電晶體 150；以及在一對電極之間包括絕緣膜的電容器 160。在電容器 160 中，一個電極是第二氧化物半導體膜 111，另一個電極是導電膜 120。

[0032]

電晶體 150 包括：基板 102 上的閘極電極 104；閘極電極 104 上的被用作閘極絕緣膜的絕緣膜 108；在絕緣膜 108 上與閘極電極 104 重疊的第一氧化物半導體膜 110；第一氧化物半導體膜 110 上的源極電極 112a 及汲極電極 112b。換言之，電晶體 150 包括：第一氧化物半導體膜 110；與第一氧化物半導體膜 110 接觸的被用作閘極絕緣膜的絕緣膜 108；與絕緣膜 108 接觸並與第一氧化物半導體膜 110 重疊的閘極電極 104；以及與第一氧化物半導體膜 110 電連接的源極電極 112a 及汲極電極 112b。圖 1A 及圖 1B 所示的電晶體 150 具有所謂的底閘極結構。

[0033]

另外，在電晶體 150 上，更詳細地說，在第一氧化物半導體膜 110、源極電極 112a 及汲極電極 112b 上形成有絕緣膜 114、116、118。絕緣膜 114、116、118 具有作爲電晶體 150 的保護絕緣膜的功能。絕緣膜 114、116、118 形成有到達汲極電極 112b 的開口 142，以覆蓋開口 142 的方式在絕緣膜 118 上形成有導電膜 120。導電膜 120 例如具有作爲像素電極的功能。

[0034]

電容器 160 包括：絕緣膜 116 上的被用作一個電極的第二氧化物半導體膜 111；第二氧化物半導體膜 111 上的被用作介電膜的絕緣膜 118；隔著絕緣膜 118 與第二氧化物半導體膜 111 重疊的被用作另一個電極的導電膜 120。就是說，導電膜 120 具有作爲像素電極的功能以及作爲電容器的電極的功能。

[0035]

第一氧化物半導體膜 110 具有被用作電晶體 150 的通道區域的區域。第二氧化物半導體膜 111 被用作電容器 160 的一對電極中的一個。因此，第二氧化物半導體膜 111 的電阻率比第一氧化物半導體膜 110 低。第一氧化物半導體膜 110 和第二氧化物半導體膜 111 較佳爲包含同一金屬元素。在第一氧化物半導體膜 110 和第二氧化物半導體膜 111 包含同一金屬元素時，可以使用共同製造裝置（例如，沉積裝置、加工裝置等），因此可以抑制製造成本。

[0036]

此外，也可以將使用金屬膜等形成的佈線等連接到第二氧化物半導體

膜 111。例如，當將圖 1A 和圖 1B 所示的半導體裝置用於顯示裝置的像素部的電晶體及電容器時，也可以使用金屬膜形成引線配線或閘極佈線等，將該金屬膜和第二氧化物半導體膜 111 連接。藉由使用金屬膜形成引線配線或閘極佈線等，可以降低佈線電阻，而可以抑制信號延遲等。

[0037]

電容器 160 具有透光性。就是說，電容器 160 所包括的第二氧化物半導體膜 111、導電膜 120 及絕緣膜 118 都由具有透光性的材料構成。如此，當電容器 160 具有透光性時，電容器 160 可以較大地（大面積地）形成在像素中的形成有電晶體的部分以外的區域，因此可以得到開口率得到提高且電容值增大的半導體裝置。其結果是，可以得到顯示品質良好的半導體裝置。

[0038]

作爲設置在電晶體 150 上並用於電容器 160 的絕緣膜 118，使用至少包含氫的絕緣膜。另外，作爲用於電晶體 150 的絕緣膜 107、設置在電晶體 150 上的絕緣膜 114、116，使用至少包含氧的絕緣膜。如此，作爲在電晶體 150 上並用於電容器 160 的絕緣膜、以及設置在電晶體 150 上並用於電晶體 150 的絕緣膜使用上述絕緣膜，由此可以控制電晶體 150 所包括的第一氧化物半導體膜 110 的電阻率及電容器 160 所包括的第二氧化物半導體膜 111 的電阻率。

[0039]

藉由作爲用於電容器 160 的絕緣膜、以及設置在電晶體 150 及電容器 160 上的絕緣膜採用如下結構，可以提高導電膜 120 的平坦性。明確而言，絕緣膜 114、116 設置在第一氧化物半導體膜 110 上，以與絕緣膜 116 夾住第二氧化物半導體膜 111 的方式將絕緣膜 118 設置在第二氧化物半導體膜 111 上。藉由採用這樣的結構，可以控制第二氧化物半導體膜 111 的電阻率而不在位於與第二氧化物半導體膜 111 重疊的位置上的絕緣膜 114、116 中形成開口，因此可以提高導電膜 120 的平坦性。因此，藉由採用這樣的結構，例如，當將圖 1A 和圖 1B 所示的半導體裝置用於液晶顯示裝置的像素部中的電晶體及電容器時，可以實現形成在導電膜 120 上的液晶的良好配向性。

[0040]

另外，也可以以與電晶體的通道區域重疊的方式設置與導電膜 120 同時成膜、被蝕刻、形成的導電膜 120a。圖 2A 示出此時的例子。因爲導電膜 120a 與導電膜 120 同時成膜、被蝕刻、形成，所以導電膜 120a 包含與導電

膜 120 相同的材料。因此，可以抑制製程的增加。注意，本發明的一個實施方式不侷限於此。導電膜 120a 也可以利用與導電膜 120 不同的製程形成。導電膜 120a 具有與電晶體的通道區域重疊的區域。因此，導電膜 120a 具有作爲電晶體的第二閘極電極的功能。因而，導電膜 120a 也可以與閘極電極 104 連接。或者，導電膜 120a 也可以不與閘極電極 104 連接而被供應與閘極電極 104 不同的信號或電位。藉由採用這樣的結構，可以進一步提高電晶體 150 的電流驅動能力。此時，用於第二閘極電極的閘極絕緣膜是絕緣膜 114、116、118。

[0041]

另外，也可以以與電晶體的通道區域重疊的方式設置與第二氧化物半導體膜 111 同時成膜、被蝕刻、形成的第二氧化物半導體膜 111a。圖 2B 示出此時的例子。因爲第二氧化物半導體膜 111a 與第二氧化物半導體膜 111 同時成膜、被蝕刻、形成，所以第二氧化物半導體膜 111a 包含與第二氧化物半導體膜 111 相同的材料。因此，可以抑制製程的增加。注意，本發明的一個實施方式不侷限於此。第二氧化物半導體膜 111a 也可以利用與第二氧化物半導體膜 111 不同的製程形成。第二氧化物半導體膜 111a 具有與被用作電晶體 150 的通道區域的第一氧化物半導體膜 110 重疊的區域。因此，第二氧化物半導體膜 111a 具有作爲電晶體 150 的第二閘極電極的功能。因而，第二氧化物半導體膜 111a 也可以與閘極電極 104 連接。或者，第二氧化物半導體膜 111a 也可以不與閘極電極 104 連接而被供應與閘極電極 104 不同的信號或電位。藉由採用這樣的結構，用於第二閘極電極的閘極絕緣膜是絕緣膜 114、116，因此與圖 2A 所示的電晶體相比，可以進一步提高電晶體 150 的電流驅動能力。

[0042]

注意，在電晶體 150 中，第一氧化物半導體膜 110 被用作通道區域，因此其電阻率比第二氧化物半導體膜 111 高。另一方面，第二氧化物半導體膜 111 具有作爲電極的功能，因此其電阻率比第一氧化物半導體膜 110 低。

[0043]

在此，以下，對第一氧化物半導體膜 110 及第二氧化物半導體膜 111 的電阻率的控制方法進行說明。

[0044]

〈氧化物半導體膜的電阻率的控制方法〉

可用於第一氧化物半導體膜110及第二氧化物半導體膜111的氧化物半

導體膜是可以根據膜中的氧缺陷及/或膜中的氫、水等雜質的濃度控制電阻率的半導體材料。因此，藉由選擇增加第一氧化物半導體膜 110 及第二氧化物半導體膜 111 中的氧缺陷及/或雜質濃度的處理、或者減少氧缺陷及/或雜質濃度的處理，可以控制各氧化物半導體膜的電阻率。

[0045]

明確而言，對用於被用作電容器 160 的電極的第二氧化物半導體膜 111 的氧化物半導體膜進行電漿處理，增加該氧化物半導體膜中的氧缺陷及/或氫、水等雜質，可以實現載子密度高且電阻率低的氧化物半導體膜。以與氧化物半導體膜接觸的方式形成包含氫的絕緣膜，使氫從該包含氫的絕緣膜，例如是從絕緣膜 118 擴散到氧化物半導體膜，由此可以實現載子密度高且電阻率低的氧化物半導體膜。第二氧化物半導體膜 111 在上述增加膜中的氧缺陷或擴散氫的製程之前被用作半導體，在該製程之後被用作導電體。

[0046]

作爲上述電漿處理，例如典型地可以舉出使用包含選自稀有氣體（He、Ne、Ar、Kr、Xe）、氫和氮中的一種以上的氣體的電漿處理。更明確而言，可以舉出 Ar 氛圍下的電漿處理、Ar 和氫的混合氣體氛圍下的電漿處理、氨氛圍下的電漿處理、Ar 和氨的混合氛圍下的電漿處理或氮氛圍下的電漿處理等。藉由上述電漿處理，在氧化物半導體膜中的氧脫離了的晶格（或氧脫離了的部分）中形成氧缺陷。該氧缺陷有時成爲產生載子的原因。此外，從氧化物半導體膜附近，更明確而言，從與氧化物半導體膜的下側或上側接觸的絕緣層供應氫，上述氧缺陷與氫鍵合而有時產生作爲載子的電子。

[0047]

藉由作爲絕緣膜 118 例如使用包含氫的絕緣膜，換言之能夠釋放氫的絕緣膜，典型的是氮化矽膜，可以對第二氧化物半導體膜 111 供應氫。能夠釋放氫的絕緣膜中的氫濃度較佳爲 1×10^{22}atoms/cm^3 以上。藉由以與第二氧化物半導體膜 111 接觸的方式形成上述絕緣膜，可以有效地使第二氧化物半導體膜 111 中含有氫。

[0048]

包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在氧脫離了的晶格（或氧脫離的部分）中形成氧缺陷。當氫進入該氧缺陷時，有時產生作爲載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作爲載子的電子。因此，以與包含氫的絕緣

膜接觸的方式設置的第二氧化物半導體膜 111 的載子密度比第一氧化物半導體膜 110 高。

[0049]

另外，爲了得到電阻率低的氧化物半導體膜，能夠採用離子植入法、離子摻雜法、電漿浸沒離子佈植技術等來將氫、硼、磷或氮注入氧化物半導體膜內。

[0050]

另一方面，藉由設置絕緣膜 107、114、116，不使被用作電晶體 150 的通道區域的第一氧化物半導體膜 110 與包含氫的絕緣膜 106、118 接觸。藉由作爲絕緣膜 107、114、116 中的至少一個採用包含氧的絕緣膜，換言之，能夠釋放氧的絕緣膜，由此可以對第一氧化物半導體膜 110 供應氧。被供應氧的第一氧化物半導體膜 110 由於膜中或介面的氧缺陷被填補而成爲電阻率高的氧化物半導體膜。此外，作爲能夠釋放氧的絕緣膜例如可以使用氧化矽膜或氧氮化矽膜。

[0051]

如此，藉由改變與第一氧化物半導體膜 110 及第二氧化物半導體膜 111 接觸的絕緣膜的結構，可以控制氧化物半導體膜的電阻率。注意，絕緣膜 106 也可以使用與絕緣膜 118 相同的材料。藉由作爲絕緣膜 106 使用氮化矽，可以抑制從絕緣膜 107 釋放的氧被供應到閘極電極 104 而使該閘極電極 104 氧化。

[0052]

氧缺陷被填補且氫濃度被降低的氧化物半導體膜可以說是高純度本質化或實質上高純度本質化的氧化物半導體膜。在此，“實質上本質”是指氧化物半導體膜的載子密度低於 8×10^{11} 個/cm^3，較佳低於 1×10^{11} 個/cm^3，更佳低於 1×10^{10} 個/cm^3 且爲 1×10^{-9} 個/cm^3 以上。因爲高純度本質或實質上高純度本質的氧化物半導體膜的載子發生源較少，所以可以降低載子密度。此外，高純度本質或實質上高純度本質的氧化物半導體膜的缺陷能階密度低，因此可以降低陷阱態密度。

[0053]

高純度本質或實質上高純度本質的氧化物半導體膜的關態電流（off-state current）顯著小，即便是通道寬度爲 $1\times10^{6}\mu m$、通道長度爲 10μm 的元件，在源極電極與汲極電極之間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以爲半導體參數分析儀的測定極限以下，亦即 1×10^{-13}A

以下。因此，將使用上述高純度本質或實質上高純度本質的氧化物半導體膜的第一氧化物半導體膜110用作通道區域的電晶體150成爲電特性變動小且可靠性高的電晶體。

[0054]

在形成有電晶體150的通道區域的第一氧化物半導體膜110中，較佳爲儘可能地減少氫。明確而言，在第一氧化物半導體膜110中，藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的氫濃度爲2×10^{20}atoms/cm^{3}以下，較佳爲5×10^{19}atoms/cm^{3}以下，更佳爲1×10^{19}atoms/cm^{3}以下，更佳爲5×10^{18}atoms/cm^{3}以下，更佳爲1×10^{18}atoms/cm^{3}以下，進一步較佳爲5×10^{17}atoms/cm^{3}以下，更進一步較佳爲1×10^{16}atoms/cm^{3}以下。

[0055]

另一方面，被用作電容器160的電極的第二氧化物半導體膜111是其氫濃度及/或氧缺陷量比第一氧化物半導體膜110大且電阻率比第一氧化物半導體膜110低的氧化物半導體膜。第二氧化物半導體膜111的氫濃度爲8×10^{19}atoms/cm^{3}以上，較佳爲1×10^{20}atoms/cm^{3}以上，更佳爲5×10^{20}atoms/cm^{3}以上。第二氧化物半導體膜111的氫濃度爲第一氧化物半導體膜110的2倍以上，較佳爲10倍以上。第二氧化物半導體膜111的電阻率較佳爲第一氧化物半導體膜110的1×10^{-8}倍以上且低於1×10^{-1}倍，典型地爲$1\times10^{-3}\Omega$cm以上且低於$1\times10^{4}\Omega$cm，更佳爲$1\times10^{-3}\Omega$cm以上且低於$1\times10^{-1}\Omega$cm。

[0056]

在此，以下對圖1A和圖1B所示的半導體裝置的其他組件進行詳細的說明。

[0057]

〈基板〉

雖然對基板102的材料等沒有特別的限制，但是至少需要能夠承受後續的加熱處理的耐熱性。例如，作爲基板102，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，還可以使用以矽或碳化矽等爲材料的單晶半導體基板或多晶半導體基板、以矽鍺等爲材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板102。當作爲基板102使用玻璃基板時，藉由使用第6代（1500mm×1850mm）、第7代（1870mm×2200mm）、第8代（2200mm×2400mm）、第9代（2400mm×2800mm）、第10代（2950mm×3400mm）等的大面積基板，可以製造大型顯示裝置。作爲基板

102，也可以使用撓性基板，並且在撓性基板上直接形成電晶體 150、電容器 160 等。

[0058]

除此之外，可以作爲基板 102 使用各種基板形成電晶體。對基板的種類沒有特別的限制。作爲該基板的例子，例如可以使用塑膠基板、金屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀的材料的紙或者基材薄膜等。作爲玻璃基板的例子，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作爲撓性基板的例子，可以舉出以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚碸（PES）爲代表的塑膠、或者丙烯酸樹脂等具有撓性的合成樹脂等。作爲貼合薄膜的例子，可以舉出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者，作爲基材薄膜的例子，可以舉出聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜、紙類等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等，可以製造特性、尺寸或形狀等的不均勻性小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低耗電量化或電路的高集成化。

[0059]

另外，也可以使用一個基板形成電晶體，然後將電晶體轉置到另一個基板上。作爲將電晶體轉置至其上的基板的例子，可以使用上述可以在其上形成電晶體的基板，還可以使用紙基板、玻璃紙基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡膠基板等。藉由使用上述基板，可以實現特性良好的電晶體的形成、耗電量低的電晶體的形成、不易損壞的裝置的製造、耐熱性的提高、輕量化或薄型化。

[0060]

〈第一氧化物半導體膜及第二氧化物半導體膜〉

第一氧化物半導體膜 110 及第二氧化物半導體膜 111 較佳爲包括至少包含銦（In）、鋅（Zn）及 M（Al、Ti、Ga、Y、Zr、La、Ce、Nd、Sn 或 Hf 等金屬）的以 In-M-Zn 氧化物表示的膜。另外，爲了減少使用該氧化物半導體的電晶體的電特性不均勻性，除了上述元素以外，較佳爲還包含穩定劑（stabilizer）。

[0061]

作爲穩定劑，除了上述以 M 表示的金屬以外，還可以舉出鎵（Ga）、錫（Sn）、鉿（Hf）、鋁（Al）或鋯（Zr）等。另外，作爲其他穩定劑，可以舉出鑭系元素的鑭（La）、鈰（Ce）、鐠（Pr）、釹（Nd）、釤（Sm）、銪（Eu）、釓（Gd）、鋱（Tb）、鏑（Dy）、鈥（Ho）、鉺（Er）、銩（Tm）、鐿（Yb）、鎦（Lu）等。

[0062]

作爲構成第一氧化物半導體膜110及第二氧化物半導體膜111的氧化物半導體，例如可以使用 In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0063]

注意，在此，In-Ga-Zn 類氧化物是指作爲主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0064]

第一氧化物半導體膜110和第二氧化物半導體膜111也可以包含上述氧化物中的相同金屬元素。當第一氧化物半導體膜 110 和第二氧化物半導體膜 111 包含相同金屬元素時，可以降低製造成本。例如，藉由使用其金屬組成同一的金屬氧化物靶材可以降低製造成本。藉由使用其金屬組成同一的金屬氧化物靶材，在對氧化物半導體膜進行加工時可以共同使用蝕刻氣體或蝕刻劑。注意，即使第一氧化物半導體膜 110 和第二氧化物半導體膜 111 包含相同金屬元素，也有時其組成互不相同。例如，在電晶體及電容器的製程中，膜中的金屬元素脫離，而第一氧化物半導體膜 110 和第二氧化物半導體膜 111 中的金屬組成有時互不相同。

[0065]

另外，當第一氧化物半導體膜 110 爲 In-M-Zn 氧化物且假設 In 與 M 之和爲 100atomic%時，In 和 M 的原子個數比較佳爲如下：In 的原子個數比高於 25atomic%，M 的原子個數比低於 75atomic%，更佳爲：In 的原子個數比高於 34atomic%，M 的原子個數比低於 66atomic%。

[0066]

第一氧化物半導體膜 110 的能隙爲 2eV 以上，較佳爲 2.5eV 以上，更佳爲 3eV 以上。如此，藉由使用能隙較寬的氧化物半導體，可以降低電晶體 150 的關態電流。

[0067]

第一氧化物半導體膜 110 的厚度爲 3nm 以上且 200nm 以下，較佳爲 3nm 以上且 100nm 以下，更佳爲 3nm 以上且 50nm 以下。

[0068]

當第一氧化物半導體膜 110 爲 In-M-Zn 氧化物（M 爲 Al、Ti、Ga、Y、Zr、La、Ce、Nd、Sn 或 Hf）時，較佳爲用來形成 In-M-Zn 氧化物的濺射靶材的金屬元素的原子個數比滿足 In≥M 及 Zn≥M。這種濺射靶材的金屬元素的原子個數比較佳爲 In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6 等。在所成膜的第一氧化物半導體膜 110 的原子個數比中，分別包含上述濺射靶材中的金屬元素的原子個數比的±40%的範圍內的誤差。

[0069]

作爲第一氧化物半導體膜 110 使用載子密度較低的氧化物半導體膜。例如，第一氧化物半導體膜 110 使用載子密度爲 1×10^{17} 個/cm^3 以下，較佳爲 1×10^{15} 個/cm^3 以下，更佳爲 1×10^{13} 個/cm^3 以下，進一步較佳爲 1×10^{11} 個/cm^3 以下的氧化物半導體膜。

[0070]

本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳爲適當地設定第一氧化物半導體膜 110 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子個數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0071]

當第一氧化物半導體膜 110 包含第 14 族元素之一的矽或碳時，在第一氧化物半導體膜 110 中氧缺陷增加，使得第一氧化物半導體膜 110 被 n 型化。因此，第一氧化物半導體膜 110 中的矽或碳的濃度（利用二次離子質譜分析法測得的濃度）爲 2×10^{18}atoms/cm^3 以下，較佳爲 2×10^{17}atoms/cm^3 以下。

[0072]

另外，在第一氧化物半導體膜 110 中，利用二次離子質譜分析法測得

的鹼金屬或鹼土金屬的濃度爲 1×10^{18}atoms/cm^{3}以下，較佳爲 2×10^{16}atoms/cm^{3}以下。當鹼金屬及鹼土金屬與氧化物半導體鍵合時有時生成載子而使電晶體的關態電流增大。由此，較佳爲降低第一氧化物半導體膜 110 的鹼金屬或鹼土金屬的濃度。

[0073]

當在第一氧化物半導體膜 110 中含有氮時，產生作爲載子的電子，並載子密度增加，使得第一氧化物半導體膜 110 容易被 n 型化。其結果，使用含有氮的氧化物半導體的電晶體容易具有常開啓特性。因此，較佳爲儘可能地減少該氧化物半導體膜中的氮，例如，利用二次離子質譜分析法測得的氮濃度較佳爲 5×10^{18}atoms/cm^{3}以下。

[0074]

第一氧化物半導體膜 110 例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）、多晶結構、下述微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷能階密度最高，而 CAAC-OS 的缺陷能階密度最低。

[0075]

第一氧化物半導體膜 110 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如完全地具有非晶結構，而不具有結晶部。

[0076]

另外，第一氧化物半導體膜 110 也可以爲具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時例如包括非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域。另外，混合膜有時例如具有疊層結構，其中包括非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域。

[0077]

〈絕緣膜〉

作爲被用作電晶體 150 的閘極絕緣膜的絕緣膜 106、107 的每一個，可以使用藉由電漿 CVD（CVD： Chemical Vapor Deposition）法、濺射法等形成的包括氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉿膜、氧化釔膜、氧化鋯膜、氧化鎵膜、氧化鉭膜、氧化鎂膜、氧化鑭

膜、氧化鈰膜和氧化釹膜中的一種以上的絕緣膜。注意，也可以使用選自上述材料中的單層的絕緣膜，而不採用絕緣膜 106、107 的疊層結構。

[0078]

絕緣膜 106 具有抑制氧透過的障壁膜的功能。例如，當對絕緣膜 107、114、116 及/或第一氧化物半導體膜 110 供應過量氧時，絕緣膜 106 能夠抑制氧透過。

[0079]

與被用作電晶體 150 的通道區域的第一氧化物半導體膜 110 接觸的絕緣膜 107 較佳爲氧化物絕緣膜，並且該絕緣膜 107 較佳爲包括包含超過化學計量組成的氧的區域（氧過剩區域）。換言之，絕緣膜 107 是能夠釋放氧的絕緣膜。此外，爲了在絕緣膜 107 中設置氧過剩區域，例如在氧氛圍下形成絕緣膜 107 即可。或者，也可以對成膜後的絕緣膜 107 引入氧而形成氧過剩區域。作爲氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0080]

此外，當絕緣膜 106、107 使用氧化鉿時發揮如下效果。氧化鉿的相對介電常數比氧化矽或氧氮化矽高。因此，藉由使用氧化鉿，與使用氧化矽的情況相比，可以使絕緣膜 106、107 的厚度變大，由此，可以減少穿隧電流引起的洩漏電流。亦即，可以實現關態電流小的電晶體。再者，與具有非晶結構的氧化鉿相比，具有結晶結構的氧化鉿具有高相對介電常數。因此，爲了形成關態電流小的電晶體，較佳爲使用具有結晶結構的氧化鉿。作爲結晶結構的例子，可以舉出單斜晶系或立方晶系等。注意，本發明的一個實施方式不侷限於此。

[0081]

注意，在本實施方式中，作爲絕緣膜 106 形成氮化矽膜，作爲絕緣膜 107 形成氧化矽膜。與氧化矽膜相比，氮化矽膜的相對介電常數較高且爲了得到與氧化矽膜相等的靜電容量所需要的厚度較大，因此，藉由作爲被用作電晶體 150 的閘極絕緣膜的絕緣膜 108 包括氮化矽膜，可以增加絕緣膜的物理厚度。因此，可以藉由抑制電晶體 150 的絕緣耐壓的下降並提高絕緣耐壓來抑制電晶體 150 的靜電破壞。

[0082]

〈閘極電極、源極電極及汲極電極〉

作爲可用於閘極電極 104、源極電極 112a 及汲極電極 112b 的材料，可

以使用鋁、鈦、鉻、鎳、銅、釹、鋯、鉬、銀、鉭、或鎢等金屬、以這些金屬爲主要成分的合金的單層結構或疊層結構。例如，可以舉出：在鋁膜上層疊鈦膜的兩層結構、在鎢膜上層疊鈦膜的兩層結構、在鉬膜上層疊銅膜的兩層結構、在包含鉬和鎢的合金膜上層疊銅膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜或氮化鈦膜上層疊鋁膜或銅膜、以及鈦膜或氮化鈦膜的三層結構、在鉬膜或氮化鉬膜上層疊鋁膜或銅膜、以及鉬膜或氮化鉬膜的三層結構等。當源極電極 112a 及汲極電極 112b 具有三層結構時，較佳的是，作爲第一層和第三層形成鈦、氮化鈦、鉬、鎢、包含鉬和鎢的合金、包含鉬和鋯的合金、或由氮化鉬構成的膜，作爲第二層形成銅、鋁、金、銀、或者銅和錳的合金等由低電阻材料構成的膜。另外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料。另外，例如可以使用濺射法形成可用於閘極電極 104、源極電極 112a 及汲極電極 112b 的材料。

[0083]

〈導電膜〉

導電膜 120 具有作爲像素電極的功能。作爲導電膜 120，例如可以使用使可見光透過的材料。明確而言，作爲導電膜 120 較佳爲使用包含選自銦（In）、鋅（Zn）和錫（Sn）中的一種的材料。另外，作爲導電膜 120，例如可以使用如下具有透光性的導電材料：包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（ITO：Indium Tin Oxide）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。此外，例如可以使用濺射法形成導電膜 120。

[0084]

〈保護絕緣膜〉

作爲被用作電晶體 150 的保護絕緣膜的絕緣膜 114、116、118，可以使用藉由電漿 CVD 法、濺射法等形成的包括氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉿膜、氧化釹膜、氧化鋯膜、氧化鎵膜、氧化鉭膜、氧化鎂膜、氧化鑭膜、氧化鈰膜和氧化釔膜中的一種以上的絕緣膜。

[0085]

與被用作電晶體 150 的通道區域的第一氧化物半導體膜 110 接觸的絕緣膜 114 較佳爲氧化物絕緣膜，而使用能夠釋放氧的絕緣膜。能夠釋放氧的

絕緣膜換句話說是具有含有超過化學計量組成的氧的區域（氧過剩區域）的絕緣膜。此外，爲了在絕緣膜 114 中設置氧過剩區域，例如，可以在氧氛圍下形成絕緣膜 114。或者，也可以對成膜後的絕緣膜 114 引入氧，形成氧過剩區域。作爲氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0086]

藉由作爲絕緣膜 114 使用能夠釋放氧的絕緣膜，可以將氧移動到被用作電晶體 150 的通道區域的第一氧化物半導體膜 110 中，而減少第一氧化物半導體膜 110 的氧缺陷量。例如，藉由使用如下絕緣膜可以減少第一氧化物半導體膜 110 中的氧缺陷量，在該絕緣膜中利用熱脫附譜分析（以下，稱爲 TDS 分析）測得的膜表面溫度爲 100℃以上且 700℃以下或 100℃以上且 500℃以下的範圍內的氧分子的釋放量爲 1.0×10^{18} 分子/cm^3 以上。

[0087]

此外，較佳爲使絕緣膜 114 中的缺陷量較少，典型的是，藉由 ESR 測得的起因於矽懸空鍵的在 g=2.001 處出現的信號的自旋密度較佳爲 3×10^{17}spins/cm^3 以下。這是因爲，若絕緣膜 114 的缺陷密度高，氧則與該缺陷鍵合，而使絕緣膜 114 中的氧透過量減少。較佳的是，在絕緣膜 114 與第一氧化物半導體膜 110 之間的介面的缺陷量較少，典型的是，利用 ESR 測得的起因於第一氧化物半導體膜 110 中的缺陷的在 g 值爲 1.89 以上且 1.96 以下處出現的信號的自旋密度爲 1×10^{17}spins/cm^3 以下，更佳爲檢測下限以下。

[0088]

在絕緣膜 114 中，有時從外部進入絕緣膜 114 的氧全部移動到絕緣膜 114 的外部。或者，有時從外部進入絕緣膜 114 的氧的一部分殘留在絕緣膜 114 內部。另外，有時在氧從外部進入絕緣膜 114 的同時，絕緣膜 114 所含有的氧移動到絕緣膜 114 的外部，由此在絕緣膜 114 中發生氧的移動。在形成能夠使氧透過的氧化物絕緣膜作爲絕緣膜 114 時，可以使從設置在絕緣膜 114 上的絕緣膜 116 脫離的氧經過絕緣膜 114 而移動到第一氧化物半導體膜 110 中。

[0089]

此外，絕緣膜 114 可以使用起因於氮氧化物的態密度低的氧化物絕緣膜形成。注意，該起因於氮氧化物的態密度有時會形成在氧化物半導體膜的價帶頂的能量（E_{v_os}）與氧化物半導體膜的導帶底的能量（E_{c_os}）之間。作爲上述氧化物絕緣膜，可以使用氮氧化物的釋放量少的氧氮化矽膜或氮

氧化物的釋放量少的氧氮化鋁膜等。

[0090]

此外，在熱脫附譜分析法中，氮氧化物的釋放量少的氧氮化矽膜是氨釋放量比氮氧化物的釋放量多的膜，典型的是氨分子的釋放量爲 1×10^{18} 分子/cm^3 以上且 5×10^{19} 分子/cm^3 以下。注意，該氨釋放量是在進行膜表面溫度爲 50℃以上且 650℃以下，較佳爲 50℃以上且 550℃以下的加熱處理時的釋放量。

[0091]

氮氧化物（NO_x，x 大於 0 且 2 以下，較佳爲 1 以上且 2 以下），典型的是 NO_2 或 NO 在絕緣膜 114 等中形成能階。該能階位於第一氧化物半導體膜 110 的能隙中。由此，當氮氧化物擴散到絕緣膜 114 與第一氧化物半導體膜 110 之間的介面時，有時該能階在絕緣膜 114 一側俘獲電子。其結果，被俘獲的電子留在絕緣膜 114 與第一氧化物半導體膜 110 之間的介面附近，由此使電晶體的臨界電壓向正方向漂移。

[0092]

另外，當進行加熱處理時，氮氧化物與氨及氧起反應。當進行加熱處理時，絕緣膜 114 所包含的氮氧化物與絕緣膜 216 所包含的氨起反應，由此絕緣膜 114 所包含的氮氧化物減少。因此，在絕緣膜 114 與第一氧化物半導體膜 110 之間的介面附近不容易俘獲電子。

[0093]

藉由作爲絕緣膜 114 使用上述氧化物絕緣膜，可以降低電晶體的臨界電壓的漂移，從而可以降低電晶體的電特性的變動。

[0094]

藉由進行電晶體的製程中的加熱處理，典型的是低於 400℃或低於 375℃（較佳爲 340℃以上且 360℃以下）的加熱處理，在利用 100K 以下的 ESR 對絕緣膜 114 進行測量而得到的光譜中，觀察到 g 值爲 2.037 以上且 2.039 以下的第一信號、g 值爲 2.001 以上且 2.003 以下的第二信號以及 g 值爲 1.964 以上且 1.966 以下的第三信號。在 X 帶的 ESR 測定中，第一信號與第二信號之間的分割寬度（split width）及第二信號與第三信號之間的分割寬度大約爲 5mT。另外，g 值爲 2.037 以上且 2.039 以下的第一信號、g 值爲 2.001 以上且 2.003 以下的第二信號以及 g 值爲 1.964 以上且 1.966 以下的第三信號的自旋密度的總和低於 1×10^{18}spins/cm^3，典型地爲 1×10^{17}spins/cm^3 以上且低於 1×10^{18}spins/cm^3。

[0095]

在 100K 以下的 ESR 譜中，g 值爲 2.037 以上且 2.039 以下的第一信號、g 值爲 2.001 以上且 2.003 以下的第二信號以及 g 值爲 1.964 以上且 1.966 以下的第三信號相當於起因於氮氧化物（NO_x，x 大於 0 以上且 2 以下，較佳爲 1 以上且 2 以下）的信號。作爲氮氧化物的典型例子，有一氧化氮、二氧化氮等。亦即，g 值爲 2.037 以上且 2.039 以下的第一信號、g 值爲 2.001 以上且 2.003 以下的第二信號以及 g 值爲 1.964 以上且 1.966 以下的第三信號的自旋密度的總數越少，氧化物絕緣膜中的氮氧化物含量越少。

[0096]

另外，利用 SIMS 對上述氧化物絕緣膜進行測量而得到的氮濃度爲 $6\times10^{20}atoms/cm^3$ 以下。

[0097]

藉由在基板溫度爲 220℃以上且 350℃以下的情況下利用使用矽烷及一氧化二氮的 PECVD 法形成上述氧化物絕緣膜，可以形成緻密且硬度高的膜。

[0098]

以與絕緣膜 114 接觸的方式形成的絕緣膜 116 使用其氧含量超過化學計量組成的氧化物絕緣膜形成。藉由加熱，氧的一部分從其氧含量超過化學計量組成的氧化物絕緣膜中脫離。在熱脫附譜（TDS：Thermal Desorption Spectroscopy）分析中，其氧含量超過化學計量組成的氧化物絕緣膜的換算爲氧原子的氧釋放量爲 $1.0\times10^{19}atoms/cm^3$ 以上，較佳爲 $3.0\times10^{20}atoms/cm^3$ 以上。注意，在上述 TDS 中，膜的表面溫度較佳爲 100℃以上且 700℃以下或 100℃以上且 500℃以下。

[0099]

此外，較佳爲使絕緣膜 116 中的缺陷量較少，典型的是，藉由 ESR 測得的起因於矽懸空鍵且在 g=2.001 處出現的信號的自旋密度低於 $1.5\times10^{18}spins/cm^3$，更佳爲 $1\times10^{18}spins/cm^3$ 以下。由於絕緣膜 116 與絕緣膜 114 相比離第一氧化物半導體膜 110 更遠，所以絕緣膜 116 的缺陷密度也可以高於絕緣膜 114。

[0100]

絕緣膜 114 的厚度可以爲 5nm 以上且 150nm 以下，較佳爲 5nm 以上且 50nm 以下，更佳爲 10nm 以上且 30nm 以下。絕緣膜 116 的厚度可以爲 30nm 以上且 500nm 以下，較佳爲 150nm 以上且 400nm 以下。

[0101]

另外，因爲絕緣膜 114、116 可以使用相同種類材料形成，所以有時無法明確地確認到絕緣膜 114 與絕緣膜 116 之間的介面。因此，在本實施方式中，以虛線圖示出絕緣膜 114 與絕緣膜 116 之間的介面。注意，在本實施方式中，雖然說明絕緣膜 114 與絕緣膜 116 的兩層結構，但是不侷限於此，例如，也可以採用絕緣膜 114 的單層結構、絕緣膜 116 的單層結構或三層以上的疊層結構。

[0102]

被用作電容器 160 的介電膜的絕緣膜 118 較佳爲氮化物絕緣膜。氮化矽膜的相對介電常數比氧化矽膜高且爲了得到與氧化矽膜相等的靜電容量所需要的厚度較大，因此，藉由作爲被用作電容器 160 的介電膜的絕緣膜 118 使用氮化矽膜，可以增加絕緣膜的物理厚度。因此，可以藉由抑制電容器 160 的絕緣耐壓的下降並提高絕緣耐壓來抑制電容器 160 的靜電破壞。另外，絕緣膜 118 還具有降低被用作電容器 160 的電極的第二氧化物半導體膜 111 的電阻率的功能。

[0103]

此外，絕緣膜 118 具有能夠阻擋氧、氫、水、鹼金屬、鹼土金屬等的功能。藉由設置絕緣膜 118，能夠防止氧從第一氧化物半導體膜 110 擴散到外部並能夠防止絕緣膜 114、116 所包含的氧擴散到外部，還能夠抑制氫、水等從外部侵入第一氧化物半導體膜 110 中。注意，也可以設置對氧、氫、水等具有阻擋效果的氧化物絕緣膜代替對氧、氫、水、鹼金屬、鹼土金屬等具有阻擋效果的氮化物絕緣膜。作爲對氧、氫、水等具有阻擋效果的氧化物絕緣膜，有氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化釔膜、氧氮化釔膜、氧化鉿膜、氧氮化鉿膜等。

[0104]

〈顯示裝置的製造方法〉

使用圖 3A 至圖 6B 說明圖 1A 和圖 1B 所示的半導體裝置的製造方法的一個例子。

[0105]

首先，在基板 102 上形成閘極電極 104。然後，在基板 102 及閘極電極 104 上形成包括絕緣膜 106、107 的絕緣膜 108（參照圖 3A）。

[0106]

注意，可以使用從上述列舉的材料選擇的材料形成基板 102、閘極電極 104 及絕緣膜 106、107。在本實施方式中，作爲基板 102 使用玻璃基板，作

爲用於閘極電極 104 的導電膜使用鎢膜，作爲絕緣膜 106 使用能夠釋放氫的氮化矽膜，作爲絕緣膜 107 使用能夠釋放氧的氧氮化矽膜。

[0107]

可以在基板 102 上形成導電膜之後，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成閘極電極 104。

[0108]

接著，在絕緣膜 108 上的與閘極電極 104 重疊的位置上形成第一氧化物半導體膜 110（參照圖 3B）。

[0109]

可以使用從上述列舉的材料選擇的材料形成第一氧化物半導體膜 110。在本實施方式中，作爲第一氧化物半導體膜 110 使用 In-Ga-Zn 氧化物膜（使用 In:Ga:Zn=1:1:1.2 的金屬氧化物靶材形成的膜）。

[0110]

可以在絕緣膜 108 上形成氧化物半導體膜之後，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成第一氧化物半導體膜 110。

[0111]

較佳爲在形成第一氧化物半導體膜 110 之後進行加熱處理。在如下條件下進行加熱處理即可：以 250℃以上且 650℃以下的溫度，較佳爲以 300℃以上且 500℃以下的溫度，更佳爲以 350℃以上且 450℃以下的溫度，採用惰性氣體氛圍、包含 10ppm 以上的氧化性氣體的氛圍或減壓氛圍。此外，加熱處理也可以在惰性氣體氛圍中進行熱處理之後，在包含 10ppm 以上的氧化性氣體的氛圍中進行以便填補從第一氧化物半導體膜 110 脫離的氧。由於該加熱處理，可以從絕緣膜 106、107 及第一氧化物半導體膜 110 中的至少一個去除氫、水等雜質。注意，該熱處理也可以在將第一氧化物半導體膜 110 加工爲島狀之前進行。

[0112]

注意，爲了對將第一氧化物半導體膜 110 用作通道區域的電晶體 150 賦予穩定的電特性，藉由降低第一氧化物半導體膜 110 中的雜質濃度，來使第一氧化物半導體膜 110 成爲本質或實質上本質是有效的。

[0113]

可以在絕緣膜 108 及第一氧化物半導體膜 110 上形成導電膜，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕

刻，由此在絕緣膜 108 及第一氧化物半導體膜 110 上形成源極電極 112a 及汲極電極 112b（參照圖 3C）。

[0114]

可以使用從上述列舉的材料選擇的材料形成源極電極 112a 及汲極電極 112b。在本實施方式中，作爲源極電極 112a 及汲極電極 112b 採用鎢膜、鋁膜和鈦膜的三層的疊層結構。

[0115]

另外，也可以在形成源極電極 112a 及汲極電極 112b 之後對第一氧化物半導體膜 110 的表面進行洗滌。作爲該洗滌方法，例如可以舉出使用磷酸等化學溶液的洗滌。藉由使用磷酸等化學溶液進行洗滌，可以去除附著於第一氧化物半導體膜 110 表面的雜質（例如，包含在源極電極 112a 及汲極電極 112b 中的元素等）。注意，不一定需要進行該洗滌，根據情況可以不進行該洗滌。

[0116]

另外，在形成源極電極 112a 及汲極電極 112b 的製程和上述洗滌製程中的一個或兩個中，有時第一氧化物半導體膜 110 的從源極電極 112a 及汲極電極 112b 露出的區域變薄。

[0117]

接著，在絕緣膜 108、第一氧化物半導體膜 110、源極電極 112a 及汲極電極 112b 上形成絕緣膜 114、116。然後，以殘留所希望的區域的方式對該絕緣膜 114、116 進行圖案化，然後對不需要的區域進行蝕刻，由此形成開口 141（參照圖 3D）。

[0118]

較佳的是，在形成絕緣膜 114 之後，在不暴露於大氣的狀態下連續地形成絕緣膜 116。在形成絕緣膜 114 之後，在不暴露於大氣的狀態下，調節源氣體的流量、壓力、高頻功率和基板溫度中的一個以上而連續地形成絕緣膜 116，由此可以減少絕緣膜 114 與絕緣膜 116 之間的介面處的來源於大氣成分的雜質的濃度，並且可以使包含於絕緣膜 114、116 中的氧移動到第一氧化物半導體膜 110 中，從而可以降低第一氧化物半導體膜 110 中的氧缺陷量。

[0119]

在絕緣膜 116 的形成製程中，絕緣膜 114 被用作第一氧化物半導體膜 110 的保護膜。因此，可以在減少對第一氧化物半導體膜 110 造成的損傷的

同時使用功率密度高的高頻功率形成絕緣膜 116。

[0120]

可以使用從上述列舉的材料選擇的材料形成絕緣膜 114、116。在本實施方式中，作爲絕緣膜 114、116 使用能夠釋放氧的氧氮化矽膜。

[0121]

另外，在形成絕緣膜 114、116 之後較佳爲進行加熱處理（以下，記載爲第一加熱處理）。藉由第一加熱處理，可以降低包含於絕緣膜 114、116 中的氮氧化物。此外，藉由第一加熱處理，可以將絕緣膜 114、116 中的氧的一部分移動到第一氧化物半導體膜 110 中以減少第一氧化物半導體膜 110 中的氧缺陷量。

[0122]

將第一加熱處理的溫度典型地設定爲低於 400℃，較佳低於 375℃，更佳爲 150℃以上且 350℃以下。第一加熱處理可以在氮、氧、超乾燥空氣（水含量爲 20ppm 以下，較佳爲 1ppm 以下，更佳爲 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。較佳爲在上述氮、氧、超乾燥空氣或稀有氣體中不含有氫、水等。該加熱處理可以使用電爐、RTA（Rapid Thermal Anneal：快速熱退火）裝置等。

[0123]

以使汲極電極 112b 露出的方式形成開口 141。作爲開口 141 的形成方法，例如可以使用乾蝕刻法。開口 141 的形成方法不侷限於此，也可以使用濕蝕刻法、或乾蝕刻法和濕蝕刻法的組合。注意，由於用來形成開口 141 的蝕刻製程，而有可能減少汲極電極 112b 的厚度。

[0124]

接著，以覆蓋開口 141 的方式在絕緣膜 116 上形成將成爲第二氧化物半導體膜 111 的氧化物半導體膜（參照圖 4A、圖 4B）。

[0125]

圖 4A 是在絕緣膜 116 上形成氧化物半導體膜時的沉積裝置內的剖面示意圖。圖 4A 示意性地示出：作爲沉積裝置的濺射裝置；在該濺射裝置中設置的靶材 193；在靶材 193 的下方形成的電漿 194。

[0126]

首先，在形成氧化物半導體膜時，在包含氧氣體的氛圍下進行電漿放電。此時，被形成氧化物半導體膜的絕緣膜 116 被添加氧。在形成氧化物半導體膜時，該氛圍除了氧氣體以外還可以混有惰性氣體（例如，氦氣體、

氬氣體、氙氣體等）。例如，較佳的是，使用氬氣體和氧氣體，使氧氣體的流量比氬氣體大。藉由使氧氣體的流量比氬氣體大，可以適當地對絕緣膜 116 添加氧。例如，作爲氧化物半導體膜的形成條件，可以使沉積氣體整體中氧氣體所占的比例爲 50%以上且 100%以下，較佳爲 80%以上且 100%以下。

[0127]

注意，在圖 4A 中，以虛線箭頭示意性地示出添加到絕緣膜 116 的氧或過量氧。

[0128]

形成氧化物半導體膜時的基板溫度爲室溫以上且低於 340℃，較佳爲室溫以上且 300℃以下，更佳爲 100℃以上且 250℃以下，進一步較佳爲 100℃以上且 200℃以下。藉由利用加熱形成氧化物半導體膜，可以提高氧化物半導體膜的結晶性。另一方面，當作爲基板 102 使用大型玻璃基板（例如，第 6 代至第 10 代）且形成氧化物半導體膜時的基板溫度爲 150℃以上且低於 340℃時，基板 102 有時變形（歪曲或翹曲）。因此，當使用大型玻璃基板時，藉由將形成氧化物半導體膜時的基板溫度設定爲 100℃以上且低於 150℃，可以抑制玻璃基板的變形。

[0129]

可以使用從上述列舉的材料選擇的材料形成該氧化物半導體膜。在本實施方式中，藉由使用 In-Ga-Zn 金屬氧化物靶材（In:Ga:Zn=1:3:6[原子個數比]）的濺射法形成氧化物半導體膜。

[0130]

接著，將該氧化物半導體膜加工爲所希望的形狀，由此形成島狀的第二氧化物半導體膜 111（參照圖 4C）。

[0131]

在絕緣膜 116 上形成氧化物半導體膜之後，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此可以形成第二氧化物半導體膜 111。

[0132]

接著，在絕緣膜 116 及第二氧化物半導體膜 111 上形成絕緣膜 118（參照圖 5A）。

[0133]

絕緣膜 118 包含氫和氮中的一個或兩個。作爲絕緣膜 118，例如較佳爲

使用氮化矽膜。例如，可以利用濺射法或 PECVD 法形成絕緣膜 118。例如，當利用 PECVD 法形成絕緣膜 118 時，將基板溫度設定爲低於 400℃，較佳低於 375℃，更佳爲 180℃以上且 350℃以下。藉由將形成絕緣膜 118 時的基板溫度設定爲上述範圍，可以形成緻密膜，所以是較佳的。藉由將形成絕緣膜 118 時的基板溫度設定爲上述範圍，可以將絕緣膜 114、116 中的氧或過量氧移動到氧化物半導體膜 110 中。

[0134]

另外，也可以在形成絕緣膜 118 之後，進行與上述第一加熱處理相等的加熱處理（以下，記載爲第二加熱處理）。如此，在形成將成爲第二氧化物半導體膜 111 的氧化物半導體膜時，在對絕緣膜 116 添加氧之後以低於 400℃，較佳低於 375℃，更佳爲 150℃以上且 350℃以下進行加熱處理，由此可以將絕緣膜 116 中的氧或過量氧移動到第一氧化物半導體膜 110 中，可以填補第一氧化物半導體膜 110 中的氧缺陷。

[0135]

在此，使用圖 6A 和圖 6B 對向第一氧化物半導體膜 110 移動的氧進行說明。圖 6A 和圖 6B 是示出根據形成絕緣膜 118 時的基板溫度（典型的是，低於 375℃）或者形成絕緣膜 118 之後的第二加熱處理（典型的是，低於 375℃）而向第一氧化物半導體膜 110 移動的氧的模型圖。在圖 6A 和圖 6B 中，以虛線箭頭表示第一氧化物半導體膜 110 中的氧（氧自由基、氧原子或氧分子）。圖 6A 及圖 6B 分別是沿著圖 1A 中的點劃線 A-B 及點劃線 E-F 的形成絕緣膜 118 之後的剖面圖。

[0136]

在圖 6A 和圖 6B 所示的第一氧化物半導體膜 110 中，因爲氧從與第一氧化物半導體膜 110 接觸的膜（在此，絕緣膜 107 及絕緣膜 114）移動到第一氧化物半導體膜 110 中，而填補氧缺陷。尤其是，在本發明的一個實施方式的半導體裝置中，當利用濺射法形成將成爲第一氧化物半導體膜 110 的氧化物半導體膜時，在使用氧氣體對絕緣膜 107 添加氧的情況下，絕緣膜 107 具有過量氧區域。另外，當利用濺射法形成將成爲第二氧化物半導體膜 111 的氧化物半導體膜時，在使用氧氣體對絕緣膜 116 添加氧的情況下，絕緣膜 116 具有過量氧區域。因此，在夾在該具有過量氧區域的絕緣膜之間的第一氧化物半導體膜 110 中，適當地填補氧缺陷。

[0137]

在絕緣膜 107 的下方設置有絕緣膜 106，在絕緣膜 114、116 的上方設置

有絕緣膜 118。藉由使用氧透過性低的材料，例如氮化矽等形成絕緣膜 106、118，可以將包含於絕緣膜 107、114、116 中的氧封閉在第一氧化物半導體膜 110 一側，由此可以適當地將氧移動到第一氧化物半導體膜 110 中。此外，絕緣膜 118 還具有防止來自外部的雜質諸如水、鹼金屬、鹼土金屬等擴散到包括在電晶體 150 中的第一氧化物半導體膜 110 中的效果。

[0138]

另外，絕緣膜 118 包含氫和氮中的一個或兩個。因此，藉由形成絕緣膜 118，與絕緣膜 118 接觸的第二氧化物半導體膜 111 被添加氫和氮中的一個或兩個，由此其載子密度得到提高而可以被用作氧化物導電膜。

[0139]

注意，由於第二氧化物半導體膜 111 的電阻率的降低，使圖 4C 和圖 5A 中的第二氧化物半導體膜 111 的陰影不同。

[0140]

第二氧化物半導體膜 111 的電阻率至少低於第一氧化物半導體膜 110，較佳爲 $1\times10^{-3}\Omega cm$ 以上且低於 $1\times10^{4}\Omega cm$，更佳爲 $1\times10^{-3}\Omega cm$ 以上且低於 $1\times10^{-1}\Omega cm$。

[0141]

接著，以殘留所希望的區域的方式對絕緣膜 118 進行圖案化，然後對不需要的區域進行蝕刻，來形成開口 142（參照圖 5B）。

[0142]

以使汲極電極 112b 露出的方式形成開口 142。作爲開口 142 的形成方法，例如可以使用乾蝕刻法。開口 142 的形成方法不侷限於此，也可以使用濕蝕刻法、或乾蝕刻法和濕蝕刻法的組合。注意，由於用來形成開口 142 的蝕刻製程，而汲極電極 112b 的厚度有可能減少。

[0143]

另外，也可以不進行上述形成開口 141 的製程而在形成開口 142 的製程中在絕緣膜 114、116、118 中一次形成開口。藉由採用這樣的製程，可以縮短本發明的一個實施方式的半導體裝置的製程，因此可以抑制製造成本。

[0144]

接著，以覆蓋開口 142 的方式在絕緣膜 118 上形成導電膜，以殘留所希望的形狀的方式對該導電膜進行圖案化及蝕刻，來形成導電膜 120（參照圖 5C）。

[0145]

可以使用從上述列舉的材料選擇的材料形成導電膜 120。在本實施方式中，作爲導電膜 120 使用銦錫氧化物膜。

[0146]

由於導電膜 120 的形成，而製造電容器 160。電容器 160 具有在一對電極之間夾住介電層的結構，一對電極中的一個是第二氧化物半導體膜 111，另一個是導電膜 120。絕緣膜 118 被用作電容器 160 的介電層。

[0147]

藉由上述製程，可以在同一基板上形成電晶體 150 和電容器 160。

[0148]

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

[0149]

實施方式 2

在本實施方式中，使用圖 7A 至圖 9C 對實施方式 1 所示的本發明的一個實施方式的半導體裝置的變形例子進行說明。注意，關於與實施方式 1 的圖 1A 至圖 4C 所示的符號相同的部分或具有相同功能的部分使用同一符號，省略其重複說明。

[0150]

〈半導體裝置的結構例子（變形例子 1）〉

圖 7A 是本發明的一個實施方式的半導體裝置的俯視圖，圖 7B 是沿著圖 7A 的點劃線 G-H、點劃線 I-J 及點劃線 K-L 的剖面圖。注意，在圖 7A 中，爲了容易理解，省略半導體裝置的組件的一部分（閘極絕緣膜等）。

[0151]

圖 7A、圖 7B 所示的半導體裝置包括：包括第一氧化物半導體膜 110 及第二氧化物半導體膜 111a 的電晶體 151；以及包括第二氧化物半導體膜 111b 的閘極佈線接觸部 170。注意，閘極佈線接觸部 170 是指其中閘極佈線 105 和佈線 112 電連接的區域。

[0152]

圖 7A 的點劃線 G-H 示出電晶體 151 的通道長度方向。點劃線 K-L 示出電晶體 151 的通道寬度方向。

[0153]

電晶體 151 包括：基板 102 上的閘極電極 104；閘極電極 104 上的被用作第一閘極絕緣膜的絕緣膜 108；在絕緣膜 108 上與閘極電極 104 重疊的第

一氧化物半導體膜 110；第一氧化物半導體膜 110 上的源極電極 112a 及汲極電極 112b；第一氧化物半導體膜 110、源極電極 112a 及汲極電極 112b 上的被用作第二閘極絕緣膜的絕緣膜 114、116；以及在絕緣膜 116 上與第一氧化物半導體膜 110 重疊的第二氧化物半導體膜 111a。第二氧化物半導體膜 111a 被用作電晶體 151 中的第二閘極電極。就是說，圖 7A、圖 7B 所示的電晶體 151 具有所謂的雙閘極結構（double-gate structure）。

[0154]

另外，在電晶體 151 上，更詳細地說，在絕緣膜 116 及第二氧化物半導體膜 111a 上形成有絕緣膜 118。絕緣膜 114、116 被用作電晶體 151 的第二閘極絕緣膜，同時被用作電晶體 151 的保護絕緣膜。絕緣膜 118 被用作電晶體 151 的保護絕緣膜。

[0155]

在閘極佈線接觸部 170 中，以覆蓋形成於絕緣膜 108 中的開口 146、形成於絕緣膜 114、116 中的開口 144 的方式在閘極佈線 105 及佈線 112 上形成有第二氧化物半導體膜 111b。

[0156]

本實施方式的半導體裝置具有在閘極佈線接觸部 170 中閘極佈線 105 和佈線 112 藉由第二氧化物半導體膜 111b 電連接的結構。藉由採用這種結構，可以連續地形成開口 144 及開口 146，因此可縮短半導體裝置的製程。

[0157]

當在第二氧化物半導體膜 111b 上沒有阻擋氧的進入的保護膜時，在高溫高濕環境下，有可能使第二氧化物半導體膜 111b 變質，而電阻增大。因爲本實施方式所示的半導體裝置的第二氧化物半導體膜 111b 由絕緣膜 118 覆蓋，所以可以提高半導體裝置的高溫高濕耐久性而不新形成保護膜。

[0158]

作爲絕緣膜 118，使用至少包含氫的絕緣膜。作爲絕緣膜 107、114、116，使用至少包含氧的絕緣膜。如此，藉由作爲用於電晶體 151 及閘極佈線接觸部 170 的絕緣膜、或與電晶體 151 及閘極佈線接觸部 170 接觸的絕緣膜使用上述絕緣膜，可以控制第一氧化物半導體膜 110 及第二氧化物半導體膜 111a、111b 的電阻率。

[0159]

注意，藉由參照實施方式 1 所記載的內容，可以控制第一氧化物半導體膜 110 及第二氧化物半導體膜 111a、111b 的電阻率。

[0160]

實施方式 1 的圖 1A、圖 1B 所示的半導體裝置的與圖 7A、7B 所示的半導體裝置的主要不同之處在於：設置有閘極佈線接觸部 170 代替電容器 160；在電晶體 151 中設置有被用作第二閘極電極的第二氧化物半導體膜 111a；以及沒有導電膜 120。

[0161]

〈顯示裝置的製造方法（變形例子 1）〉

接著，使用圖 8A 至圖 8D 以及圖 9A 至圖 9C 對圖 7A、圖 7B 所示的半導體裝置的製造方法的一個例子進行說明。

[0162]

首先，在基板 102 上形成閘極電極 104 及閘極佈線 105。然後，在閘極電極 104 及閘極佈線 105 上形成包括絕緣膜 106、107 的絕緣膜 108（參照圖 8A）。閘極佈線 105 可以使用與閘極電極 104 相同的材料同時形成。

[0163]

接著，在絕緣膜 108 上的與閘極電極 104 重疊的位置上形成第一氧化物半導體膜 110（參照圖 8B）。

[0164]

可以在絕緣膜 108 上形成氧化物半導體膜之後，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成第一氧化物半導體膜 110。

[0165]

注意，當對第一氧化物半導體膜 110 進行蝕刻加工時，有時因過蝕刻而絕緣膜 107 的一部分（從第一氧化物半導體膜 110 露出的區域）被蝕刻，其厚度減少。

[0166]

較佳爲在形成第一氧化物半導體膜 110 之後進行加熱處理。可以參照實施方式 1 的形成第一氧化物半導體膜 110 之後的加熱處理的記載進行該加熱處理。

[0167]

接著，可以在絕緣膜 108 及第一氧化物半導體膜 110 上形成導電膜，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成源極電極 112a、汲極電極 112b 及佈線 112（參照圖 8C）。佈線 112 可以使用與源極電極 112a 及汲極電極 112b 相同的材料同時形成。

[0168]

接著，在絕緣膜 108、第一氧化物半導體膜 110、源極電極 112a、汲極電極 112b 及佈線 112 上形成絕緣膜 114、116（參照圖 8D）。較佳爲在形成絕緣膜 114、116 之後進行實施方式 1 所示的第一加熱處理。

[0169]

以殘留所希望的區域的方式對絕緣膜 106、107、114、116 進行圖案化，然後對不需要的區域進行蝕刻，由此形成開口 144、開口 146（參照圖 9A）。

[0170]

以使佈線 112 及閘極佈線 105 露出的方式形成開口 144 及開口 146。作爲開口 144 及開口 146 的形成方法，例如可以使用乾蝕刻法。開口 144 及開口 146 的形成方法不侷限於此，也可以使用濕蝕刻法、或乾蝕刻法和濕蝕刻法的組合。

[0171]

藉由在一次的圖案化之後進行蝕刻可以同時形成開口 144 及開口 146，而可以縮短製程。

[0172]

接著，在絕緣膜 116 上的與第一氧化物半導體膜 110 重疊的位置上形成第二氧化物半導體膜 111a，同時以覆蓋開口 144 及開口 146 的方式在絕緣膜 116 上形成第二氧化物半導體膜 111b（參照圖 9B）。關於第二氧化物半導體膜 111a 及第二氧化物半導體膜 111b 的形成方法，可以參照在實施方式 1 中說明的第二氧化物半導體膜 111 的形成方法。

[0173]

可以在絕緣膜 116 上形成氧化物半導體膜，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成第二氧化物半導體膜 111a、111b。

[0174]

注意，當對第二氧化物半導體膜 111a、111b 進行蝕刻加工時，有時因過蝕刻而絕緣膜 116 的一部分（從第二氧化物半導體膜 111a、111b 露出的區域）被蝕刻，其厚度減少。

[0175]

接著，在絕緣膜 116 及第二氧化物半導體膜 111a、111b 上形成絕緣膜 118（參照圖 9C）。當絕緣膜 118 所包含的氫擴散到第二氧化物半導體膜 111a、111b 時，第二氧化物半導體膜 111a、111b 的電阻率降低。注意，由

於第二氧化物半導體膜 111a、111b 的電阻率的降低，使圖 9B 和圖 9C 中的第二氧化物半導體膜 111a、111b 的陰影不同。另外，也可以在形成絕緣膜 118 之後進行在實施方式 1 中說明的第二加熱處理。

[0176]

藉由上述製程，可以在同一基板上形成電晶體 151 和閘極佈線接觸部 170。

[0177]

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

[0178]

實施方式 3

在本實施方式中，使用圖 10A 至圖 12C 對實施方式 1 所示的本發明的一個實施方式的半導體裝置的變形例子進行說明。注意，關於與實施方式 1 的圖 1A 至圖 4C 所示的符號相同的部分或具有相同功能的部分使用同一符號，省略其重複說明。

[0179]

〈半導體裝置的結構例子（變形例子 2）〉

圖 10A 是本發明的一個實施方式的半導體裝置的俯視圖，圖 10B 是沿著圖 10A 的點劃線 M-N、點劃線 O-P 及點劃線 Q-R 的剖面圖。注意，在圖 10A 中，爲了容易理解，省略半導體裝置的組件的一部分（閘極絕緣膜等）。

[0180]

圖 10A、圖 10B 所示的半導體裝置包括：包括第一氧化物半導體膜 110 及第二氧化物半導體膜 111a 的電晶體 151；以及閘極佈線接觸部 171。注意，閘極佈線接觸部 171 是指其中閘極佈線 105 和佈線 112 電連接的區域。

[0181]

圖 10A 的點劃線 M-N 示出電晶體 151 的通道長度方向。點劃線 Q-R 示出電晶體 151 的通道寬度方向。

[0182]

電晶體 151 包括：基板 102 上的閘極電極 104；閘極電極 104 上的被用作第一閘極絕緣膜的絕緣膜 108；在絕緣膜 108 上的與閘極電極 104 重疊的第一氧化物半導體膜 110；第一氧化物半導體膜 110 上的源極電極 112a 及汲極電極 112b；第一氧化物半導體膜 110、源極電極 112a 及汲極電極 112b 上的被用作第二閘極絕緣膜的絕緣膜 114、116；以及設置在絕緣膜 116 上

與第一氧化物半導體膜 110 重疊的第二氧化物半導體膜 111a。第二氧化物半導體膜 111a 被用作電晶體 151 中的第二閘極電極。就是說，圖 10A、圖 10B 所示的電晶體 151 具有所謂的雙閘極結構。

[0183]

另外，在電晶體 151 上，更詳細地說，在絕緣膜 116 及第二氧化物半導體膜 111a 上形成有絕緣膜 118 及絕緣膜 119。絕緣膜 114、116 被用作電晶體 151 的第二閘極絕緣膜，同時被用作電晶體 151 的保護絕緣膜。絕緣膜 118 被用作電晶體 151 的保護絕緣膜。絕緣膜 119 被用作平坦化膜。在絕緣膜 114、116、118、119 中形成有到達汲極電極 112b 的開口，並且以覆蓋開口的方式在絕緣膜 119 上形成有導電膜 120。在該開口中，將形成在絕緣膜 114、116 中的開口稱爲開口 146，將形成在絕緣膜 119 中的開口稱爲開口 148。導電膜 120 例如被用作像素電極。

[0184]

在閘極佈線接觸部 171 中，以覆蓋形成於絕緣膜 108 中的開口 144 的方式在閘極佈線 105 上形成有佈線 112。

[0185]

在本實施方式所示的半導體裝置中，在開口 148 中絕緣膜 118 的端部和絕緣膜 119 的端部大致一致。藉由以實現這樣的結構的方式製造半導體裝置，可以減少用於圖案化的遮罩個數，甚至可以縮減製造成本。

[0186]

作爲絕緣膜 118，使用至少包含氫的絕緣膜。作爲絕緣膜 107、114、116，使用至少包含氧的絕緣膜。如此，藉由作爲用於電晶體 151 的絕緣膜、或與電晶體 151 接觸的絕緣膜使用上述絕緣膜，可以控制電晶體 151 所包括的第一氧化物半導體膜 110、第二氧化物半導體膜 111a 的電阻率。

[0187]

注意，藉由參照實施方式 1 所記載的內容，可以控制第一氧化物半導體膜 110、第二氧化物半導體膜 111a 的電阻率。

[0188]

實施方式 1 的圖 1A、圖 1B 所示的半導體裝置的與圖 10A、圖 10B 所示的半導體裝置的主要不同之處在於：設置有閘極佈線接觸部 171 代替電容器 160；在電晶體 151 中設置有被用作第二閘極電極的第二氧化物半導體膜 111a；以及設置有絕緣膜 119。

[0189]

〈顯示裝置的製造方法（變形例子 2）〉

接著，使用圖 11A 至圖 11D 以及圖 12A 至圖 12C 對圖 10A、圖 10B 所示的半導體裝置的製造方法的一個例子進行說明。

[0190]

首先，在基板 102 上形成閘極電極 104 及閘極佈線 105。然後，在閘極電極 104 及閘極佈線 105 上形成包括絕緣膜 106、107 的絕緣膜 108。閘極佈線 105 可以使用與閘極電極 104 相同的材料同時形成。

[0191]

接著，在絕緣膜 108 上的與閘極電極 104 重疊的位置上形成第一氧化物半導體膜 110（參照圖 11A）。

[0192]

可以在絕緣膜 108 上形成氧化物半導體膜之後，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成第一氧化物半導體膜 110。

[0193]

注意，當對第一氧化物半導體膜 110 進行蝕刻加工時，有時因過蝕刻而絕緣膜 108 的一部分（從第一氧化物半導體膜 110 露出的區域）被蝕刻，其厚度減少。

[0194]

較佳爲在形成第一氧化物半導體膜 110 之後進行加熱處理。可以根據實施方式 1 的形成第一氧化物半導體膜 110 之後的加熱處理的記載可以進行該加熱處理。

[0195]

接著，以殘留所希望的區域的方式對絕緣膜 106、107 進行圖案化，然後對不需要的區域進行蝕刻，由此形成開口 144（參照圖 11B）。

[0196]

以使閘極佈線 105 露出的方式形成開口 144。作爲開口 144 的形成方法，例如可以使用乾蝕刻法。開口 144 的形成方法不侷限於此，也可以使用濕蝕刻法、或乾蝕刻法和濕蝕刻法的組合。

[0197]

可以在絕緣膜 108、閘極佈線 105 及第一氧化物半導體膜 110 上形成導電膜，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成源極電極 112a、汲極電極 112b 及佈線 112（參

照圖 11C）。佈線 112 可以使用與源極電極 112a 及汲極電極 112b 相同的材料同時形成。

[0198]

接著，在絕緣膜 108、第一氧化物半導體膜 110、源極電極 112a、汲極電極 112b 及佈線 112 上形成絕緣膜 114、116。較佳爲在形成絕緣膜 114、116 之後進行實施方式 1 所示的第一加熱處理。

[0199]

以殘留所希望的區域的方式對絕緣膜 114、116 進行圖案化，然後對不需要的區域進行蝕刻，由此形成開口 146（參照圖 11D）。

[0200]

以使汲極電極 112b 露出的方式形成開口 146。作爲開口 146 的形成方法，例如可以使用乾蝕刻法。開口 146 的形成方法不侷限於此，也可以使用濕蝕刻法、或乾蝕刻法和濕蝕刻法的組合。

[0201]

接著，在絕緣膜 116 上的與第一氧化物半導體膜 110 重疊的位置上形成第二氧化物半導體膜 111a。關於第二氧化物半導體膜 111a 的形成方法，可以參照在實施方式 1 中說明的第二氧化物半導體膜 111 的形成方法。

[0202]

可以在絕緣膜 116 上形成氧化物半導體膜，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成第二氧化物半導體膜 111a。

[0203]

注意，當對第二氧化物半導體膜 111a 進行蝕刻加工時，有時因過蝕刻而絕緣膜 116 的一部分（從第二氧化物半導體膜 111a 露出的區域）被蝕刻，其厚度減少。

[0204]

接著，在絕緣膜 116、第二氧化物半導體膜 111a、汲極電極 112b 上形成絕緣膜 118。當絕緣膜 118 所包含的氫擴散到第二氧化物半導體膜 111a 時，第二氧化物半導體膜 111a 的電阻率降低。

[0205]

接著，在絕緣膜 118 上形成絕緣膜 119（參照圖 12A）。作爲絕緣膜 119，例如可以使用具有耐熱性的有機材料如聚醯亞胺樹脂、丙烯酸樹脂、聚醯亞胺醯胺樹脂、苯并環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等。在絕緣膜

上形成有機樹脂膜，以殘留所希望的區域的方式對該有機樹脂膜進行圖案化，然後對不需要的區域進行蝕刻，由此在與開口 146 重疊的位置上形成開口。

[0206]

接著，將具有開口的絕緣膜 119 用作遮罩對絕緣膜 118 進行蝕刻，由此形成開口 148（參照圖 12B）。因爲可以將絕緣膜 119 用作遮罩所以不需要用於開口 148 的形成的新遮罩，並且可以省略圖案化。因此可以縮減半導體裝置的製造成本。

[0207]

接著，以覆蓋開口 148 的方式在絕緣膜 119 上形成導電膜，以殘留所希望的形狀的方式對該導電膜進行圖案化及蝕刻，由此形成導電膜 120（參照圖 12C）。

[0208]

藉由上述製程，可以在同一基板上形成電晶體 151 和閘極佈線接觸部 171。

[0209]

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

[0210]

實施方式 4

在本實施方式中，對可用於本發明的一個實施方式的半導體裝置的電晶體、電容器及閘極佈線接觸部的氧化物半導體的例子進行說明。

[0211]

以下，對氧化物半導體的結構進行說明。

[0212]

在本說明書等中，“平行”是指兩條直線形成的角度爲-10°以上且 10°以下的狀態。因此，也包括該角度爲-5°以上且 5°以下的狀態。“大致平行”是指兩條直線形成的角度爲-30°以上且 30°以下的狀態。另外，“垂直”是指兩條直線的角度爲 80°以上且 100°以下的狀態。因此，也包括該角度爲 85°以上且 95°以下的狀態。“大致垂直”是指兩條直線形成的角度爲 60°以上且 120°以下的狀態。

[0213]

另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0214]

氧化物半導體被分爲單晶氧化物半導體和非單晶氧化物半導體。作爲非單晶氧化物半導體有 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）、多晶氧化物半導體、nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）、a-like OS（amorphous like Oxide Semiconductor）以及非晶氧化物半導體等。

[0215]

從其他觀點看來，氧化物半導體被分爲非晶氧化物半導體和結晶氧化物半導體。作爲結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0216]

作爲非晶結構的定義，一般而言，已知：它處於亞穩態並沒有被固定化，具有各向同性而不具有不均勻結構等。另外，也可以換句話說爲非晶結構的鍵角不固定，具有短程有序性而不具有長程有序性。

[0217]

從相反的觀點來看，不能將實質上穩定的氧化物半導體稱爲完全非晶（completely amorphous）氧化物半導體。另外，不能將不具有各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱爲完全非晶氧化物半導體。注意，a-like OS 在微小區域中具有週期結構，但是同時具有空洞（也稱爲 void），並具有不穩定結構。因此，a-like OS 在物性上近乎於非晶氧化物半導體。

[0218]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。

[0219]

CAAC-OS 是包含多個 c 軸配向的結晶部（也稱爲顆粒）的氧化物半導體之一。

[0220]

在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像（也稱爲高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0221]

下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 13A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱爲 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0222]

圖 13B 示出將圖 13A 中的區域(1)放大的 Cs 校正高解析度 TEM 影像。由圖 13B 可以確認到在顆粒中金屬原子排列爲層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面（也稱爲被形成面）或 CAAC-OS 的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0223]

如圖 13B 所示，CAAC-OS 具有特有的原子排列。圖 13C 是以輔助線示出特有的原子排列的圖。由圖 13B 和圖 13C 可知，一個顆粒的尺寸爲 1nm 以上或 3nm 以上，由顆粒與顆粒之間的傾斜產生的空隙的尺寸爲 0.8nm 左右。因此，也可以將顆粒稱爲奈米晶（nc：nanocrystal）。注意，也可以將 CAAC-OS 稱爲具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。

[0224]

在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示爲推積磚塊或塊體的結構（參照圖 13D）。在圖 13C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 13D 所示的區域 5161。

[0225]

此外，圖 14A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 14B、圖 14C 和圖 14D 分別示出將圖 14A 中的區域(1)、區域(2)和區域(3)放大的 Cs 校正高解析度 TEM 影像。由圖 14B、圖 14C 和圖 14D 可知在顆粒中金屬原子排列爲三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0226]

接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）進行分析的

CAAC-OS。例如，當利用 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 15A 所示，在繞射角（2θ）爲 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0227]

注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ爲 31°附近的峰值以外，有時在 2θ爲 36°附近時也出現峰值。2θ爲 36°附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ爲 31°附近時出現峰值而在 2θ爲 36°附近時不出現峰值。

[0228]

另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ爲 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在 CAAC-OS 中，即使將 2θ固定爲 56°附近並在以樣本面的法線向量爲軸（φ軸）旋轉樣本的條件下進行分析（φ掃描），也如圖 15B 所示的那樣觀察不到明確的峰值。相比之下，在 $InGaZnO_4$ 的單晶氧化物半導體中，在將 2θ固定爲 56°附近來進行φ掃描時，如圖 15C 所示的那樣觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0229]

接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑爲 300nm 的電子線時，可能會獲得圖 16A 所示的繞射圖案（也稱爲選區穿透式電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的（009）面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 16B 示出對相同的樣本在垂直於樣本面的方向上入射束徑爲 300nm 的電子線時的繞射圖案。由圖 16B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認爲圖 16B 中的第一環起因於 $InGaZnO_4$ 結晶的（010）面和（100）面等。另外，可以認爲圖 16B 中的第二環起因於（110）面等。

[0230]

如上所述，CAAC-OS 是結晶性高的氧化物半導體。因爲氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，所以從相反的觀點來看，可以說 CAAC-OS 是雜質或缺陷（氧缺陷等）少的氧化物半導體。

[0231]

另外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0232]

當氧化物半導體包含雜質或缺陷時，其特性有時因光或熱等會發生變動。例如，包含於氧化物半導體的雜質有時會成爲載子陷阱或載子發生源。另外，氧化物半導體中的氧缺陷有時會成爲載子陷阱或因俘獲氫而成爲載子發生源。

[0233]

雜質及氧缺陷少的 CAAC-OS 是載子密度低的氧化物半導體。明確而言，可以使用載子密度低於 8×10^{11} 個/cm^3，較佳低於 1×10^{11} 個/cm^3，更佳低於 1×10^{10} 個/cm^3 且爲 1×10^{-9} 個/cm^3 以上的氧化物半導體。CAAC-OS 的雜質濃度和缺陷能階密度低。亦即，可以說 CAAC-OS 是具有穩定的特性的氧化物半導體。

[0234]

〈nc-OS〉

接著說明 nc-OS。

[0235]

在 nc-OS 的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸大多爲 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且是 100nm 以下的氧化物半導體稱爲微晶氧化物半導體。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱爲顆粒。

[0236]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒的尺寸大的 X 射線的 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒的尺寸大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0237]

如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱爲包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0238]

nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷能階密度比 a-like OS 或非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到結晶定向的規律性。所以，nc-OS 的缺陷能階密度比 CAAC-OS 高。

[0239]

〈a-like OS〉

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0240]

在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0241]

由於 a-like OS 包含空洞，所以其結構不穩定。爲了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變

化。

[0242]

作爲進行電子照射的樣本，準備 a-like OS（記載爲樣本 A）、nc-OS（記載爲樣本 B）和 CAAC-OS（記載爲樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0243]

首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0244]

注意，如下那樣決定將哪個部分作爲一個結晶部。例如，已知 $InGaZnO_4$ 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的九個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與（009）面的晶格表面間隔（也稱爲 d 值）是幾乎相等的，由結晶結構分析求出其值爲 0.29nm。由此，可以將晶格條紋的間隔爲 0.28nm 以上且 0.30nm 以下的部分作爲 $InGaZnO_4$ 結晶部。每個晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0245]

圖 17 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 17 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 17 中的（1）所示，可知在利用 TEM 的觀察初期尺寸爲 1.2nm 左右的結晶部（也稱爲初始晶核）在累積照射量爲 $4.2\times10^8 e^-/nm^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量爲 $4.2\times10^8 e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 17 中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別爲 1.4nm 左右及 2.1nm 左右。

[0246]

如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0247]

另外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度爲具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度爲具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧

化物半導體的密度的 78%的氧化物半導體。

[0248]

例如，在原子個數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度爲 6.357g/cm^3。因此，例如，在原子個數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度爲 5.0g/cm^3 以上且小於 5.9g/cm^3。另外，例如，在原子個數比滿足 In：Ga：Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度爲 5.9g/cm^3 以上且小於 6.3g/cm^3。

[0249]

注意，有時不存在相同組成的單晶氧化物半導體。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶氧化物半導體的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳爲儘可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0250]

如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0251]

〈CAAC-OS 的成膜方法〉

以下，對 CAAC-OS 的成膜方法的一個例子進行說明。圖 18 是沉積室內的示意圖。CAAC-OS 可以利用濺射法形成。

[0252]

如圖 18 所示，基板 5220 與靶材 5230 彼此相對地配置。在基板 5220 與靶材 5230 之間有電漿 5240。另外，在基板 5220 下部設置有加熱機構 5260。雖然未圖示，但是靶材 5230 被貼合到底板上。在隔著底板與靶材 5230 相對的位置配置有多個磁鐵。利用磁鐵的磁場提高沉積速度的濺射法被稱爲磁控濺射法。

[0253]

基板 5220 與靶材 5230 的距離 d（也稱爲靶材與基板之間的距離（T-S 間距離））爲 0.01m 以上且 1m 以下，較佳爲 0.02m 以上且 0.5m 以下。沉積室內幾乎被沉積氣體（例如，氧、氬或包含 5vol%以上的氧的混合氣體）充滿，並且沉積室內的壓力被控制爲 0.01Pa 以上且 100Pa 以下，較佳爲 0.1Pa

以上且 10Pa 以下。在此，藉由對靶材 5230 施加一定程度以上的電壓，開始放電且確認到電漿 5240。由磁場在靶材 5230 附近形成高密度電漿區域。在高密度電漿區域中，因沉積氣體的離子化而產生離子 5201。離子 5201 例如是氧的陽離子（O^+）或氬的陽離子（Ar^+）等。

[0254]

靶材 5230 具有包括多個晶粒的多晶結構，其中至少一個晶粒包括劈開面。作爲一個例子，圖 19A 至圖 19C 示出靶材 5230 所包含的 $InMZnO_4$（元素 M 例如是 Al、Ga、Y 或 Sn）的結晶結構。圖 19A 是從平行於 b 軸的方向觀察時的 $InMZnO_4$ 的結晶結構。在 $InMZnO_4$ 結晶中，由於氧原子具有負電荷，在靠近的兩個 M-Zn-O 層之間產生斥力。因此，$InMZnO_4$ 結晶在靠近的兩個 M-Zn-O 層之間具有劈開面。

[0255]

在高密度電漿區域產生的離子 5201 由電場向靶材 5230 一側被加速而碰撞到靶材 5230。此時，作爲平板狀或顆粒狀的濺射粒子的顆粒 5200 從劈開面剝離（參照圖 18）。顆粒 5200 是被圖 19A 所示的兩個劈開面夾著的部分。因此，可知若只將顆粒 5200 抽出，其剖面則成爲如圖 19B 所示的那樣，其頂面則成爲如圖 19C 所示的那樣。另外，顆粒 5200 的結構有時會因離子 5201 碰撞的衝擊而產生畸變。

[0256]

顆粒 5200 是具有三角形（例如正三角形）的平面的平板狀或顆粒狀的濺射粒子。或者，顆粒 5200 是具有六角形（例如正六角形）的平面的平板狀或顆粒狀的濺射粒子。注意，顆粒 5200 的平面的形狀不侷限於三角形或六角形。例如，有時爲組合多個三角形的形狀。例如，有時也成爲組合兩個三角形（例如，正三角形）而成的四角形（例如，菱形）。

[0257]

顆粒 5200 的厚度取決於沉積氣體的種類等。例如，顆粒 5200 的厚度爲 0.4nm 以上且 1nm 以下，較佳爲 0.6nm 以上且 0.8nm 以下。另外，例如，顆粒 5200 的寬度爲 1nm 以上且 100nm 以下，較佳爲 2nm 以上且 50nm 以下，更佳爲 3nm 以上且 30nm 以下。例如，使離子 5201 碰撞到具有 In-M-Zn 氧化物的靶材 5230。由此，具有 M-Zn-O 層、In-O 層及 M-Zn-O 層的三層的顆粒 5200 剝離。此外，隨著顆粒 5200 的剝離，粒子 5203 也從靶材 5230 被彈出。粒子 5203 具有一個原子或幾個原子的集合體。由此，粒子 5203 也可以稱爲原子狀粒子（atomic particles）。

[0258]

顆粒 5200 有時在經過電漿 5240 時其表面帶負電或正電。例如，顆粒 5200 有時從電漿 5240 中的 O^{2-} 接收負電荷。其結果，有時顆粒 5200 的表面的氧原子帶負電。此外，顆粒 5200 有時在經過電漿 5240 時，藉由與電漿 5240 中的銦、元素 M、鋅或氧等鍵合而生長。

[0259]

經過電漿 5240 的顆粒 5200 及粒子 5203 到達基板 5220 的表面。此外，粒子 5203 的一部分由於質量小所以有時藉由真空泵等排出到外部。

[0260]

接著，參照圖 20A 至圖 20F 說明在基板 5220 的表面沉積的顆粒 5200 及粒子 5203。

[0261]

首先，第一個顆粒 5200 沉積在基板 5220 上。由於顆粒 5200 是平板狀，所以以其平面一側朝向基板 5220 的表面的方式沉積。此時，顆粒 5200 的基板 5220 一側的表面的電荷穿過基板 5220 釋放。

[0262]

接著，第二個顆粒 5200 到達基板 5220。此時，由於已沉積的顆粒 5200 的表面及第二個顆粒 5200 的表面帶電荷，所以互相排斥。其結果，第二個顆粒 5200 避開已沉積的顆粒 5200 上，而以其平面一側朝向基板 5220 的表面的方式在離第一個顆粒 5200 較遠的部分沉積。藉由反復進行上述沉積，在基板 5220 的表面沉積無數個顆粒 5200，該沉積的厚度相當於一層。此外，在顆粒 5200 之間產生未沉積顆粒 5200 的區域（參照圖 20A）。

[0263]

接著，從電漿接收能量的粒子 5203 到達基板 5220 的表面。粒子 5203 不能沉積在顆粒 5200 的表面等活性區域。由此，粒子 5203 移動到顆粒 5200 沒有沉積的區域，並附著於顆粒 5200 的側面。藉由因從電漿接收的能量使粒子 5203 的鍵合處於活性狀態，粒子 5203 在化學上與顆粒 5200 鍵合，而形成橫向生長部 5202（參照圖 20B）。

[0264]

並且，橫向生長部 5202 在橫向方向上生長（也稱爲橫向生長），由此將顆粒 5200 之間連結（參照圖 20C）。如此，直到填滿未沉積顆粒 5200 的區域爲止形成橫向生長部 5202。該機制類似於原子層沉積（ALD：Atomic Layer Deposition）法的沉積機制。

[0265]

因此，當顆粒 5200 朝向彼此不同的方向而沉積時，藉由粒子 5203 一邊橫向生長一邊填入顆粒 5200 間，因此不會形成明確的晶界。此外，由於在顆粒 5200 間粒子 5203 平滑地連接，所以形成與單晶及多晶都不同的結晶結構。換言之，形成在微小的結晶區域（顆粒 5200）間具有應變的結晶結構。如此，由於填入結晶區域間的區域爲應變的結晶區域，所以可以認爲將該區域稱爲非晶結構是不適當的。

[0266]

接著，新的顆粒 5200 以其平面一側朝向基板 5220 的表面的方式沉積（參照圖 20D）。藉由以填入未沉積顆粒 5200 的區域的方式粒子 5203 沉積，形成橫向生長部 5202（參照圖 20E）。如此，粒子 5203 附著於顆粒 5200 的側面，橫向生長部 5202 進行橫向生長，由此使第二層顆粒 5200 之間連結（參照圖 20F）。直到第 m 層顆粒 5200（m 是 2 以上的整數）爲止繼續成膜，形成具有疊層體的薄膜結構。

[0267]

此外，顆粒 5200 的沉積機制根據基板 5220 的表面溫度等而變化。例如，在基板 5220 的表面溫度較高時，顆粒 5200 在基板 5220 的表面發生遷移。其結果，由於顆粒 5200 之間直接連接而不夾著粒子 5203 的比例增加，所以成爲配向性更高的 CAAC-OS。在形成 CAAC-OS 時的基板 5220 的表面溫度爲室溫以上且低於 340℃，較佳爲室溫以上且 300℃以下，更佳爲 100℃以上且 250℃以下，進一步較佳爲 100℃以上且 200℃以下。因此，即使作爲基板 5220 使用第 8 代以上的大面積基板，也幾乎不產生起因於 CAAC-OS 的形成的翹曲等。

[0268]

另一方面，在基板 5220 的表面溫度較低時，顆粒 5200 在基板 5220 的表面不容易發生遷移。其結果，由於顆粒 5200 的堆積而成爲配向性低的 nc-OS 等。在 nc-OS 中，由於顆粒 5200 帶負電，有可能顆粒 5200 以彼此隔有一定間隔的方式沉積。因此，雖然 nc-OS 的配向性較低，但因其略有規律性，所以與非晶氧化物半導體相比具有緻密的結構。

[0269]

在 CAAC-OS 中，當顆粒彼此之間的間隙極小時，有時形成有一個大顆粒。在一個大顆粒內具有單晶結構。例如，從頂面看來大顆粒的尺寸有時爲 10nm 以上且 200nm 以下、15nm 以上且 100nm 以下或 20nm 以上且 50nm

以下。

[0270]

如上述成膜模型那樣，可以認爲顆粒沉積於基板的表面。即使被形成面不具有結晶結構，也能夠形成 CAAC-OS，由此可以說與磊晶生長不同的生長機制的上述成膜模型是很妥當的。此外，由於上述成膜模型，因此可知 CAAC-OS 及 nc-OS 在大面積的玻璃基板等上也能夠均勻地進行成膜。例如，即使基板的表面（被形成面）結構爲非晶結構（例如非晶氧化矽），也能夠形成 CAAC-OS。

[0271]

此外，可知即使在基板的表面（被形成面）爲凹凸狀的情況下，顆粒也沿著其形狀排列。

[0272]

此外，根據上述成膜模型可知，可以以如下方式形成結晶性高的 CAAC-OS。首先，爲了延長平均自由徑，在更高的真空狀態下進行成膜。接著，爲了減少基板附近的損傷，減小電漿的能量。接著，對被形成面施加熱量，每次電漿造成損傷，修復該損傷。

[0273]

另外，上述成膜模型不侷限於如下情況：具有如靶材包括多個晶粒的 In-M-Zn 氧化物那樣的複合氧化物的多晶結構，任何晶粒具有劈開面。例如，可以適用於使用包含氧化銦、元素 M 的氧化物及氧化鋅的混合物靶材的情況。

[0274]

因爲混合物靶材沒有劈開面，所以在被濺射時原子狀粒子從靶材剝離。在成膜時，在靶材附近形成有電漿的強電場區域。因此，由於電漿的強電場的作用，而從靶材剝離的原子狀粒子連結並在橫向方向上生長。例如，首先原子狀粒子的銦連結並在橫向方向上生長，成爲由 In-O 層構成的奈米晶。接著，以補充由 In-O 層構成的奈米晶的方式其上下與 M-Zn-O 層鍵合。如此，即使使用混合物靶材，也有可能形成顆粒。因此，在使用混合物靶材的情況下，也可以適用上述成膜模型。注意，當在靶材附近沒有形成電漿的強電場區域時，只從靶材剝離的原子狀粒子沉積在基板表面上。在此情況下，也有時在基板表面上原子狀粒子在橫向方向上生長。但是，原子狀粒子的方向互不相同，因此在所得到的薄膜上的結晶定向性也不同。亦即，形成 nc-OS 等。

[0275]

實施方式 5

在本實施方式中，參照圖 21A 至圖 24B 說明與實施方式 1 所示的電晶體不同的電晶體的結構。

[0276]

〈電晶體的結構例子 1〉

圖 21A 是電晶體 270 的俯視圖，圖 21B 是沿著圖 21A 所示的點劃線 X1-X2 的剖面圖，圖 21C 是沿著圖 21A 所示的點劃線 Y1-Y2 的剖面圖。另外，有時將點劃線 X1-X2 方向稱爲通道長度方向，將點劃線 Y1-Y2 方向稱爲通道寬度方向。

[0277]

電晶體 270 包括：基板 202 上的被用作第一閘極電極的導電膜 204；基板 202 及導電膜 204 上的絕緣膜 206；絕緣膜 206 上的絕緣膜 207；絕緣膜 207 上的氧化物半導體膜 208；與氧化物半導體膜 208 電連接的被用作源極電極的導電膜 212a；與氧化物半導體膜 208 電連接的被用作汲極電極的導電膜 212b；氧化物半導體膜 208、導電膜 212a、212b 上的絕緣膜 214、216；以及絕緣膜 216 上的氧化物半導體膜 211b。另外，在氧化物半導體膜 211b 上設置絕緣膜 218。

[0278]

在電晶體 270 中，絕緣膜 214 及絕緣膜 216 具有作爲電晶體 270 的第二閘極絕緣膜的功能。氧化物半導體膜 211a 藉由形成在絕緣膜 214 及絕緣膜 216 中的開口 252c 與導電膜 212b 連接。氧化物半導體膜 211a 例如具有用於顯示裝置的像素電極的功能。另外，在電晶體 270 中，氧化物半導體膜 211b 具有作爲第二閘極電極（也稱爲背閘極電極）的功能。

[0279]

如圖 21C 所示，氧化物半導體膜 211b 藉由設置於絕緣膜 206、207、絕緣膜 214 及絕緣膜 216 中的開口 252a、252b 連接到被用作第一閘極電極的導電膜 204。因此，對導電膜 220b 和氧化物半導體膜 211b 供應相同的電位。

[0280]

另外，在本實施方式中例示出形成開口 252a、252b 使氧化物半導體膜 211b 與導電膜 204 連接的結構，但是不侷限於此。例如，也可以採用僅形成開口 252a 和開口 252b 中的任一個而使氧化物半導體膜 211b 與導電膜 204 連接的結構，或者，不形成開口 252a 和開口 252b 而不使氧化物半導體膜

211b 與導電膜 204 連接的結構。當採用不使氧化物半導體膜 211b 與導電膜 204 連接的結構時，可以對氧化物半導體膜 211b 和導電膜 204 分別供應不同的電位。

[0281]

如圖 21B 所示，氧化物半導體膜 208 位於與被用作第一閘極電極的導電膜 204 及被用作第二閘極電極的氧化物半導體膜 211b 的每一個相對的位置，並被夾在兩個被用作閘極電極的導電膜之間。被用作第二閘極電極的氧化物半導體膜 211b 的通道長度方向的長度及通道寬度方向的長度分別大於氧化物半導體膜 208 的通道長度方向的長度及通道寬度方向的長度，並且，氧化物半導體膜 211b 隔著絕緣膜 214 及絕緣膜 216 覆蓋整個氧化物半導體膜 208。此外，因爲被用作第二閘極電極的氧化物半導體膜 211b 藉由形成於絕緣膜 206、207、絕緣膜 214 及絕緣膜 216 中的開口 252a、252b 連接到被用作第一閘極電極的導電膜 204，所以氧化物半導體膜 208 的通道寬度方向的側面隔著絕緣膜 214 及絕緣膜 216 與被用作第二閘極電極的氧化物半導體膜 211b 相對。

[0282]

換言之，在電晶體 270 的通道寬度方向上，被用作第一閘極電極的導電膜 204 與被用作第二閘極電極的氧化物半導體膜 211b 藉由形成於被用作第一閘極絕緣膜的絕緣膜 206、207 及被用作第二閘極絕緣膜的絕緣膜 214、216 中的開口相互連接，並且，該導電膜 204 及該氧化物半導體膜 211b 隔著被用作第一閘極絕緣膜的絕緣膜 206、207 及被用作第二閘極絕緣膜的絕緣膜 214、絕緣膜 216 圍繞氧化物半導體膜 208。

[0283]

藉由採用上述結構，利用被用作第一閘極電極的導電膜 204 及被用作第二閘極電極的氧化物半導體膜 211b 的電場電圍繞電晶體 270 所包括的氧化物半導體膜 208。如電晶體 270，可以將利用第一閘極電極及第二閘極電極的電場電圍繞形成有通道區域的氧化物半導體膜的電晶體的裝置結構稱爲 surrounded channel（s-channel）結構。

[0284]

因爲電晶體 270 具有 s-channel 結構，所以可以藉由利用被用作第一閘極電極的導電膜 204 對氧化物半導體膜 208 有效地施加用來引起通道的電場。由此，電晶體 270 的電流驅動能力得到提高，從而可以得到較高的通態電流（on-state current）特性。此外，由於可以增加通態電流，所以可以

使電晶體 270 微型化。另外，由於電晶體 270 具有被用作第一閘極電極的導電膜 204 及被用作第二閘極電極的氧化物半導體膜 211b 圍繞的結構，所以可以提高電晶體 270 的機械強度。

[0285]

〈電晶體的結構例子 2〉

接著，參照圖 22A 至圖 22D 說明與圖 21A 至圖 21C 所示的電晶體 270 不同的結構例子。

[0286]

圖 22A 和圖 22B 是圖 21B 和圖 21C 所示的電晶體 270 的變形例子的剖面圖。圖 22C 和圖 22D 是圖 21B 和圖 21C 所示的電晶體 270 的變形例子的剖面圖。

[0287]

圖 22A 及圖 22B 所示的電晶體 270A 除了氧化物半導體膜 208 具有三層結構之外具有與圖 21B 及圖 21C 所示的電晶體 270 相同的結構。明確而言，電晶體 270A 所具有的氧化物半導體膜 208 包括氧化物半導體膜 208a、氧化物半導體膜 208b 以及氧化物半導體膜 208c。

[0288]

圖 22C 及圖 22D 所示的電晶體 270B 除了氧化物半導體膜 208 具有兩層結構之外具有與圖 21B 及圖 21C 所示的電晶體 270 相同的結構。明確而言，電晶體 270B 所具有的氧化物半導體膜 208 包括氧化物半導體膜 208b 及氧化物半導體膜 208c。

[0289]

關於本實施方式所示的電晶體 270、電晶體 270A 及電晶體 270B 的結構，可以參照在實施方式 1 中說明的半導體裝置的結構。就是說，關於基板 202 的材料及製造方法，可以參照基板 102 的材料及製造方法。關於導電膜 204 的材料及製造方法，可以參照閘極電極 104 的材料及製造方法。關於絕緣膜 206 及絕緣膜 207 的材料及製造方法，分別可以參照絕緣膜 106 及絕緣膜 107 的材料及製造方法。關於氧化物半導體膜 208 的材料及製造方法，可以參照第一氧化物半導體膜 110 的材料及製造方法。關於氧化物半導體膜 211a 及氧化物半導體膜 211b 的材料及製造方法，可以參照第二氧化物半導體膜 111 的材料及製造方法。關於導電膜 21a 及導電膜 21b 的材料及製造方法，分別可以參照源極電極 112a 及汲極電極 112b 的材料及製造方法。關於絕緣膜 214、絕緣膜 216 及絕緣膜 218 的材料及製造方法，分別可以參照

絕緣膜 114、絕緣膜 116 及絕緣膜 118 的材料及製造方法。

[0290]

在此，參照圖 23A 和圖 23B 說明氧化物半導體膜 208a、208b、208c 以及接觸於氧化物半導體膜 208b、208c 的絕緣膜的能帶圖。

[0291]

圖 23A 是疊層體的膜厚度方向上的能帶圖的一個例子，該疊層體具有絕緣膜 207、氧化物半導體膜 208a、208b、208c 以及絕緣膜 214。圖 23B 是疊層體的膜厚度方向上的能帶圖的一個例子，該疊層體具有絕緣膜 207、氧化物半導體膜 208b、208c 以及絕緣膜 214。在能帶圖中，爲了容易理解，示出絕緣膜 207、氧化物半導體膜 208a、208b、208c 及絕緣膜 214 的導帶底的能階（Ec）。

[0292]

在圖 23A 的能帶圖中，作爲絕緣膜 207、214 使用氧化矽膜，作爲氧化物半導體膜 208a 使用利用金屬元素的原子個數比爲 In:Ga:Zn=1:1:1.2 的金屬氧化物靶材而形成的氧化物半導體膜，作爲氧化物半導體膜 208b 使用利用金屬元素的原子個數比爲 In:Ga:Zn=4:2:4.1 的金屬氧化物靶材而形成的氧化物半導體膜，作爲氧化物半導體膜 208c 使用利用金屬元素的原子個數比爲 In:Ga:Zn=1:1:1.2 的金屬氧化物靶材而形成的氧化物半導體膜。

[0293]

在圖 23B 的能帶圖中，作爲絕緣膜 207、214 使用氧化矽膜，作爲氧化物半導體膜 208b 使用利用金屬元素的原子個數比爲 In:Ga:Zn=4:2:4.1 的金屬氧化物靶材而形成的氧化物半導體膜，作爲氧化物半導體膜 208c 使用利用金屬元素的原子個數比爲 In:Ga:Zn=1:1:1.2 的金屬氧化物靶材而形成的氧化物半導體膜。

[0294]

如圖 23A 和圖 23B 所示，在氧化物半導體膜 208a、208b、208c 中，導帶底的能階平緩地變化。換言之，可以說連續地變化或連續接合。爲了實現這種帶結構，使在氧化物半導體膜 208a 與氧化物半導體膜 208b 之間的介面處或氧化物半導體膜 208b 與氧化物半導體膜 208c 之間的介面處不存在形成陷阱中心或再結合中心等缺陷能階的雜質。

[0295]

爲了在氧化物半導體膜 208a 與氧化物半導體膜 208b 之間及在氧化物半導體膜 208b 與氧化物半導體膜 208c 之間形成連續接合，需要使用具備負載

鎖定室的多室沉積裝置（濺射裝置）以使各膜不暴露於大氣中的方式連續地層疊。

[0296]

藉由採用圖 23A 和圖 23B 所示的結構，氧化物半導體膜 208b 成爲井（well），並且在使用上述疊層結構的電晶體中，通道區域形成在氧化物半導體膜 208b 中。

[0297]

藉由設置氧化物半導體膜 208a、208c，可以使會形成在氧化物半導體膜 208b 中的陷阱能階遠離氧化物半導體膜 208b。

[0298]

有時與被用作通道區域的氧化物半導體膜 208b 的導帶底能階（Ec）相比，陷阱能階離真空能階更遠，而有時在陷阱能階中容易積累電子。當電子積累在陷阱能階中時，成爲負固定電荷，導致電晶體的臨界電壓向正方向漂移。因此，較佳爲採用陷阱能階比氧化物半導體膜 208b 的導帶底能階（Ec）接近於真空能階的結構。藉由採用上述結構，電子不容易積累在陷阱能階，所以能夠增大電晶體的通態電流，並且還能夠提高場效移動率。

[0299]

氧化物半導體膜 208a、208c 與氧化物半導體膜 208b 相比導帶底的能階更接近於真空能階，典型的是，氧化物半導體膜 208b 的導帶底能階與氧化物半導體膜 208a、208c 的導帶底能階之差爲 0.15eV 以上或 0.5eV 以上，且爲 2eV 以下或 1eV 以下。換言之，氧化物半導體膜 208a、208c 的電子親和力與氧化物半導體膜 208b 的電子親和力之差爲 0.15eV 以上或 0.5eV 以上，且爲 2eV 以下或 1eV 以下。

[0300]

藉由具有上述結構，氧化物半導體膜 208b 成爲主要電流路徑。就是說，氧化物半導體膜 208b 被用作通道區域，氧化物半導體膜 208a、208c 被用作氧化物絕緣膜。此外，由於氧化物半導體膜 208a、208c 包含形成有通道區域的氧化物半導體膜 208b 所包含的金屬元素中的一種以上，所以在氧化物半導體膜 208a 與氧化物半導體膜 208b 之間的介面處或在氧化物半導體膜 208b 與氧化物半導體膜 208c 之間的介面處不容易產生介面散射。由此，在該介面處載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0301]

注意，爲了防止氧化物半導體膜 208a、208c 被用作通道區域的一部分，

氧化物半導體膜 208a、208c 使用導電率夠低的材料。因此，根據其物性及/或功能可以將氧化物半導體膜 208a、208c 稱爲氧化物絕緣膜。或者，氧化物半導體膜 208a、208c 使用其電子親和力（真空能階與導帶底能階之差）低於氧化物半導體膜 208b 且其導帶底能階與氧化物半導體膜 208b 的導帶底能階有差異（能帶偏移）的材料。此外，爲了抑制產生起因於汲極電壓值的臨界電壓之間的差異，氧化物半導體膜 208a、208c 較佳爲使用其導帶底能階比氧化物半導體膜 208b 的導帶底能階更接近於真空能階材料。例如，氧化物半導體膜 208b 的導帶底能階與氧化物半導體膜 208a、208c 的導帶底能階之差較佳爲 0.2eV 以上，更佳爲 0.5eV 以上。

[0302]

氧化物半導體膜 208a、208c 較佳爲不具有尖晶石型結晶結構。在氧化物半導體膜 208a、208c 中具有尖晶石型結晶結構時，導電膜 212a、212b 的構成元素有時會在該尖晶石型結晶結構與其他區域之間的介面處擴散到氧化物半導體膜 208b 中。注意，在氧化物半導體膜 208a、208c 爲 CAAC-OS 的情況下，阻擋導電膜 212a、212b 的構成元素如銅元素的性質得到提高，所以是較佳的。

[0303]

氧化物半導體膜 208a、208c 的厚度大於或等於能夠抑制導電膜 212a、212b 的構成元素擴散到氧化物半導體膜 208b 的厚度且小於從絕緣膜 214 向氧化物半導體膜 208b 的氧的供應被抑制的厚度。例如，當氧化物半導體膜 208a、208c 的厚度爲 10nm 以上時，能夠抑制導電膜 212a、212b 的構成元素擴散到氧化物半導體膜 208b。另外，當氧化物半導體膜 208a、208c 的厚度爲 100nm 以下時，能夠高效地從絕緣膜 214 向氧化物半導體膜 208b 供應氧。

[0304]

另外，在本實施方式中，示出作爲氧化物半導體膜 208a、208c 使用利用其金屬元素的原子個數比爲 In:Ga:Zn=1:1:1.2 的金屬氧化物靶材形成的氧化物半導體膜的結構，但是不侷限於此。例如，作爲氧化物半導體膜 208a、208c，也可以使用如下氧化物半導體膜：該氧化物半導體膜利用 In:Ga:Zn=1:1:1[原子個數比]、In:Ga:Zn=1:3:2[原子個數比]、In:Ga:Zn=1:3:4[原子個數比]或 In:Ga:Zn=1:3:6[原子個數比]的金屬氧化物靶材形成。

[0305]

當作爲氧化物半導體膜 208a、208c 使用利用 In:Ga:Zn=1:1:1[原子個數比]的金屬氧化物靶材形成的氧化物半導體膜時，在氧化物半導體膜 208a、208c

中有時爲 In:Ga:Zn=1:β1（0<β1≦2）:β2（0<β2≦3）。當作爲氧化物半導體膜 208a、208c 使用利用 In:Ga:Zn=1:3:4[原子個數比]的金屬氧化物靶材形成的氧化物半導體膜時，在氧化物半導體膜 208a、208c 中有時爲 In:Ga:Zn=1:β3（1≦β3≦5）:β4（2≦β4≦6）。當作爲氧化物半導體膜 208a、208c 使用利用 In:Ga:Zn=1:3:6[原子個數比]的金屬氧化物靶材形成的氧化物半導體膜時，在氧化物半導體膜 208a、208c 中有時爲 In:Ga:Zn=1:β5（1≦β5≦5）:β6（4≦β6≦8）。

[0306]

在圖式中，示出電晶體 270 所包括的氧化物半導體膜 208、電晶體 270A 及電晶體 270B 所包括的氧化物半導體膜 208c 各自的不與導電膜 212a、212b 重疊的區域變薄，換言之，氧化物半導體膜的一部分具有凹部的形狀。但是，本發明的一個實施方式不侷限於此，氧化物半導體膜的不與導電膜 212a、212b 重疊的區域也可以沒有凹部。圖 24A 和圖 24B 示出這種情況的例子。圖 24A 和圖 24B 是示出電晶體的一個例子的剖面圖。注意，圖 24A 和圖 24B 示出上述的電晶體 270B 的氧化物半導體膜 208 沒有凹部的結構。

[0307]

此外，本實施方式的電晶體的結構可以自由地相互組合。

[0308]

本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合而實施。

[0309]

實施方式 6

在本實施方式中，參照圖 25A 至圖 42 說明本發明的一個實施方式的顯示裝置 80。

[0310]

圖 25A 所示的顯示裝置 80 包括：像素部 71；掃描線驅動電路 74；信號線驅動電路 76；互相平行或大致平行地配置且其電位由掃描線驅動電路 74 控制的 m 個掃描線 77；以及互相平行或大致平行地配置且其電位由信號線驅動電路 76 控制的 n 個信號線 79。像素部 71 具有配置爲矩陣狀的多個像素 70。另外，還有沿著信號線 79 互相平行或大致平行地配置的公用線 75。另外，有時將掃描線驅動電路 74 及信號線驅動電路 76 總稱爲驅動電路部。

[0311]

各掃描線 77 與在像素部 71 中配置爲 m 行 n 列的像素 70 中的配置在任

一行的 n 個像素 70 電連接，而各信號線 79 與配置爲 m 行 n 列的像素 70 中的配置在任一列的 m 個像素 70 電連接。m 和 n 都是 1 以上的整數。各公用線 75 與配置爲 m 行 n 列的像素 70 中的配置在任一行的 m 個像素 70 電連接。

[0312]

圖 25B 示出可以用於圖 25A 所示的顯示裝置 80 的像素 70 的電路結構的一個例子。

[0313]

圖 25B 所示的像素 70 具有液晶元件 51、電晶體 52 和電容器 55。

[0314]

液晶元件 51 的一對電極中的一個與電晶體 52 連接，並且其電位根據像素 70 的規格適當地設定。液晶元件 51 的一對電極中的另一個與公用線 75 連接，並被供應同一電位（共用電位）。根據寫入到電晶體 52 的資料控制液晶元件 51 所包含的液晶的配向狀態。

[0315]

液晶元件 51 是利用液晶的光學調變作用來控制光的透過或非透過的元件。液晶的光學調變作用由施加到液晶的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作爲用於液晶元件 51 的液晶，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。這些液晶材料根據條件呈現出膽固醇相、層列相、立方相、手性向列相、均質相等。

[0316]

此外，在採用橫向電場方式的情況下，也可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽甾型液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。因爲藍相只在較窄的溫度範圍內出現，所以將其中混合了幾 wt%以上的手性試劑的液晶組合物用於液晶層，以擴大溫度範圍。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，並且其具有光學各向同性。此外，包含呈現藍相的液晶和手性試劑的液晶組成物不需要配向處理，且視角依賴性小。另外，因不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，由此可以降低製程中的液晶顯示裝置的不良和破損。

[0317]

另外，作爲包括液晶元件 51 的顯示裝置 80 的驅動方法，可以使用：TN（Twisted Nematic：扭曲向列）模式、IPS（In-Plane-Switching：平面內切

換）模式、FFS（Fringe Field Switching：邊緣電場切換）模式、ASM（Axially Symmetric aligned Micro-cell：軸對稱排列微單元）模式、OCB（Optical Compensated Birefringence：光學補償彎曲）模式、FLC（Ferroelectric Liquid Crystal：鐵電性液晶）模式以及 AFLC（Anti Ferroelectric Liquid Crystal：反鐵電性液晶）模式等。

[0318]

另外，作爲顯示裝置 80 也可以使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透過型液晶顯示裝置。作爲垂直配向模式，可以使用 MVA（Multi-Domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV（Advanced Super View：高級超視覺）模式等。

[0319]

在本實施方式中，主要對橫向電場方式，典型的是 FFS 模式和後面說明的 DPS 模式進行說明。

[0320]

在圖 25B 所示的像素 70 的結構中，電晶體 52 的源極電極和汲極電極中的一個與信號線 79 電連接，源極電極和汲極電極中的另一個與液晶元件 51 的一對電極中的一個電連接。電晶體 52 的閘極電極與掃描線 77 電連接。電晶體 52 具有對資料信號的寫入進行控制的功能。

[0321]

在圖 25B 所示的像素 70 的結構中，電容器 55 的一對電極中的一個與電晶體 52 的源極電極和汲極電極中的另一個連接。電容器 55 的一對電極中的另一個與共用線 75 電連接。根據像素 70 的規格適當地設定公用線 75 的電位值。電容器 55 被用作儲存被寫入的資料的儲存電容器。注意，在以 FFS 模式驅動的顯示裝置 80 中，電容器 55 的一對電極中的一個相當於液晶元件 51 的一對電極中的一個的一部分或全部，電容器 55 的一對電極中的另一個相當於液晶元件 51 的一對電極中的另一個的一部分或全部。

[0322]

〈元件基板的結構例子〉

接著，說明顯示裝置 80 所包括的元件基板的具體結構。首先，圖 26 示出以 FFS 模式驅動的顯示裝置 80 所包括的多個像素 70a、70b 以及 70c。

[0323]

在圖 26 中，被用作掃描線的導電膜 13 在與信號線大致正交的方向（圖

式中的左右方向）上延伸地設置。被用作信號線的導電膜 21a 在與掃描線大致正交的方向（圖式中的上下方向）上延伸地設置。被用作掃描線的導電膜 13 與掃描線驅動電路 74 電連接，而被用作信號線的導電膜 21a 與信號線驅動電路 76 電連接（參照圖 25A）。

[0324]

電晶體 52 設置在掃描線和信號線的交叉部附近。電晶體 52 由被用作閘極電極的導電膜 13、閘極絕緣膜（在圖 26 中未圖示）、形成在閘極絕緣膜上的形成有通道區域的氧化物半導體膜 19a 以及被用作源極電極和汲極電極的導電膜 21a 及 21b 構成。導電膜 13 不僅是被用作掃描線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 52 的閘極電極。導電膜 21a 不僅是被用作信號線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 52 的源極電極或汲極電極。在圖 26 所示的俯視圖中，掃描線的端部位於氧化物半導體膜 19a 的端部的外側。由此，掃描線被用作阻擋來自背光等光源的光的遮光膜。其結果是，電晶體所包括的氧化物半導體膜 19a 不被照射光，從而電晶體的電特性的變動可以得到抑制。

[0325]

導電膜 21b 與被用作像素電極的氧化物半導體膜 19b 電連接。另外，在氧化物半導體膜 19b 上隔著絕緣膜（在圖 26 中未圖示）設置有共用電極 29。

[0326]

共用電極 29 包括在與信號線交叉的方向上延伸的條紋形狀的區域。另外，該條紋形狀的區域連接於在與信號線平行或大致平行的方向上延伸的區域。因此，在顯示裝置 80 所包括的多個像素中，在包括條紋形狀的區域的共用電極 29 中，各條紋形狀的區域的電位相等。

[0327]

電容器 55 形成在氧化物半導體膜 19b 與共用電極 29 重疊的區域中。氧化物半導體膜 19b 及共用電極 29 具有透光性。也就是說，電容器 55 具有透光性。

[0328]

因爲電容器 55 具有透光性，所以電容器 55 可以較大地（大面積地）形成在像素 70 中。由此，可以得到能夠在提高開口率（典型地提高到 50%以上，較佳爲提高到 60%以上）的同時增大電容值的顯示裝置。例如，在解析度高的如液晶顯示裝置之類的顯示裝置中，像素的面積小，且電容器的面積也小。因此，在解析度高的顯示裝置中，儲存在電容器中的電容值變

小。但是，由於本實施方式所示的電容器 55 具有透光性，所以藉由將該電容器設置在像素中，可以在各像素中得到充分的電容值的同時提高開口率。典型的是，電容器 55 可以適當地應用於像素密度爲 200ppi 以上、300ppi 以上或 500ppi 以上的高解析度顯示裝置。

[0329]

另外，在液晶顯示裝置中，電容器的電容值越大，越能夠延長在施加電場的情況下液晶元件的液晶分子的配向被保持爲固定的期間。在顯示靜態影像的情況下，由於可以延長該期間，所以能夠減少重寫影像資料的次數，從而可以降低耗電量。另外，藉由採用本實施方式所示的結構，在高解析度的顯示裝置中也可以提高開口率，因此可以高效地利用背光等光源的光，從而可以降低顯示裝置的耗電量。

[0330]

接著，圖 27 示出沿著圖 26 的點劃線 Q1-R1、點劃線 S1-T1 的剖面圖。圖 27 所示的電晶體 52 是通道蝕刻型電晶體。注意，沿著點劃線 Q1-R1 的剖面圖是通道長度方向上的電晶體 52 以及電容器 55 的剖面圖，沿著點劃線 S1-T1 的剖面圖是通道寬度方向上的電晶體 52 的剖面圖。

[0331]

圖 27 所示的電晶體 52 是具有單閘極結構的電晶體，其包括：設置在基板 11 上的被用作閘極電極的導電膜 13；形成在基板 11 及被用作閘極電極的導電膜 13 上的絕緣膜 15；形成在絕緣膜 15 上的絕緣膜 17；隔著絕緣膜 15 及絕緣膜 17 與被用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的被用作源極電極和汲極電極的導電膜 21a 及 21b。在絕緣膜 17、氧化物半導體膜 19a、被用作源極電極和汲極電極的導電膜 21a 及 21b 上形成有絕緣膜 23，在絕緣膜 23 上形成有絕緣膜 25。氧化物半導體膜 19b 形成在絕緣膜 25 上。氧化物半導體膜 19b 藉由形成在絕緣膜 23 及絕緣膜 25 中的開口連接於被用作源極電極和汲極電極的導電膜 21a、21b 中的一個，在此連接於導電膜 21b。絕緣膜 27 形成在絕緣膜 25 及氧化物半導體膜 19b 上。共用電極 29 形成在絕緣膜 27 上。

[0332]

也可以藉由在絕緣膜 25 上的與氧化物半導體膜 19a 重疊的位置上設置氧化物半導體膜 19b，形成將氧化物半導體膜 19b 用作第二閘極電極的雙閘極結構的電晶體 52。

[0333]

將氧化物半導體膜 19b、絕緣膜 27 及共用電極 29 重疊的區域用作電容器 55。

[0334]

另外，本發明的一個實施方式的剖面圖不侷限於此，而可以採用各種各樣的結構。例如，氧化物半導體膜 19b 可以具有狹縫。或者，氧化物半導體膜 19b 可以是梳齒狀。

[0335]

關於本發明的一個實施方式所示的顯示裝置 80 的結構，可以參照在實施方式 1 中說明的半導體裝置的結構。就是說，關於基板 11 的材料及製造方法，可以參照基板 102 的材料及製造方法。關於導電膜 13 的材料及製造方法，可以參照閘極電極 104 的材料及製造方法。關於絕緣膜 15 及絕緣膜 17 的材料及製造方法，分別可以參照絕緣膜 106 及絕緣膜 107 的材料及製造方法。關於氧化物半導體膜 19a 及氧化物半導體膜 19b 的材料及製造方法，分別可以參照第一氧化物半導體膜 110 及第二氧化物半導體膜 111 的材料及製造方法。關於導電膜 21a 及導電膜 21b 的材料及製造方法，分別可以參照源極電極 112a 及汲極電極 112b 的材料及製造方法。關於絕緣膜 23、絕緣膜 25 及絕緣膜 27 的材料及製造方法，分別可以參照絕緣膜 114、絕緣膜 116 及絕緣膜 118 的材料及製造方法。關於共用電極 29 的材料及製造方法，可以參照導電膜 120 的材料及製造方法。

[0336]

另外，如圖 28 所示，共用電極 29 也可以在絕緣膜 27 上的絕緣膜 28 上設置。絕緣膜 28 被用作平坦化膜。關於絕緣膜 28 的材料及製造方法可以參照在實施方式 3 中說明的絕緣膜 119 的材料及製造方法。

[0337]

〈元件基板的結構例子（變形例子 1）〉

接著，圖 29 示出顯示裝置 80 所包括的其結構與圖 26 的像素不同的多個像素 70d、70e 以及 70f 的俯視圖。

[0338]

在圖 29 中，被用作掃描線的導電膜 13 在圖式中的左右方向上延伸地設置。被用作信號線的導電膜 21a 以具有其一部分彎曲的 V 字形狀的方式在與掃描線大致正交的方向（圖式中的上下方向）上延伸地設置。被用作掃描線的導電膜 13 與掃描線驅動電路 74 電連接，而被用作信號線的導電膜 21a 與信號線驅動電路 76 電連接（參照圖 25A）。

[0339]

電晶體 52 設置在掃描線和信號線的交叉部附近。電晶體 52 由被用作閘極電極的導電膜 13、閘極絕緣膜（在圖 29 中未圖示）、形成在閘極絕緣膜上的形成有通道區域的氧化物半導體膜 19a 以及被用作源極電極和汲極電極的導電膜 21a 及 21b 構成。導電膜 13 不僅是被用作掃描線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 52 的閘極電極。導電膜 21a 不僅是被用作信號線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 52 的源極電極或汲極電極。在圖 29 所示的俯視圖中，掃描線的端部位於氧化物半導體膜 19a 的端部的外側。由此，掃描線被用作阻擋來自背光等光源的光的遮光膜。其結果是，電晶體所包括的氧化物半導體膜 19a 不被照射光，從而電晶體的電特性的變動可以得到抑制。

[0340]

導電膜 21b 與被用作像素電極的氧化物半導體膜 19b 電連接。將氧化物半導體膜 19b 形成爲梳齒狀。另外，在氧化物半導體膜 19b 上設置有絕緣膜（在圖 29 中未圖示），在該絕緣膜上設置有共用電極 29。在俯視圖中，以與氧化物半導體膜 19b 咬合的方式將共用電極 29 形成爲梳齒狀，以便共用電極 29 和氧化物半導體膜 19b 的一部分重疊。該共用電極 29 連接於在與掃描線平行或大致平行的方向上延伸的區域。因此，在顯示裝置 80 所包括的多個像素中，在共用電極 29 中，各梳齒狀的區域的電位相等。氧化物半導體膜 19b 和共用電極 29 具有以沿著信號線（導電膜 21a）的方式彎曲的 V 字形狀。

[0341]

電容器 55 形成在氧化物半導體膜 19b 與共用電極 29 重疊的區域中。氧化物半導體膜 19b 及共用電極 29 具有透光性。也就是說，電容器 55 具有透光性。

[0342]

接著，圖 30 示出沿著圖 29 的點劃線 Q2-R2、點劃線 S2-T2 的剖面圖。圖 30 所示的電晶體 52 是通道蝕刻型電晶體。注意，沿著點劃線 Q2-R2 的截圖是通道長度方向上的電晶體 52 以及電容器 55 的剖面圖，沿著點劃線 S2-T2 的剖面圖是通道寬度方向上的電晶體 52 的剖面圖。

[0343]

圖 30 所示的電晶體 52 是具有單閘極結構的電晶體，其包括：設置在基板 11 上的被用作閘極電極的導電膜 13；形成在基板 11 及被用作閘極電極

的導電膜 13 上的絕緣膜 15；形成在絕緣膜 15 上的絕緣膜 17；隔著絕緣膜 15 及絕緣膜 17 與被用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的被用作源極電極和汲極電極的導電膜 21a 及 21b。在絕緣膜 17、氧化物半導體膜 19a、被用作源極電極和汲極電極的導電膜 21a 及 21b 上形成有絕緣膜 23，在絕緣膜 23 上形成有絕緣膜 25。氧化物半導體膜 19b 形成在絕緣膜 25 上。氧化物半導體膜 19b 藉由形成在絕緣膜 23 及絕緣膜 25 中的開口連接於被用作源極電極和汲極電極的導電膜 21a、21b 中的一個，在此連接於導電膜 21b。絕緣膜 27 形成在絕緣膜 25 及氧化物半導體膜 19b 上。共用電極 29 形成在絕緣膜 27 上。

[0344]

在圖 30 所示的像素中，在設置於絕緣膜 27 及共用電極 29 上的液晶的配向受到控制的區域中，被用作像素電極的氧化物半導體膜 19b 設置在絕緣膜 25 上，共用電極 29 設置在絕緣膜 27 上。如此，可以將如下顯示裝置的驅動方法稱爲 DPS（Differential-Plane-Switching）模式，其中藉由在設置於不同平面上的一對電極之間產生電場，控制液晶的配向。

[0345]

也可以藉由在絕緣膜 25 上的與氧化物半導體膜 19a 重疊的位置上設置氧化物半導體膜 19b，形成將氧化物半導體膜 19b 用作第二閘極電極的雙閘極結構的電晶體 52。

[0346]

將氧化物半導體膜 19b、絕緣膜 27 及共用電極 29 重疊的區域用作電容器 55。

[0347]

在圖 29 及圖 30 所示的液晶顯示裝置中，藉由使氧化物半導體膜 19b 和共用電極 29 的各端部附近重疊，形成像素所包括的電容器。藉由採用這種結構，在大型液晶顯示裝置中，可以形成不是過大而是適當的大小的電容器。

[0348]

另外，如圖 31 所示，共用電極 29 也可以設置在絕緣膜 27 上的絕緣膜 28 上。

[0349]

另外，如圖 32 及圖 33 所示，氧化物半導體膜 19b 和共用電極 29 也可以不重疊。根據顯示裝置的解析度或對應驅動方法的電容器的大小，可以

適當地決定氧化物半導體膜 19b 和共用電極 29 的位置關係。另外，圖 33 所示的顯示裝置所包括的共用電極 29 也可以設置在被用作平坦化膜的絕緣膜 28 上（參照圖 34）。

[0350]

在圖 29 及圖 30 所示的液晶顯示裝置中，氧化物半導體膜 19b 的在與信號線（導電膜 21a）平行或大致平行的方向上延伸的區域的寬度 d1 小於共用電極 29 的在與信號線平行或大致平行的方向上延伸的區域的寬度 d2（參照圖 30），但是本發明的結構不侷限於此。如圖 35 及圖 36 所示，寬度 d1 也可以大於寬度 d2。另外，寬度 d1 和寬度 d2 也可以相等。另外，在一個像素（例如，像素 70d）中，氧化物半導體膜 19b 及/或共用電極 29 的在與信號線平行或大致平行的方向上延伸的多個區域的寬度可以互不相同。

[0351]

如圖 37 所示，也可以以只殘留絕緣膜 28 的與共用電極 29 重疊的區域的方式去除設置在絕緣膜 27 上的絕緣膜 28。此時，可以將共用電極 29 用作遮罩對絕緣膜 28 進行蝕刻。可以抑制被用作平坦化膜的絕緣膜 28 上的共用電極 29 的凹凸，絕緣膜 28 的從共用電極 29 的端部到絕緣膜 27 的側面形成得其坡度小。另外，如圖 38 所示，絕緣膜 28 的表面的與基板 11 平行的區域的一部分也可以不被共用電極 29 覆蓋。

[0352]

如圖 39 及圖 40 所示，共用電極也可以設置在與氧化物半導體膜 19b 相同的層上，亦即設置在絕緣膜 25 上。圖 39 及圖 40 所示的共用電極 19c 可以使用與氧化物半導體膜 19b 相同的材料同時形成。

[0353]

關於本發明的一個實施方式所示的顯示裝置 80 的結構，可以參照在實施方式 1 中說明的半導體裝置的結構。就是說，關於基板 11 的材料及製造方法，可以參照基板 102 的材料及製造方法。關於導電膜 13 的材料及製造方法，可以參照閘極電極 104 的材料及製造方法。關於絕緣膜 15 及絕緣膜 17 的材料及製造方法，分別可以參照絕緣膜 106 及絕緣膜 107 的材料及製造方法。關於氧化物半導體膜 19a 及氧化物半導體膜 19b 的材料及製造方法，分別可以參照第一氧化物半導體膜 110 及第二氧化物半導體膜 111 的材料及製造方法。關於導電膜 21a 及導電膜 21b 的材料及製造方法，分別可以參照源極電極 112a 及汲極電極 112b 的材料及製造方法。關於絕緣膜 23、絕緣膜 25 及絕緣膜 27 的材料及製造方法，可以參照絕緣膜 114、絕緣膜 116

及絕緣膜 118 的材料及製造方法。關於共用電極 29 的材料及製造方法，可以參照導電膜 120 的材料及製造方法。

[0354]

關於絕緣膜 28 的材料及製造方法可以參照在實施方式 3 中說明的絕緣膜 119 的材料及製造方法。

[0355]

本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0356]

〈元件基板的結構例子（變形例子 2）〉

接著，對其結構與圖 25A 的顯示裝置 80 所包括的多個像素不同的多個像素 370 的結構進行說明。圖 41A 示出像素 370 的電路結構的一個例子。圖 41B 是顯示裝置 80 所包括的多個像素 370g、370h、370i 的俯視圖，圖 42 是沿著圖 41B 的點劃線 Q3-R3 及點劃線 S3-T3 的剖面圖。

[0357]

像素 370 的與參照圖 25B 進行說明的像素 70 的不同之處在於：具備並聯連接的液晶元件 351a 及液晶元件 351b 代替液晶元件 51。在此，對與上述不同的結構進行詳細的說明，關於可以使用相同結構的部分援用上述說明。注意，在圖 42 所示的剖面圖中，省略液晶元件 351b。

[0358]

在液晶元件 351a 中，氧化物半導體膜 319b 與電晶體 352 的汲極電極電連接，並被用作像素電極。導電膜 329 電連接於在與掃描線（導電膜 13）平行或大致平行的方向上延伸地設置的佈線 VCOM，並被用作共用電極。

[0359]

在液晶元件 351b 中，導電膜 329 與電晶體 352 的汲極電極電連接，並被用作像素電極。氧化物半導體膜 319b 電連接於在與掃描線（導電膜 13）平行或大致平行的方向上延伸地設置的佈線 VCOM，並被用作共用電極。

[0360]

在圖 41A 中，用一個佈線表示與導電膜 329 電連接的佈線 VCOM 及與氧化物半導體膜 319b 電連接的佈線 VCOM，但是不侷限於此。與導電膜 329 電連接的佈線 VCOM 及與氧化物半導體膜 319b 電連接的佈線 VCOM 的電位既可以相同又可以不同。例如，藉由使電連接於導電膜 329 的佈線 VCOM 與電連接於氧化物半導體膜 319b 的 VCOM 在掃描線驅動電路 74 電連接，

可以使其電位相同（參照圖 25A）。

[0361]

像素 370 所具備的電容器 355 包括電容器 355a 及電容器 355b。電容器 355a 的一對電極中的一個包括氧化物半導體膜 319b，並與電晶體 352 的汲極電極電連接。電容器 355a 的一對電極中的另一個包括導電膜 329。電容器 355b 的一對電極中的一個包括導電膜 329，並與電晶體 352 的汲極電極電連接。電容器 355b 的一對電極中的另一個包括氧化物半導體膜 319b。

[0362]

關於氧化物半導體膜 319b 的材料及製造方法，可以參照上述氧化物半導體膜 19b 的材料及製造方法。關於導電膜 329 的材料及製造方法，可以參照上述共用電極 29 的材料及製造方法。

[0363]

藉由使液晶元件 351a 和液晶元件 351b 並聯連接，即使反轉所施加的電壓來驅動液晶元件，也可以防止由於導電膜 329 和氧化物半導體膜 319b 的位置而液晶元件特性爲非對稱性的現象。

[0364]

注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0365]

實施方式 7

在本實施方式中，參照圖 43 至圖 45 對可以應用於本發明的一個實施方式的液晶顯示裝置並具有以垂直配向（VA：Vertical Alignment）模式工作的液晶元件的像素的結構進行說明。圖 43 是液晶顯示裝置所具有的像素的俯視圖，圖 44 是包括沿著圖 43 的切斷線 Z1-Z2 的剖面的側面圖。另外，圖 45 是液晶顯示裝置所具有的像素的等效電路圖。

[0366]

VA 型是指一種控制液晶顯示面板的液晶分子的排列的方式。VA 型液晶顯示裝置是在不被施加電壓時液晶分子在垂直於面板表面的方向上配向的方式。

[0367]

在本實施方式中，特別地，將像素（pixel）分成幾個區域（子像素）且使分子分別倒向不同方向。這稱爲多域（multi domain）化或多域設計。在以下說明中，說明考慮到多域設計的液晶顯示裝置。

[0368]

圖 43 的 Z1 是形成有像素電極 624 的基板 600 的俯視圖，Z3 是形成有共用電極 640 的基板 601 的俯視圖，Z2 是形成有像素電極 624 的基板 600 和形成有共用電極 640 的基板 601 相互重疊的狀態的俯視圖。

[0369]

在基板 600 上形成有電晶體 628 和與其連接的像素電極 624 及電容器 630。電晶體 628 的汲極電極 618 藉由形成在絕緣膜 623 及絕緣膜 625 中的開口 633 與像素電極 624 電連接。在像素電極 624 上設置有絕緣膜 627。

[0370]

作爲電晶體 628，可以適用在實施方式 1 至實施方式 3 或實施方式 5 中說明的電晶體。

[0371]

電容器 630 包括作爲第一電容佈線的電容佈線 604 上的佈線 613、絕緣膜 623、絕緣膜 625、像素電極 624。電容佈線 604 可以使用與電晶體 628 的閘極佈線 615 相同的材料同時形成。另外，佈線 613 可以使用與汲極電極 618 及佈線 616 相同的材料同時形成。

[0372]

作爲像素電極 624，可以適用在實施方式 1 中說明的電阻率低的氧化物半導體膜。就是說，關於像素電極 624 的材料及製造方法，可以參照實施方式 1 所示的第二氧化物半導體膜 111 的材料及製造方法。

[0373]

在像素電極 624 中形成狹縫 646。狹縫 646 用來控制液晶的配向。

[0374]

電晶體 629、連接於電晶體 629 的像素電極 626 及電容器 631 可以分別與電晶體 628、像素電極 624 及電容器 630 同樣地形成。電晶體 628 和電晶體 629 都連接到佈線 616。佈線 616 在電晶體 628 及電晶體 629 中被用作源極電極。在本實施方式所示的液晶顯示面板的像素由像素電極 624 及像素電極 626 構成。像素電極 624 和像素電極 626 是子像素。

[0375]

在基板 601 上形成有彩色膜 636、共用電極 640，並且在共用電極 640 上形成有突起 644。共用電極 640 具有狹縫 647。在像素電極 624 上形成有配向膜 648，並且在共用電極 640 及突起 644 上也形成有配向膜 645。在基板 600 和基板 601 之間形成有液晶層 650。

[0376]

共用電極 640 較佳爲使用與在實施方式 1 中說明的導電膜 120 同樣的材料形成。形成在共用電極 640 中的狹縫 647 和突起 644 具有控制液晶的配向的功能。

[0377]

當對形成有狹縫 646 的像素電極 624 施加電壓時，在狹縫 646 附近會產生電場應變（傾斜電場）。藉由將該狹縫 646 與基板 601 一側的突起 644 及狹縫 647 以互相咬合的方式配置，有效地產生傾斜電場且控制液晶的配向，並根據各個位置使液晶配向的方向不同。就是說，藉由進行多域化來擴大液晶顯示面板的視角。另外，也可以在基板 601 一側設置突起 644 和狹縫 647 中的一個。

[0378]

圖 44 示出基板 600 和基板 601 重疊並且注入有液晶的狀態。像素電極 624、液晶層 650 與共用電極 640 重疊，因此形成液晶元件。

[0379]

圖 45 示出上述像素結構的等效電路。電晶體 628 和電晶體 629 都連接到閘極佈線 602 和佈線 616。在此情況下，藉由使電容佈線 604 和電容佈線 605 的電位不同，可以使液晶元件 651 的工作和液晶元件 652 的工作不同。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，精密地控制液晶的配向來擴大視角。

[0380]

注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0381]

實施方式 8

在本實施方式中，使用圖 46 及圖 47 說明包括前面的實施方式所例示的電晶體的顯示裝置的一個例子。

[0382]

圖 46 是示出顯示裝置的一個例子的俯視圖。圖 46 所示的顯示裝置 700 包括：設置在第一基板 701 上的像素部 702；設置在第一基板 701 上的源極驅動電路部 704 及閘極驅動電路部 706；以圍繞像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 的方式設置的密封材料 712；以及以與第一基板 701 對置的方式設置的第二基板 705。注意，由密封材料 712 密封第一基板 701 及第二基板 705。亦即，像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 被第一基板 701、密封材料 712 及第二基板 705 密封。注意，

雖然在圖 46 中未圖示，但是在第一基板 701 與第二基板 705 之間設置有顯示元件。

[0383]

另外，顯示裝置 700 在第一基板 701 上的不由密封材料 712 圍繞的區域中設置有分別電連接於像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 的 FPC（Flexible printed circuit：軟性印刷電路板）端子部 708。此外，FPC716 連接於 FPC 端子部 708，並且藉由 FPC716 對像素部 702、源極驅動電路部 704 及閘極驅動電路部 706 供應各種信號等。另外，像素部 702、源極驅動電路部 704、閘極驅動電路部 706 以及 FPC 端子部 708 各與佈線 710 連接。由 FPC716 供應的各種信號等是藉由佈線 710 供應到像素部 702、源極驅動電路部 704、閘極驅動電路部 706 以及 FPC 端子部 708 的。

[0384]

另外，也可以在顯示裝置 700 中設置多個閘極驅動電路部 706。另外，作爲顯示裝置 700，雖然示出將源極驅動電路部 704 及閘極驅動電路部 706 形成在與像素部 702 相同的第一基板 701 上的例子，但是並不侷限於該結構。例如，可以只將閘極驅動電路部 706 形成在第一基板 701 上，或者可以只將源極驅動電路部 704 形成在第一基板 701 上。此時，也可以採用將形成有源極驅動電路或閘極驅動電路等的基板（例如，由單晶半導體膜、多晶半導體膜形成的驅動電路基板）安裝於第一基板 701 的結構。另外，對另行形成的驅動電路基板的連接方法沒有特別的限制，而可以採用 COG（Chip On Glass：晶粒玻璃接合）方法、打線接合方法等。

[0385]

顯示裝置 700 所包括的像素部 702 包括多個電晶體及電容器，可以將在實施方式 1 中說明的半導體裝置適用於該多個電晶體及電容器。另外，源極驅動電路部 704 及閘極驅動電路部 706 包括多個電晶體及佈線接觸部，可以將在實施方式 2 中說明的半導體裝置適用於該多個電晶體及佈線接觸部。

[0386]

另外，顯示裝置 700 可以採用各種方式或具有各種顯示元件。作爲顯示元件，例如可以舉出液晶元件、包括 LED（白色 LED、紅色 LED、綠色 LED、藍色 LED 等）等的 EL（電致發光）元件（包含有機和無機材料的 EL 元件、有機 EL 元件或無機 EL 元件）、電晶體（根據電流而發光的電晶體）、電子發射元件、電泳元件、諸如柵光閥（GLV）、數位微鏡裝置（DMD）、數位微快門（DMS）元件、MIRASOL（在日本的註冊商標）顯示器、干涉

調變（IMOD）元件、壓電陶瓷顯示器等的使用微機電系統（MEMS）的顯示元件、電潤濕（electrowetting）元件等。除此之外，還可以包括對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示介質。另外，也可以作爲顯示元件使用量子點。作爲使用液晶元件的顯示裝置的例子，有液晶顯示器（透射型液晶顯示器、半透射型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投射型液晶顯示器）等。作爲使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作爲使用電子發射元件的顯示裝置的例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作爲使用量子點的顯示裝置的一個例子，有量子點顯示器等。作爲使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。注意，當實現半透射型液晶顯示器或反射型液晶顯示器時，使像素電極的一部分或全部具有作爲反射電極的功能即可。例如，使像素電極的一部分或全部包含鋁、銀等即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下方。由此，可以進一步降低耗電量。

[0387]

作爲顯示裝置 700 的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作爲當進行彩色顯示時在像素中控制的顏色要素，不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，可以由 R 像素、G 像素、B 像素及 W（白色）像素的四個像素構成。或者，如 PenTile 排列，也可以由 RGB 中的兩個顏色構成一個顏色要素，並根據顏色要素選擇不同的兩個顏色來構成。或者可以對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種以上的顏色。另外，各個顏色要素的點的顯示區域的大小可以不同。但是，所公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於黑白顯示的顯示裝置。

[0388]

另外，爲了將白色光（W）用於背光（有機 EL 元件、無機 EL 元件、LED、螢光燈等）使顯示裝置進行全彩色顯示，也可以使用彩色膜（也稱爲濾光片）。作爲彩色膜，例如可以適當地組合紅色（R）、綠色（G）、藍色（B）、黃色（Y）等而使用。藉由使用彩色膜，可以與不使用彩色膜的情況相比進一步提高顏色再現性。此時，也可以藉由設置包括彩色膜的區域和不包括彩色膜的區域，將不包括彩色膜的區域中的白色光直接用於顯示。藉由部分地設置不包括彩色膜的區域，在顯示明亮的影像時，有時可以減少彩色

膜所引起的亮度降低而減少耗電量兩成至三成左右。但是，在使用有機 EL 元件或無機 EL 元件等自發光元件進行全彩色顯示時，也可以從具有各發光顏色的元件發射 R、G、B、Y、白色（W）。藉由使用自發光元件，有時與使用彩色膜的情況相比進一步減少耗電量。

[0389]

在本實施方式中，使用圖 47 說明作爲顯示元件使用液晶元件的顯示裝置的結構。

[0390]

圖 47 是沿著圖 46 所示的點劃線 U-V 的剖面圖。圖 47 所示的顯示裝置 700 包括：引線配線部 711；像素部 702；源極驅動電路部 704；以及 FPC 端子部 708。另外，引線配線部 711 包括佈線 710。另外，像素部 702 包括電晶體 750 及電容器 790。另外，源極驅動電路部 704 包括電晶體 752。

[0391]

例如，作爲電晶體 750，可以使用在實施方式 1 中示出的電晶體 150。作爲電晶體 752 可以使用在實施方式 2 中示出的電晶體 151。

[0392]

在本實施方式中使用的電晶體包括高度純化且氧缺陷的形成被抑制的氧化物半導體膜。該電晶體可以降低關閉狀態下的電流值（關態電流值）。因此，可以延長影像信號等電信號的保持時間，在開啓電源的狀態下也可以延長寫入間隔。因此，可以降低更新工作的頻率，由此可以發揮抑制耗電量的效果。

[0393]

另外，在本實施方式中使用的電晶體能夠得到較高的場效移動率，因此能夠進行高速驅動。例如，藉由將這種能夠進行高速驅動的電晶體用於液晶顯示裝置，可以在同一基板上形成像素部的切換電晶體及用於驅動電路部的驅動電晶體。亦即，因爲作爲驅動電路不需要另行使用由矽晶圓等形成的半導體裝置，所以可以縮減半導體裝置的構件數。另外，在像素部中也可以藉由使用能夠進行高速驅動的電晶體提供高品質的影像。

[0394]

作爲電容器 790，可以使用在實施方式 1 中示出的電容器 160。因爲電容器 790 具有透光性，所以電容器 790 可以較大地（大面積地）形成在像素部 702 所包括的像素之一中。因此，可以實現開口率得到提高且電容值增大的顯示裝置。

[0395]

另外，在圖 47 中，在電晶體 750 上設置有絕緣膜 764、766、768。

[0396]

絕緣膜 764、766、768 分別可以使用與實施方式 1 所示的絕緣膜 114、116、118 同樣的材料及製造方法形成。另外，也可以採用在絕緣膜 768 上設置平坦化膜的結構。平坦化膜可以使用與實施方式 3 所示的絕緣膜 119 同樣的材料及製造方法形成。

[0397]

另外，佈線 710 與被用作電晶體 750、752 的源極電極及汲極電極的導電膜經同一製程形成。注意，佈線 710 也可以使用藉由與電晶體 750、752 的源極電極及汲極電極不同的製程形成的導電膜（例如爲被用作閘極電極的導電膜）。當作爲佈線 710 例如使用包含銅元素的材料時，起因於佈線電阻的信號延遲等較少，而可以實現大螢幕的顯示。

[0398]

此外，FPC 端子部 708 包括連接電極 760、異方性導電膜 780 及 FPC716。連接電極 760 與被用作電晶體 750、752 的源極電極及汲極電極的導電膜經同一製程形成。另外，連接電極 760 與 FPC716 所包括的端子藉由異方性導電膜 780 電連接。

[0399]

此外，作爲第一基板 701 及第二基板 705，例如可以使用玻璃基板。另外，作爲第一基板 701 及第二基板 705，可以使用與實施方式 1 所示的基板 102 相同的材料。

[0400]

在第二基板 705 一側，設置有被用作黑矩陣的遮光膜 738、被用作濾色片的彩色膜 736、與遮光膜 738 和彩色膜 736 接觸的絕緣膜 734。

[0401]

此外，在第一基板 701 與第二基板 705 之間設置有結構體 778。結構體 778 是藉由選擇性地對絕緣膜進行蝕刻而得到的柱狀間隔物，其被用於控制第一基板 701 與第二基板 705 之間的距離（液晶盒厚（cell gap））。另外，作爲結構體 778，也可以使用球狀間隔物。

[0402]

此外，在本實施方式中，示出了將結構體 778 設置於第一基板 701 一側的結構的例子，但不侷限於此。例如，可以採用將結構體 778 設置於第二

基板 705 一側的結構或將結構體 778 設置於第一基板 701 和第二基板 705 的兩者的結構。

[0403]

顯示裝置 700 包括液晶元件 775。液晶元件 775 包括導電膜 772、導電膜 774 及液晶層 776。導電膜 774 設置在第二基板 705 一側，並具有相對電極的功能。顯示裝置 700 可以藉由施加到導電膜 772 及導電膜 774 的電壓改變液晶層 776 的配向狀態，由此控制光的透過及非透過而顯示影像。

[0404]

此外，導電膜 772 與電晶體 750 所包括的被用作源極電極或汲極電極的導電膜連接。導電膜 772 形成在絕緣膜 768 上，並具有像素電極，亦即顯示元件的一個電極的功能。顯示裝置 700 是在基板 701 一側設置背光或側光等而藉由液晶元件 775 及彩色膜 736 顯示影像的所謂的透過式彩色液晶顯示裝置。

[0405]

作爲導電膜 772 及導電膜 774，可以使用使可見光透過的導電膜或反射可見光的導電膜。作爲使可見光透過的導電膜，例如，較佳爲使用包含選自銦（In）、鋅（Zn）、錫（Sn）中的一種的材料。作爲導電膜 772 及導電膜 774，可以使用與實施方式 1 所示的導電膜 120 相同的材料。

[0406]

注意，作爲圖 46 及圖 47 所示的顯示裝置 700 例示出透過型彩色液晶顯示裝置，但是本發明不侷限於此。例如，也可以作爲導電膜 772 使用反射可見光的導電膜，由此實現反射型彩色液晶顯示裝置。

[0407]

另外，雖然在圖 47 中未圖示，但是可以適當地設置偏振構件、相位差構件、抗反射構件等光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。

[0408]

關於用於液晶層 776 的液晶，可以參照用於實施方式 6 所示的液晶元件 51 的液晶的記載。作爲包括液晶元件的顯示裝置的驅動方法，可以採用實施方式 6 所示的各種驅動方法。

[0409]

本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0410]

實施方式 9

在本實施方式中，參照圖 48A 至圖 51E 對本發明的一個實施方式的顯示裝置及該顯示裝置的驅動方法進行說明。

[0411]

本發明的一個實施方式的顯示裝置也可以包括資訊處理部、運算部、記憶部、顯示部及輸入部等。

[0412]

在本發明的一個實施方式的顯示裝置中，在連續地顯示同一影像（靜態影像）的情況下，藉由降低寫入同一影像的信號（也稱爲更新）的次數，可以降低耗電量。注意，將進行更新的頻率也稱爲更新速率（也稱爲掃描頻率、垂直同步頻率）。下面，對藉由降低更新速率來減少眼睛疲勞的顯示裝置進行說明。

[0413]

眼睛疲勞被大致分爲兩種，亦即神經疲勞和肌肉疲勞。神經疲勞是指由於長時間連續觀看顯示裝置的發光、閃爍畫面，該亮度刺激視網膜、視神經、腦子而引起的疲勞。肌肉疲勞是指由於過度使用在調節焦點時使用的睫狀肌而引起的疲勞。

[0414]

圖 48A 是示出習知的顯示裝置的顯示的示意圖。如圖 48A 所示，在習知的顯示裝置中，在每一秒內進行 60 次的影像改寫。長時間連續觀看這種畫面，恐怕會刺激使用者的視網膜、視神經、腦子而引起眼睛疲勞。

[0415]

在本發明的一個實施方式的顯示裝置中，將使用氧化物半導體的電晶體，例如使用 CAAC-OS 的電晶體應用於顯示裝置的像素部。該電晶體的關態電流極小。因此，即使降低顯示裝置的更新速率也可以保持顯示裝置的亮度。

[0416]

也就是說，如圖 48B 所示，例如每隔 5 秒鐘進行 1 次的影像改寫即可，由此可以儘可能地在長時間觀看同一影像，這使得使用者所感到的影像閃爍減少。由此，可以減少對使用者的視網膜、視神經、腦子的刺激而減輕神經疲勞。

[0417]

另外，如圖 49A 所示，在一個像素的尺寸大的情況下（例如，在解析度低於 150ppi 的情況下），顯示裝置所顯示的文字變得模糊。長時間連續觀看顯示在顯示裝置上的模糊的文字，亦即連續處於即使睫狀肌不斷運動以調節焦點也不容易調節焦點的狀態，這恐怕會對眼睛造成負擔。

[0418]

與此相反，如圖 49B 所示，在根據本發明的一個實施方式的顯示裝置中，因爲一個像素的尺寸小而能夠進行高清晰顯示，所以可以實現細緻且流暢的顯示。由此，睫狀肌的焦點調節變得容易，而可以減輕使用者的肌肉疲勞。藉由將顯示裝置的解析度設定爲 150ppi 以上，較佳爲 200ppi 以上，進一步較佳爲 300ppi 以上，可以有效地減輕使用者的肌肉疲勞。

[0419]

注意，已在研討定量地測量眼睛疲勞的方法。例如，作爲神經疲勞的評價指標，已知有臨界閃爍（融合）頻率（CFF：Critical Flicker（Fusion）Frequency）等。作爲肌肉疲勞的評價指標，已知有調節時間及調節近點距離等。

[0420]

此外，作爲評價眼睛疲勞的方法，已知有腦波測量、溫度圖法、眨眼次數的測量、淚液量的評價、瞳孔的收縮反應速度的評價及用來調查自覺症狀的問捲調查等。

[0421]

例如，藉由採用上述各種方法，可以評價利用本發明的一個實施方式的顯示裝置的驅動方法時的減輕眼睛疲勞的效果。

[0422]

〈顯示裝置的驅動方法〉

在此，參照圖 50A 至圖 50E 對本發明的一個實施方式的顯示裝置的驅動方法進行說明。

[0423]

[影像資料的顯示例子]

下面，示出將包含兩個不同的影像資料的影像移動而顯示的例子。

[0424]

圖 50A 示出在顯示部 450 上顯示視窗 451，在該視窗 451 內顯示靜態影像的第一影像 452a 的例子。

[0425]

此時，較佳爲以第一更新速率進行顯示。可以將第一更新速率設定爲 1.16　10^{-5}Hz（大約每一天進行更新一次）以上且 1Hz 以下，或者 2.78　10^{-4}Hz（大約每一小時進行更新一次）以上且 0.5Hz 以下，或者 1.67　10^{-2}Hz（大約每一分鐘進行更新一次）以上且 0.1Hz 以下。

[0426]

如此，藉由將第一更新速率設定爲極小的值，來降低畫面的改寫頻率，由此可以實現實質上不發生閃爍的顯示，更有效地減輕使用者的眼睛疲勞。

[0427]

視窗 451 例如可以藉由執行影像顯示應用軟體來顯示，包括顯示影像的顯示區域。

[0428]

另外，視窗 451 的下部顯示有用來切換所顯示的影像資料的按鈕 453。使用者藉由進行選擇按鈕 453 的操作，可以向顯示裝置的資訊處理部供應移動影像的指令。

[0429]

使用者的操作方法根據輸入單元決定即可。例如，在作爲輸入單元使用重疊於顯示部 450 的觸控面板的情況下，可以進行用手指或觸控筆等觸摸按鈕 453 的操作或者滑動影像的手勢輸入操作。當使用手勢輸入或聲音輸入時，不需要必須顯示按鈕 453。

[0430]

當顯示裝置的資訊處理部接收移動影像的指令時，開始顯示在視窗 451 內的影像的移動（圖 50B）。

[0431]

當在圖 50A 中以第一更新速率進行顯示時，較佳爲在移動影像之前將更新速率改爲第二更新速率。第二更新速率是用來顯示動態影像而需要的值。例如，可以將第二更新速率設定爲 30Hz 以上且 960Hz 以下，較佳爲 60Hz 以上且 960Hz 以下，更佳爲 75Hz 以上且 960Hz 以下，進一步較佳爲 120Hz 以上且 960Hz 以下，更進一步較佳爲 240Hz 以上且 960Hz 以下。

[0432]

藉由將第二更新速率設定爲高於第一更新速率的值，進一步可以流暢且自然地顯示動態影像。此外，也可以抑制改寫帶來的閃爍被使用者看到，而可以減輕使用者的眼睛疲勞。

[0433]

此時在視窗 451 內顯示的影像爲第一影像 452a 與接下來要顯示的第二影像 452b 拼接在一起的影像。在視窗 451 內以使該拼接在一起的影像向一個方向（在此，向左）移動的方式顯示第一影像 452a 的一部分及第二影像 452b 一部分。

[0434]

另外，在移動拼接在一起的影像的同時，將顯示在視窗 451 內的影像的亮度從初始狀態（圖 50A）逐漸降低。

[0435]

圖 50C 示出顯示在視窗 451 內的影像到達指定座標的狀態。此時，顯示在視窗 451 內的影像的亮度最低。

[0436]

在圖 50C 中，指定座標爲顯示第一影像 452a 的一半和第二影像 452b 的一半的座標，但是不侷限於此，較佳爲採用使用者能自由地設定座標的結構。

[0437]

例如，從影像的初始座標到指定座標的距離對從初始座標到最終座標的距離的比例大於 0 且小於 1，即可。

[0438]

另外，影像到達指定座標時的亮度也較佳爲被使用者自由地設定。例如，可以將影像到達指定座標時的亮度對初始亮度的比例設定爲 0 以上且小於 1，較佳爲 0 以上且 0.8 以下，更佳爲 0 以上且 0.5 以下等。

[0439]

接著，在視窗 451 內在移動拼接在一起的影像的同時逐漸提高亮度（圖 50D）。

[0440]

圖 50E 示出拼接在一起的影像的座標到達最終座標的狀態。在視窗 451 內以與初始亮度相同的亮度僅顯示第二影像 452b。

[0441]

較佳爲在影像的移動結束之後將更新速率從第二更新速率改爲第一更新速率。

[0442]

藉由進行上述顯示，即使使用者用眼睛追蹤影像的移動，該影像的亮度得到降低，所以也可以減輕使用者的眼睛疲勞。由此，藉由使用上述驅

動方法，可以實現護眼顯示。

[0443]

[文件資訊的顯示例子]

接著，說明將比顯示視窗的尺寸大的文件資訊捲動而顯示的例子。

[0444]

圖 51A 示出在顯示部 450 上顯示視窗 455，在該視窗 455 內顯示靜態影像的文件資訊 456 的一部分的例子。

[0445]

此時，較佳爲以上述第一更新速率進行顯示。

[0446]

視窗 455 例如可以藉由執行文件顯示應用軟體、文件製作應用軟體等來顯示，包括顯示文件資訊的顯示區域。

[0447]

文件資訊 456 的影像的縱向方向上的尺寸比視窗 455 的顯示區域大。因此，視窗 455 只顯示其一部分的區域。另外，如圖 51A 所示，視窗 455 也可以顯示示出文件資訊 456 中的位置的捲軸 457。

[0448]

當顯示裝置從輸入部接收移動影像的指令（在此，也稱爲捲動指令）時，開始文件資訊 456 的移動（圖 51B）。另外，逐漸降低所顯示的影像的亮度。

[0449]

當在圖 51A 中以第一更新速率進行顯示時，較佳爲在移動文件資訊 456 之前將更新速率改爲第二更新速率。

[0450]

在此，示出不僅降低顯示在視窗 455 內的影像的亮度，而且降低顯示在顯示部 450 上的整個影像的亮度的狀態。

[0451]

圖 51C 示出文件資訊 456 的座標到達指定座標的狀態。此時，顯示在顯示部 450 上的整個影像的亮度最低。

[0452]

接著，在視窗 455 內移動文件資訊 456（圖 51D）。此時，逐漸提高顯示在顯示部 450 上的整個影像的亮度。

[0453]

圖 51E 示出文件資訊 456 的座標到達最終座標的狀態。在視窗 455 內以與初始亮度相同的亮度顯示文件資訊 456 的與初始區域不同的區域。

[0454]

較佳爲在文件資訊 456 的移動結束之後將更新速率改爲第一更新速率。

[0455]

藉由進行上述顯示，即使使用者用眼睛追蹤影像的移動，該影像的亮度得到降低，所以也可以減輕使用者的眼睛疲勞。由此，藉由使用上述驅動方法，可以實現護眼顯示。

[0456]

尤其是，文件資訊等對比度高的顯示讓使用者的眼睛疲勞更明顯，因此將上述驅動方法應用於文件資訊的顯示是較佳爲的。

[0457]

本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

[0458]

實施方式 10

在本實施方式中，參照圖 52 至圖 53G 對包括本發明的一個實施方式的半導體裝置的顯示模組及電子裝置進行說明。

[0459]

圖 52 所示的顯示模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示面板 8006、背光 8007、框架 8009、印刷電路板 8010、電池 8011。

[0460]

例如可以將本發明的一個實施方式的顯示裝置用於顯示面板 8006。

[0461]

上蓋 8001 及下蓋 8002 可以根據觸控面板 8004 及顯示面板 8006 的尺寸可以適當地改變形狀或尺寸。

[0462]

觸控面板 8004 能夠是電阻膜式觸控面板或電容式觸控面板，並且能夠被形成爲與顯示面板 8006 重疊。此外，也可以使顯示面板 8006 的相對基板（密封基板）具有觸控面板的功能。另外，也可以在顯示面板 8006 的各像素內設置光感測器，而形成光學觸控面板。

[0463]

背光 8007 具有光源 8008。注意，雖然在圖 52 中例示出在背光 8007 上配置光源 8008 的結構，但是不侷限於此。例如，可以在背光 8007 的端部設置光源 8008，並使用光擴散板。當使用有機 EL 元件等自發光型發光元件時，或者當使用反射式面板等時，可以採用不設置背光 8007 的結構。

[0464]

框架 8009 除了具有保護顯示面板 8006 的功能以外還具有用來遮斷因印刷電路板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有散熱板的功能。

[0465]

印刷電路板 8010 具有電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作爲對電源電路供應電力的電源，既可以採用外部的商業電源，又可以採用另行設置的電池 8011 的電源。當使用商業電源時，可以省略電池 8011。

[0466]

此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0467]

圖 53A 至圖 53G 是示出電子裝置的圖。這些電子裝置可以包括外殼 5000、顯示部 5001、揚聲器 5003、LED 燈 5004、操作鍵 5005（包括電源開關或操作開關）、連接端子 5006、感測器 5007（該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）、麥克風 5008 等。

[0468]

圖 53A 示出移動電腦，該移動電腦除了上述以外還可以包括開關 5009、紅外線埠 5010 等。圖 53B 示出具備記錄介質的可攜式影像再現裝置（例如 DVD 再現裝置），該可攜式影像再現裝置除了上述以外還可以包括第二顯示部 5002、記錄介質讀取部 5011 等。圖 53C 示出護目鏡型顯示器，該護目鏡型顯示器除了上述以外還可以包括第二顯示部 5002、支撐部 5012、耳機 5013 等。圖 53D 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括記錄介質讀取部 5011 等。圖 53E 示出具有電視接收功能的數位相機，該數位相機除了上述以外還可以包括天線 5014、快門按鈕 5015、影像接收部 5016 等。圖 53F 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括

第二顯示部 5002、記錄介質讀取部 5011 等。圖 53G 示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發信號的充電器 5017 等。

[0469]

圖 53A 至圖 53G 所示的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態影像、文本影像等）顯示在顯示部上；觸控面板；顯示日曆、日期或時刻等；藉由利用各種軟體（程式）控制處理；進行無線通訊；藉由利用無線通訊功能來連接到各種電腦網路；藉由利用無線通訊功能，進行各種資料的發送或接收；讀出儲存在記錄介質中的程式或資料來將其顯示在顯示部上等。再者，在具有多個顯示部的電子裝置中，可以具有如下功能：一個顯示部主要顯示影像資訊，而另一個顯示部主要顯示文字資訊；或者，在多個顯示部上顯示考慮到視差的影像來顯示立體影像等。再者，在具有影像接收部的電子裝置中，可以具有如下功能：拍攝靜態影像；拍攝動態影像；對所拍攝的影像進行自動或手動校正；將所拍攝的影像儲存在記錄介質（外部或內置於相機）中；將所拍攝的影像顯示在顯示部等。注意，圖 53A 至圖 53G 所示的電子裝置可具有的功能不侷限於上述功能，而可以具有各種各樣的功能。

[0470]

本實施方式所示的電子裝置的特徵在於具有用來顯示某些資訊的顯示部。此外，可以將實施方式 4 所示的顯示裝置適當地適用於該顯示部。

[0471]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[實施例]

[0472]

在實施例中，參照圖 54A 至圖 56B 對關於實施方式 9 所示的顯示裝置的驅動方法的實驗結果進行說明。

[0473]

圖 54A 至圖 54C 是說明在顯示裝置的直徑爲 100μm 區域的亮度變化的測定結果。在顯示裝置上捲動地顯示文本影像。在文本影像中，字體大小爲 20 磅，每行字數爲 49 個，每頁行數爲 25 行。

[0474]

圖 54A 是說明在以 2.5 頁/秒的速度捲動文本影像的情況下觀察到的亮

度變化的圖。

[0475]

圖 54B 是說明在以 5 頁/秒的速度捲動文本影像的情況下觀察到的亮度變化的圖，該文本影像使用其灰階比用圖 54A 說明的文本影像的文字高（明確而言，使文本影像的文字亮度爲文本影像的背景亮度的大約 50%左右的灰階）的文字。

[0476]

圖 54C 是說明在以 5 頁/秒的速度捲動文本影像的情況下觀察到的亮度變化的圖，該文本影像使用其灰階與用圖 54A 說明的文本影像的文字相同的文字。

[0477]

圖 55A 至圖 55C 是說明使用被認爲與之前的感性評價結果非常一致的 Barten 模型的公式計算出基於圖 54A 至圖 45C 的亮度變化的視覺刺激變化的結果的圖。以下，以公式 1 表示 Barten 的公式。

[0478]

[公式 1]

$$S(u,w)=\frac{\frac{M_{opt}(u)}{k}}{\sqrt{\frac{2}{T}\left(\frac{1}{X_0^2}+\frac{1}{X_{max}^2}+\frac{u^2}{N_{max}^2}\right)\left(\frac{1}{\eta pE}+\frac{\Phi_0}{[H_1(w)\{1-H_2(w)F(u)\}]^2}\right)}} \cdots (1)$$

[0479]

在公式中，u 表示空間調變的頻率參數，w 表示時間調變的頻率參數。另外，k 表示信噪比，T 表示視覺的積分時間，X_0 表示物件的大小，X_{max} 表示最大積分區域，N_{max} 表示光暗循環的最大積分週期數，η表示量子效率，p 表示量子轉換係數，E 表示網膜照度，ϕ_0 表示神經雜訊的譜密度。

[0480]

公式 1 中的 M_{opt}（u）表示關於空間亮度調變的視覺傳遞函數，以下述公式 2 表示 M_{opt}（u）。公式中的σ表示以瞳孔的直徑爲參數的考慮晶狀體或網膜等視覺器官結構的線擴展函數的標準差。

[0481]

[公式 2]

$$M_{opt}(u)=e^{-2\pi^2\sigma^2u^2} \cdots (2)$$

[0482]

公式 1 中的 H_1（w）及 H_2（w）表示關於時間調變的傳遞函數，以下述公式 3 表示 H_1（w）及 H_2（w）。公式中的τ表示時間常數。已發現在公式 1 中的 H_1（w）及 H_2（w）中 n 分別爲 7 及 4 的情況下，與感性評價一致。

[0483]

[公式 3]

$$H(w)=\frac{1}{\left\{1+(2\pi w\tau)^2\right\}^{n/2}} \cdots (3)$$

[0484]

公式 1 中的 F（u）是表示側抑制的函數，以下述公式 4 表示 F（u）。u_0表示側抑制的空間頻率。

[0485]

[公式 4]

$$F(u)=1-\sqrt{1-e^{-(u/u_0)^2}} \cdots (4)$$

[0486]

圖 55A 是說明使用 Barten 的公式計算出基於圖 54A 的亮度變化的視覺刺激變化的結果的圖。

[0487]

圖 55B 是說明使用 Barten 的公式計算出基於圖 54B 的亮度變化的視覺刺激變化的結果的圖。

[0488]

圖 55C 是說明使用 Barten 的公式計算出基於圖 54C 的亮度變化的視覺刺激變化的結果的圖。

[0489]

圖 56A 和圖 56B 是看使用圖 54A 至圖 54C 說明的文本影像的 6 個受檢者的臨界融合頻率（CFF：Critical Flicker（Fusion） Frequency）測量結果的圖。明確而言，看捲動的文本影像一分鐘，然後對臨界融合頻率（CFF）進行測量 10 次，平均該頻率得到結果。反復該測試 5 次，將加上的時間稱爲負載時間。

[0490]

圖 56A 是看使用圖 54B 說明的文本影像的 6 個受檢者的臨界融合頻率

（CFF）測量結果的圖。

[0491]

圖 56B 是看使用圖 54C 說明的文本影像的 6 個受檢者的臨界融合頻率（CFF）測量結果的圖。

[0492]

使用日本夏普制造的 AQUOS PAD SH-06F 進行文本圖像的滾動顯示。在 AQUOS PAD SH-06F 中，顯示面板的對角尺寸爲 7.0 吋，清晰度爲 323ppi，圖元包括以 VA 模式進行工作的液晶元件以及具有氧化物半導體的電晶體。

[0493]

使用日本柴田科學公司製造的勞研式數位式疲勞測定器 RDF-1 測量出臨界融合頻率。

[0494]

〈結果〉

可知：在捲動速度較慢的情況下，與捲動速度較快的情況相比，在相同期間發生的亮度變化少，而視覺刺激得到抑制（參照圖 54A、圖 54C、圖 55A 及圖 55C）。

[0495]

可知：在捲動速度較快的情況下，藉由以較高的灰階顯示文本影像降低對比度，在相同期間發生的亮度變化較少，而視覺刺激得到抑制（參照圖 54B、圖 54B、圖 55A 及圖 55C）。

[0496]

可知：當受檢者反復看以較快的速度捲動顯示的文本影像時，在作爲文本影像以較高的灰階顯示文字以降低對比度的情況下以便降低對比度，他們的臨界融合頻率（CFF）的降低得到抑制（參照圖 56A 及圖 56B）。

[0497]

由此可知，在以較快的速度進行捲動時，藉由以較高的灰階顯示文字以便降低對比度，可以緩解積在受檢者眼睛的疲勞。

[0498]

明確而言，當以較高的灰階顯示文本影像的文字以便降低對比度時，在所有受檢者的測量結果中，觀察不到臨界融合頻率的降低（參照圖 56A）。

[0499]

另一方面，當以不改變對比度的方式顯示文本影像時，在受檢者 A、受檢者 C、受檢者 D、受檢者 F 的測量結果中，觀察到臨界融合頻率的降低

（參照圖 56B）。

【符號說明】

[0500]

11　基板

13　導電膜

15　絕緣膜

17　絕緣膜

19a　氧化物半導體膜

19b　氧化物半導體膜

19c　共用電極

21a　導電膜

21b　導電膜

23　絕緣膜

25　絕緣膜

27　絕緣膜

28　絕緣膜

29　共用電極

51　液晶元件

52　電晶體

55　電容器

70　像素

70a　像素

70b　像素

70c　像素

70d　像素

70e　像素

70f　像素

71　像素部

74　掃描線驅動電路

75　公用線

76　信號線驅動電路

77　掃描線

79　信號線
80　顯示裝置
100　直徑
102　基板
104　閘極電極
105　閘極佈線
106　絕緣膜
107　絕緣膜
108　絕緣膜
110　氧化物半導體膜
111　氧化物半導體膜
111a　氧化物半導體膜
111b　氧化物半導體膜
112　佈線
112a　源極電極
112b　汲極電極
114　絕緣膜
116　絕緣膜
118　絕緣膜
119　絕緣膜
120　導電膜
120a　導電膜
141　開口
142　開口
144　開口
146　開口
148　開口
150　電晶體
151　電晶體
160　電容器
170　閘極佈線接觸部
171　閘極佈線接觸部
193　靶材

194　電漿
202　基板
204　導電膜
206　絕緣膜
207　絕緣膜
208　氧化物半導體膜
208a　氧化物半導體膜
208b　氧化物半導體膜
208c　氧化物半導體膜
211a　氧化物半導體膜
211b　氧化物半導體膜
212a　導電膜
212b　導電膜
214　絕緣膜
216　絕緣膜
218　絕緣膜
220b　導電膜
252a　開口
252b　開口
252c　開口
270　電晶體
270A　電晶體
270B　電晶體
319b　氧化物半導體膜
329　導電膜
351a　液晶元件
351b　液晶元件
352　電晶體
355　電容器
355a　電容器
355b　電容器
370　像素
370a　像素

370b 像素
370c 像素
450 顯示部
451 視窗
452a 影像
452b 影像
453 按鈕
455 視窗
456 文件資訊
457 捲軸
600 基板
601 基板
602 閘極佈線
604 電容佈線
605 電容佈線
613 佈線
615 閘極佈線
616 佈線
618 汲極電極
623 絕緣膜
624 像素電極
625 絕緣膜
626 像素電極
627 絕緣膜
628 電晶體
629 電晶體
630 電容器
631 電容器
633 開口
636 彩色膜
640 共用電極
644 突起
645 配向膜

646　狹縫
647　狹縫
648　配向膜
650　液晶層
651　液晶元件
652　液晶元件
700　顯示裝置
701　基板
702　像素部
704　源極驅動電路部
705　基板
706　閘極驅動電路部
708　FPC 端子部
710　佈線
711　佈線部
712　密封材料
716　FPC
734　絕緣膜
736　彩色膜
738　遮光膜
750　電晶體
752　電晶體
760　連接電極
764　絕緣膜
766　絕緣膜
768　絕緣膜
772　導電膜
774　導電膜
775　液晶元件
776　液晶層
778　結構體
780　異方性導電膜
790　電容器

5000 外殼
5001 顯示部
5002 顯示部
5003 揚聲器
5004 LED 燈
5005 操作鍵
5006 連接端子
5007 感測器
5008 麥克風
5009 開關
5010 紅外線埠
5011 記錄介質讀取部
5012 支撐部
5013 耳機
5014 天線
5015 快門按鈕
5016 影像接收部
5017 充電器
5100 顆粒
5120 基板
5161 區域
5200 顆粒
5201 離子
5202 橫向生長部
5203 粒子
5220 基板
5230 靶材
5240 電漿
5260 加熱機構
8000 顯示模組
8001 上蓋
8002 下蓋
8003 FPC

8004　觸控面板
8005　FPC
8006　顯示面板
8007　背光
8008　光源
8009　框架
8010　印刷電路板
8011　電池

申請專利範圍

1.一種半導體裝置，包括：

電晶體；

第一絕緣膜；以及

電容器，該電容器在一對電極之間包括第二絕緣膜，

其中，該電晶體包括：

閘極電極；

該閘極電極上的閘極絕緣膜；

該閘極絕緣膜上的第一氧化物半導體膜，該第一氧化物半導體膜與該閘極電極重疊；以及

與該第一氧化物半導體膜電連接的源極電極及汲極電極，

該電容器的該一對電極中的一個包括第二氧化物半導體膜，

該第一絕緣膜在該第一氧化物半導體膜上，

並且，該第二絕緣膜在該第二氧化物半導體膜上，而該第二氧化物半導體膜夾在該第一絕緣膜和該第二絕緣膜之間。

2.根據申請專利範圍第 1 項之半導體裝置，還包括第一導電膜，其中該電容器的該一對電極中的另一個包括該第一導電膜。

3.根據申請專利範圍第 1 項之半導體裝置，其中該電晶體包括與該第一氧化物半導體膜重疊的第三氧化物半導體膜，

並且該第二氧化物半導體膜和該第三氧化物半導體膜使用相同層形成。

4.根據申請專利範圍第2項之半導體裝置，其中該電晶體包括第二導電膜，該第一絕緣膜、該第二絕緣膜和該第二導電膜與該第一氧化物半導體膜重疊，並且該第一導電膜和該第二導電膜使用相同層形成。

5.根據申請專利範圍第1項之半導體裝置，其中該電容器使可見光透過。

6.根據申請專利範圍第1項之半導體裝置，其中該第一氧化物半導體膜和該第二氧化物半導體膜包含In-M-Zn氧化物，並且M是Al、Ti、Ga、Y、Zr、La、Ce、Nd、Sn和Hf中的任一個。

7.根據申請專利範圍第1項之半導體裝置，其中該第一絕緣膜包含氧，並且該第二絕緣膜包含氫。

8.根據申請專利範圍第1項之半導體裝置，其中該第一絕緣膜與該第一氧化物半導體膜接觸。

9.根據申請專利範圍第1項之半導體裝置，其中該第二絕緣膜與該第二氧化

物半導體膜接觸。

10.一種顯示裝置，包括：

申請專利範圍第1項之半導體裝置；以及

液晶元件。

11.一種電子裝置，包括：

申請專利範圍第1項之半導體裝置，以及

開關、揚聲器、顯示部和外殼中的至少一個。

圖式

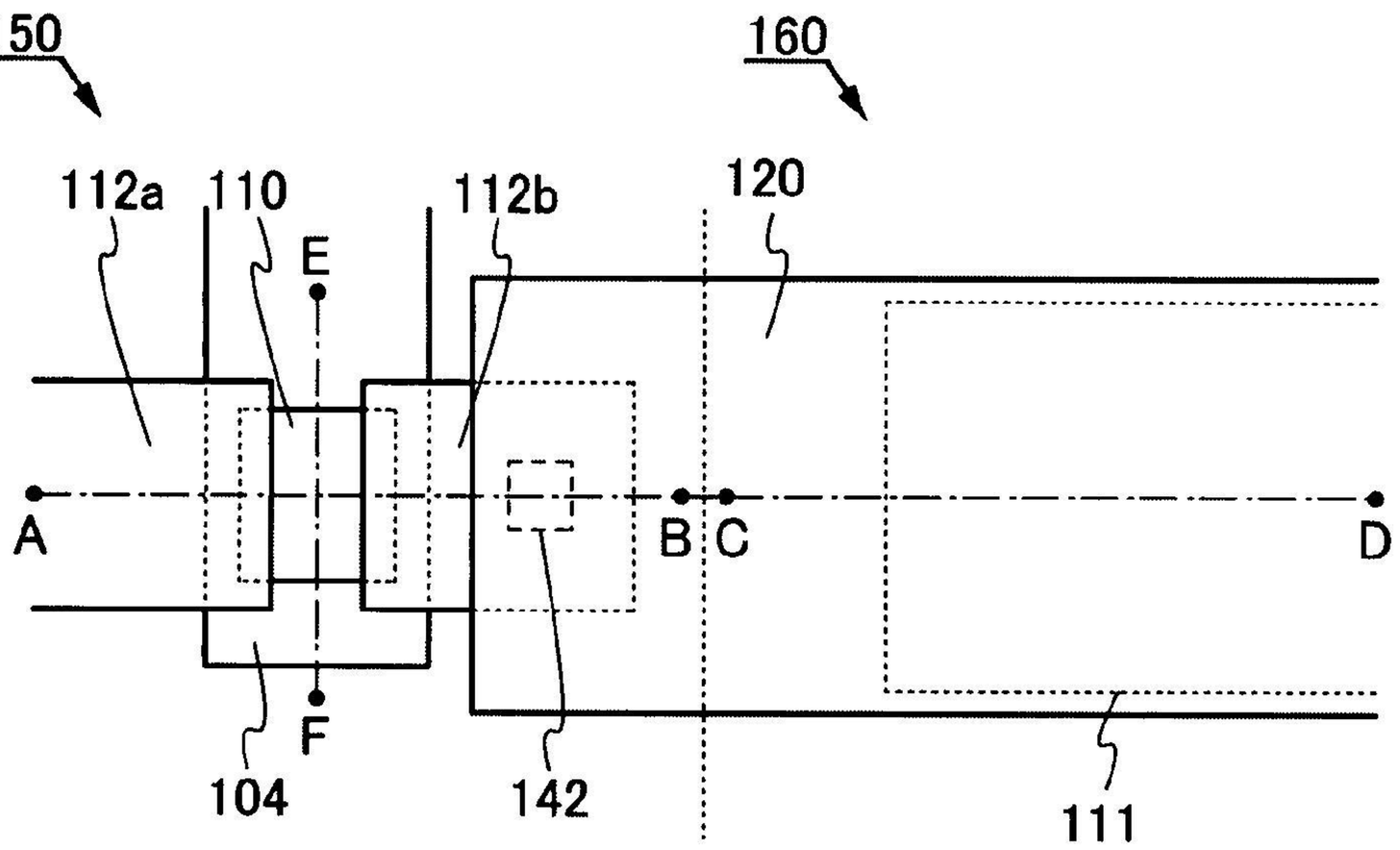

150
160
112a
110
E
112b
120
A
B
C
D
F
104
142
111

圖 1A

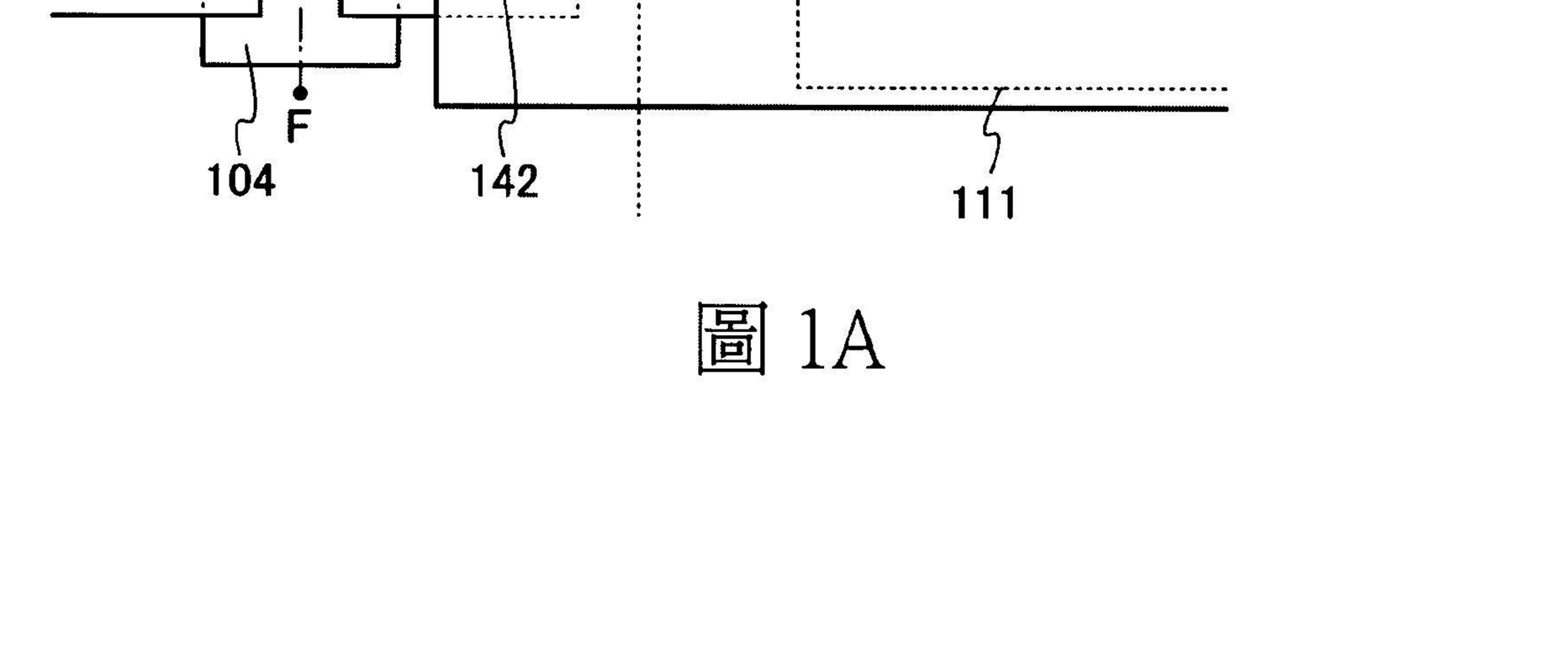

150
160
110
112a
118
112b
142
116
114
120
118
116
114
A
B
C
D
E
F
102
104
110
106
107
111
104
107
106
102
108
108

圖 1B

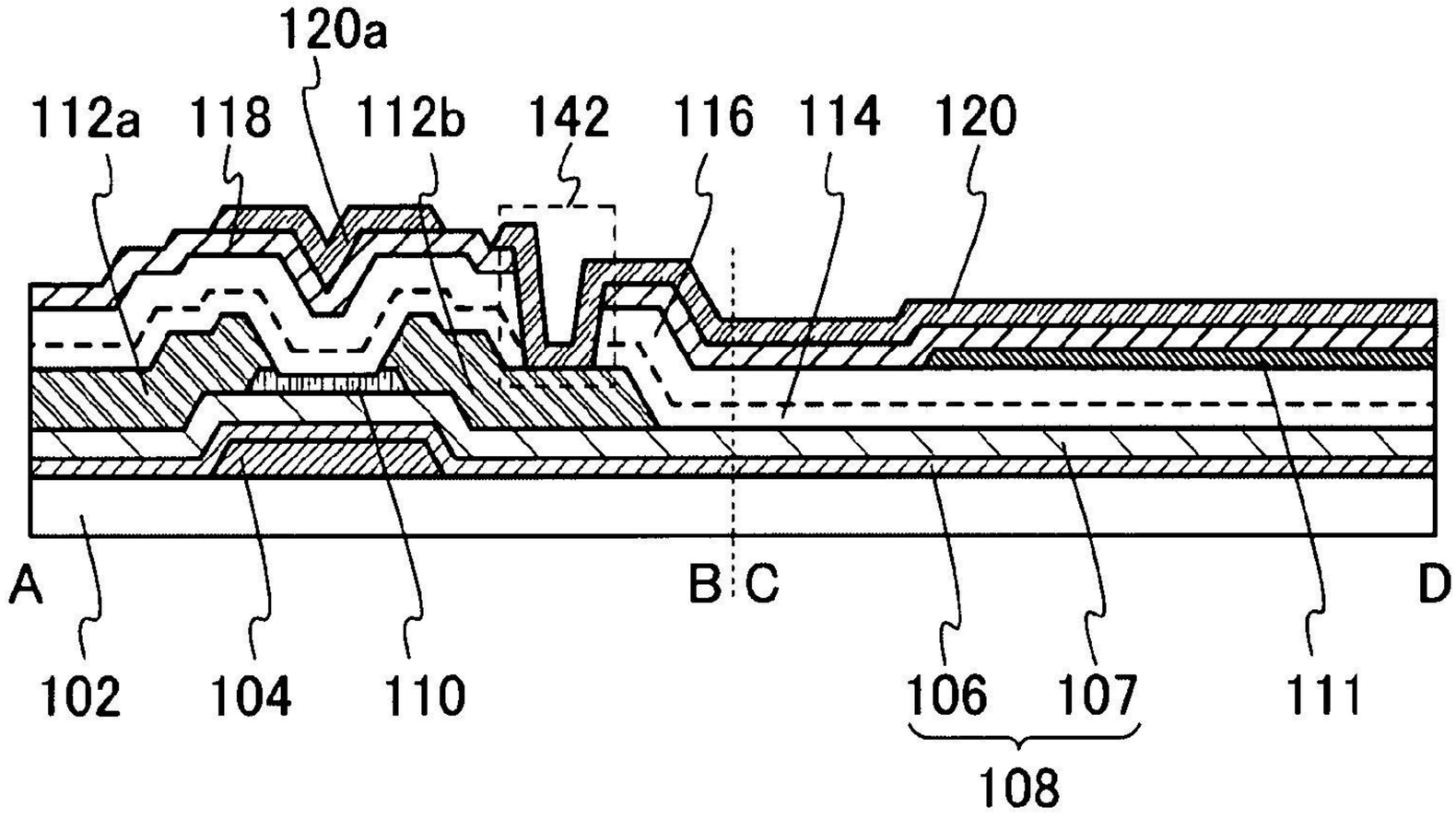

120a
112a
118
112b
142
116
114
120
A
B
C
D
102
104
110
106
107
111
108

圖 2A

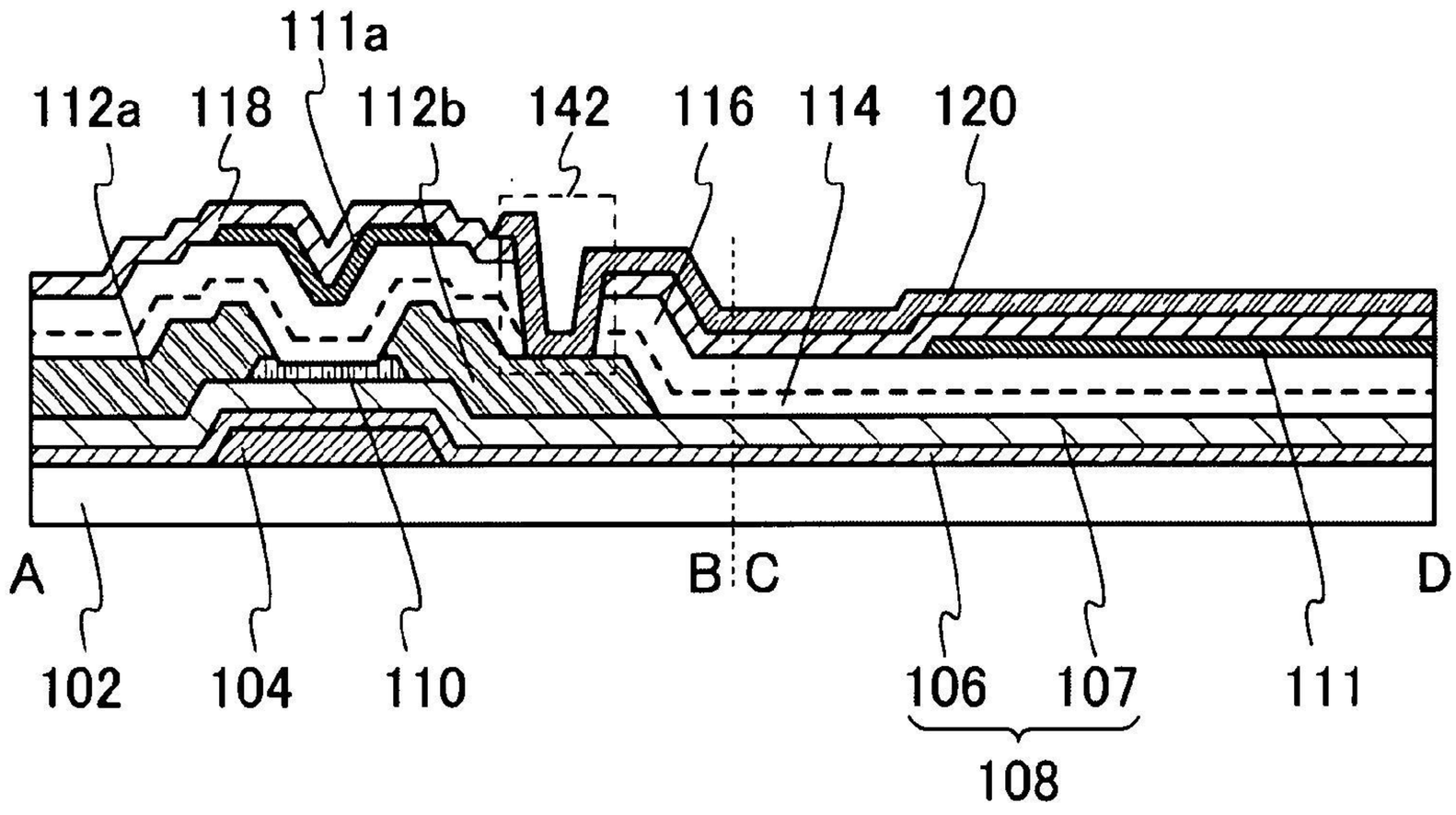

111a
112a
118
112b
142
116
114
120
A
B
C
D
102
104
110
106
107
111
108

圖 2B

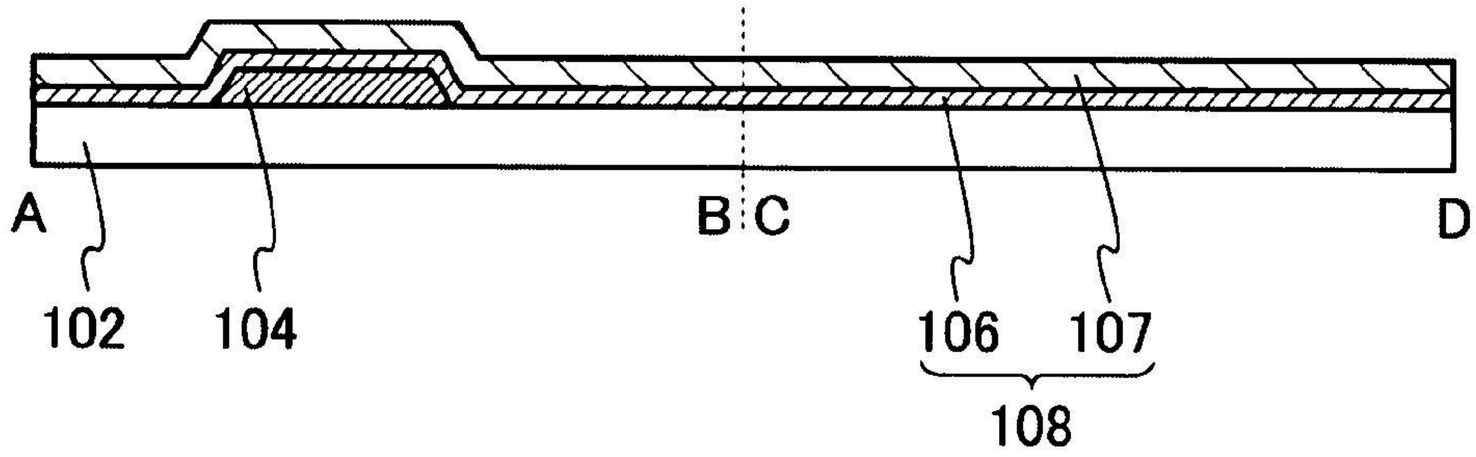


圖 3A

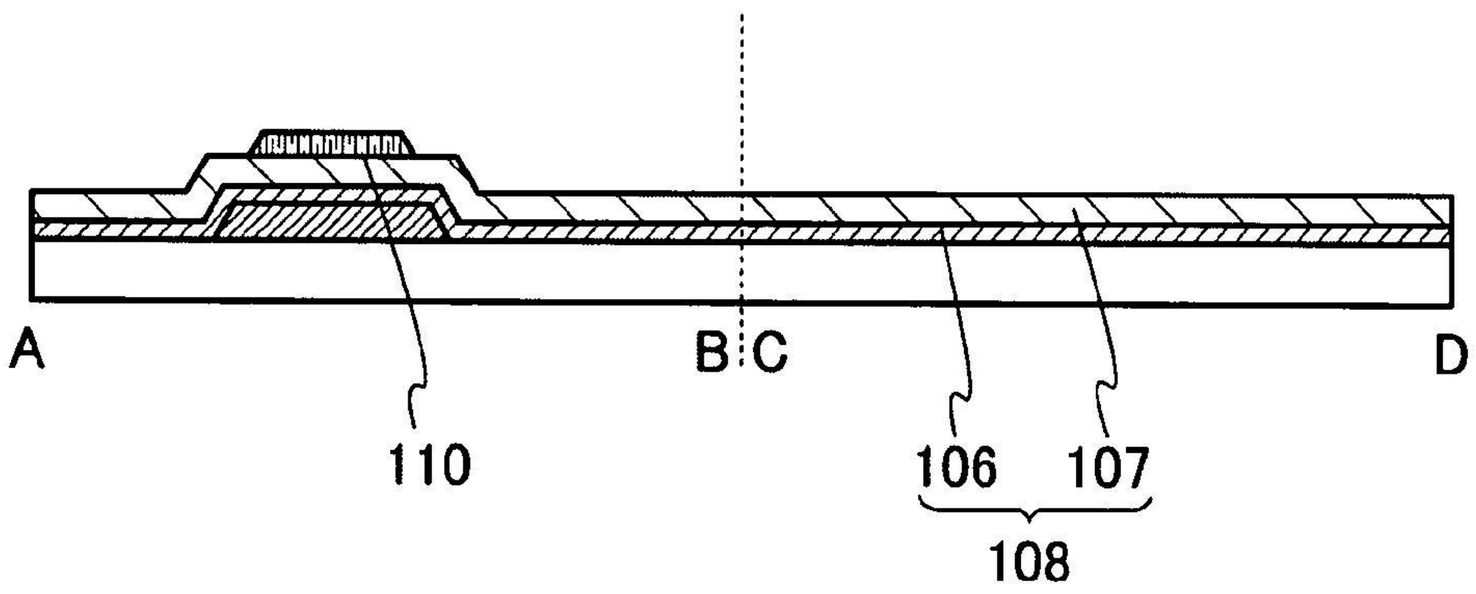


圖 3B

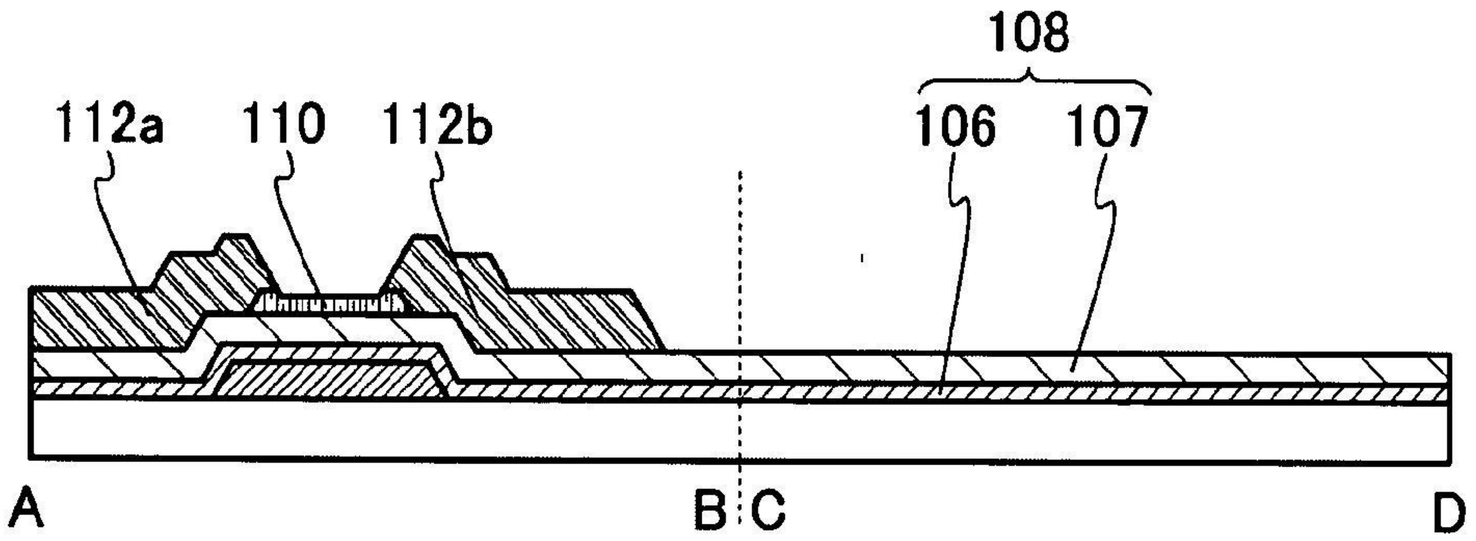


圖 3C

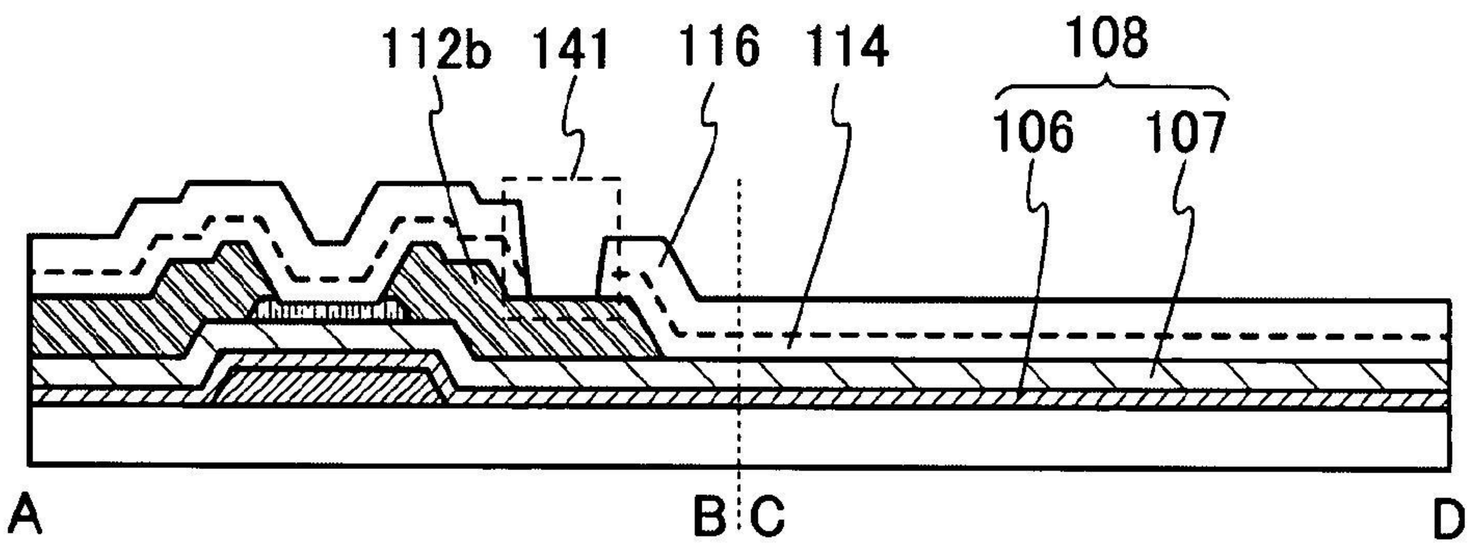


圖 3D

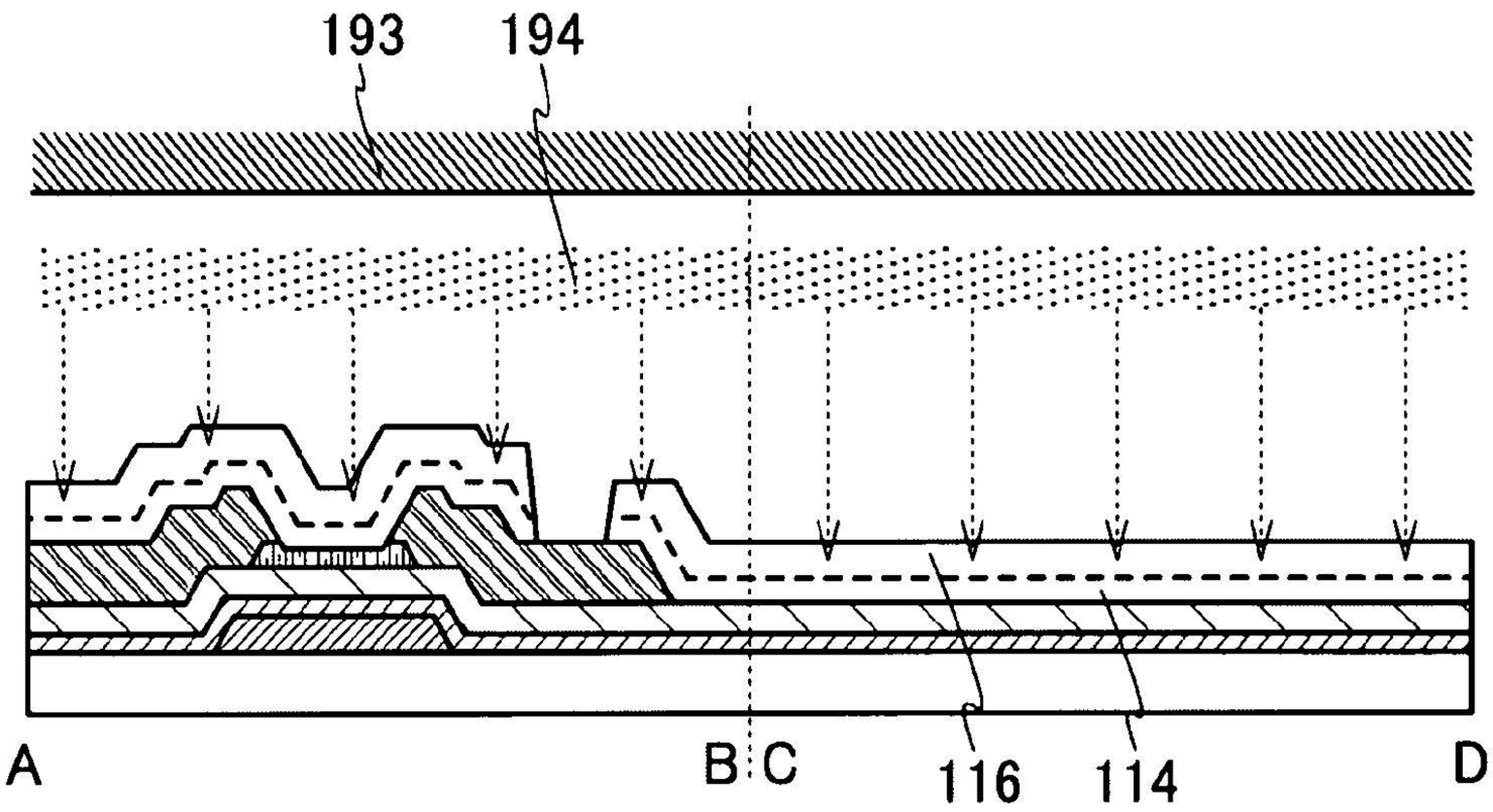


圖 4A

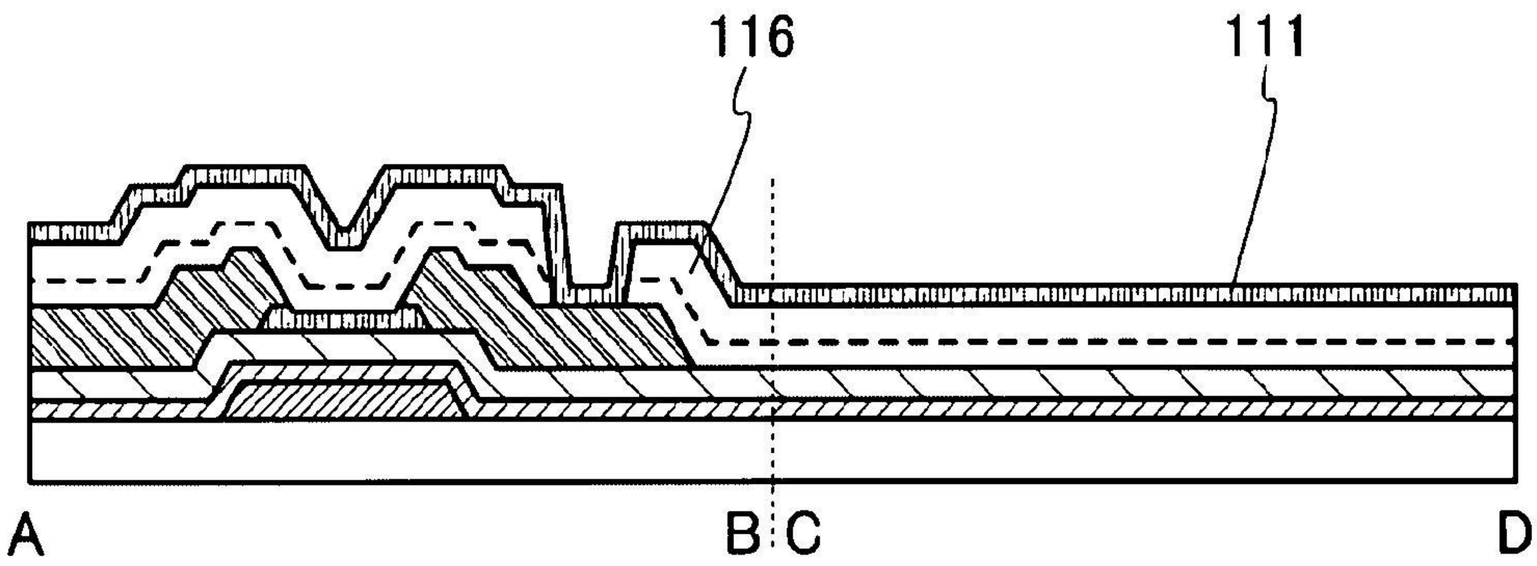


圖 4B

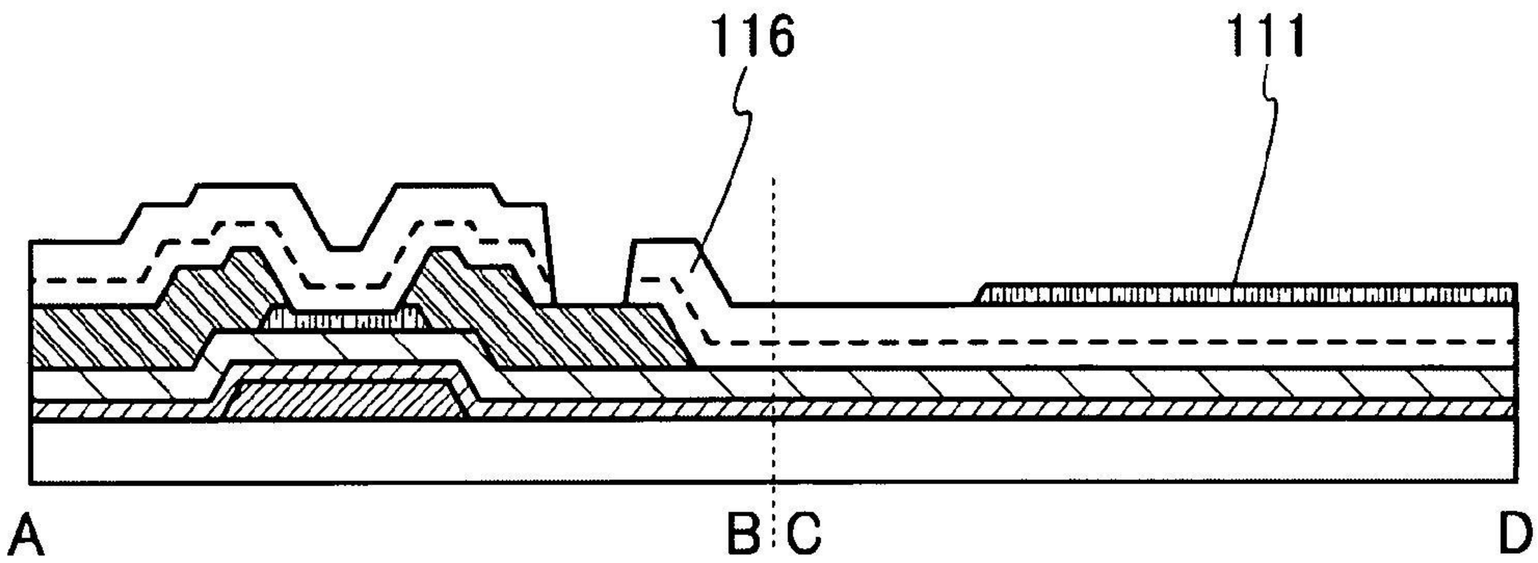


圖 4C

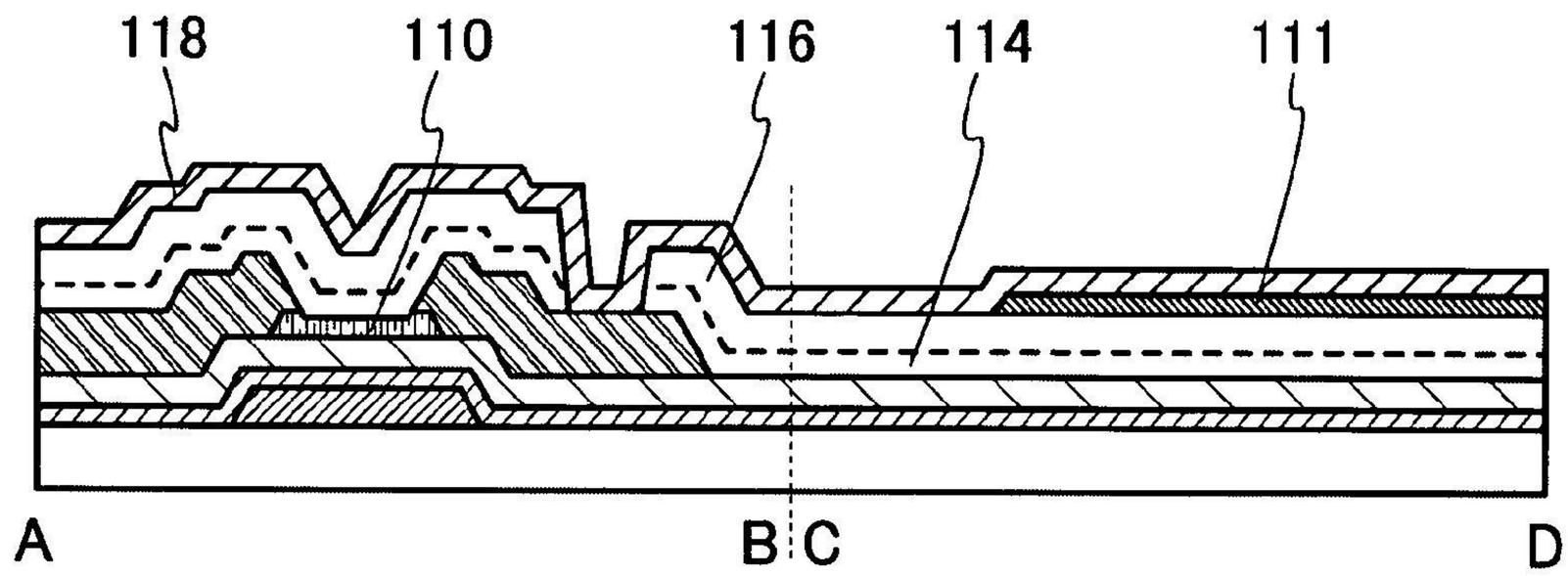

118
110
116
114
111
A
B
C
D

圖 5A

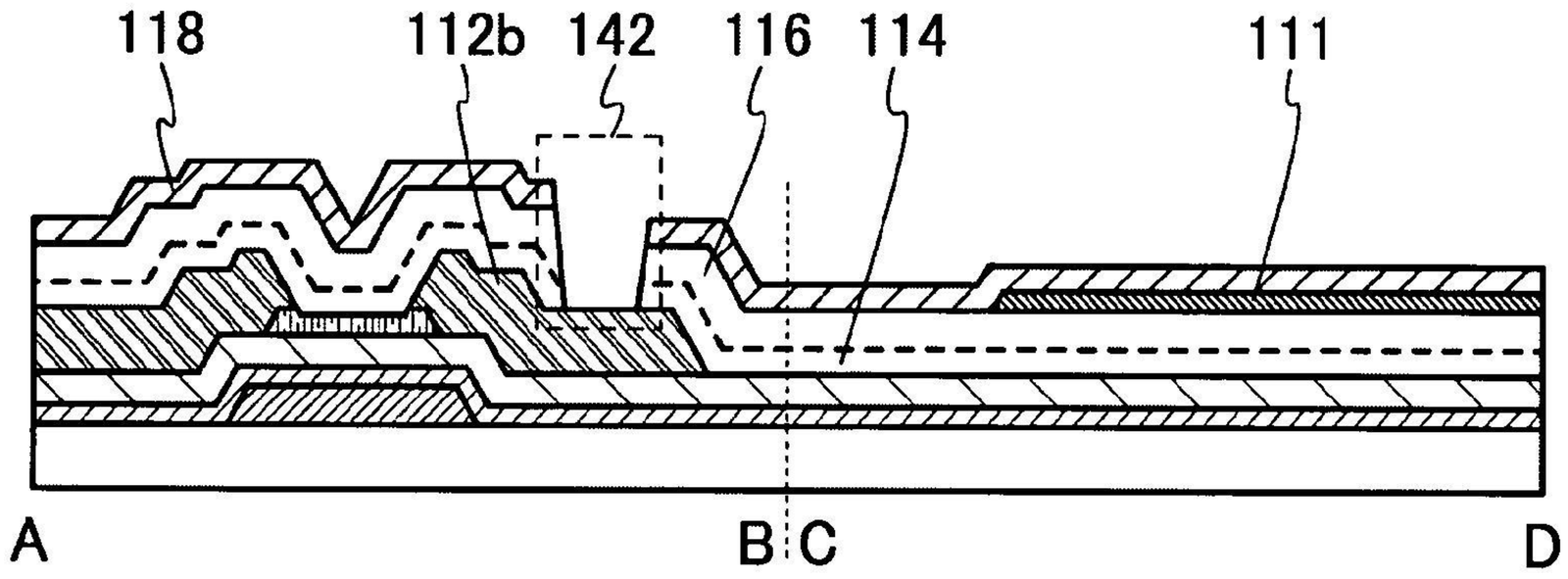

118
112b
142
116
114
111
A
B
C
D

圖 5B

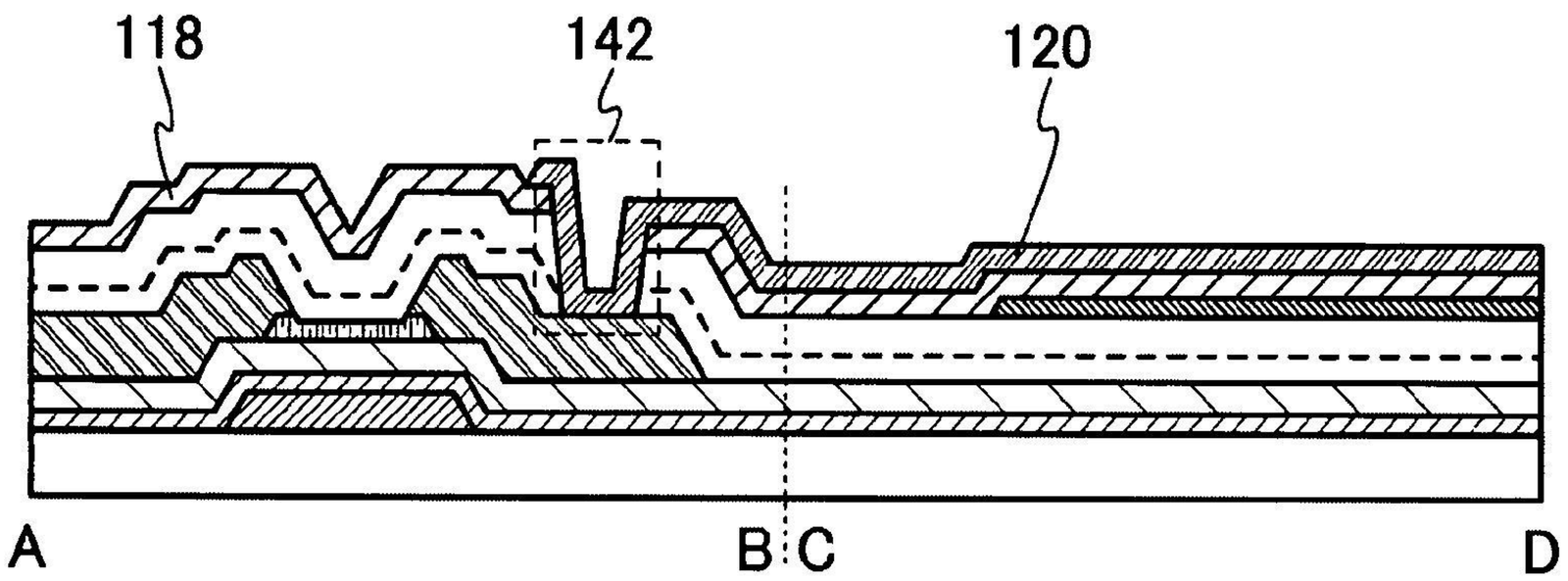

118
142
120
A
B
C
D

圖 5C

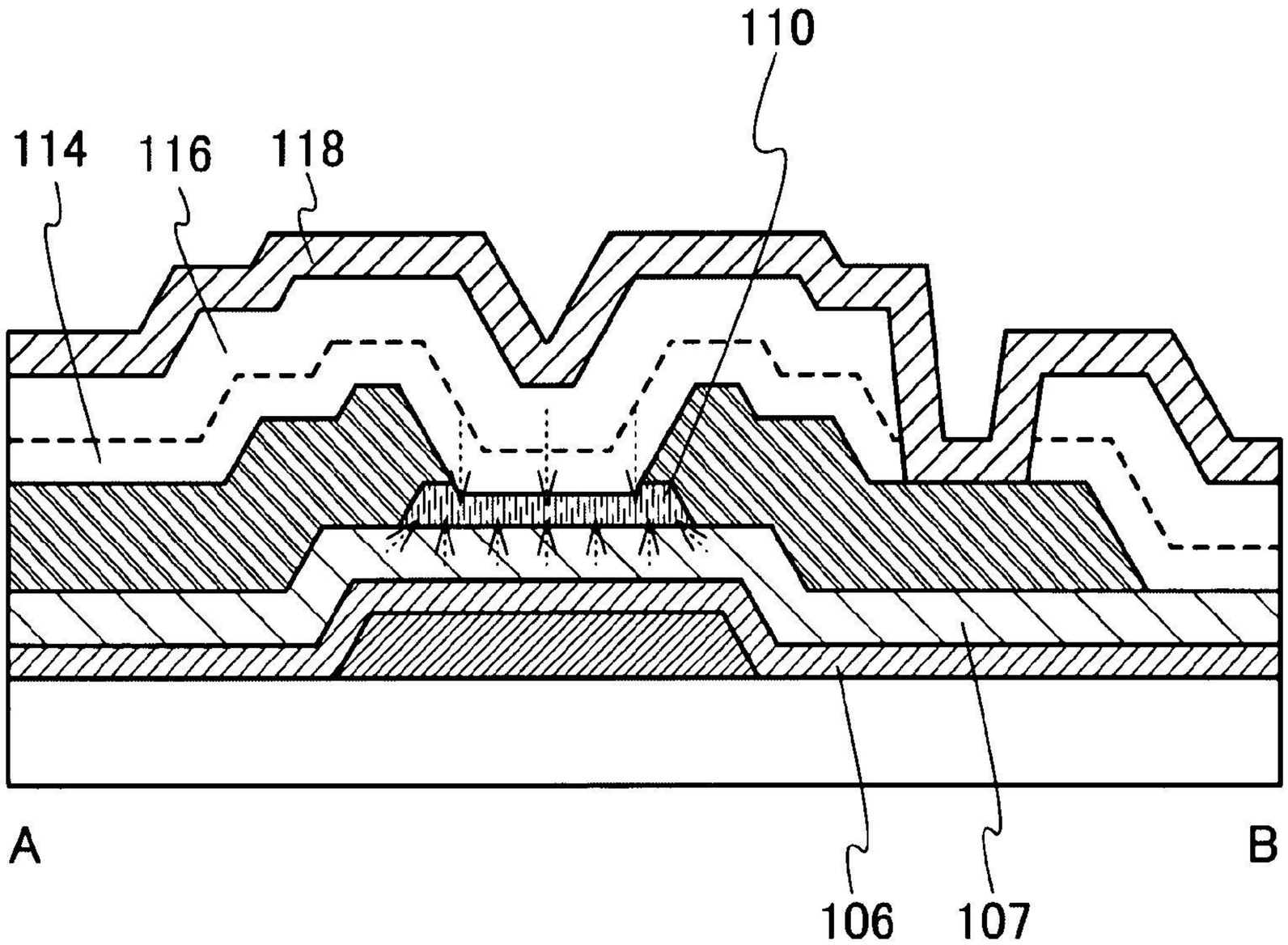


圖 6A

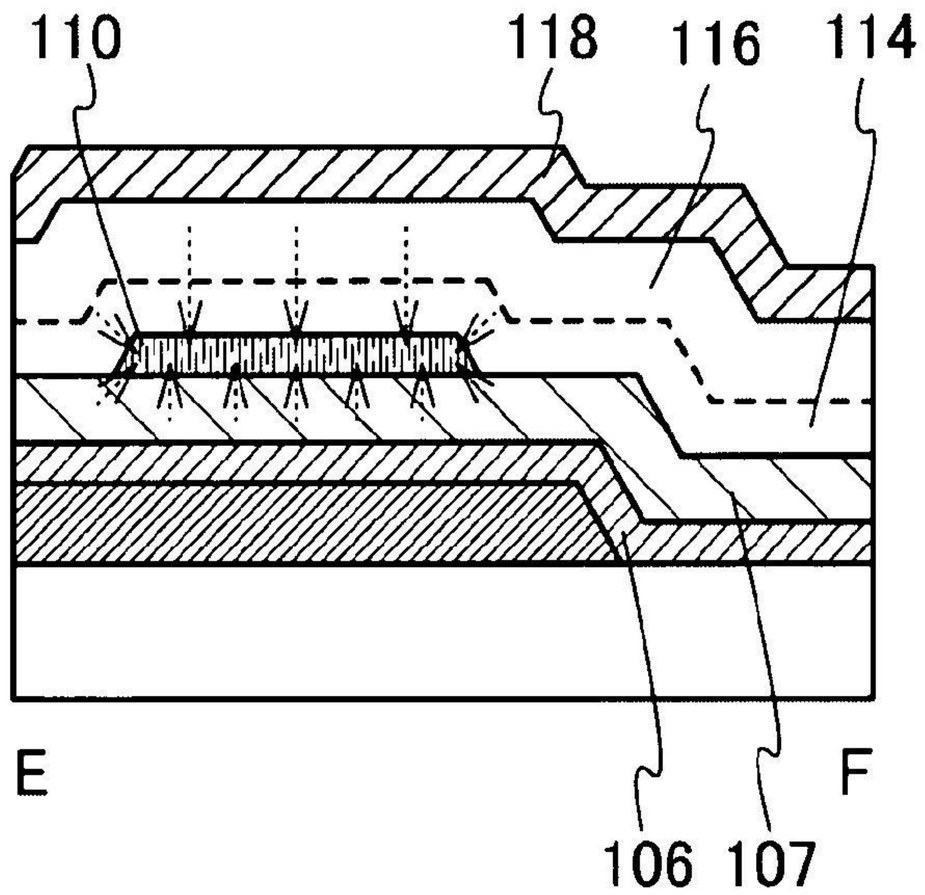


圖 6B

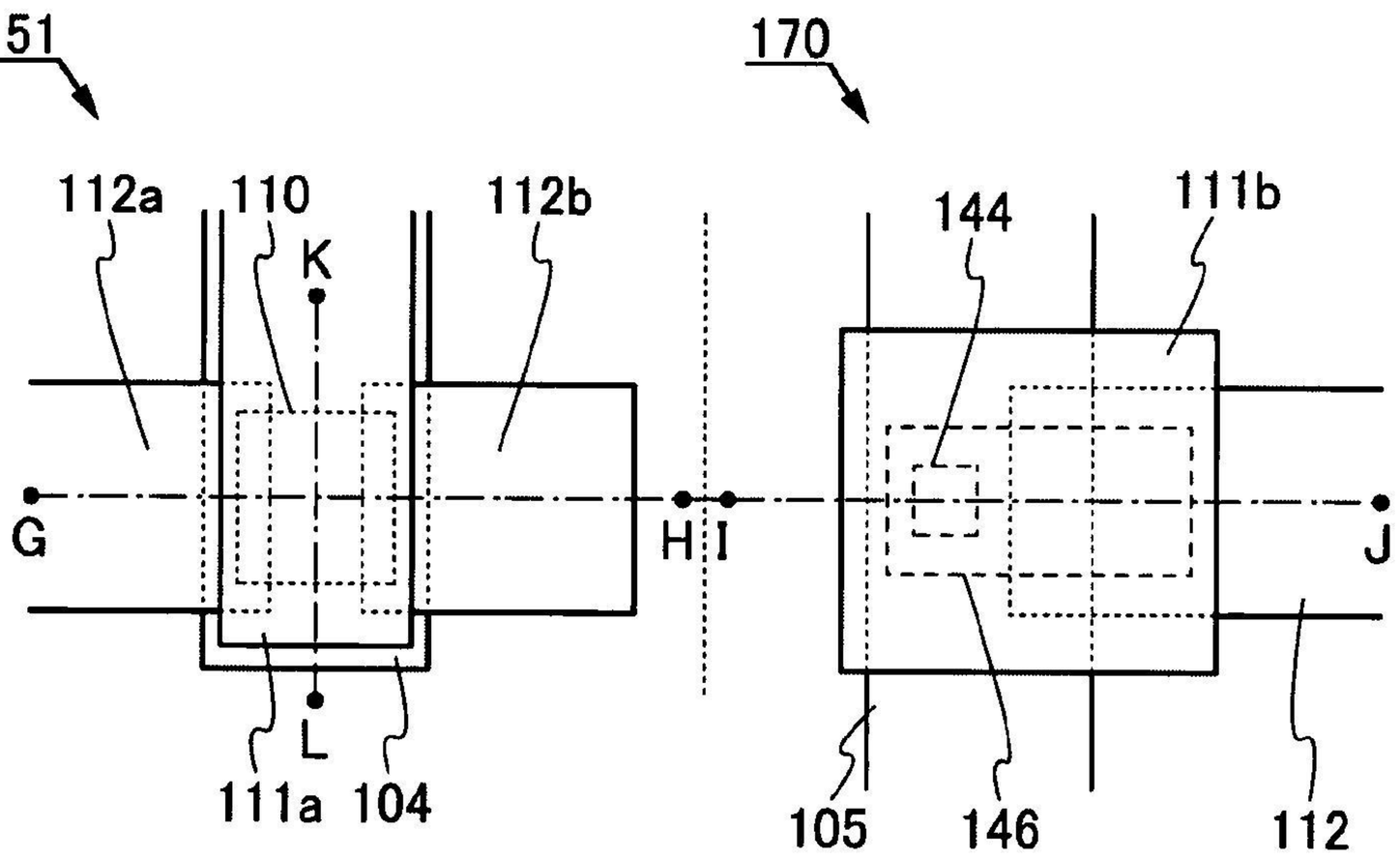

151
170
112a
110
K
112b
144
111b
G
H
I
J
L
111a
104
105
146
112

圖 7A

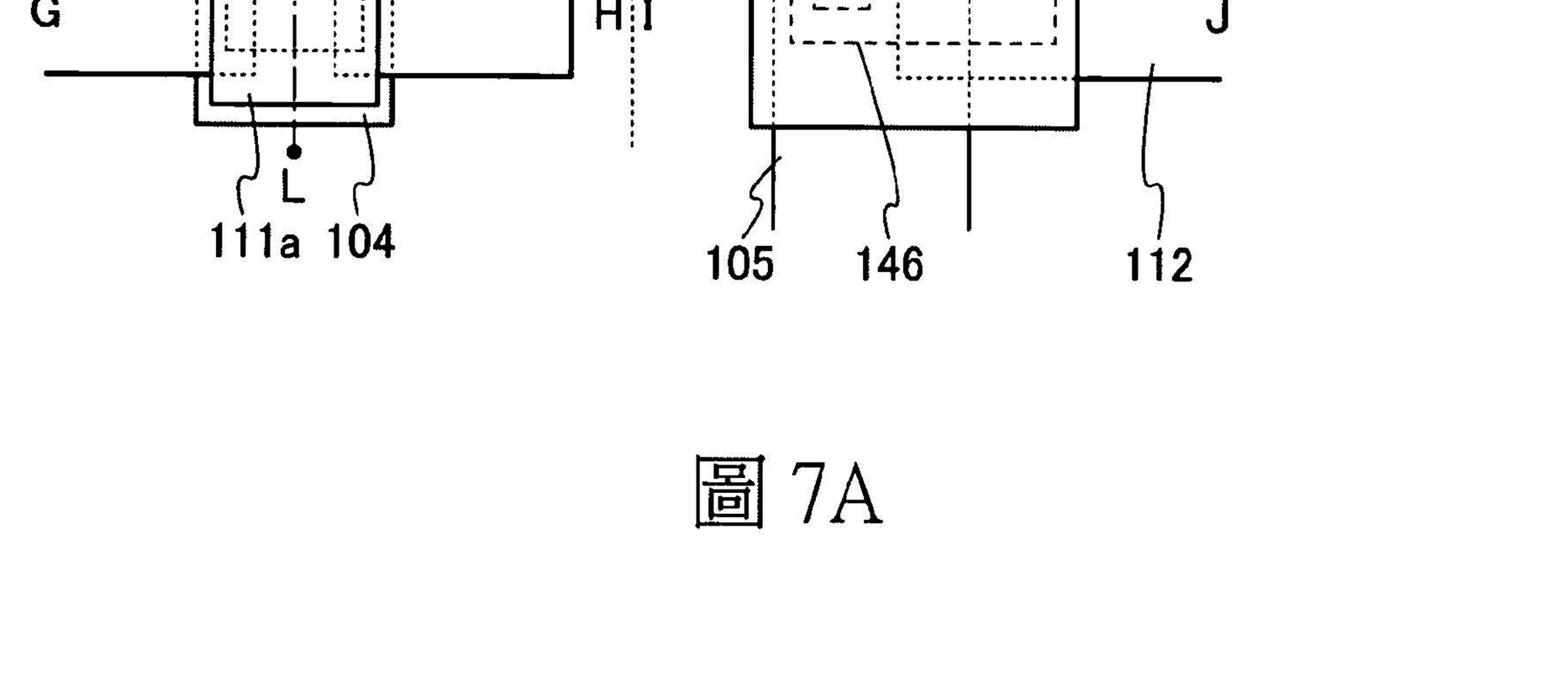

151
170
112a
111a
112b
118
116
114
146
144
112
110
111a
118
116
114
G
H
I
J
K
L
102
104
110
105
111b
106
107
108
104
102
107
106
108

圖 7B

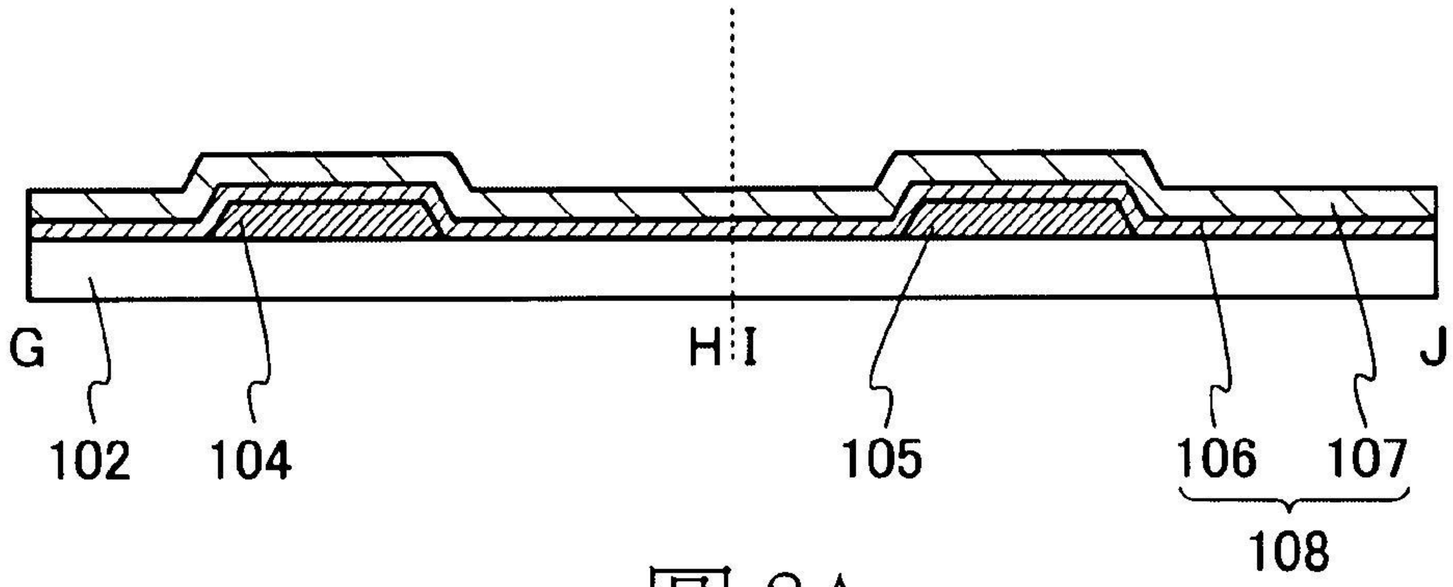


圖 8A

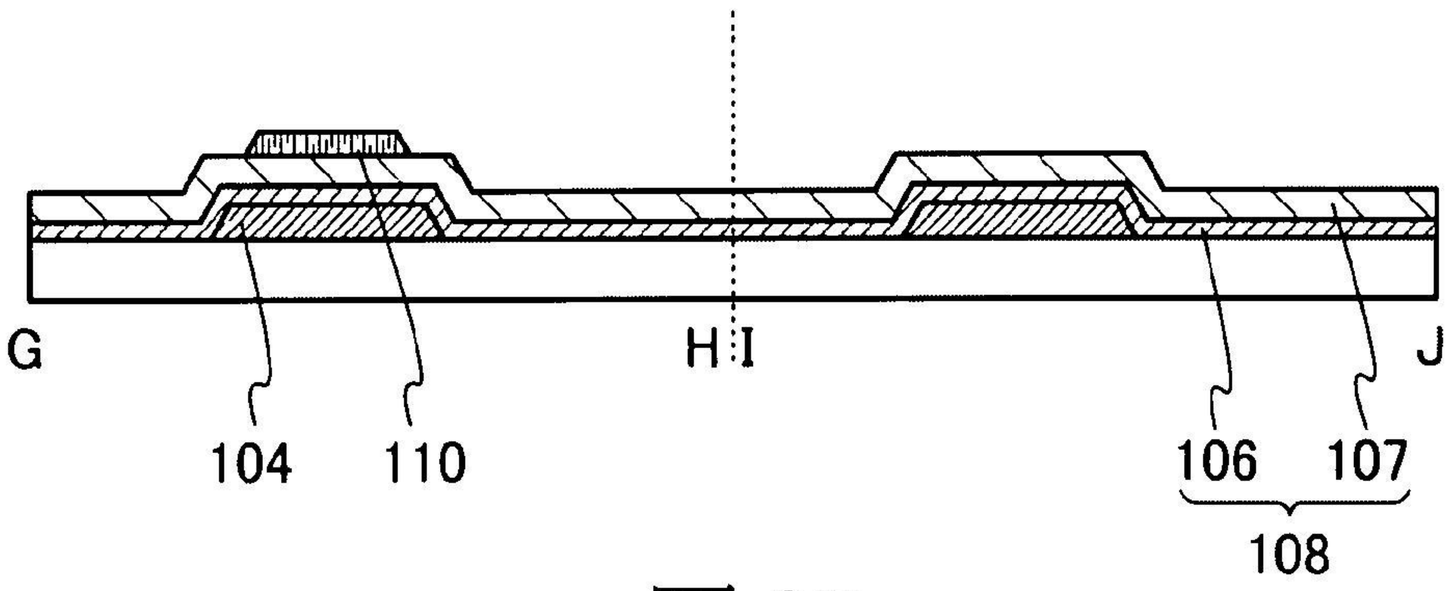


圖 8B

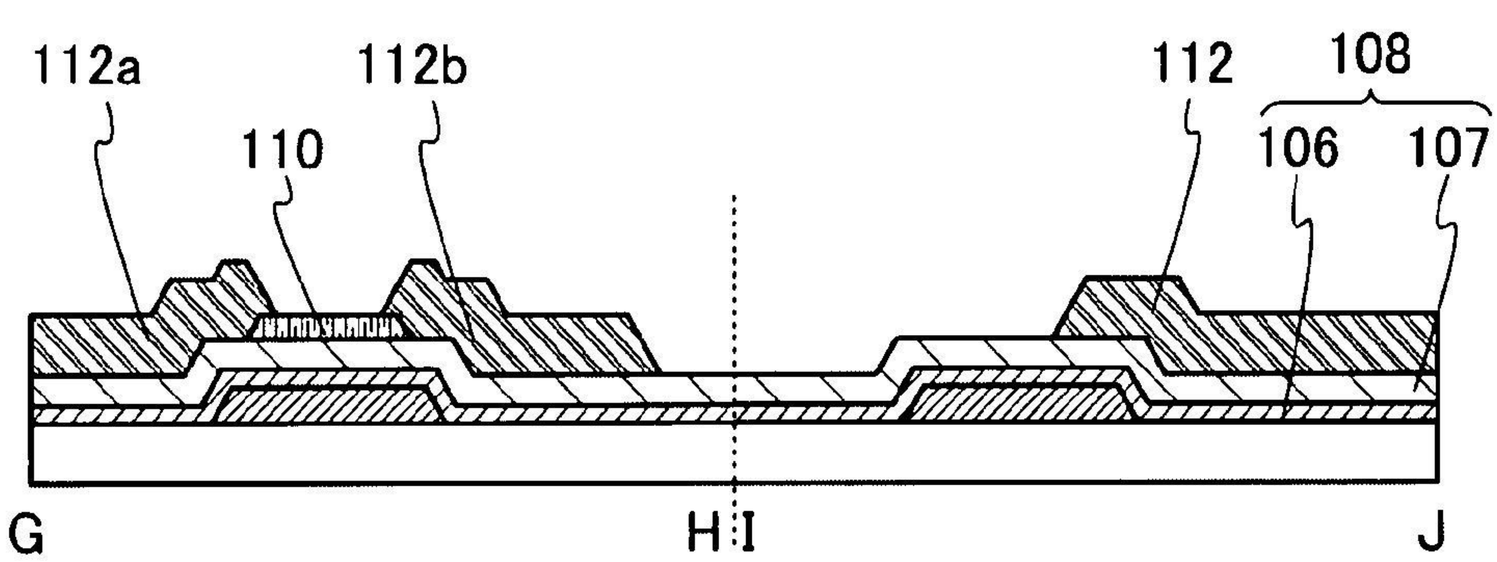


圖 8C

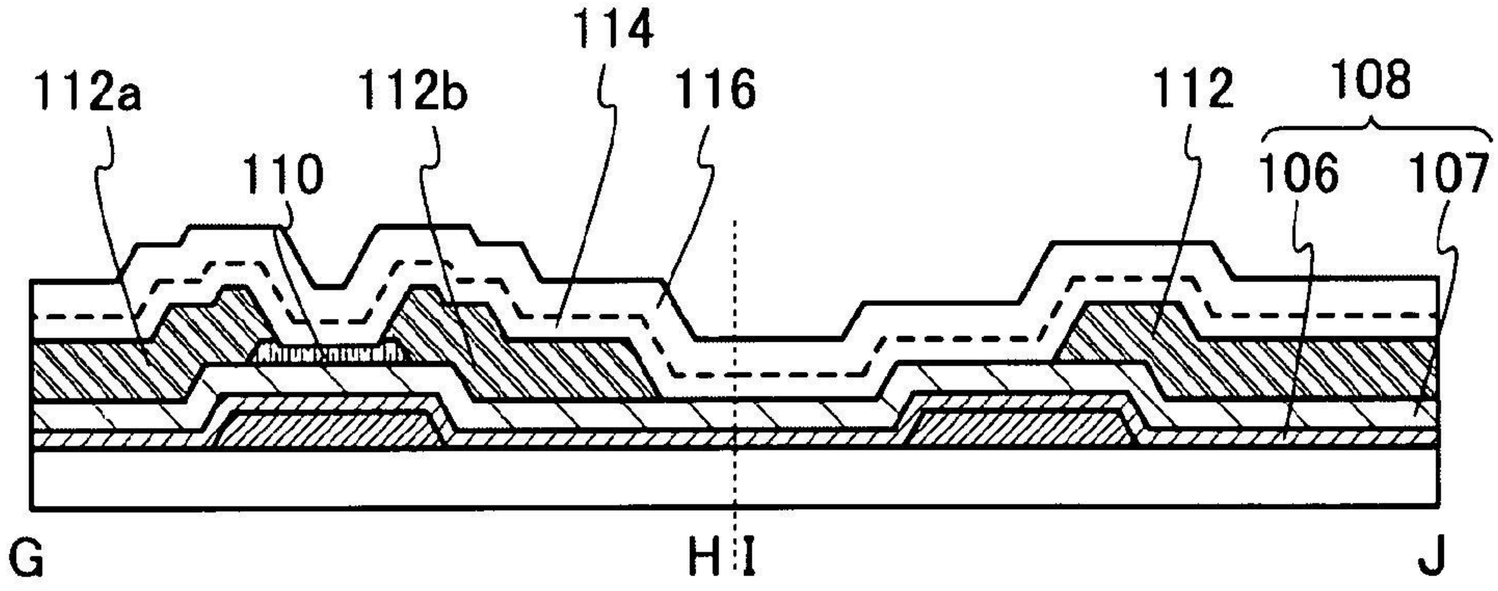


圖 8D

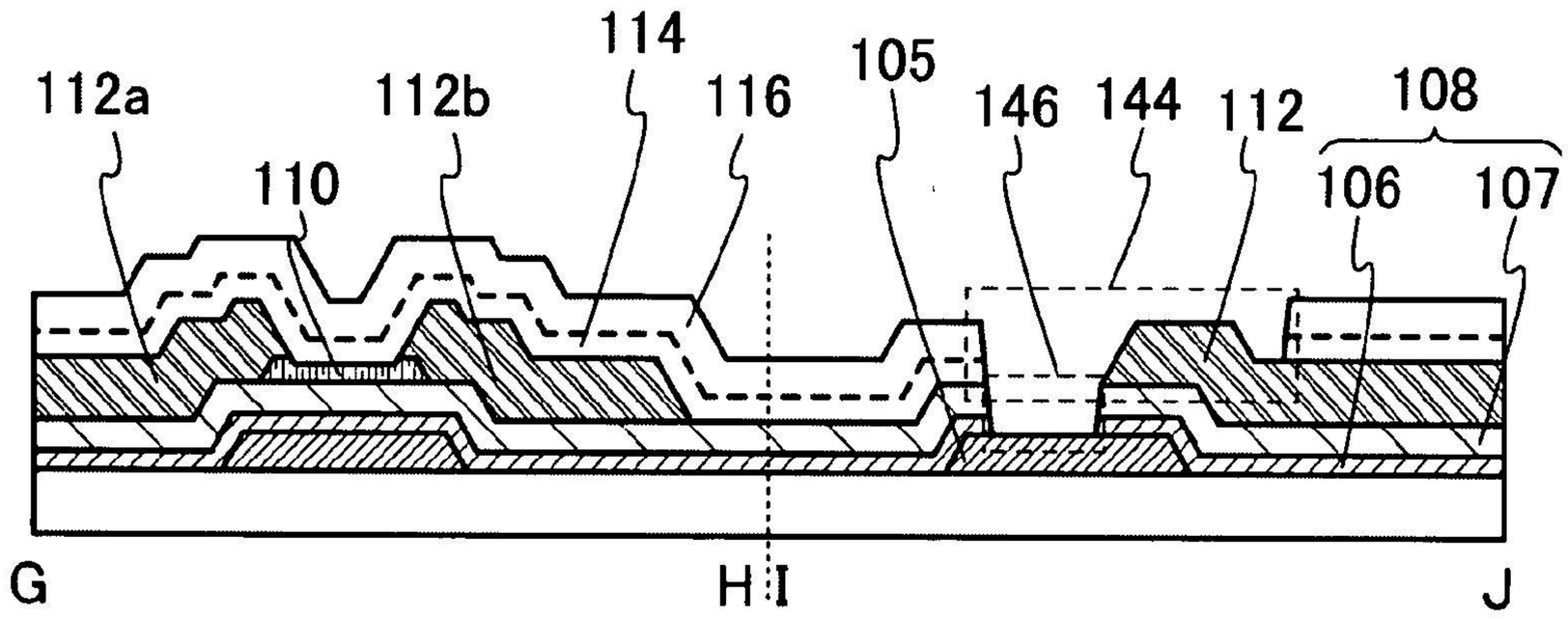

112a
110
112b
114
116
105
146
144
112
108
106
107
G
H
I
J

圖 9A

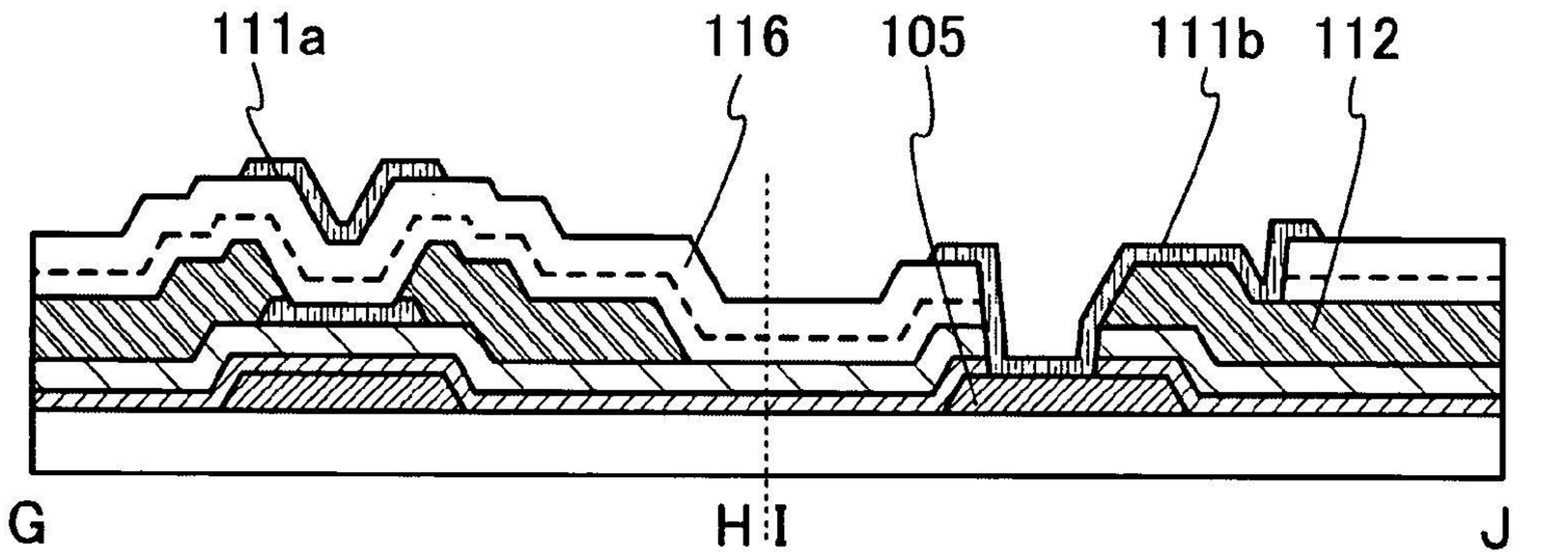

111a
116
105
111b
112
G
H
I
J

圖 9B

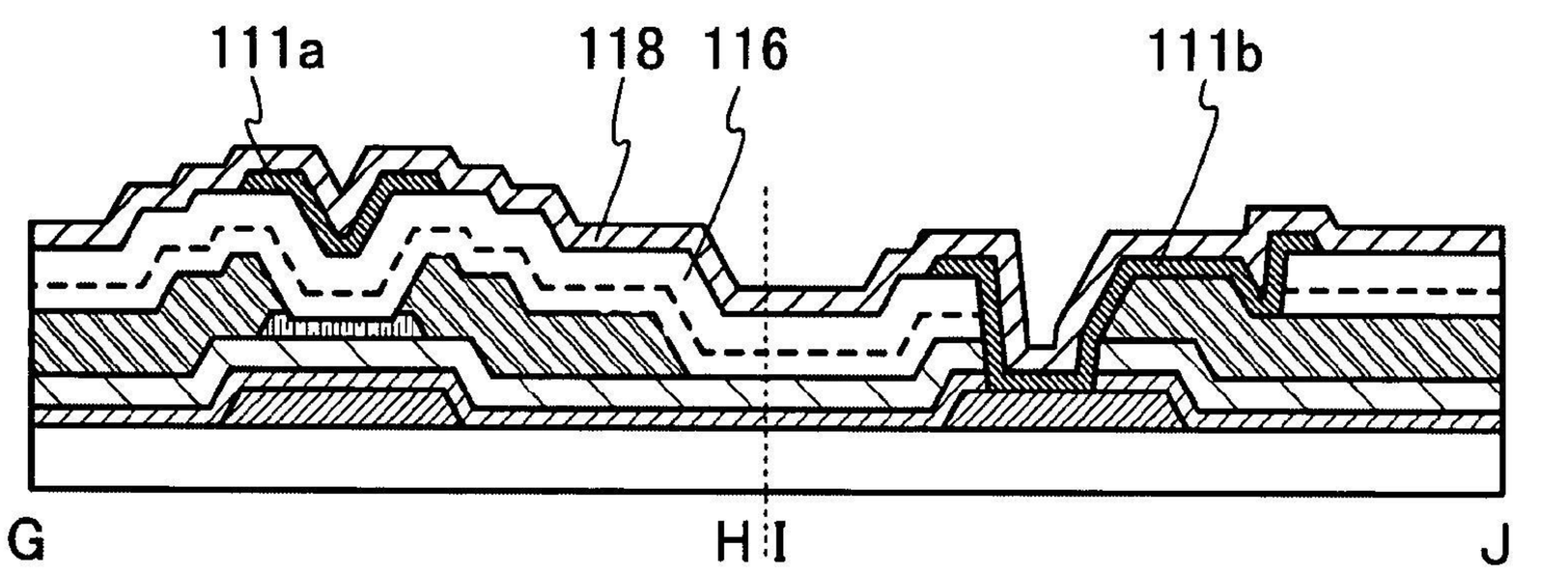

111a
118
116
111b
G
H
I
J

圖 9C

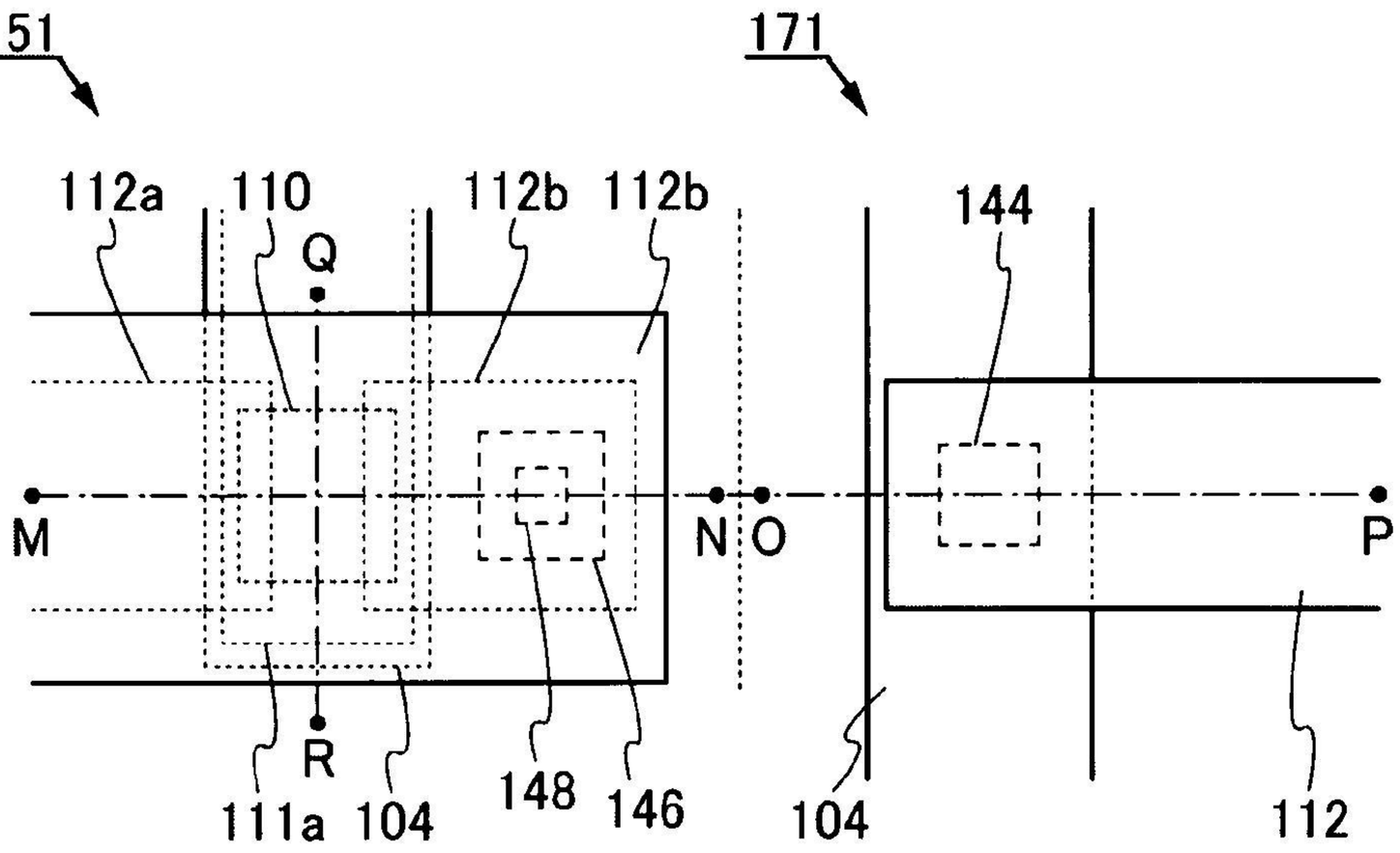

151
171
112a
110
Q
112b
112b
144
M
N
O
P
R
111a
104
148
146
104
112

圖 10A

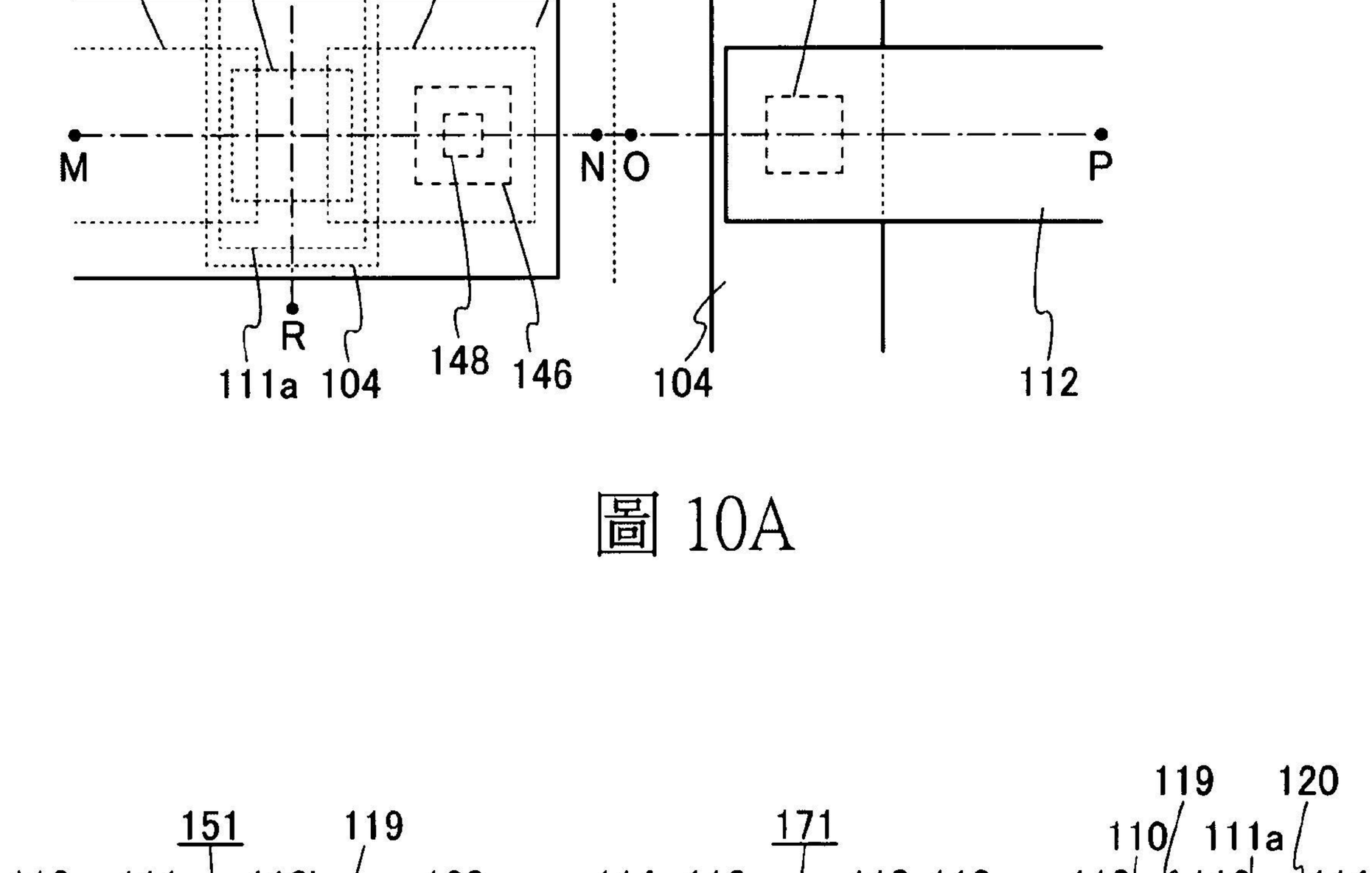

151
119
171
119
120
110
111a
112a
111a
112b
120
114
116
118
112
118
116
114
M
N
O
P
Q
R
102
104
110
146
148
105
144
106
107
104
107
106
102
108
108

圖 10B

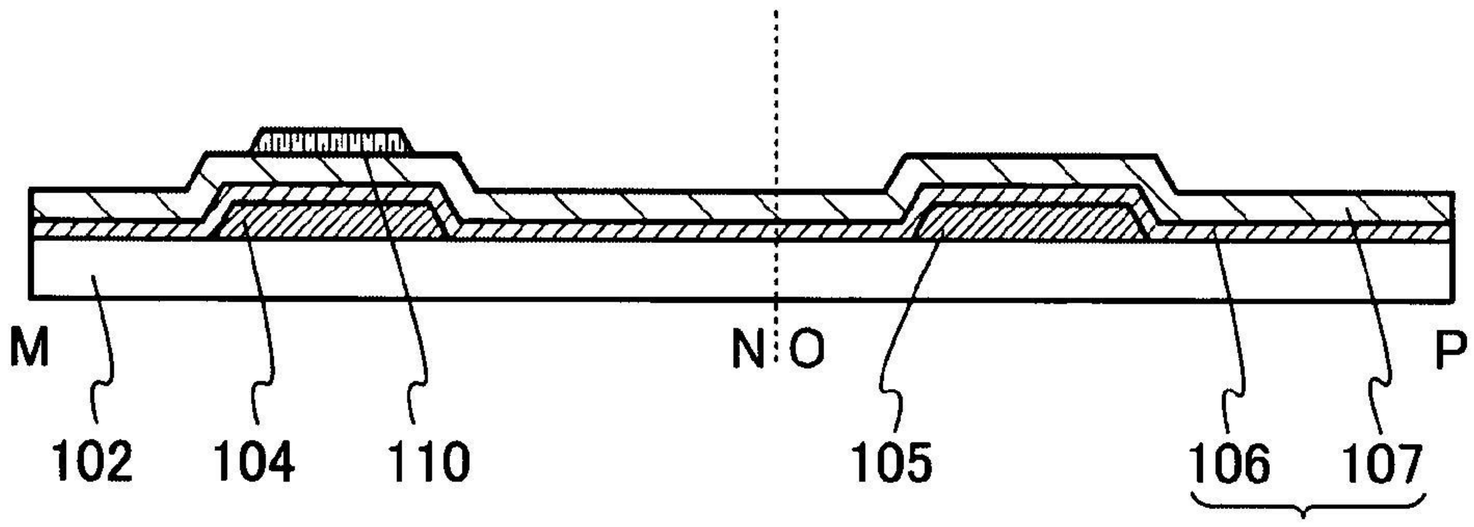


圖 11A

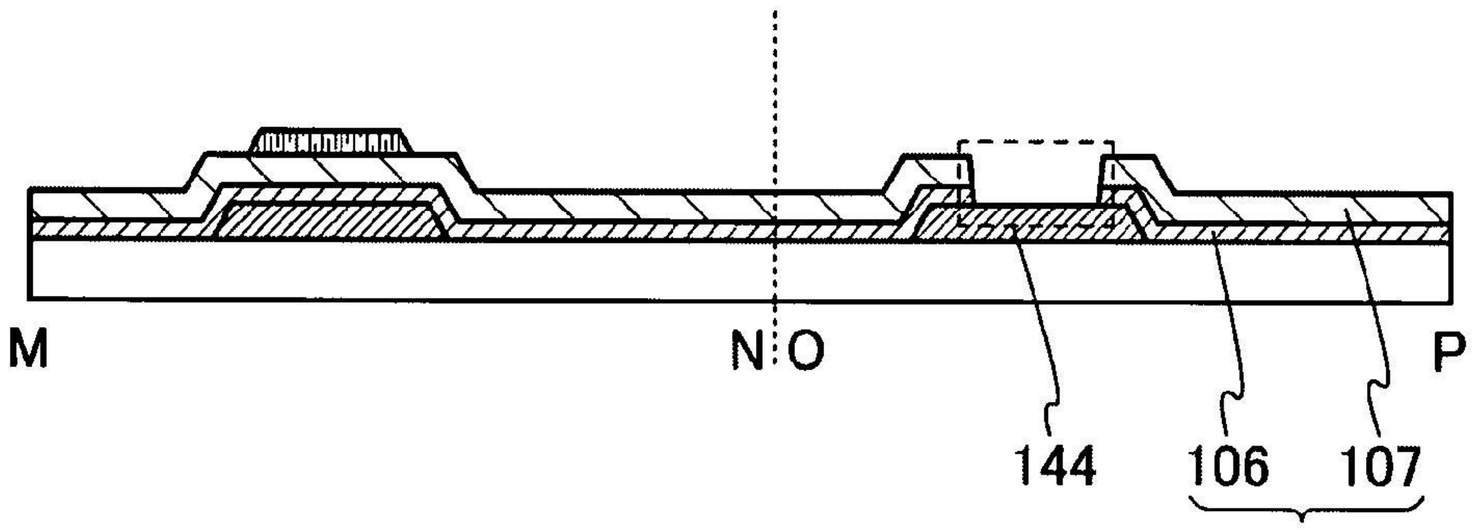


圖 11B

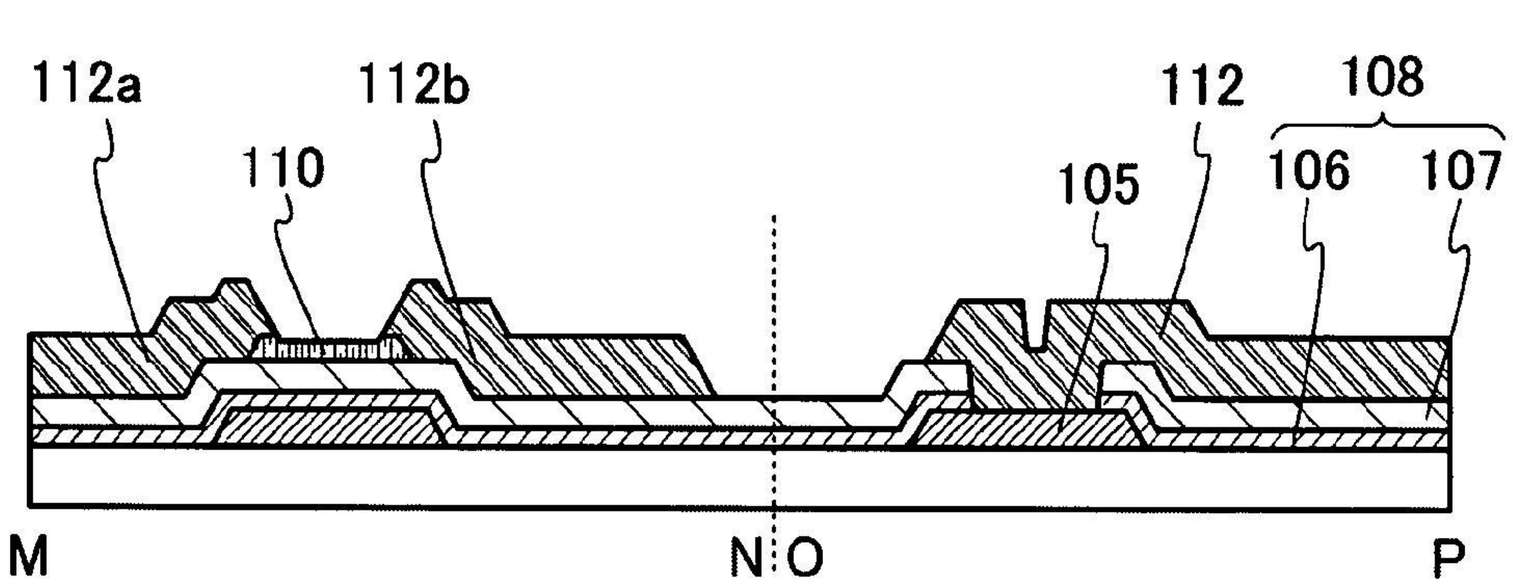


圖 11C

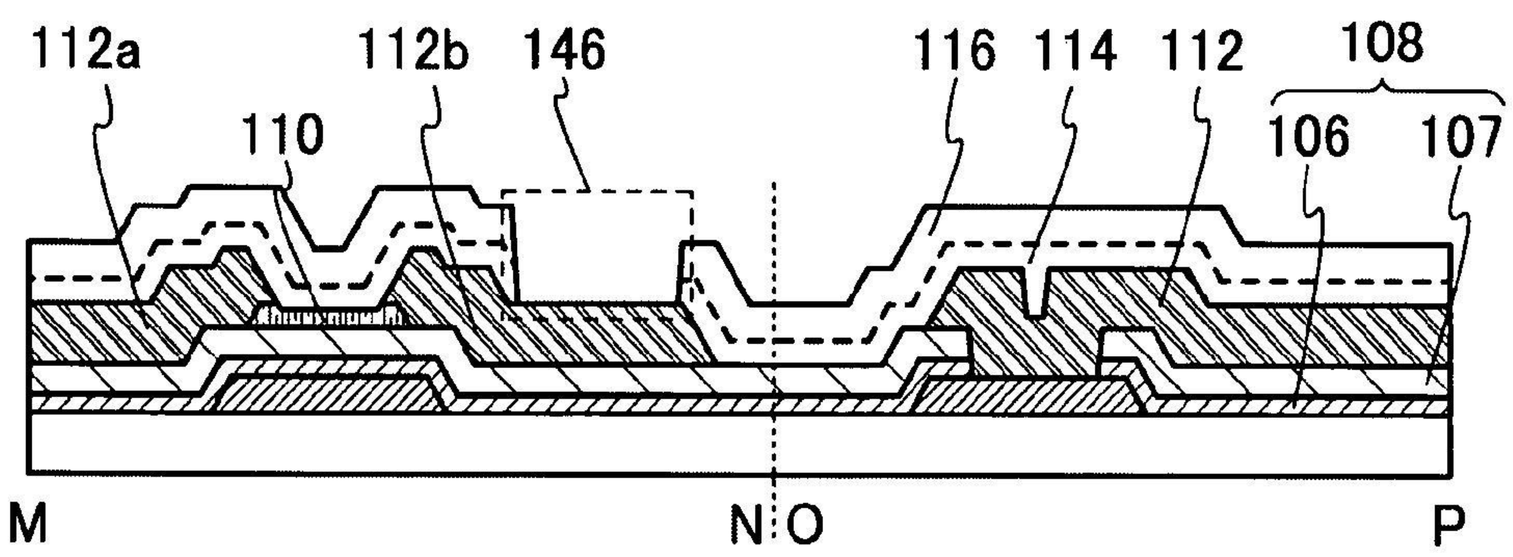


圖 11D

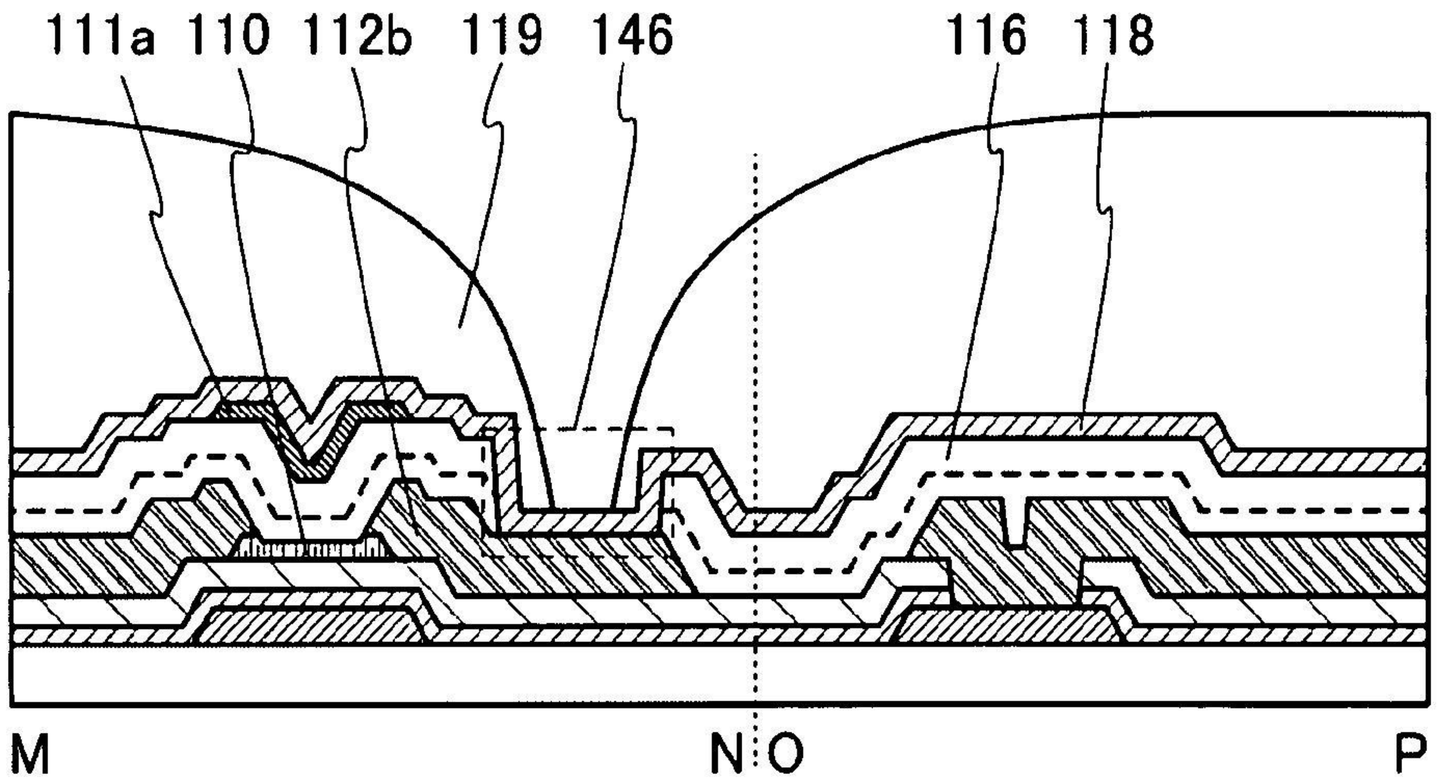


圖 12A

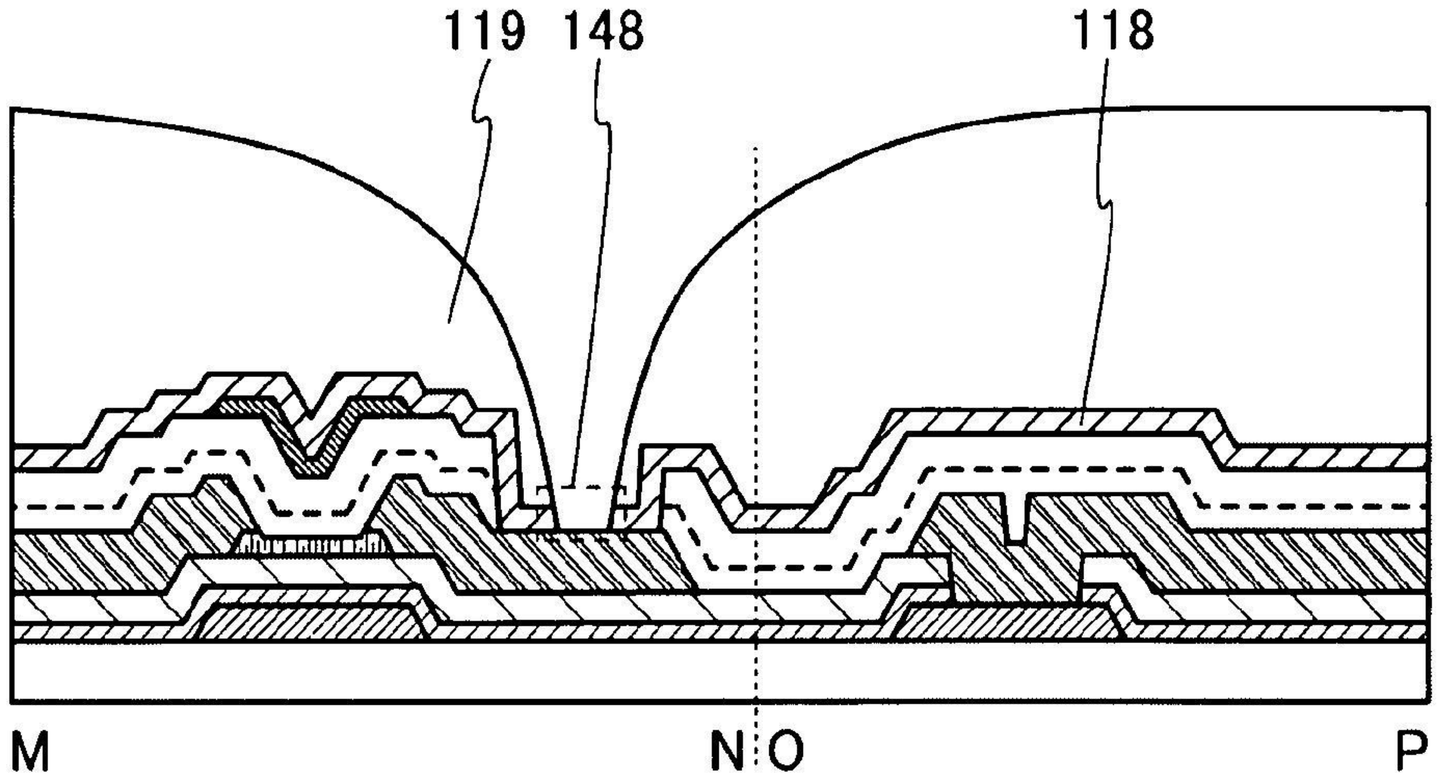


圖 12B

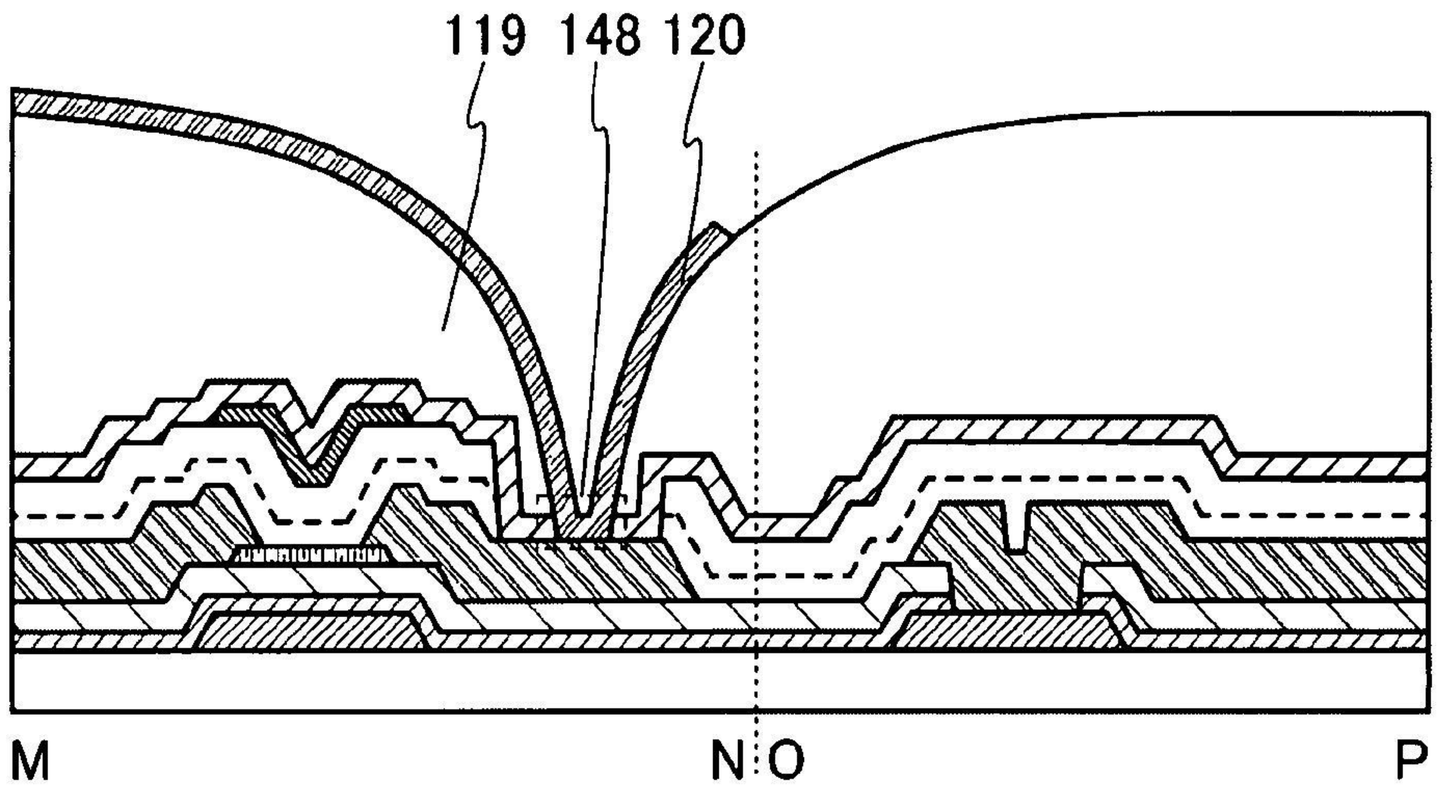


圖 12C

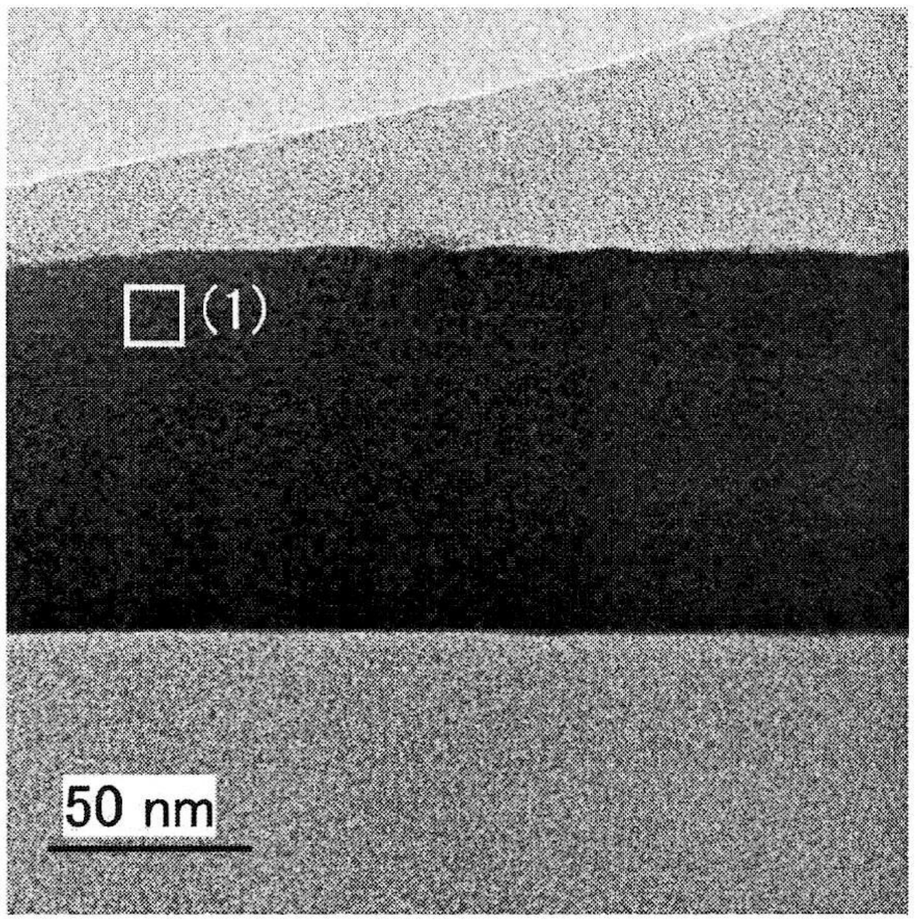


圖 13A

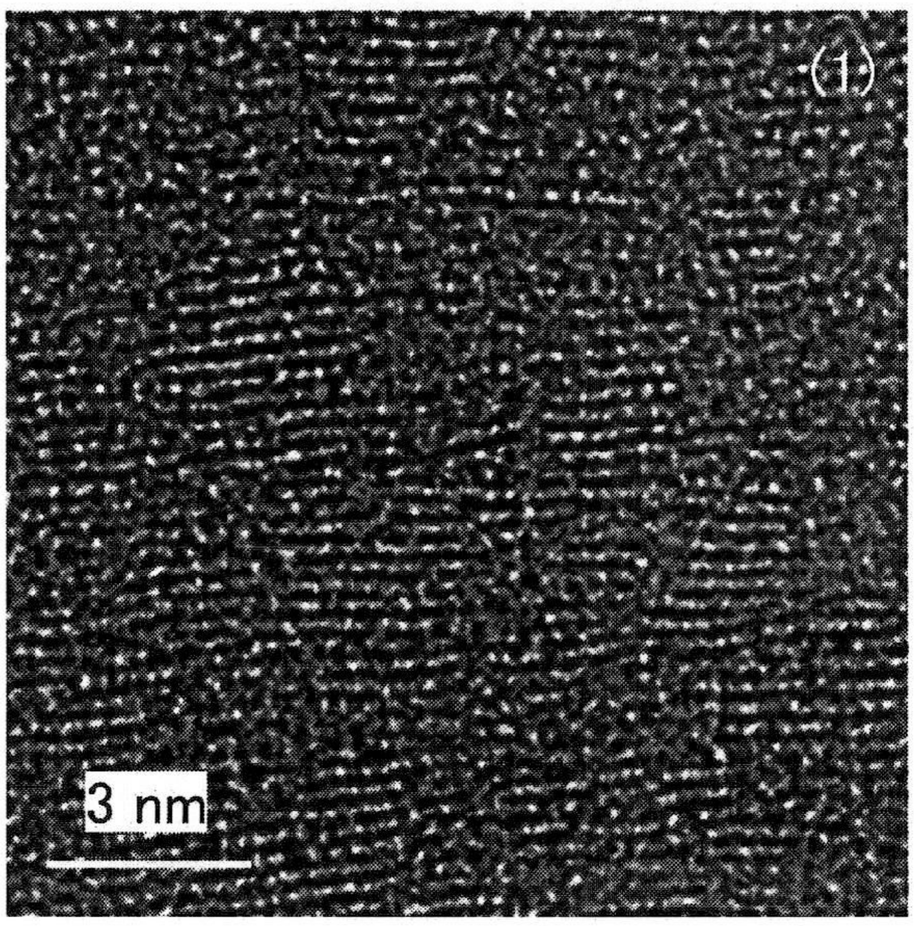


圖 13B

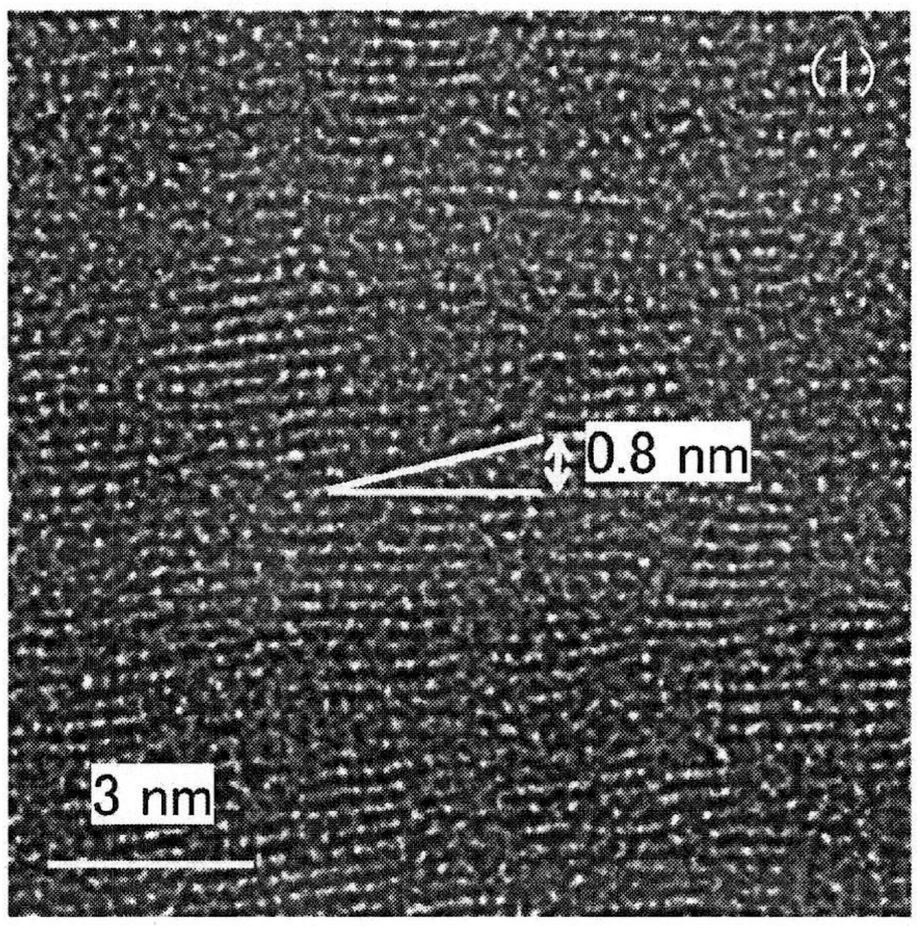


圖 13C

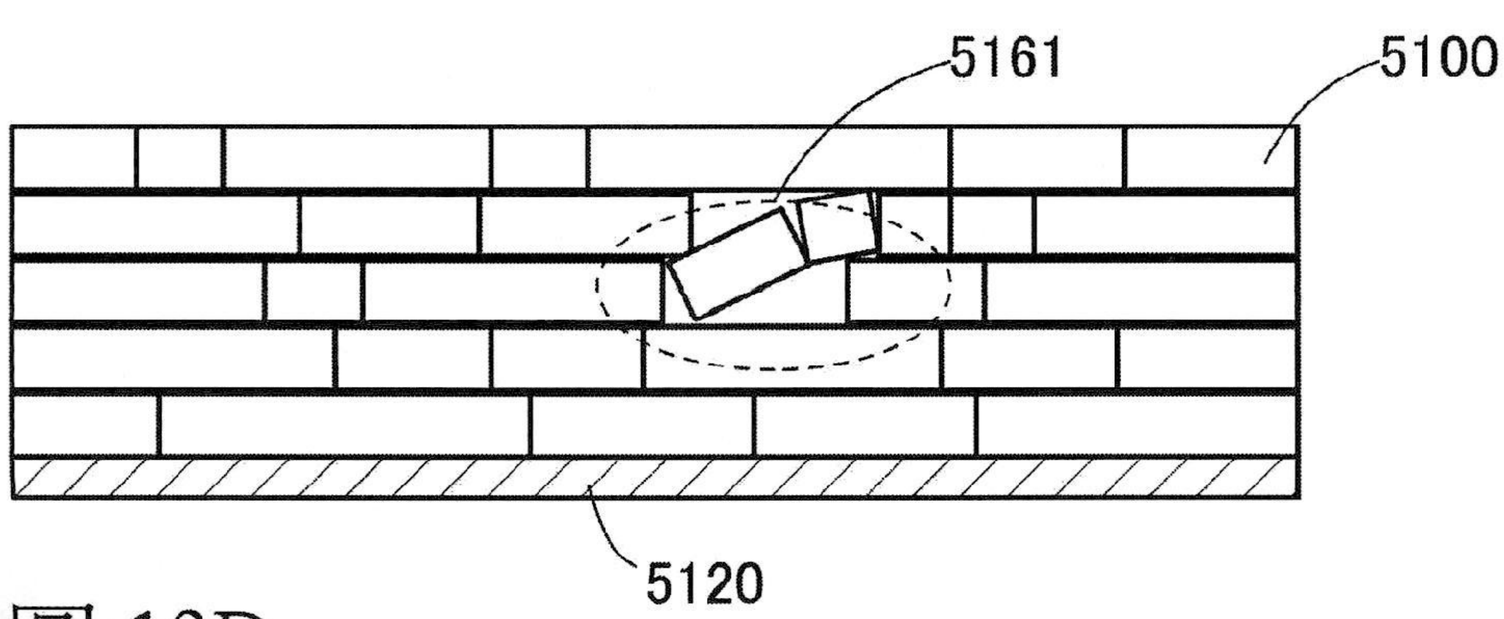


圖 13D

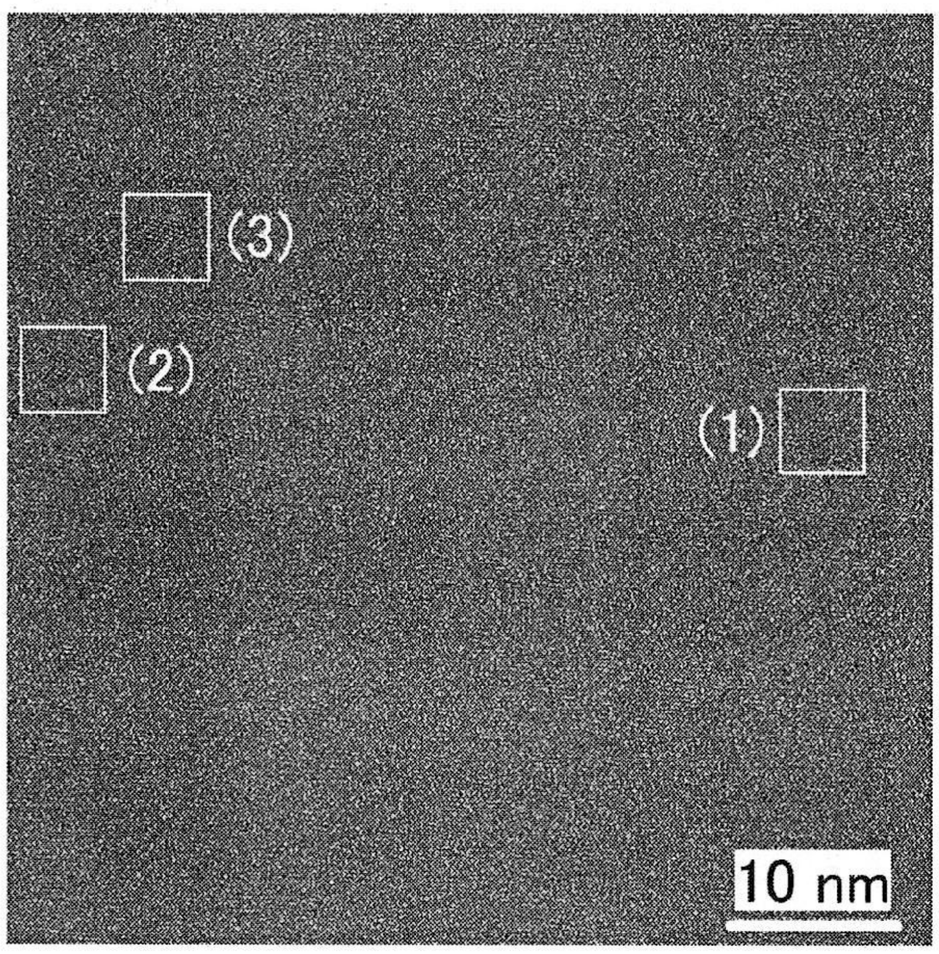


圖 14A

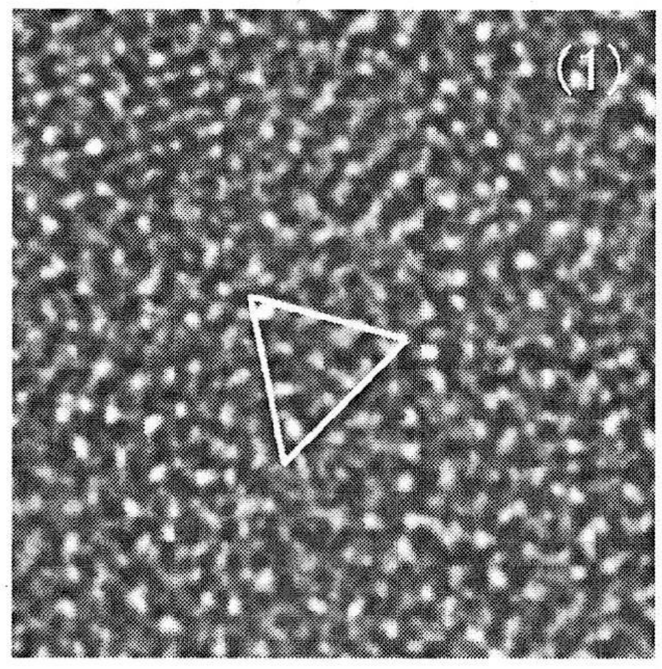


圖 14B

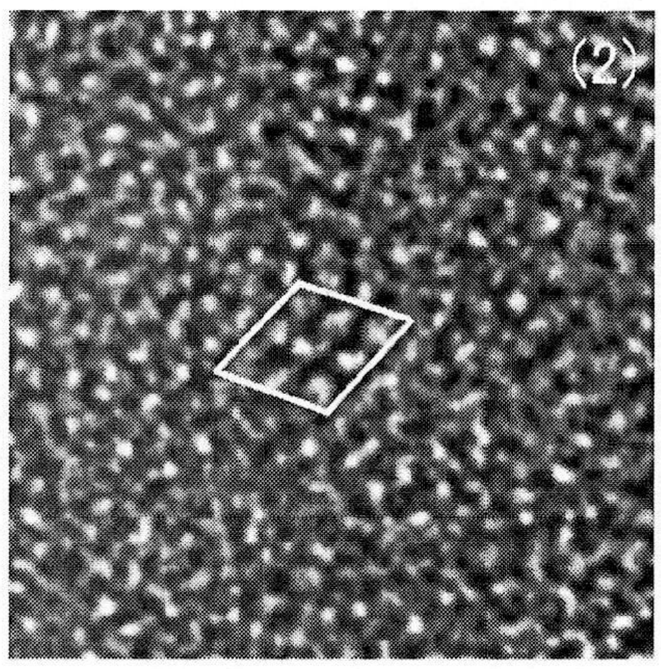


圖 14C

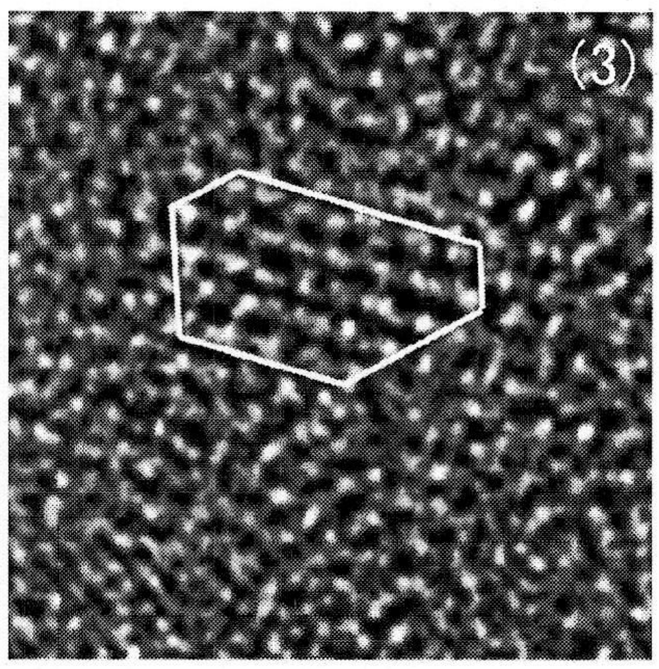


圖 14D

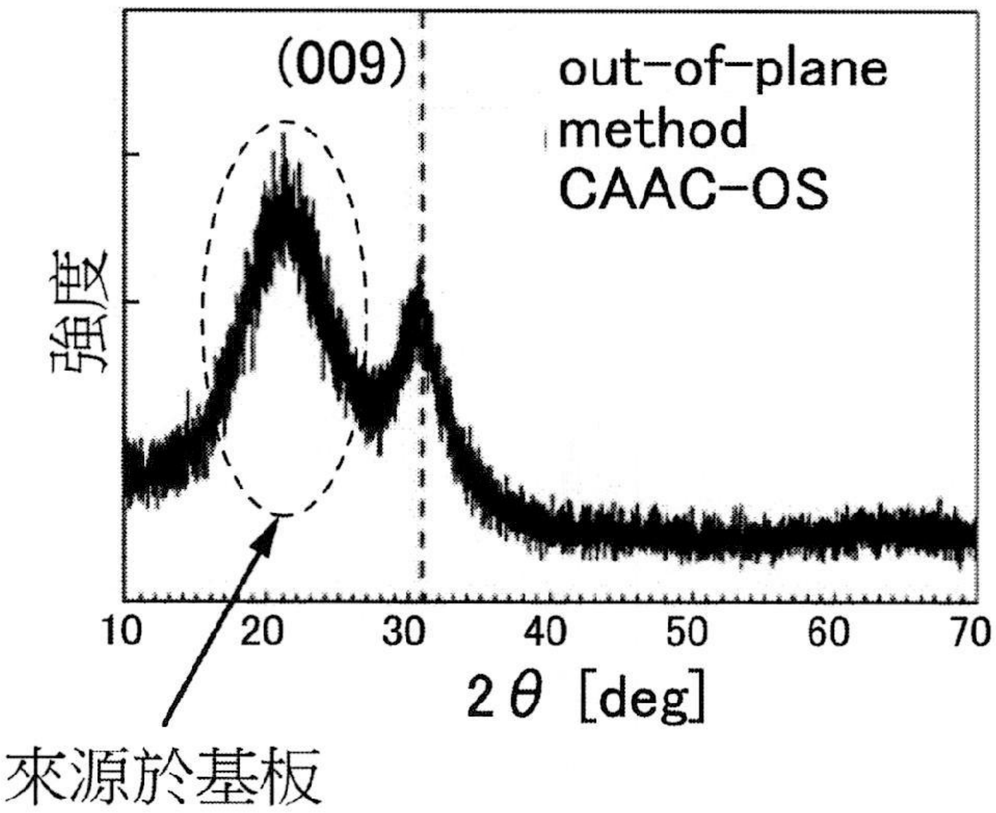


圖 15A

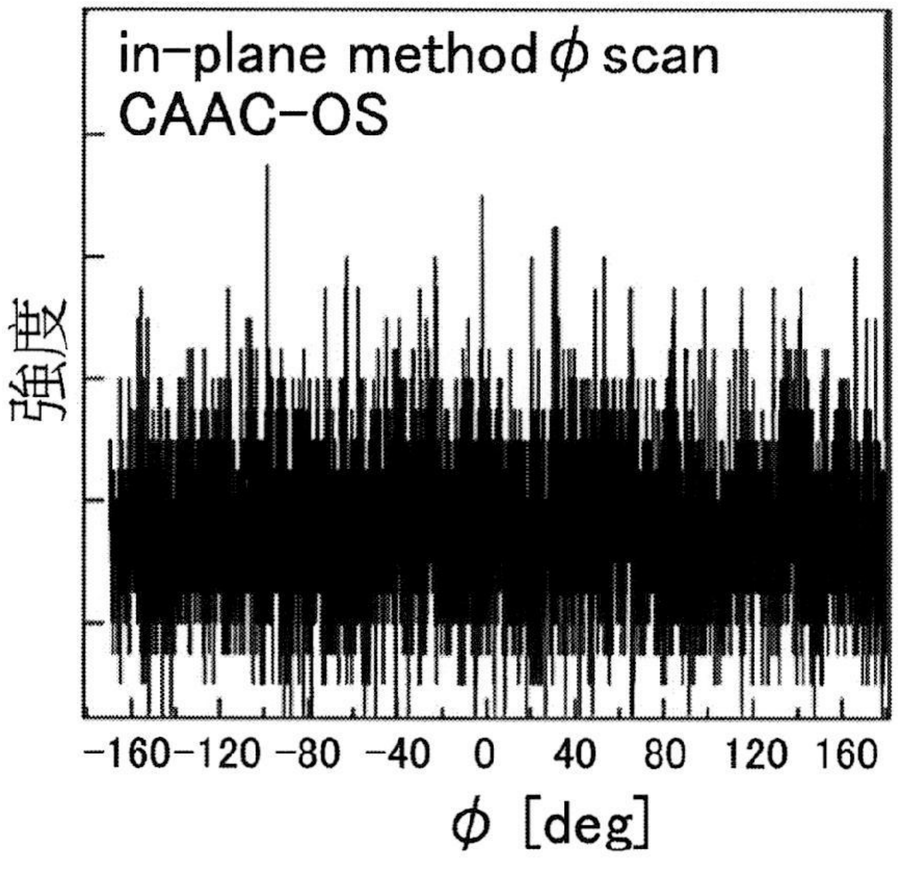


圖 15B

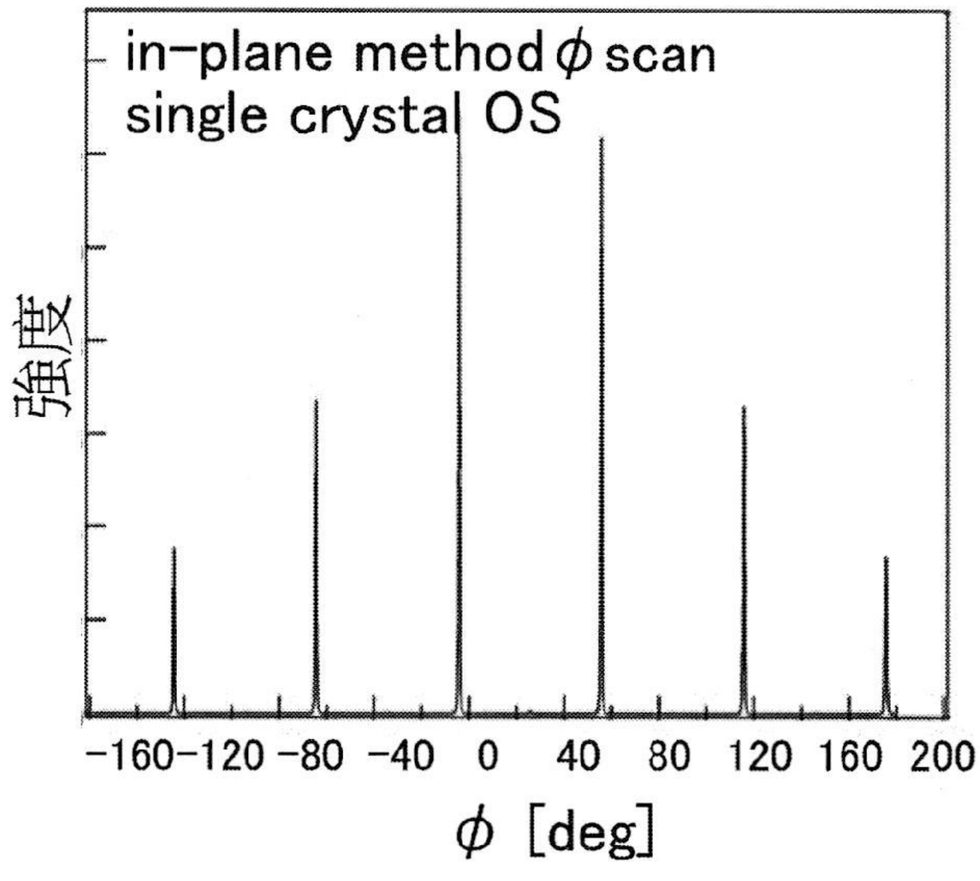
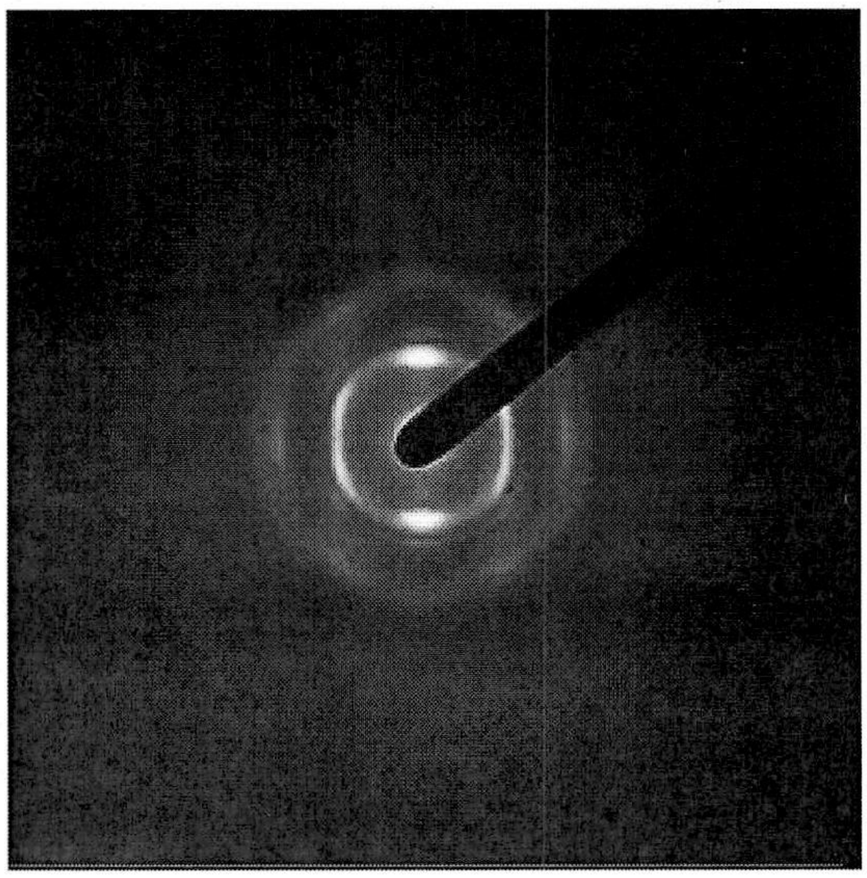
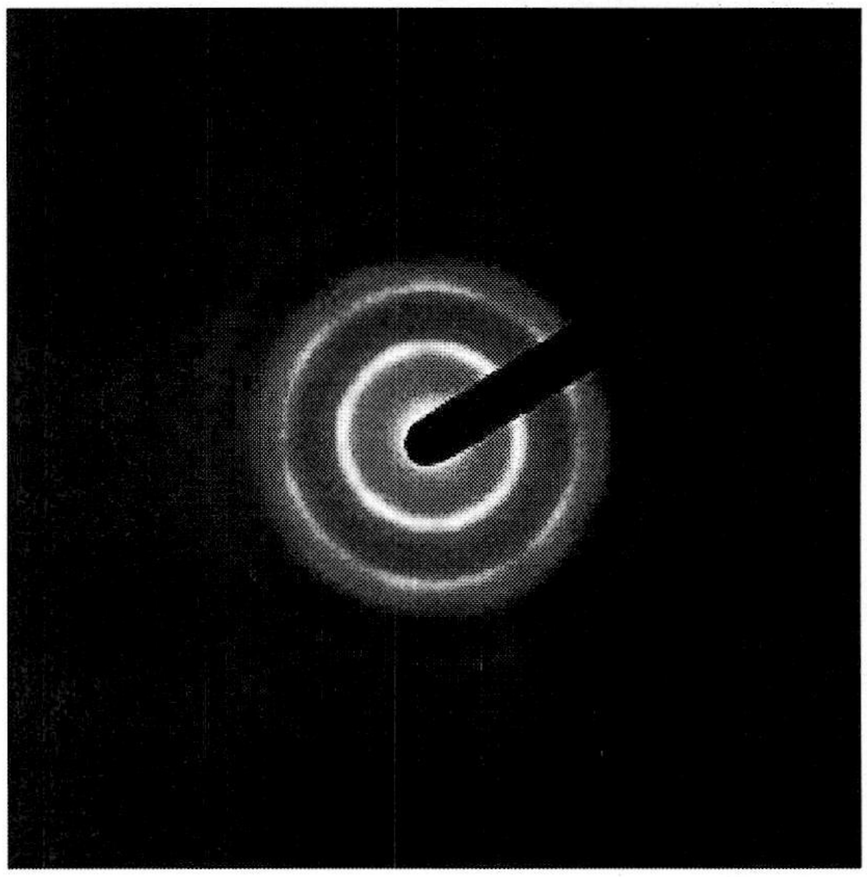


圖 15C



平行於樣本面的
方向上入射電子線

圖 16A



垂直於樣本面的
方向上入射電子線

圖 16B

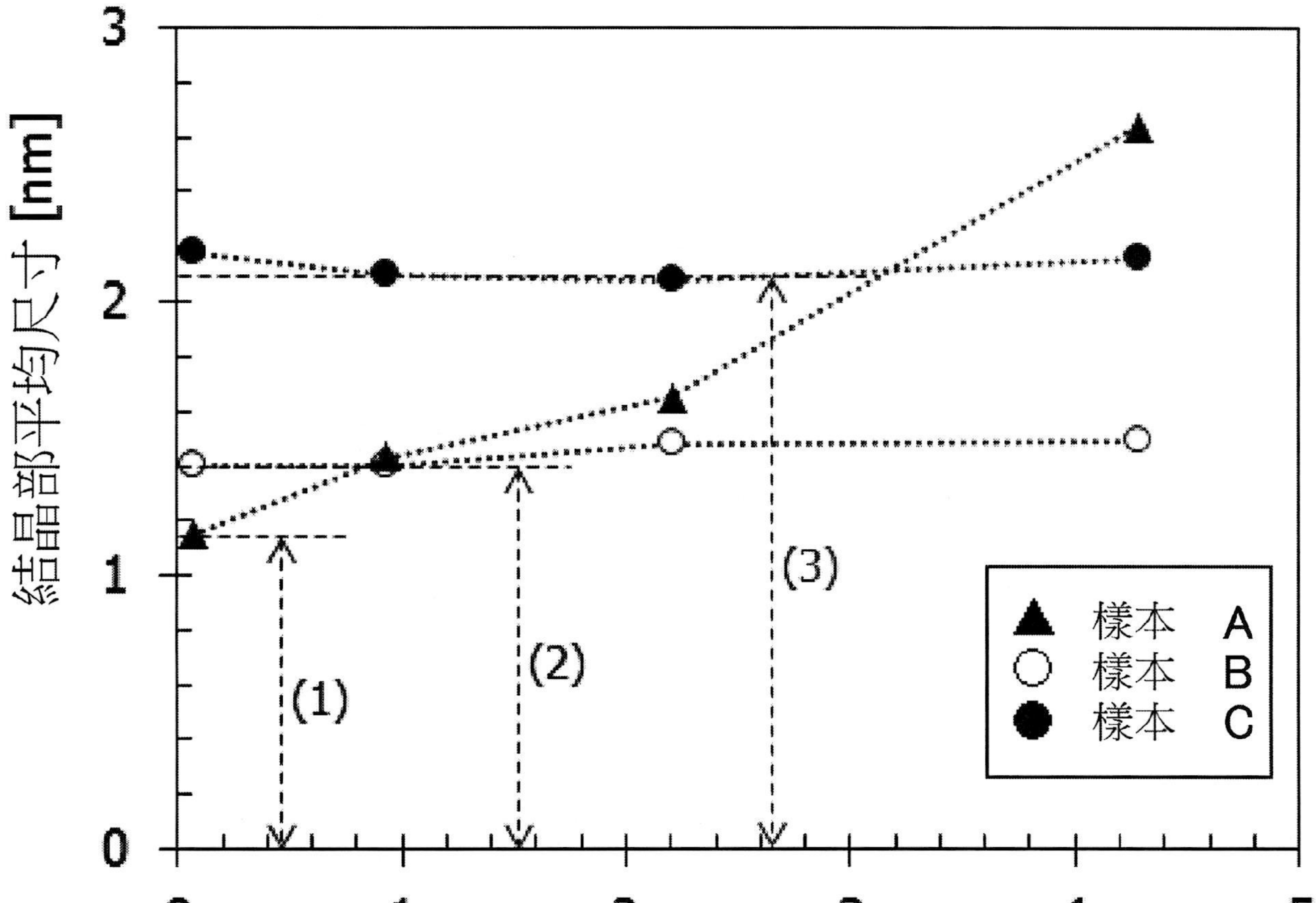


圖 17

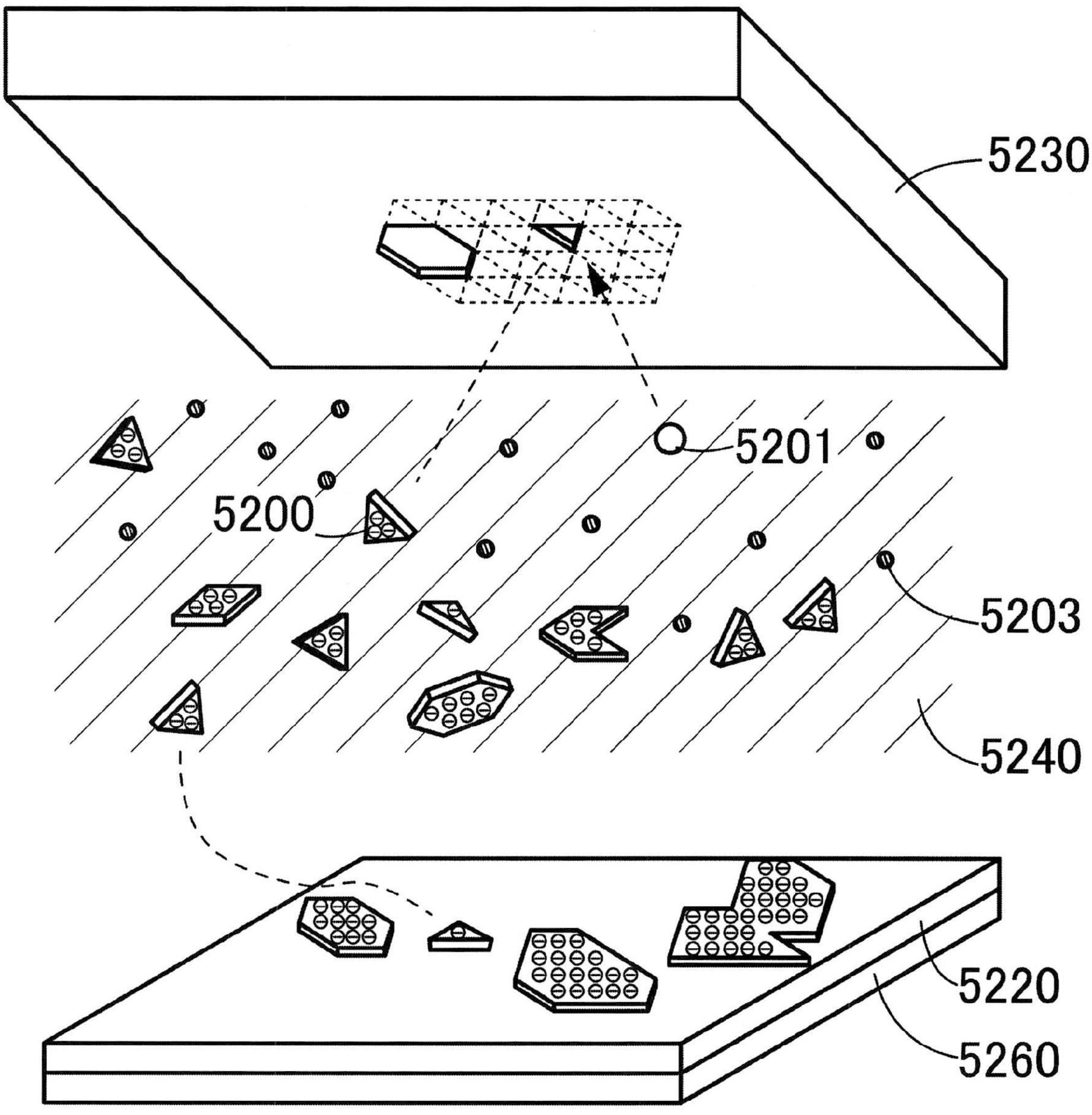


圖 18

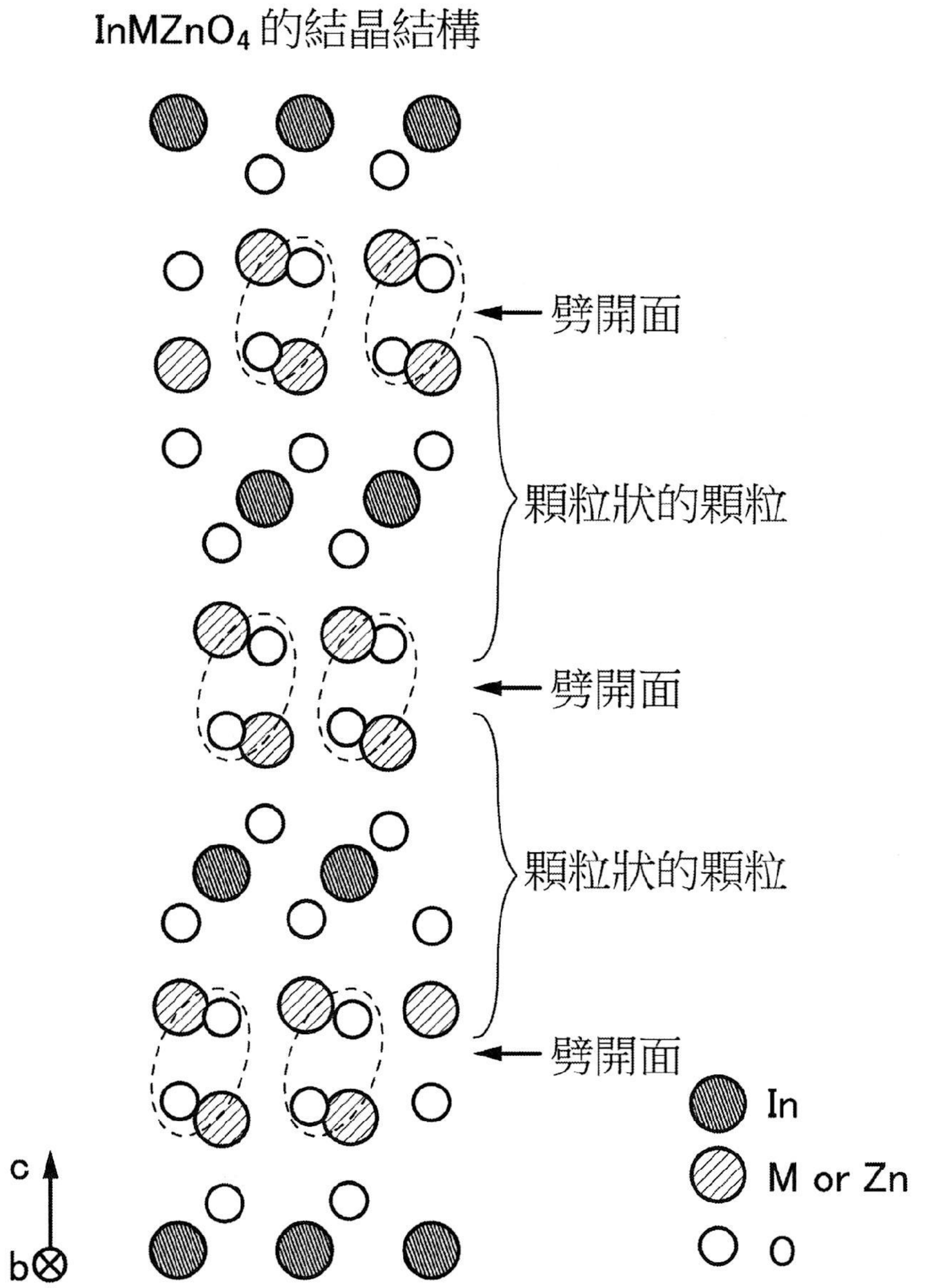


圖 19A

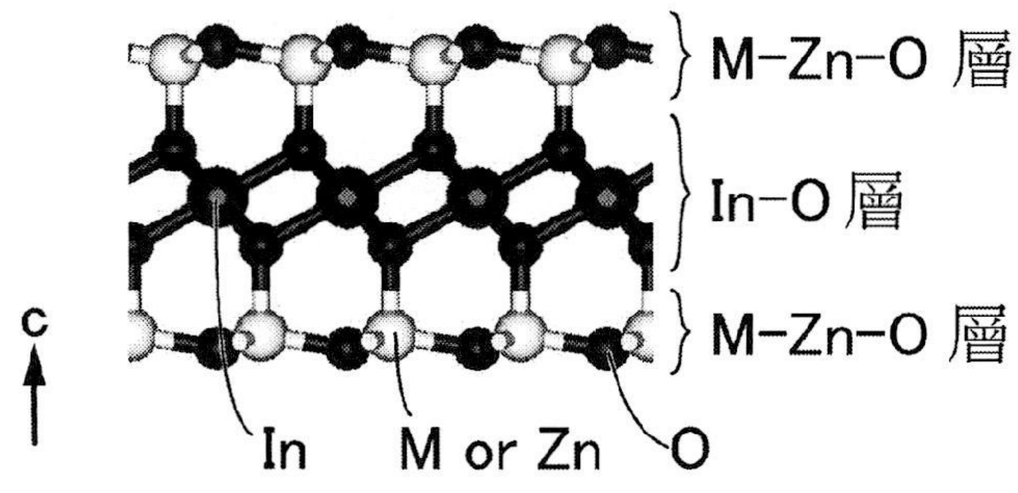


圖 19B

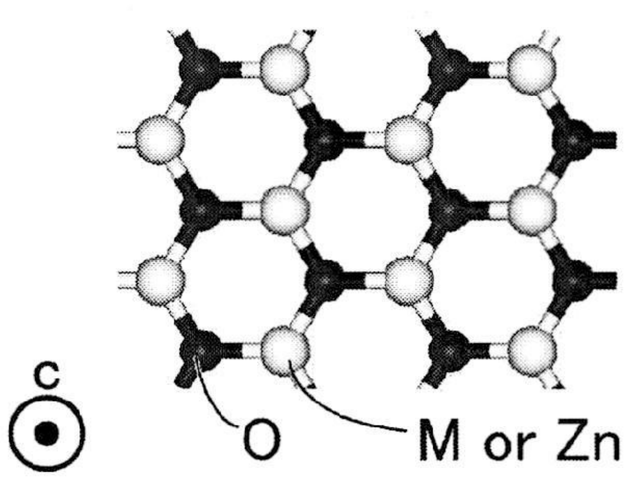


圖 19C

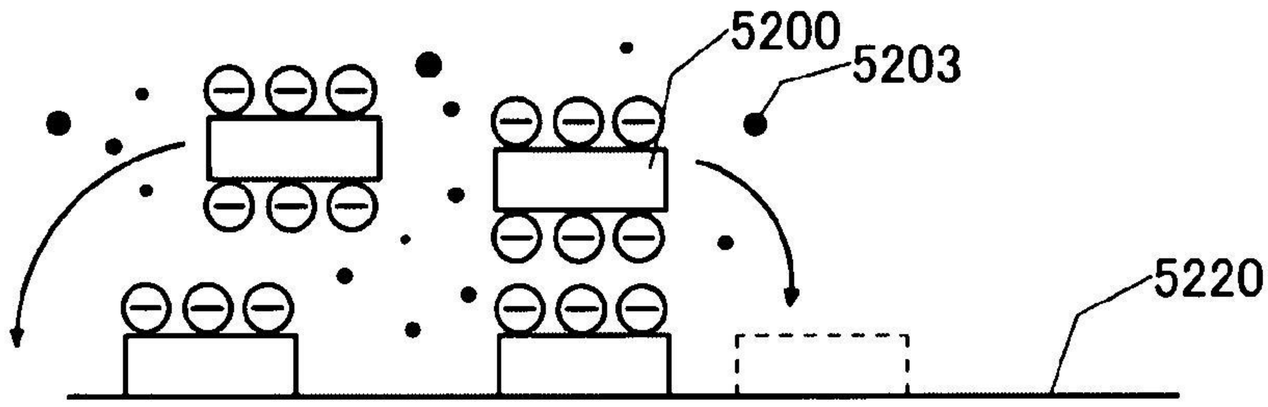


圖 20A

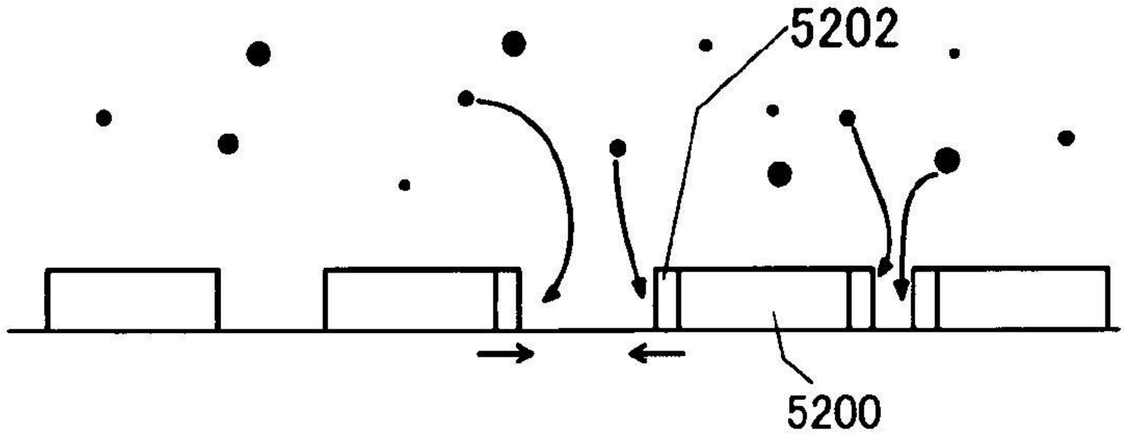


圖 20B

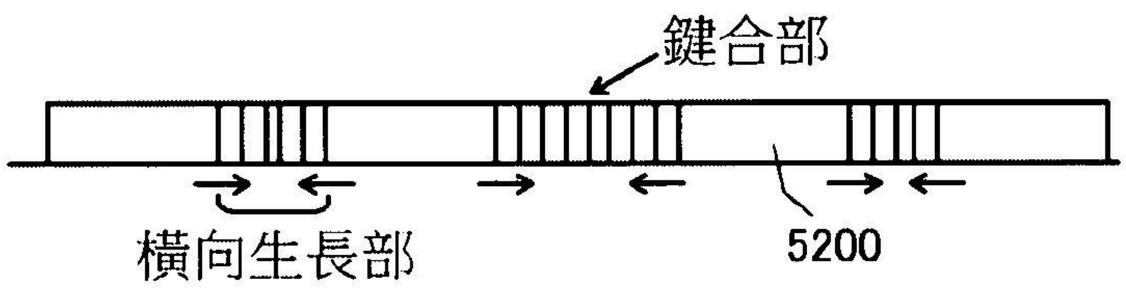


圖 20C

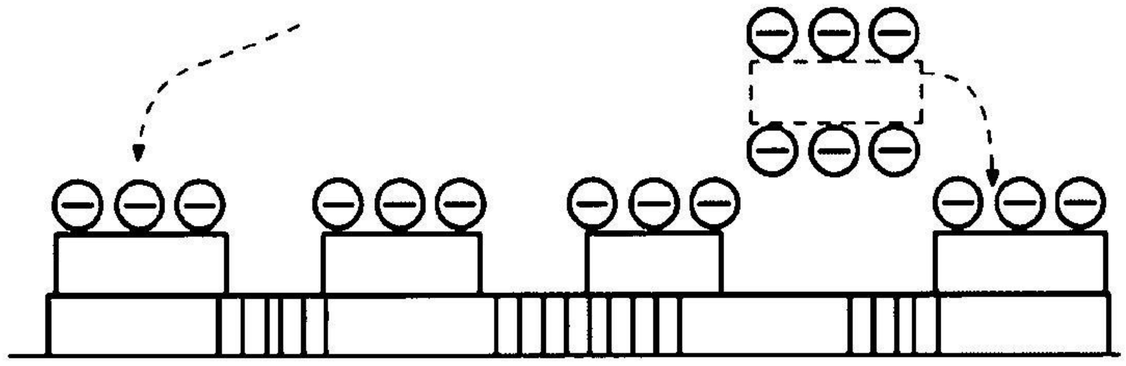


圖 20D

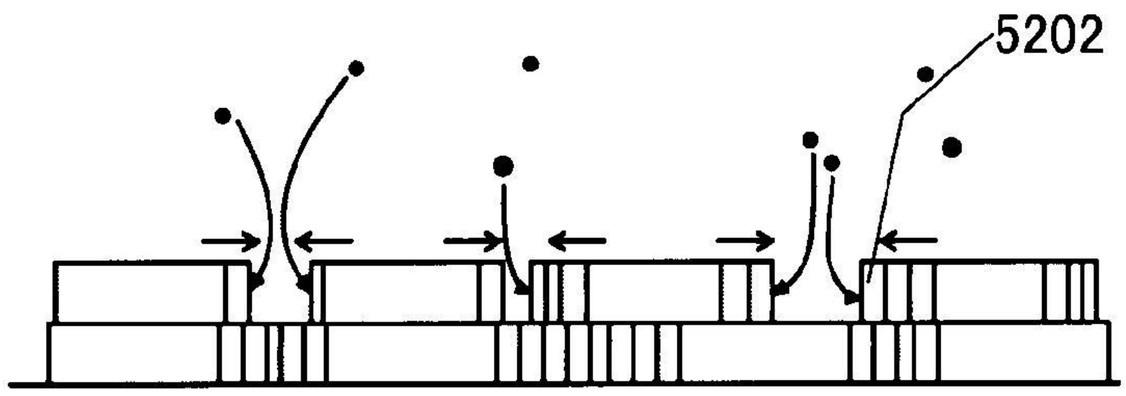


圖 20E

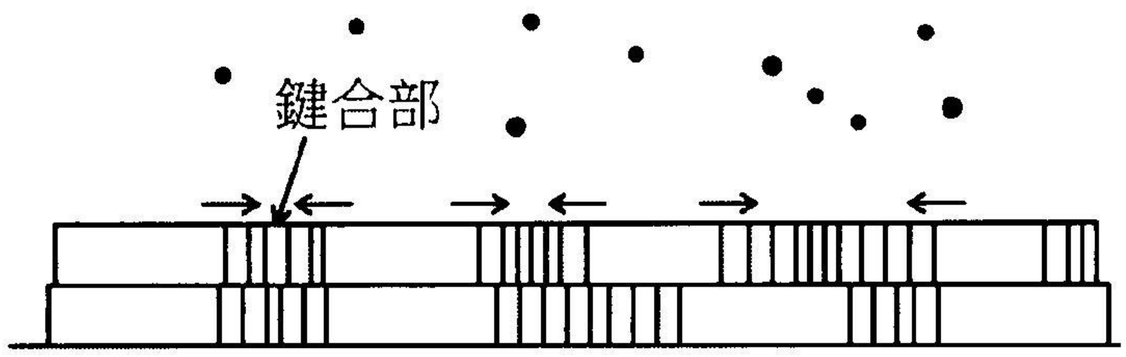


圖 20F

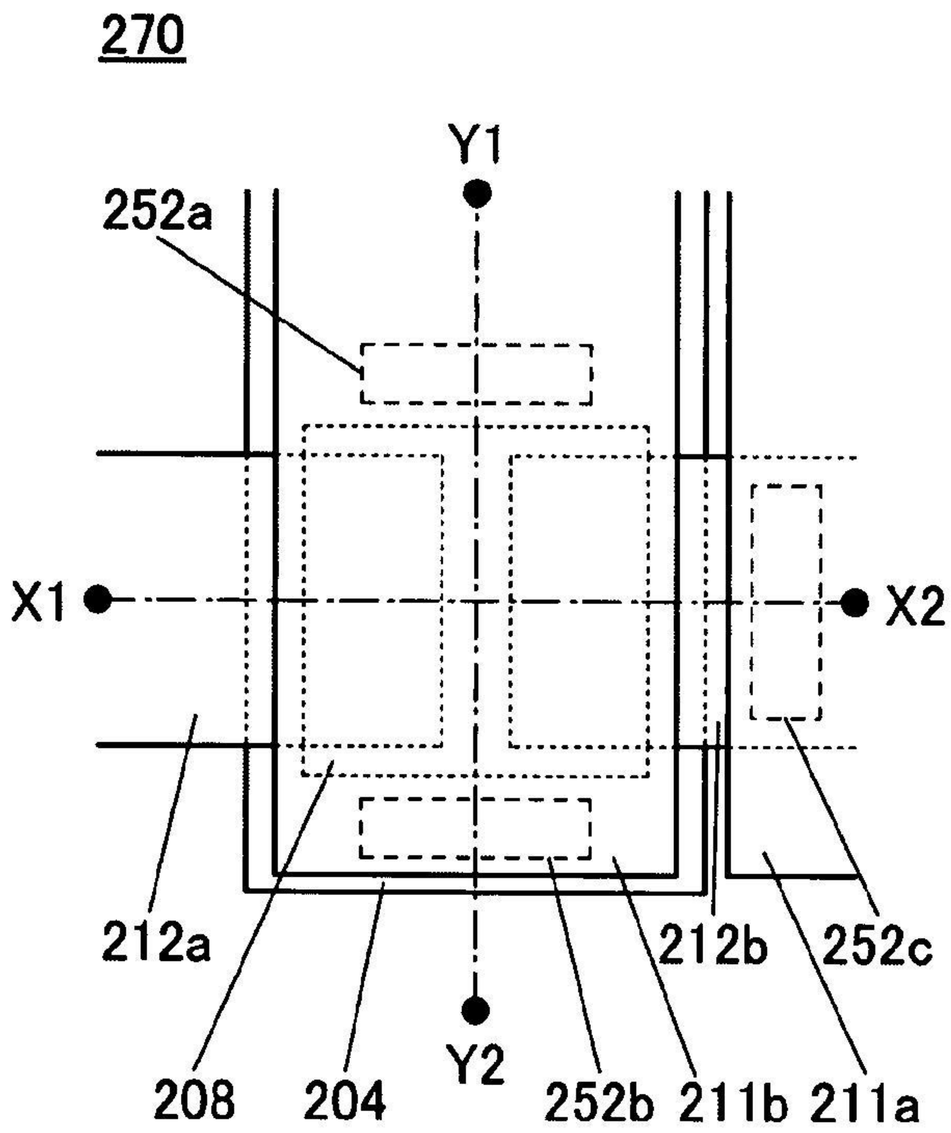


圖 21A



圖 21B



圖 21C

270A

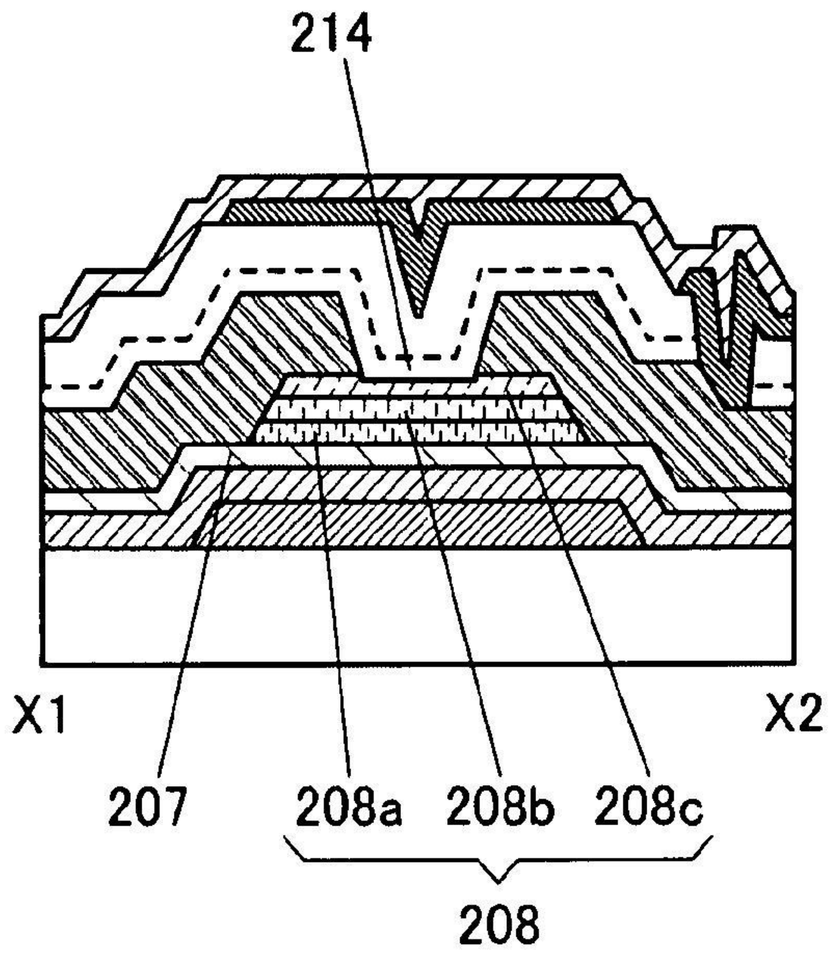


圖 22A

270A

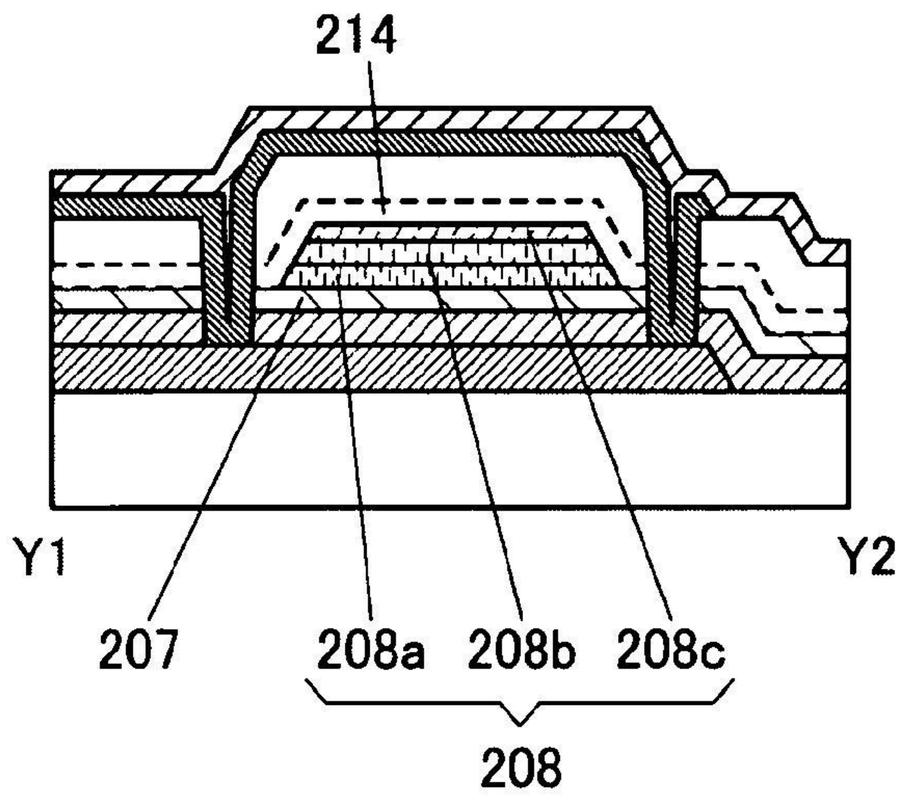


圖 22B

270B

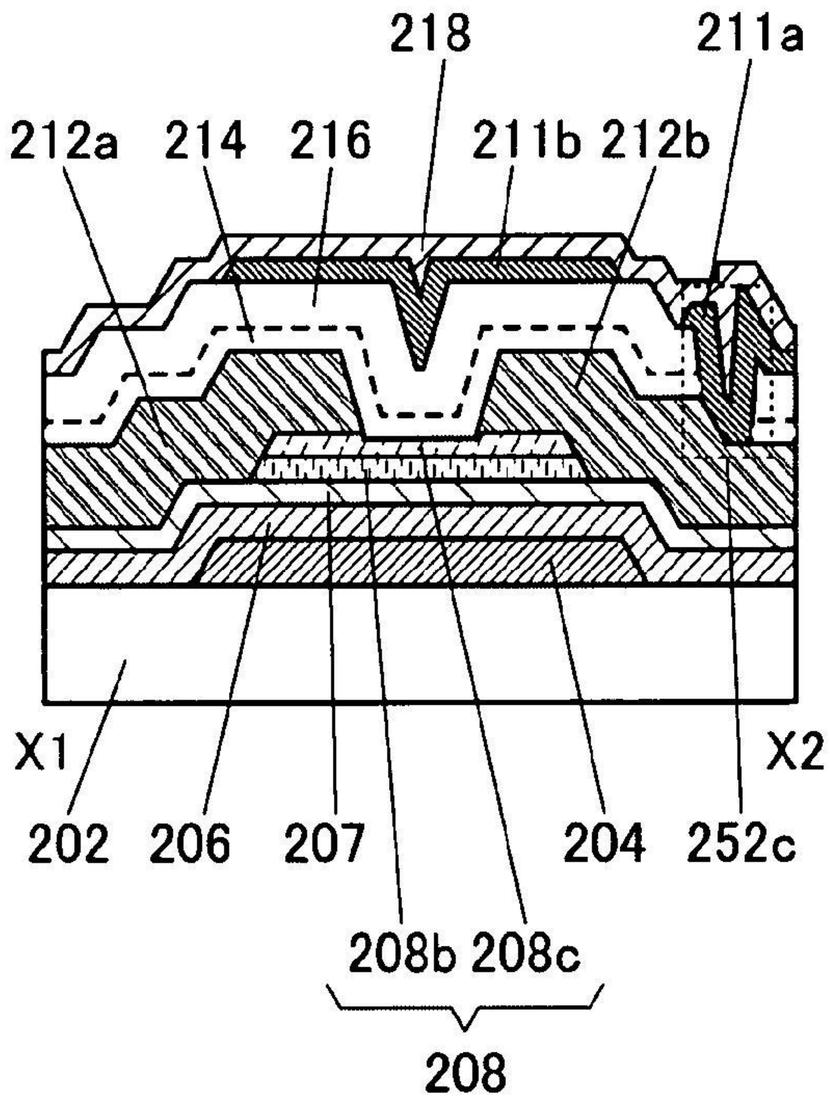


圖 22C

270B

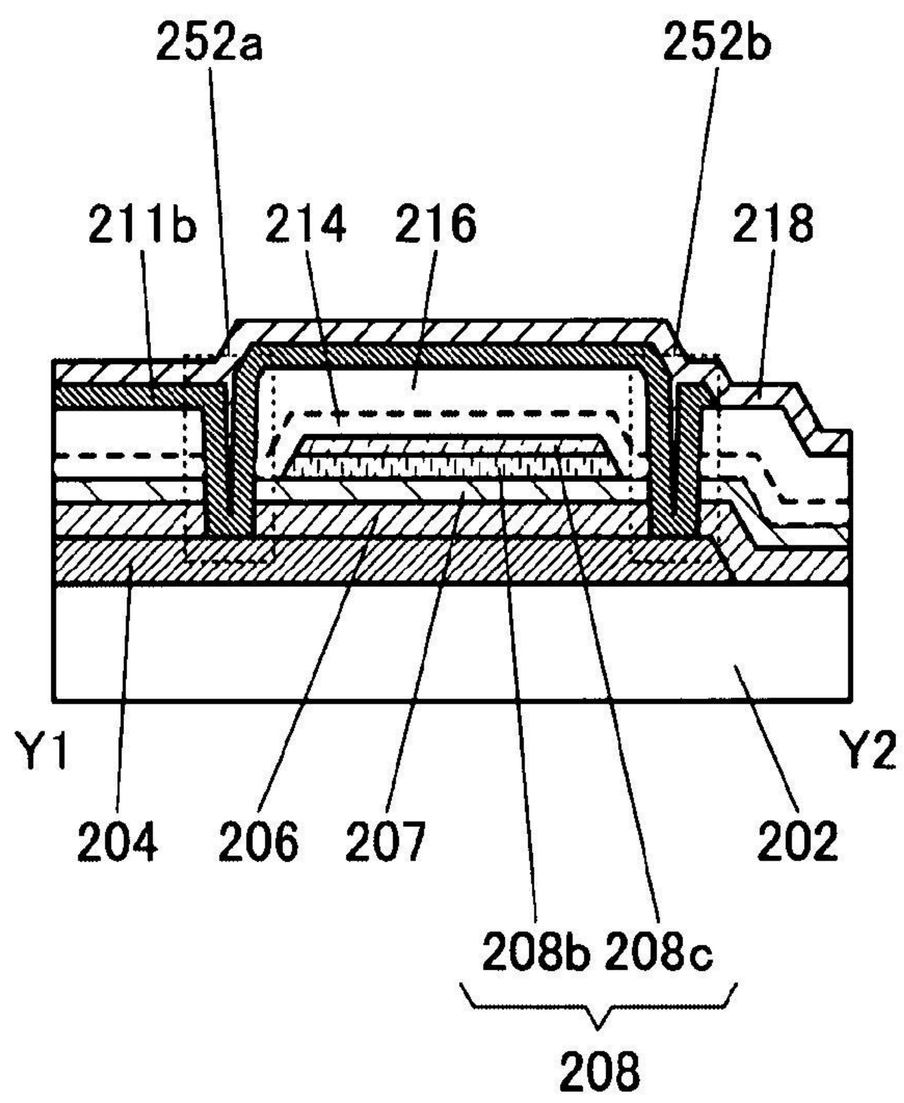


圖 22D

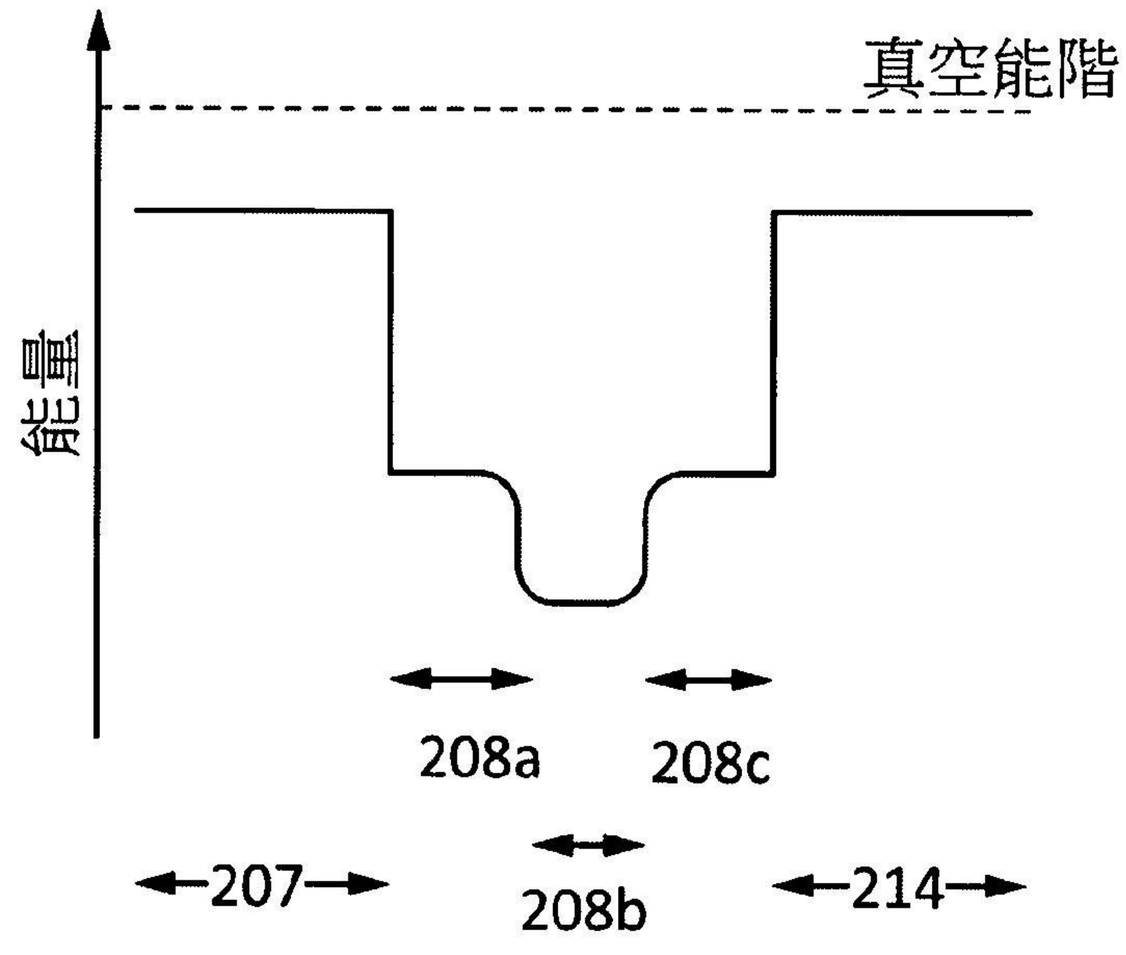


圖 23A

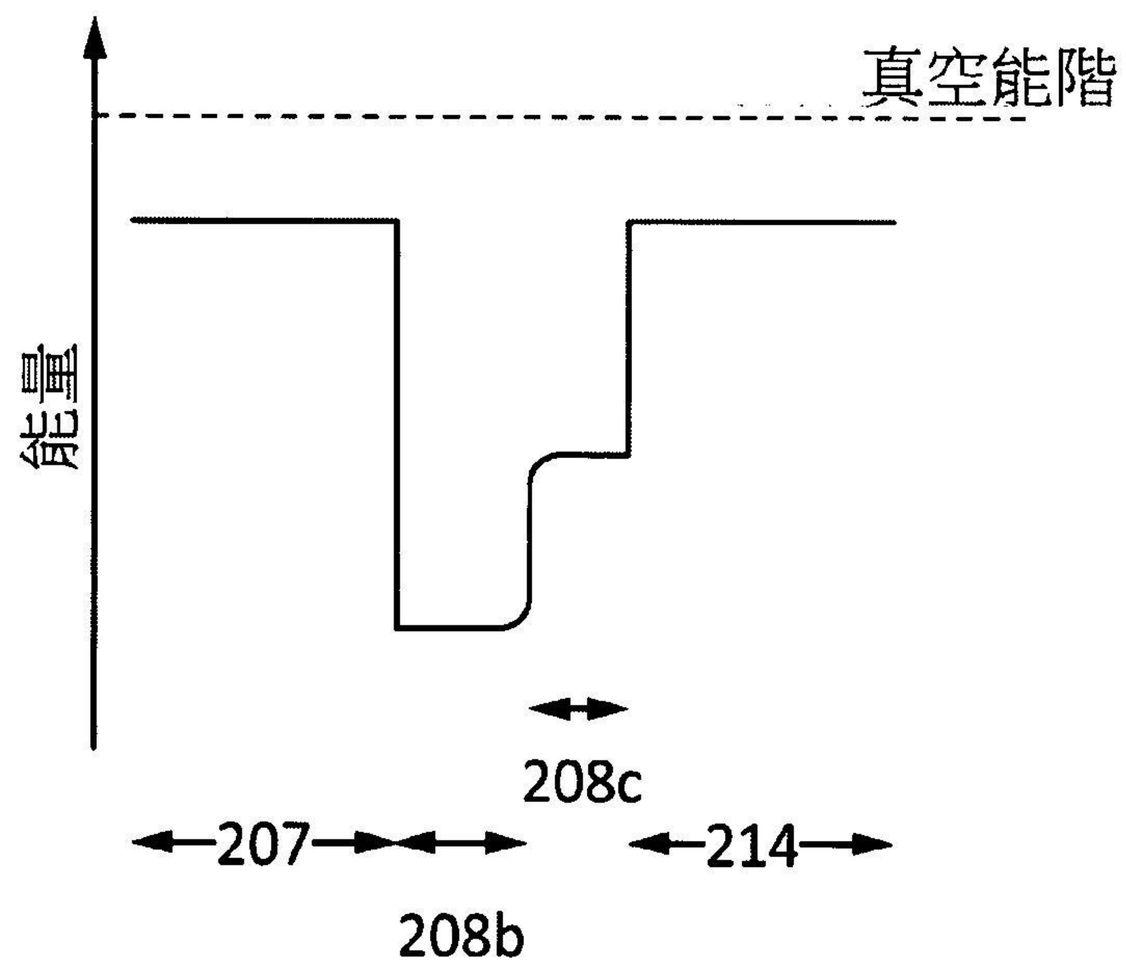


圖 23B

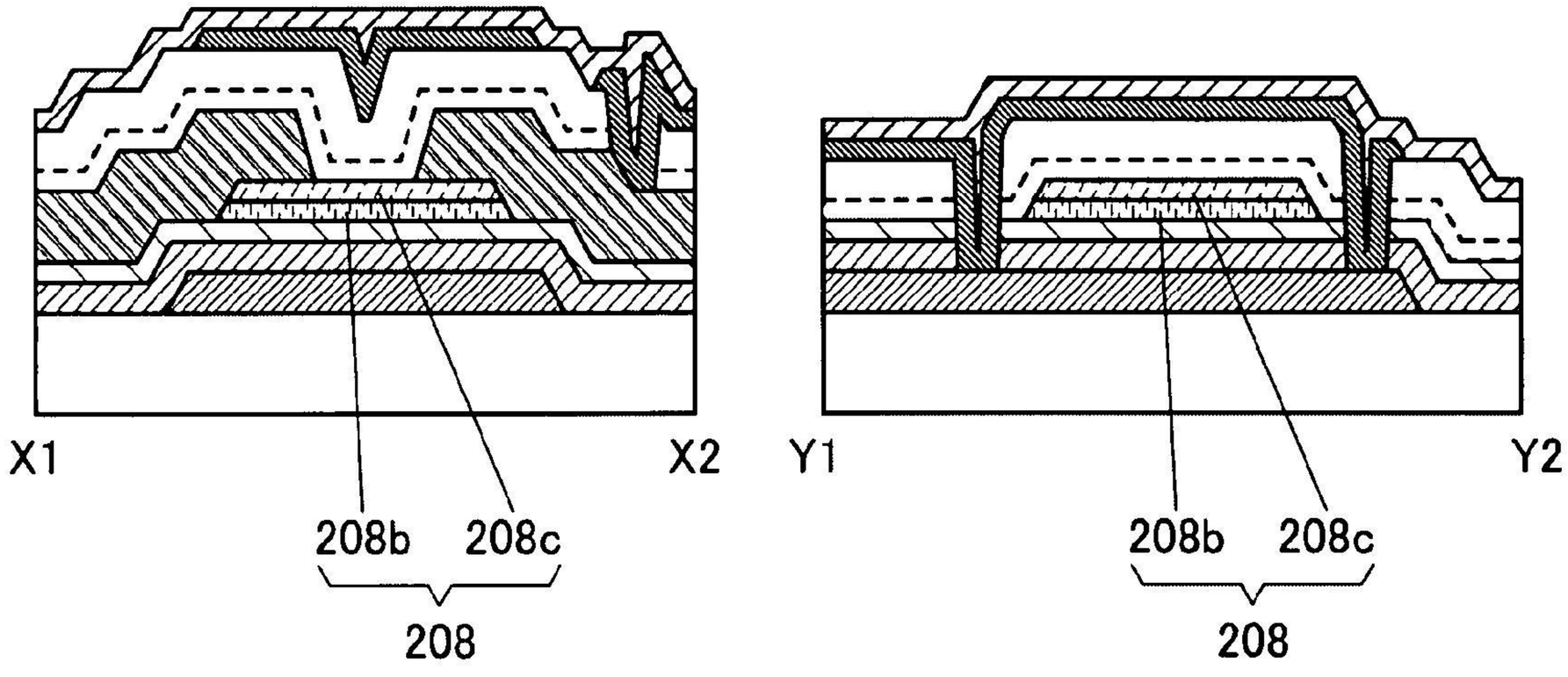


圖 24A　　圖 24B

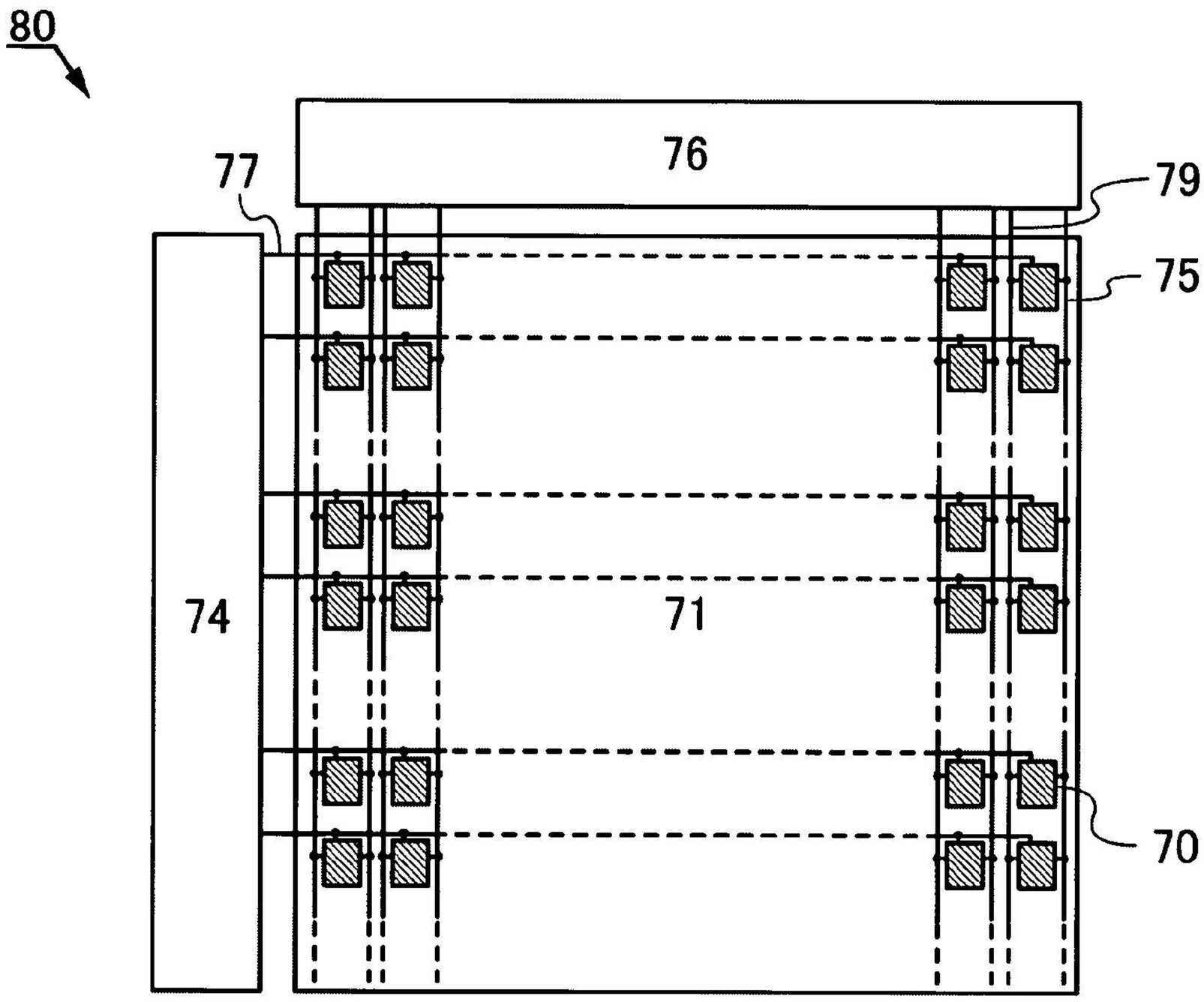


圖 25A

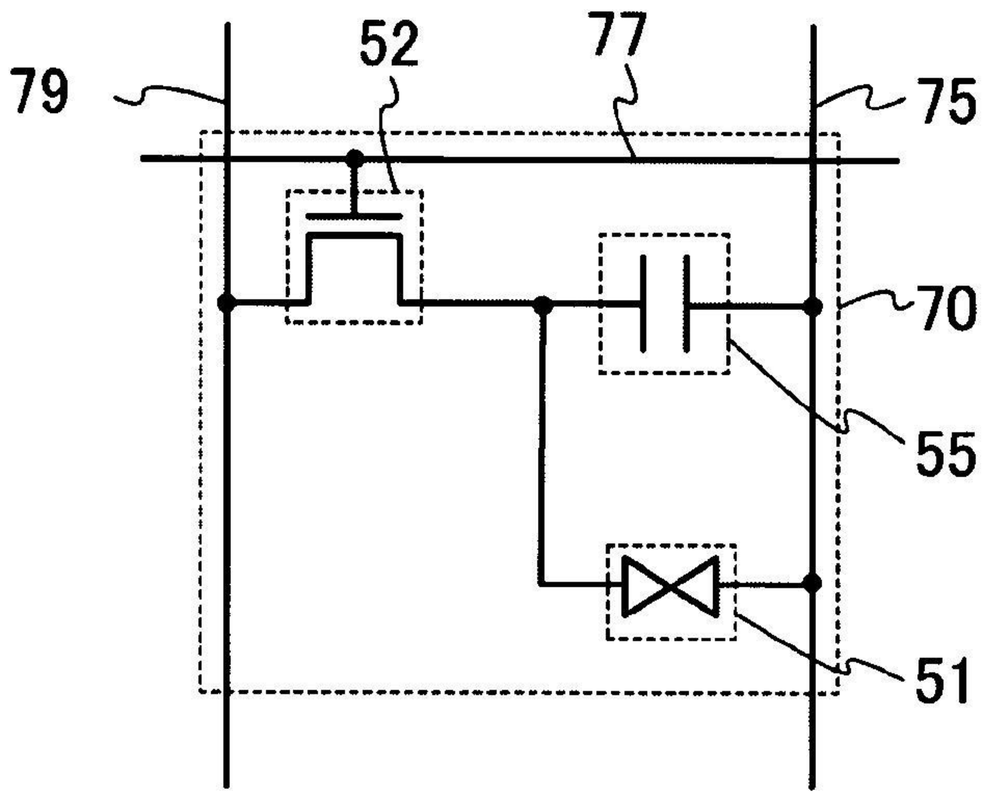


圖 25B

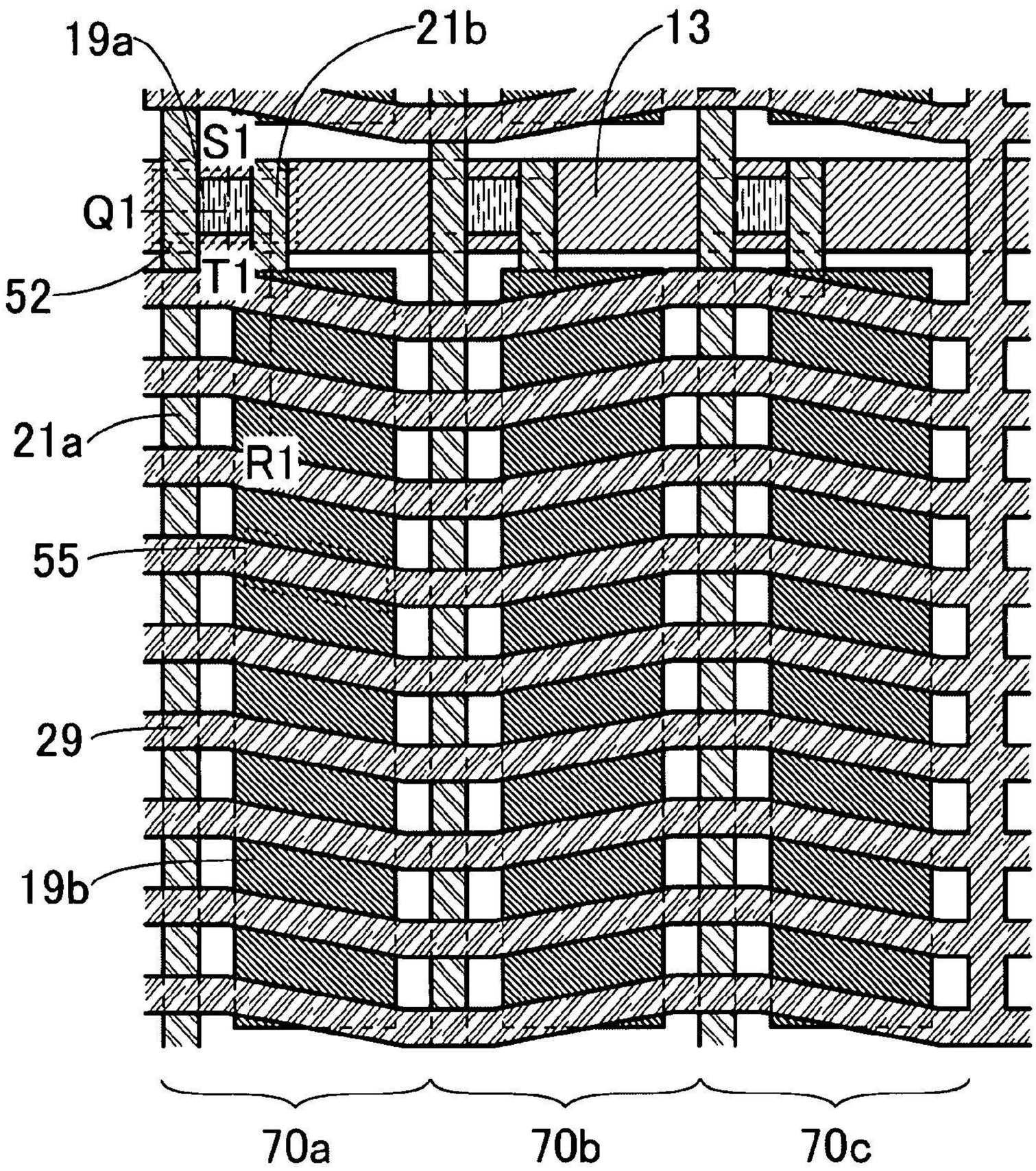


圖 26

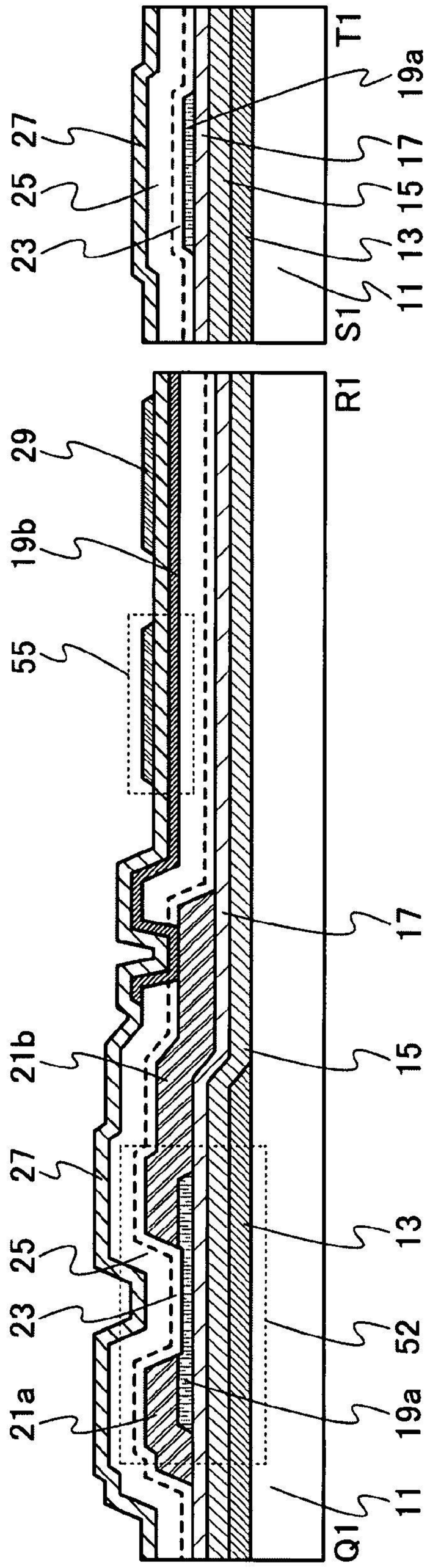

T1
19a
27
17
25
15
23
13
11
S1
R1
29
19b
55
21b
27
17
25
15
23
13
21a
19a
52
11
Q1

圖 27

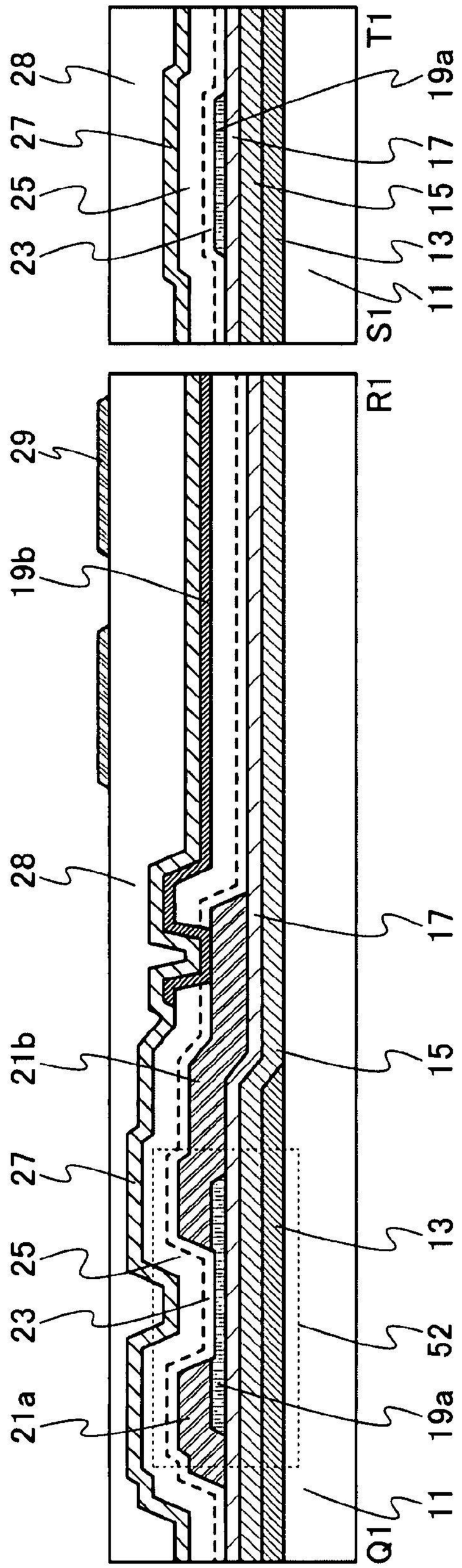

28
27
25
23
T1
19a
17
15
13
11
S1
29
19b
R1
28
21b
27
25
23
21a
17
15
13
52
19a
11
Q1

圖 28

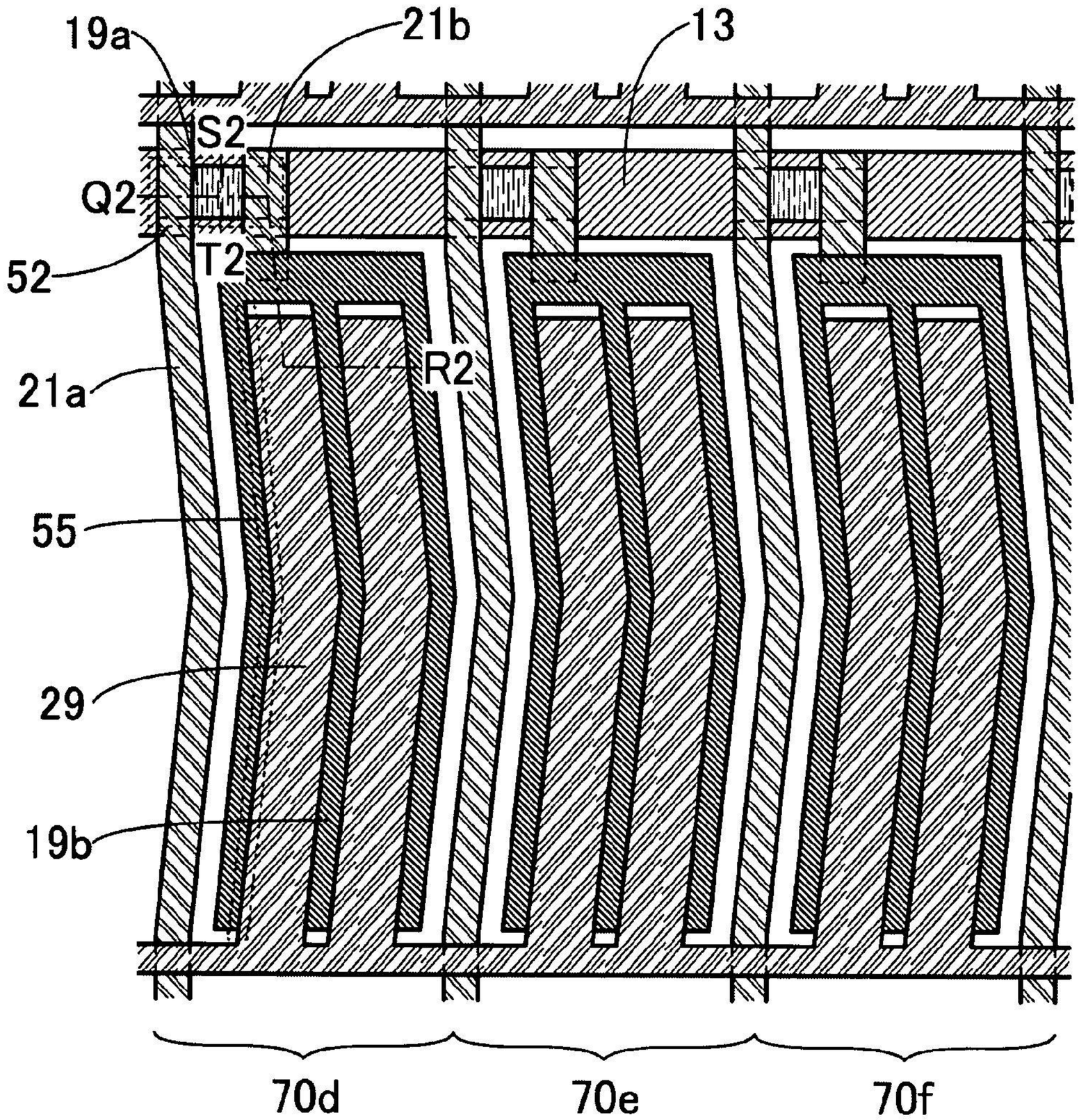


圖 29

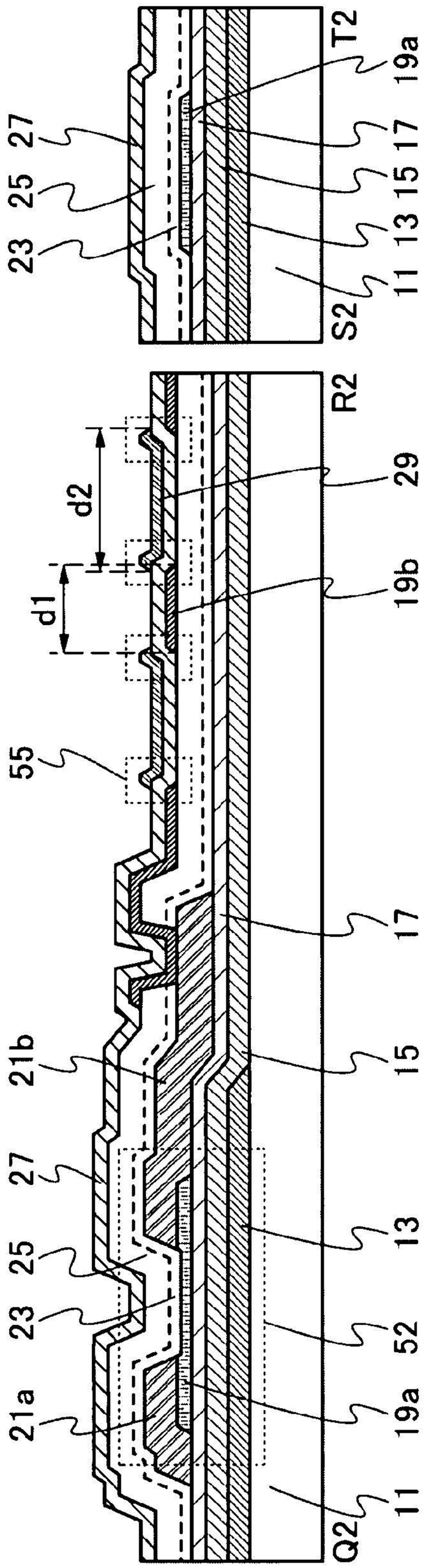

T2
19a
27
25
23
17
15
13
11
S2
R2
29
d2
d1
19b
55
21b
17
15
13
27
25
23
52
21a
19a
11
Q2

圖 30

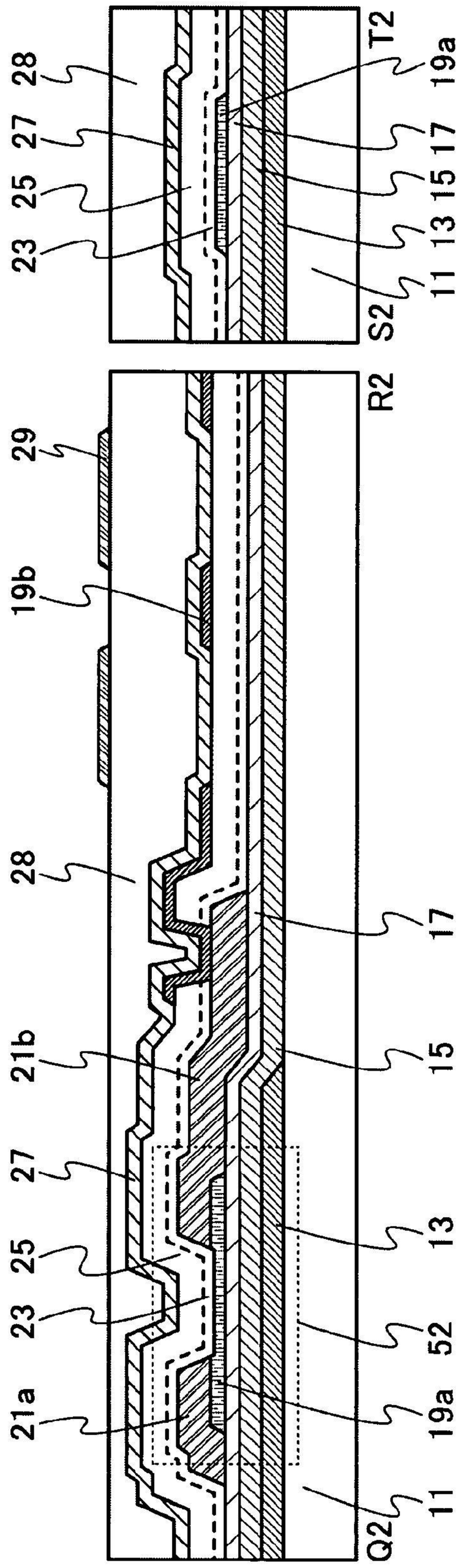

28
27
25
23
T2
19a
17
15
13
11
S2
R2
29
19b
28
17
21b
15
27
13
25
23
52
21a
19a
11
Q2

圖 31

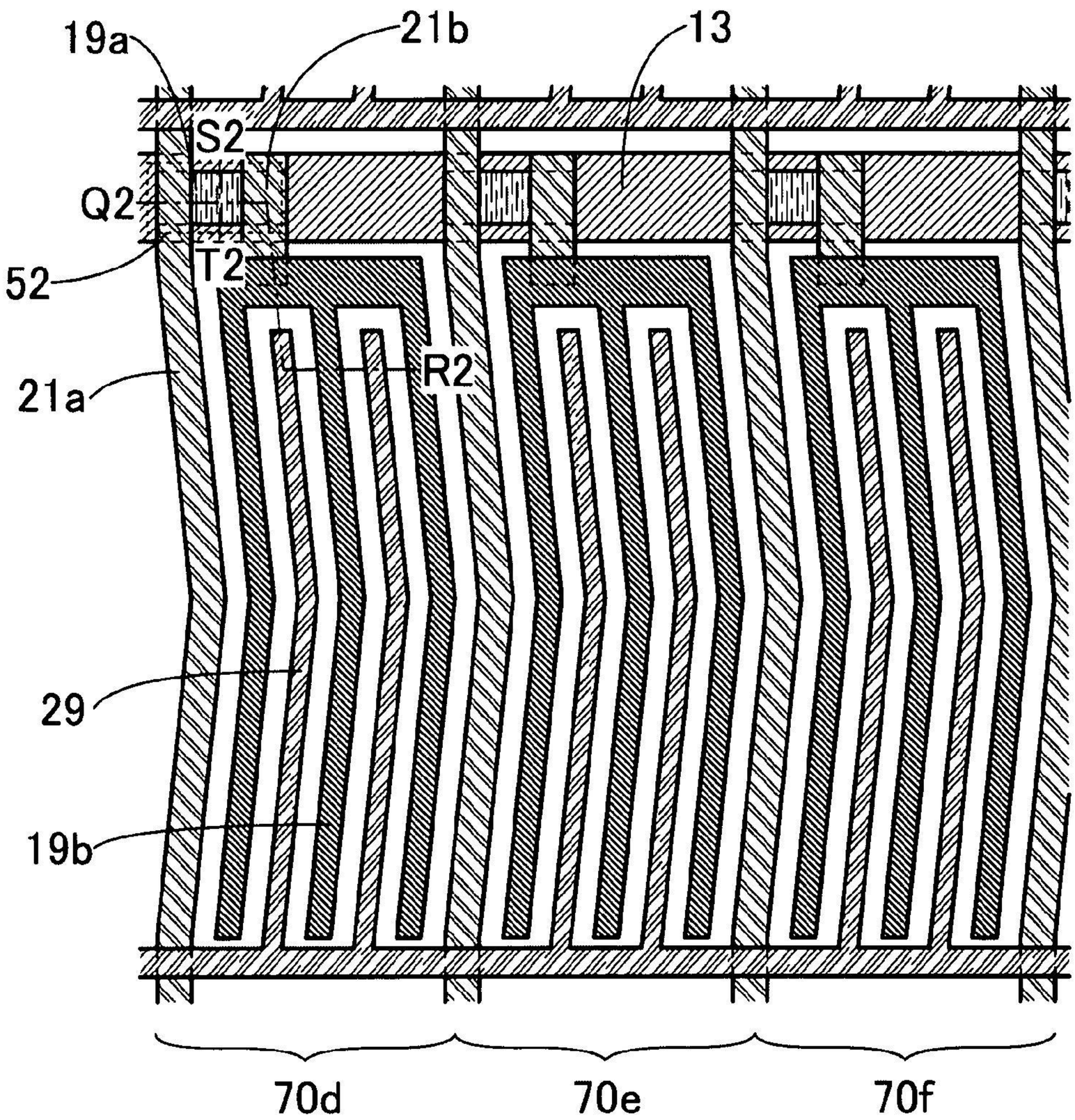


圖 32

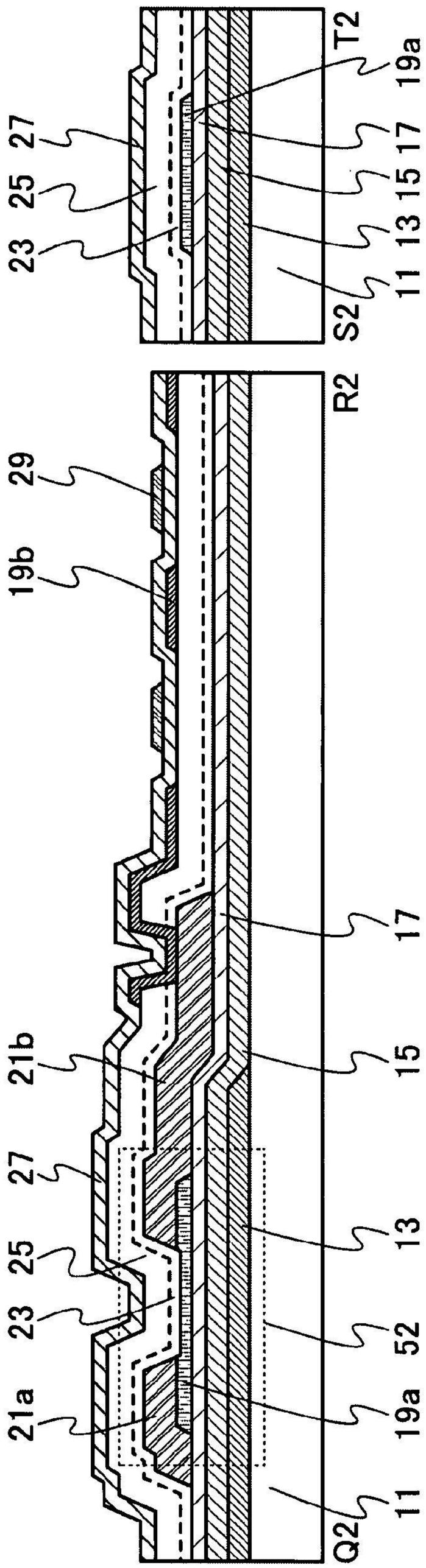

T2
19a
27
25
23
17
15
13
11
S2
R2
29
19b
21b
27
25
23
21a
17
15
13
52
19a
11
Q2

圖 33

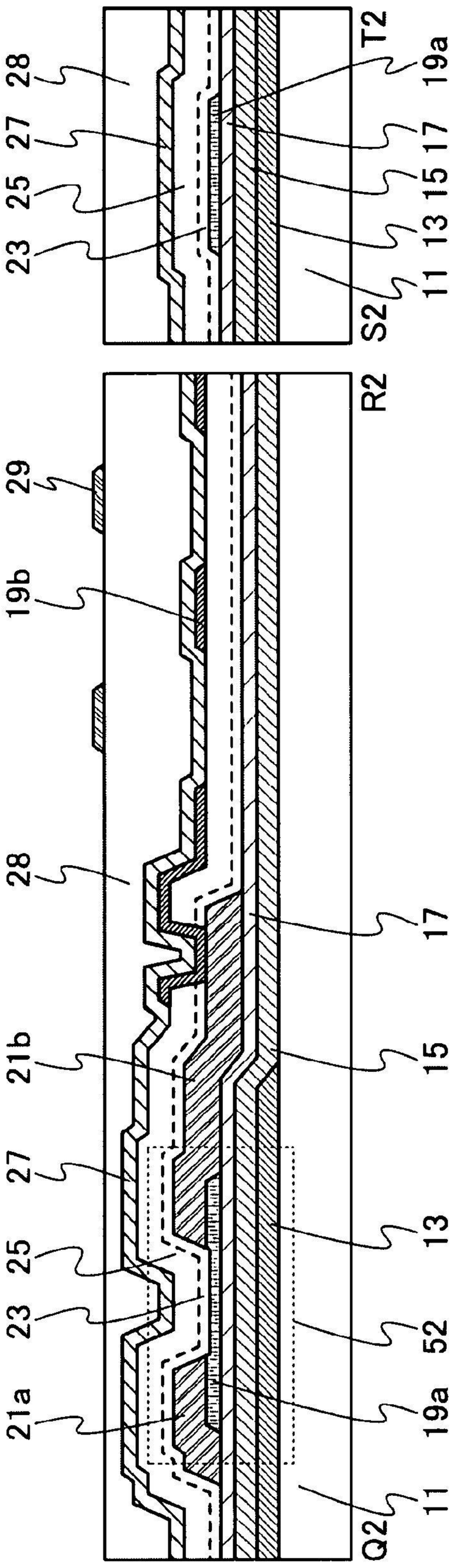


圖 34

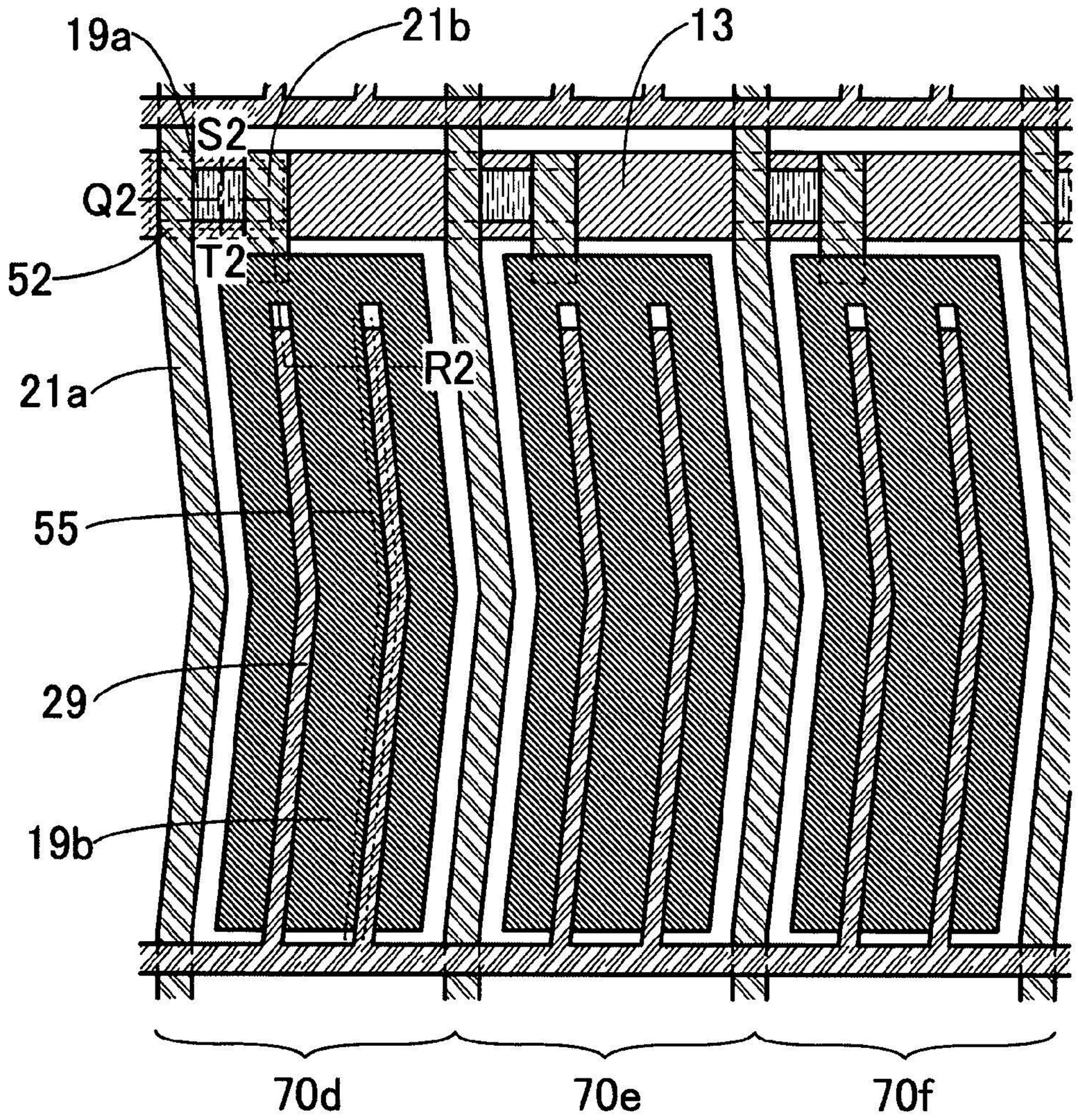


圖 35

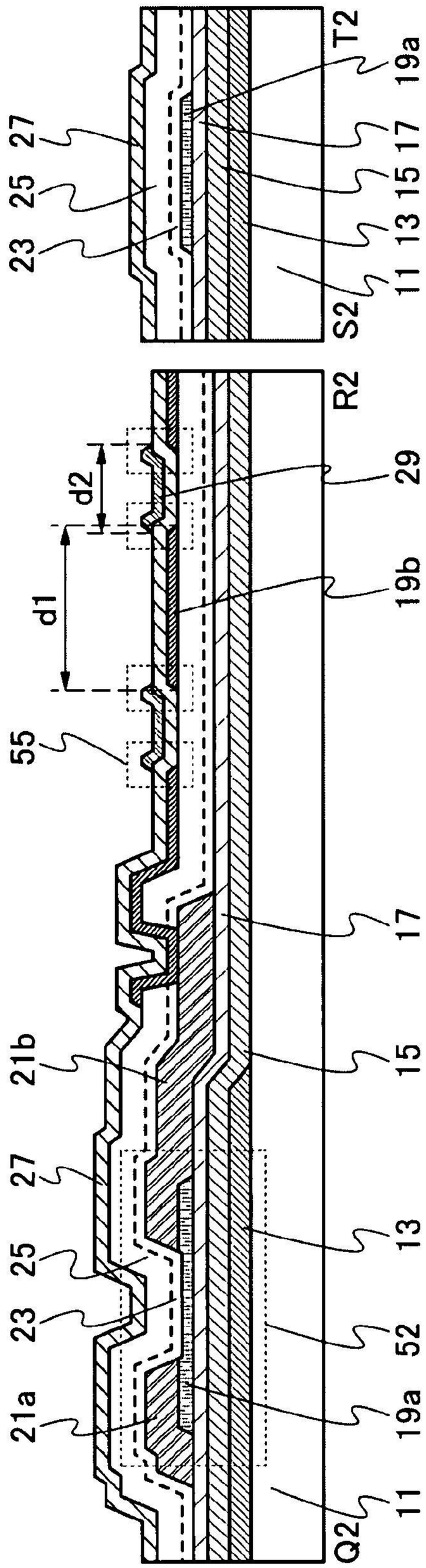

T2
19a
27
17
25
15
23
13
11
S2
R2
29
d2
d1
19b
55
17
21b
15
27
13
25
52
23
19a
21a
11
Q2

圖 36

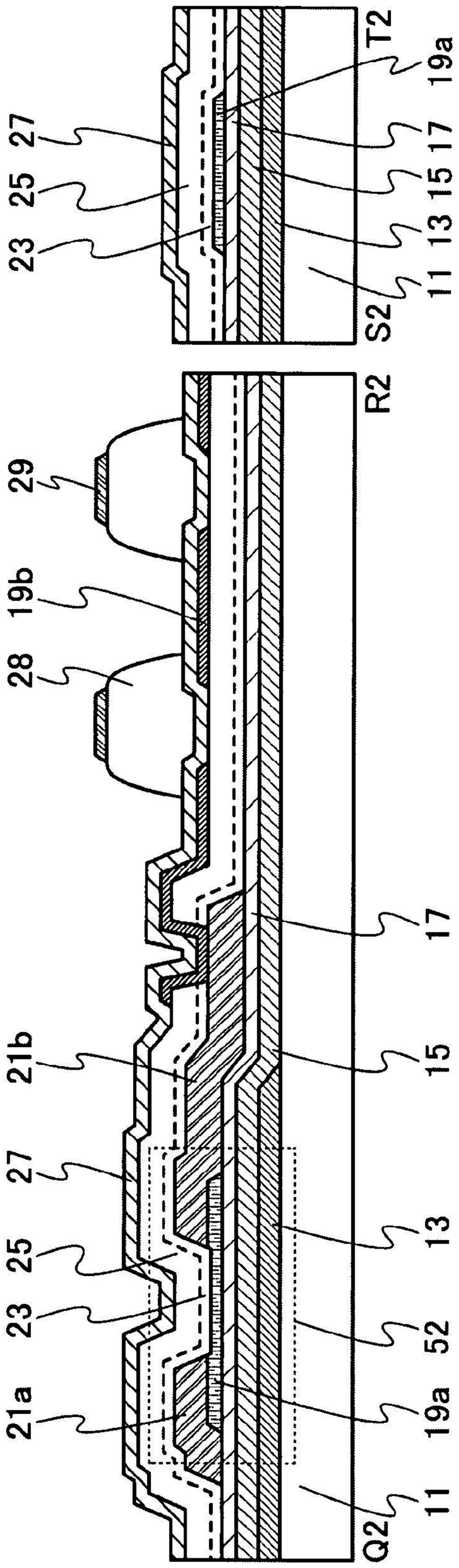

T2
19a
27
17
25
15
23
13
11
S2
R2
29
19b
28
17
21b
15
27
13
25
52
23
19a
21a
11
Q2

圖 37

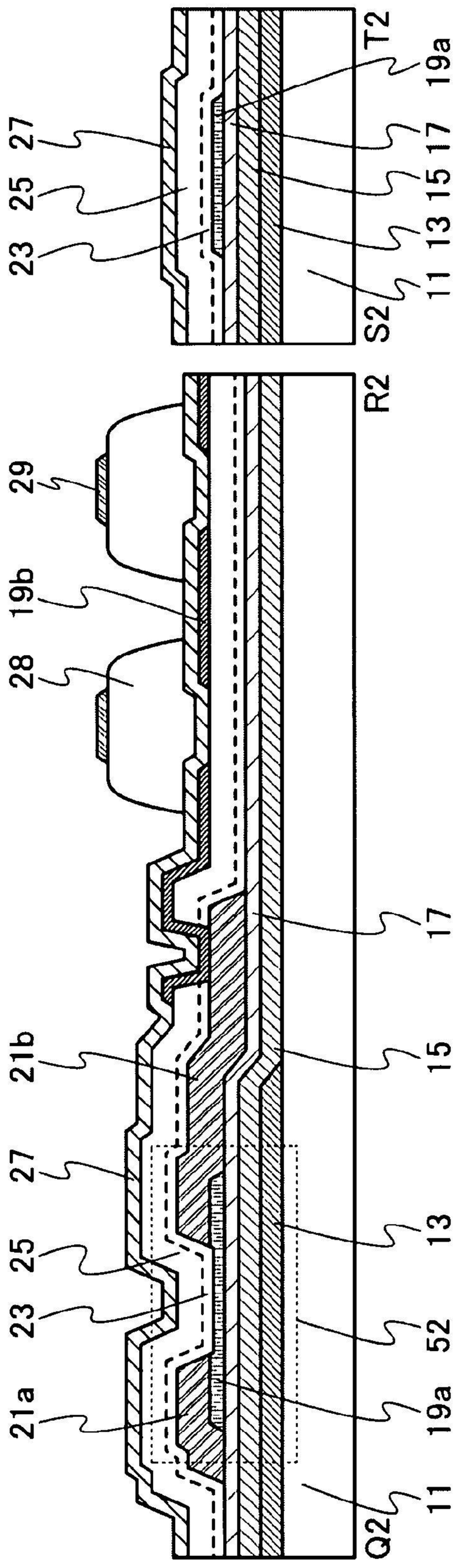

T2
19a
27
17
25
15
23
13
11
S2
R2
29
19b
28
17
21b
15
27
13
25
52
23
19a
21a
11
Q2

圖 38

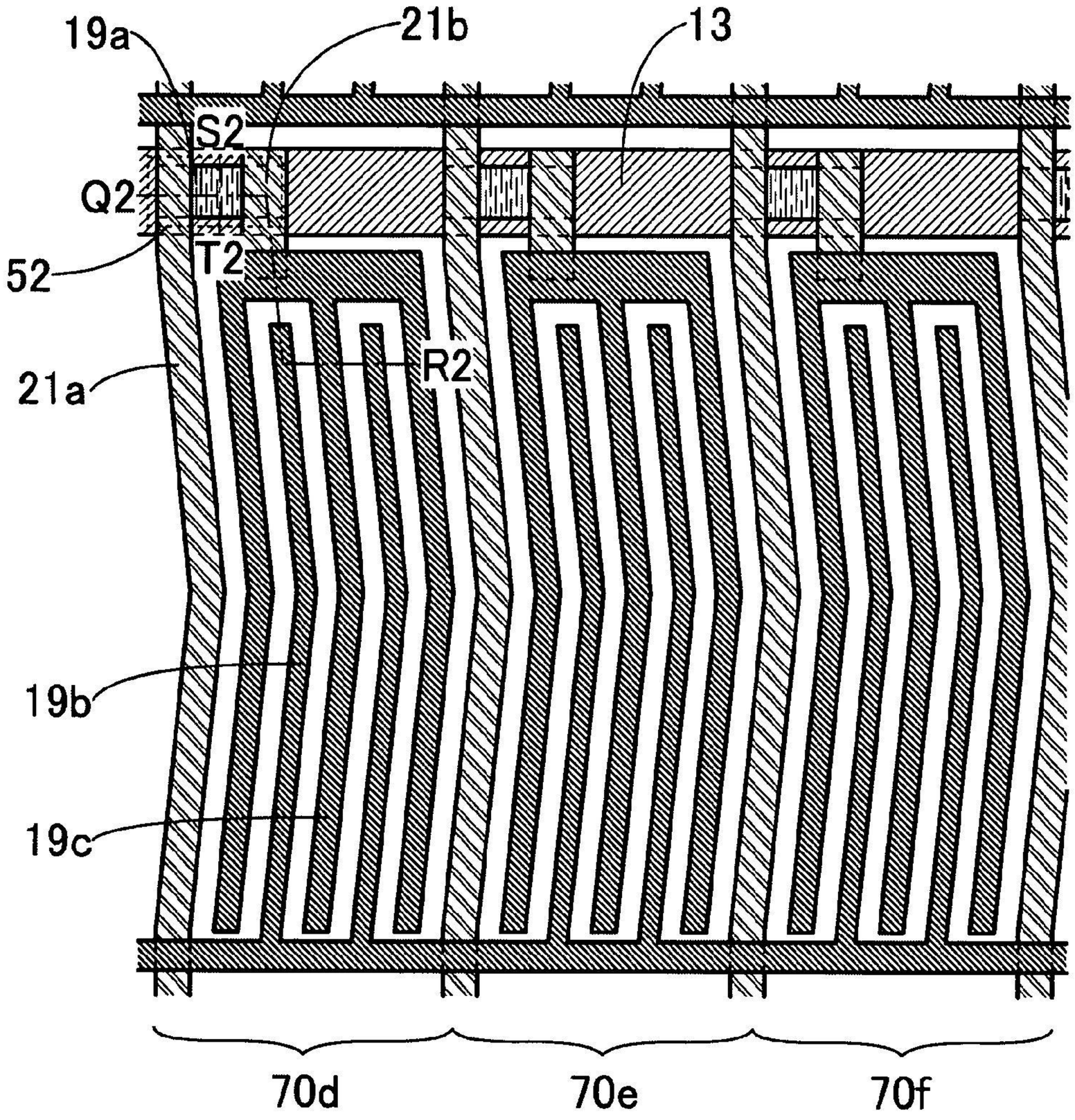


圖 39

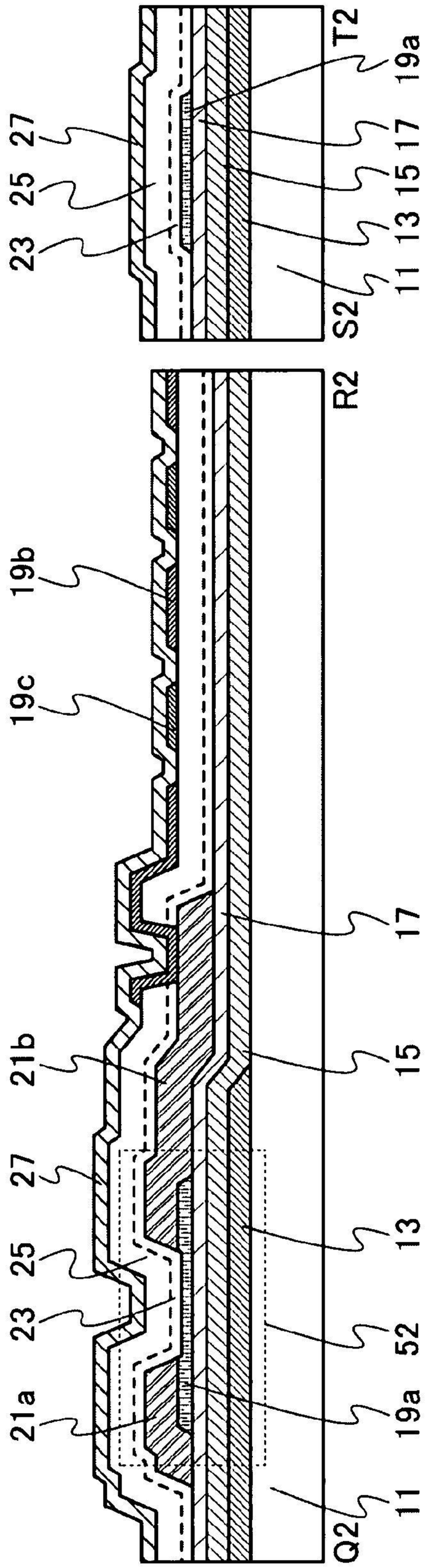


圖 40

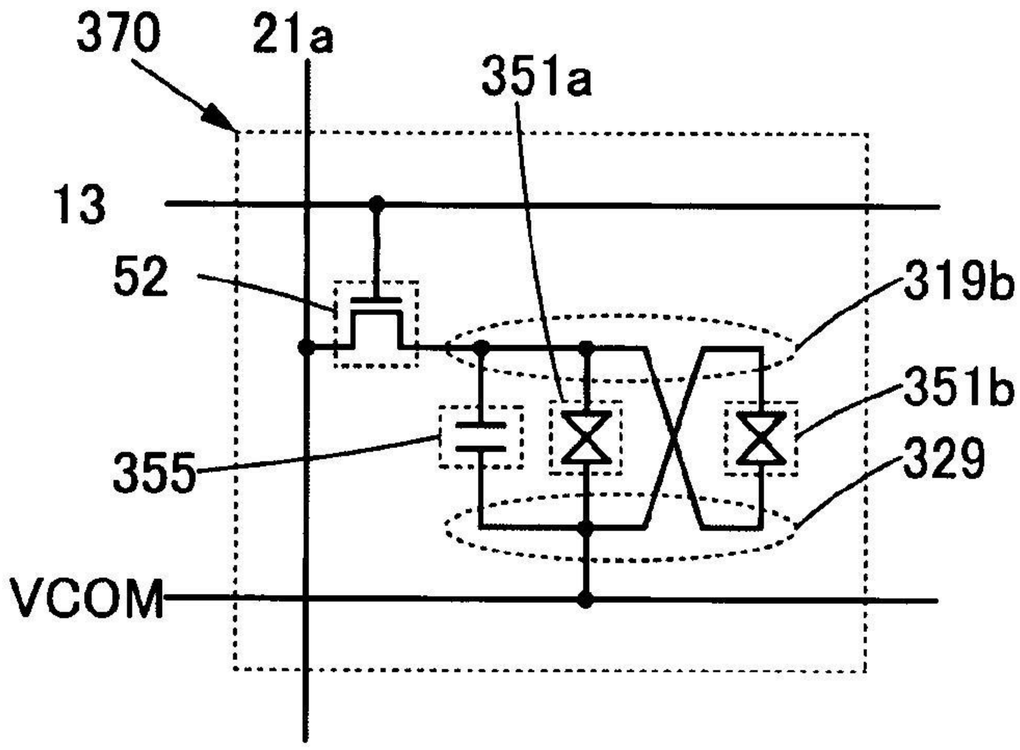

370
21a
351a
13
52
319b
351b
355
329
VCOM

圖 41A

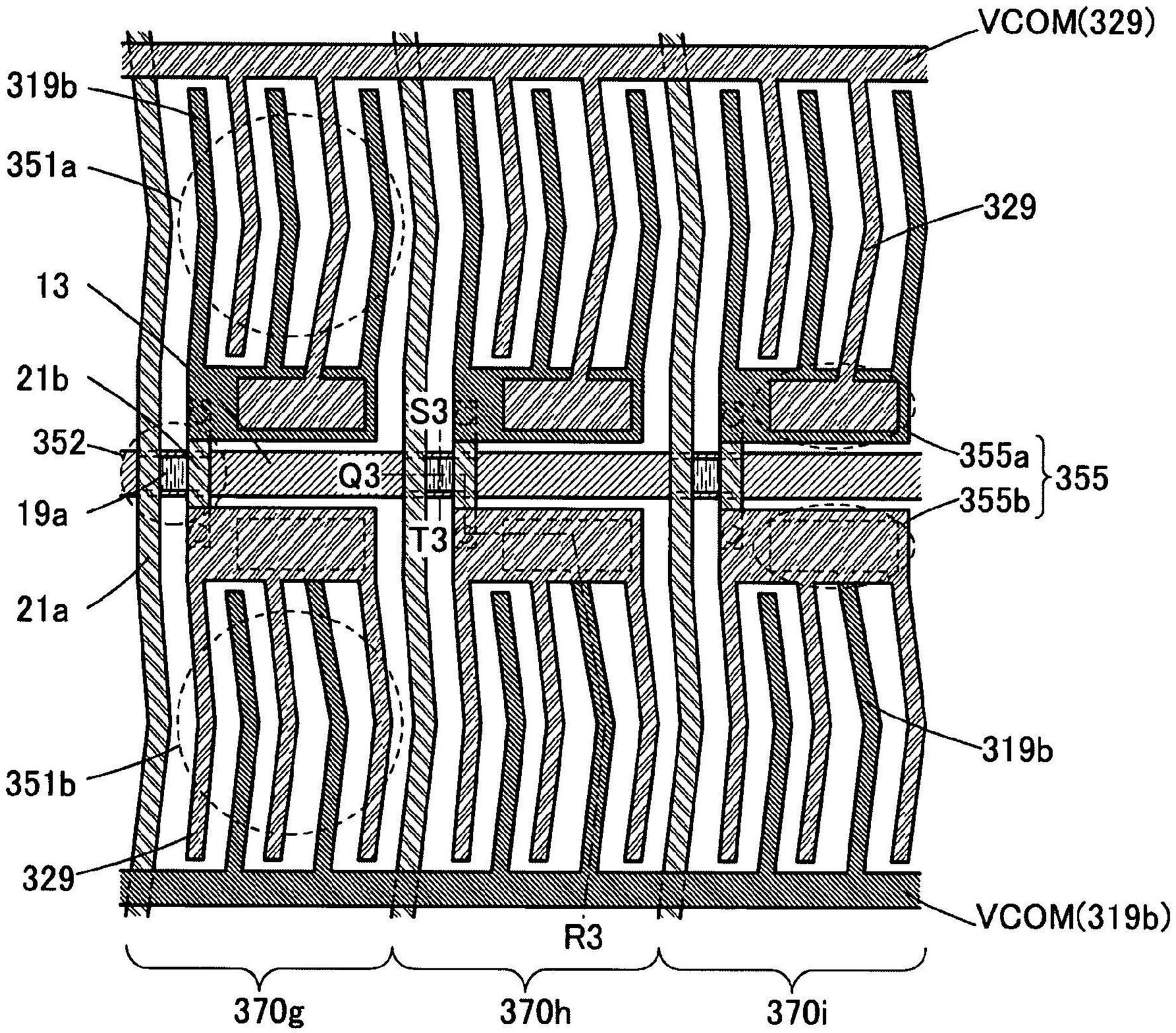

VCOM(329)
319b
351a
329
13
21b
352
19a
21a
S3
Q3
T3
355a
355b
355
351b
329
319b
R3
VCOM(319b)
370g
370h
370i

圖 41B

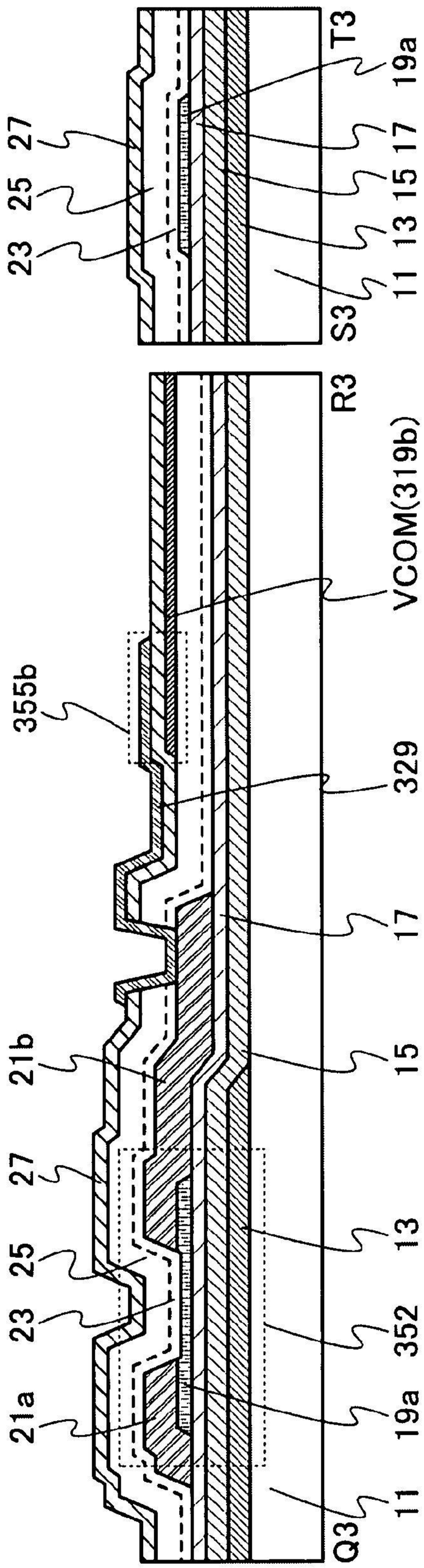

T3
19a
27
25
23
17
15
13
11
S3
R3
VCOM(319b)
355b
329
21b
17
15
27
13
25
352
23
19a
21a
11
Q3

圖 42

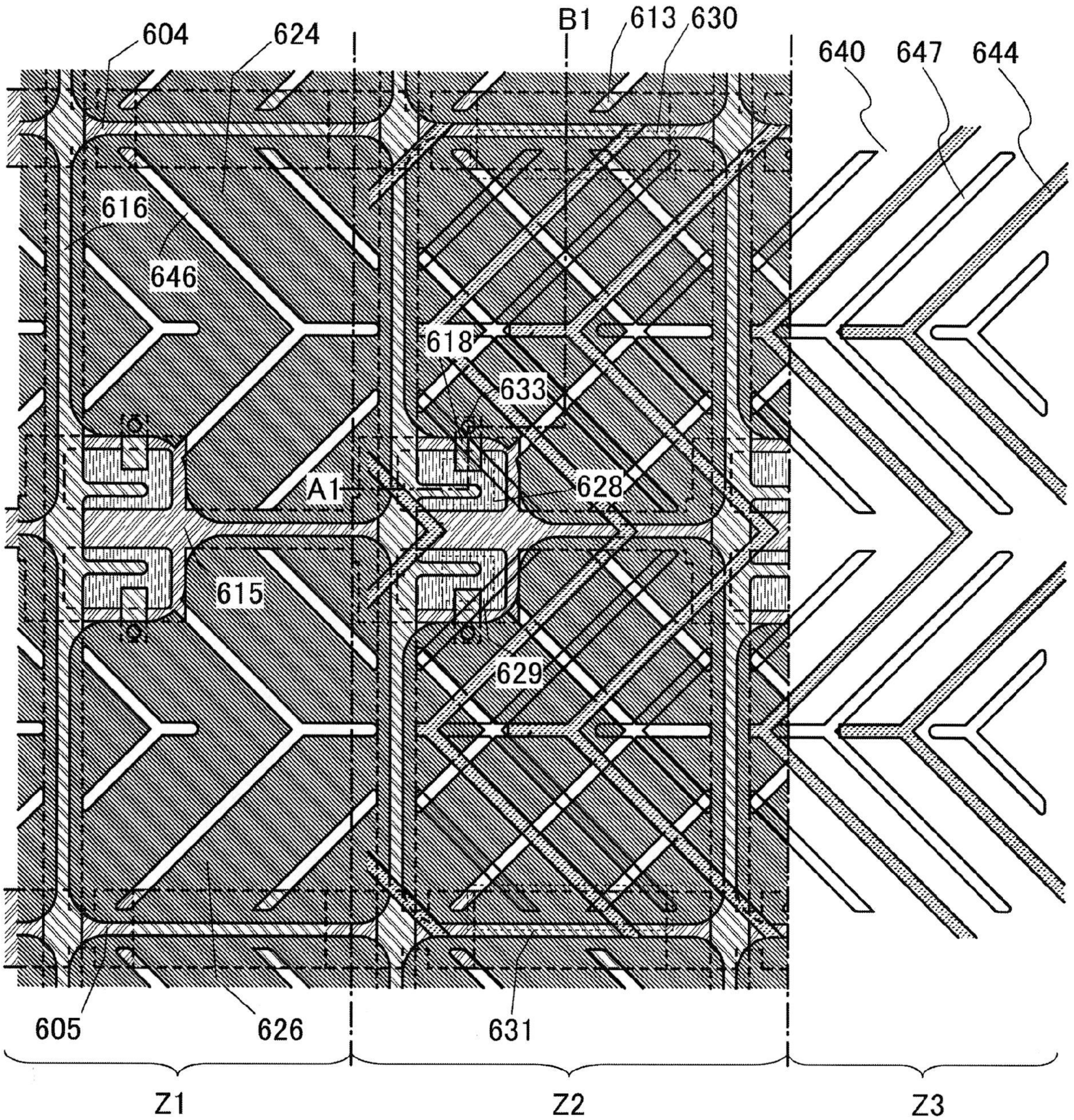

604
624
B1
613
630
640
647
644
616
646
618
633
A1
628
615
629
605
626
631
Z1
Z2
Z3

圖 43

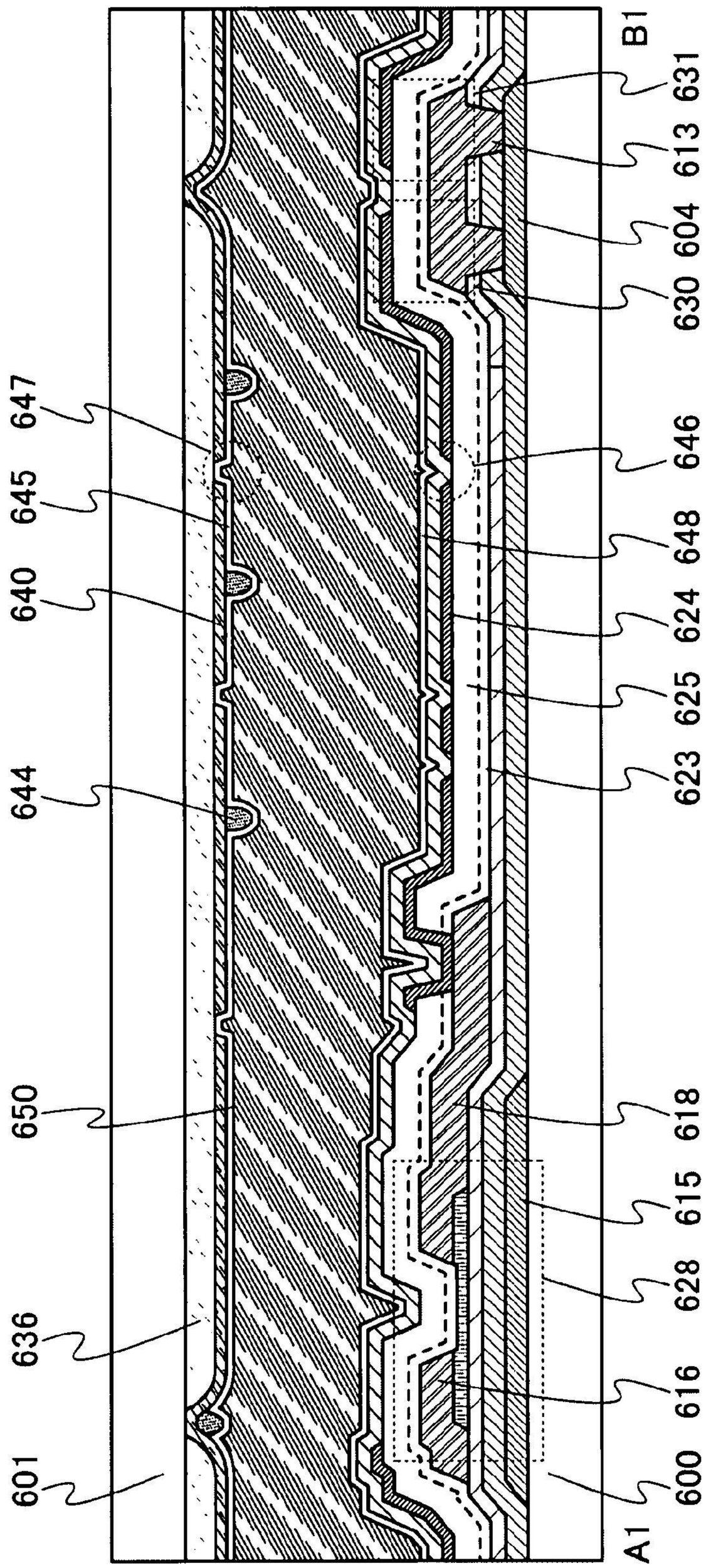

B1
631
613
604
630
647
645
640
644
650
636
601
646
648
624
625
623
618
615
628
616
600
A1

圖 44

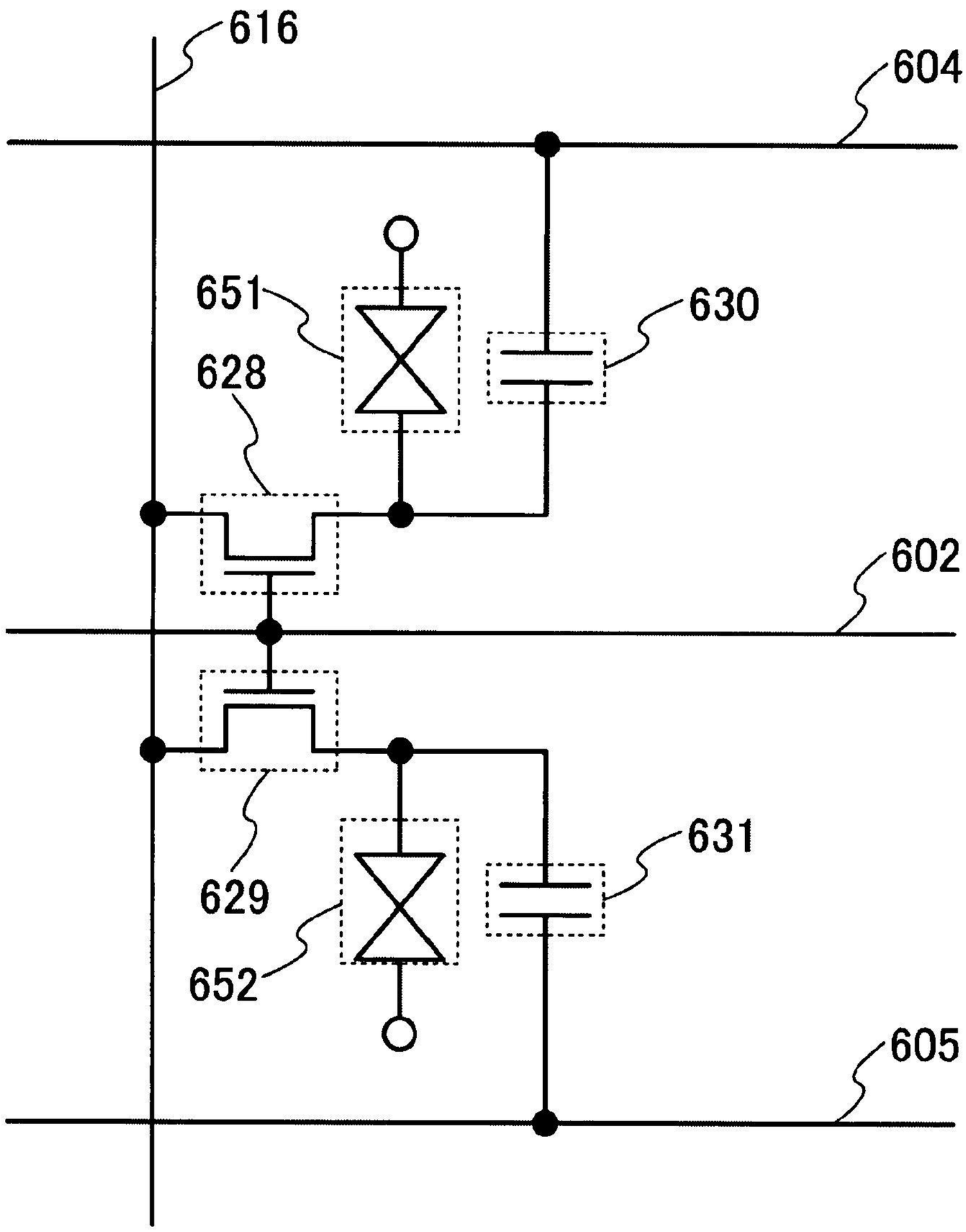


圖 45

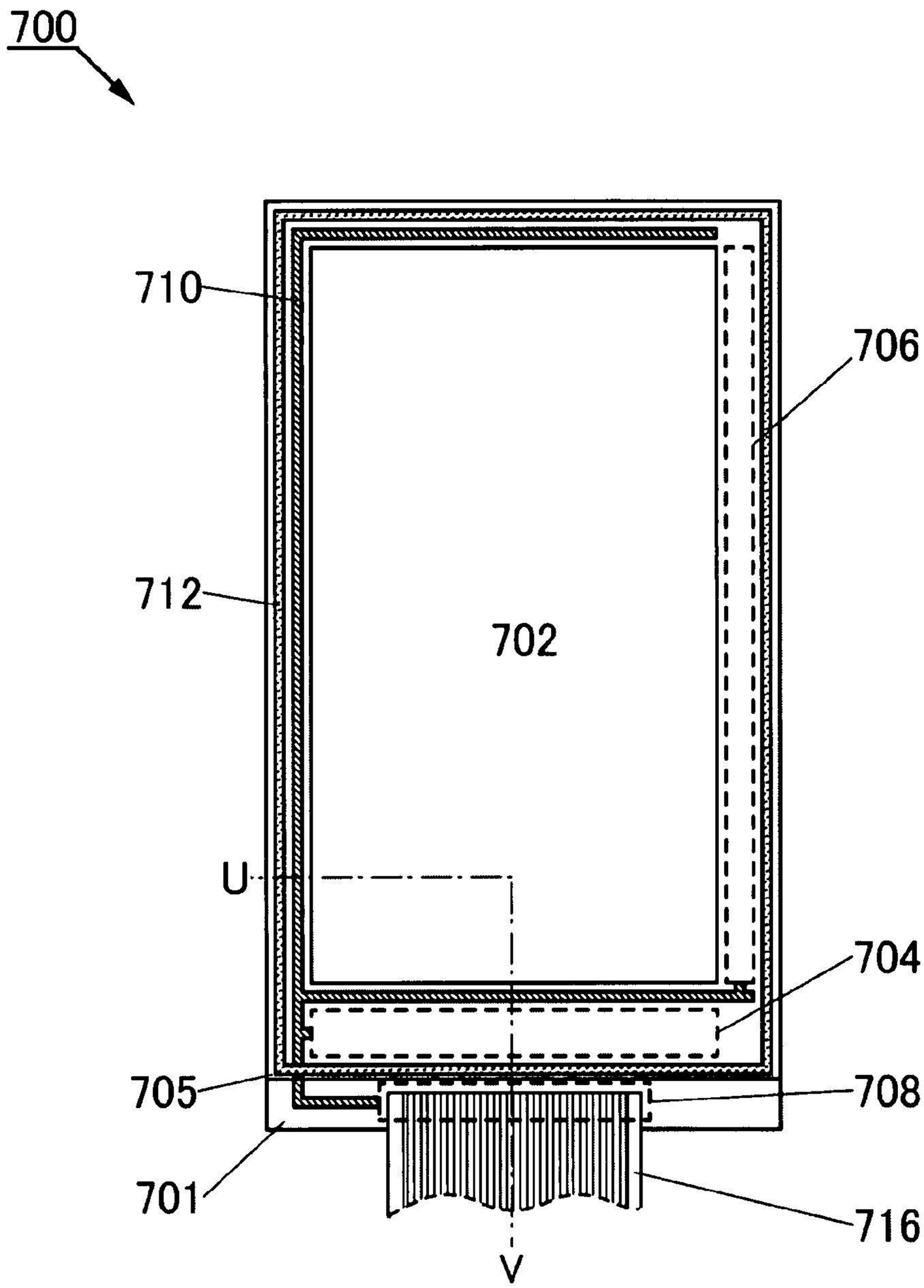


圖 46

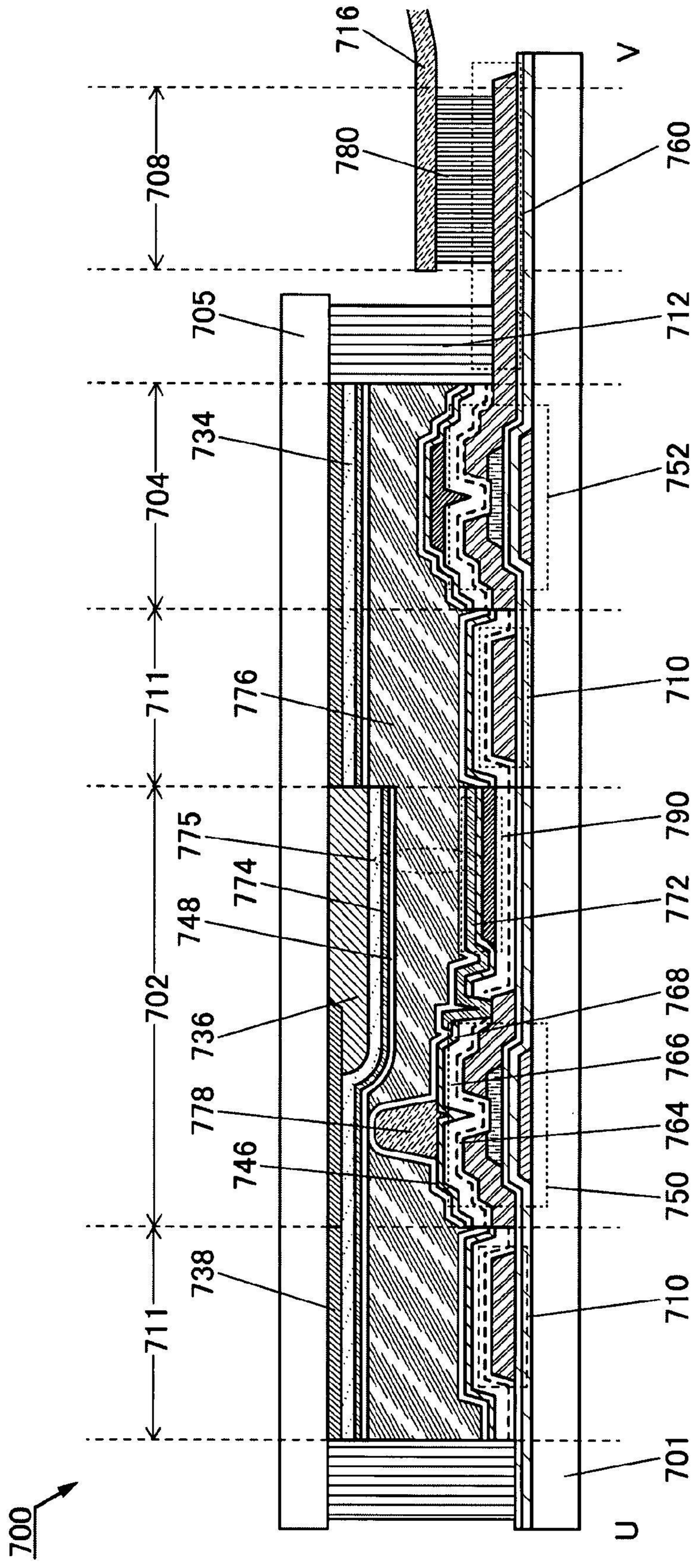

716
780
760
705
712
734
752
704
711
776
710
775
790
774
772
748
768
736
766
778
764
746
750
738
710
701
708
702
711
V
U
700

圖 47

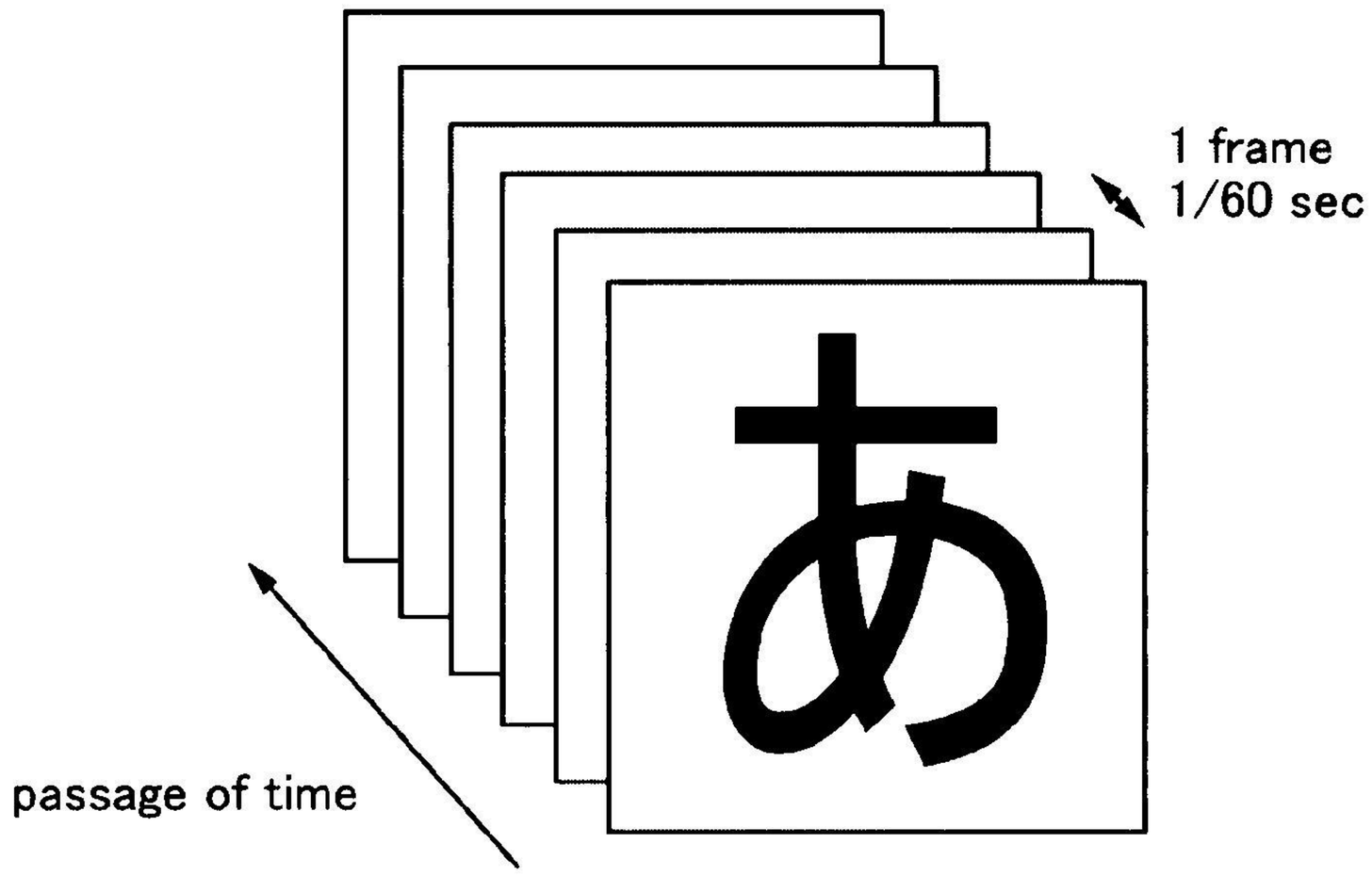

1 frame
1/60 sec
あ
passage of time

圖 48A

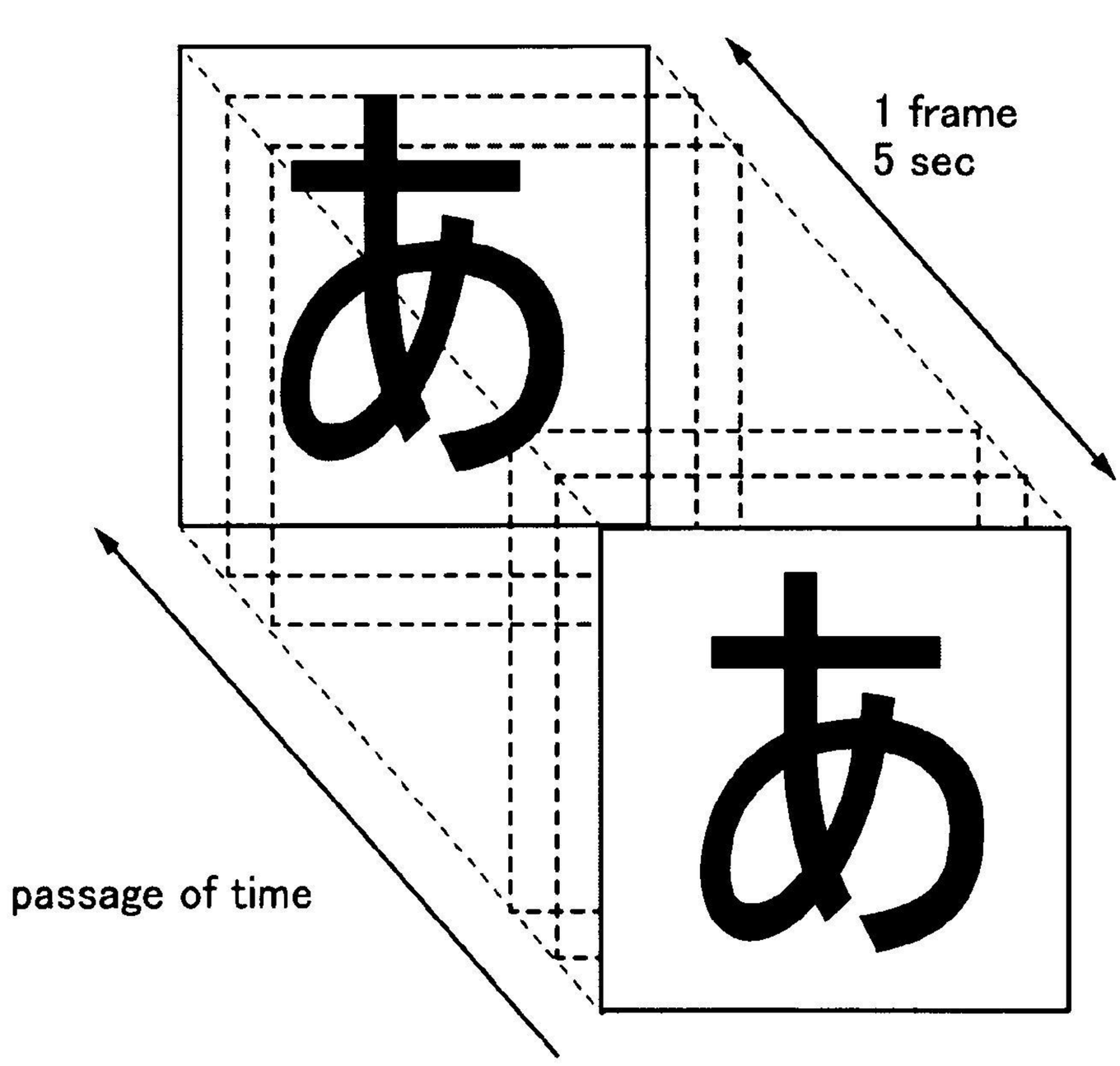

1 frame
5 sec
あ
あ
passage of time

圖 48B

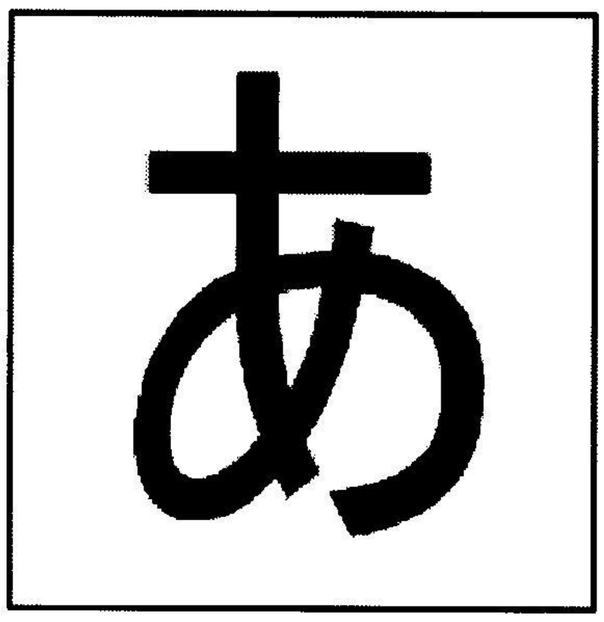


圖 49A

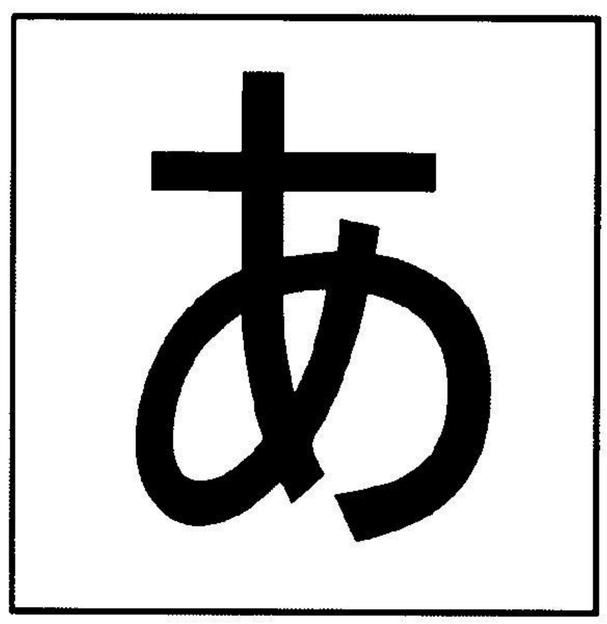


圖 49B

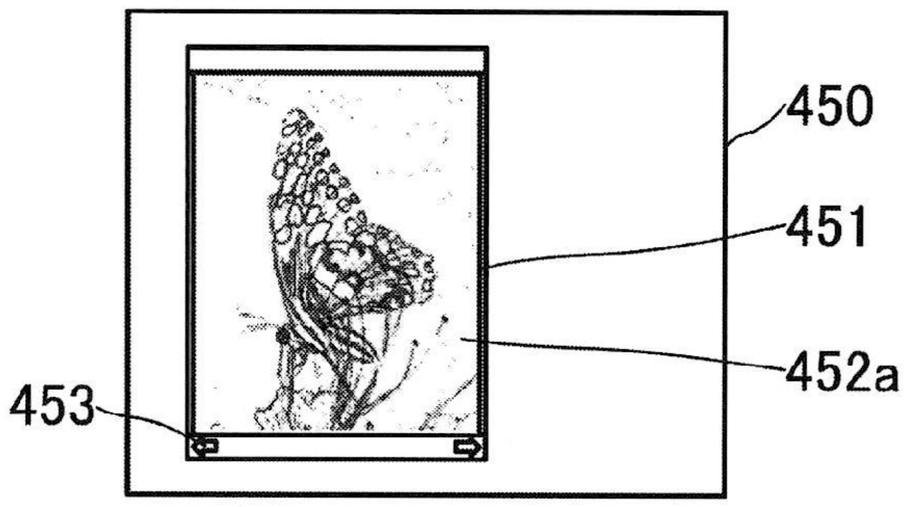


圖 50A

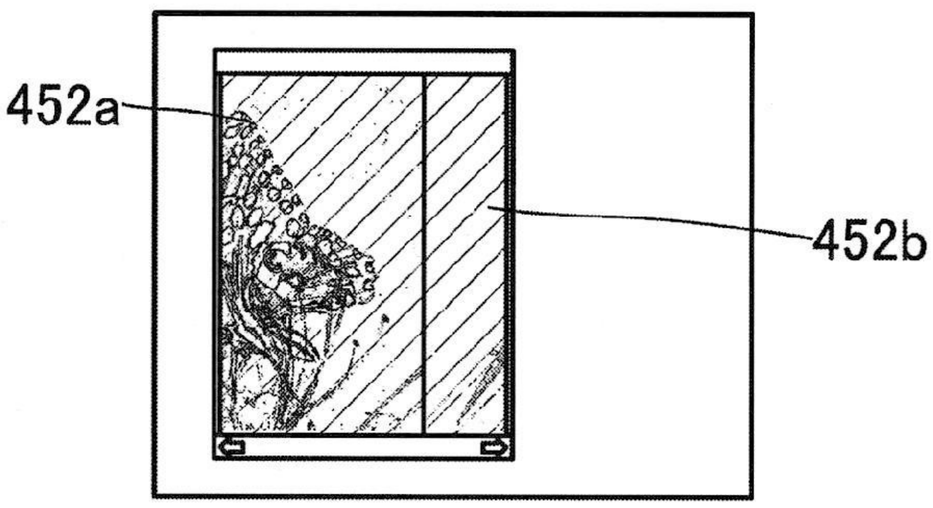


圖 50B

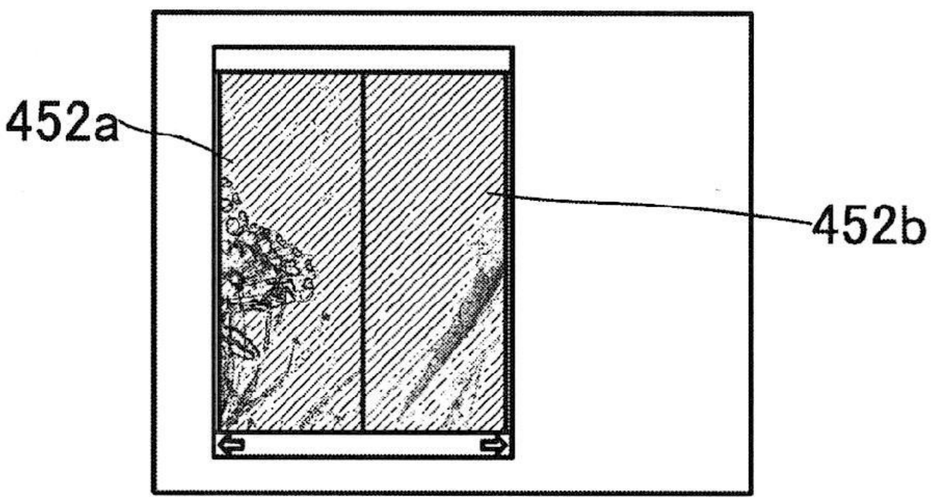


圖 50C

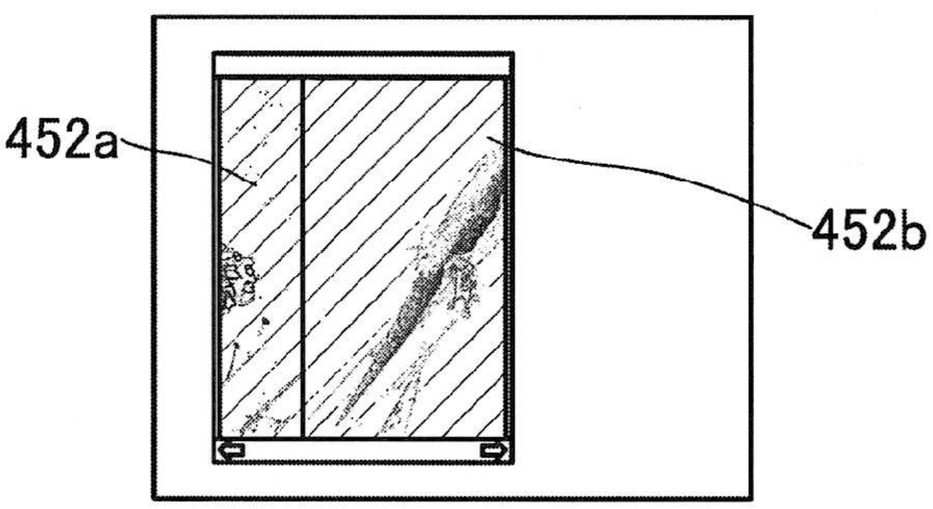


圖 50D

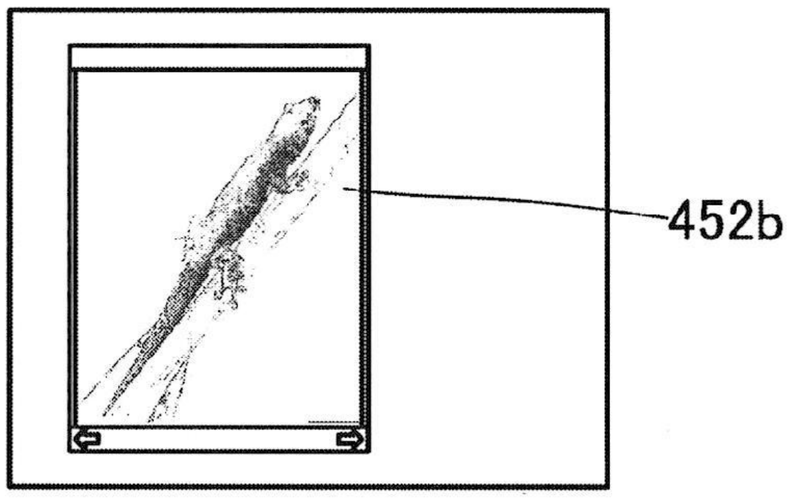


圖 50E

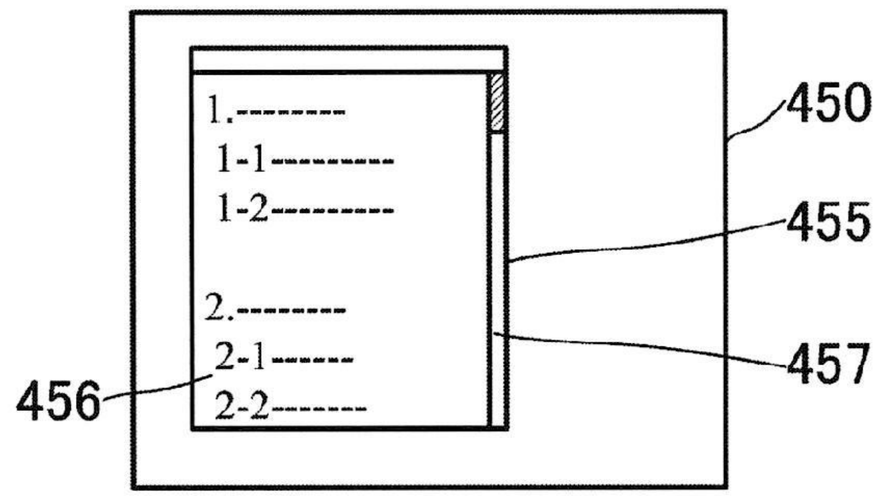


圖 51A

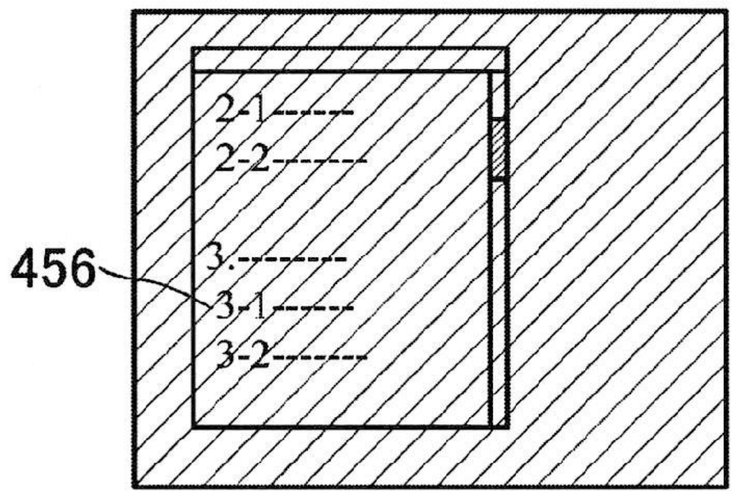


圖 51B

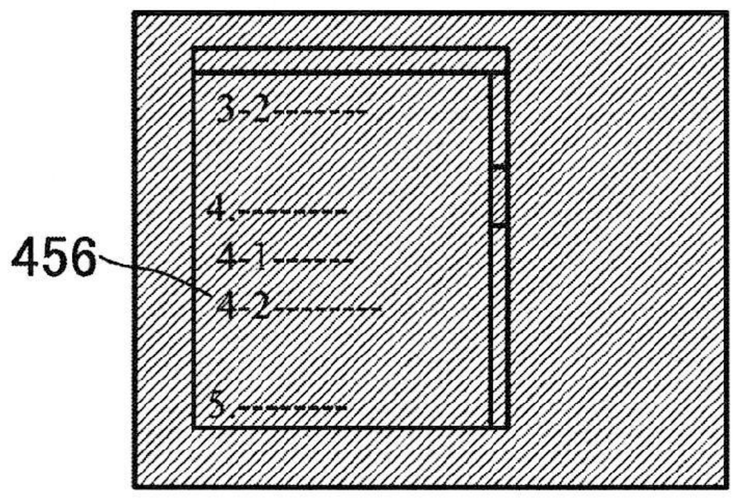


圖 51C

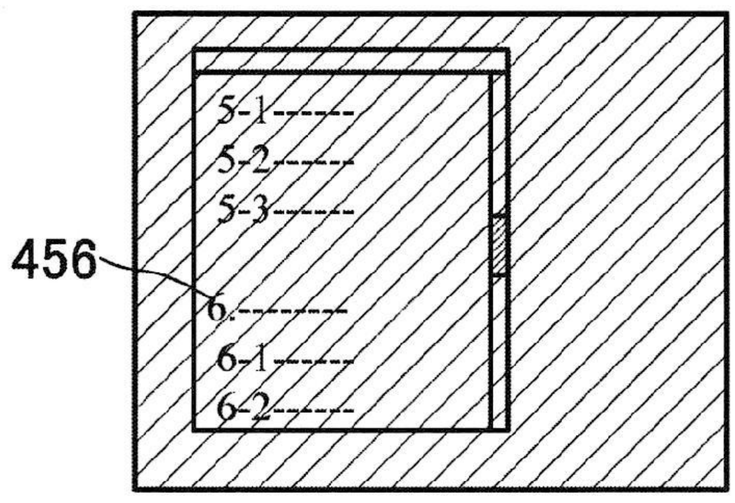


圖 51D

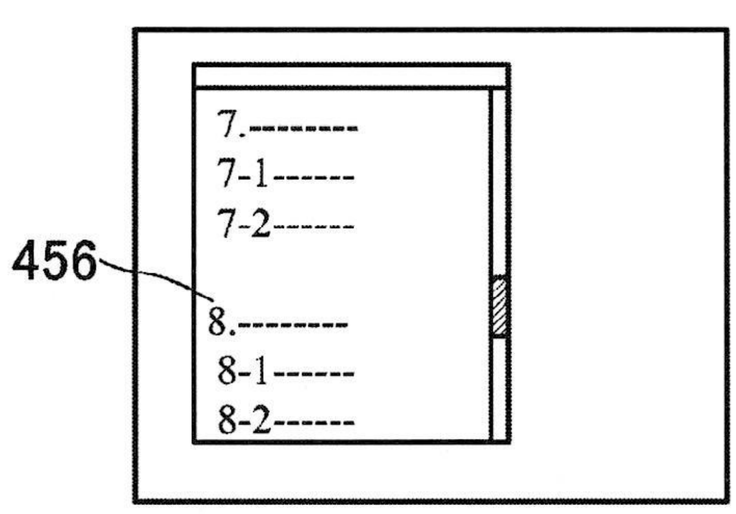


圖 51E

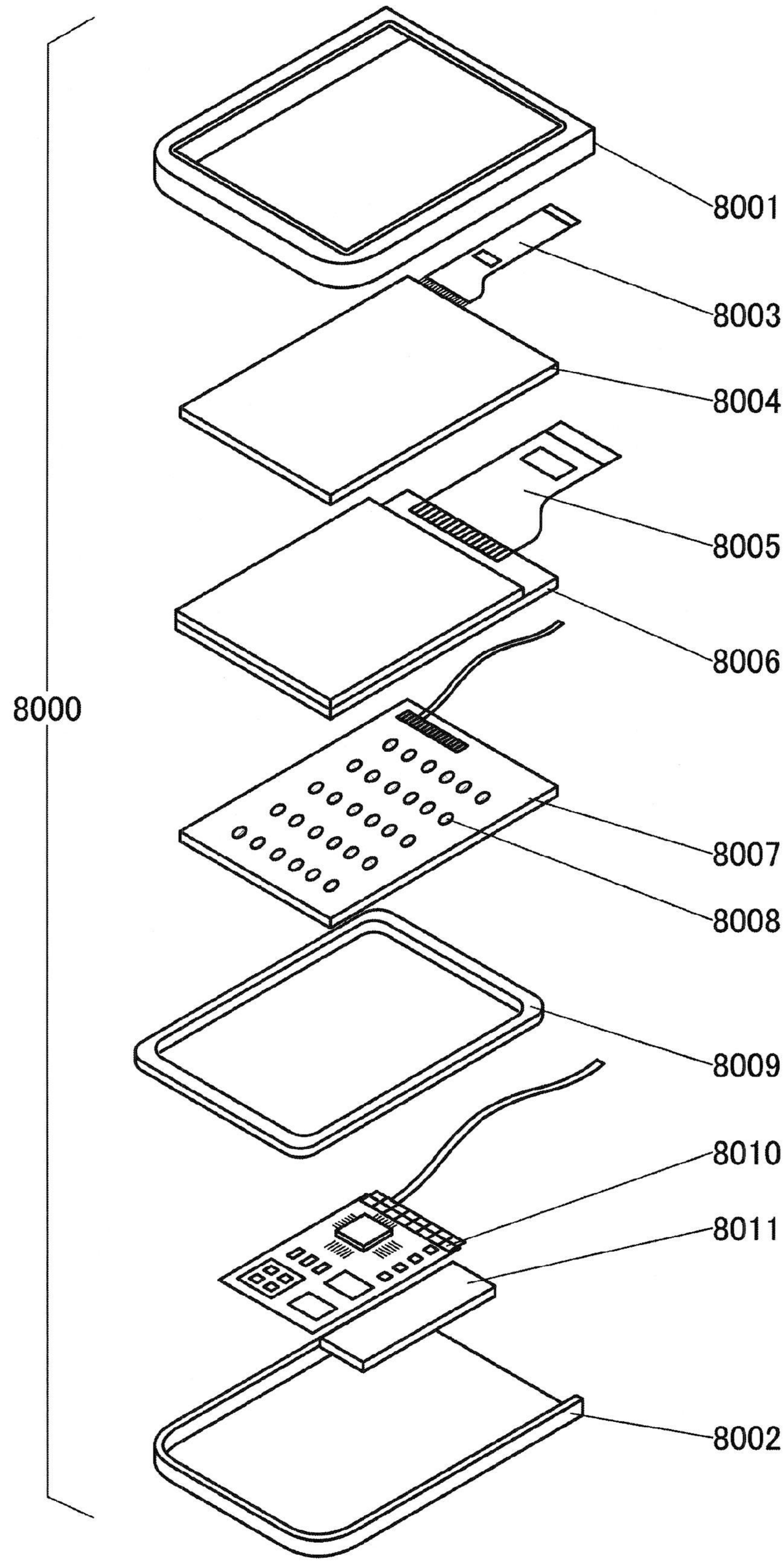


圖 52

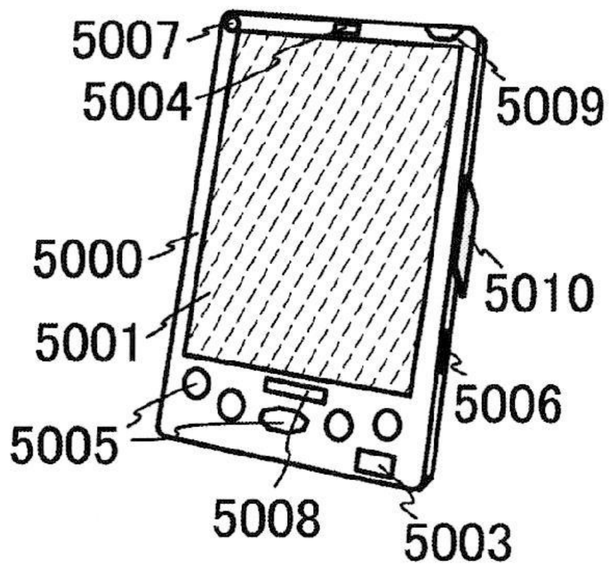


圖 53A

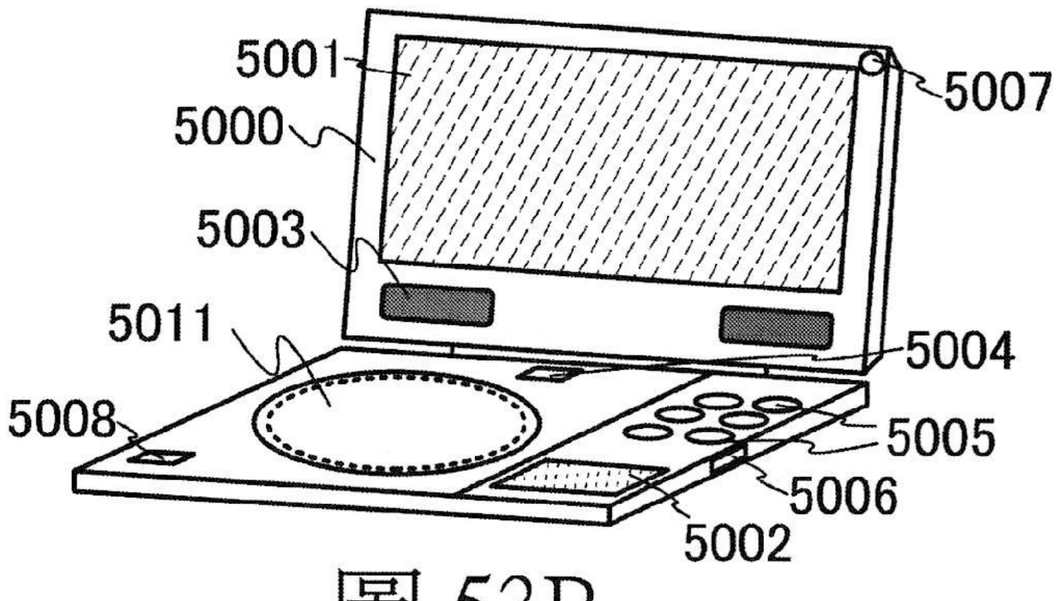


圖 53B

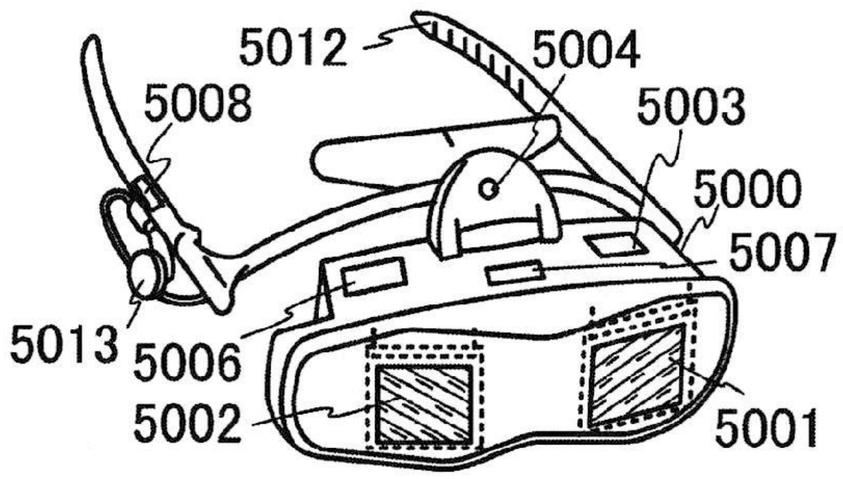


圖 53C

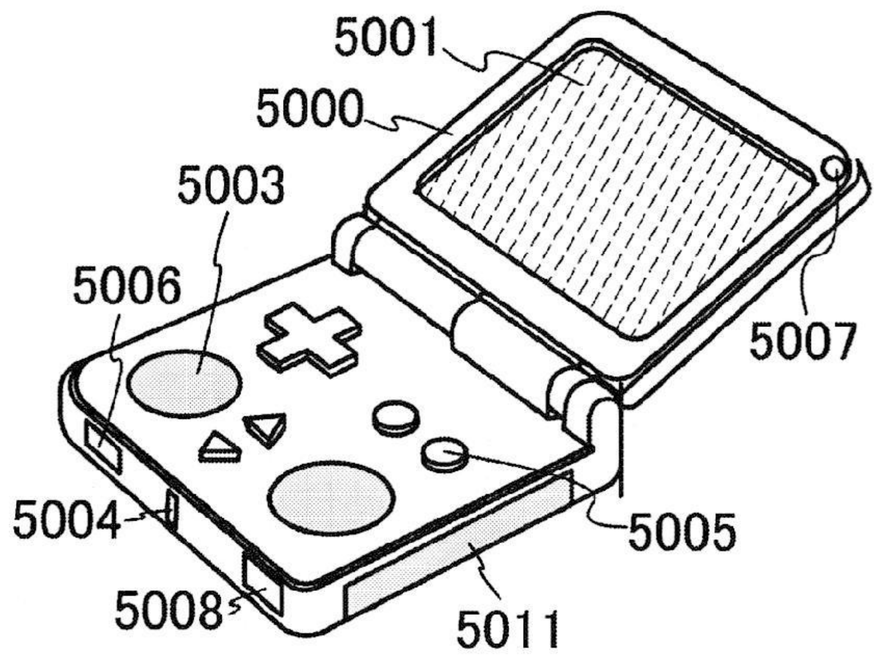


圖 53D

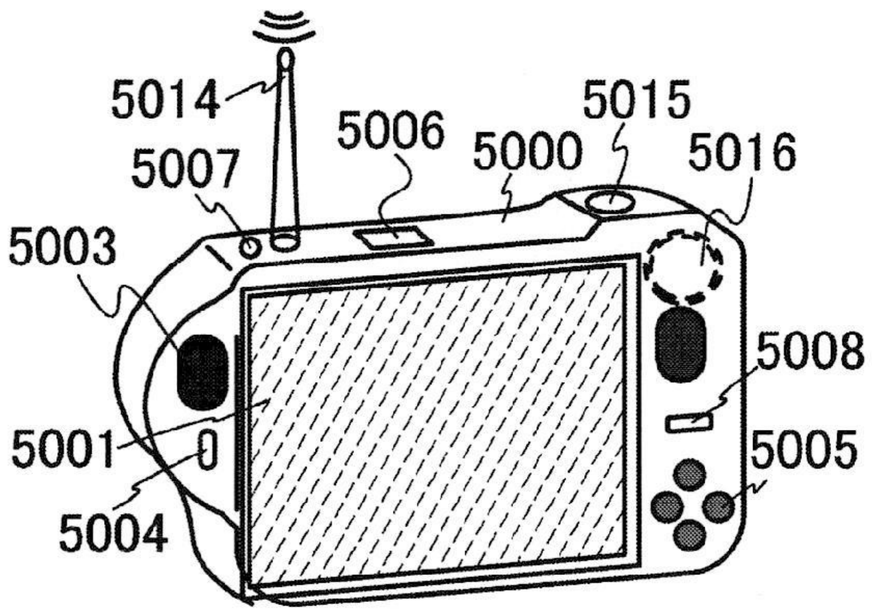


圖 53E

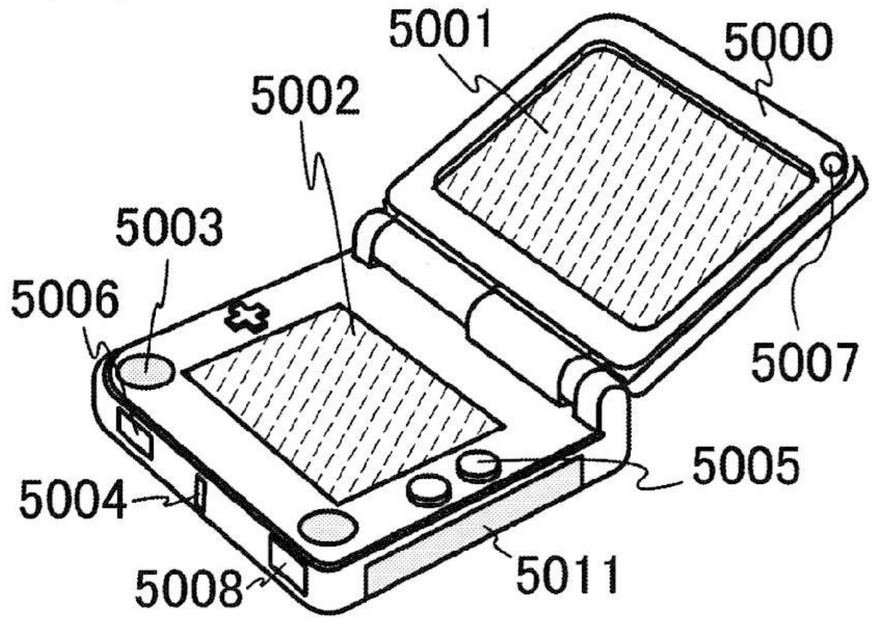


圖 53F

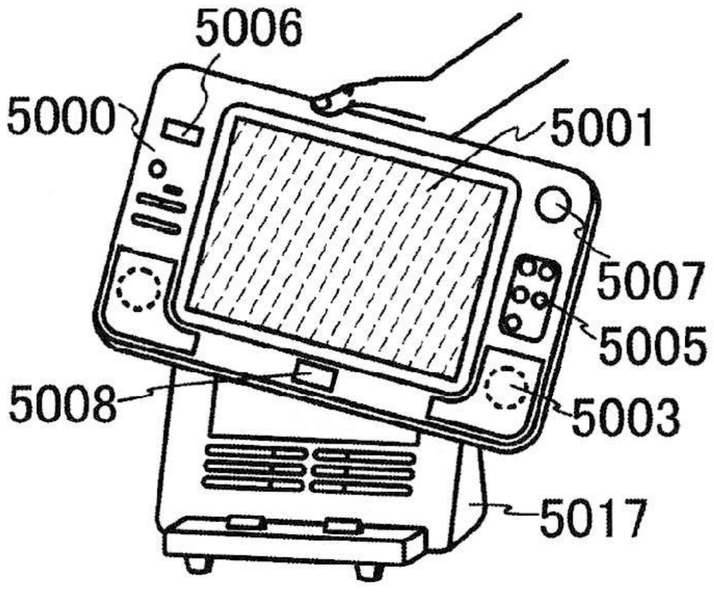


圖 53G

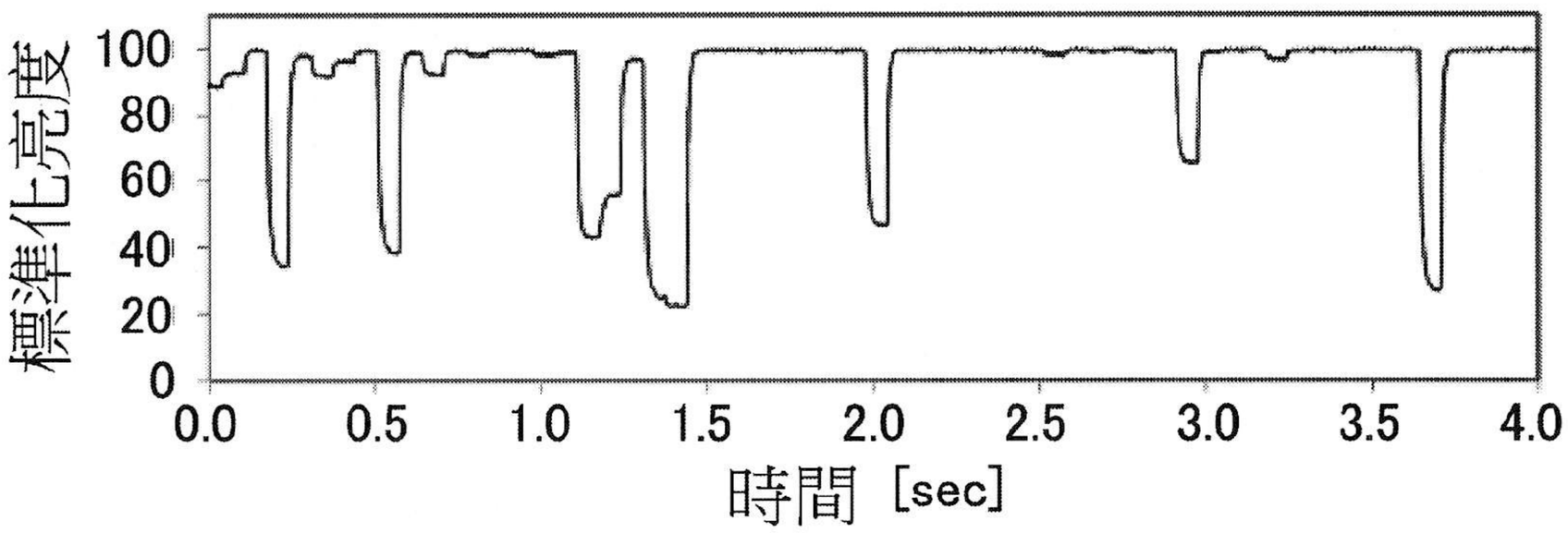


圖 54A

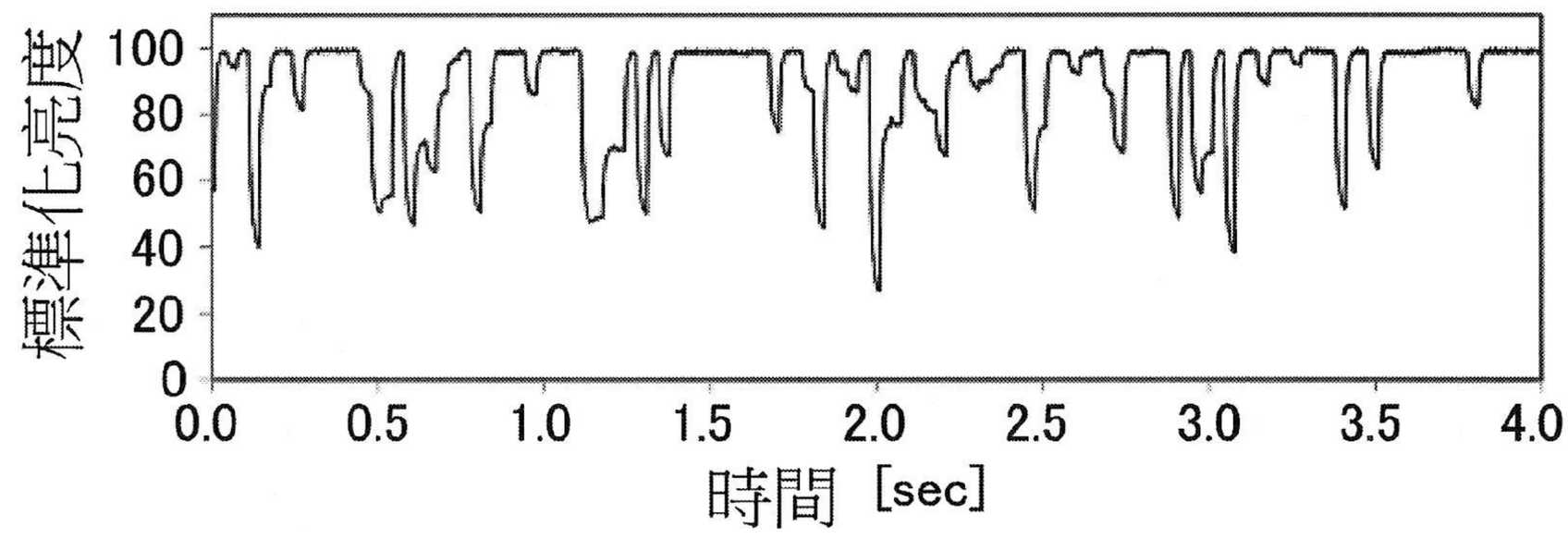


圖 54B

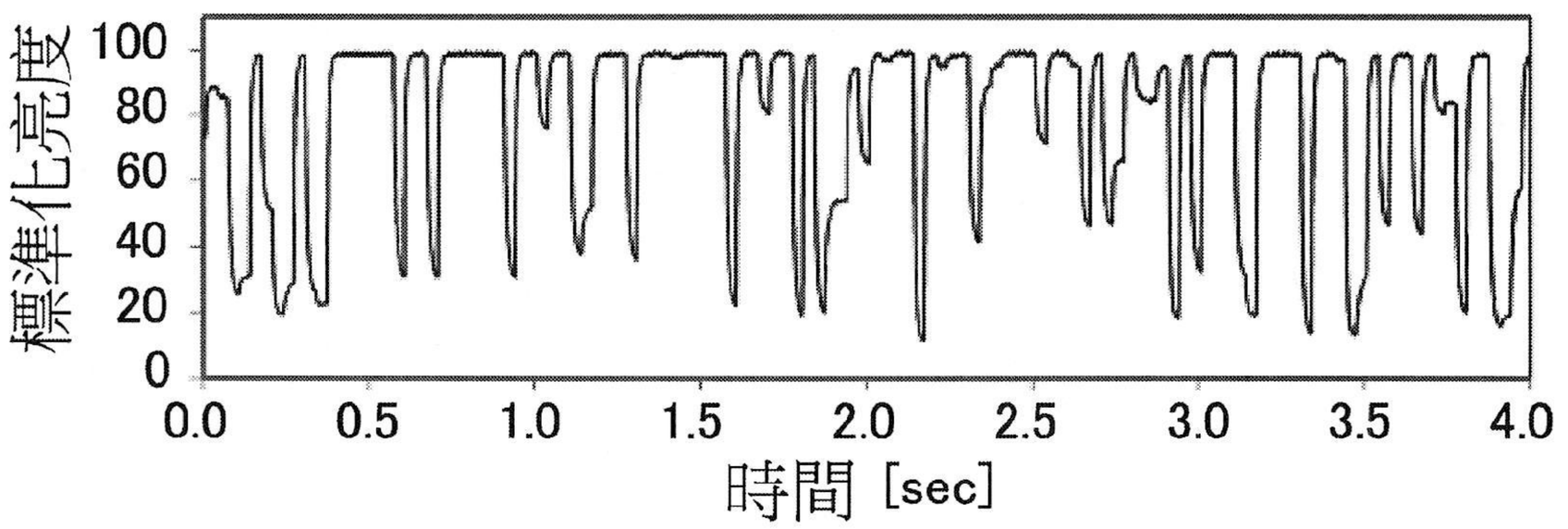


圖 54C

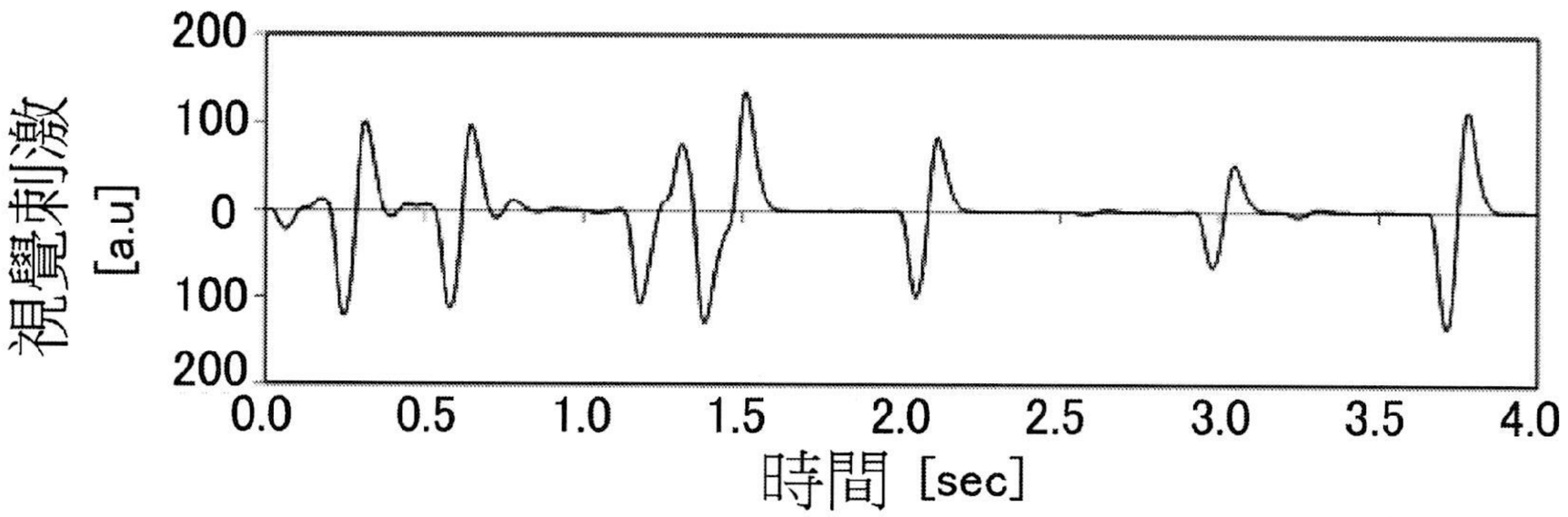


圖 55A

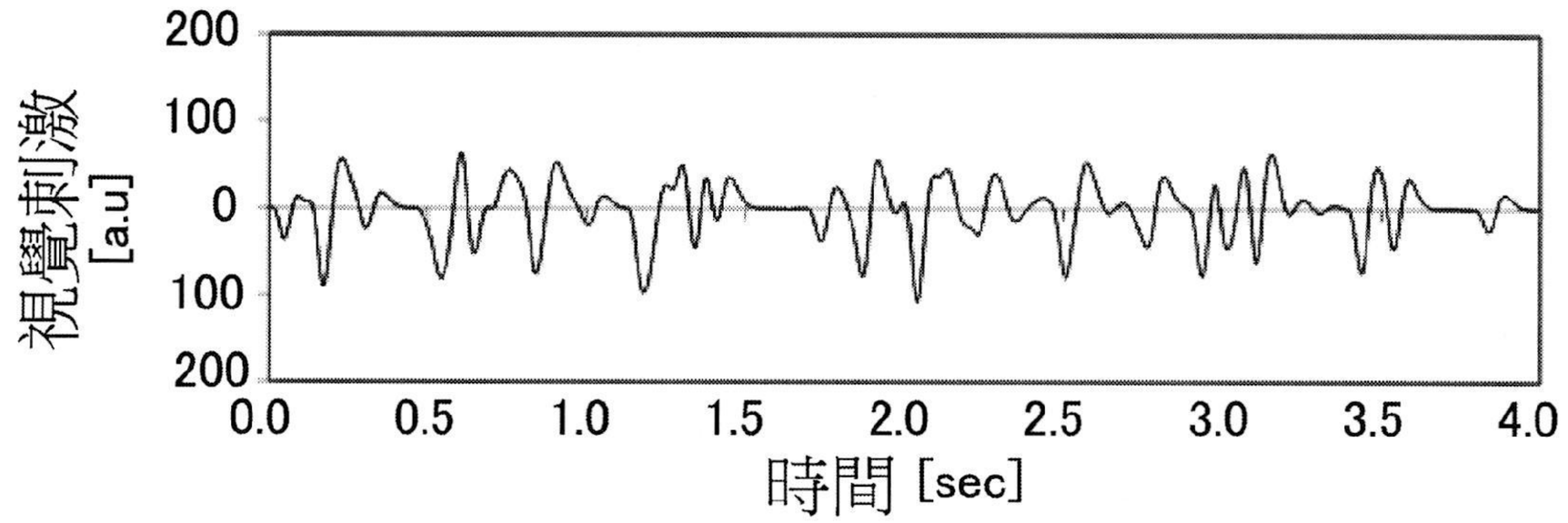


圖 55B

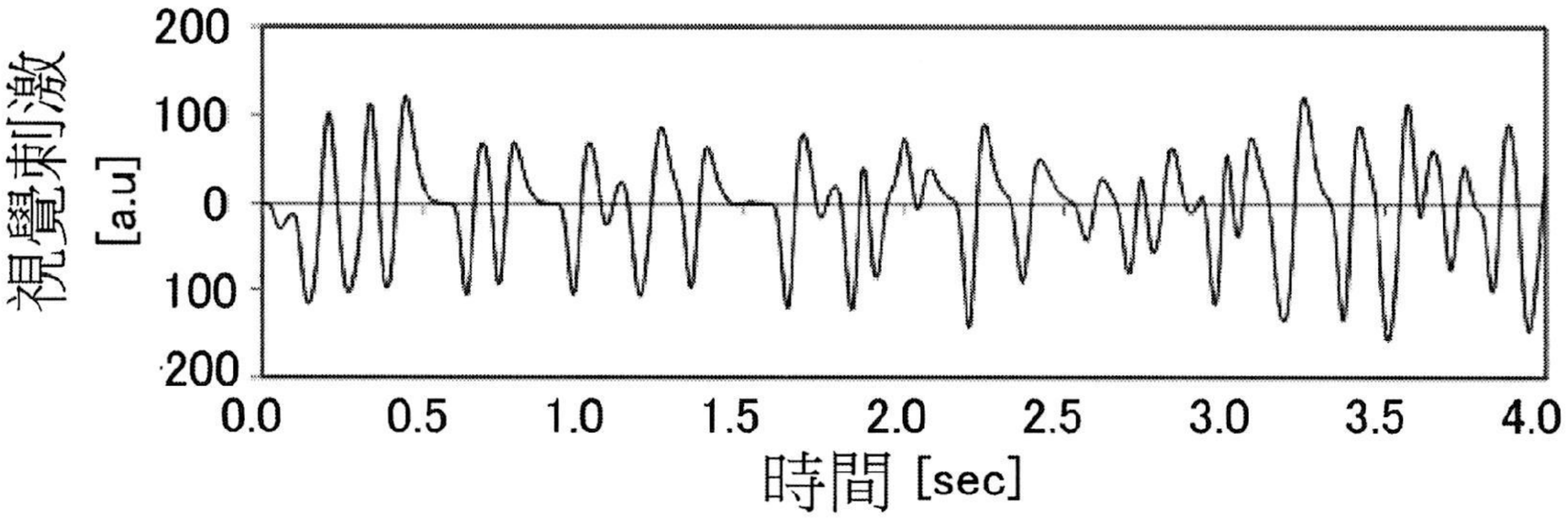


圖 55C

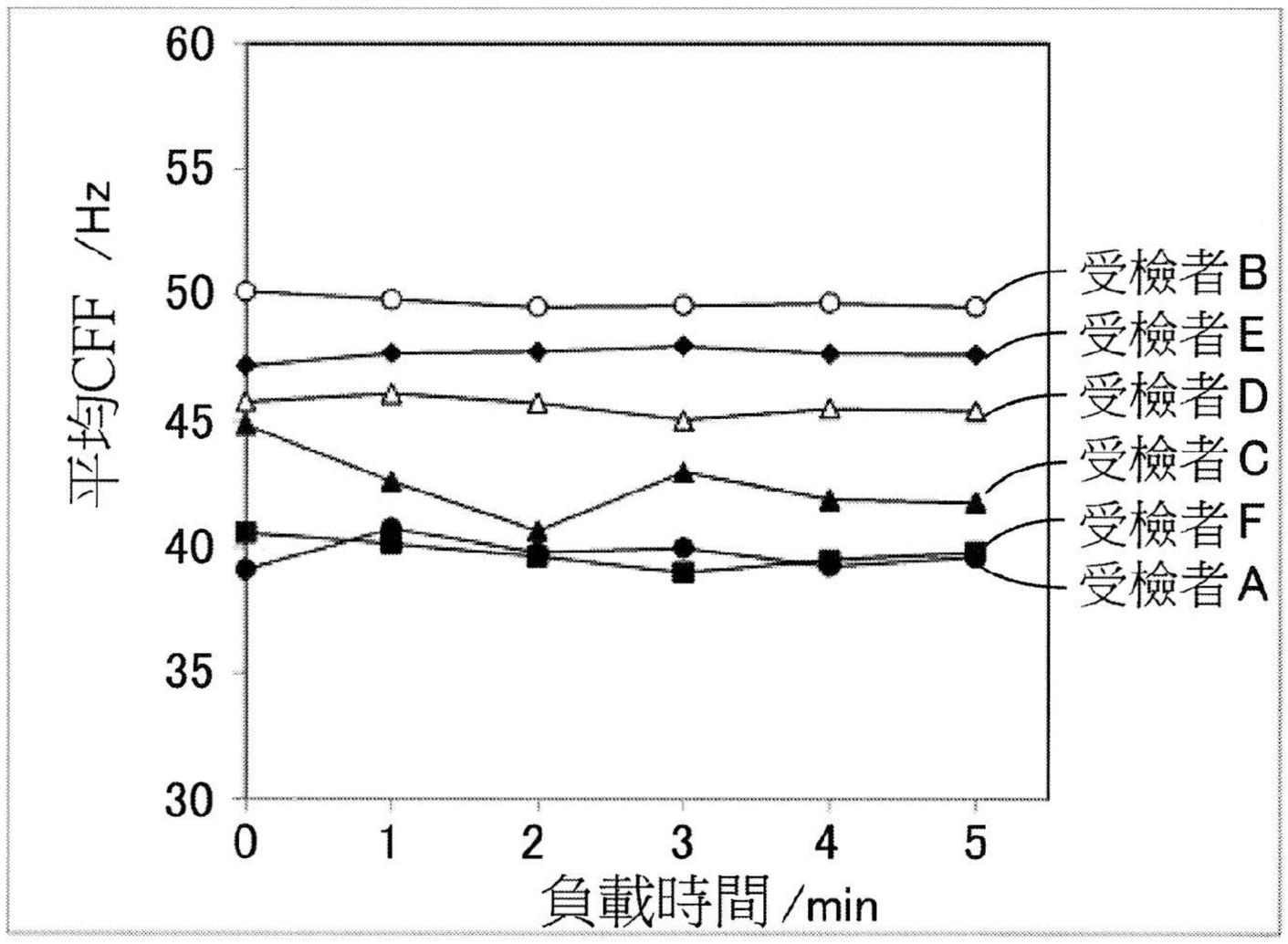

60
55
50
45
40
35
30
平均CFF /Hz
0
1
2
3
4
5
負載時間 /min
受檢者 B
受檢者 E
受檢者 D
受檢者 C
受檢者 F
受檢者 A

圖 56A

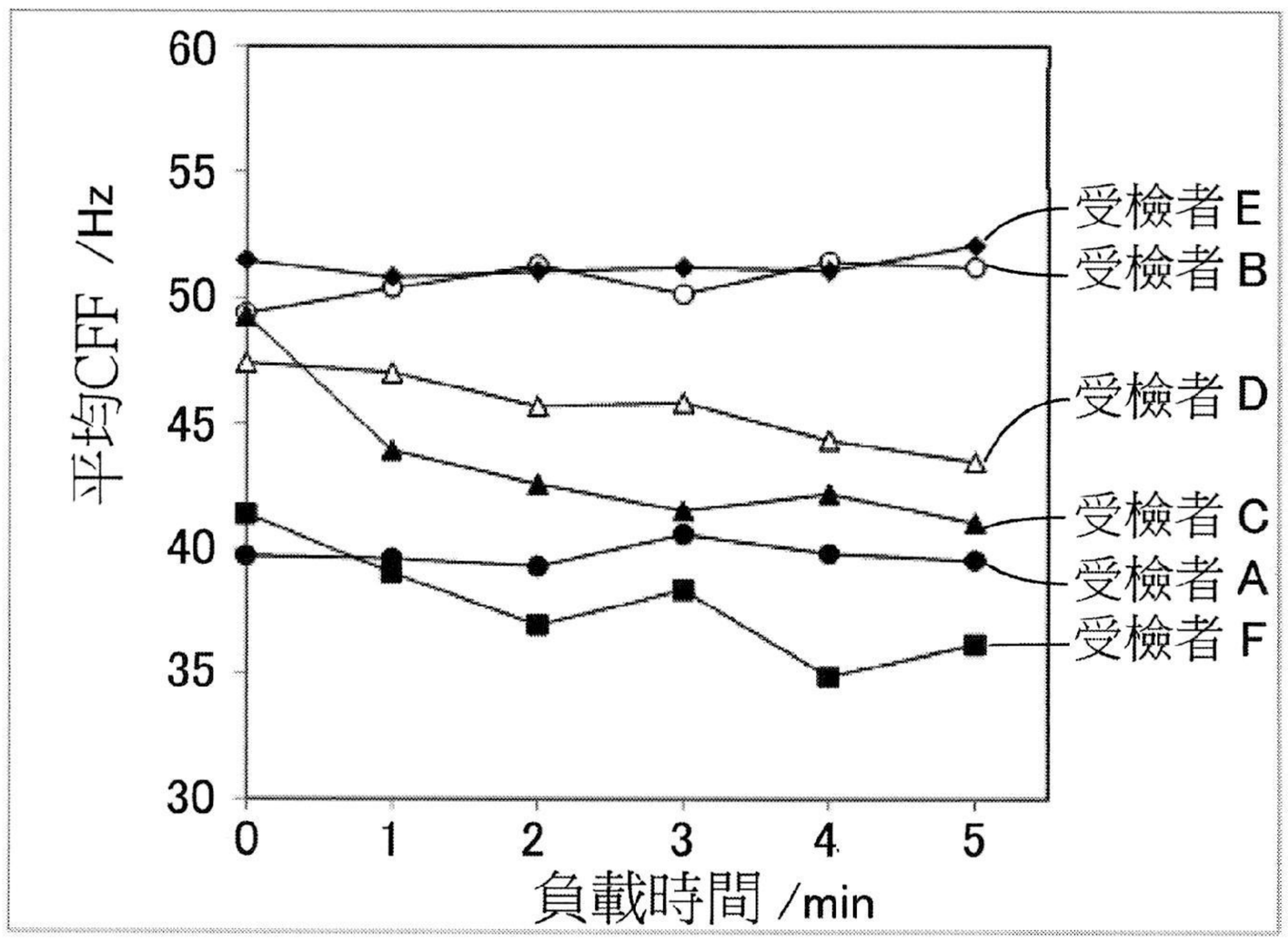

60
55
50
45
40
35
30
平均CFF /Hz
0
1
2
3
4
5
負載時間 /min
受檢者 E
受檢者 B
受檢者 D
受檢者 C
受檢者 A
受檢者 F

圖 56B