

公告本

284920

申請日期	85. 1. 24.
案 號	85100624
類 別	1401L 29/02

A4
C4

284920

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	碳化矽金屬擴散障壁層
	英 文	"SILICON CARBIDE METAL DIFFUSION BARRIER LAYER"
二、發明 創作人	姓 名	1.馬克·強·洛包達 2.凱斯·威頓·麥可
	國 籍	均美國
	住、居所	1.美國密西根州密蘭市維尼街1902號 2.美國密西根州密蘭市西伯2715號
三、申請人	姓 名 (名稱)	美商道康寧公司
	國 籍	美國
	住、居所 (事務所)	美國密西根州密蘭市
	代 表 人 姓 名	諾曼·愛德華·雷威斯

284920

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：1995.2.2 案號：382 701，☐有 ☐無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係在多層金屬積體電路及配線板設計上使用非晶態碳化矽(a-SiC)膜作為擴散障壁。非晶態碳化矽之作用為終止金屬原子在相連導電體間遷移，該導電體為電迴路中裝置內接點。由非晶態碳化矽擴散障壁加至迴路之可靠性使得低電阻率導電體及低介電常數物質可用作導體間絕緣介質低電阻率導電體、非晶態碳化矽擴散障壁及低介電常數絕緣物之組合亦極小化迴路之電阻抗。迴路因此可在低至高頻率有效率地操作。

江氏等於"銅金屬化介電障壁研究"(於1994年6月7-8日之VMIC研討會)中討論了銅擴散至氮化矽、氮氧化矽及氧化矽介電質。此文獻說明了氮化矽及氮氧化矽較氧化矽為更佳金屬遷移障壁。然而該文獻並未討論使用碳化矽作障壁。

美國專利號5,103,285相似地指出於矽基質及金屬線層間使用碳化矽作為障壁層。然而該專利並未指出於金屬線及相連介電層間使用碳化矽作擴散障壁層。

吾人於今發現碳化矽可形成優異障壁層，出乎預料地可避免低電阻率金屬導體擴散至介電層。

本發明一重要部份為提供具較快操作速度及較高可靠度之較佳積體電路。迴路含裝至半導體所製基質中之固態裝置次組件。次組件內裝置以由高導電性低電阻金屬所製金屬線連線。非晶態碳化矽擴散障壁層至少會形成在金屬線上。介電層而後形成在碳化矽層上。

本發明基於吾人出乎預料地發現非晶態碳化矽可終止金

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

屬原子在電迴路相連裝置內接點間遷移。此進展使得積體電路製造商1)能使用高導電性低電阻金屬(例如:銅、銀、金、合金、超導體)做為內接點物質;及2)能使用很低介電常數物質做為金屬線間絕緣層。若無非晶態碳化矽存在,使用高導電性金屬及低介電常數絕緣層之組合會遭逢可靠度問題,如金屬遷移及腐蝕。

用於本發明方法之積體電路次組件不是絕對重要的且幾乎任何在此皆有用。用以生產該迴路之方法亦為習知且對本發明不是絕對重要的。該等迴路例為包括其上具長成外延層之半導體基質(例如:矽、砷化鎵等)。此外延層適當地摻雜以形成PN-結區域,其包括迴路有效固態裝置區域。這些有效裝置區域當適當地以金屬線層互相連接時,為形成積體電路之二極體及電晶體。

圖1為本發明裝置之剖面圖。圖1描繪了該迴路次組件(1)具裝置區域(2)及內接至該裝置之薄膜金屬線(3)。

習知積體電路次組件內金屬線層一般為鋁薄膜。藉使用本發明,這些薄膜可由高導電性金屬而非鋁製成。此處所謂高導電性金屬為在20°C具電阻率低於2.5微歐姆-厘米者。此包括銅、銀、金、合金及超導體。

技藝中習知澱積該高導電性金屬層之方法。所用特定方法不是絕對重要的。該方法例包括多種物理氣相澱積(PVD)技術,如濺射及電子束蒸發。

依本發明,碳化矽層為施用於金屬線層。一般言之,此乃藉覆蔽迴路次組件之所有上表面,當然包括金屬線,而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

加以完成。此如示於圖1為塗層(4)。然而另一方面，如藉罩幕只在線上選擇性施用碳化矽或覆蔽所有表面而後蝕刻不需要碳化矽之範圍皆是預期的。

施用碳化矽層之方法對本發明言不是絕對重要的且技藝中習知甚多。施用方法例包括多種化學氣相澱積技術，如習知化學氣相澱積、電漿加強化學氣相澱積(PECVD)、電子迴旋共振(ECR)、噴射氣相澱積及多種物理氣相澱積技術，如濺射及電子束蒸發。這些方法牽涉到不是加入能量(以熱、電漿等型態)以蒸發物質而造成所欲反應就是集中能量在物質固態樣品上使其澱積。

習知化學氣相澱積中，乃藉將所欲先質氣體流經加熱基質而澱積塗層。當先質氣體接觸熱表面即起反應而澱積塗層。依先質不同及所欲塗層厚度而定，在100-1000°C之範圍內之基質溫度在數分鐘至數小時內足以形成這些塗層。若需要，反應性金屬可用於該方法以輔助澱積。

在電漿加強化學氣相澱積(PECVD)中，將所欲先質氣體流經電漿域而反應。因此形成之反應物質而後集中完全黏固至基質上。一般言之，本發明在化學氣相澱積上之優點為可用較低之基質溫度。例如，基質溫度在50°C至600°C即有作用。

用於該方法之電漿包含多種來源(如電子放電、在收音機頻率或微波範圍之電磁場、雷射或粒子束)所得能量。在大部份電漿澱積方法中一般較優者為使用在中等功率密度(0.1-5瓦特/平方公分之收音機頻率(10千赫茲至 10^2 百萬

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

赫茲)或微波(0.1-10十億赫茲)能量。然而特定頻率、功率及壓力一般皆依先質氣體及所用設備而釐定。

適供用於這些方法之先質氣體例包括:(1)在具一至六個碳原子之烷類(如甲烷、乙烷或丙烷)存在下矽烷或鹵矽烷(如三氯矽烷)混合物;(2)烷基矽烷,如甲基矽烷、二甲基矽烷及三甲基矽烷;或(3)如述於美國專利號5,011,706之矽環丁烷或二矽環丁烷。

本發明特優者為電漿加強化學氣相澱積三甲基矽烷。

在碳化矽澱積後,介電層而後施用於碳化矽層上。此為圖1中習知之層間介電層(5)。此特定介電層及其澱積方法對本發明言不是絕對重要的。然而使用本發明方法能使用低介電常數(DK)層。此處所謂低介電常數層為其介電常數低於3.5者。

合適介電質例包括氧化矽、氮化矽、氮氧化矽、碳化矽、碳氧化矽、氮碳化矽、如矽酮之有機物、聚亞醯胺、環氧或派拉林(PARYLENE™,商標名)。多於一層之這些介電質明顯亦可用之。

施用這些塗層之技術亦為技藝中習知。他們包括旋覆方法、習知化學氣相澱積、光化學氣相澱積、電漿加強化學氣相澱積(PECVD)、電子迴旋共振(ECR)、噴射氣相澱積及多種物理氣相澱積技術,如濺射及電子束蒸發。

本發明較優方法包括施用氫碘矽氧烷樹脂,其具結構元 $\text{HSi}(\text{OH})_x(\text{OR})_y\text{O}_{z/2}$, 其中每一R獨立為有機基,當其經氧原子鍵結至矽酮時形成可水解取代基, x為0-2, y為0-2, z

五、發明說明(5)

爲1-3，且 $x + y + z = 3$ 。這些樹脂可完全濃縮($x = 0$ ， $y = 0$ 且 $z = 3$)或其可只部份水解(在所有聚合元中， y 不等於0)及/或部份濃縮(在所有聚合元中， x 不等於0)。雖然不以此結構表示，因在形成及處理中牽涉到許多因素，這些樹脂之許多單元可能具零或多於一之矽-氫鍵。

這些樹脂例爲由美國專利號3,615,272、美國專利號5,010,159、美國專利號4,999,397及美國專利號5,063,267之方法所形成者。這些樹脂以旋覆方法使用，而後加熱使其轉化成陶瓷。

若要用多層裝置，則可在介電層上形成另一層金屬線，而後以蝕透介電層及碳化矽層使層間內接。圖1顯示該第二金屬線層(7)經內接點(6)與第一線層選擇區域內接。然而又若線爲高導電性物質，則在介電質及金屬間需再澱積一碳化矽層(8)以避免金屬擴散至介電質。此碳化矽層可如上述形成。在該情況下，金屬線夾於碳化矽層間。此方法可在迴路中不同金屬層重覆許多次。例如圖1，顯示第二介電層(9)、被第三碳化矽層(11)保護之第三線層(10)。

吾人應注意到，具低介電常數(即介電常數 <5)之碳化矽可取代介電層(即圖1中之層5及9)。在此實例中，只需如前述在金屬線層上成碳化矽層，而後在碳化矽上形成另一金屬層。

吾人亦應注意到，本發明技術可應用至配線板，於其上裝置上述迴路。在這些配線板上金屬線及介電層之結構可與如上述相同。

四、中文發明摘要 (發明之名稱：碳化矽金屬擴散障壁層)

本發明係揭示碳化矽當作障壁層以防止金屬原子在以介電質分隔之相鄰導電體間擴散之用途。此項進展使得在積體電路及配線板中可使用低電阻率金屬及低介電常數介電層。

英文發明摘要 (發明之名稱："SILICON CARBIDE METAL DIFFUSION BARRIER LAYER")

Disclosed is the use of silicon carbide as a barrier layer to prevent the diffusion of metal atoms between adjacent conductors separated by a dielectric material. This advancement allows for the use of low resistivity metals and low dielectric constant dielectric layers in integrated circuits and wiring boards.

六、申請專利範圍

1. 一種積體電路，其包括：

A) 電路次組件，其包括具固態裝置區域之半導體基材，及澱積於該半導體基材表面上而連接至固態裝置區域之金屬線，該金屬線具電阻率低於2.5微歐姆-厘米；

B) 至少覆蓋金屬線之非晶態碳化矽層；

C) 至少覆蓋碳化矽層之介電層。

2. 根據申請專利範圍第1項之積體電路，其中該非晶態碳化矽係覆蓋金屬線及含裝置區域之電路次組件表面。

3. 根據申請專利範圍第1項之積體電路，其進一步包括覆蓋介電層之第二個非晶態碳化矽層。

4. 根據申請專利範圍第3項之積體電路，其進一步包括形成於第二個非晶態碳化矽層上之第二個金屬線層，其中第二個金屬線層係電連接至第一個金屬線層。

5. 一種配線板，其包括：

A) 配線板次組件，於其上包含具電阻率低於2.5微歐姆-厘米之金屬線；

B) 覆蓋金屬線之非晶態碳化矽層；

C) 覆蓋碳化矽層之介電層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

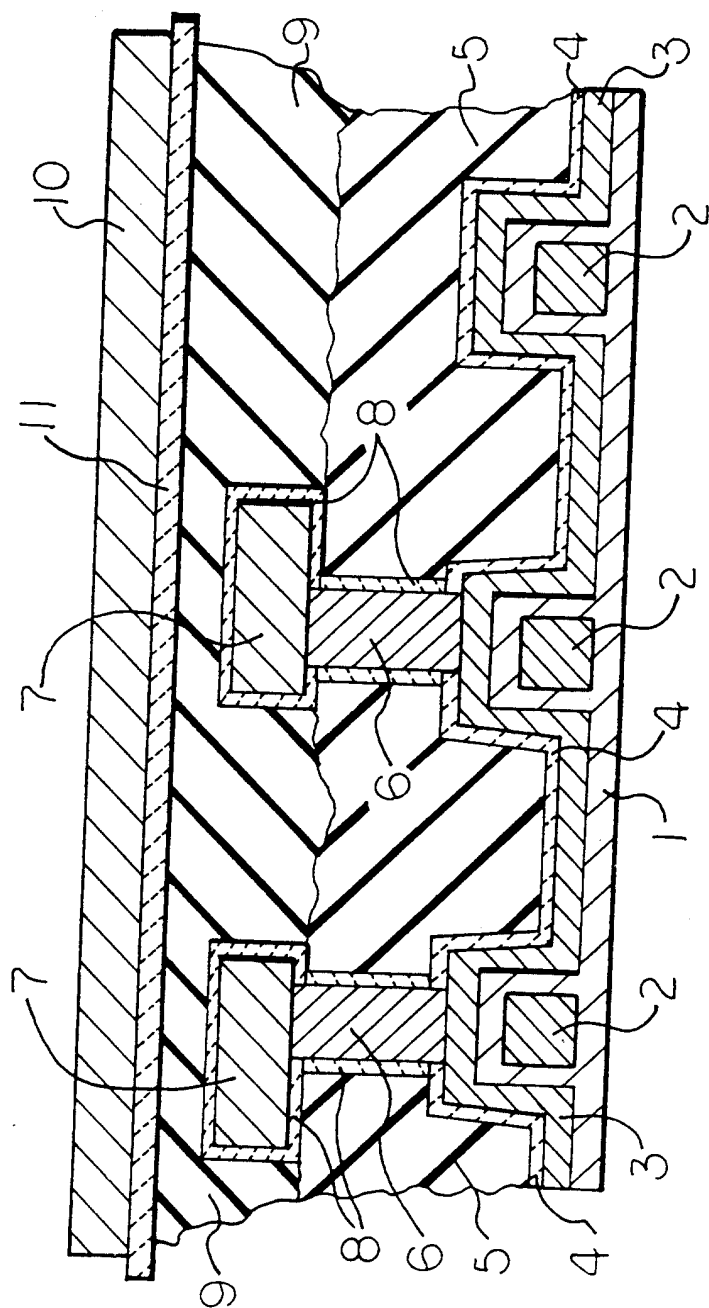


圖 1