

(43) 国際公開日
2006 年 4 月 13 日 (13.04.2006)

PCT

(10) 国際公開番号
WO 2006/038350 A1

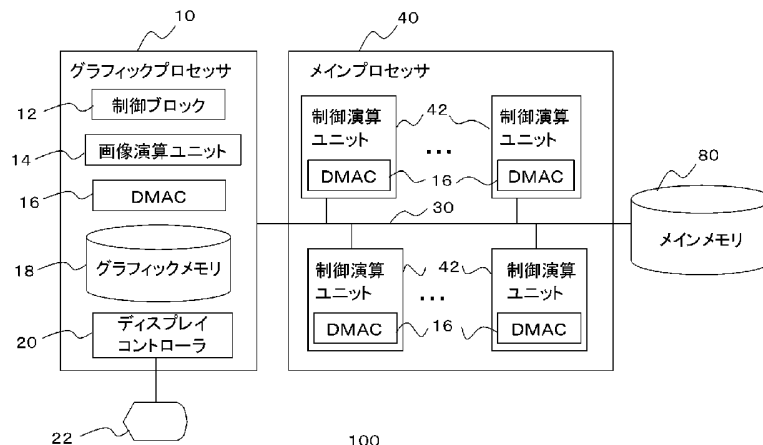
- (51) 国際特許分類⁷: G06T 1/20, G06F 13/28
- (21) 国際出願番号: PCT/JP2005/010830
- (22) 国際出願日: 2005 年 6 月 14 日 (14.06.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-293459 2004 年 10 月 6 日 (06.10.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ソニー・コンピュータエンタテインメント (SONY COMPUTER ENTERTAINMENT INC.) [JP/JP]; 〒1070062 東京都港区南青山二丁目 6 番 2 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 斉藤 勝 (SAITO, Katsu) [JP/JP]; 〒1070062 東京都港区南青山二丁目

- 6 番 2 1 号 株式会社ソニー・コンピュータエンタテインメント内 Tokyo (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西 2-1-1 2 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

/ 続葉有 /

(54) Title: INFORMATION PROCESSOR, DATA TRANSMITTING METHOD AND ELECTRONIC DEVICE

(54) 発明の名称: 情報処理装置、データ伝送方法および電子機器



10 GRAPHIC PROCESSOR
12 CONTROL BLOCK
14 IMAGE CALCULATION UNIT
16 GRAPHIC MEMORY
18 DISPLAY CONTROLLER
20 MAIN PROCESSOR
22 CONTROL CALCULATION UNIT
24 MAIN MEMORY

(57) Abstract: In an information processor (100) shown in Fig. 2, one end of a data bus (30), which mutually connects a plurality of control calculation units (42) provided in a main processor (40), is connected with a graphic processor (10), and the other end is connected with a main memory (80). Image frame data generated by the graphic processor (10) is sequentially transmitted through the sequential data bus (30) to be stored in the main memory (80). When a rate of data transmission from the main processor (40) to the graphic processor (10) is R1, a rate of data transmission from the graphic processor (10) to the main processor (40) is R2, a rate of mutual data transmission between main processor (40) and the main memory (80) is R3 and a rate of transmitting data of one image frame within a vertical retrace time is R4, inequalities of $R1 \geq R2 \geq R4$ and $R1 \geq R3 \geq R4$ are satisfied.

/ 続葉有 /



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 図2に示す情報処理装置100において、メインプロセッサ40内に設けられた複数の制御演算ユニット42を相互に接続するデータバス30の一端をグラフィックプロセッサ10に接続し、他端をメインメモリ80に接続する。グラフィックプロセッサ10において生成された画像フレームデータを逐次データバス30を通じて転送し、メインメモリ80に格納する。メインプロセッサ40からグラフィックプロセッサ10へのデータ伝送レートをR1、グラフィックプロセッサ10からメインプロセッサ40へのデータ伝送レートをR2、メインプロセッサ40とメインメモリ80相互のデータ伝送レートをR3、垂直帰線期間以内に1画像フレームのデータを伝送するレートをR4としたとき、 $R1 \geq R2 \geq R4$ かつ $R1 \geq R3 \geq R4$ とする。

明 細 書

情報処理装置、データ伝送方法および電子機器

技術分野

- [0001] 本発明は情報処理技術に関し、特に画像処理演算を行うグラフィックプロセッサを備える情報処理装置と、その装置におけるデータ伝送方法に関する。

背景技術

- [0002] 近年のコンピュータゲームやデジタル放送などの分野に利用されるコンピュータグラフィックス技術や画像処理技術の著しい進歩に伴い、コンピュータ、ゲーム機器、テレビなどの情報処理装置はより高精細の画像データをより高速に処理する能力を求められている。そこで、このような情報処理装置は、通常の演算処理を行うメインプロセッサとは別に、画像処理専用のグラフィックプロセッサを搭載し、メインプロセッサを画像処理から解放して、システムのオーバーヘッドの解消を図っている。
- [0003] これらの情報処理装置において高性能な演算処理を実現するためには、メインプロセッサをマルチプロセッサで構成することが有効である。マルチプロセッサは複数のタスクを複数のプロセッサに割り当て、並列処理を行う。一方、グラフィックプロセッサはメインプロセッサが処理する複数のタスクに対応した画像処理を、メインプロセッサの高速演算に対応させて行う。その結果生成された画像フレームなどのデータは、一般的にはメモリに一時格納され、順次ディスプレイなどへ表示される。

発明の開示

発明が解決しようとする課題

- [0004] コンピュータやテレビなどの画像が精細化し、画像データのサイズが増加するのに伴い、グラフィックプロセッサが生成した画像データを格納するために、大きな容量のメモリが必要となってきた。さらに、画像処理を高速に行い、高いフレームレートでディスプレイへ表示するためには、高速演算処理が可能なメインプロセッサや、グラフィックプロセッサなどによる高速アクセスが可能なメモリが必要となる。そのような要請を受け、装置全体のコストは増加の一途をたどり、当該装置やそれを応用した技術の普及に対して大きな障壁となっている。

[0005] 本発明はこのような課題に鑑みてなされたものであり、その目的は高精細な画像の処理を低コストで実現する技術の提供にある。

課題を解決するための手段

[0006] 本発明のある態様は情報処理装置に関する。この情報処理装置は、複数の演算ユニットを備え装置全体を統括的に制御するメインプロセッサと、画像処理演算を行うグラフィックプロセッサと、画像フレームデータを含むデータを格納するメインメモリとを備え、メインプロセッサ内部で複数の演算ユニットにより共有されるデータバス的一端がグラフィックプロセッサに接続され、他端がメインメモリに接続されることを特徴とする。

[0007] グラフィックプロセッサは生成した画像フレームデータを、前記データバスを通じてメインプロセッサを経由してメインメモリへ転送してもよい。このときグラフィックプロセッサは生成した画像フレームを一時格納するグラフィックメモリを備えてもよい。

[0008] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0009] 本発明によれば、画像の精細化に対応した情報処理装置の製造を低コストで実現できる。

図面の簡単な説明

[0010] [図1]一般的なパーソナルコンピュータの構成例を示す図である。

[図2]本実施の形態に係る情報処理装置の構成を示すブロック図である。

[図3]本実施の形態におけるデータバスの伝送レートについて説明する図である。

符号の説明

[0011] 10…グラフィックプロセッサ、 12…制御ブロック、 14…画像演算ユニット、 16…DMAコントローラ、 18…グラフィックメモリ、 20…ディスプレイコントローラ、 22…表示装置、 30…データバス、 40…メインプロセッサ、 42…制御演算ユニット、 80…メインメモリ、 100…情報処理装置。

発明を実施するための最良の形態

- [0012] 初めに、本実施の形態の特徴を明らかにするために、画像処理機能を有する情報処理装置の一般的な構成について図1を参照しながら説明する。図1は一般的なパーソナルコンピュータ200の構成例を示す図である。画像処理を効率よく行うために、パーソナルコンピュータ200には一般的に、装置全体の制御やそれに関する演算を行うメインプロセッサ40とは別に、画像処理演算を専門に行うグラフィックプロセッサ10および、プログラムやプログラムの実行に必要なデータなどを格納するメインメモリ80が設けられる。メインプロセッサ40、グラフィックプロセッサ10およびメインメモリ80はそれぞれノースブリッジ208とよばれる、複数バス間のトランシーバ機能やアービトラージ機能を備えたバス制御用の回路に接続される。ノースブリッジ208内部では、メインプロセッサ40、グラフィックプロセッサ10およびメインメモリ80などの素子間で所望のデータを伝送できるように、それぞれの素子に接続されているバスの制御が行われる。さらにノースブリッジ208はバスによりサウスブリッジ210とよばれる入出力制御などを行う回路に接続され、サウスブリッジにはハードディスク212やDVD(Digital Versatile Disk) 214などの入出力装置が接続される。
- [0013] 一般的なパーソナルコンピュータ200にはさらに、グラフィックプロセッサ10における画像処理によって生成された画像フレームやフィールド(以下、それらを総称して「画像フレーム」とよぶ)のデータや、画像処理に必要なデータを格納する図示しないグラフィックメモリが、グラフィックプロセッサ10の管理下に設けられる。グラフィックメモリは、グラフィックプロセッサ10に混載される場合や、メインメモリ80内に専用領域を設けている場合などがある。グラフィックメモリがグラフィックプロセッサ10に混載される場合は、グラフィックプロセッサ10内部の機能ブロックとの間で高速なデータ伝送が可能であるが、装置の製造コストが増加する。メインメモリ80の一部をグラフィックメモリとして利用する場合は、高フレームレートで画像フレームデータを表示装置へ送出するために、メインメモリ80とグラフィックプロセッサ10との間に広帯域のデータバスを確保する必要がある、設計上の困難が生じる。この問題は、画像フレームのデータサイズが増大するほど顕在化する。
- [0014] メインプロセッサ40をマルチプロセッサ構成として高速化しても、上記のような問題

によって、コストの増大を抑制しつつ精細な画像を高フレームレートで表示することが困難となる。本発明者は以上のように、プロセッサとメモリ相互のデータ伝送の効率化の重要性を認識し、本実施の形態に示すような構成に想到した。

[0015] 図2は、本発明の実施の形態に係る情報処理装置100の構成を示すブロック図である。情報処理装置100は、グラフィックプロセッサ10、メインプロセッサ40およびメインメモリ80を含む。また、グラフィックプロセッサ10とメインメモリ80は、メインプロセッサ40の内部において複数の制御演算ユニット42により共有されるデータバス30によって相互に接続されている。これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解されるところであり、いずれかに限定されるものではない。

[0016] この情報処理装置100では、情報処理装置100を効率よく使用するための機能、環境を提供し、装置全体を統括的に制御するオペレーティングシステムが実行される。そのオペレーティングシステム上で複数のアプリケーションソフトウェア(以下、単にアプリケーションという)が実行される。

[0017] メインプロセッサ40は、アプリケーションに対応するタスクを並列に処理する複数の制御演算ユニット42を含む。制御演算ユニット42はそれぞれが内部にDMAコントローラ16を有する。制御演算ユニット42は内部のDMAコントローラ16を起動することによって、データバス30を通じて相互間のデータ転送が可能であるとともに、グラフィックプロセッサ10またはメインメモリ80との間のデータ伝送も可能である。制御演算ユニット42のうちひとつを管理プロセッサとして位置づけ、複数のアプリケーションに対応するタスクを時分割し、タイムスライスごとに各アプリケーションに対応するタスクを、他の制御演算ユニット42に割り当てて実行させるなどしてもよい。上記管理プロセッサとして位置づけられた制御演算ユニット42が、内部のDMAコントローラ16を起動させることにより、他の制御演算ユニット42のデータ伝送を制御してもよい。

[0018] 図1の一般的なパーソナルコンピュータの構成と同様に、メインプロセッサ40をさらにサウスブリッジに接続し、ハードディスクやDVDなどへの入出力を行えるようにしてもよい(不図示)。

[0019] グラフィックプロセッサ10は、画像に関する処理を専用に実行するブロックであり、

レンダリング処理などを行うユニットである。グラフィックプロセッサ10は、制御ブロック12、画像演算ユニット14、DMAコントローラ16、グラフィックメモリ18、ディスプレイコントローラ20を含む。これらのブロック同士は、図示しない内部バスで接続されており、各ブロック間でデータ信号の送受が行われる。

[0020] 制御ブロック12は、このグラフィックプロセッサ10全体を制御するブロックであり、画像演算ユニット14、グラフィックプロセッサ10内部のDMAコントローラ16、グラフィックメモリ18、ディスプレイコントローラ20を統括的に制御し、各ブロック間のデータ伝送の同期管理、割り込み処理、タイマー管理等を行う。

[0021] 画像演算ユニット14は、制御ブロック12の制御によって、画像に関する様々な演算処理を行う。その処理の一例としては、3次元モデリングデータをもとに座標変換、陰面消去、シェーディングを行って画像フレームデータを作成し、グラフィックメモリ18に書込む一連のレンダリング処理などが挙げられる。画像演算ユニット14は、特に3次元グラフィックスに関する処理を高速に行うために、図示しないラスライザ、シェーダユニット、テクスチャユニットなどの機能ブロックを含んでもよい。

[0022] グラフィックプロセッサ10におけるDMAコントローラ16は、メインプロセッサ40内の制御演算ユニット42やメインメモリ80とグラフィックプロセッサ10との間のデータ伝送を制御ブロック12からの命令によって制御する。本実施の形態ではグラフィックプロセッサ10において生成した画像フレームデータは、グラフィックプロセッサ10内のDMAコントローラ16を起動することによってデータバス30を通じてメインメモリ80へ逐次転送される。

[0023] グラフィックメモリ18は、グラフィックプロセッサ10により使用、管理されるグラフィックスに関するデータ専用のメモリ領域であって、画像フレームデータを一時格納するフレームバッファやZバッファなどに加えて、画像フレームデータを描画する際に参照される基本データである頂点データ、テクスチャデータ、カラールックアップテーブルなどを格納する領域を含んでよい。

[0024] 例えばフレームバッファには、画像演算ユニット14においてラスター処理、シェーディング処理などを行った結果得られた画像フレームデータが一旦書き込まれる。またフレームバッファに書き込まれた画像フレームデータに対して、画像演算ユニット14

がフォギング、アルファブレンディング等の処理を行い最終的な描画色を決定してデータの更新を行ってもよい。

- [0025] ディスプレイコントローラ20は、水平および垂直同期信号を生成し、表示装置22の表示タイミングに従って、メインメモリ80に格納される画像フレームデータのピクセルデータをライン状に順次読み込んでいく。さらにディスプレイコントローラ20は、ライン状に読み込まれたピクセルデータを、RGBのカラー値からなるデジタルデータから表示装置22に対応したフォーマットに変換して出力する。
- [0026] つぎに、図2に示す構成によって画像処理が行われる過程について説明する。
- [0027] まずメインプロセッサ40の各制御演算ユニット42は、処理中のアプリケーションに対応するタスクの処理を並列で行っている。ここで例えば他の制御演算ユニット42を制御する管理プロセッサとして位置づけられた制御演算ユニット42から、制御に伴うデータを他の制御演算ユニット42へ転送する場合など、各制御演算ユニット42相互でデータ伝送の必要が発生した場合、制御演算ユニット42は、内部のDMAコントローラ16を起動し、データバス30を利用してデータ伝送を行う。
- [0028] また本実施の形態では、各制御演算ユニット42が共有するデータバス30がメインメモリ80にも接続されている。これにより、各制御演算ユニット42において行われた演算の結果得られたデータなどは、各制御演算ユニット42内部のDMAコントローラ16を起動することによって直接、メインメモリ80へ転送することができる。
- [0029] メインプロセッサ40は、各制御演算ユニット42におけるタスクの処理中に画像処理の必要性が発生した場合、グラフィックプロセッサ10へ当該画像処理の依頼を行う。グラフィックプロセッサ10では、制御ブロック12がメインプロセッサ40からの画像処理依頼を受付け、画像演算ユニット14において当該処理が行われるように制御する。本実施の形態では、メインプロセッサ40内の各制御演算ユニット42が共有するデータバス30がグラフィックプロセッサ10にも接続されているため、画像演算ユニット14が当該画像処理を行うのに必要なテクスチャデータや描画プリミティブデータは、各制御演算ユニット42からデータバス30を伝送してグラフィックメモリ18に格納される。このとき、グラフィックプロセッサ10が内部の処理状況に応じてグラフィックプロセッサ10内部のDMAコントローラ16を起動させ、データの転送指令を出してもよいし、画

像処理依頼の際に制御演算ユニット42内部のDMAコントローラが起動することによって、制御演算ユニット42側が転送指令をだしてもよい。また、制御演算ユニット42からメインメモリ80へ、データバス30を通じてデータを一旦転送しておき、グラフィックプロセッサ10が内部の処理状況に応じてグラフィックプロセッサ10内部のDMAコントローラ16を起動させることにより、当該データをメインメモリ80からグラフィックメモリ18へ転送するようにしてもよい。この場合、制御演算ユニット42は、グラフィックプロセッサ10へ画像処理依頼を行う際、処理に必要なデータのメインメモリ80における格納場所のアドレスなどをグラフィックプロセッサ10へ送信しておく。

- [0030] 画像演算ユニット14により生成された画像フレームデータは、グラフィックプロセッサ10内部のDMAコントローラ16を起動させることによって、データバス30を通じて順次メインメモリ80へ転送される。このときグラフィックメモリ18を、転送前の一時記憶領域として利用してもよい。
- [0031] メインメモリ80に逐次格納された画像フレームデータは、ディスプレイコントローラ20が表示装置22の表示タイミングに従って読み出しおよび送出を行うことにより、データバス30、グラフィックプロセッサ10を経由して順次表示装置22へ転送される。
- [0032] 表示装置22における画像フレームの描画処理は一般に、画面の左から右へ、また上から下へ、走査線が順次画像を描画していくことによって行われる。走査線は、画面の右下へ到達した後、再度左上に戻り、次の画像フレームを描画していく。走査線が画面の右下から左上へ戻る時間を垂直帰線期間とよび、約 $670\mu s$ である。メインメモリ80からグラフィックプロセッサ10への1画像フレームの伝送は、この垂直帰線期間以内に行われる必要がある。例えばハイビジョン映像などで1画面の転送サイズが8MBの映像を表示するためには、データバス30には $8MB/670\mu s \div 12GB/s$ の転送レートが必要である。
- [0033] 本実施の形態では、マルチプロセッサシステムにおいて個々の制御演算ユニット42を接続している広帯域のデータバス30をそのままメインメモリ80やグラフィックプロセッサ10へ伸張することによって、このような高速のデータ伝送を容易に実現している。ここで上述した画像表示に必要な転送レートをS、データバス30のバス幅をW、クロック周波数をFとしたとき、1クロックで転送が完了するとして、 $S \leq WF$ なる式を満た

ようにバス幅Wの設定を行う。例えば64ビットのバス幅を有するバスをデータバス30に採用すれば、クロック周波数が5GHzのとき20GB/sの転送レートを確認できる。このデータバス30を用いて画像フレームデータをメインメモリ80からグラフィックプロセッサ10へ転送すれば、画像フレームデータ以外のデータ転送や実行レートなどのための余裕を保持しつつ、上述したハイビジョン映像のような8MBクラスの高精細な画像を有する映像をコマ落ちなく表示することが十分可能である。

[0034] 本実施の形態では、グラフィックプロセッサ10が生成した画像フレームデータは逐次メインメモリ80へ転送されるため、グラフィックプロセッサ10内部のグラフィックメモリ18は大きな容量を必要としない。例えば、1フレーム分ではバッファとしてオーバーフローの心配がないとはいえず、一方、メモリ容量が大きくなりすぎるとコストや設計面で課題が生ずるため、ここでは2フレーム同等以下の容量とする。グラフィックプロセッサ10に搭載するグラフィックメモリ18の役割の一端をメインメモリ80に担わせ、グラフィックメモリ18を必要最低限の容量とすることによって、高性能の情報処理装置を安価に製造することができ、装置の普及を促進することができる。また設計が容易となる。

[0035] 図3は本実施の形態におけるデータバス30の伝送レートについて説明する図である。本実施の形態の情報処理装置が高精細な画像処理を行うのに十分な効果を発揮するために、データバス30は次に述べるバス幅とする。すなわち、生成した画像フレームデータをグラフィックプロセッサ10からメインプロセッサ40を経由してメインメモリ80へ転送する場合に利用されるデータバス30aおよびデータバス30bのバス幅をWaおよびWb、メインメモリ80からメインプロセッサ40を経由してグラフィックプロセッサ10へ転送する場合に利用されるデータバス30cおよびデータバス30dのバス幅をWcおよびWd、垂直帰線期間以内に1画像フレームが転送できる伝送レートをS、クロック周波数をFとすると、データバス30a、30b、30cおよび30dにおける伝送レートWaF、WbF、WcFおよびWdFが、少なくとも $S \leq WaF, WbF, WcF, WdF$ なる条件を満たすように各データバスを構成する。これにより、グラフィックプロセッサ10・メインメモリ80間のデータ伝送処理に起因した、表示装置22への画像フレームデータの送出遅延が発生することがなくなる。

- [0036] またメインプロセッサ40からグラフィックプロセッサ10へ向かうデータバス30dは、メインプロセッサ40がグラフィックプロセッサ10へ画像処理依頼を行う際に、画像処理のためのデータとしてテクスチャデータや描画プリミティブデータなどを転送する必要があるため、さらに高い伝送レートを確保することにより、これらの画像処理に必要なデータの転送によって画像フレームデータの転送を阻害されることがなくなる。従って、 $S \leq WaF, WbF, WcF \leq WdF$ となるように各バス幅を決定する。ここで上述の8MBの画像フレームを考えると、伝送レート WaF, WbF, WcF および WdF は12GB/s以上となるようにバス幅を決定する。
- [0037] このような構成とすることにより、画像フレームデータがメインメモリ80に格納され、かつグラフィックプロセッサ10との間のデータバス30が他のデータ伝送にも利用されるという本実施の形態の条件下においても、表示装置22への画像の表示は滞ることなく行うことができる。そしてこのような構成は、大容量のグラフィックメモリを別に設けたり、グラフィック用のバスを特別に設けたりするのと比較して、製造コスト面、設計面において有利である。
- [0038] 本実施の形態ではメインプロセッサ40内にもともと設けられているバスを、グラフィックプロセッサ10およびメインメモリ80の接続に利用している。特にマルチプロセッサ構造においては広帯域のバスが設けられるため、本実施の形態における高レートでのデータ伝送が十分可能となる。この構成によって、バスをチップ内で多数引き回す必要がなくなり、実装面積面、タイミング設計面で有利となる。
- [0039] 以上、本発明を実施の形態をもとに説明した。上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。
- [0040] 本実施の形態ではグラフィックプロセッサ10、メインプロセッサ40およびメインメモリ80がデータバス30を共有したが、グラフィックプロセッサ10を別の機能を有するプロセッサとして同様の構成とすることができる。例えば本実施の形態におけるメインプロセッサ40の機能を有するブロックを複数設け、それらとメインメモリとをひとつのデータバスで接続してもよい。このときも、メモリをそれぞれのブロックに設けずとも大きなサイズのデータを高速で転送することが可能であり、安価で高性能な装置が実現で

きる。

産業上の利用可能性

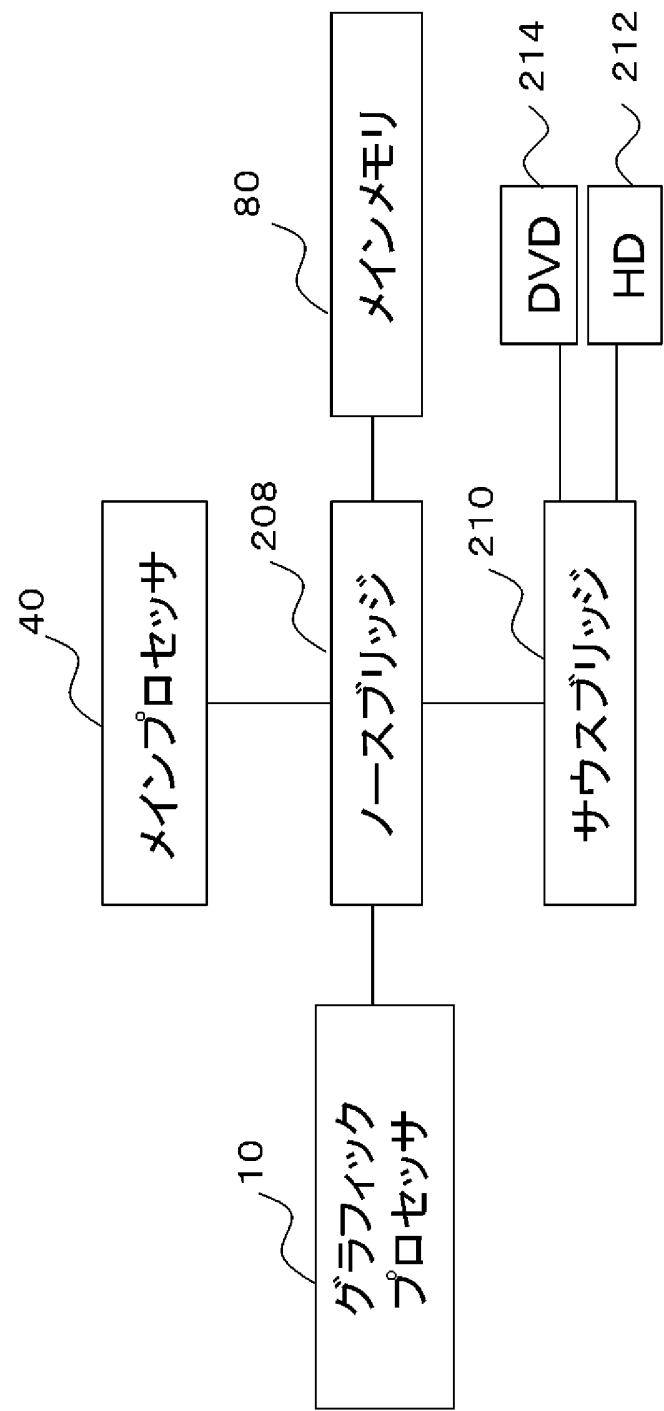
[0041] 以上のように本発明は、サイズの大きいデータを扱うコンピュータ、ゲーム機器、テレビなどの電子機器に利用可能である。

請求の範囲

- [1] 複数の演算ユニットを備え装置全体を統括的に制御するメインプロセッサと、画像処理演算を行うグラフィックプロセッサと、画像フレームデータを含むデータを格納するメインメモリとを備え、
- 前記メインプロセッサ内部で前記複数の演算ユニットにより共有されるデータバスの一端が前記グラフィックプロセッサに接続され、他端が前記メインメモリに接続されることを特徴とする情報処理装置。
- [2] 前記グラフィックプロセッサは生成した画像フレームデータを前記メインメモリへ転送するDMA (Direct Memory Access) コントローラを備えることを特徴とする請求項1に記載の情報処理装置。
- [3] 前記メインプロセッサから前記グラフィックプロセッサへのデータ伝送レートR1、前記グラフィックプロセッサから前記メインプロセッサへのデータ伝送レートR2、および前記メインメモリと前記メインプロセッサ間のデータ伝送レートR3について、
- $$R1 \geq R2 \quad \text{かつ} \quad R1 \geq R3$$
- となるよう前記データバスを構成したことを特徴とする請求項1または2に記載の情報処理装置。
- [4] 前記メインプロセッサから前記グラフィックプロセッサへのデータ伝送レートR1、前記グラフィックプロセッサから前記メインプロセッサへのデータ伝送レートR2、前記メインメモリと前記メインプロセッサ間のデータ伝送レートR3、および前記情報処理装置から前記情報処理装置に接続された画像表示装置へ画像フレームデータを伝送し、その画像表示装置にてリアルタイム表示をするために必要なデータ伝送レートR4について、
- $$R1 \geq R4 \quad \text{かつ} \quad R2 \geq R4 \quad \text{かつ} \quad R3 \geq R4$$
- となるよう前記データバスを構成したことを特徴とする請求項1に記載の情報処理装置。
- [5] 前記グラフィックプロセッサは画像フレームデータを格納するグラフィックメモリを備え、前記グラフィックメモリの容量を2画像フレームのデータサイズ以下としたことを特徴とする請求項1に記載の情報処理装置。

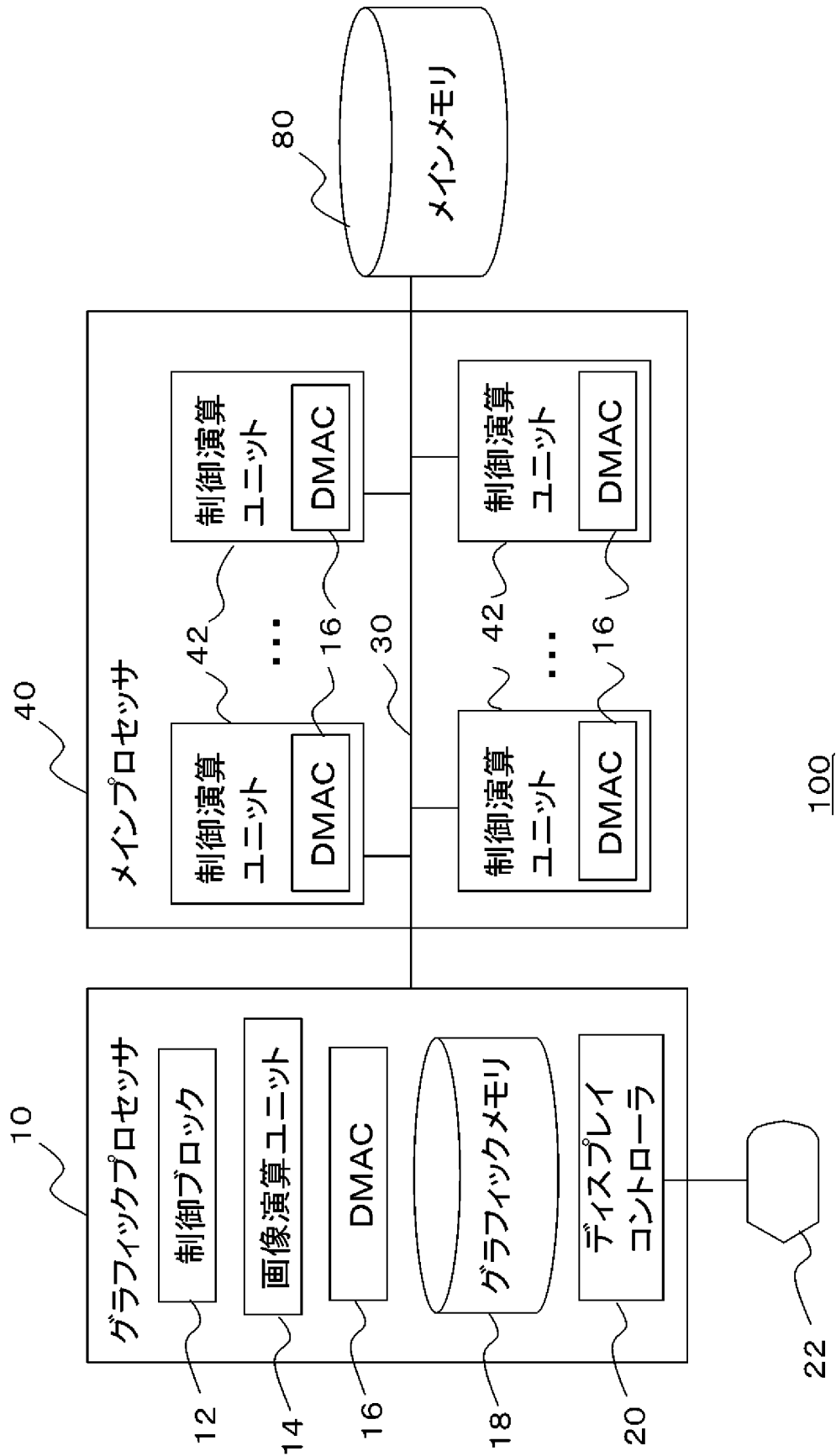
- [6] 前記メインメモリから画像フレームデータを読み出し、前記情報処理装置に接続された画像表示装置へ出力するディスプレイコントローラをさらに備えることを特徴とする請求項1に記載の情報処理装置。
- [7] 複数の演算ユニットを備え装置全体を統括的に制御するメインプロセッサと、画像処理演算を行うグラフィックプロセッサと、画像フレームデータを含むデータを格納するメインメモリとを備える情報処理装置におけるデータ伝送方法であって、
前記グラフィックプロセッサと前記メインメモリ間のデータ伝送を、前記メインプロセッサ内部で前記複数の演算ユニットにより共有されるデータバスを介して実行することを特徴とするデータ伝送方法。
- [8] 請求項1に記載の情報処理装置と、
前記情報処理装置によって生成された画像フレームデータを出力する画像表示装置と、
を備える電子機器。

[図1]

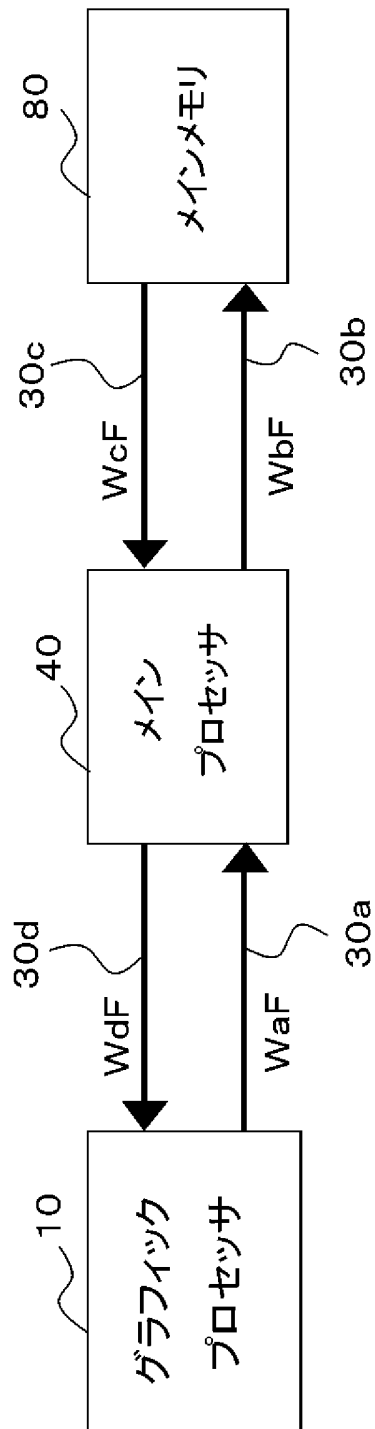


200

[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010830

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ C06T1/20, G06F13/28 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ C06T1/20, G06F13/28 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-297854 A (Sony Computer Entertainment Inc.), 18 November, 1997 (18.11.97), Full text; all drawings (Family: none)	1-8
Y	JP 2002-202964 A (Sony Computer Entertainment Inc.), 19 July, 2002 (19.07.02), Full text; all drawings & EP 1335299 A1 & US 2002/143838 A1	1-8
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 August, 2005 (26.08.05)		Date of mailing of the international search report 13 September, 2005 (13.09.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G06T 1/20, G06F 13/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G06T 1/20, G06F 13/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-297854 A (株式会社ソニー・コンピュータエンタテインメント) 1997. 11. 18, 全文 全図 (ファミリーなし)	1-8
Y	JP 2002-202964 A (株式会社ソニー・コンピュータエンタテインメント) 2002. 07. 19, 全文 全図 & EP 1335299 A1 & US 2002/143838 A1	1-8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26. 08. 2005

国際調査報告の発送日

13. 9. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

真木 健彦

電話番号 03-3581-1101 内線 3531

5H

9569