

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月29日(29.08.2024)



(10) 国際公開番号

WO 2024/176708 A1

- (51) 国際特許分類:
H04N 25/773 (2023.01) H01L 31/107 (2006.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2024/002200
- (22) 国際出願日: 2024年1月25日(25.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-024115 2023年2月20日(20.02.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

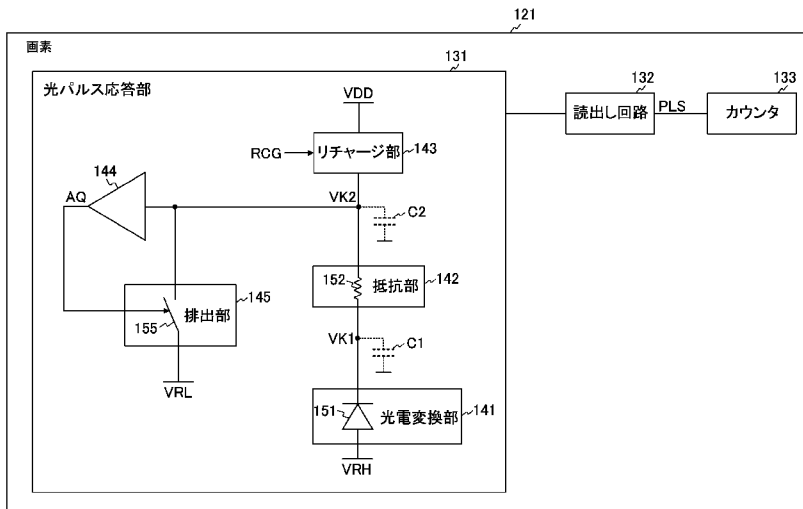
- (72) 発明者: 高塚 孝文(TAKATSUKA, Takafumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 池田 泰二(IKEDA, Yasuji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

- (74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: LIGHT DETECTION DEVICE

(54) 発明の名称: 光検出装置



- 121 Pixel
131 Light pulse response part
132 Read circuit
133 Counter
141 Photoelectric conversion part
142 Resistance part
143 Recharge part
145 Discharge part

(57) Abstract: The present invention decreases the power consumption of a light detection device that can detect the incidence of photons on the basis of avalanche amplification. The light detection device comprises: a photoelectric conversion part in which a first electrode is connected to a first potential, and which multiplies charge generated from photons; a resistance part connected in series to the photoelectric conversion part at a second electrode opposite to the first electrode; a recharge part that recharges the photoelectric conversion part through the resistance part; and a discharge part in which a potential difference, which is from a potential opposite to that of the resistance part and the side of the recharge part to which the resistance part is connected, is connected to a second potential lower than the first potential. The light detection device may comprise a detection part that detects the potential of the resistance part.

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: アバランシェ増幅に基づいて光子の入射を検出可能な光検出装置の消費電力を低減する。光検出装置は、第1の電極が第1の電位に接続され、光子から生成した電荷を増倍する光電変換部と、第1の電極とは反対の第2の電極において、光電変換部に直列に接続された抵抗部と、抵抗部を介して光電変換部をリチャージするリチャージ部と、抵抗部と、リチャージ部の抵抗部が接続された側とは反対の電位からの電位差が第1の電位よりも小さい第2の電位に接続された排出部とを備える。光検出装置は、抵抗部の電位を検出する検出部を備えてもよい。

明 細 書

発明の名称：光検出装置

技術分野

[0001] 本技術は、光検出装置に関する。詳しくは、本技術は、アバランシェ増幅に基づいて光子の入射を検出可能な光検出装置に関する。

背景技術

[0002] 光検出装置では、光子の入射に応じてパルスを出力するものがある。例えば、光子の入射に応じて生成された電荷を増倍可能なフォトン応答増倍部を備え、抵抗部を介してフォトン応答増倍部から出力を読み出す受光素子が提案されている（例えば、特許文献1参照）。このとき、光子の入射に応じて生成された電荷を増倍するために、アバランシェ増幅が用いられる。アバランシェ増幅では、光子応答増倍部に数10V程度の逆バイアスが印加されることがあり、光子応答増倍部に高電圧がかかる。上述の抵抗部により増倍部出力につながる容量が電氣的に遮蔽され、光子応答増倍部に電流が流れた際に生じる電荷の消費量を抑制することで消費電力の低減をはかっていた。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2021／172216号

発明の概要

発明が解決しようとする課題

[0004] 太陽光下のように光子入射頻度の高い環境下においては、上述の抵抗部による電荷遮蔽後にリチャージ開始までの間に複数回の光子入射が生じる。これにより遮蔽され電荷がこの複数回の光子入射により高電位のついた電源に排出されるため、消費電力の増大を招くおそれがあった。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、アバランシェ増幅に基づいて光子の入射を検出可能な光検出装置の消費電力を低減することを目的とする。

課題を解決するための手段

- [0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、第1の電極が第1の電位に接続され、光子から生成した電荷を増倍する光電変換部と、前記第1の電極とは反対の第2の電極において、前記光電変換部に直列に接続された抵抗部と、前記抵抗部を介して前記光電変換部をリチャージするリチャージ部と、前記抵抗部と、前記リチャージ部の前記抵抗部が接続された側とは反対の電位からの電位差が前記第1の電位よりも小さい第2の電位に接続された排出部とを備える光検出装置である。これにより、光電変換部に流出する少なくとも一部の電荷の排出先が低電位化されるという作用をもたらす。
- [0007] また、第1の側面において、前記抵抗部の抵抗値は、前記光電変換部の抵抗値よりも大きくてもよい。これにより、光電変換部に付加される寄生容量から光電変換部に電荷が流出するのが抑制されるという作用をもたらす。
- [0008] また、第1の側面において、前記リチャージ部は、前記抵抗部の電位の検出結果に基づいて、前記光電変換部をリチャージしてもよい。これにより、検出部の検出結果に基づいてリチャージ期間が設定されるという作用をもたらす。
- [0009] また、第1の側面において、前記リチャージ部は、外部からの制御信号に基づいて、前記光電変換部をリチャージしてもよい。これにより、リチャージ期間が外部から制御されるという作用をもたらす。
- [0010] また、第1の側面において、前記制御信号は周期信号でもよい。これにより、リチャージ期間が外部から周期的に制御されるという作用をもたらす。
- [0011] また、第1の側面において、前記制御信号は、互いに周期が異なる複数の制御信号を備え、前記排出部からの電荷の排出の有無が前記周期ごとに設定されてもよい。これにより、リチャージ期間の長さに応じて排出部からの電荷の排出にかかる期間が短縮されるという作用をもたらす。
- [0012] また、第1の側面において、前記抵抗部の電位を検出する検出部をさらに備えてもよい。これにより、抵抗部の電位の検出結果に基づいて、排出部が

制御されるという作用をもたらす。

[0013] また、第1の側面において、前記光電変換部による前記光子の検出結果を前記検出部の入力側から読出す読出回路をさらに備えてもよい。これにより、検出部の入力に基づいて光子の検出結果が読出されるという作用をもたらす。

[0014] また、第1の側面において、前記光電変換部による前記光子の検出結果を前記検出部の出力側から読出す読出回路をさらに備えてもよい。これにより、検出部の出力に基づいて光子の検出結果が読出されるという作用をもたらす。

[0015] また、第1の側面において、前記検出部と前記排出部との間に接続され、前記検出部の出力の振幅を制限する振幅制限トランジスタをさらに備えてもよい。これにより、排出部を駆動する電力が低減されるという作用をもたらす。

[0016] また、第1の側面において、前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタをさらに備えてもよい。これにより、排出部からの電荷の排出動作が安定化されるという作用をもたらす。

[0017] また、第1の側面において、前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタをさらに備えてもよい。これにより、検出部の動作時の消費電力が低減されるという作用をもたらす。

[0018] また、第1の側面において、前記光子の検出結果を読出す読出回路に前記抵抗部の電位が入力されるのを遮断するクリップトランジスタをさらに備えてもよい。これにより、光電変換部にて光子が検出された後、光子の検出結果が読出されるという作用をもたらす。

[0019] また、第1の側面において、前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタと、前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタと、前記光子の検出結果を読出す読出回路に前記抵抗部の電位が入力されるのを遮断するクリップトランジスタ

タとを備え、前記貫通防止トランジスタ、前記初期化トランジスタおよび前記クリップトランジスタのうちの少なくともいずれか1つは複数の画素で共有されてもよい。これにより、1画素当たりのトランジスタ数が削減されるという作用をもたらす。

[0020] また、第1の側面において、前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタと、前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタとを備え、前記貫通防止トランジスタおよび前記初期化トランジスタのうちの少なくともいずれか1つは、入力の振幅を制限するドライバを備えてもよい。これにより、振幅制限トランジスタまたは初期化トランジスタを駆動する電力が低減されるという作用をもたらす。

[0021] また、第1の側面において、前記リチャージ部と前記抵抗部との間に接続された抵抗をさらに備えてもよい。これにより、検出部を駆動する電力が低減されるという作用をもたらす。

[0022] また、第1の側面において、前記リチャージ部、前記光子の検出結果を読み出す読出回路および前記読出回路の読出し結果に基づいてカウントを行うカウンタのうちの少なくともいずれか1つが形成された第1基板と、前記第1基板上に積層され、前記光電変換部、前記抵抗部、前記検出部および前記排出部が形成された第2基板とを備えてもよい。これにより、耐圧が互いに異なるトランジスタが別基板に形成されるという作用をもたらす。

[0023] また、第1の側面において、前記リチャージ部、前記光子の検出結果を読み出す読出回路および前記読出回路の読出し結果に基づいてカウントを行うカウンタのうちの少なくともいずれか1つが形成された第1基板と、前記第1基板上に積層され、前記抵抗部、前記検出部および前記排出部が形成された第2基板と、前記第2基板上に積層され、前記光電変換部が形成された第3基板とを備えてもよい。これにより、光電変換部の受光面積を増大させつつ、耐圧が互いに異なるトランジスタが別基板に形成されるという作用をもたらす。

- [0024] また、第1の側面において、低耐圧トランジスタが形成される低耐圧領域と、複数の画素について互いに隣接して配置され、高耐圧トランジスタが形成される高耐圧領域とを備え、前記検出部および前記排出部は、前記高耐圧領域に形成されてもよい。これにより、検出部および排出部を画素ごとに分離する1画素当たりの分離領域の面積が削減されるという作用をもたらす。
- [0025] また、第1の側面において、前記光子の検出結果を読出す読出回路をさらに備え、前記排出部は、前記読出回路の出力に基づいて、前記光電変換部に流出可能な少なくとも一部の電荷を前記第1電位よりも低い第2電位に排出してもよい。これにより、読出回路の出力に基づいて排出部が駆動されるという作用をもたらす。
- [0026] また、第1の側面において、前記光子の検出結果をラッチするラッチ回路をさらに備えてもよい。これにより、光子の検出結果が安定化されるという作用をもたらす。
- [0027] また、第1の側面において、前記ラッチ回路は、前記光子の検出結果に基づいて、前記光子の検出ノードを定電位に接続するスイッチトランジスタを備えてもよい。これにより、光子の検出ノードの電位変動が防止されるという作用をもたらす。
- [0028] また、第1の側面において、前記光子の検出結果は前記スイッチトランジスタのゲートに入力され、前記光子の検出結果が保持されてもよい。これにより、光子の検出時の検出結果が保持されるという作用をもたらす。
- [0029] また、第1の側面において、前記検出ノードの電位に基づいて、前記スイッチトランジスタと前記リチャージ部とを遮断する遮断トランジスタをさらに備えてもよい。これにより、光子の検出待ち期間におけるリチャージが防止されるという作用をもたらす。
- [0030] また、第1の側面において、前記リチャージ部は、前記検出ノードの電位に基づいて前記光電変換部をリチャージしてもよい。これにより、光子の検出結果に基づいて、リチャージが制御されるという作用をもたらす。
- [0031] また、第1の側面において、前記光子の検出結果の出力の振幅を制限する

第1 振幅制限トランジスタと、前記光子の検出結果をリセットするリセットトランジスタとを備え、前記リセットトランジスタは、前記第1 振幅制限トランジスタで振幅制限される領域に配置され、前記ラッチ回路に対して低電圧で動作されてもよい。これにより、リセット動作が高速化されるという作用をもたらす。

[0032] また、第1 の側面において、前記光子の検出結果に基づいて、前記光電変換部のリチャージを制御するリチャージ制御トランジスタをさらに備えてもよい。これにより、光子の検出時にリチャージが停止されるという作用をもたらす。

[0033] また、第1 の側面において、前記リチャージ部の入力振幅を制限する第2 振幅制限トランジスタを備え、前記リチャージ部は、前記第2 振幅制限トランジスタで振幅制限される領域に配置され、前記ラッチ回路に対して低電圧で動作されてもよい。これにより、リチャージ動作が高速化されるという作用をもたらす。

図面の簡単な説明

[0034] [図1]第1 の実施の形態に係る光検出装置が適用される撮像装置の構成例を示すブロック図である。

[図2]第1 の実施の形態に係る光検出装置が適用される固体撮像装置の構成例を示すブロック図である。

[図3]第1 の実施の形態に係る光検出装置が適用される画素の構成例を示すブロック図である。

[図4]第1 の実施の形態に係る光パルス応答部の第1 の例を示すブロック図である。

[図5]第1 の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[図6]第1 の実施の形態に係る光パルス応答部の第2 の例を示すブロック図である。

[図7]第1 の実施の形態に係る光パルス応答部の第3 の例を示すブロック図で

ある。

[図8]第2の実施の形態に係る光検出装置が適用される画素の構成例を示すブロック図である。

[図9]第3の実施の形態に係る光検出装置が適用される固体撮像装置の構成例を示すブロック図である。

[図10]第3の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図11]第4の実施の形態に係る光パルス応答部の第1の例を示すブロック図である。

[図12]第4の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図13]第4の実施の形態に係る光パルス応答部の第2の例を示すブロック図である。

[図14]第4の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[図15]第5の実施の形態に係る光パルス応答部の動作の第1の例を示すタイミングチャートである。

[図16]第5の実施の形態に係る光パルス応答部の動作の第2の例を示すタイミングチャートである。

[図17]第6の実施の形態に係る光検出装置が適用される画素の第1の例を示すブロック図である。

[図18]第6の実施の形態に係る光検出装置が適用される画素の第2の例を示すブロック図である。

[図19]第6の実施の形態に係る光検出装置が適用される画素の第3の例を示すブロック図である。

[図20]第6の実施の形態に係る光検出装置が適用される画素の第4の例を示すブロック図である。

[図21]第7の実施の形態に係る光パルス応答部の構成例を示すブロック図で

ある。

[図22]第7の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[図23]第8の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図24]第9の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図25]第10の実施の形態に係る光検出装置が適用される画素の第1の例を示すブロック図である。

[図26]第10の実施の形態に係る光検出装置が適用される画素の第2の例を示すブロック図である。

[図27]第11の実施の形態に係る光パルス応答部の第1の例を示すブロック図である。

[図28]第11の実施の形態に係る光パルス応答部の第2の例を示すブロック図である。

[図29]第12の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図30]第13の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図31]第13の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[図32]第14の実施の形態に係る光パルス応答部の第1の例を示すブロック図である。

[図33]第14の実施の形態に係る光パルス応答部の第2の例を示すブロック図である。

[図34]第15の実施の形態に係る光検出装置が適用される画素の第1の例を示すブロック図である。

[図35]第15の実施の形態に係る光検出装置が適用される画素の第2の例を

示すブロック図である。

[図36]第16の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図37]第16の実施の形態に係る光パルス応答部のレイアウト例を示す平面図である。

[図38]第17の実施の形態に係る光検出装置が適用される固体撮像装置の構成例を示すブロック図である。

[図39]第18の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図40]第19の実施の形態に係る画素アレイ部の積層例を示す斜視図である。

[図41]第20の実施の形態に係る画素アレイ部の積層例を示す斜視図である。

[図42]第21の実施の形態に係る測距装置の構成例を示すブロック図である。

[図43]第22の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図44]第22の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[図45]第22の実施の形態に係る光パルス応答部の動作の比較例を示すタイミングチャートである。

[図46]第23の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[図47]第24の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図48]第25の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[図49]第26の実施の形態に係る光パルス応答部が適用される画素の構成例

を示すブロック図である。

[図50]第27の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[図51]第28の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[図52]第29の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[図53]車両制御システムの概略的な構成例を示すブロック図である。

[図54]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0035] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（光電変換部に直列に接続された抵抗部の電位の検出結果に基づいて、リチャージ部の電源電位からの電位差が光電変換部から排出される電位よりも低い電位に電荷を排出する例）

2. 第2の実施の形態（複数の光パルス応答部を画素に設けた例）

3. 第3の実施の形態（抵抗部とリチャージ部の接続点の電位の検出結果に基づいて、リチャージ部の電源電位からの電位差が光電変換部から排出される電位よりも低い電位に電荷を排出するとともに、リチャージ部を制御する例）

4. 第4の実施の形態（抵抗部とリチャージ部の接続点の電位の検出結果に基づいて、リチャージ部の電源電位からの電位差が光電変換部から排出される電位よりも低い電位に電荷を排出するとともに、リチャージ部を外部制御する例）

5. 第5の実施の形態（互いに周期が異なる複数の制御信号に基づいて、リチャージ部を外部制御する例）

6. 第6の実施の形態（抵抗部とリチャージ部の接続点の電位の検出結果に基づいて、光子の検出結果を読出す例）

7. 第7の実施の形態（排出部の駆動電位を振幅制限する振幅制限トランジスタを設けた例）

8. 第8の実施の形態（光電変換部に直列に接続された抵抗部と、抵抗部の電位を検出する検出部とを容量分離した例）

9. 第9の実施の形態（光電変換部に直列に接続された抵抗部の電位の検出結果に基づいて、光電変換部と抵抗部との接続点から電荷を排出する例）

10. 第10の実施の形態（読出回路の出力に基づいて、光電変換部から電荷が排出される電位よりも低い電位に電荷を排出する例）

11. 第11の実施の形態（光電変換部に直列に接続された抵抗部の電位を検出する検出部の出力から、光子の検出結果を読出す例）

12. 第12の実施の形態（貫通防止トランジスタおよび初期化トランジスタの入力の振幅を制限するドライバを設けた例）

13. 第13の実施の形態（光電変換部に直列に接続された抵抗部とクリップトランジスタとの間に抵抗を設けた例）

14. 第14の実施の形態（リチャージ部が形成された第1基板上に、光電変換部、抵抗部、検出部および排出部が形成された第2基板を積層した例）

15. 第15の実施の形態（リチャージ部、読出回路およびカウンタが形成された第1基板上に、光電変換部、抵抗部、検出部および排出部が形成された第2基板を積層した例）

16. 第16の実施の形態（高耐圧トランジスタが形成される高耐圧領域を複数の画素について互いに隣接して配置した例）

17. 第17の実施の形態（カウンタ出力と、カウンタ出力のMSB（Most Significant Bit）とを切り替えて出力可能とした例）

18. 第18の実施の形態（光電変換部のアノード側に抵抗部を接続した例）

19. 第19の実施の形態（受光アレイ部を上層チップに設け、回路アレイ部を下層チップに設けた例）

20. 第20の実施の形態（複数の受光部が設けられた画素が配列された受光アレイ部を上層チップに設け、回路アレイ部を下層チップに設けた例）

21. 第21の実施の形態（リチャージ部の電源電位からの電位差が光電変換部から排出される電位よりも低い電位に電荷を排出する排出部が設けられた画素を測距装置に適用した例）

22. 第22の実施の形態（光子の検出結果に基づいて、光子の検出ノードを接地電位に接続する例）

23. 第23の実施の形態（光子の検出結果に基づいて、光子の検出ノードを電源電位に接続する例）

24. 第24の実施の形態（光子の検出結果に基づいて、光子の検出ノードを接地電位に接続するとともに、リチャージを停止する例）

25. 第25の実施の形態（光子の検出結果に基づいて、光子の検出ノードを接地電位に接続するとともに、読出回路とリチャージ部とを切断する例）

26. 第26の実施の形態（光子の検出結果の出力の振幅を制限し、リセットトランジスタを低電圧動作させる例）

27. 第27の実施の形態（光子の検出結果に基づいてリチャージを遮断する例）

28. 第28の実施の形態（リチャージ部の入力の振幅を制限し、リチャージ部を低電圧動作させる例）

29. 第29の実施の形態（光子の検出結果の出力の振幅を制限し、リセットトランジスタを低電圧動作させるとともに、リチャージ部の入力の振幅を制限し、リチャージ部を低電圧動作させる例）

30. 移動体への応用例

[0036] <1. 第1の実施の形態>

図1は、第1の実施の形態に係る撮像装置の構成例を示すブロック図である。

[0037] 同図において、撮像装置100は、光学系101、固体撮像装置102、

撮像制御部１０３、画像処理部１０４、記憶部１０５、表示部１０６および操作部１０７を備える。撮像制御部１０３、画像処理部１０４、記憶部１０５、表示部１０６および操作部１０７は、バス１０８を介して互いに接続されている。なお、撮像装置１００は、単体としても用いられてもよいし、スマートフォンなどの携帯端末に組み込まれてもよいし、認証装置や監視装置に組み込まれてもよい。

[0038] 光学系１０１は、被写体からの光を固体撮像装置１０２に入射させ、被写体像を固体撮像装置１０２の受光面に結像させる。光学系１０１は、例えば、フォーカスレンズ、ズームレンズおよび絞りなどを備えることができる。光学系１０１は、広角レンズ、標準レンズおよび望遠レンズなどの複数のレンズを備えてもよい。

[0039] 固体撮像装置１０２は、被写体からの光を画素ごとに電気信号に変換し、その電気信号をデジタル化して出力する。固体撮像装置１０２は、例えば、イベントベースビジョンセンサでもよい。固体撮像装置１０２で受光される光は、可視光であってもよいし、近赤外光（NIR：Near InfraRed）、短波赤外光（SWIR：Short Wavelength InfraRed）、紫外光またはX線などでもよい。

[0040] 撮像制御部１０３は、操作部１０７からの指令に基づいて固体撮像装置１０２による撮像を制御する。このとき、撮像制御部１０３は、固体撮像装置１０２の露光条件および撮像タイミングなどを制御することができる。

[0041] 画像処理部１０４は、固体撮像装置１０２からの出力に基づいて画像処理を実施する。画像処理部１０４は、ソフトウェアに基づいて処理を実行するアプリケーションプロセッサを備えてもよい。

[0042] 記憶部１０５は、固体撮像装置１０２で撮像された撮像画像を記憶したり、固体撮像装置１０２の撮像パラメータなどを記憶したりする。また、記憶部１０５は、ソフトウェアに基づいて撮像装置１００を動作させるプログラムを記憶することができる。記憶部１０５は、ROM（Read Only Memory）、RAM（Random Access Memory）およびメモリカードを含んでもよい。

- [0043] 表示部１０６は、撮像画像を表示したり、撮像操作をサポートする各種情報を表示したりする。表示部１０６は、液晶ディスプレイでもよいし、有機ＥＬ（Electro Luminescence）ディスプレイでもよい。
- [0044] 操作部１０７は、撮像装置１００を操作するユーザインタフェースを提供する。操作部１０７は、例えば、撮像装置１００に設けられたボタン、ダイヤルおよびスイッチを含んでもよい。操作部１０７は、表示部１０６とともにタッチパネルで構成してもよい。
- [0045] 図２は、第１の実施の形態に係る光検出装置が適用される固体撮像装置の構成例を示すブロック図である。
- [0046] 同図において、固体撮像装置１０２は、画素アレイ部１１１、行走査回路１１２、列処理回路１１３、制御信号生成回路１１４およびフレームメモリ１１５を備える。これらの回路は、単一の半導体基板に配置してもよいし、積層基板に配置してもよい。
- [0047] 画素アレイ部１１１には、画素１２１がロウ方向およびカラム方向にマトリックス状に配置される。各画素１２１は、スイッチ１２２を介してカラムごとに信号線ＳＶＬに接続され、ロウごとに水平制御線ＣＨＬに接続される。また、各画素１２１は、カラムごとに垂直制御線ＣＶＬに接続される。各画素１２１は、光子の入射に応じて生成されたパルスのカウント値を画素データとして出力する。光子が入射する受光部は、ＳＰＡＤ（Single Photon Avalanche Diode）を備えてもよいし、アバランシェフォトダイオードを備えてもよい。
- [0048] 行走査回路１１２は、垂直同期信号に同期してロウを順に選択する。このとき、行走査回路１１２は、水平制御線ＣＨＬを介して画素１２１を選択することができる。行走査回路１１２は、画素１２１をロウごとに選択するために、選択信号ＳＥＬ＜１＞～＜ｎ＞をロウごとにスイッチ１２２に供給する。また、行走査回路１１２は、各画素１２１のカウント値をロウごとにリセットするために、カウントリセット信号ＲＳＴ＜１＞～＜ｎ＞をロウごとに画素１２１に供給する。ＲＳＴ＜１＞～＜ｎ＞を行走査によってリセット

しても良いし全行一括でリセットしても良い。全行一括でリセットすれば?V L開始までの時間を短縮できる。行走査回路112は、光子が検出された画素121を含むロウの選択を調停する垂直アービタを含んでもよい。

[0049] 列処理回路113は、信号線SVLを介して伝送された画素データに対して、各種の信号処理を実行する。列処理回路113は、カラムをスキャンするラインスキャナを含んでもよい。列処理回路113は、光子が検出された画素121を含むカラムの選択を調停する水平アービタを含んでもよい。

[0050] 制御信号生成回路114は、垂直制御線CVLを介して各画素121の光電変換部の露光およびリチャージを制御する。制御信号生成回路114は、リチャージ制御信号RCG、貫通電流制御信号QEN、初期化信号INTおよびクリップ信号CRPをカラムごとに画素121に供給する。フレームメモリ115は、1フレーム分の画素データを記憶する。

[0051] 図3は、第1の実施の形態に係る光検出装置が適用される画素の構成例を示すブロック図である。

[0052] 同図において、各画素121は、光パルス応答部131、読出回路132およびカウンタ133を備える。

[0053] 光パルス応答部131は、光子の入射に応じてパルスを出力する。このとき、光パルス応答部131は、光子を検出するために、光子から生成した電荷を増倍することができる。

[0054] 読出回路132は、光子の入射に応じて光パルス応答部131から出力されたパルスを読出す。読出回路132は、光パルス応答部131の後段に接続される。

[0055] カウンタ133は、読出回路132で読出されたパルスに基づいてカウント動作を実施する。カウンタ133は、読出回路132の後段に接続される。カウンタ133は、スイッチ122を介して信号線SVLに接続される。スイッチ122は、選択信号SELに基づいてオン／オフされる。また、カウンタ133には、水平制御線CHLを介してカウントリセット信号RSTが供給される。

- [0056] 図4は、第1の実施の形態に係る光パルス応答部の第1の例を示すブロック図である。
- [0057] 同図において、光パルス応答部131は、光電変換部141、抵抗部142、リチャージ部143、検出部144および排出部145を備える。
- [0058] 光電変換部141は、第1の電極が電位VRHに接続される。このとき、光電変換部141は、光子から生成した電荷を増倍し、その電荷を電位VRHに排出する。光電変換部141は、SPAD151を備える。SPAD151のアノードは、電位VRHに接続され、SPAD151のカソードは、抵抗部142に接続される。ここで、電位VRHは、SPAD151がガイガー領域で動作可能となる数10V程度の逆バイアスが印加されるように設定することができる。このとき、SPAD151のアバランシェ増幅の増幅率は、理論上では無限大になる。このため、SPAD151は、単位時間当たりの光子の入射量に依存することなく、飽和出力電流を生成することができる。光子を1個ずつ検出することができる。
- [0059] 抵抗部142は、光電変換部141の第1の電極とは反対の第2の電極において、光電変換部141に直列に接続される。このとき、光電変換部141と抵抗部142との接続点には、寄生抵抗C1が付加される。抵抗部142は、抵抗152を備える。このとき、抵抗152の抵抗値は、SPAD151の抵抗より大きくすることができる。抵抗部142の抵抗は、トランジスタのオン抵抗でもよいし、電流源の抵抗でもよい。
- [0060] リチャージ部143は、抵抗部142を介して光電変換部141をリチャージする。リチャージ部143は、抵抗部142に直接接続されてもよい。このとき、抵抗部142とリチャージ部143の接続点には、寄生抵抗C2が付加される。リチャージ部143には、電源電圧VDDが供給される。また、リチャージ部143には、リチャージ制御信号RCGが入力される。このとき、リチャージ部143は、光子の検出が有効な露光有効期間では、電源電圧VDDから抵抗部142を切り離す。また、リチャージ部143は、SPAD151がガイガー領域で動作可能となるようにリチャージするとき

に電源電圧 V_{DD} を抵抗部 142 に接続する。

[0061] 検出部 144 は、抵抗部 142 の電位 V_{K2} を検出し、その検出信号 AQ を排出部 145 に出力する。このとき、検出部 144 には、抵抗部 142 の電位 V_{K2} が入力される。

[0062] 排出部 145 は、抵抗部 142 と、リチャージ部 143 の抵抗部 142 が接続された側とは反対の電位からの電位差が電位 V_{RH} よりも小さい電位 V_{RL} に接続される。このとき、排出部 145 は、抵抗部 142 の電位 V_{K2} の検出信号 AQ に基づいて、光電変換部 141 に流出可能な少なくとも一部の電荷を、リチャージ部 143 の電源電位 V_{DD} からの電位差が電位 V_{RH} よりも小さな電位 V_{RL} に排出する。光電変換部 141 に流出可能な少なくとも一部の電荷は、SPAD 151 のクエンチ後に各寄生抵抗 $C1$ 、 $C2$ に残った電荷を含む。SPAD 151 のクエンチは、SPAD 151 のアバランシェ増幅が停止する現象である。

[0063] 排出部 145 は、スイッチ 155 を備える。スイッチ 155 は、電界効果トランジスタでもよい。このとき、スイッチ 155 は、抵抗部 142 の電位 V_{K2} の検出信号 AQ に基づいてオンすることにより、SPAD 151 のクエンチ後に各寄生抵抗 $C1$ 、 $C2$ に残った電荷を電位 V_{RL} に排出することができる。ここで、排出部 145 を介して寄生抵抗 $C2$ に残った電荷を電位 V_{RH} に排出することにより、SPAD 151 を介して電位 V_{RH} に排出する場合に比べ、消費電力を低減することができる。

[0064] 図 5 は、第 1 の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[0065] 同図において、SPAD 151 がガイガー領域にあるときに、SPAD 151 に光子が入射すると (t_{11})、SPAD 151 のアバランシェ増幅が生じる。このとき、SPAD 151 を介して電位 V_{RH} に電流が流れ、抵抗 152 で電圧降下が発生するため、SPAD 151 のカソード電位 V_{K1} が低下する。ここで、SPAD 151 のカソード側には抵抗 152 が直列に接続されている。このため、寄生抵抗 $C2$ から SPAD 151 に流れる電流よ

りも、寄生抵抗 $C1$ からSPAD151に流れる電流の方が大きくなる。

[0066] そして、SPAD151のカソード電位 V_{K1} が低下すると、SPAD151のアバランシェ増幅が停止し、クエンチが発生する(t_{12})。このとき、SPAD151のカソード電位 V_{K1} は、SPAD151のアバランシェ増幅が停止するクエンチ電圧 V_{qe} になるとともに、抵抗部142とリチャージ部143の接続点の電位 V_{K2} は、クエンチ電圧 V_{qe} より高くなる。

[0067] SPAD151のクエンチが発生すると、寄生容量 $C2$ から寄生容量 $C1$ への電荷の再分配が開始され、SPAD151のカソード電位 V_{K1} は上昇する。このとき、SPAD151のカソード電位 V_{K1} は負のパルス状に変化する。

[0068] 一方、抵抗部142とリチャージ部143の接続点の電位 V_{K2} は、SPAD151のアバランシェ増幅期間および寄生容量 $C1$ 、 $C2$ 間の再分配期間を通して低下する。このとき、検出部144は、抵抗部142の電位 V_{K2} を検出し、抵抗部142の電位 V_{K2} が閾値 V_{th} に達すると(t_{13})、検出信号 AQ を立ち上げる(E_{11})。

[0069] 排出部145は、検出信号 AQ が立ち上がると、スイッチ155をオンする。このとき、抵抗部142とリチャージ部143の接続点は電位 V_{RL} に接続され、主として寄生容量 $C2$ に蓄積されていた電荷が電位 V_{RL} に排出され、SPAD151のカソード電位 V_{K1} および抵抗部142の電位 V_{K2} は降下する(E_{12})。

[0070] 寄生容量 $C2$ に蓄積されていた電荷が電位 V_{RL} に排出された後、検出部144は、検出信号 AQ を立ち下げる(t_{14})。このとき、スイッチ155がオフし、抵抗部142とリチャージ部143の接続点は電位 V_{RL} から切り離される。また、リチャージ制御信号 RCG が立ち下がり、リチャージ部143は、抵抗部142を介して光電変換部141をリチャージしてSPAD151をガイガー領域に復帰させる(E_{13})。

[0071] 図6は、第1の実施の形態に係る光パルス応答部の第2の例を示すブロッ

ク図である。

[0072] 同図において、この光パルス応答部 161 は、図 4 の光電変換部 141 に代えて、光電変換部 171 を備える。この光パルス応答部 161 のそれ以外の構成は、図 4 の光パルス応答部 131 の構成と同様である。光電変換部 171 は、複数の SPAD 151 を備える。これらの SPAD 151 は並列に接続され、これらの複数の SPAD 151 のアノードは、電位 VRH に接続され、これらの複数の SPAD 151 のカソードは、抵抗部 142 に接続される。これらの複数の SPAD 151 で検出された光子は、加算されて光電変換部 171 から出力される。

[0073] ここで、複数の SPAD 151 を光電変換部 171 に設けることにより、1 画素当たりの光子の検出数を増大させることができ、S/N 比を向上させることができる。

[0074] 図 7 は、第 1 の実施の形態に係る光パルス応答部の第 3 の例を示すブロック図である。

[0075] 同図において、この光パルス応答部 181 は、図 6 の光電変換部 171 および抵抗部 142 に代えて、光電変換部 191 および抵抗部 192 を備える。この光パルス応答部 181 のそれ以外の構成は、図 6 の光パルス応答部 161 の構成と同様である。光電変換部 191 は、複数の SPAD 151 を備える。抵抗部 192 は、複数の抵抗 152 を備える。各 SPAD 151 は、抵抗 152 に直列に接続され、SPAD 151 と抵抗 152 と直列回路は並列に接続される。これらの複数の SPAD 151 のアノードは、電位 VRH に接続され、抵抗 152 同士の接続点は、リチャージ部 143 に接続される。これらの複数の SPAD 151 で検出された光子は加算されて光電変換部 191 から出力される。

[0076] ここで、複数の SPAD 151 を光電変換部 191 に設けることにより、1 画素当たりの光子の検出数を増大させることができ、S/N 比を向上させることができる。

[0077] このように、上述の第 1 の実施の形態では、光電変換部 191 に直列に接

続された抵抗部 192 の電位 V_{K2} の検出結果に基づいて、電源電位 V_{DD} からの電位差が電位 V_{RH} よりも低い電位 V_{RL} に電荷を排出する。これにより、SPAD 151 のクエンチ後に残存する電荷を SPAD 151 を介して電位 V_{RH} に排出する場合に比べ、消費電力を低減することができる。

[0078] <2. 第2の実施の形態>

上述の第1の実施の形態では、光パルス応答部 131 および読出回路 132 を画素 121 に設けた。この第2の実施の形態では、複数の光パルス応答部 131 および複数の読出回路 132 を画素に設ける。

[0079] 図8は、第2の実施の形態に係る光検出装置が適用される画素の構成例を示すブロック図である。

[0080] 同図において、画素 221 は、複数の光パルス応答部 131、複数の読出回路 132、OR回路 233 およびカウンタ 133 を備える。

[0081] 各光パルス応答部 131 は、読出回路 132 に直列に接続される。光パルス応答部 131 と読出回路 132 との直列回路は、OR回路 233 に接続され、OR回路 233 の後段には、カウンタ 133 が接続される。各読出回路 132 で読み出された光子の検出結果は、OR回路 233 で加算され、カウンタ 133 でカウントされる。

[0082] このように、上述の第2の実施の形態では、複数の光パルス応答部 131 および複数の読出回路 132 を画素 221 に設ける。これにより、1画素当たりの光子の検出数を増大させることができ、S/N比を向上させることができる。

[0083] <3. 第3の実施の形態>

上述の第1の実施の形態では、検出部 144 の検出信号 AQ に基づいて、電源電位 V_{DD} からの電位差が電位 V_{RH} よりも低い電位 V_{RL} に電荷を排出した。この第3の実施の形態では、検出部 144 の検出信号 AQ に基づいて、電源電位 V_{DD} からの電位差が電位 V_{RH} よりも低い電位 V_{RL} に電荷を排出するとともに、リチャージ部 143 を制御する。

[0084] 図9は、第3の実施の形態に係る光検出装置が適用される固体撮像装置の

構成例を示すブロック図である。

[0085] 同図において、この固体撮像装置は、上述の第1の実施の形態の画素アレイ部111に代えて、画素アレイ部116を備える。また、この固体撮像装置は、上述の第1の実施の形態の固体撮像装置から制御信号生成回路114が除去されている。第3の実施の形態の固体撮像装置のそれ以外の構成は、上述の第1の実施の形態の固体撮像装置の構成と同様である。

[0086] 画素アレイ部116には、画素123がロウ方向およびカラム方向にマトリックス状に配置される。各画素123は、スイッチ122を介してカラムごとに信号線SVLに接続され、ロウごとに水平制御線CHLに接続される。各画素123は、光子の入射に応じて生成されたパルスのカウント値を画素データとして出力する。

[0087] 図10は、第3の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0088] 同図において、この光パルス応答部331は、上述の第1の実施の形態の光パルス応答部131にパルス生成部341が追加されている。また、読出回路132の入力は、抵抗部142とリチャージ部143の接続点に接続される。第3の実施の形態の光パルス応答部331のそれ以外の構成は、上述の第1の実施の形態の光パルス応答部131の構成と同様である。

[0089] パルス生成部341は、検出部144の検出信号AQに基づいて、排出部145を制御するとともに、リチャージ部143のリチャージ制御信号RCGを生成する。このとき、パルス生成部341は、排出部145を制御するために、検出部144の検出信号AQを排出部145に出力することができる。また、パルス生成部341は、検出信号AQの立ち下がりタイミングに基づいて、リチャージ制御信号RCGの立ち下がりタイミングを設定することができる。

[0090] このように、上述の第3の実施の形態では、検出部144の検出信号AQに基づいて、電源電位VDDからの電位差が電位VRHよりも低い電位VRLに電荷を排出するとともに、リチャージ部143のリチャージ制御信号R

CGを生成する。これにより、検出部144の検出信号AQの出力タイミングに基づいて、リチャージ部143を制御することができる。このため、SPAD151のクエンチ後に残存する電荷を電位VRLに排出した後、SPAD151をガイガー領域に復帰させるまでタイムラグを低減することができる。

[0091] <4. 第4の実施の形態>

上述の第1の実施の形態では、検出部144の検出信号AQに基づいて、リチャージ部143のリチャージ制御信号RCGを生成した。この第4の実施の形態では、光パルス応答部の外部から入力されたリチャージ制御信号RCGに基づいて、リチャージ部143を外部制御する。

[0092] 図11は、第4の実施の形態に係る光パルス応答部の第1の例を示すブロック図である。

[0093] 同図において、画素421は、上述の第1の実施の形態の光パルス応答部131に代えて、光パルス応答部431を備える。また、読出回路132の入力は、抵抗部142とリチャージ部143の接続点に接続される。第4の実施の形態の画素421のそれ以外の構成は、上述の第1の実施の形態の画素121の構成と同様である。

[0094] 光パルス応答部431では、外部から入力されたリチャージ制御信号RCGに基づいて、リチャージ部143が外部制御される。第4の実施の形態の光パルス応答部431のそれ以外の構成は、上述の第1の実施の形態の光パルス応答部131の構成と同様である。

[0095] 図12は、第4の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0096] 同図において、光パルス応答部431は、上述の第1の実施の形態の光パルス応答部131に初期化トランジスタ436および貫通防止トランジスタ437が追加されている。

[0097] 初期化トランジスタ436は、検出部144の出力を初期化する。初期化トランジスタ436は、Nチャンネル電界効果トランジスタを用いることが

できる。初期化トランジスタ436は、検出部144と電位VRLとの間に接続される。初期化トランジスタ436のゲートには、初期化信号INQが入力される。

[0098] 貫通防止トランジスタ437は、検出部144に貫通電流が流れるのを防止する。貫通防止トランジスタ437は、Pチャンネル電界効果トランジスタを用いることができる。貫通防止トランジスタ437は、電源電位VDDと検出部144との間に接続される。貫通防止トランジスタ437のゲートには、初期化信号INQが入力される。

[0099] リチャージ部143は、リチャージトランジスタ433を備える。リチャージトランジスタ433は、Pチャンネル電界効果トランジスタを用いることができる。リチャージトランジスタ433は、電源電位VDDと抵抗152との間に接続される。リチャージトランジスタ433のゲートには、リチャージ制御信号RCGが入力される。

[0100] 検出部144は、検出トランジスタ434を備える。検出トランジスタ434は、Pチャンネル電界効果トランジスタを用いることができる。検出トランジスタ434は、初期化トランジスタ436と貫通防止トランジスタ437との間に接続される。検出トランジスタ434のゲートには、抵抗部142の電位VK2が入力される。

[0101] 排出部145は、排出トランジスタ435を備える。排出トランジスタ435は、Nチャンネル電界効果トランジスタを用いることができる。排出トランジスタ435は、抵抗152およびリチャージトランジスタ433の接続点と、電位VRLとの間に接続される。排出トランジスタ435のゲートには、検出部144の検出信号AQが入力される。

[0102] 読出回路132は、読出トランジスタ442およびアクティブトランジスタ441、443を備える。アクティブトランジスタ441および読出トランジスタ442は、Pチャンネル電界効果トランジスタを用いることができる。アクティブトランジスタ443は、Nチャンネル電界効果トランジスタを用いることができる。読出トランジスタ442は、アクティブトランジスタ

タ 4 4 1、4 4 3 の間に接続される。読出トランジスタ 4 4 2 は、アクティブトランジスタ 4 4 1、4 4 3 を介して電源電位 V_{DD2} と接地電位との間に接続される。アクティブトランジスタ 4 4 1、4 4 3 のゲートには、アクティブ信号 INT が入力される。読出トランジスタ 4 4 2 のゲートには、抵抗部 1 4 2 の電位 V_{K2} が入力される。

[0103] なお、電源電圧 V_{DD} 、 V_{DD2} 、電位 V_{RH} および電位 V_{RL} の組合せは、例えば、電源電圧 $V_{DD} = 3\text{ V}$ 、電源電圧 $V_{DD2} = 0.8\text{ V}$ 、電位 $V_{RH} = -1.8\text{ V}$ 、電位 $V_{RL} = 0\text{ V}$ でもよい。あるいは、電源電圧 $V_{DD} =$ 電源電圧 $V_{DD2} = 0.8\text{ V}$ 、電位 $V_{RH} = -2.2\text{ V}$ 、電位 $V_{RL} = -2.2\text{ V}$ でもよい。

[0104] 図 1 3 は、第 4 の実施の形態に係る光パルス応答部の第 2 の例を示すブロック図である。

[0105] 同図において、光パルス応答部 4 4 1 は、図 1 2 の光パルス応答部 4 3 1 にクリップトランジスタ 4 3 2 が追加されている。また、読出回路 1 3 2 の入力は、クリップトランジスタ 4 3 2 とリチャージ部 1 4 3 の接続点に接続される。光パルス応答部 4 4 1 のそれ以外の構成は、図 1 2 の光パルス応答部 4 3 1 の構成と同様である。

[0106] クリップトランジスタ 4 3 2 は、抵抗部 1 4 2 の電位 V_{K2} が読出回路 1 3 2 に入力されるのを遮断する。クリップトランジスタ 4 3 2 は、Pチャネル電界効果トランジスタを用いることができる。クリップトランジスタ 4 3 2 は、リチャージトランジスタ 4 3 3 と抵抗 1 5 2 との間に接続される。クリップトランジスタ 4 3 2 のゲートには、クリップ信号 CLP が入力される。

[0107] なお、電源電圧 V_{DD} 、 V_{DD2} 、電位 V_{RH} および電位 V_{RL} の組合せは、例えば、電源電圧 $V_{DD} =$ 電源電圧 $V_{DD2} = 0.8\text{ V}$ 、電位 $V_{RH} = -2.2\text{ V}$ 、電位 $V_{RL} = -2.2\text{ V}$ でもよい。

[0108] 図 1 4 は、第 4 の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

- [0109] 同図において、SPAD151がガイガー領域にある場合、クリップ信号CLPはハイレベルに設定される。このとき、読出回路132は、クリップトランジスタ432を介して抵抗部142の電位VK2から切り離される。また、初期化信号INQはロウレベルに設定される。このとき、検出トランジスタ434は、貫通防止トランジスタ437を介して電源電位VDDに接続されるとともに、排出トランジスタ435のゲートは、初期化トランジスタ436を介して電位VRLから切り離される。また、アクティブ信号INTはハイレベルに設定される。このとき、読出トランジスタ442は、アクティブトランジスタ441、443を介して電源電位VDD2および接地電位から切り離される。
- [0110] また、リチャージ制御信号RCGはハイレベルに設定される。このとき、SPAD151は、リチャージトランジスタ433を介して電源電位VDDから切り離される。ここで、リチャージ制御信号RCGをハイレベルに設定することにより、露光有効期間P2を設定することができる。また、リチャージ制御信号RCGをロウレベルに設定することにより、リチャージ有効期間P1を設定することができる。
- [0111] そして、SPAD151がガイガー領域にあるときにSPAD151に光子が入射すると(t21)、SPAD151のアバランシェ増幅が生じる。このとき、SPAD151を介して電位VRHに電流が流れ、抵抗152で電圧降下が発生するため、SPAD151のカソード電位VK1が低下する(E21)。
- [0112] そして、SPAD151のカソード電位VK1が低下すると、SPAD151のアバランシェ増幅が停止するとともに、抵抗部142の電位VK2は低下する。このとき、抵抗部142の電位VK2が閾値Vthに達すると、検出トランジスタ434がオンし、検出信号AQが立ち上がる(E22)。
- [0113] 検出信号AQが立ち上がると、排出トランジスタ435がオンする。このとき、抵抗152は電位VRLに接続され、主として寄生容量C2に蓄積されていた電荷が電位VRLに排出される。

- [0114] 寄生容量C 2に蓄積されていた電荷が電位V R Lに排出された後、初期化信号I N Qが立ち上がる（t 2 2）。このとき、検出トランジスタ4 3 4は、貫通防止トランジスタ4 3 7を介して電源電位V D Dから切り離されるとともに、初期化トランジスタ4 3 6を介して電位V R Lに接続され、検出信号A Qが立ち下がる（E 2 3）。検出信号A Qが立ち下がると、排出トランジスタ4 3 5がオフし、抵抗1 5 2は、電位V R Lから切り離される。
- [0115] 次に、初期化信号I N Qが立ち下がった後、クリップ信号C L Pおよびアクティブ信号I N Tが立ち下がる（t 2 3）。このとき、クリップトランジスタ4 3 2およびアクティブトランジスタ4 4 1、4 4 3はオンし、読出トランジスタ4 4 2のゲート電位V K 3が降下して抵抗部1 4 2の電位V K 2に等しくなるとともに（E 2 4）、読出トランジスタ4 4 2に電源電位V D D 2が供給される。このため、読出回路1 3 2の出力P L Sが立ち上がる（E 2 5）。
- [0116] 次に、リチャージ制御信号R C Gが立ち下がる（t 2 4）。このとき、リチャージトランジスタ4 3 3がオンし、リチャージトランジスタ4 3 3および抵抗1 5 2を介してリチャージされることでS P A D 1 5 1がガイガー領域に復帰する。
- [0117] リチャージ制御信号R C Gが立ち上がった後、クリップ信号C L Pおよびアクティブ信号I N Tが立ち上がり（t 2 5）、クリップトランジスタ4 3 2およびアクティブトランジスタ4 4 1、4 4 3はオフする。このとき、読出回路1 3 2は、クリップトランジスタ4 3 2を介して抵抗部1 4 2の電位V K 2から切り離されるとともに、読出トランジスタ4 4 2は、アクティブトランジスタ4 4 1、4 4 3を介して電源電位V D D 2および接地電位から切り離される。このため、読出回路1 3 2の出力P L Sが立ち下がり（E 2 6）、読出回路1 3 2の出力P L Sに基づいて、カウンタ1 3 3のカウント値C N Tがカウントアップされる（E 2 7）。
- [0118] このように、上述の第4の実施の形態では、光パルス応答部4 4 1の外部から入力されたリチャージ制御信号R C Gに基づいて、リチャージ部1 4 3

を外部制御する。これにより、リチャージ制御信号 RCG を生成するパルス生成部 341 を光パルス応答部 441 に設ける必要がなくなり、光パルス応答部 441 の素子数を削減することができる。

[0119] <5. 第5の実施の形態>

上述の第4の実施の形態では、光パルス応答部 441 の外部から入力されたリチャージ制御信号 RCG に基づいて、リチャージ部 143 を外部制御した。この第5の実施の形態では、光パルス応答部 441 の外部から入力されるリチャージ制御信号 RCG に互いに異なる複数の周期を設定する。

[0120] 図15は、第5の実施の形態に係る光パルス応答部の動作の第1の例を示すタイミングチャートである。なお、同図における a は、固体撮像装置が低照度環境で使用される場合、同図における b は、固体撮像装置が高照度環境で使用される場合を示す。

[0121] 同図において、リチャージ制御信号 RCG は、短周期と長周期とを交互に繰り返しながら、リチャージ期間を設定する。このとき、短周期および長周期の双方において、排出部 145 を介した電位 VRH への電荷排出機能が有効化される。

[0122] 図16は、第5の実施の形態に係る光パルス応答部の動作の第2の例を示すタイミングチャートである。なお、同図における a は、固体撮像装置が低照度環境で使用される場合、同図における b は、固体撮像装置が高照度環境で使用される場合を示す。

[0123] 同図において、リチャージ制御信号 RCG は、短周期と長周期とを交互に繰り返しながら、リチャージ期間を設定する。このとき、短周期では、排出部 145 を介した電位 VRH への電荷排出機能が無効化され、長周期では、排出部 145 を介した電位 VRH への電荷排出機能が有効化される。

[0124] このように、上述の第5の実施の形態では、リチャージ制御信号 RCG は、短周期と長周期とを交互に繰り返しながら、リチャージ期間を設定する。このとき、短周期では、排出部 145 を介した電位 VRH への電荷排出機能が無効化することにより、動作時間の余裕を確保することが可能となる。ま

た、長周期では、排出部 1 4 5 を介した電位 V R H への電荷排出機能を有効化することにより、消費電力を低減することができる。

[0125] < 6. 第 6 の実施の形態 >

上述の第 3 の実施の形態では、読出回路 1 3 2 は、抵抗部 1 4 2 の電位 V K 2 に基づいて出力 P L S を生成した。この第 6 の実施の形態では、読出回路 1 3 2 は、検出部 1 4 4 の検出信号 A Q に基づいて出力 P L S を生成する。

[0126] 図 1 7 は、第 6 の実施の形態に係る光検出装置が適用される画素の第 1 の例を示すブロック図である。

[0127] 同図において、画素 5 2 1 は、上述の第 3 の実施の形態の光パルス応答部 3 3 1 に代えて、光パルス応答部 5 3 1 を備える。第 6 の実施の形態の画素 5 2 1 のそれ以外の構成は、上述の第 3 の実施の形態の画素 3 2 1 の構成と同様である。

[0128] 光パルス応答部 5 3 1 では、パルス生成部 3 4 1 から出力される検出信号 A Q が読出回路 1 3 2 に入力される。このとき、読出回路 1 3 2 は、パルス生成部 3 4 1 から出力される検出信号 A Q に基づいて出力 P L S を生成する。

[0129] 図 1 8 は、第 6 の実施の形態に係る光検出装置が適用される画素の第 2 の例を示すブロック図である。

[0130] 同図において、画素 5 2 2 は、上述の第 4 の実施の形態の光パルス応答部 4 3 1 に代えて、光パルス応答部 5 3 2 を備える。第 6 の実施の形態の画素 5 2 2 のそれ以外の構成は、上述の第 4 の実施の形態の画素 4 2 1 の構成と同様である。

[0131] 光パルス応答部 5 3 2 では、検出部 1 4 4 から出力される検出信号 A Q が読出回路 1 3 2 に入力される。このとき、読出回路 1 3 2 は、検出部 1 4 4 から出力される検出信号 A Q に基づいて出力 P L S を生成する。

[0132] 図 1 9 は、第 6 の実施の形態に係る光検出装置が適用される画素の第 3 の例を示すブロック図である。

[0133] 同図において、この画素では、図18の光パルス応答部532として上述の第4の実施の形態の光パルス応答部431が用いられる。このとき、検出トランジスタ434から出力される検出信号A Qが読出トランジスタ442のゲートに入力される。読出回路132は、検出トランジスタ434から出力される検出信号A Qに基づいて出力P L Sを生成する。

[0134] なお、電源電圧V D D、V D D 2、電位V R Hおよび電位V R Lの組合せは、例えば、電源電圧V D D = 電源電圧V D D 2 = 3 V、電位V R H = - 20. 2 V、電位V R L = 0 Vでもよい。あるいは、電源電圧V D D = 3 V、電源電圧V D D 2 = 0. 8 V、電位V R H = - 20. 2 V、電位V R L = 0 Vでもよい。

[0135] 図20は、第6の実施の形態に係る光検出装置が適用される画素の第4の例を示すブロック図である。

[0136] 同図において、この画素では、図18の光パルス応答部532として光パルス応答部451が用いられる。

[0137] 光パルス応答部451は、第4の実施の形態の光パルス応答部441にクリップトランジスタ452が追加されている。クリップトランジスタ452は、読出回路132が検出信号A Qを読出するのを遮断する。クリップトランジスタ452は、Pチャンネル電界効果トランジスタを用いることができる。クリップトランジスタ452は、検出トランジスタ434および初期化トランジスタ436の接続点と、読出トランジスタ442のゲートとの間に接続される。クリップトランジスタ452のゲートには、クリップ信号C L Pが入力される。

[0138] このとき、検出トランジスタ434から出力される検出信号A Qは、クリップトランジスタ452を介して読出トランジスタ442のゲートに入力される。読出回路132は、検出トランジスタ434から出力される検出信号A Qに基づいて出力P L Sを生成する。このとき、クリップ信号C L Pのレベルはロウ固定することができる。このため、クリップ信号C L Pのタイミングに制約されることなく、リチャージ制御信号R C Gのタイミングを設定

することが可能となるとともに、読出回路132の入力を振幅制限することができる。

[0139] なお、電源電圧 V_{DD} 、 V_{DD2} 、電位 V_{RH} および電位 V_{RL} の組合せは、例えば、電源電圧 $V_{DD}=3\text{ V}$ 、電源電圧 $V_{DD2}=0.8\text{ V}$ 、電位 $V_{RH}=-20.2\text{ V}$ 、電位 $V_{RL}=-2.2\text{ V}$ でもよい。

[0140] このように、上述の第6の実施の形態では、読出回路132は、検出部144の検出信号 AQ に基づいて出力 PLS を生成する。これにより、読出回路132は、抵抗部142の電位 V_{K2} を検出することなく、出力 PLS を生成することができる。このとき、検出部144の検出信号 AQ は、デジタル化されているので、読出しを容易化することができる。

[0141] <7. 第7の実施の形態>

上述の第4の実施の形態では、電源電位 V_{DD} と検出部144との間に貫通防止トランジスタ437を接続した。この第7の実施の形態では、排出部145の駆動電位を振幅制限する振幅制限トランジスタを設ける。

[0142] 図21は、第7の実施の形態に係る光パルス応答部の構成例を示すブロック図、図22は、第7の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[0143] 図21において、光パルス応答部621は、上述の第4の実施の形態の光パルス応答部441に振幅制限トランジスタ622が追加されている。また、光パルス応答部621は、上述の第4の実施の形態の光パルス応答部441から貫通防止トランジスタ437が除去されている。第7の実施の形態の光パルス応答部621のそれ以外の構成は、上述の第4の実施の形態の光パルス応答部441の構成と同様である。

[0144] 振幅制限トランジスタ622は、排出部145の駆動電位を振幅制限する。このとき、振幅制限トランジスタ622は、検出部144に貫通電流が流れるのを防止する機能を兼ねることができる。振幅制限トランジスタ622は、Nチャンネル電界効果トランジスタを用いることができる。振幅制限トランジスタ622は、検出トランジスタ434と初期化トランジスタ436

との間に接続される。振幅制限トランジスタ 6 2 2 のゲートには、振幅制限信号 A Q E が入力される。このとき、振幅制限トランジスタ 6 2 2 は、検出部 1 4 4 の検出信号 A Q 1 の振幅を制限して排出トランジスタ 4 3 5 のゲートに入力することができる。例えば、検出部 1 4 4 の検出信号 A Q 1 の振幅が 0 V から -2.2 V であるものとする、図 2 2 に示すように、排出トランジスタ 4 3 5 のゲートに入力される検出信号 A Q 2 の電位を -0.5 V から -2.2 V に制限することができる。

[0145] このように、上述の第 7 の実施の形態では、排出部 1 4 5 の駆動電位を振幅制限する振幅制限トランジスタ 6 2 2 を光パルス応答部 6 2 1 に設ける。これにより、排出部 1 4 5 の充放電電力を低減することが可能となるとともに、抵抗部 1 4 2 の電位 V K 2 と検出信号 A Q 2 とのカップリングを抑制することができる。

[0146] < 8. 第 8 の実施の形態 >

上述の第 4 の実施の形態では、検出部 1 4 4 は、抵抗部 1 4 2 の電位 V K 2 に基づいて、排出部 1 4 5 の排出動作を制御した。この第 8 の実施の形態では、光電変換部 1 4 1 に直列に接続された抵抗部 1 4 2 と、抵抗部 1 4 2 の電位 V K 2 を検出する検出部 1 4 4 とを容量分離する。

[0147] 図 2 3 は、第 8 の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0148] 同図において、光パルス応答部 7 2 1 は、上述の第 4 の実施の形態の光パルス応答部 4 3 1 に容量 7 2 2 およびリチャージトランジスタ 7 2 3 が追加されている。第 8 の実施の形態の光パルス応答部 7 2 1 のそれ以外の構成は、上述の第 4 の実施の形態の光パルス応答部 4 3 1 の構成と同様である。

[0149] リチャージトランジスタ 7 2 3 は、P チャンネル電界効果トランジスタを用いることができる。リチャージトランジスタ 7 2 3 は、電源電位 V D D と検出トランジスタ 4 3 4 のゲートとの間に接続される。リチャージトランジスタ 7 2 3 のゲートには、リチャージ制御信号 R C G が入力される。

[0150] 容量 7 2 2 は、抵抗部 1 4 2 と検出部 1 4 4 との間に接続される。このと

き、容量 7 2 2 は、検出部 1 4 4 および排出部 1 4 5 から抵抗部 1 4 2 を容量分離し、抵抗部 1 4 2 の電位 V_{K2} に付加される寄生容量 C_2 の値を低減することができる。

[0151] このように、上述の第 8 の実施の形態では、光電変換部 1 4 1 に直列に接続された抵抗部 1 4 2 と、抵抗部 1 4 2 の電位 V_{K2} を検出する検出部 1 4 4 とを、容量 7 2 2 を介して分離する。これにより、抵抗部 1 4 2 の電位 V_{K2} に付加される寄生容量 C_2 の値を低減することができ、寄生容量 C_2 から SPAD 1 5 1 に流出する電流を低減することができる。

[0152] < 9. 第 9 の実施の形態 >

上述の第 4 の実施の形態では、排出部 1 4 5 は、抵抗部 1 4 2 とリチャージ部 1 4 3 との接続点から電荷を引き抜いた。この第 9 の実施の形態では、排出部 1 4 5 は、光電変換部 1 4 1 と抵抗部 1 4 2 との接続点から電荷を引き抜く。

[0153] 図 2 4 は、第 9 の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0154] 同図において、光パルス応答部 8 2 1 では、排出トランジスタ 4 3 5 は、光電変換部 1 4 1 および抵抗部 1 4 2 の接続点と電位 V_{RL} との間に接続される。排出トランジスタ 4 3 5 のゲートには、検出部 1 4 4 の検出信号 AQ が入力される。このとき、排出トランジスタ 4 3 5 がオンされると、寄生容量 C_1 、 C_2 に蓄積された電荷が光電変換部 1 4 1 および抵抗部 1 4 2 の接続点を介して引き抜かれる。

[0155] このように、上述の第 9 の実施の形態では、排出部 1 4 5 は、光電変換部 1 4 1 および抵抗部 1 4 2 の接続点から電荷を引き抜く。これにより、排出トランジスタ 4 3 5 を検出トランジスタ 4 3 4 のゲートに接続することなく、寄生容量 C_1 、 C_2 から電荷を引き抜くことができる。

[0156] < 10. 第 10 の実施の形態 >

上述の第 4 の実施の形態では、検出部 1 4 4 から出力される検出信号 AQ に基づいて、電源電位 V_{DD} からの電位差が電位 V_{RH} よりも小さな電位 V

R Lに電荷を排出した。この第10の実施の形態では、読出回路132の出力P L Sに基づいて、電源電位V D Dからの電位差が電位V R Hよりも小さな電位V R Lに電荷を排出する。

[0157] 図25は、第10の実施の形態に係る光検出装置が適用される画素の第1の例を示すブロック図である。

[0158] 同図において、光パルス応答部921は、上述の第4の実施の形態の光パルス応答部441から検出部144、初期化トランジスタ436および貫通防止トランジスタ437が除去されている。

[0159] また、光パルス応答部921では、排出部145は、読出回路132の出力P L Sに基づいて、光電変換部141から電荷が排出される電位V R Hよりも低い電位V R Lに電荷を排出する。このとき、読出回路132の後段には、バッファ922が設けられてもよい。読出回路132の出力P L Sは、バッファ922を介してカウンタ133に入力することができる。第10の実施の形態の光パルス応答部921のそれ以外の構成は、上述の第4の実施の形態の光パルス応答部441の構成と同様である。

[0160] 図26は、第10の実施の形態に係る光検出装置が適用される画素の第2の例を示すブロック図である。

[0161] 同図において、この画素には、図25の画素にバッファ923が追加されている。読出回路132の出力P L Sは、バッファ923を介して排出部145に入力される。バッファ923の出力は、排出トランジスタ435のゲートに接続される。バッファ923は、読出回路132の出力P L Sをレベルシフトして排出トランジスタ435のゲートに印加することができる。このとき、例えば、バッファ923の高電源電位V D Hは0.8Vに設定し、バッファ923の低電源電位V D Lは-2.2Vに設定してもよい。

[0162] このように、上述の第10の実施の形態では、排出部145は、読出回路132の出力P L Sに基づいて電荷の排出を実施する。これにより、検出部144、初期化トランジスタ436および貫通防止トランジスタ437を不要とすることができ、光パルス応答部921の素子数を削減することができ

る。このとき、バッファ 9 2 3 を介して読出回路 1 3 2 の出力 P L S を排出部 1 4 5 に入力することにより、排出部 1 4 5 の入力を振幅制限することができ、省電力化を図ることができる。

[0163] < 1 1 . 第 1 1 の実施の形態 >

上述の第 4 の実施の形態では、読出回路 1 3 2 は、抵抗部 1 4 2 の電位 V K 2 に基づいて出力 P L S を生成した。この第 1 1 の実施の形態では、読出回路 1 3 2 は、検出部 1 4 4 の検出信号 A Q に基づいて出力 P L S を生成する。

[0164] 図 2 7 は、第 1 1 の実施の形態に係る光パルス応答部の第 1 の例を示すブロック図である。

[0165] 同図において、光パルス応答部 9 3 1 では、検出部 1 4 4 の検出信号 A Q が読出回路 1 3 2 に入力される。第 1 1 の実施の形態の光パルス応答部 9 3 1 のそれ以外の構成は、上述の第 4 の実施の形態の光パルス応答部 4 3 1 の構成と同様である。

[0166] 読出回路 1 3 2 は、検出部 1 4 4 の検出信号 A Q に基づいて出力 P L S を生成する。このとき、読出トランジスタ 4 4 2 のゲートは、検出トランジスタ 4 3 4 と初期化トランジスタ 4 3 6 の接続点に接続される。

[0167] 図 2 8 は、第 1 1 の実施の形態に係る光パルス応答部の第 2 の例を示すブロック図である。

[0168] 同図において、この画素には、図 2 7 の画素に振幅制限トランジスタ 9 3 2 が追加されている。振幅制限トランジスタ 9 3 2 は、P チャンネル電界効果トランジスタを用いることができる。振幅制限トランジスタ 9 3 2 は、読出トランジスタ 4 4 2 のゲートと、検出トランジスタ 4 3 4 および初期化トランジスタ 4 3 6 の接続点との間に接続される。振幅制限トランジスタ 9 3 2 のゲートには、バイアス電圧 V B が印加される。バイアス電圧 V B は、例えば、 -0.5 V 固定とすることができる。

[0169] このように、上述の第 1 1 の実施の形態では、読出回路 1 3 2 は、検出部 1 4 4 の検出信号 A Q に基づいて出力 P L S を生成することにより、光パル

ス応答部 931 の素子数を削減することができる。このとき、振幅制限トランジスタ 932 を介して検出部 144 の検出信号 A Q を読出回路 132 に入力することにより、読出回路 132 の入力を振幅制限することができ、省電力化を図ることができる。

[0170] < 12. 第 12 の実施の形態 >

上述の第 4 の実施の形態では、初期化トランジスタ 436、貫通防止トランジスタ 437 およびクリップトランジスタ 432 を光パルス応答部 441 に設けた。この第 12 の実施の形態では、初期化トランジスタ 436 および貫通防止トランジスタ 437 の入力の振幅を制限するドライバを設ける。

[0171] 図 29 は、第 12 の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0172] 同図において、光パルス応答部 951 は、上述の第 4 の実施の形態の光パルス応答部 441 にドライバ 348、349 が追加されている。第 12 の実施の形態の光パルス応答部 951 のそれ以外の構成は、上述の第 4 の実施の形態の光パルス応答部 441 の構成と同様である。

[0173] ドライバ 348 は、初期化信号 I N Q の振幅を制限して初期化トランジスタ 436 のゲートに入力する。このとき、ドライバ 348 の電源は、中間電位 V D M と電位 V R L の間に接続される。中間電位 V D M は、例えば、 -0.7 V に設定してもよい。

[0174] ドライバ 349 は、貫通防止信号 E N Q の振幅を制限して貫通防止トランジスタ 437 のゲートに入力する。このとき、ドライバ 349 の電源は、電源電位 V D D と中間電位 V D M との間に接続される。

[0175] このように、上述の第 12 の実施の形態では、初期化信号 I N Q の振幅を制限するドライバ 348 および貫通防止信号 E N Q の振幅を制限するドライバ 349 を設ける。これにより、初期化トランジスタ 436 および貫通防止トランジスタ 437 の充放電電力を低減することが可能となり、省電力化を図ることができる。

[0176] なお、上述の実施の形態では、初期化トランジスタ 436、貫通防止トラ

ンジスタ 437 およびクリップトランジスタ 432 を画素ごとに設けた例を示したが、複数の画素で共有してもよい。

[0177] <13. 第13の実施の形態>

上述の第4の実施の形態では、抵抗 152 とリチャージトランジスタ 433 との間にクリップトランジスタ 432 を接続した。この第13の実施の形態では、抵抗部 142 の電位 V_{K2} を低電圧化する抵抗を抵抗部 142 とクリップトランジスタ 432 との間に設ける。

[0178] 図30は、第13の実施の形態に係る光パルス応答部の構成例を示すブロック図、図31は、第13の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[0179] 図30において、光パルス応答部 961 は、上述の第4の実施の形態の光パルス応答部 441 に抵抗 962 が追加されている。第13の実施の形態の光パルス応答部 961 のそれ以外の構成は、上述の第4の実施の形態の光パルス応答部 441 の構成と同様である。

[0180] 抵抗 962 は、抵抗部 142 の電位 V_{K2} を低電圧化する。抵抗 962 は、抵抗部 142 とクリップトランジスタ 432 との間に接続される。このとき、抵抗 962 は、図31に示すように、その電圧効果に基づいて抵抗部 142 の電位 V_{K2} を低電圧化することができる。

[0181] このように、上述の第13の実施の形態では、抵抗部 142 の電位 V_{K2} を低電圧化する抵抗 962 を抵抗部 142 とクリップトランジスタ 432 との間に設ける。これにより、抵抗部 142 の電位 V_{K2} を低電圧化することが可能となり、省電力化を図ることができる。

[0182] <14. 第14の実施の形態>

上述の第4の実施の形態では、検出部 144 の検出信号 A_Q に基づいて、電源電位 V_{DD} からの電位差が電位 V_{RH} よりも低い電位 V_{RL} に電荷を排出した。この第14の実施の形態では、リチャージ部 143 が形成された第1基板上に、検出部 144 および排出部 145 が形成された第2基板を積層する。

[0183] 図32は、第14の実施の形態に係る光パルス応答部の第1の例を示すブロック図である。

[0184] 同図において、固体撮像装置は、第1基板1001および第2基板1002を備える。第2基板1002は、第1基板1001上に積層される。第1基板1001および第2基板1002は、Si、InGaAsまたはInPなどの半導体基板でもよい。

[0185] 第1基板1001には、リチャージ部143が形成される。第2基板1002には、光電変換部141、抵抗部142、検出部144および排出部145が形成される。

[0186] 図33は、第14の実施の形態に係る光パルス応答部の第2の例を示すブロック図である。

[0187] 同図において、固体撮像装置は、第1基板1001、第2基板1012および第3基板1003を備える。第2基板1012は、第1基板1001上に積層される。第3基板1003は、第2基板1012上に積層される。第1基板1001、第2基板1012および第3基板1003は、Si、InGaAsまたはInPなどの半導体基板でもよい。なお、第1基板1001および第2基板1012の半導体材料と、第3基板1003の半導体材料とは互いに異なっていてもよい。例えば、赤外領域に感度を持たせるために第3基板1003にInGaAsを用いた場合、第1基板1001および第2基板1012にSiを用いてもよい。

[0188] 第1基板1001には、リチャージ部143が形成される。第2基板1012には、抵抗部142、検出部144および排出部145が形成される。第3基板1003には、光電変換部141が形成される。

[0189] このように、上述の第14の実施の形態では、リチャージ部143が形成された第1基板1001上に、検出部144および排出部145が形成された第2基板1002を積層する。これにより、リチャージ部143に対して高耐圧化される検出部144および排出部145を別基板に形成することができ、リチャージ部143以降の回路を微細化することが可能となる。

[0190] < 1 5. 第 1 5 の実施の形態 >

上述の第 1 4 の実施の形態では、リチャージ部 1 4 3 が形成された第 1 基板上 1 0 0 1 に、検出部 1 4 4 および排出部 1 4 5 が形成された第 2 基板 1 0 0 2 を積層した。この第 1 5 の実施の形態では、リチャージ部 1 4 3、読出回路 1 3 2 およびカウンタ 1 3 3 が形成された第 1 基板上に、検出部 1 4 4 および排出部 1 4 5 が形成された第 2 基板を積層する。

[0191] 図 3 4 は、第 1 5 の実施の形態に係る光検出装置が適用される画素の第 1 の例を示すブロック図である。

[0192] 同図において、固体撮像装置は、第 1 基板 2 0 0 1 および第 2 基板 2 0 0 2 を備える。第 2 基板 2 0 0 2 は、第 1 基板 2 0 0 1 上に積層される。

[0193] 第 1 基板 2 0 0 1 には、リチャージ部 1 4 3、読出回路 1 3 2 およびカウンタ 1 3 3 が形成される。第 2 基板 2 0 0 2 には、光電変換部 1 4 1、抵抗部 1 4 2、検出部 1 4 4 および排出部 1 4 5 が形成される。

[0194] 図 3 5 は、第 1 5 の実施の形態に係る光検出装置が適用される画素の第 2 の例を示すブロック図である。

[0195] 同図において、固体撮像装置は、第 1 基板 2 0 0 1、第 2 基板 2 0 1 2 および第 3 基板 2 0 0 3 を備える。第 2 基板 2 0 0 2 は、第 1 基板 2 0 0 1 上に積層される。第 3 基板 2 0 0 3 は、第 2 基板 2 0 1 2 上に積層される。

[0196] 第 1 基板 2 0 0 1 には、リチャージ部 1 4 3、読出回路 1 3 2 およびカウンタ 1 3 3 が形成される。第 2 基板 2 0 1 2 には、抵抗部 1 4 2、検出部 1 4 4 および排出部 1 4 5 が形成される。第 3 基板 2 0 0 3 には、光電変換部 1 4 1 が形成される。

[0197] このように、上述の第 1 5 の実施の形態では、リチャージ部 1 4 3、読出回路 1 3 2 およびカウンタ 1 3 3 が形成された第 1 基板 2 0 0 1 上に、検出部 1 4 4 および排出部 1 4 5 が形成された第 2 基板 2 0 0 2 を積層する。これにより、リチャージ部 1 4 3 に対して高耐圧化される検出部 1 4 4 および排出部 1 4 5 を別基板に形成することができ、リチャージ部 1 4 3、読出回路 1 3 2 およびカウンタ 1 3 3 の微細化を図ることが可能となる。

[0198] < 1 6. 第 1 6 の実施の形態 >

上述の第 1 の実施の形態では、検出部 1 4 4 の検出信号 A Q に基づいて、電源電位 V D D からの電位差が電位 V R H よりも低い電位 V R L に電荷を排出した。この第 1 6 の実施の形態では、高耐圧トランジスタが形成される高耐圧領域を複数の画素について互いに隣接して配置する。

[0199] 図 3 6 は、第 1 6 の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0200] 同図において、光パルス応答部 1 3 1 が形成される半導体基板には、低耐圧領域 3 0 0 1 および高耐圧領域 3 0 0 2 が設けられる。低耐圧領域 3 0 0 1 には、低耐圧トランジスタが形成される。高耐圧領域 3 0 0 2 には、高耐圧トランジスタが形成される。

[0201] 例えば、S P A D 1 5 1 のカソード電圧が 2 V から 3 V の場合、検出部 1 4 4 および排出部 1 4 5 は、高耐圧領域 3 0 0 2 に形成される。リチャージ部 1 4 3、光電変換部 1 4 1 および抵抗部 1 4 2 は、低耐圧領域 3 0 0 1 に形成される。このとき、高耐圧領域 3 0 0 2 は、複数の画素について互いに隣接して配置してもよい。

[0202] 図 3 7 は、第 1 6 の実施の形態に係る光パルス応答部のレイアウト例を示す平面図である。

[0203] 同図における a において、半導体基板 4 0 0 0 には、画素 4 0 0 1 が ROW 方向およびカラム方向にマトリックス状に配置される。各画素 4 0 0 1 には、低耐圧領域 4 0 0 2 および高耐圧領域 4 0 0 4 が設けられる。低耐圧領域 4 0 0 2 は、高耐圧領域 4 0 0 4 の周囲に配置される。低耐圧領域 4 0 0 2 と高耐圧領域 4 0 0 4 との境界には、境界領域 4 0 0 3 が設けられる。境界領域 4 0 0 3 には、S T I (Shallow Trench Isolation) などの素子分離領域を形成してもよい。

[0204] 低耐圧領域 4 0 0 2 には、リチャージ部 1 4 3、光電変換部 1 4 1 および抵抗部 1 4 2 が画素 4 0 0 1 ごとに形成される。高耐圧領域 4 0 0 4 には、検出部 1 4 4 および排出部 1 4 5 が画素 4 0 0 1 ごとに形成される。

[0205] 同図におけるbにおいて、半導体基板4010には、画素4011がロウ方向およびカラム方向にマトリックス状に配置される。各画素4011には、低耐圧領域4012および高耐圧領域4014が設けられる。各画素4011において、低耐圧領域4012と高耐圧領域4014との境界には、境界領域4013が設けられる。

[0206] このとき、4つの画素4011をひとまとまりとして、高耐圧領域4014が互いに隣接して配置される。このとき、境界領域4013は、4つの画素4011間で互いに隣接して配置された高耐圧領域4014を囲むように配置することができる。

[0207] このように、上述の第16の実施の形態では、高耐圧トランジスタが形成される高耐圧領域4014を複数の画素4011について互いに隣接して配置する。これにより、高耐圧領域4014の隣接領域では、境界領域4013を不要とすることができ、素子領域の面積を低減することができる。

[0208] なお、上述の第14から第16の実施の形態では、上述の第4の実施の形態の光パルス応答部431に適用した例を示したが、上述の第3の実施の形態の光パルス応答部331に適用してもよい。

[0209] <17. 第17の実施の形態>

上述の第1の実施の形態では、読出回路132で読出されたパルスに基づいてカウント動作を実施するカウンタ133を設けた。この第17の実施の形態では、固体撮像装置は、カウンタ出力と、カウンタ出力のMSBとを切り替えて出力可能とする。

[0210] 図38は、第17の実施の形態に係る光検出装置が適用される固体撮像装置の構成例を示すブロック図である。

[0211] 同図において、固体撮像装置は、画素アレイ部117、行走査回路118、列処理回路119、制御信号生成回路114およびフレームメモリ115を備える。

[0212] 画素アレイ部117には、画素124がロウ方向およびカラム方向にマトリックス状に配置される。各画素124は、スイッチ122、125をそれ

それぞれカラムごとに列処理回路 119 に接続され、ロウごとに行走査回路 118 に接続される。ここで、スイッチ 122 は、カウンタ 133 のカウンタ出力に接続される。スイッチ 125 は、カウンタ 133 の MSB 出力に接続される。また、各画素 124 は、カラムごとに制御信号生成回路 114 に接続される。各画素 124 は、光子の入射に応じて生成されたパルスのカウント値を画素データとして出力する。光子が入射する受光部は、SPAD を備えてもよいし、アバランシェフォトダイオードを備えてもよい。

[0213] 行走査回路 118 は、垂直同期信号に同期してロウを順に選択する。行走査回路 118 は、画素 124 をロウごとに選択するために、選択信号 $SEL<1>-<n>$ をロウごとにスイッチ 122 に供給する。また、行走査回路 118 は、各画素 124 のカウント値をロウごとにリセットするために、カウントリセット信号 $RST<1>-<n>$ をロウごとに画素 124 に供給する。さらに、行走査回路 118 は、各画素 124 のカウント値の MSB をロウごとに読出すために、MSB 選択信号 $MEL<1>-<n>$ をロウごとにスイッチ 125 に供給する。

[0214] 列処理回路 119 は、各画素 124 から読出された画素データに対して、各種の信号処理を実行する。また、列処理回路 119 は、各画素 124 から読み出されたカウンタ出力と、カウンタ出力の MSB とに基づいて、カウンタ 133 のカウント数の拡張処理を実施する。このとき、列処理回路 119 は、各画素 124 から読出されたカウンタ出力の MSB に基づいて、カウンタ 133 のオーバーフロー回数を判断する。そして、列処理回路 119 は、そのオーバーフロー回数と同一のシフト数だけシフトした値と、カウント値を示すビット列とを加算し、カウンタ 133 のカウント値が上位側に拡張されたカウント値を生成する。このカウント値は、フレームメモリ 115 に記憶される。

[0215] このように、上述の第 17 の実施の形態では、カウンタ 133 のカウンタ出力と、カウンタ出力の MSB とを切り替えて出力可能とする。これにより、カウンタ 133 のビット数を増大させることなく、カウンタ 133 のカウ

ント数を拡張することができる。

[0216] < 18. 第18の実施の形態 >

上述の第1の実施の形態では、光電変換部141のカソード側に抵抗部142を接続した。この第18の実施の形態では、光電変換部141のアノード側に抵抗部142を接続する。

[0217] 図39は、第18の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0218] 同図において、光パルス応答部131'は、光電変換部141、抵抗部142、リチャージ部143、検出部144および排出部145を備える。光電変換部141は、SPAD151を備える。抵抗部142は、抵抗152を備える。

[0219] ここで、SPAD151のアノードは、抵抗部142に接続され、SPAD151のカソードは、電位VRHに接続される。すなわち、この第18の実施の形態のSPAD151は、上述の第1の実施の形態のSPAD151に対して逆極性になるように接続される。

[0220] また、光パルス応答部131'において、リチャージ部143は、電源電圧VDDに代えてグランド電位GNDに接続されるとともに、リチャージ制御信号RCGに代えてリチャージ制御信号XRCGが入力される。リチャージ制御信号XRCGは、リチャージ制御信号RCGの逆極性の信号である。光パルス応答部131'のそれ以外の接続は、上述の第1の実施の形態の光パルス応答部131の接続と同様である。

[0221] このとき、SPAD151への光子の入射に基づいてSPAD151のアノード電位VA1および抵抗部142の電位VA2が変化する。そして、排出部145は、抵抗部142の電位VA2の検出信号AQに基づいて、光電変換部141に流出可能な少なくとも一部の電荷を、リチャージ部143のグランド電位GNDからの電位差が電位VRHよりも小さな電位VRLに排出する。

[0222] このように、上述の第18の実施の形態では、光電変換部191に直列に

接続された抵抗部192の電位VA2の検出結果に基づいて、グランド電位GNDからの電位差が電位VRHよりも低い電位VRLに電荷を排出する。これにより、SPAD151のクエンチ後に残存する電荷をSPAD151を介して電位VRHに排出する場合に比べ、消費電力を低減することができる。

[0223] なお、第18の実施の形態の構成は、上述の第1から第17の実施の形態のいずれの構成に適用してもよい。

[0224] <19. 第19の実施の形態>

上述の第1の実施の形態では、検出部144の検出信号AQに基づいて、電源電位VDDからの電位差が電位VRHよりも低い電位VRLに電荷を排出した。この第19の実施の形態では、受光部が配列された受光アレイ部を上層チップに設け、回路部が配列された回路アレイ部を下層チップに設ける。

[0225] 図40は、第19の実施の形態に係る画素アレイ部の積層例を示す斜視図である。

[0226] 同図において、この画素アレイ部は、受光アレイ部5002および回路アレイ部5001を備える。受光アレイ部5002は、回路アレイ部5001上に積層することができる。受光アレイ部5002は、受光部5012を備える。受光部5012は、ロウ方向およびカラム方向にマトリックス状に配置される。各受光部5012には、光電変換部141、抵抗部142、検出部144および排出部145を設けることができる。抵抗部142、検出部144および排出部145は、受光アレイ部5002の下層に形成してもよい。

[0227] 回路アレイ部5001は、回路部5011を備える。回路部5011は、ロウ方向およびカラム方向にマトリックス状に配置される。回路部5011は、受光部5012ごとに設けることができる。各回路部5011には、リチャージ部143、読出回路132およびカウンタ133などを設けることができる。

[0228] 回路アレイ部5001が形成される下層チップおよび受光アレイ部5002が形成される上層チップは、直接接合してもよい。このとき、下層チップおよび上層チップには、パッド電極5021、5022をそれぞれ形成することができる。パッド電極5021は、リチャージ部143に接続される。パッド電極5022は、光電変換部141、抵抗部142、検出部144および排出部145に接続される。パッド電極5021、5022は、互に対向配置することができる。下層チップおよび上層チップの直接接合では、ハイブリッドボンディングを用いることができる。このとき、パッド電極5021、5022は、Cu-Cu接続することができる。下層チップおよび上層チップの直接接合の接合容量は、寄生容量C2に付加される。ここで、抵抗部142を下層チップに設けることにより、抵抗部142を介して寄生容量C2を光電変換部141から遮蔽することができる。

[0229] このように、上述の第19の実施の形態では、受光部5012が配列された受光アレイ部5002を回路部5011が配列された回路アレイ部5001上に積層する。これにより、チップサイズの増大を抑制しつつ、受光部5012の面積を増大させることができ、固体撮像装置の小型化を図りつつ、感度を向上させることができる。

[0230] <20. 第20の実施の形態>

上述の第19の実施の形態では、受光部5012が配列された受光アレイ部5002を回路部5011が配列された回路アレイ部5001上に積層した。この第20の実施の形態では、複数の受光素子が設けられた受光部が配列された受光アレイ部を上層チップに設け、回路部が配列された回路アレイ部を下層チップに設ける。

[0231] 図41は、第20の実施の形態に係る画素アレイ部の積層例を示す斜視図である。

[0232] 同図において、この画素アレイ部は、受光アレイ部5102および回路アレイ部5101を備える。受光アレイ部5102は、回路アレイ部5101上に積層することができる。受光アレイ部5102は、受光部5112を備

える。受光部5112は、ロウ方向およびカラム方向にマトリックス状に配置される。各受光部5112には、光電変換部141、抵抗部142、検出部144および排出部145を設けることができる。このとき、各受光部5112には、複数の光電変換部141を設けることができる。各受光部5112において、光電変換部141は、 2×2 の配列でもよいし、 3×3 の配列でもよい。抵抗部142、検出部144および排出部145は、受光アレイ部5102の下層に形成してもよい。

[0233] 回路アレイ部5101は、回路部5111を備える。回路部5111は、ロウ方向およびカラム方向にマトリックス状に配置される。回路部5111は、受光部5112ごとに設けることができる。各回路部5111には、リチャージ部143、読出回路132およびカウンタ133などを設けることができる。

[0234] 回路アレイ部5101が形成される下層チップおよび受光アレイ部5102が形成される上層チップは、直接接合してもよい。このとき、下層チップおよび上層チップには、パッド電極5121、5122をそれぞれ形成することができる。これらのパッド電極5121、5122は、Cu-Cu接続することができる。

[0235] このように、上述の第20の実施の形態では、複数の光電変換部141が設けられた受光部5112が配列された受光アレイ部5102を、回路部5111が配列された回路アレイ部5101上に積層する。これにより、チップサイズの増大を抑制しつつ、各光電変換部141の面積を増大させることが可能となるとともに、受光頻度を増大させることができる。このため、固体撮像装置の小型化を図りつつ、感度を向上させることが可能となるとともに、S/N比を向上させることができる。

[0236] <21. 第21の実施の形態>

上述の第1の実施の形態では、電源電位VDDからの電位差が電位VRHよりも小さな電位VRLに電荷を排出する排出部145を固体撮像装置に適用した。この第21の実施の形態では、電源電位VDDからの電位差が電位

V R Hよりも小さな電位V R Lに電荷を排出する排出部145を測距装置に適用する。

[0237] 図42は、第21の実施の形態に係る測距装置の構成例を示すブロック図である。

[0238] 同図において、測距装置6000は、例えば、T o F (Time of Flight) に基づいて距離画像を撮像する。距離画像は、測距装置6000から被写体6001までの奥行き方向について、画素ごとの距離に基づく距離画素信号から生成することができる。

[0239] 測距装置6000は、発光装置6100および撮像装置6200を備える。発光装置6100は、発光制御部6101および発光部6102を備える。

[0240] 発光制御部6101は、制御部6202の制御に従って、発光部6102の光照射パターンを制御する。発光部6102は、発光制御部6101の制御に従って、所定の波長域の光を出射する。所定の波長域は、赤外域でもよい。発光部6102は、レーザダイオードでもよいし、発光ダイオードでもよい。

[0241] 撮像装置6200は、発光装置6100から照射された光が被写体6001により反射された反射光を画素ごとに受光し、距離画像を生成する。撮像装置6200は、撮像部6201、制御部6202、記憶部6203および表示部6204を備える。撮像部6201は、光学系6211、受光部6221および信号処理部6231を備える。なお、撮像部6201には、上述の第1から第20の実施の形態のいずれの構成を適用してもよい。

[0242] 光学系6211は、入射光を受光部6221の受光面に結像させる。なお、光学系6211は、レンズ、光学フィルタおよび絞りなどを備えてもよい。

[0243] 受光部6221は、被写体6001により反射された反射光を受光する。受光部6221は、S P A Dを備えてもよいし、フォトダイオードを備えてもよい。受光部6221は、制御部6202の制御に従って、被写体600

1からの反射光を受光し、その結果得られた画素信号を信号処理部6231に供給する。この画素信号は、発光装置6100が照射光を照射してから、受光部6221が受光するまでの時間をカウントしたデジタルのカウント値を表す。発光部6102が発光するタイミングを示す発光タイミング信号は、制御部6202から受光部6221にも供給される。

[0244] 信号処理部6231は、制御部6202の制御に従って、受光部6221から供給される画素信号の処理を行う。例えば、信号処理部6231は、受光部6221から供給される画素信号に基づいて、画素毎に被写体までの距離を検出し、画素毎の被写体までの距離を示す距離画像を生成する。例えば、信号処理部6231は、発光部6102が光を発光してから受光部6221の各画素が光を受光するまでの時間（カウント値）を画素毎に複数回取得する。信号処理部6231は、取得した時間に対応するヒストグラムを作成する。そして、信号処理部6231は、ヒストグラムのピークを検出することで、発光部6102から照射された光が被写体6001で反射して戻ってくるまでの時間を判定する。さらに、信号処理部6231は、判定した時間と光速に基づいて、物体までの距離を求める演算を行う。信号処理部6231は、生成した距離画像を制御部6202に供給する。

[0245] 制御部6202は、発光制御部6101および受光部6221を制御する。例えば、制御部6202は、発光制御部6101に照射信号を供給するとともに、発光タイミング信号を受光部6221に供給する。発光部6102は、照射信号に応じて照射光を発光する。発光タイミング信号は、発光制御部6101に供給される照射信号でもよい。また、制御部6202は、撮像部6201から取得した距離画像を表示部6204に供給し、表示部6204に表示させる。さらに、制御部6202は、撮像部6201から取得した距離画像を記憶部6203に記憶させる。制御部6202は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）などのプロセッサを備えてもよい。また、制御部6202は、ASIC（Application Specific Integrated Circuit）やFPGA（Field Programmable Gate A

rray)などのハードウェア回路を備えてもよい。

[0246] 表示部6204は、距離画像やユーザインタフェース画面などを表示させる。表示部6204は、液晶表示装置でもよいし、有機EL表示装置でもよい。記憶部6203は、距離画像や測距に用いられる設定情報などを記憶する。記憶部6203は、SRAM (Static Random Access Memory) やDRAM (Dynamic Random Access Memory) などの半導体メモリを備えてもよいし、ハードディスク装置やSSD (Solid State Drive) などの記憶装置を備えてもよい。

[0247] このように、上述の第21の実施の形態では、光電変換部141から電荷が排出される電位VRHよりも低い電位VRLに電荷を排出する排出部145を測距装置6000に適用する。これにより、測距装置6000は、受光部6221の受光時の消費電力を低減しつつ、測距を実施することができる。

[0248] <22. 第22の実施の形態>

上述の第1の実施の形態では、光電変換部191に直列に接続された抵抗部192の電位VK2の検出結果に基づいて、電源電位VDDからの電位差が電位VRHよりも低い電位VRLに電荷を排出した。この第22の実施の形態では、光子の検出結果に基づいて、光子の検出ノードを接地電位に接続する。

[0249] 図43は、第22の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0250] 同図において、光パルス応答部501は、上述の第4の実施の形態の光パルス応答部441にラッチ回路511が追加されている。第22の実施の形態の光パルス応答部501のそれ以外の構成は、上述の第4の実施の形態の光パルス応答部441の構成と同様である。

[0251] 光パルス応答部501の後段には、読出回路132が接続される。読出回路132の後段には、インバータ530が接続される。

[0252] 光パルス応答部501では、光子の検出ノードは、リチャージトランジス

タ433のドレインに設定することができる。ラッチ回路511は、読出回路132の出力PLSに基づいて、光子の検出ノードを定電位に維持する。

[0253] ラッチ回路511は、スイッチトランジスタ528を備える。スイッチトランジスタ528は、Nチャンネル電界効果トランジスタを用いることができる。スイッチトランジスタ528は、リチャージトランジスタ433のドレインと接地電位との間に接続される。スイッチトランジスタ528のゲートには、読出回路132の出力PLSが入力される。このとき、スイッチトランジスタ528および読出回路132は、フィードバックループを構成し、光子の検出結果を保持することができる。

[0254] ここで、読出回路132の出力PLSが立ち上がると、スイッチトランジスタ528がオンし、読出トランジスタ442のゲート電位VK3が接地電位に固定される。また、アクティブ信号INTに基づいて、読出回路132の出力PLSがリセットされると、スイッチトランジスタ528はオフする。このとき、光子の検出ノードは定電位から切り離され、光パルス応答部501は、検出待ちに移行する。

[0255] なお、上述の第4の実施の形態では、貫通防止トランジスタ437のゲートに初期化信号INQが入力される例を示したが、貫通防止トランジスタ437のゲートに貫通防止信号EAQが入力されてもよい。

[0256] インバータ530は、読出回路132の出力PLSを反転して出力する。インバータ530は、Pチャンネル電界効果トランジスタ534およびNチャンネル電界効果トランジスタ533を備える。Pチャンネル電界効果トランジスタ534およびNチャンネル電界効果トランジスタ533は、互いに直列に接続される。Pチャンネル電界効果トランジスタ534のゲートおよびNチャンネル電界効果トランジスタ533のゲートには、読出回路132の出力PLSが入力される。

[0257] 図44は、第22の実施の形態に係る光パルス応答部の動作を示すタイミングチャートである。

[0258] 同図において、初期化トランジスタ436の初期化後、初期化信号INQ

および貫通防止信号E A Qはロウレベルに設定される。そして、S P A D 1 5 1に光子が入射すると(t 3 1)、S P A D 1 5 1のカソード電位V K 1が低下する。そして、S P A D 1 5 1のカソード電位V K 1が低下に伴って、S P A D 1 5 1のクエンチが発生すると、S P A D 1 5 1のカソード電位V K 1は上昇に転じる(t 3 2)。このとき、読出トランジスタ4 4 2のゲート電位V K 3が降下し、読出回路1 3 2の出力P L Sが立ち上がる。読出回路1 3 2の出力P L Sが立ち上がると、インバータ5 3 0の出力O U Tが立ち下がる。ここで、検出トランジスタ4 3 4が動作せず、検出信号A Qがロウレベルを維持してもよい。

[0259] また、読出回路1 3 2の出力P L Sが立ち上がると、スイッチトランジスタ5 2 8がオンし、読出トランジスタ4 4 2のゲート電位V K 3が接地電位に固定される。ここで、S P A D 1 5 1に光子が再度入射すると(t 3 3)、S P A D 1 5 1のカソード電位V K 1が低下する。そして、S P A D 1 5 1のカソード電位V K 1が低下に伴って、S P A D 1 5 1のクエンチが発生すると、S P A D 1 5 1のカソード電位V K 1は上昇に転じる(t 3 4)。このとき、読出トランジスタ4 4 2のゲート電位V K 3が接地電位に固定されているので、読出回路1 3 2の出力P L Sはハイレベルを維持し、インバータ5 3 0の出力O U Tはロウレベルを維持する。そして、リチャージ制御信号R C Gが立ち下がる(t 3 5)、抵抗部1 4 2を介してS P A D 1 5 1がリチャージされ、S P A D 1 5 1のカソード電位V K 1および読出トランジスタ4 4 2のゲート電位V K 3は上昇する。その後、初期化信号I N Tが立ち上がると(t 3 6)、読出回路1 3 2の出力P L Sが立ち下がる。読出回路1 3 2の出力P L Sが立ち下がる、インバータ5 3 0の出力O U Tが立ち上がる。

[0260] 図4 5は、第2 2の実施の形態に係る光パルス応答部の動作の比較例を示すタイミングチャートである。

[0261] 同図において、光パルス応答部5 0 1にラッチ回路5 1 1がないものとする。このとき、S P A D 1 5 1に光子が入射すると(t 4 1)、S P A D 1

51のカソード電位 V_{K1} が低下する。そして、SPAD151のカソード電位 V_{K1} が低下に伴って、SPAD151のクエンチが発生すると、SPAD151のカソード電位 V_{K1} は上昇に転じる(t_{42})。このとき、読出トランジスタ442のゲート電位 V_{K3} が降下し、読出回路132の出力PLSが立ち上がる。読出回路132の出力PLSが立ち上がると、インバータ530の出力OUTが立ち下がる。

[0262] ここで、クリップトランジスタ432およびリチャージトランジスタ433にリークがあるものとする。このとき、読出トランジスタ442のゲート電位 V_{K3} が立ち下がった後、SPAD151のカソード電位 V_{K1} および読出トランジスタ442のゲート電位 V_{K3} が上昇し、読出回路132の出力PLSが低下する。そして、読出回路132の出力PLSの低下が進むと、インバータ530の出力OUTが立ち上がる。ここで、クリップトランジスタ432およびリチャージトランジスタ433にリークにより、検出トランジスタ434が動作せず、検出信号AQがロウレベルを維持してもよい。

[0263] 次に、SPAD151に光子が再度入射すると(t_{43})、SPAD151のカソード電位 V_{K1} が低下する。そして、SPAD151のカソード電位 V_{K1} が低下に伴って、SPAD151のクエンチが発生すると、SPAD151のカソード電位 V_{K1} は上昇に転じる(t_{44})。このとき、読出トランジスタ442のゲート電位 V_{K3} が降下し、読出回路132の出力PLSが立ち上がる。読出回路132の出力PLSが立ち上がると、インバータ530の出力OUTが立ち下がる。このため、光パルス応答部501にラッチ回路511がない場合、クリップトランジスタ432およびリチャージトランジスタ433にリークがあると、光子の再検出や不安定動作を引き起こす。

[0264] このように、上述の第22の実施の形態では、読出回路132の出力PLSに基づいて、光子の検出ノードを定電位に維持するラッチ回路511を設ける。これにより、クリップトランジスタ432およびリチャージトランジスタ433にリークがある場合においても、光子の再検出や不安定動作を防

止することができる。また、検出トランジスタ434が動作しない場合においても、光子のカウントを正しく実施することができ、検出マージンを増大させることができる。

[0265] <23. 第23の実施の形態>

上述の第22の実施の形態では、読出回路132の出力PLSが立ち上がると、読出トランジスタ442のゲート電位VK3を接地電位に固定するスイッチトランジスタ528を設けた。この第23の実施の形態では、インバータ530の出力OUTが立ち下がると、読出回路132の出力PLSを電源電位に固定するスイッチトランジスタを設ける。

[0266] 図46は、第23の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[0267] 同図において、この画素は、上述の第4の実施の形態の光パルス応答部441が適用される画素にラッチ回路512が追加されている。第23の実施の形態の画素のそれ以外の構成は、上述の第4の実施の形態の光パルス応答部441が適用される画素の構成と同様である。

[0268] 光パルス応答部441の後段には、読出回路132が接続される。読出回路132の後段には、インバータ530が接続される。

[0269] この画素では、光子の検出ノードは、アクティブトランジスタ443のドレインに設定することができる。ラッチ回路512は、インバータ530の出力OUTに基づいて、光子の検出ノードを定電位に維持する。

[0270] ラッチ回路512は、スイッチトランジスタ529を備える。スイッチトランジスタ529は、Pチャンネル電界効果トランジスタを用いることができる。スイッチトランジスタ529は、読出トランジスタ442に並列に接続される。スイッチトランジスタ529のゲートには、インバータ530の出力OUTが入力される。このとき、スイッチトランジスタ529およびインバータ530は、フィードバックループを構成し、光子の検出結果を保持することができる。

[0271] ここで、インバータ530の出力OUTが立ち下がると、スイッチトラン

ジスタ 529 がオンし、アクティブトランジスタ 443 のドレインが接地電位に固定される。また、アクティブ信号 INT に基づいて、読出回路 132 の出力 PLS がリセットされると、スイッチトランジスタ 529 はオフする。このとき、光子の検出ノードは定電位から切り離され、光パルス応答部 441 は、検出待ちに移行する。

[0272] このように、上述の第 23 の実施の形態では、インバータ 530 の出力 OUT に基づいて、光子の検出ノードを定電位に維持するラッチ回路 512 を設ける。これにより、クリップトランジスタ 432 およびリチャージトランジスタ 433 にリークがある場合においても、光子の再検出や不安定動作を防止することができる。また、検出トランジスタ 434 が動作しない場合においても、光子のカウントを正しく実施することができ、検出マージンを増大させることができる。さらに、読出回路 132 の入力にラッチ回路 511 を接続する必要がなくなり、読出回路 132 の入力容量の増大を防止することができる。

[0273] < 24. 第 24 の実施の形態 >

上述の第 22 の実施の形態では、光子の検出結果に基づいて、光子の検出ノードを接地電位に接続した。この第 24 の実施の形態では、光子の検出結果に基づいて、光子の検出ノードを接地電位に接続するとともに、リチャージを停止する。

[0274] 図 47 は、第 24 の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0275] 同図において、光パルス応答部 503 は、上述の第 22 の実施の形態の光パルス応答部 501 にリチャージ制御トランジスタ 523 が追加されている。第 24 の実施の形態の光パルス応答部 503 のそれ以外の構成は、上述の第 22 の実施の形態の光パルス応答部 501 の構成と同様である。

[0276] リチャージ制御トランジスタ 523 は、光子の検出結果に基づいて、光電変換部 141 のリチャージを制御する。リチャージ制御トランジスタ 523 は、P チャンネル電界効果トランジスタを用いることができる。リチャージ

制御トランジスタ 523 は、スイッチトランジスタ 528 に直列に接続される。リチャージ制御トランジスタ 523 のソースは、電源電位 VDD に接続される。リチャージ制御トランジスタ 523 のゲートには、読出回路 132 の出力 PLS が入力される。

[0277] ここで、読出回路 132 の出力 PLS が立ち上がると、スイッチトランジスタ 528 がオンするとともに、リチャージ制御トランジスタ 523 がオフする。このため、読出トランジスタ 442 のゲート電位 VK3 が接地電位に固定されるとともに、光電変換部 141 のリチャージが停止される。

[0278] また、アクティブ信号 INT に基づいて、読出回路 132 の出力 PLS がリセットされると、スイッチトランジスタ 528 はオフするとともに、リチャージ制御トランジスタ 523 がオンする。このとき、光子の検出ノードは定電位から切り離され、光パルス応答部 503 は、検出待ちに移行するとともに、読出トランジスタ 442 のゲート電位 VK3 がリセットされる。

[0279] このように、上述の第 24 の実施の形態では、光子の検出結果に基づいて、光電変換部 141 のリチャージを制御するリチャージ制御トランジスタ 523 を設ける。これにより、光子の検出されたときに、光電変換部 141 のリチャージを停止することができ、リチャージの制御に用いられる素子の個数を減らすことができる。

[0280] < 25. 第 25 の実施の形態 >

上述の第 22 の実施の形態では、光子の検出結果に基づいて、光子の検出ノードを接地電位に接続した。この第 25 の実施の形態では、光子の検出結果に基づいて、光子の検出ノードを接地電位に接続するとともに、読出回路 132 とリチャージ部 143 とを切断する。

[0281] 図 48 は、第 25 の実施の形態に係る光パルス応答部の構成例を示すブロック図である。

[0282] 同図において、光パルス応答部 504 は、上述の第 22 の実施の形態の光パルス応答部 501 に遮断トランジスタ 524 が追加されている。第 25 の実施の形態の光パルス応答部 504 のそれ以外の構成は、上述の第 22 の実

施の形態の光パルス応答部 501 の構成と同様である。

[0283] 遮断トランジスタ 524 は、読出回路 132 の出力 PLS に基づいて、スイッチトランジスタ 528 とリチャージ部 143 とを遮断する。遮断トランジスタ 524 は、P チャンネル電界効果トランジスタを用いることができる。遮断トランジスタ 524 は、スイッチトランジスタ 528 のドレインとリチャージトランジスタ 433 のドレインとの間に接続される。遮断トランジスタ 524 のゲートには、読出回路 132 の出力 PLS が入力される。

[0284] ここで、読出回路 132 の出力 PLS が立ち上がると、スイッチトランジスタ 528 がオンするとともに、遮断トランジスタ 524 がオフする。このため、読出トランジスタ 442 のゲート電位 VK3 が接地電位に固定されるとともに、スイッチトランジスタ 528 とリチャージ部 143 とが切断される。

[0285] また、アクティブ信号 INT に基づいて、読出回路 132 の出力 PLS がリセットされると、スイッチトランジスタ 528 はオフするとともに、遮断トランジスタ 524 がオンする。このとき、光子の検出ノードは定電位から切り離されるとともに、スイッチトランジスタ 528 とリチャージ部 143 とが接続され、光パルス応答部 504 は、検出待ちに移行する。

[0286] このように、上述の第 25 の実施の形態では、読出回路 132 の出力 PLS に基づいて、スイッチトランジスタ 528 とリチャージ部 143 とを遮断する遮断トランジスタ 524 を設ける。これにより、光子の検出ノードが定電位に固定されているときに、光電変換部 141 をリチャージすることが可能となる。

[0287] < 26. 第 26 の実施の形態 >

上述の第 10 の実施の形態では、読出回路 132 の出力 PLS に基づいて、電源電位 VDD からの電位差が電位 VRH よりも小さな電位 VRL に電荷を排出した。この第 26 の実施の形態では、光子の検出結果の出力の振幅を制限し、光子の検出結果をリセットするリセットトランジスタをその振幅制限領域に配置して低電圧動作させる。

[0288] 図49は、第26の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[0289] 同図において、光パルス応答部505は、上述の第10の実施の形態の排出部145に代えて、ラッチ回路511を備える。さらに、光パルス応答部505は、上述の第10の実施の形態の光パルス応答部921からクリップトランジスタ432が除去されている。第26の実施の形態の光パルス応答部505のそれ以外の構成は、上述の第10の実施の形態の光パルス応答部921の構成と同様である。

[0290] また、この画素は、上述の第10の実施の形態の光パルス応答部921が適用される画素に振幅制限トランジスタ525およびリセットトランジスタ536が追加されている。また、この画素は、上述の第10の実施の形態のバッファ922に代えて、インバータ530が設けられている。さらに、この画素は、上述の第10の実施の形態の光パルス応答部921が適用される画素からアクティブトランジスタ443が除去されている。第26の実施の形態の画素のそれ以外の構成は、上述の第10の実施の形態の光パルス応答部921が適用される画素の構成と同様である。

[0291] リチャージトランジスタ433と抵抗152とは直列に接続される。読出トランジスタ442のゲートは、リチャージトランジスタ433と抵抗152との接続点に接続される。アクティブトランジスタ441のソースは電源電位VDDに接続される。アクティブトランジスタ441のゲートには、検出停止信号DISが入力される。検出停止信号DISは、初期化信号INTと同一のタイミングに基づいてレベルが変化される。ただし、検出停止信号DISの振幅は、初期化信号INTと異なる。例えば、検出停止信号DISの振幅は3V、初期化信号INTの振幅は0.8Vに設定することができる。

[0292] スイッチトランジスタ528は、リチャージトランジスタ433のドレインと接地電位との間に接続される。スイッチトランジスタ528のゲートは、読出トランジスタ442のドレインに接続される。このとき、スイッチト

ランジスタ 528 および読出トランジスタ 442 は、フィードバックループを構成し、光子の検出結果を保持することができる。

[0293] なお、この構成では、スイッチトランジスタ 528 は、上述の第 10 の実施の形態の排出トランジスタ 435 と同様の機能も持つことができる。このとき、スイッチトランジスタ 528 は、読出トランジスタ 442 の出力 PLS に基づいて電荷を接地電位に排出することができる。

[0294] 振幅制限トランジスタ 525 は、光子の検出結果の出力の振幅を制限する。このとき、光子の検出結果の出力として、読出トランジスタ 442 の出力 PLS を用いることができる。振幅制限トランジスタ 525 は、N チャンネル電界効果トランジスタを用いることができる。振幅制限トランジスタ 525 は、読出トランジスタ 442 のドレインとインバータ 530 との間に接続される。振幅制限トランジスタ 525 のゲートには、定電圧 V_{T1} が印加される。この定電圧 V_{T1} は、例えば、1.5 V に設定することができる。

[0295] リセットトランジスタ 536 は、光子の検出結果をリセットする。リセットトランジスタ 536 は、振幅制限トランジスタ 525 で振幅制限される領域に配置される。このとき、リセットトランジスタ 536 は、ラッチ回路 511 に対して低電圧で動作される。例えば、ラッチ回路 511 は 3 V 動作に対応し、リセットトランジスタ 536 は 0.8 V 動作に対応することができる。リセットトランジスタ 536 のドレインは、振幅制限トランジスタ 525 のソースに接続される。リセットトランジスタ 536 のゲートには、アクティブ信号 INT が印加される。このとき、読出トランジスタ 442 の出力 PLS は、振幅制限トランジスタ 525 にて振幅が制限され、リセットトランジスタ 536 のソースに印加される。

[0296] 光パルス応答部 505、アクティブトランジスタ 441、読出トランジスタ 442 および振幅制限トランジスタ 525 は、第 1 基板 535 に配置される。リセットトランジスタ 536 およびインバータ 530 は、第 2 基板 545 に配置される。第 1 基板 535 は、第 2 基板 545 上に積層することができる。第 1 基板 535 は高電圧動作に対応し、第 2 基板 545 は低電圧動作

に対応することができる。

[0297] ここで、読出トランジスタ442の出力PLSが立ち上がると、スイッチトランジスタ528がオンし、読出トランジスタ442のゲート電位VK2が接地電位に固定される。また、アクティブ信号INTに基づいて、読出トランジスタ442の出力PLSがリセットされると、スイッチトランジスタ528はオフする。このとき、光子の検出ノードは定電位から切り離され、光パルス応答部505は、検出待ちに移行する。

[0298] このように、上述の第26の実施の形態では、光子の検出結果の出力の振幅を制限する振幅制限トランジスタ525と、その振幅制限領域に配置され、光子の検出結果をリセットするリセットトランジスタ536とを設ける。これにより、リセットトランジスタ536を低電圧動作させることが可能となり、リセットトランジスタ536を高速化することが可能となるとともに、第1基板535に配置される素子の個数を低減することができる。

[0299] また、スイッチトランジスタ528は、光子の検出時に検出ノードを定電位に接続するだけでなく、電荷を定電位に排出させることもできる。これにより、光パルス応答部505の素子数の増大を抑制しつつ、光子の再検出や不安定動作を防止することが可能となるとともに、消費電力を低減することができる。

[0300] <27. 第27の実施の形態>

上述の第26の実施の形態では、光子の検出結果の出力の振幅を制限し、リセットトランジスタ536を低電圧動作させた。この第27の実施の形態では、光子の検出結果の出力の振幅を制限し、リセットトランジスタ536を低電圧動作させるとともに、光子の検出結果に基づいてリチャージを遮断する。

[0301] 図50は、第27の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[0302] 同図において、光パルス応答部506は、上述の第26の実施の形態の光パルス応答部505にリチャージ制御トランジスタ526が追加されている

。第27の実施の形態の光パルス応答部506のそれ以外の構成は、上述の第26の実施の形態の光パルス応答部505の構成と同様である。

[0303] リチャージ制御トランジスタ526は、光子の検出結果に基づいて、光電変換部141のリチャージを制御する。リチャージ制御トランジスタ526は、Pチャンネル電界効果トランジスタを用いることができる。リチャージ制御トランジスタ526は、リチャージトランジスタ433に直列に接続される。リチャージ制御トランジスタ526のソースは、電源電位VDDに接続される。リチャージ制御トランジスタ526のゲートには、読出トランジスタ442の出力PLSが入力される。

[0304] 光パルス応答部506、アクティブトランジスタ441、読出トランジスタ442および振幅制限トランジスタ525は、第1基板536に配置される。リセットトランジスタ536およびインバータ530は、第2基板545に配置される。第1基板536は、第2基板545上に積層することができる。

[0305] ここで、読出トランジスタ442の出力PLSが立ち上がると、スイッチトランジスタ528がオンするとともに、リチャージ制御トランジスタ526がオフする。このため、読出トランジスタ442のゲート電位VK2が接地電位に固定されるとともに、光電変換部141のリチャージが停止される。

[0306] また、アクティブ信号INTに基づいて、読出トランジスタ442の出力PLSがリセットされると、スイッチトランジスタ528はオフするとともに、リチャージ制御トランジスタ526がオンする。このとき、光子の検出ノードは定電位から切り離され、光パルス応答部506は、検出待ちに移行するとともに、光電変換部141のリチャージが可能になる。

[0307] このように、上述の第27の実施の形態では、光子の検出結果に基づいて、光電変換部141のリチャージを制御するリチャージ制御トランジスタ526を設ける。これにより、光子の検出されたときに、光電変換部141のリチャージを停止することができ、リチャージの制御に用いられる素子の個

数を減らすことができる。また、リセットトランジスタ536を低電圧動作させることが可能となり、リセットトランジスタ536を高速化することが可能となる。

[0308] <28. 第28の実施の形態>

上述の第26の実施の形態では、光子の検出結果の出力の振幅を制限し、リセットトランジスタ536を低電圧動作させた。この第28の実施の形態では、リチャージ部143の入力の振幅を制限し、リチャージ部143を低電圧動作させる。

[0309] 図51は、第28の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[0310] 同図において、光パルス応答部507は、上述の第26の実施の形態の光パルス応答部505に振幅制限トランジスタ527が追加されている。第28の実施の形態の光パルス応答部507のそれ以外の構成は、上述の第26の実施の形態の光パルス応答部505の構成と同様である。

[0311] また、光パルス応答部507が適用される画素では、上述の第22の実施の形態の読出回路132とインバータ530との間に振幅制限トランジスタ525が接続される。第28の実施の形態の光パルス応答部507が適用される画素のそれ以外の構成は、上述の第26の実施の形態の光パルス応答部505が適用される画素の構成と同様である。

[0312] 振幅制限トランジスタ527は、リチャージ部143の入力の振幅を制限する。振幅制限トランジスタ527は、Pチャンネル電界効果トランジスタを用いることができる。振幅制限トランジスタ527は、リチャージトランジスタ433のドレインと抵抗152との間に接続される。振幅制限トランジスタ527のゲートには、定電圧 V_{T2} が印加される。この定電圧 V_{T2} は、例えば、0Vに設定することができる。

[0313] このとき、リチャージ部143は、振幅制限トランジスタ527で振幅制限される領域に配置することができる。ここで、リチャージ部143は、ラッチ回路511に対して低電圧で動作することができる。このとき、読出ト

ランジスタ 442 のゲート電位 V_{K2} は、振幅制限トランジスタ 527 にて振幅が制限され、リチャージトランジスタ 433 に入力される。また、読出回路 132 の出力 P_{LS} は、振幅制限トランジスタ 525 にて振幅が制限され、インバータ 530 に入力される。

[0314] リチャージ部 143 以外の光パルス応答部 507、読出回路 132 および振幅制限トランジスタ 525 は、第 1 基板 537 に配置される。リチャージ部 143 およびインバータ 530 は、第 2 基板 547 に配置される。第 1 基板 537 は、第 2 基板 547 上に積層することができる。

[0315] このように、上述の第 28 の実施の形態では、リチャージ部 143 の入力の振幅を制限する振幅制限トランジスタ 527 を設ける。これにより、リチャージ部 143 を低電圧動作させることが可能となり、リチャージ部 143 を高速化することが可能となるとともに、消費電力を低減することができる。

[0316] < 29. 第 29 の実施の形態 >

上述の第 26 の実施の形態では、光子の検出結果の出力の振幅を制限し、リセットトランジスタ 536 を低電圧動作させた。この第 29 の実施の形態では、光子の検出結果の出力の振幅を制限し、リセットトランジスタ 536 を低電圧動作させるとともに、リチャージ部 143 の入力の振幅を制限し、リチャージ部 143 を低電圧動作させる。

[0317] 図 52 は、第 29 の実施の形態に係る光パルス応答部が適用される画素の構成例を示すブロック図である。

[0318] 同図において、この画素は、上述の第 26 の実施の形態の画素に適用される光パルス応答部 505 に代えて、上述の第 28 の実施の形態の光パルス応答部 507 を備える。第 29 の実施の形態の光パルス応答部 507 が適用される画素のそれ以外の構成は、上述の第 26 の実施の形態の画素の構成と同様である。

[0319] このように、上述の第 29 の実施の形態では、光子の検出結果の出力の振幅を制限する振幅制限トランジスタ 525 と、リチャージ部 143 の入力の

振幅を制限する振幅制限トランジスタ 527 とを設ける。これにより、リセットトランジスタ 536 およびリチャージ部 143 を低電圧動作させることが可能となり、リセットトランジスタ 536 およびリチャージ部 143 を高速化することが可能となる。また、第 1 基板 538 に配置される素子の個数を低減することが可能となるとともに、消費電力を低減することができる。

[0320] <30. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0321] 図 53 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0322] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 53 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0323] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0324] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に

装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0325] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0326] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であってもよいし、赤外線等の非可視光であってもよい。

[0327] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0328] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又

は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0329] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0330] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0331] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図５３の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0332] 図５４は、撮像部１２０３１の設置位置の例を示す図である。

[0333] 図５４では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0334] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0335] なお、図54には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0336] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0337] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例え

ば、0 k m / h 以上) で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0338] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0339] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部

12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0340] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、車外情報検出ユニット12030および撮像部12031に適用され得る。具体的には、例えば、上述の撮像装置100は、撮像部12031に適用することができる。また、上述の測距装置6000は、車外情報検出ユニット12030に適用することができる。車両制御システム12000に本開示に係る技術を適用することにより、撮像時の省電力化を図ることが可能となる。

[0341] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。また、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0342] なお、本技術は以下のような構成もとることができる。

(1) 第1の電極が第1の電位に接続され、光子から生成した電荷を増倍する光電変換部と、

前記第1の電極とは反対の第2の電極において、前記光電変換部に直列に接続された抵抗部と、

前記抵抗部を介して前記光電変換部をリチャージするリチャージ部と、

前記抵抗部と、前記リチャージ部の前記抵抗部が接続された側とは反対の電位からの電位差が前記第1の電位よりも小さい第2の電位に接続された排出部と

を備える光検出装置。

(2) 前記抵抗部の抵抗値は、前記光電変換部の抵抗値よりも大きい
前記(1)に記載の光検出装置。

(3) 前記リチャージ部は、前記抵抗部の電位の検出結果に基づいて、前記
光電変換部をリチャージする
前記(1)または(2)に記載の光検出装置。

(4) 前記リチャージ部は、外部からの制御信号に基づいて、前記光電変換
部をリチャージする
前記(1)または(2)に記載の光検出装置。

(5) 前記制御信号は周期信号である
前記(4)に記載の光検出装置。

(6) 前記制御信号は、互いに周期が異なる複数の制御信号を備え、
前記排出部からの電荷の排出の有無が前記周期ごとに設定される
前記(5)に記載の光検出装置。

(7) 前記抵抗部の電位を検出する検出部
をさらに備える前記(1)から(6)のいずれかに記載の光検出装置。

(8) 前記光電変換部による前記光子の検出結果を前記検出部の入力側から
読出す読出回路
をさらに備える前記(7)に記載の光検出装置。

(9) 前記光電変換部による前記光子の検出結果を前記検出部の出力側から
読出す読出回路
をさらに備える前記(7)に記載の光検出装置。

(10) 前記検出部と前記排出部との間に接続され、前記検出部の出力の振
幅を制限する振幅制限トランジスタ
をさらに備える前記(7)から(9)のいずれかに記載の光検出装置。

(11) 前記検出部の出力側に直列に接続され、前記検出部の出力を初期化
する初期化トランジスタ
をさらに備える前記(7)から(10)のいずれかに記載の光検出装置。

(12) 前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタ

をさらに備える前記（７）から（１１）のいずれかに記載の光検出装置。

（１３）前記光子の検出結果を読み出す読み出し回路に前記抵抗部の電位が入力されるのを遮断するクリップトランジスタ

をさらに備える前記（７）から（１２）のいずれかに記載の光検出装置。

（１４）前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタと、

前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタと、

前記光子の検出結果を読み出す読み出し回路に前記抵抗部の電位が入力されるのを遮断するクリップトランジスタとを備え、

前記貫通防止トランジスタ、前記初期化トランジスタおよび前記クリップトランジスタのうちの少なくともいずれか１つは複数の画素で共有される前記（７）から（１３）のいずれかに記載の光検出装置。

（１５）前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタと、

前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタとを備え、

前記貫通防止トランジスタおよび前記初期化トランジスタのうちの少なくともいずれか１つは、入力の振幅を制限するドライバを備える前記（７）から（１４）のいずれかに記載の光検出装置。

（１６）前記リチャージ部と前記抵抗部との間に接続された抵抗をさらに備える前記（７）から（１５）のいずれかに記載の光検出装置。

（１７）前記リチャージ部、前記光子の検出結果を読み出す読み出し回路および前記読み出し回路の読み出し結果に基づいてカウントを行うカウンタのうちの少なくともいずれか１つが形成された第１基板と、

前記第１基板上に積層され、前記光電変換部、前記抵抗部、前記検出部および前記排出部が形成された第２基板と

を備える前記（７）から（１６）のいずれかに記載の光検出装置。

(18) 前記リチャージ部、前記光子の検出結果を読出す読出回路および前記読出回路の読出し結果に基づいてカウントを行うカウンタのうちの少なくともいずれか1つが形成された第1基板と、

前記第1基板上に積層され、前記抵抗部、前記検出部および前記排出部が形成された第2基板と、

前記第2基板上に積層され、前記光電変換部が形成された第3基板とを備える前記(7)から(16)のいずれかに記載の光検出装置。

(19) 低耐圧トランジスタが形成される低耐圧領域と、

複数の画素について互いに隣接して配置され、高耐圧トランジスタが形成される高耐圧領域とを備え、

前記検出部および前記排出部は、前記高耐圧領域に形成される前記(7)から(18)のいずれかに記載の光検出装置。

(20) 前記光子の検出結果を読出す読出回路をさらに備え、

前記排出部は、前記読出回路の出力に基づいて、前記光電変換部に流出可能な少なくとも一部の電荷を前記第1電位よりも低い第2電位に排出する前記(1)に記載の光検出装置。

(21) 前記光子の検出結果をラッチするラッチ回路をさらに備える前記(1)から(20)のいずれかに記載の光検出装置。

(22) 前記ラッチ回路は、前記光子の検出結果に基づいて、前記光子の検出ノードを定電位に接続するスイッチトランジスタを備える前記(21)に記載の光検出装置。

(23) 前記光子の検出結果は前記スイッチトランジスタのゲートに入力され、前記光子の検出結果が保持される前記(22)に記載の光検出装置。

(24) 前記検出ノードの電位に基づいて、前記スイッチトランジスタと前記リチャージ部とを遮断する遮断トランジスタをさらに備える前記(22)または(23)に記載の光検出装置。

(25) 前記リチャージ部は、前記検出ノードの電位に基づいて前記光電変

換部をリチャージする

前記（２１）から（２４）のいずれかに記載の光検出装置。

（２６）前記光子の検出結果の出力の振幅を制限する第１振幅制限トランジスタと、

前記光子の検出結果をリセットするリセットトランジスタとを備え、

前記リセットトランジスタは、前記第１振幅制限トランジスタで振幅制限される領域に配置され、前記ラッチ回路に対して低電圧で動作される

前記（２１）から（２５）のいずれかに記載の光検出装置。

（２７）前記光子の検出結果に基づいて、前記光電変換部のリチャージを制御するリチャージ制御トランジスタ

をさらに備える前記（２１）から（２６）のいずれかに記載の光検出装置。

（２８）前記リチャージ部の入力振幅を制限する第２振幅制限トランジスタを備え、

前記リチャージ部は、前記第２振幅制限トランジスタで振幅制限される領域に配置され、前記ラッチ回路に対して低電圧で動作される

前記（２１）から（２７）のいずれかに記載の光検出装置。

符号の説明

- [0343] １００ 撮像装置
- １０１ 光学系
- １０２ 固体撮像装置
- １０３ 撮像制御部
- １０４ 画像処理部
- １０５ 記憶部
- １０６ 表示部
- １０７ 操作部
- １０８ バス
- １１１ 画素アレイ部
- １１２ 行走査回路

- 1 1 3 列処理回路
- 1 1 4 制御信号生成回路
- 1 1 5 フレームメモリ
- 1 2 1 画素
- 1 2 2、1 5 5 スイッチ
- 1 3 1 光パルス応答部
- 1 3 2 読出回路
- 1 3 3 カウンタ
- 1 4 1 光電変換部
- 1 4 2 抵抗部
- 1 4 3 リチャージ部
- 1 4 4 検出部
- 1 4 5 排出部
- 1 5 1 S P A D
- 1 5 2 抵抗

請求の範囲

- [請求項1] 第1の電極が第1の電位に接続され、光子から生成した電荷を増倍する光電変換部と、
前記第1の電極とは反対の第2の電極において、前記光電変換部に直列に接続された抵抗部と、
前記抵抗部を介して前記光電変換部をリチャージするリチャージ部と、
前記抵抗部と、前記リチャージ部の前記抵抗部が接続された側とは反対の電位からの電位差が前記第1の電位よりも小さい第2の電位に接続された排出部と
を備える光検出装置。
- [請求項2] 前記抵抗部の抵抗値は、前記光電変換部の抵抗値よりも大きい請求項1に記載の光検出装置。
- [請求項3] 前記リチャージ部は、前記抵抗部の電位の検出結果に基づいて、前記光電変換部をリチャージする
請求項1に記載の光検出装置。
- [請求項4] 前記リチャージ部は、外部からの制御信号に基づいて、前記光電変換部をリチャージする
請求項1に記載の光検出装置。
- [請求項5] 前記制御信号は周期信号である
請求項4に記載の光検出装置。
- [請求項6] 前記制御信号は、互いに周期が異なる複数の制御信号を備え、
前記排出部からの電荷の排出の有無が前記周期ごとに設定される
請求項5に記載の光検出装置。
- [請求項7] 前記抵抗部の電位を検出する検出部
をさらに備える
請求項1に記載の光検出装置。
- [請求項8] 前記光電変換部による前記光子の検出結果を前記検出部の入力側か

ら読出す読出回路

をさらに備える請求項 7 に記載の光検出装置。

[請求項9] 前記光電変換部による前記光子の検出結果を前記検出部の出力側から読出す読出回路

をさらに備える請求項 7 に記載の光検出装置。

[請求項10] 前記検出部と前記排出部との間に接続され、前記検出部の出力の振幅を制限する振幅制限トランジスタ

をさらに備える請求項 7 に記載の光検出装置。

[請求項11] 前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタ

をさらに備える請求項 7 に記載の光検出装置。

[請求項12] 前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタをさらに備える請求項 7 に記載の光検出装置。

[請求項13] 前記光子の検出結果を読出す読出回路に前記抵抗部の電位が入力されるのを遮断するクリップトランジスタ

をさらに備える請求項 7 に記載の光検出装置。

[請求項14] 前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタと、

前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタと、

前記光子の検出結果を読出す読出回路に前記抵抗部の電位が入力されるのを遮断するクリップトランジスタとを備え、

前記貫通防止トランジスタ、前記初期化トランジスタおよび前記クリップトランジスタのうちの少なくともいずれか 1 つは複数の画素で共有される

請求項 7 に記載の光検出装置。

[請求項15] 前記検出部に貫通電流が流れるのを防止する貫通防止トランジスタと、

前記検出部の出力側に直列に接続され、前記検出部の出力を初期化する初期化トランジスタとを備え、

前記貫通防止トランジスタおよび前記初期化トランジスタのうちの少なくともいずれか1つは、入力の振幅を制限するドライバを備える請求項7に記載の光検出装置。

[請求項16] 前記リチャージ部と前記抵抗部との間に接続された抵抗をさらに備える請求項7に記載の光検出装置。

[請求項17] 前記リチャージ部、前記光子の検出結果を読み出す読み出し回路および前記読み出し回路の読み出し結果に基づいてカウントを行うカウンタのうちの少なくともいずれか1つが形成された第1基板と、

前記第1基板上に積層され、前記光電変換部、前記抵抗部、前記検出部および前記排出部が形成された第2基板とを備える請求項7に記載の光検出装置。

[請求項18] 前記リチャージ部、前記光子の検出結果を読み出す読み出し回路および前記読み出し回路の読み出し結果に基づいてカウントを行うカウンタのうちの少なくともいずれか1つが形成された第1基板と、

前記第1基板上に積層され、前記抵抗部、前記検出部および前記排出部が形成された第2基板と、

前記第2基板上に積層され、前記光電変換部が形成された第3基板とを備える請求項7に記載の光検出装置。

[請求項19] 低耐圧トランジスタが形成される低耐圧領域と、

複数の画素について互いに隣接して配置され、高耐圧トランジスタが形成される高耐圧領域とを備え、

前記検出部および前記排出部は、前記高耐圧領域に形成される請求項2に記載の光検出装置。

[請求項20] 前記光子の検出結果を読み出す読み出し回路をさらに備え、

前記排出部は、前記読み出し回路の出力に基づいて、前記光電変換部に

流出可能な少なくとも一部の電荷を前記第 1 電位よりも低い第 2 電位に排出する

請求項 1 に記載の光検出装置。

[請求項21] 前記光子の検出結果をラッチするラッチ回路
をさらに備える請求項 1 に記載の光検出装置。

[請求項22] 前記ラッチ回路は、前記光子の検出結果に基づいて、前記光子の検出ノードを定電位に接続するスイッチトランジスタ
を備える請求項 2 1 に記載の光検出装置。

[請求項23] 前記光子の検出結果は前記スイッチトランジスタのゲートに入力され、前記光子の検出結果が保持される
請求項 2 2 に記載の光検出装置。

[請求項24] 前記検出ノードの電位に基づいて、前記スイッチトランジスタと前記リチャージ部とを遮断する遮断トランジスタ
をさらに備える請求項 2 2 に記載の光検出装置。

[請求項25] 前記リチャージ部は、前記検出ノードの電位に基づいて前記光電変換部をリチャージする
請求項 2 1 に記載の光検出装置。

[請求項26] 前記光子の検出結果の出力の振幅を制限する第 1 振幅制限トランジスタと、

前記光子の検出結果をリセットするリセットトランジスタとを備え、

前記リセットトランジスタは、前記第 1 振幅制限トランジスタで振幅制限される領域に配置され、前記ラッチ回路に対して低電圧で動作される

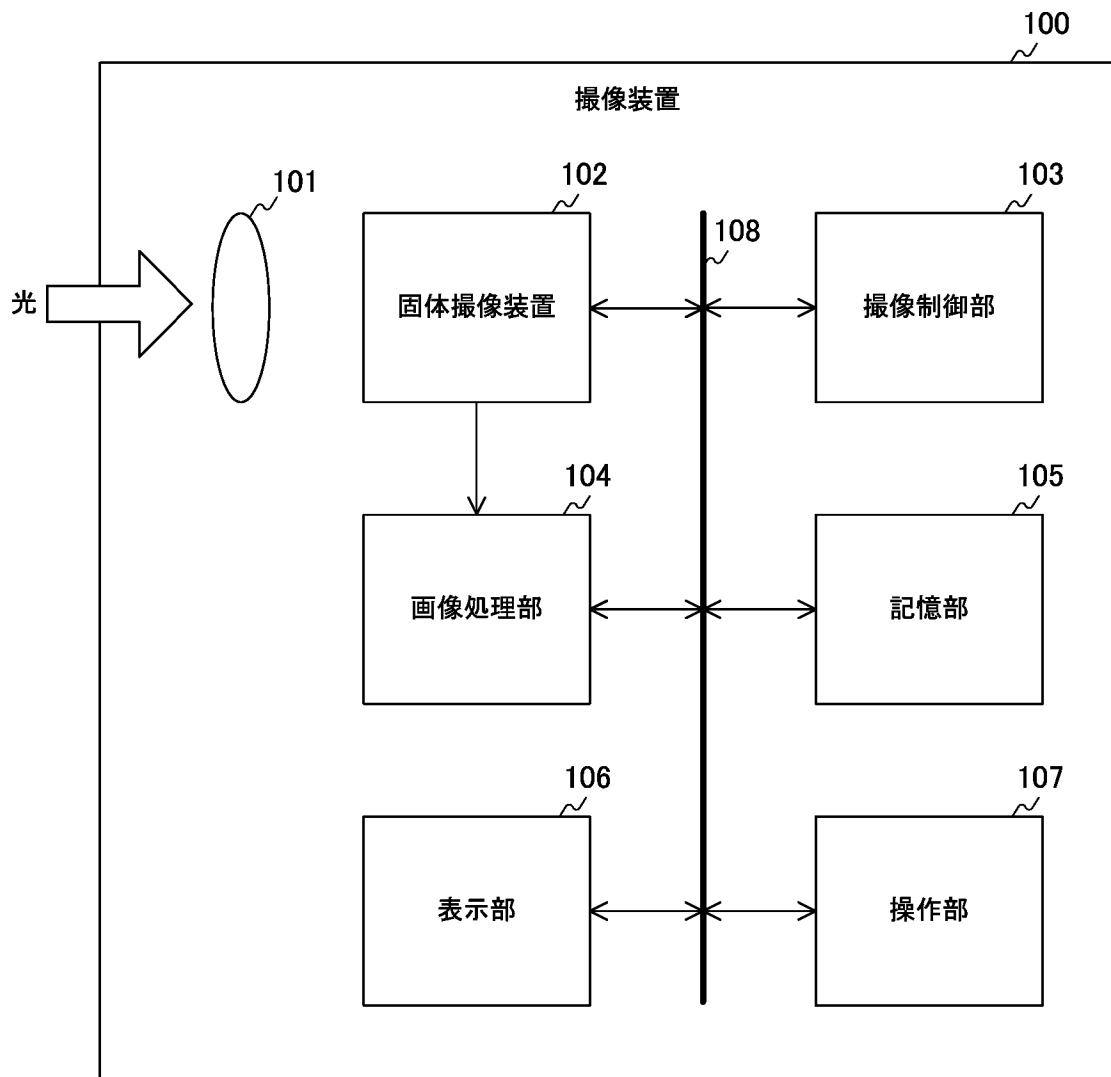
請求項 2 1 に記載の光検出装置。

[請求項27] 前記光子の検出結果に基づいて、前記光電変換部のリチャージを制御するリチャージ制御トランジスタ
をさらに備える請求項 2 1 に記載の光検出装置。

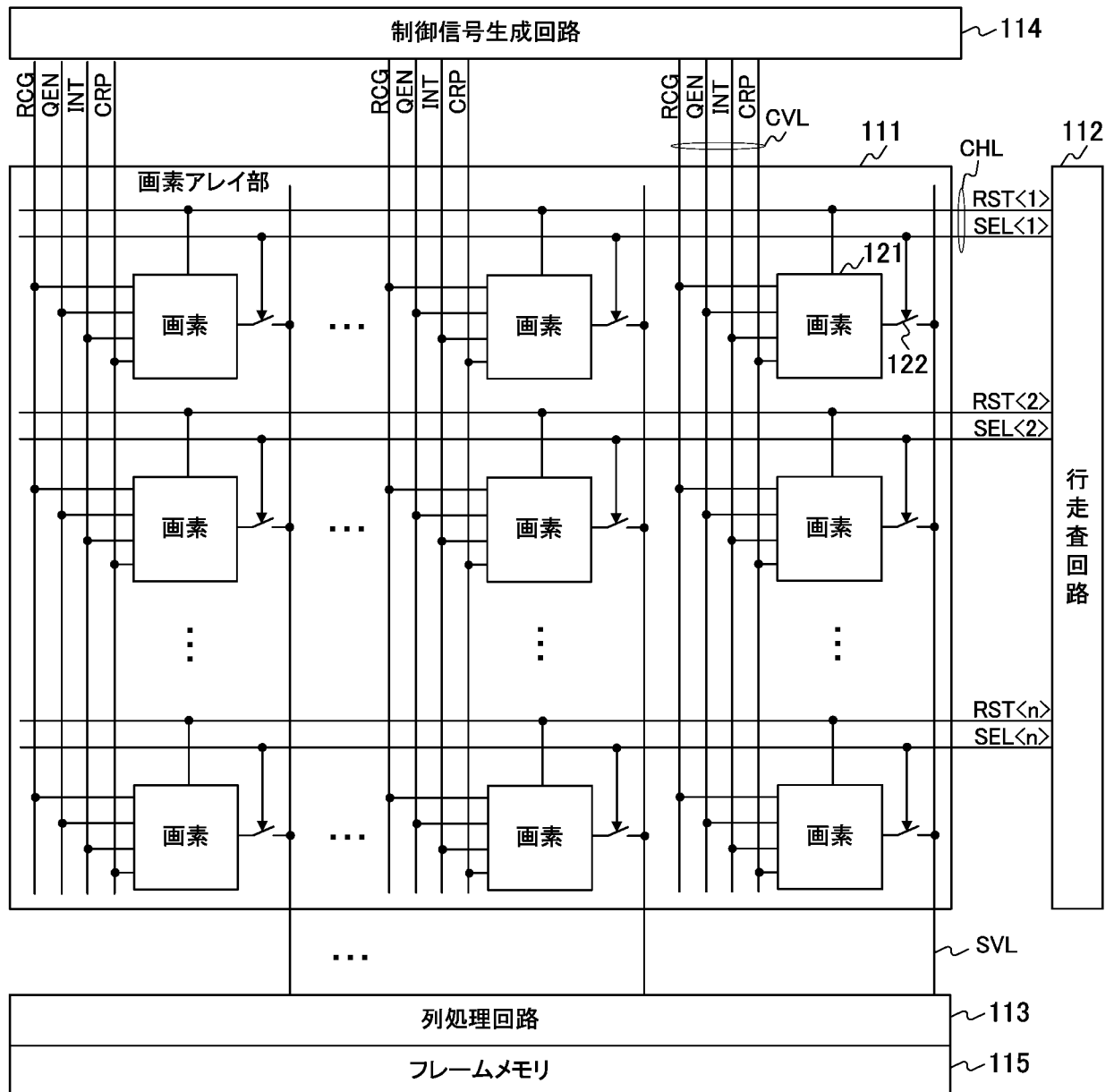
[請求項28] 前記リチャージ部の入力の振幅を制限する第2振幅制限トランジスタを備え、

前記リチャージ部は、前記第2振幅制限トランジスタで振幅制限される領域に配置され、前記ラッチ回路に対して低電圧で動作される請求項21に記載の光検出装置。

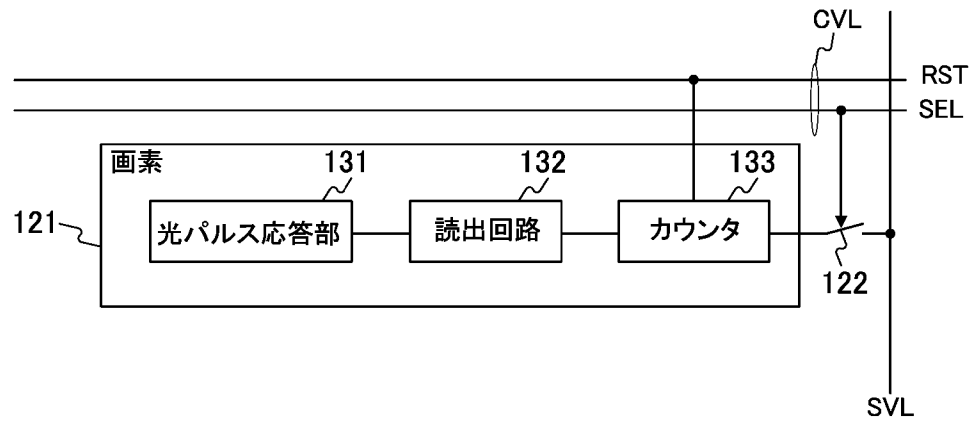
[図1]



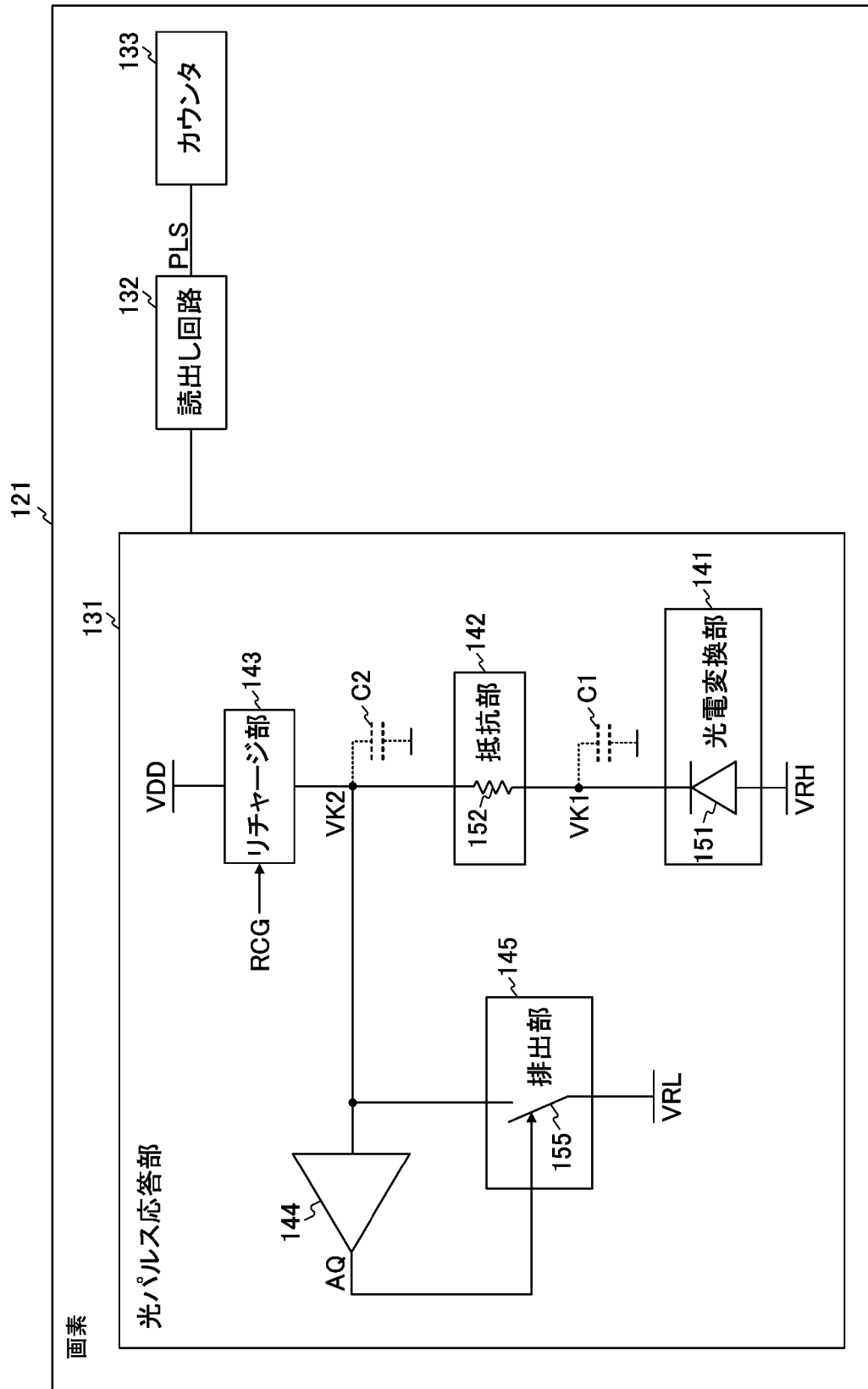
[図2]



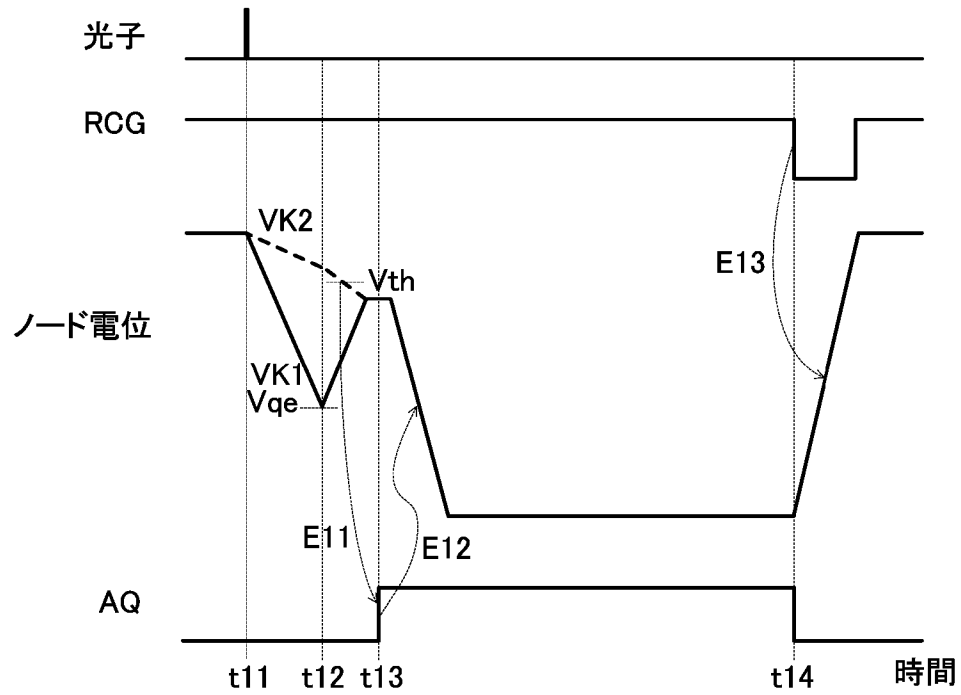
[図3]



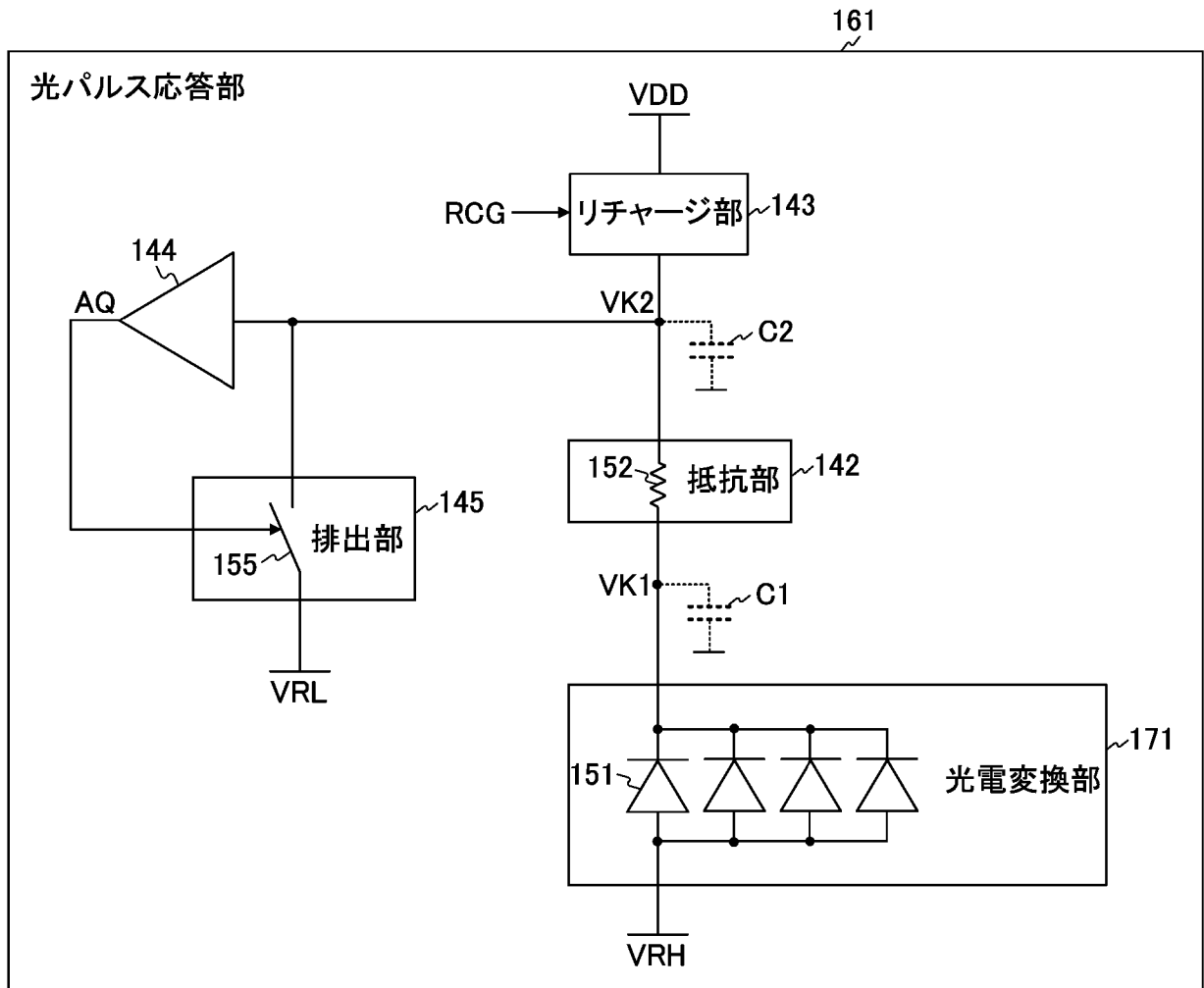
[図4]



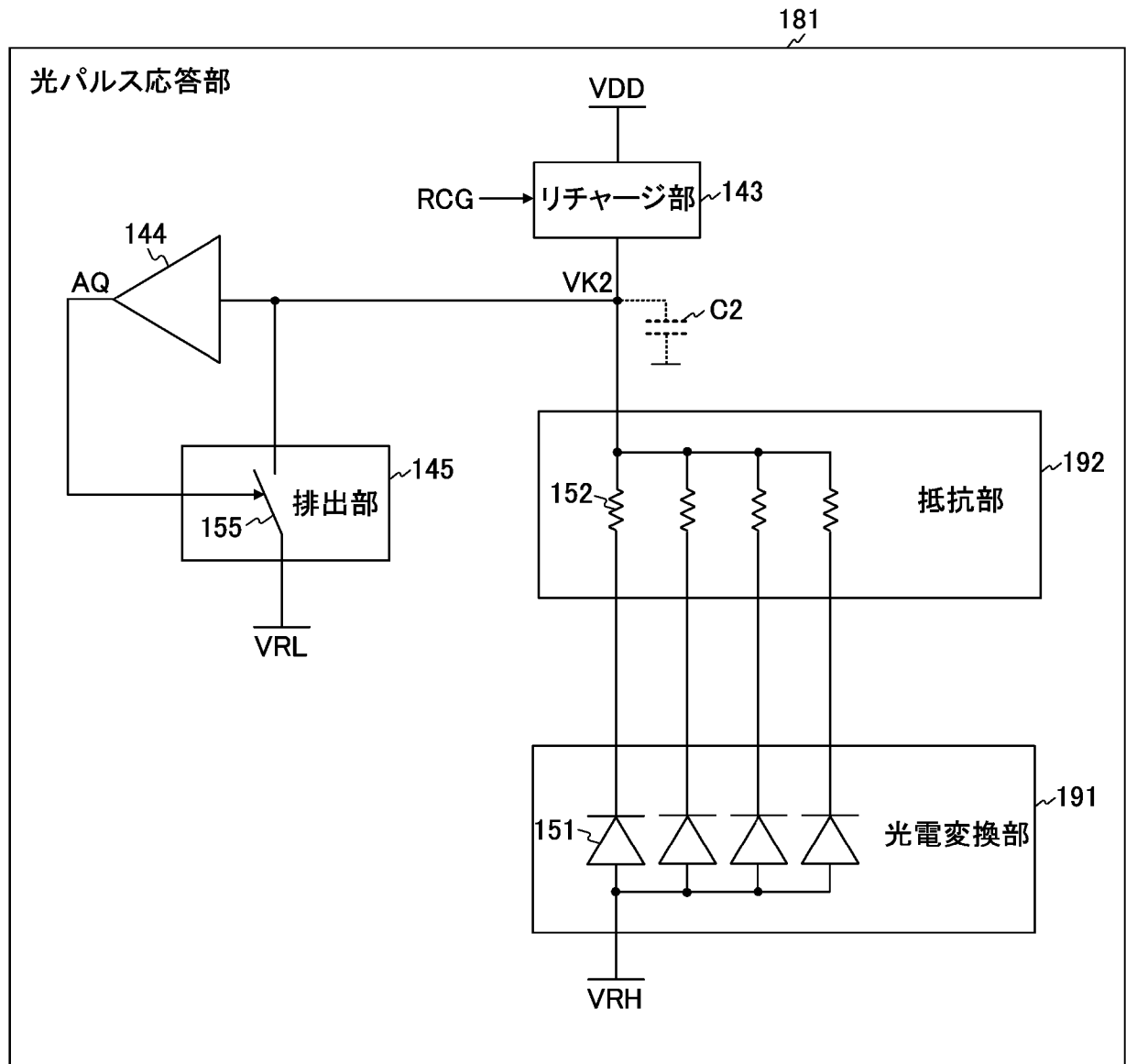
[図5]



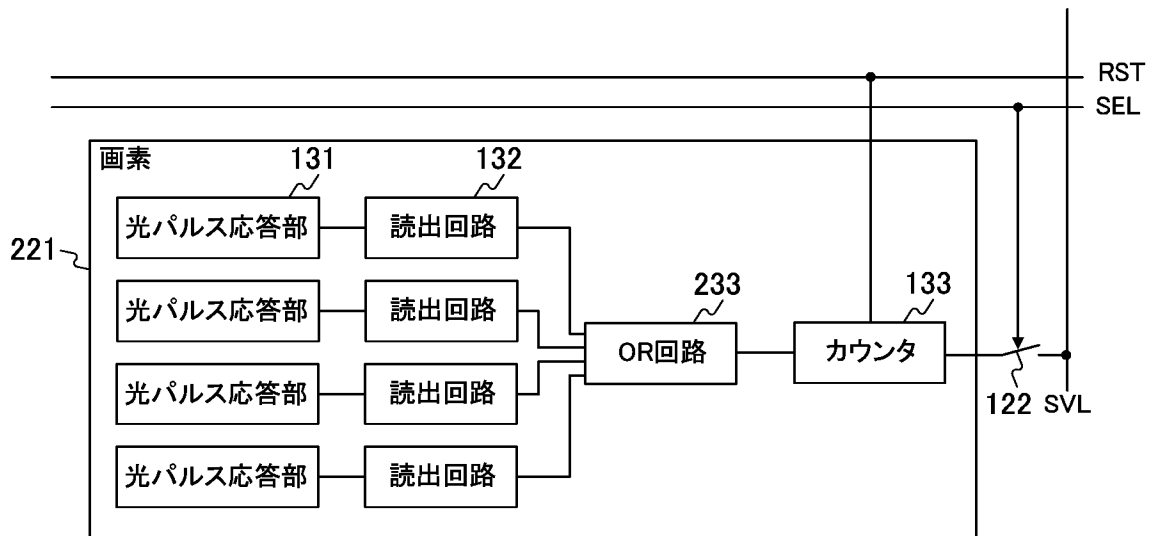
[図6]

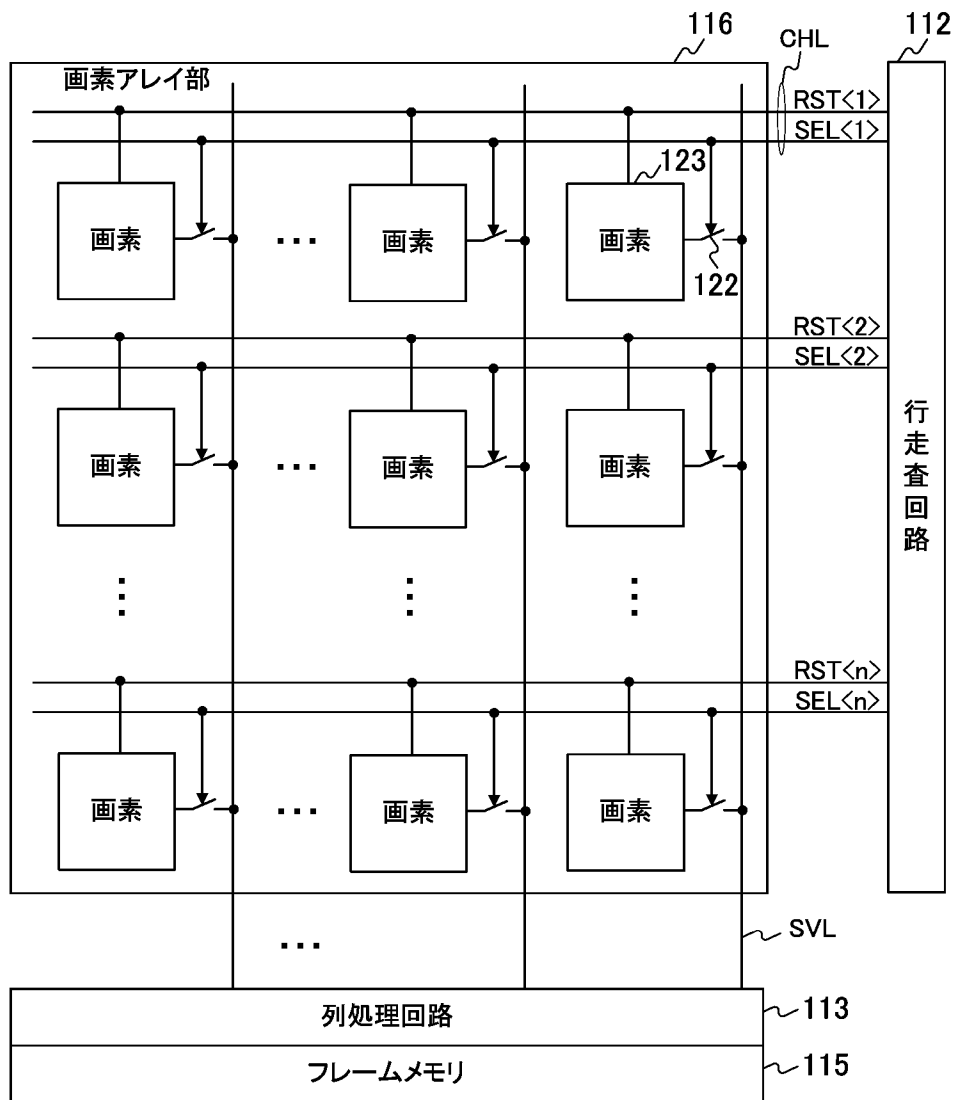


[図7]

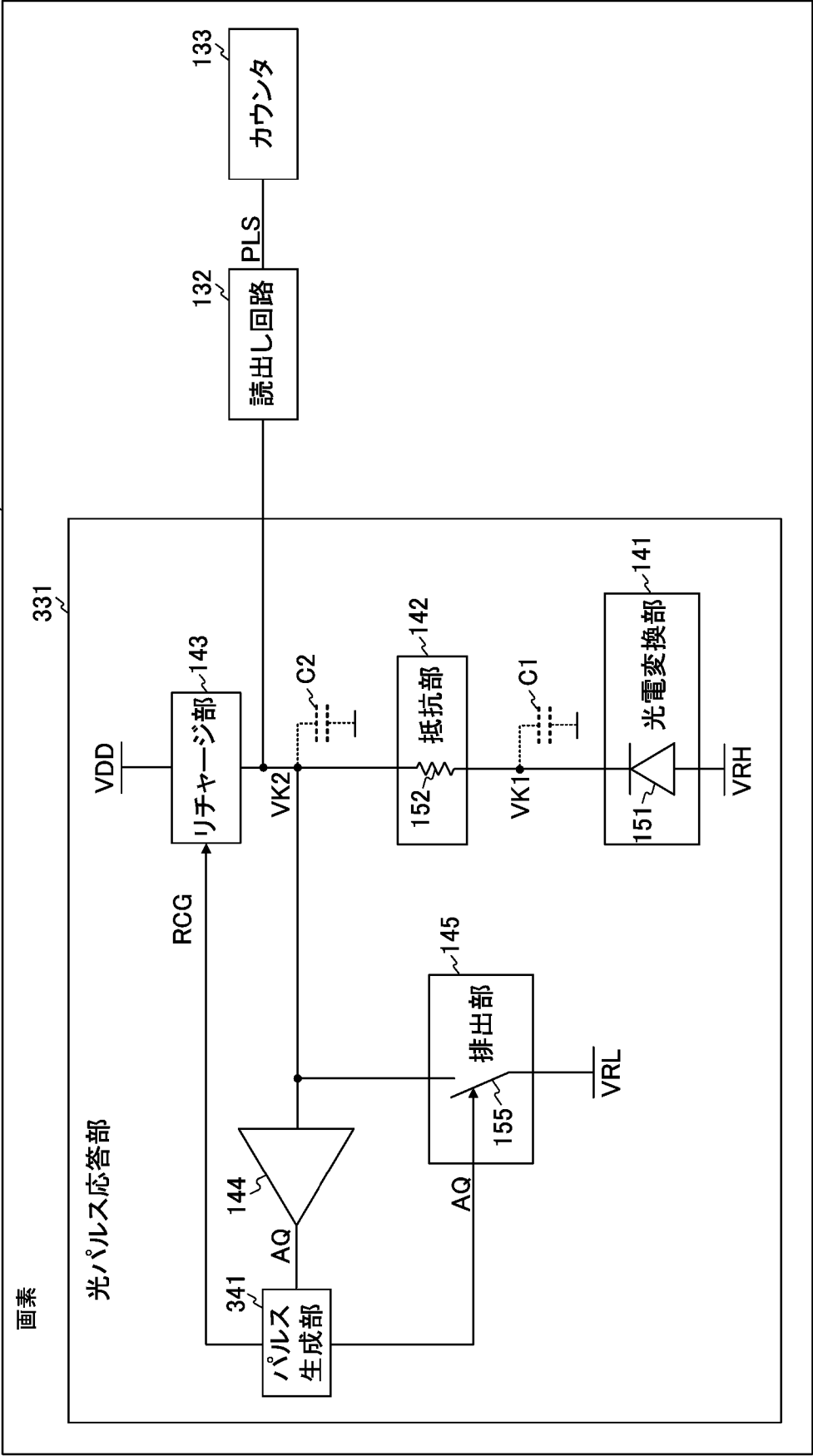


[図8]

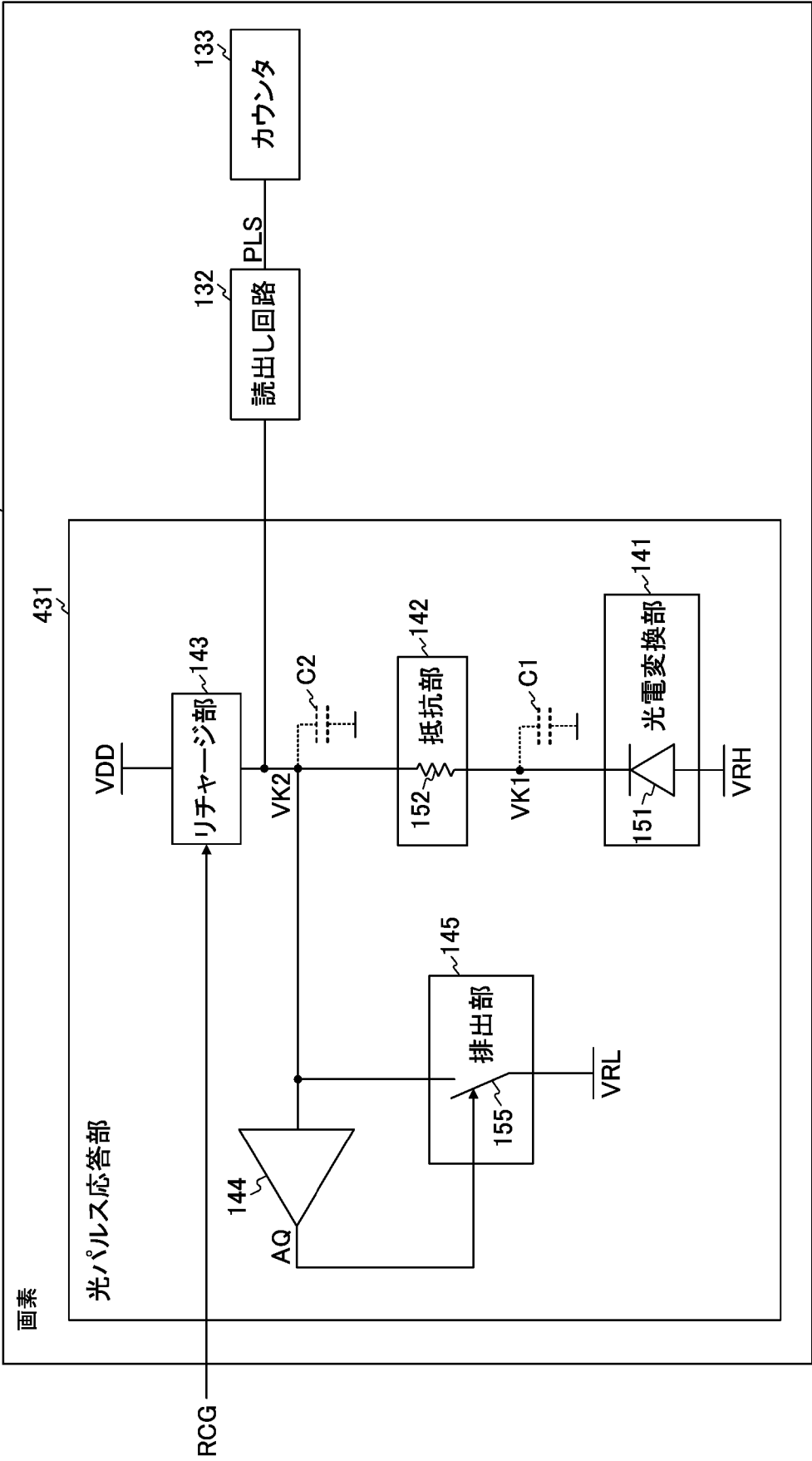




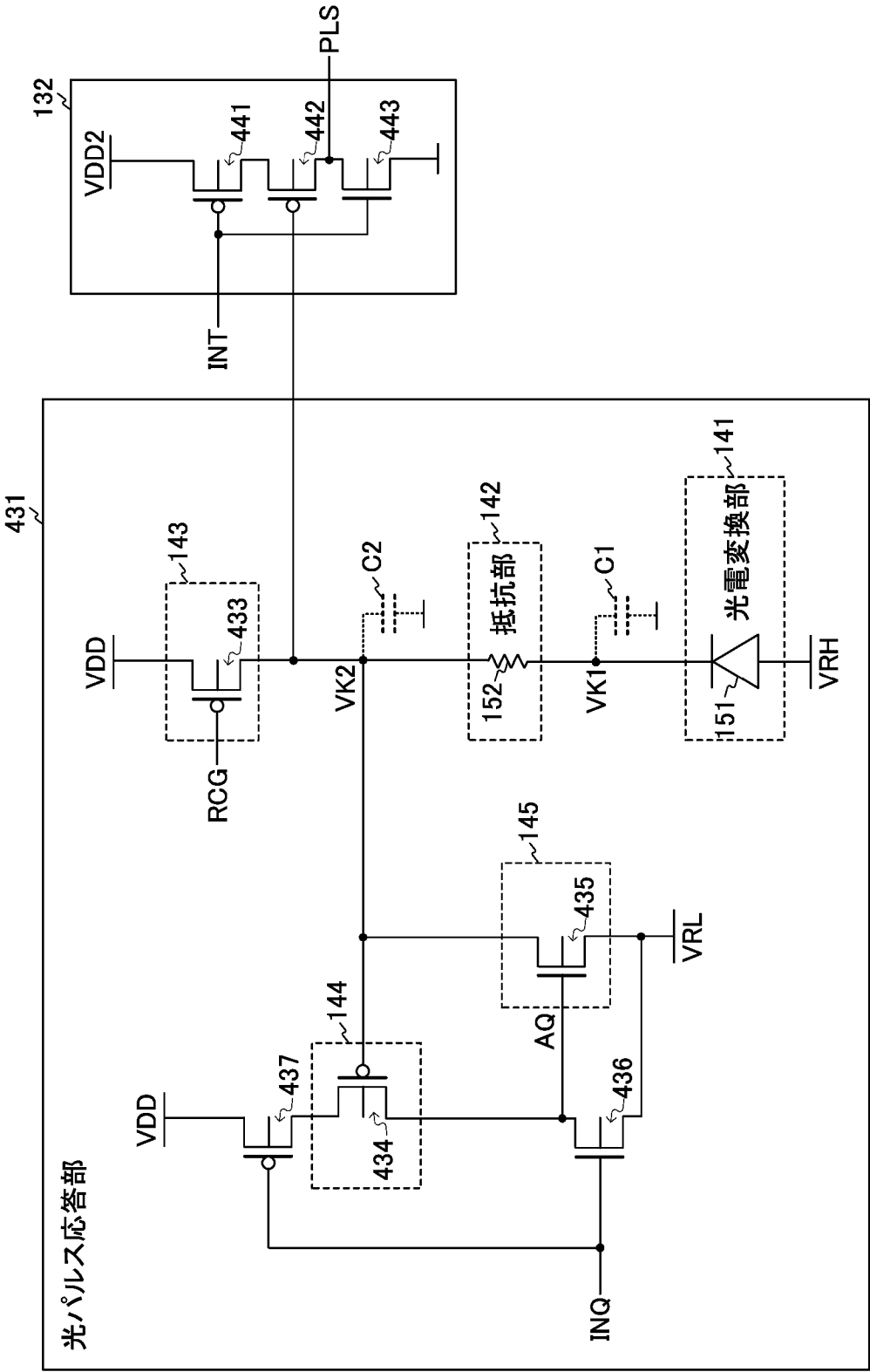
[図10]



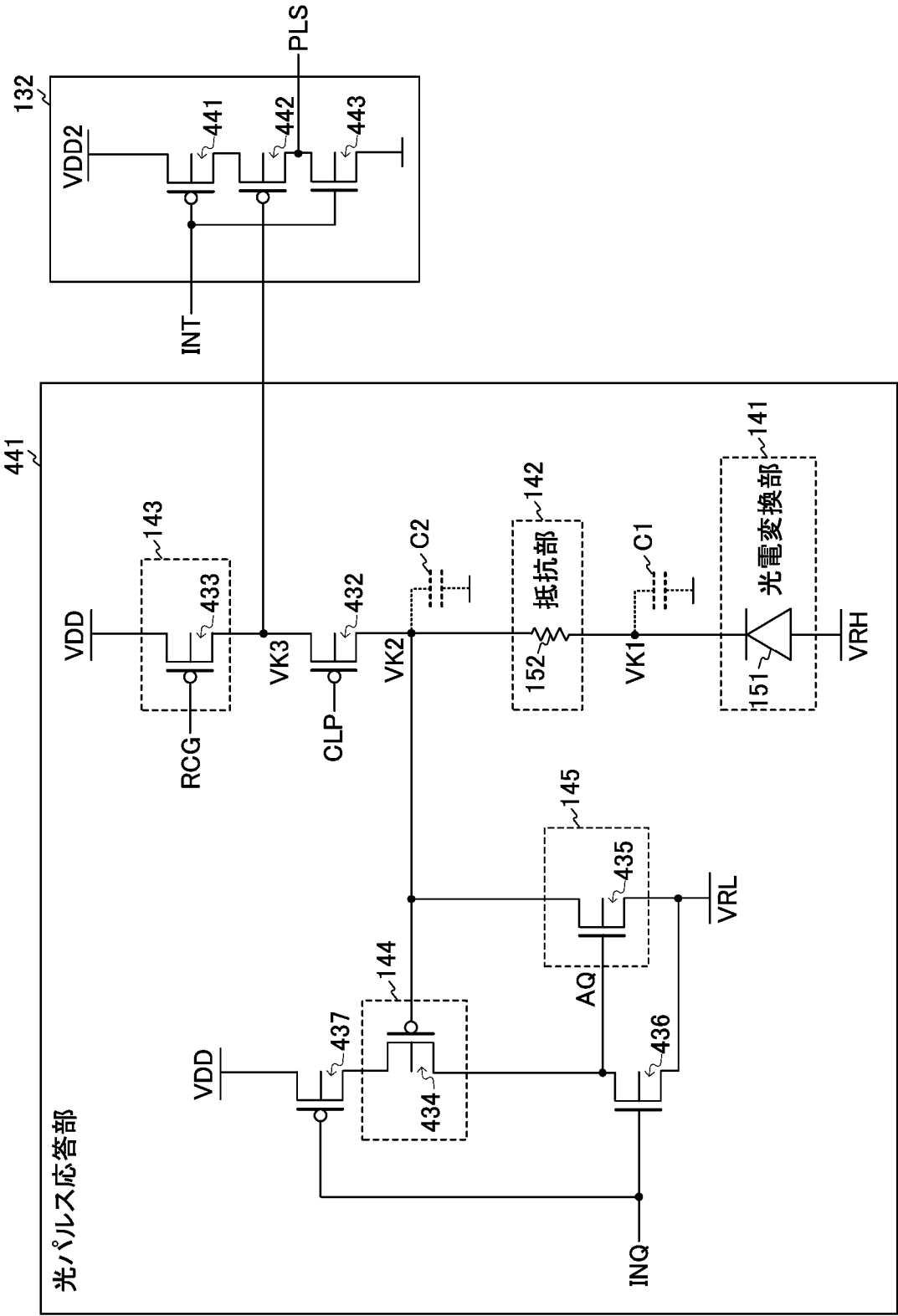
[図11]



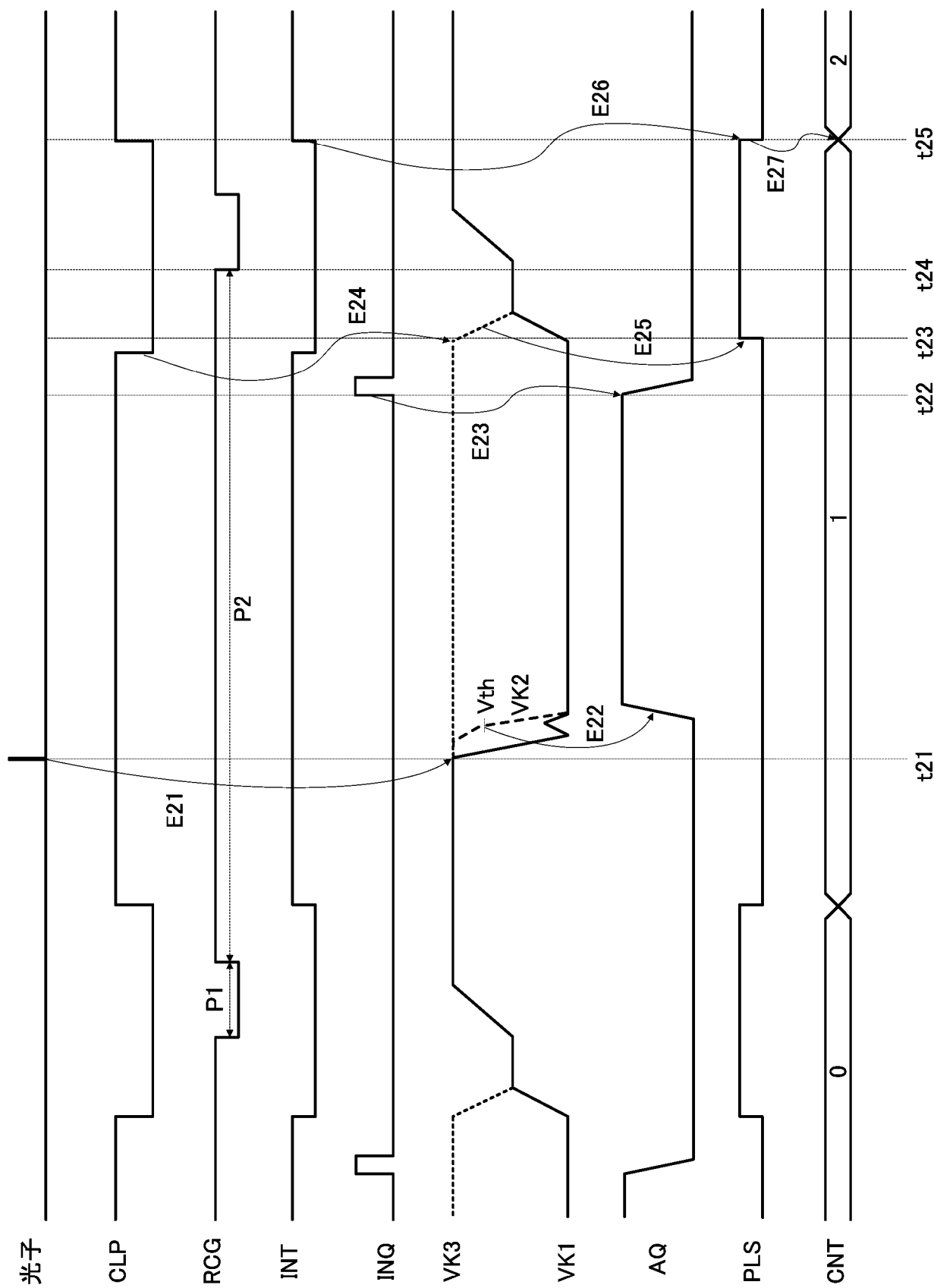
[図12]



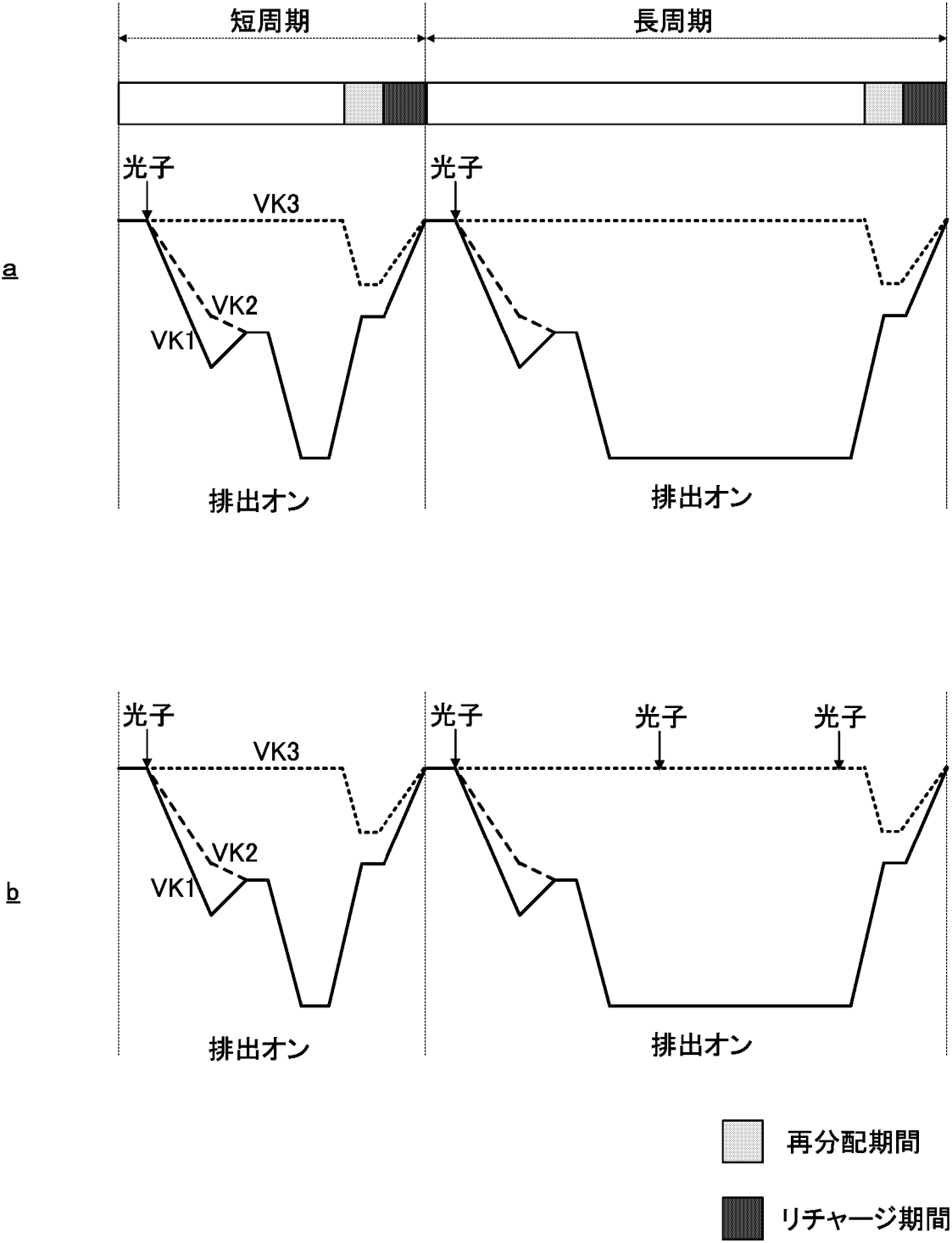
[図13]



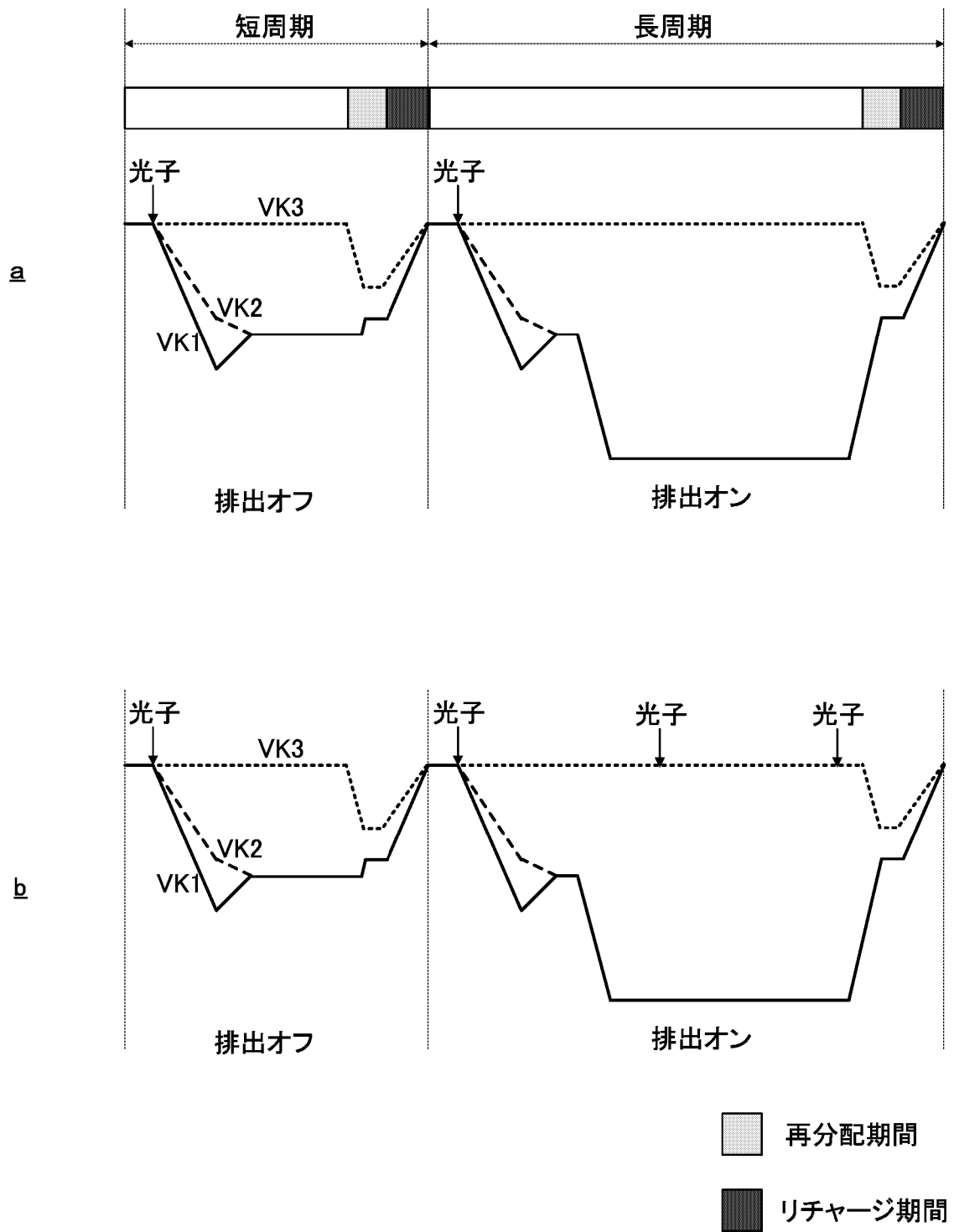
[図14]



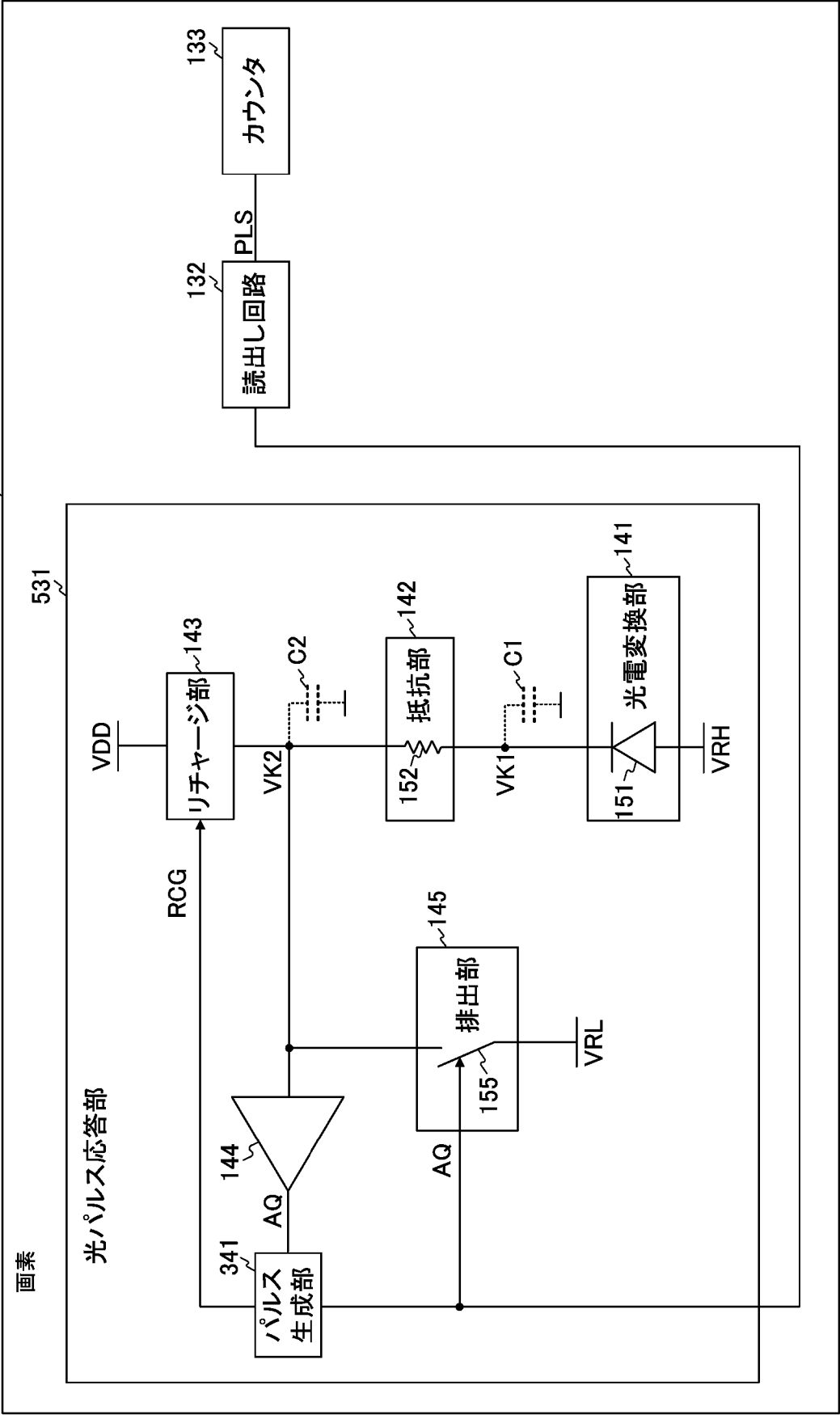
[図15]



[図16]



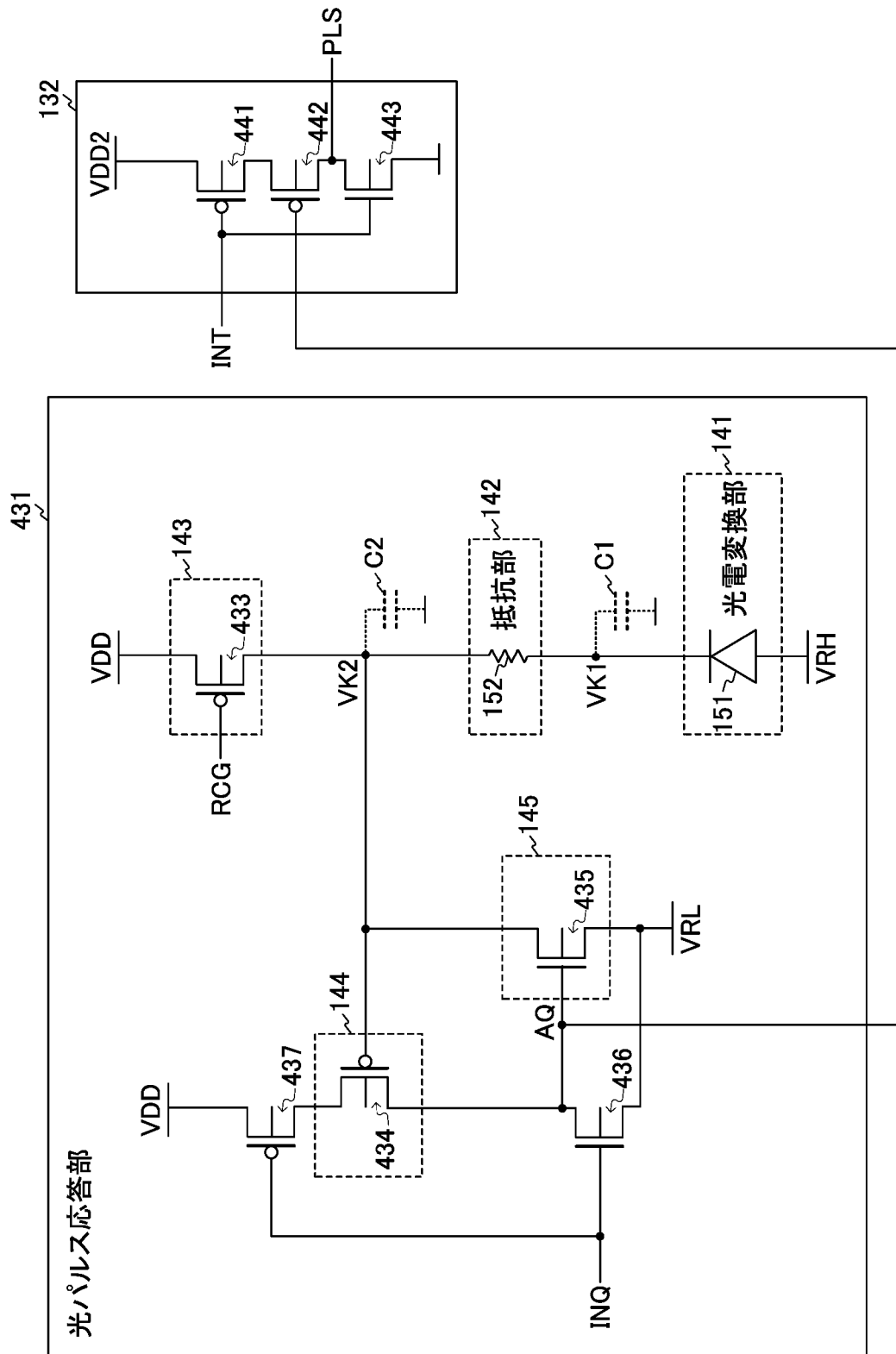
[図17]



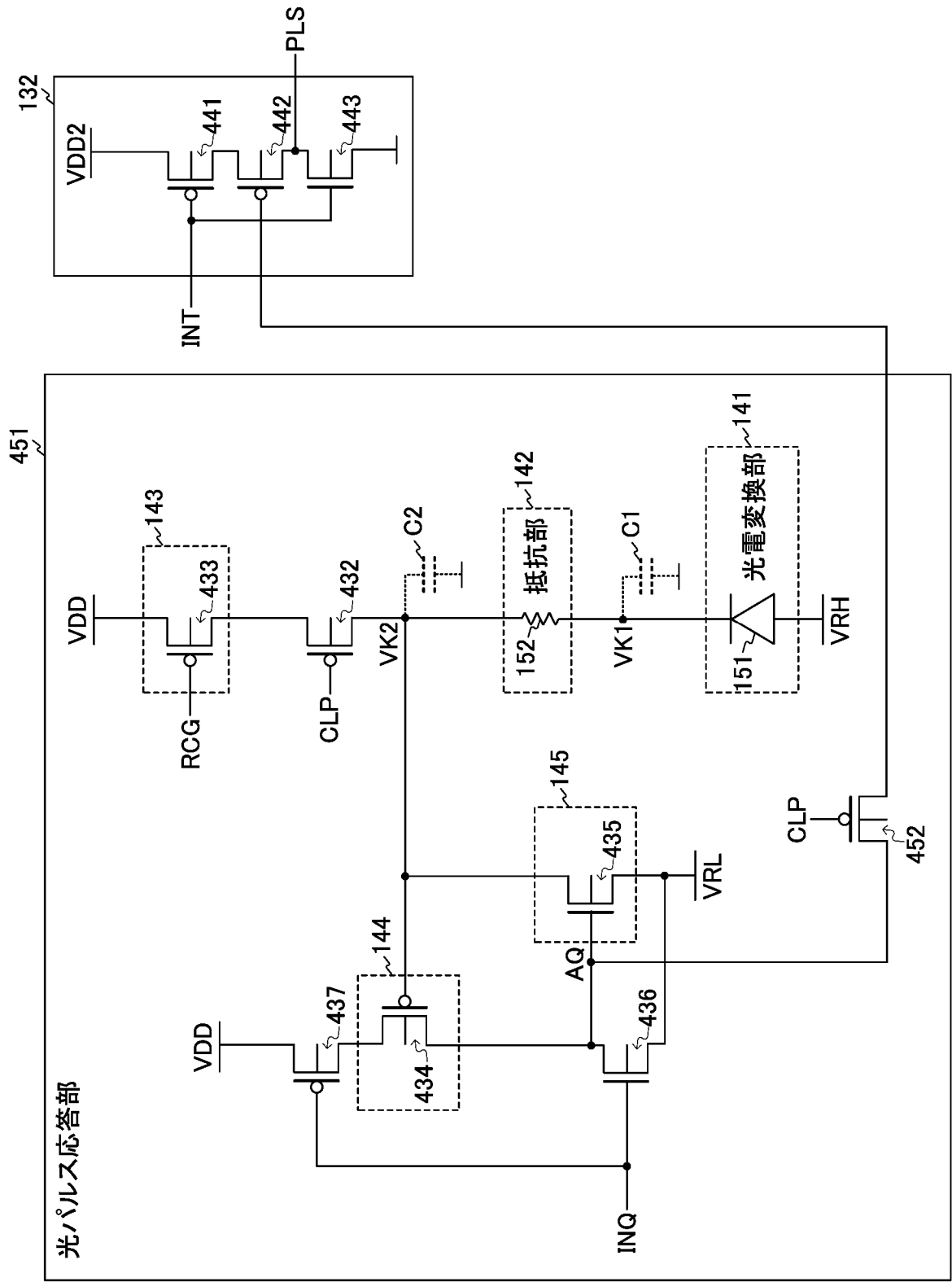
The diagram shows a light pulse response element (532) with the following internal components and connections:

- 光パルス応答部 (Light Pulse Response Section 532):** The main functional block.
- リチャージ部 (Charging Section 143):** Connected to VDD and the output of the AQ.
- スイッチ (Switch 145):** Controlled by the output of the AQ. It has a control input (155) and connects the output of the AQ to the VRL terminal.
- 抵抗部 (Resistor Section 142):** Connected to the output of the AQ and the input of the photo-converter (141).
- 光電変換部 (Photo-conversion Section 141):** Converts light into an electrical signal, connected to the resistor section (142) and the VRH terminal.
- 外部接続:**
 - RCG:** Connected to the input of the AQ (144).
 - VDD:** Power supply for the charging section (143).
 - VRH:** Reference voltage for the photo-conversion section (141).
 - VRL:** Output terminal controlled by the switch (145).

[図19]

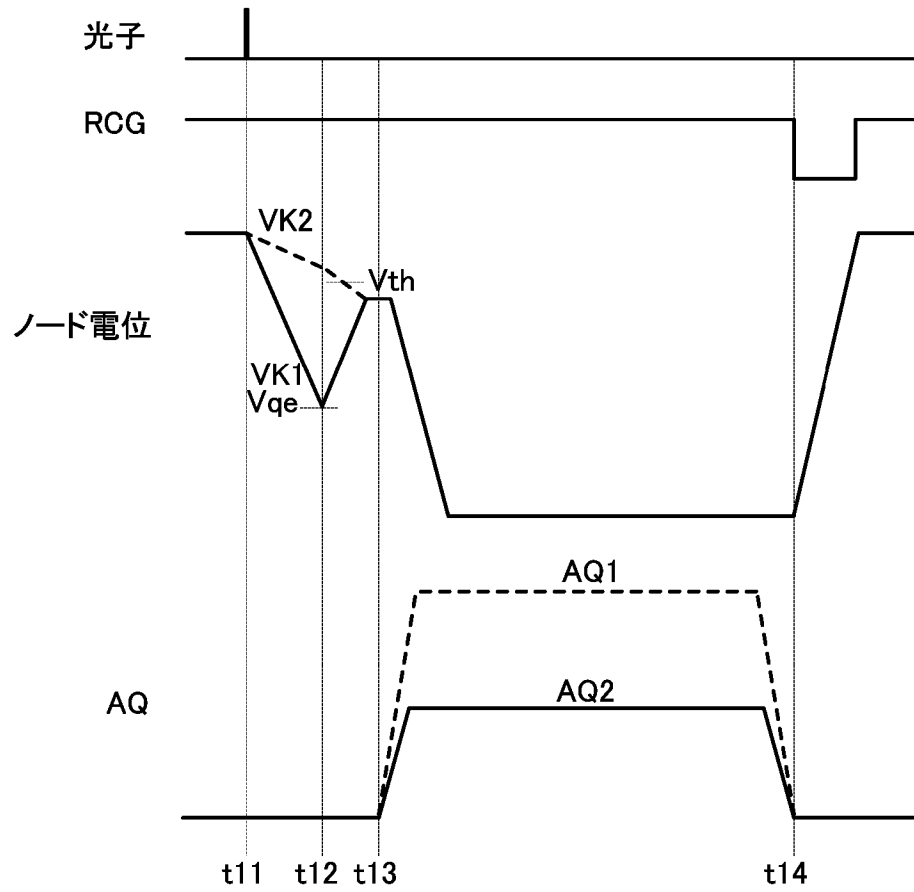


[図20]

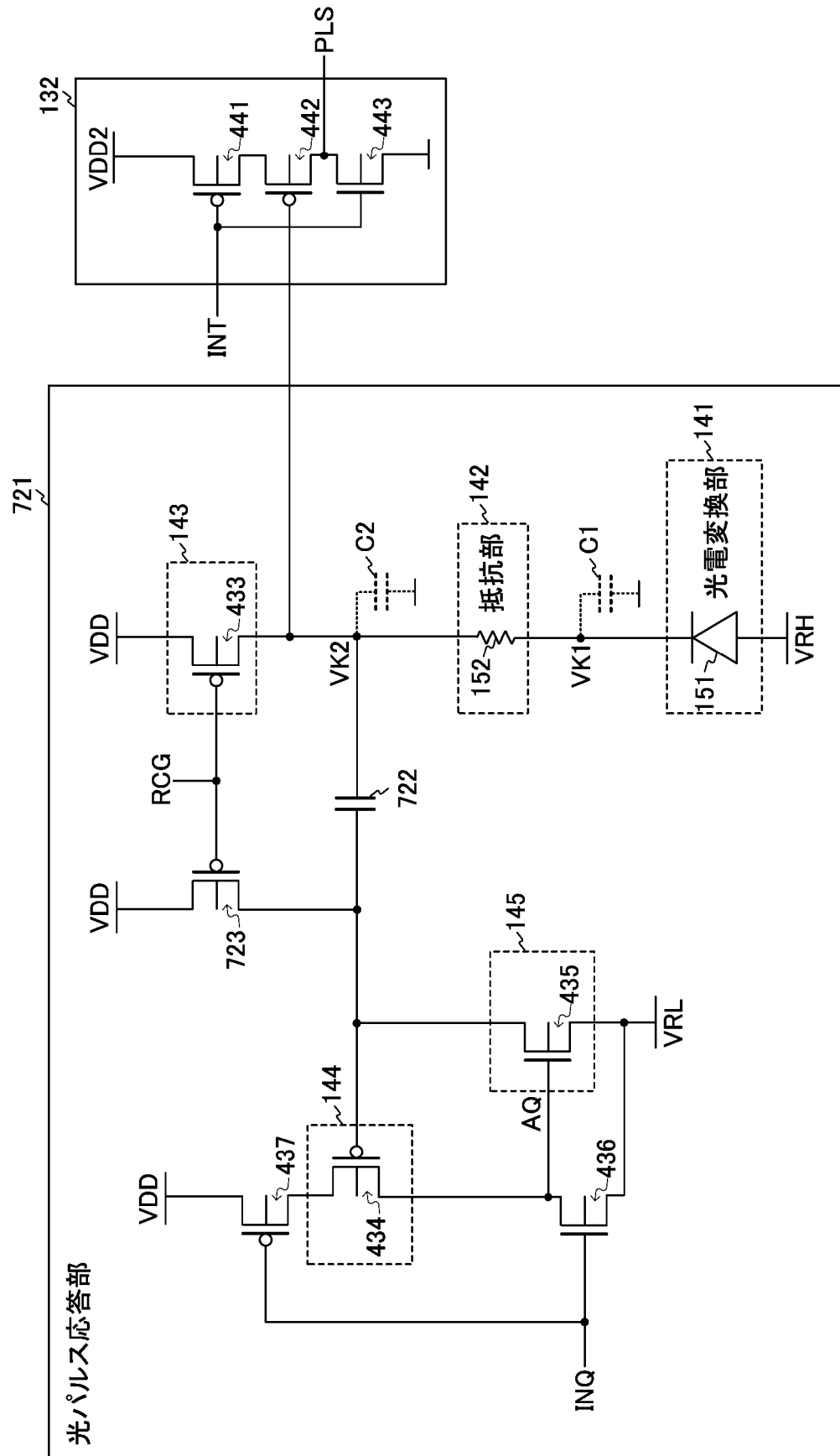


[illegible]

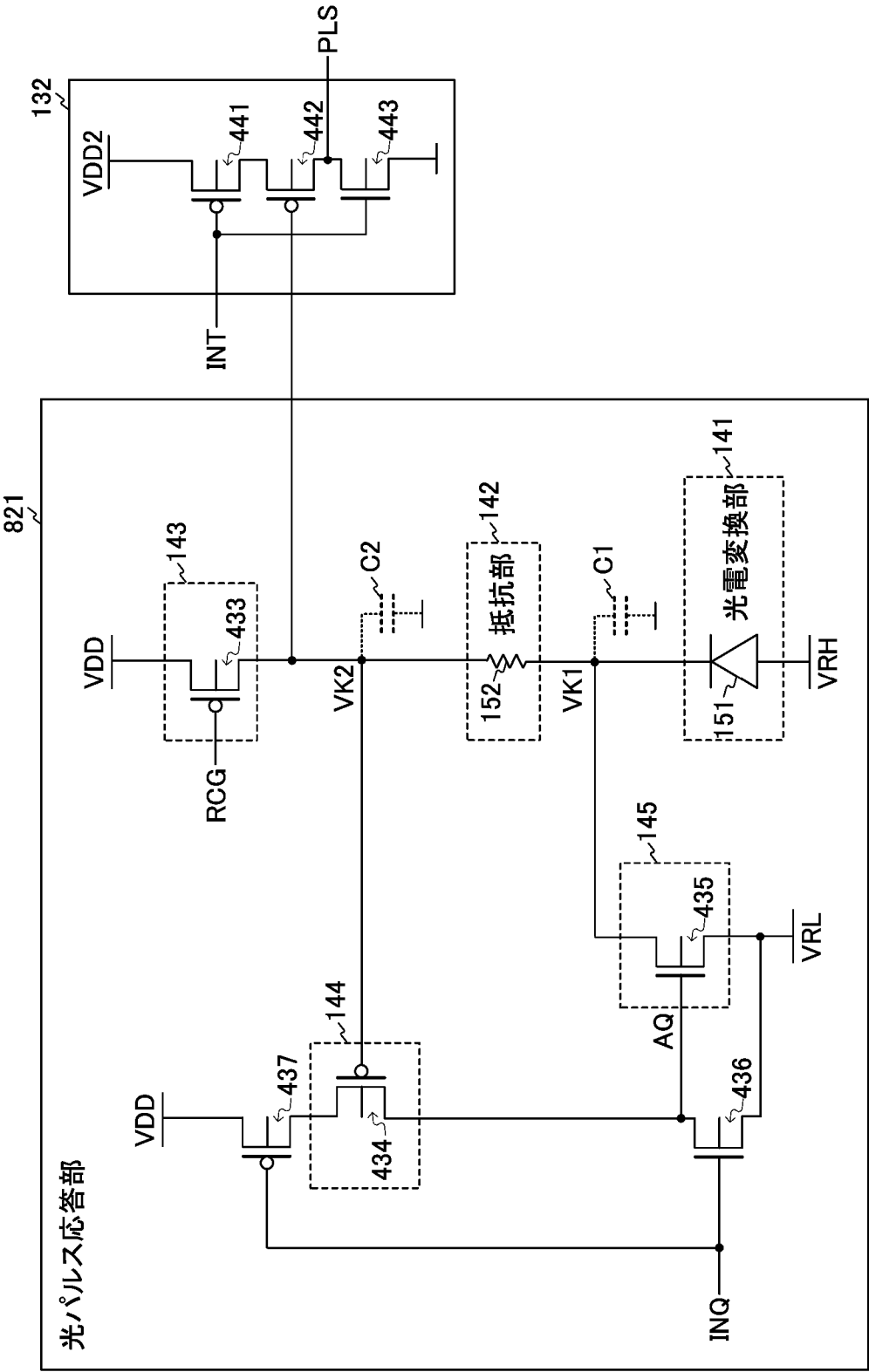
[図22]



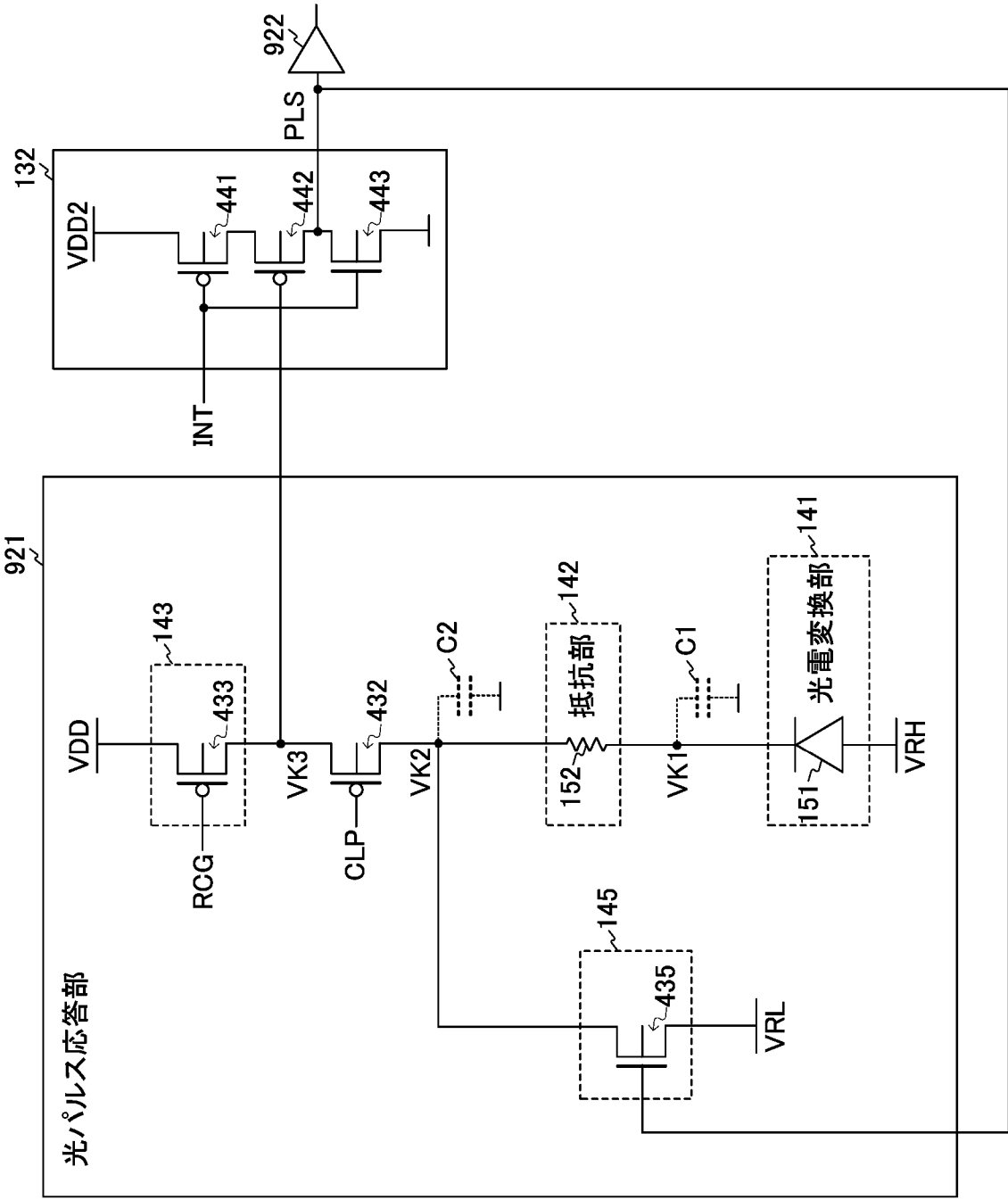
[図23]



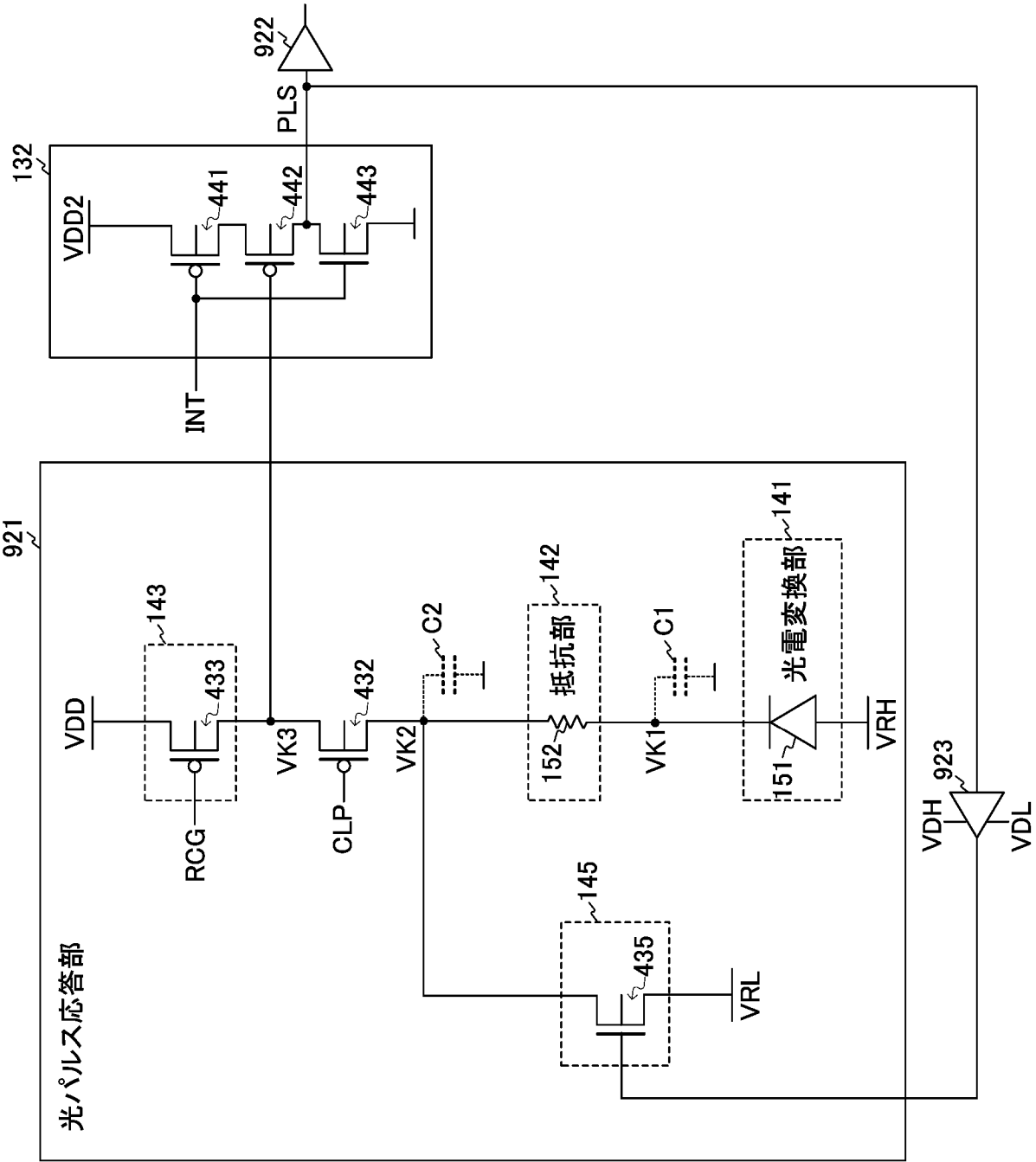
[図24]



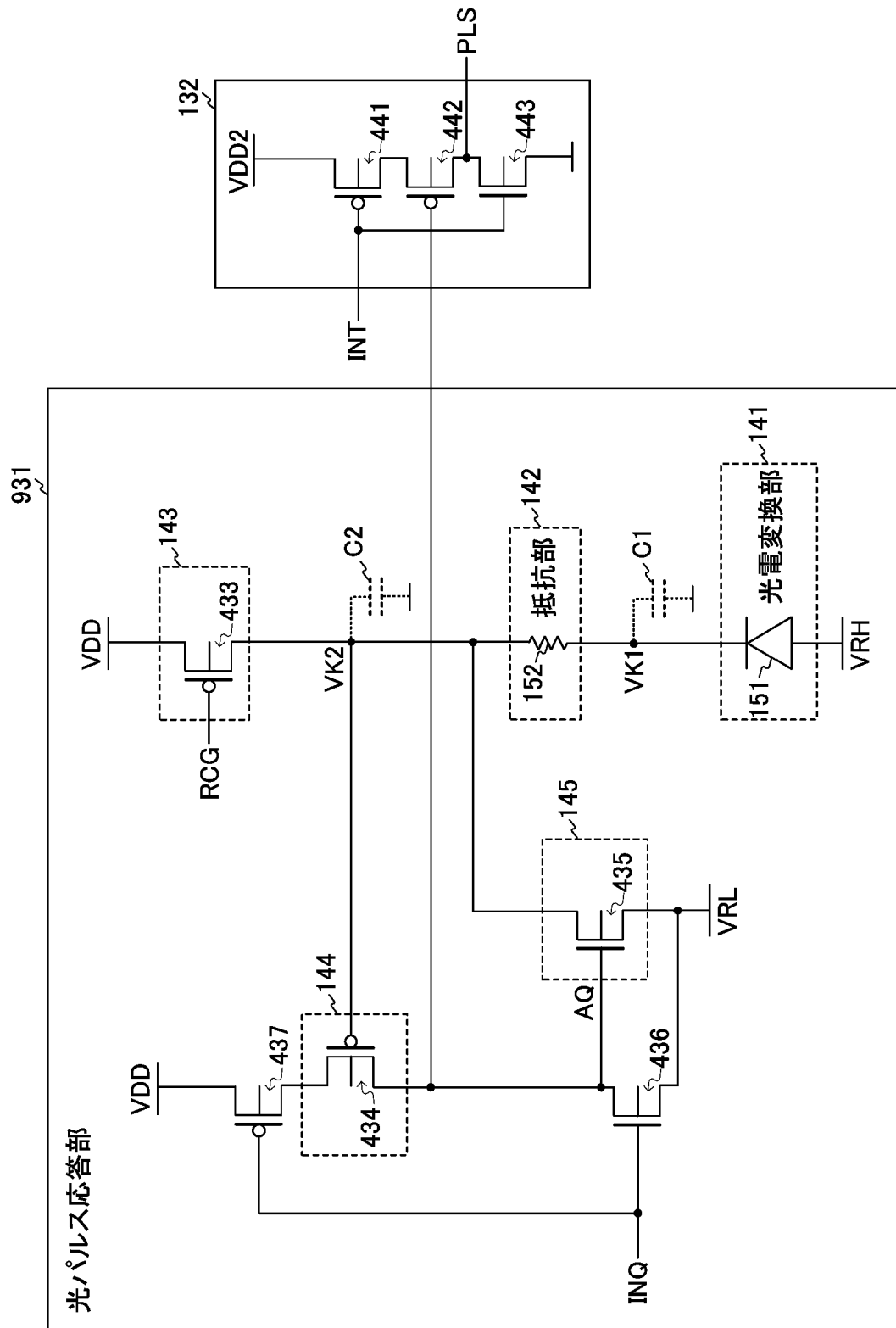
[図25]



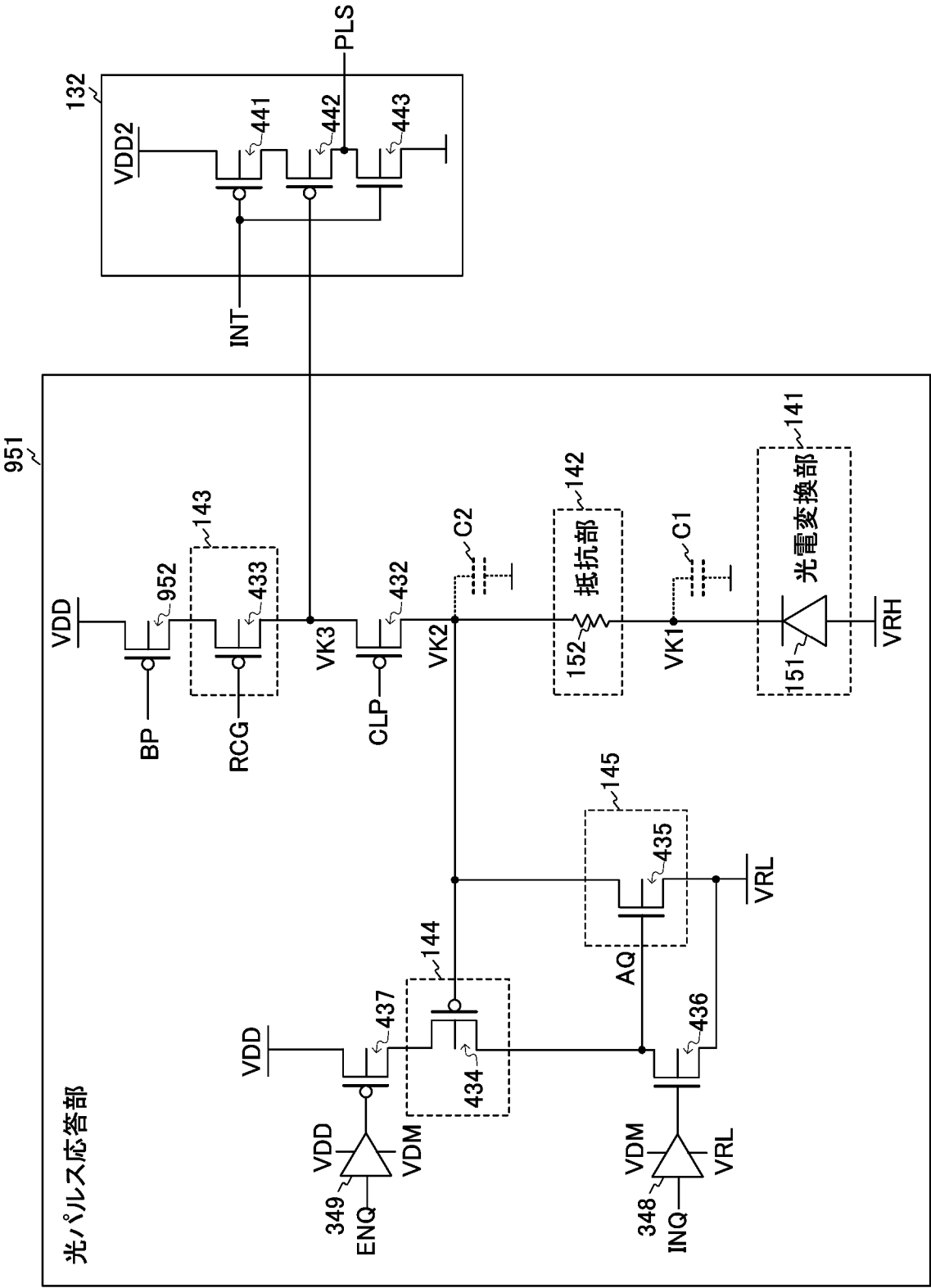
[図26]



[図27]

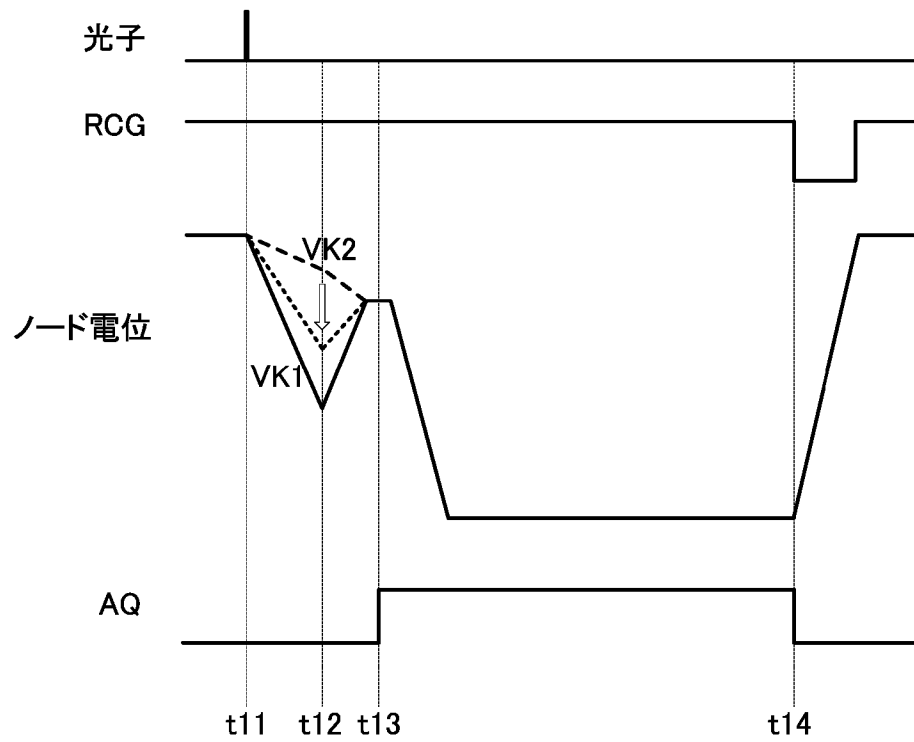


[図29]

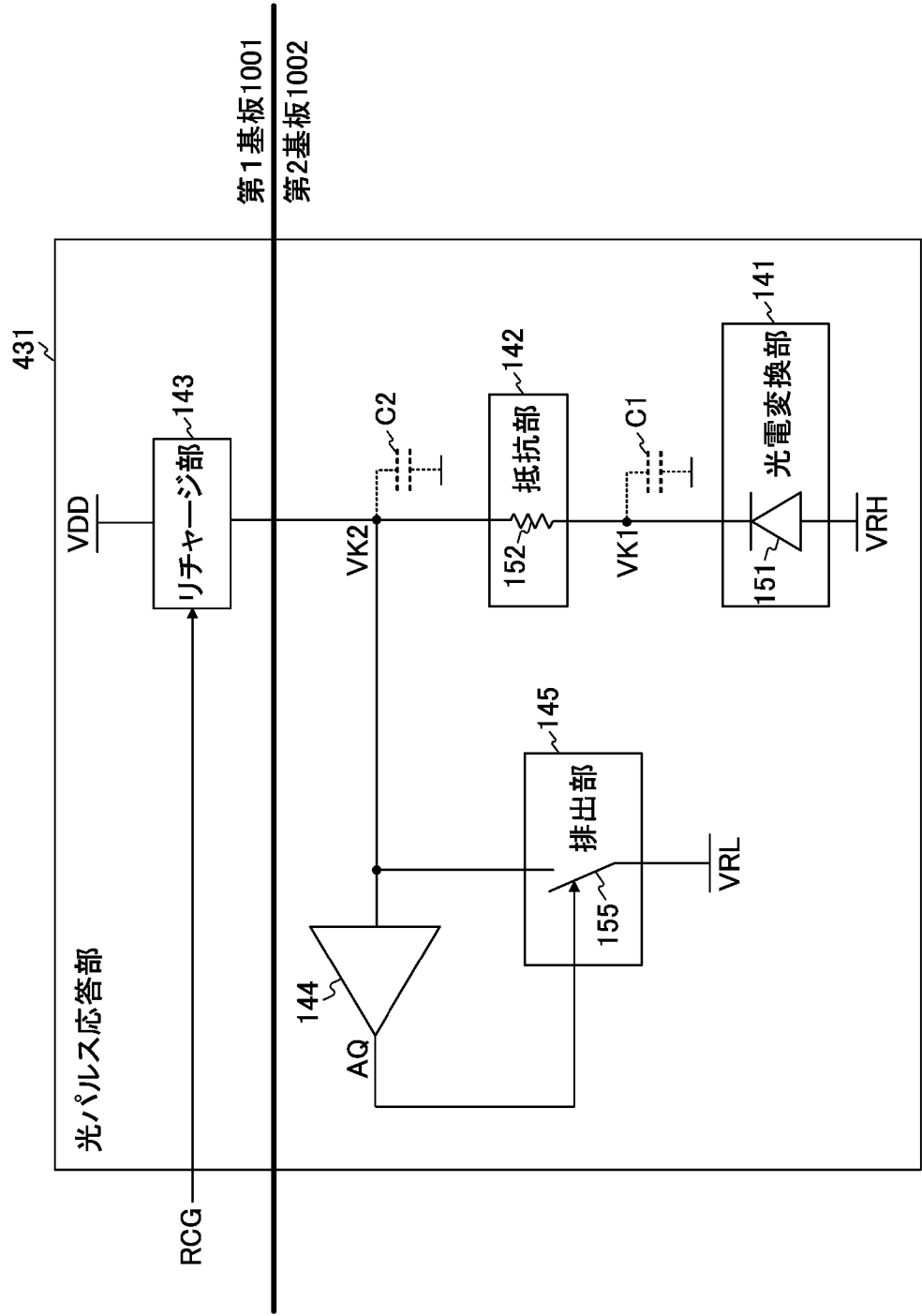


[illegible]

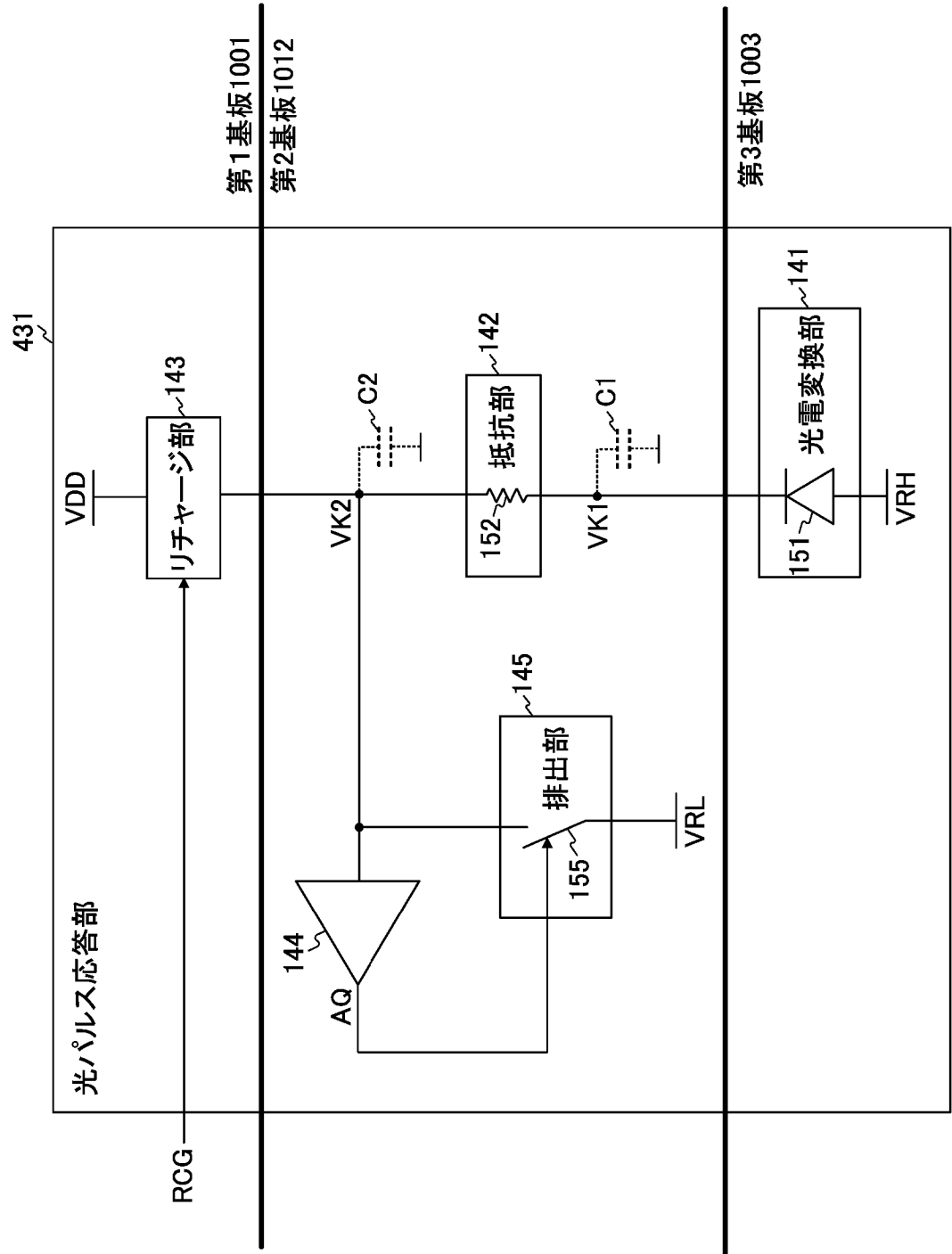
[図31]



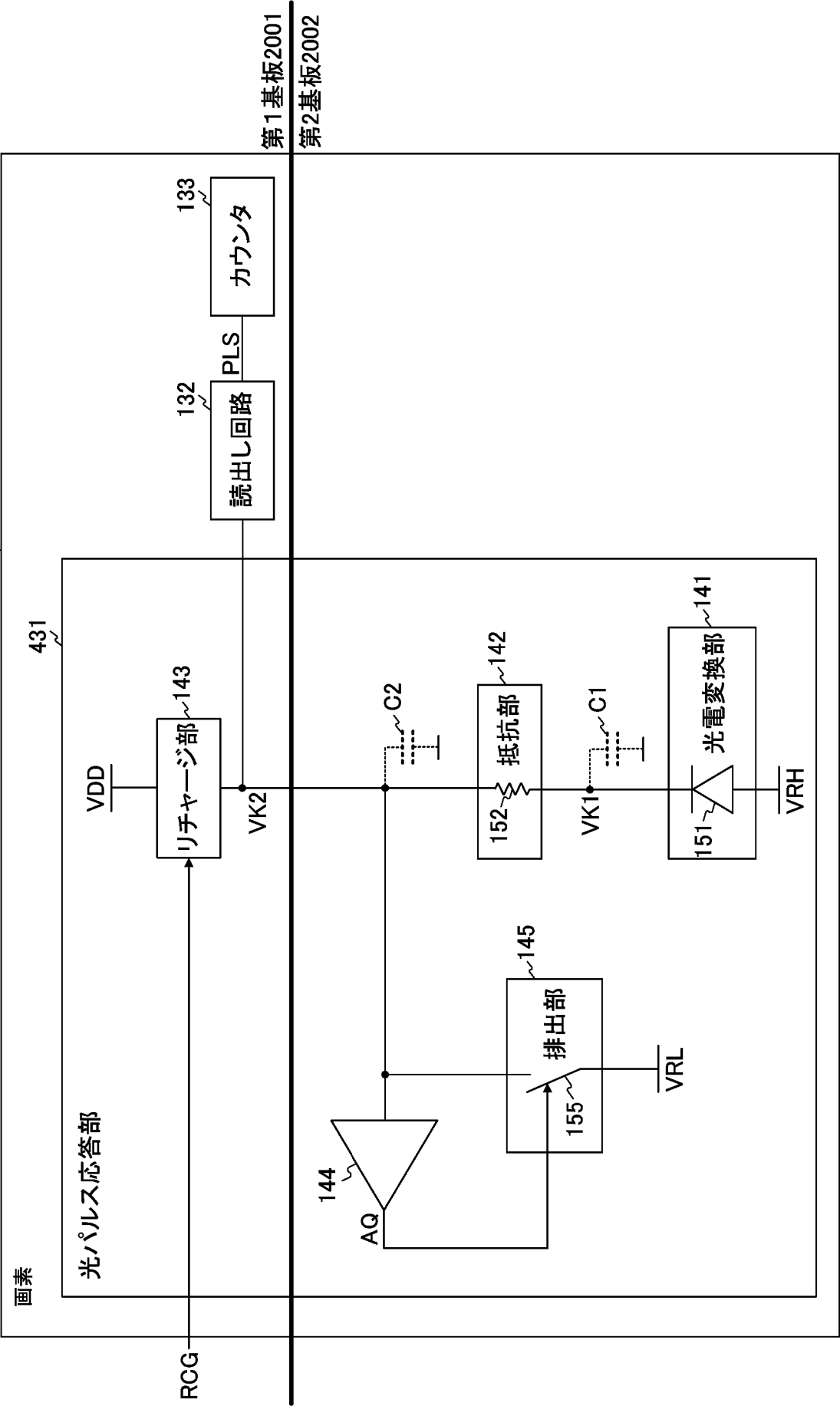
[図32]



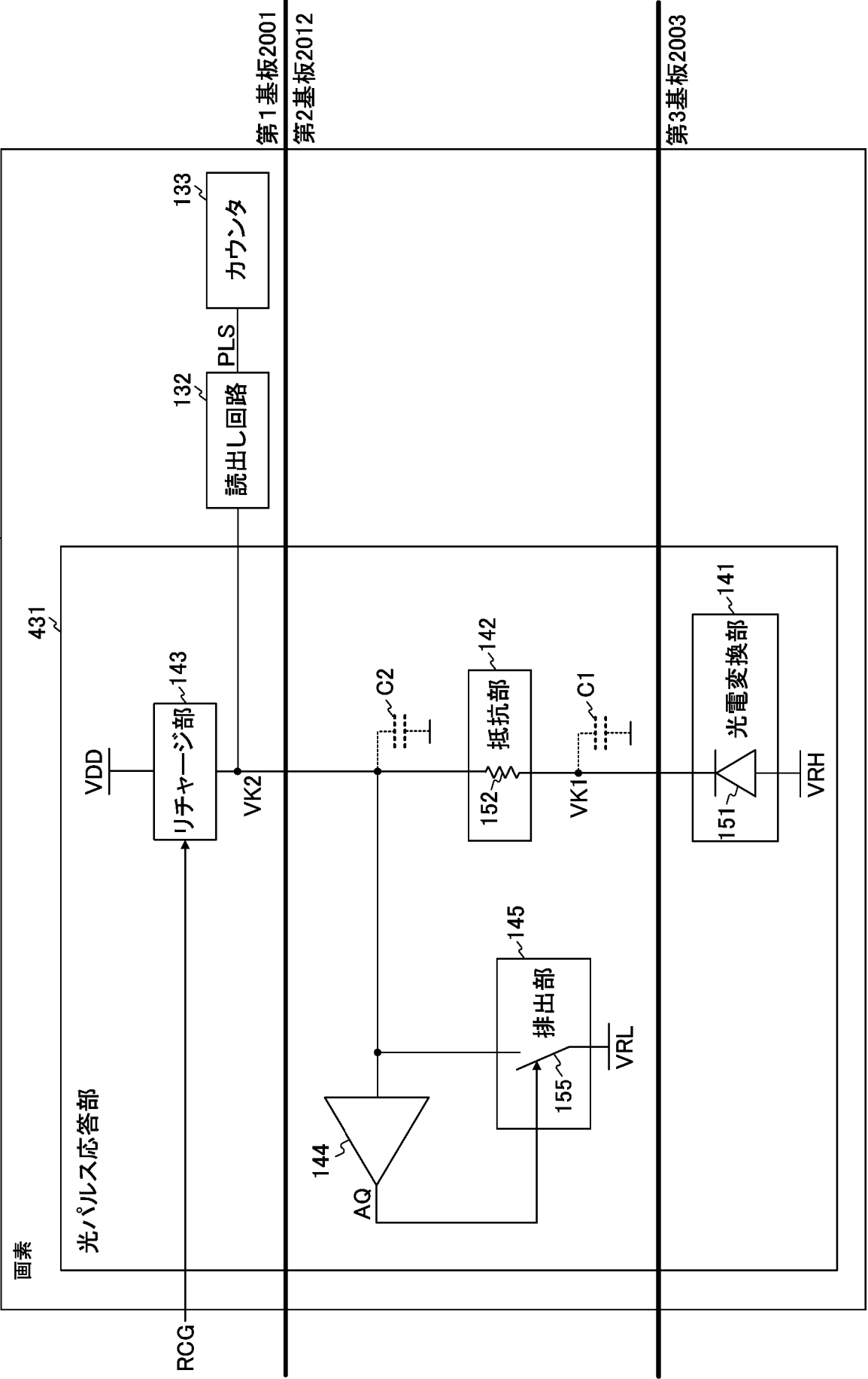
[図33]



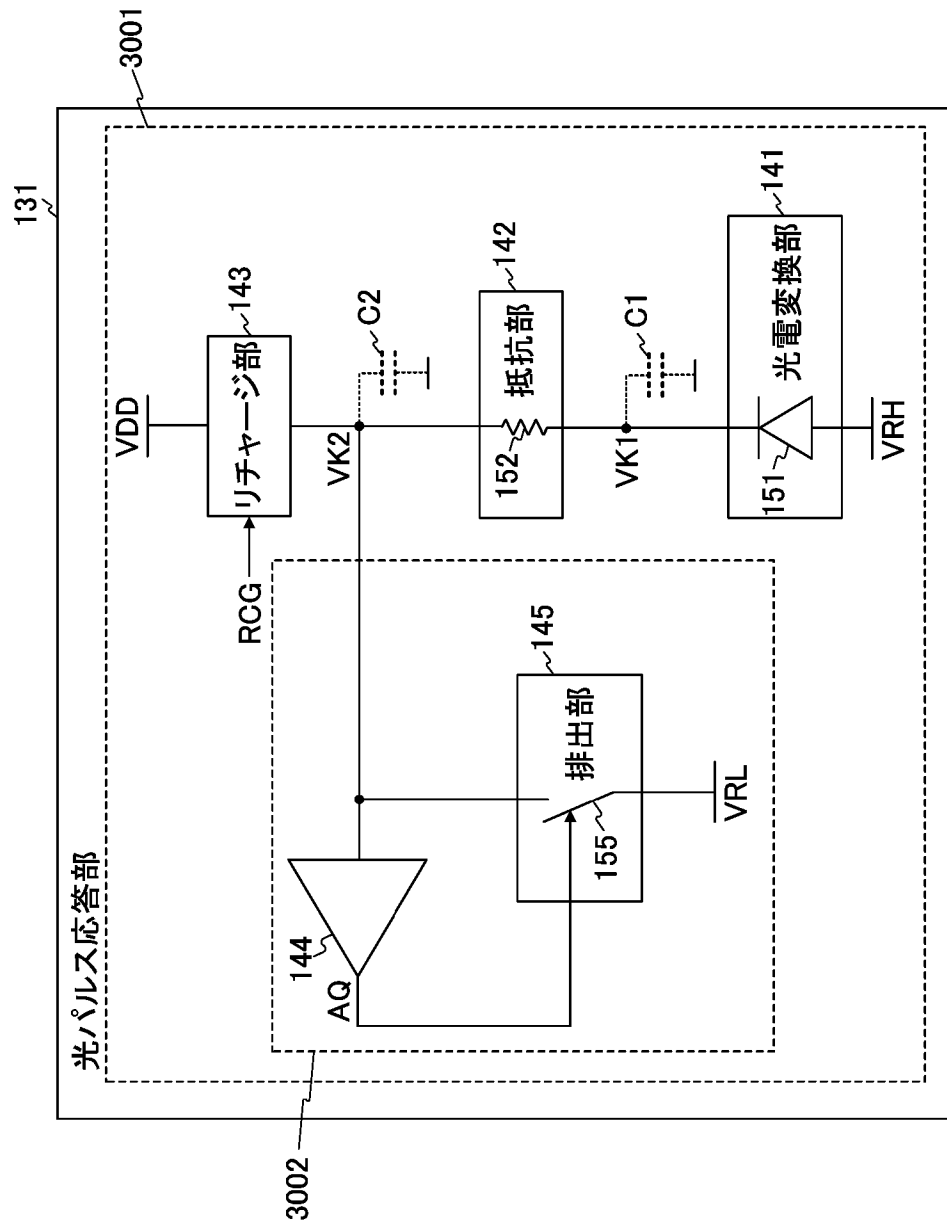
[図34]



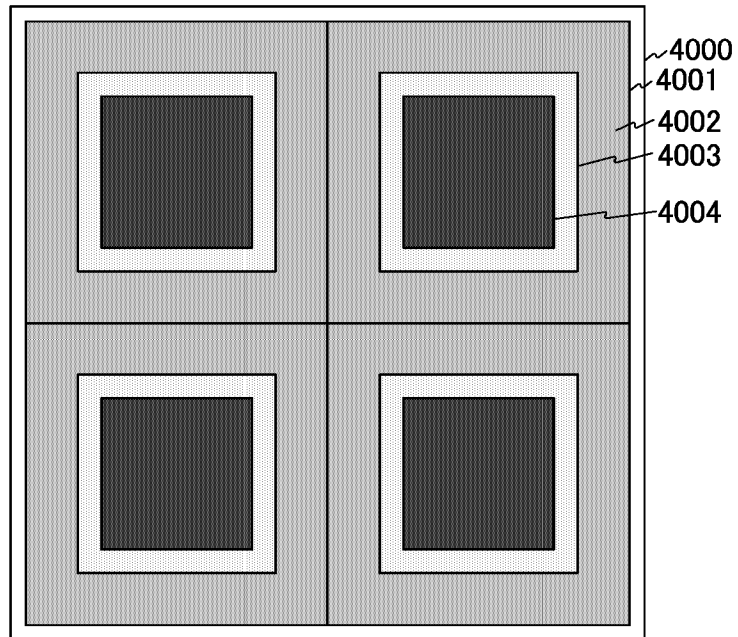
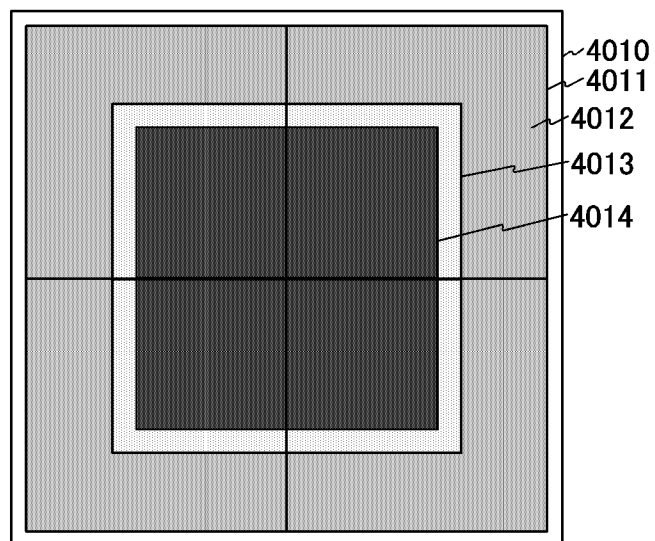
[図35]



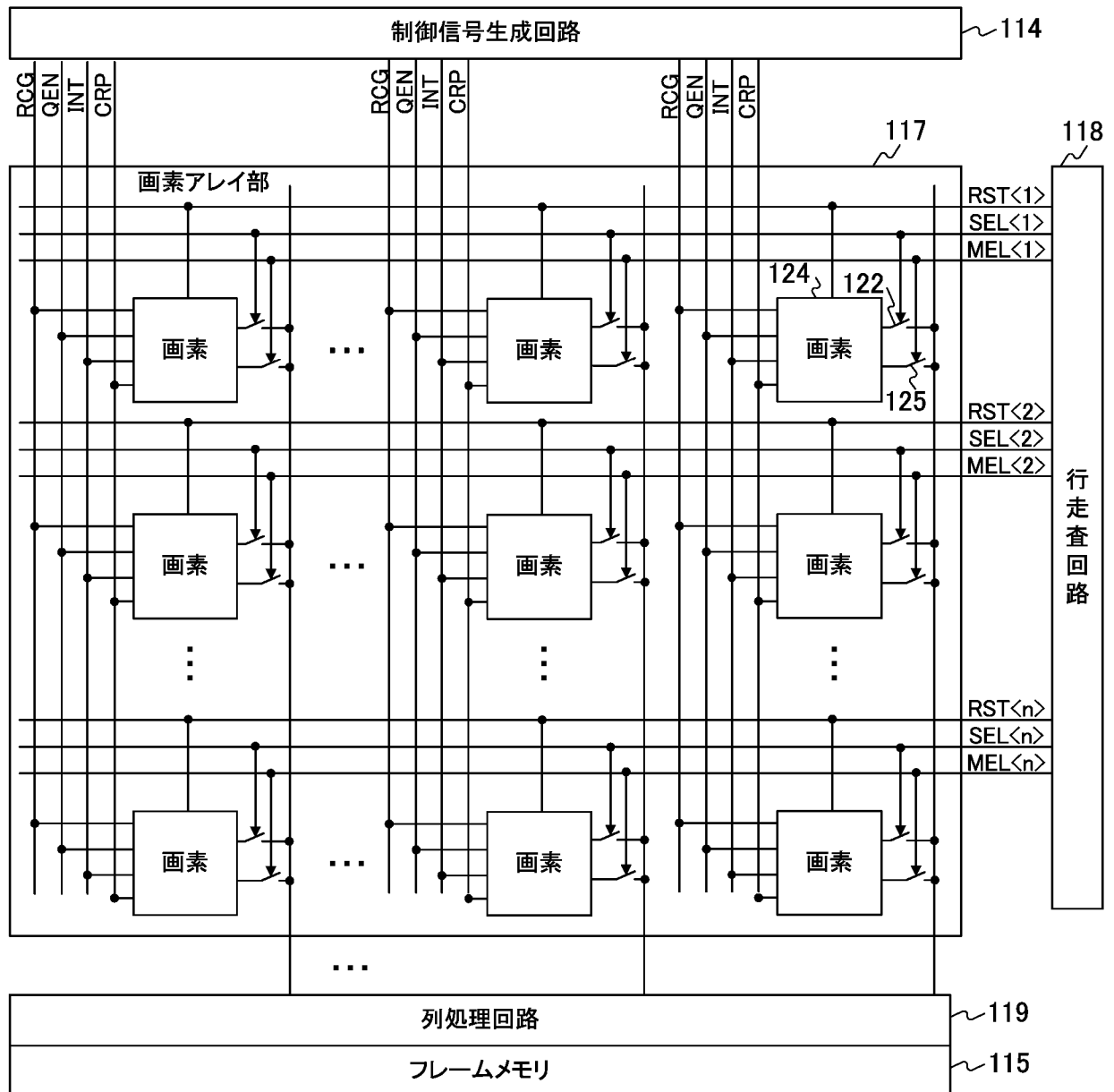
[図36]



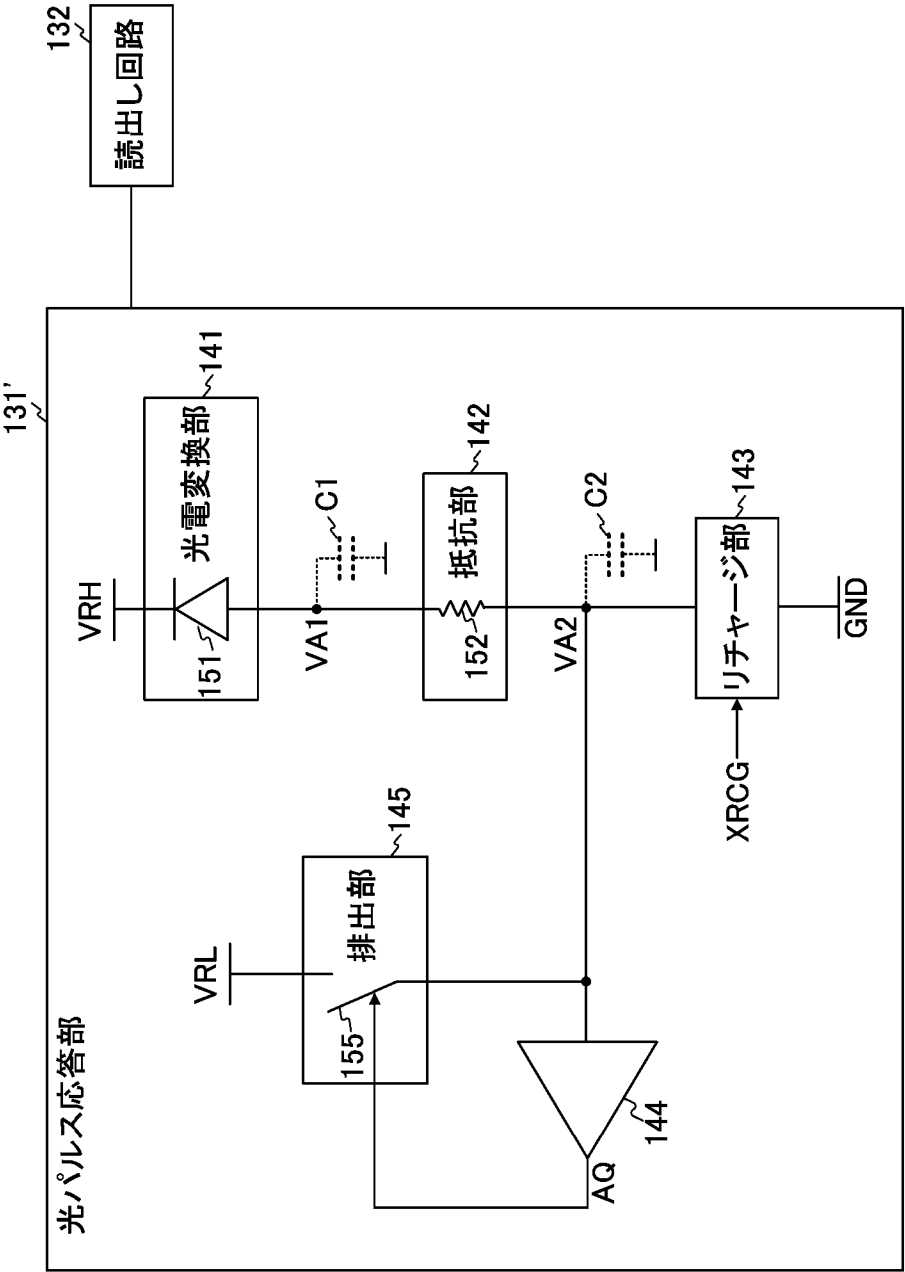
[図37]

ab

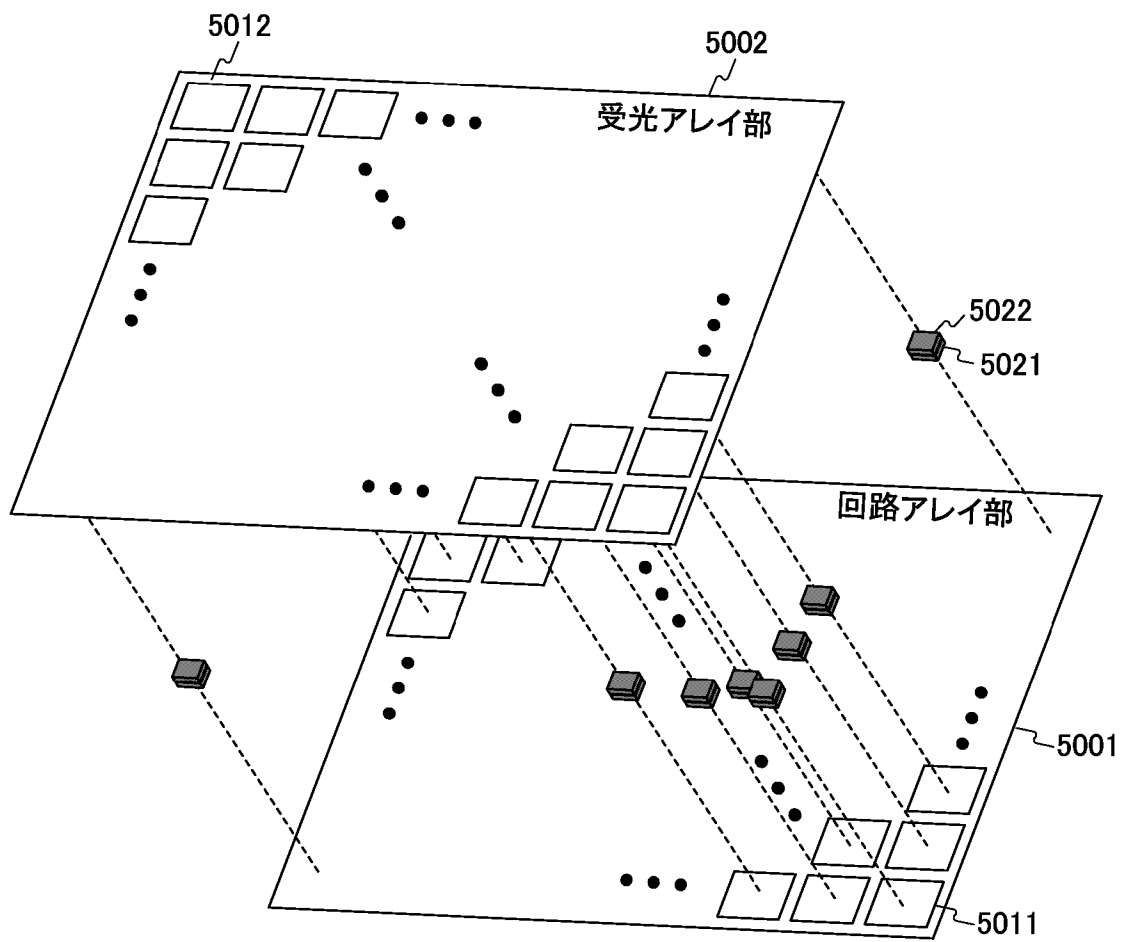
[図38]



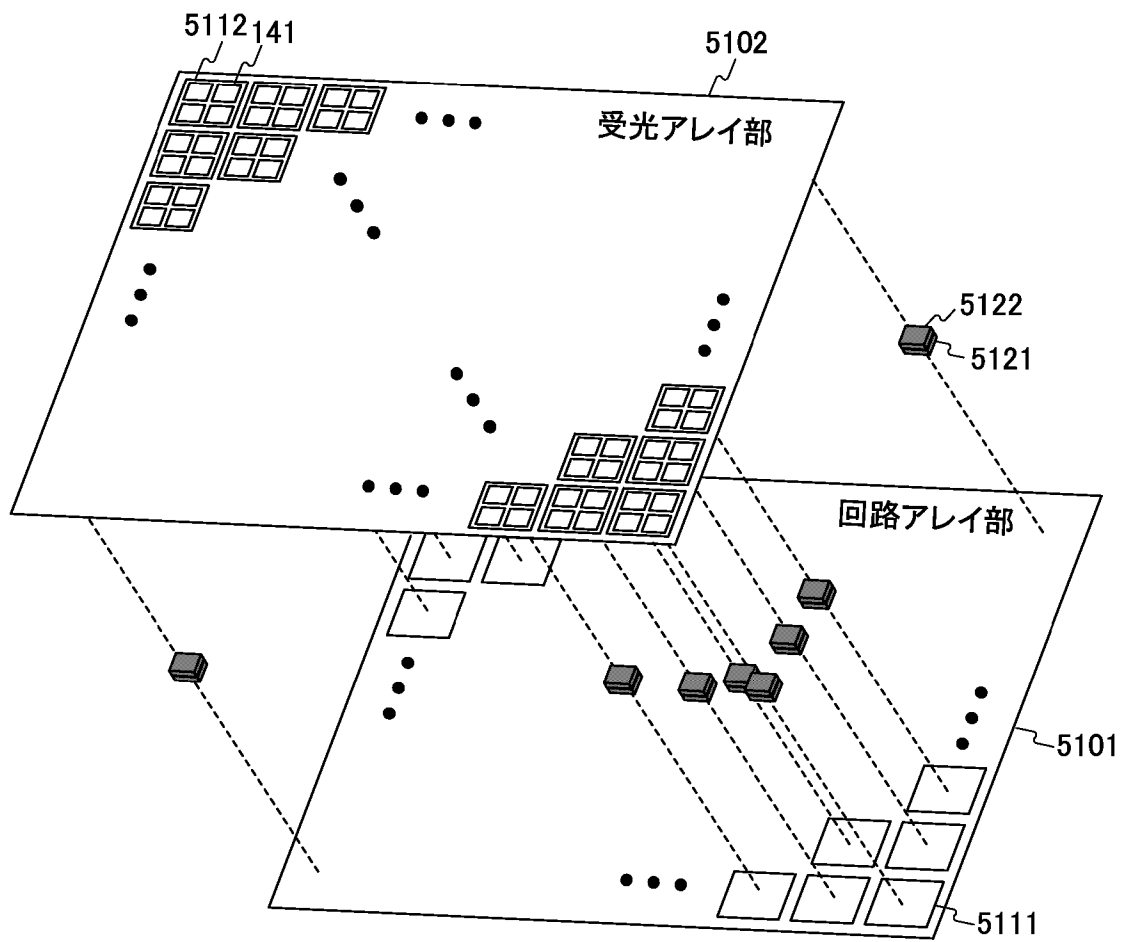
[図39]



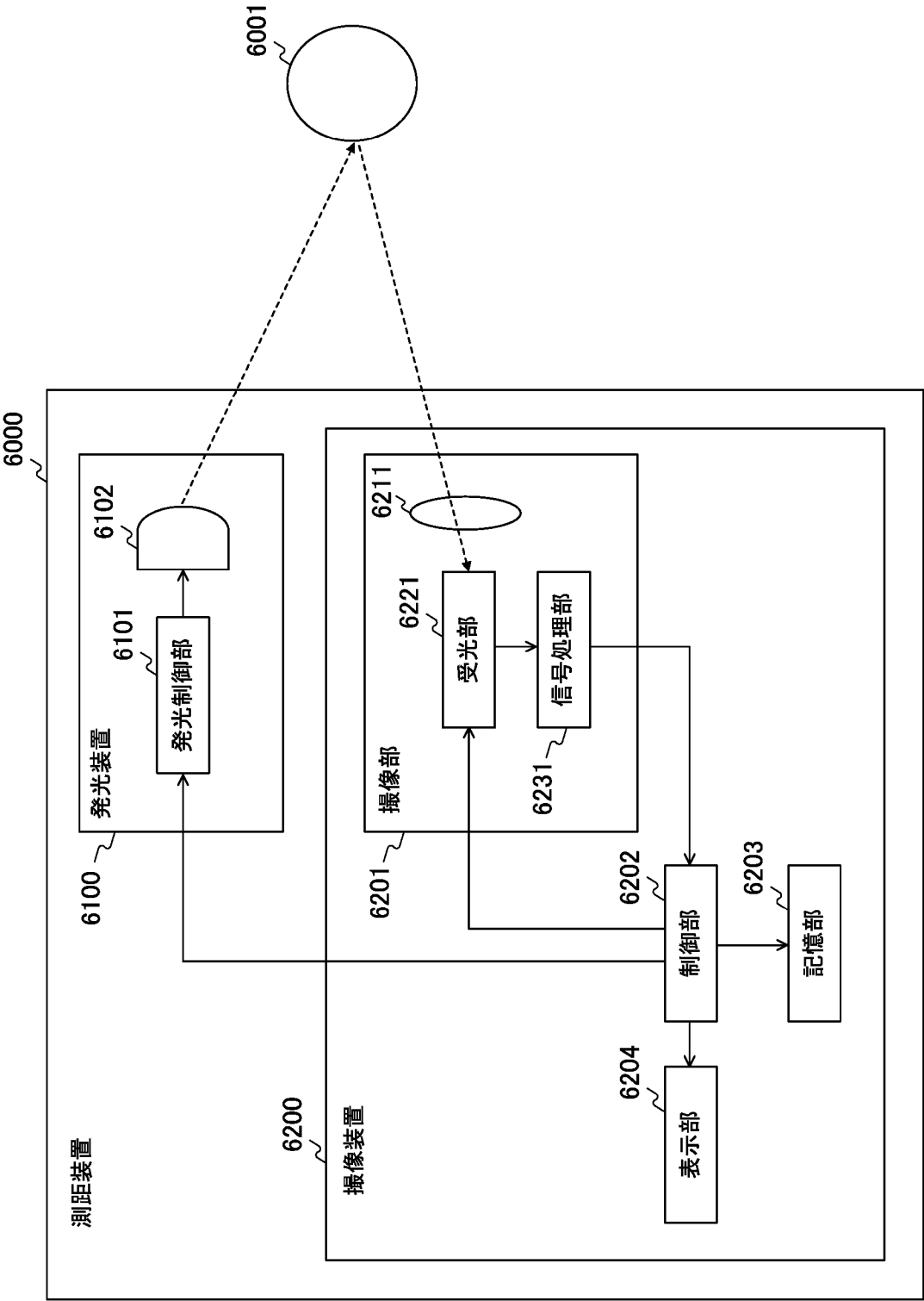
[図40]

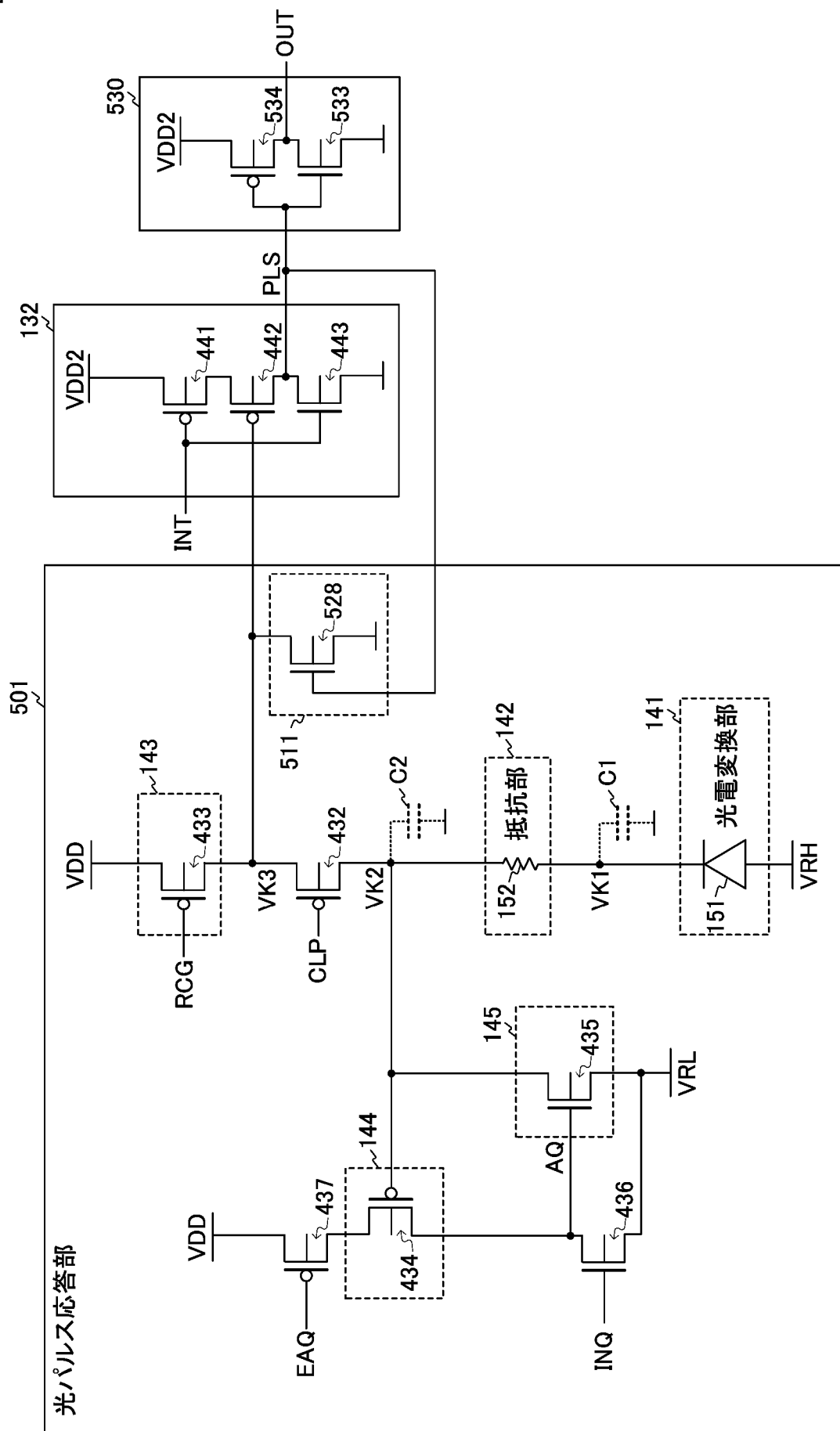


[図41]

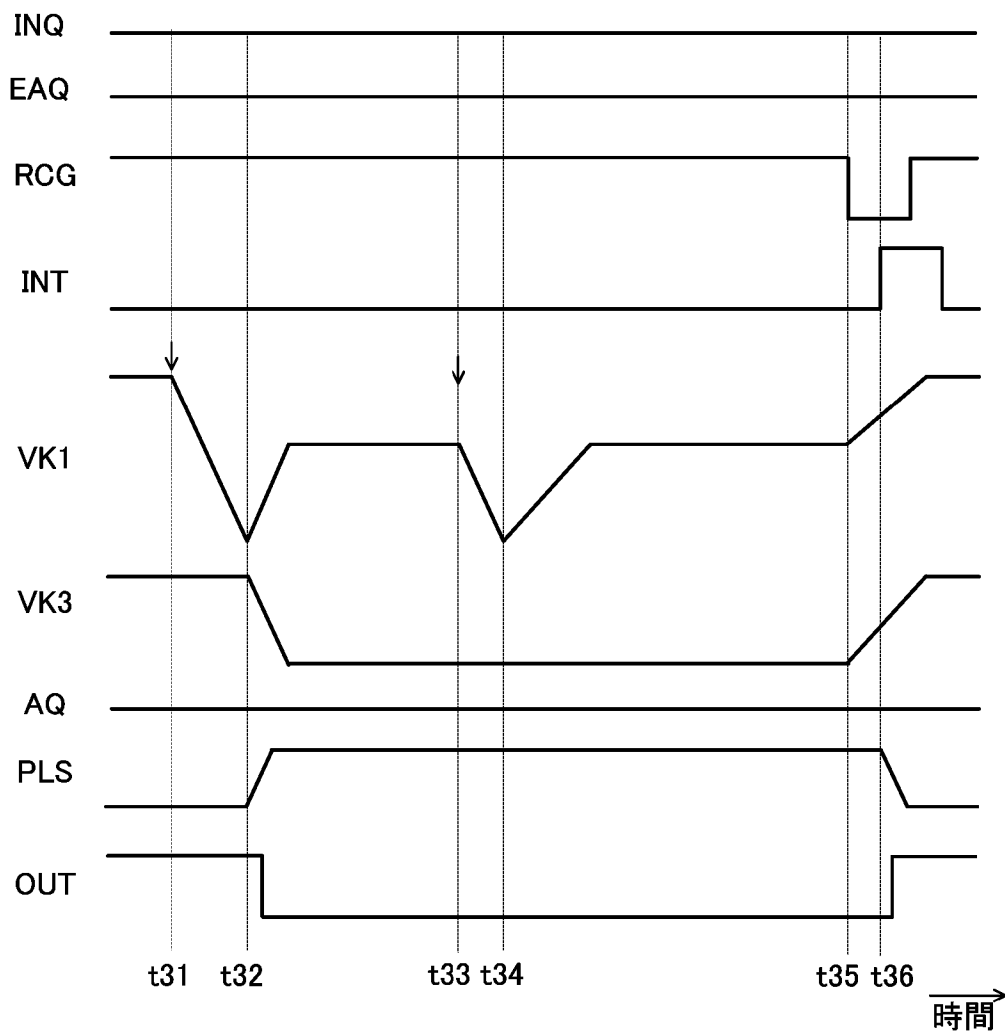


[図42]

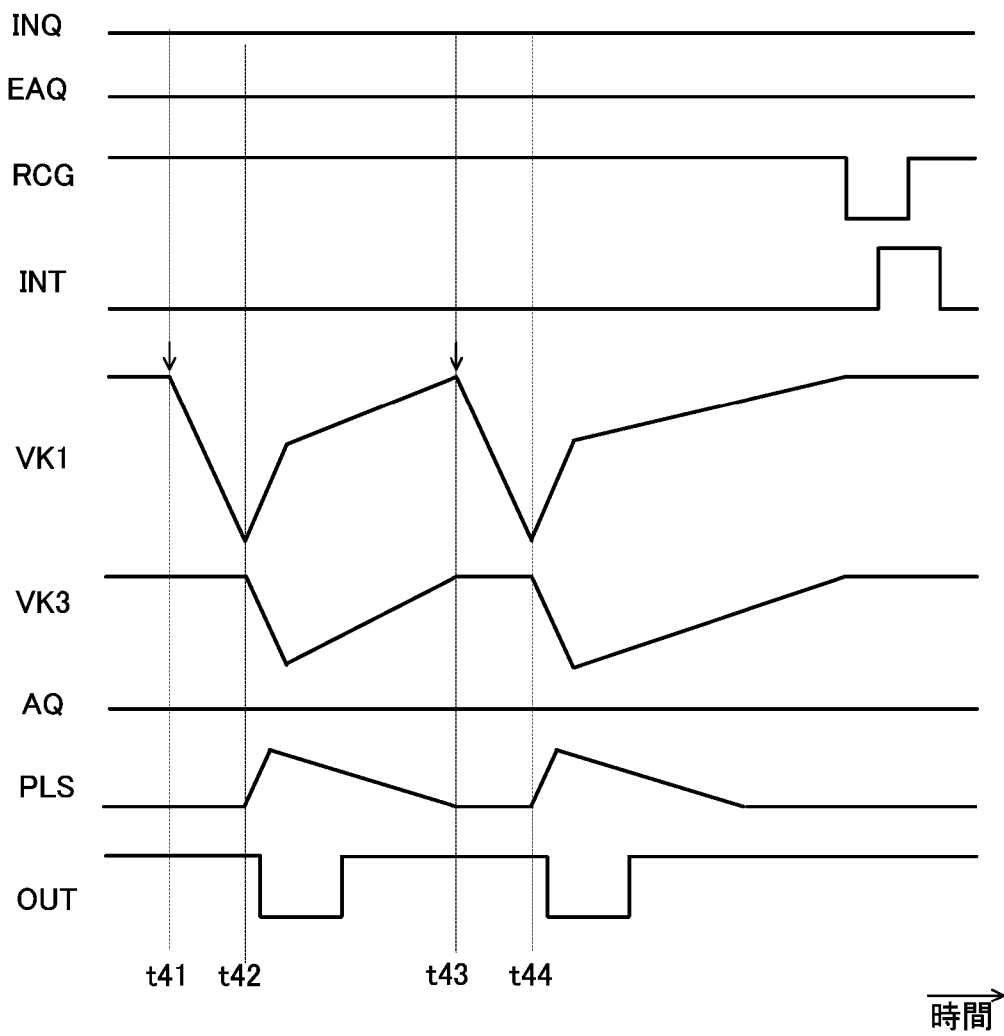




[図44]

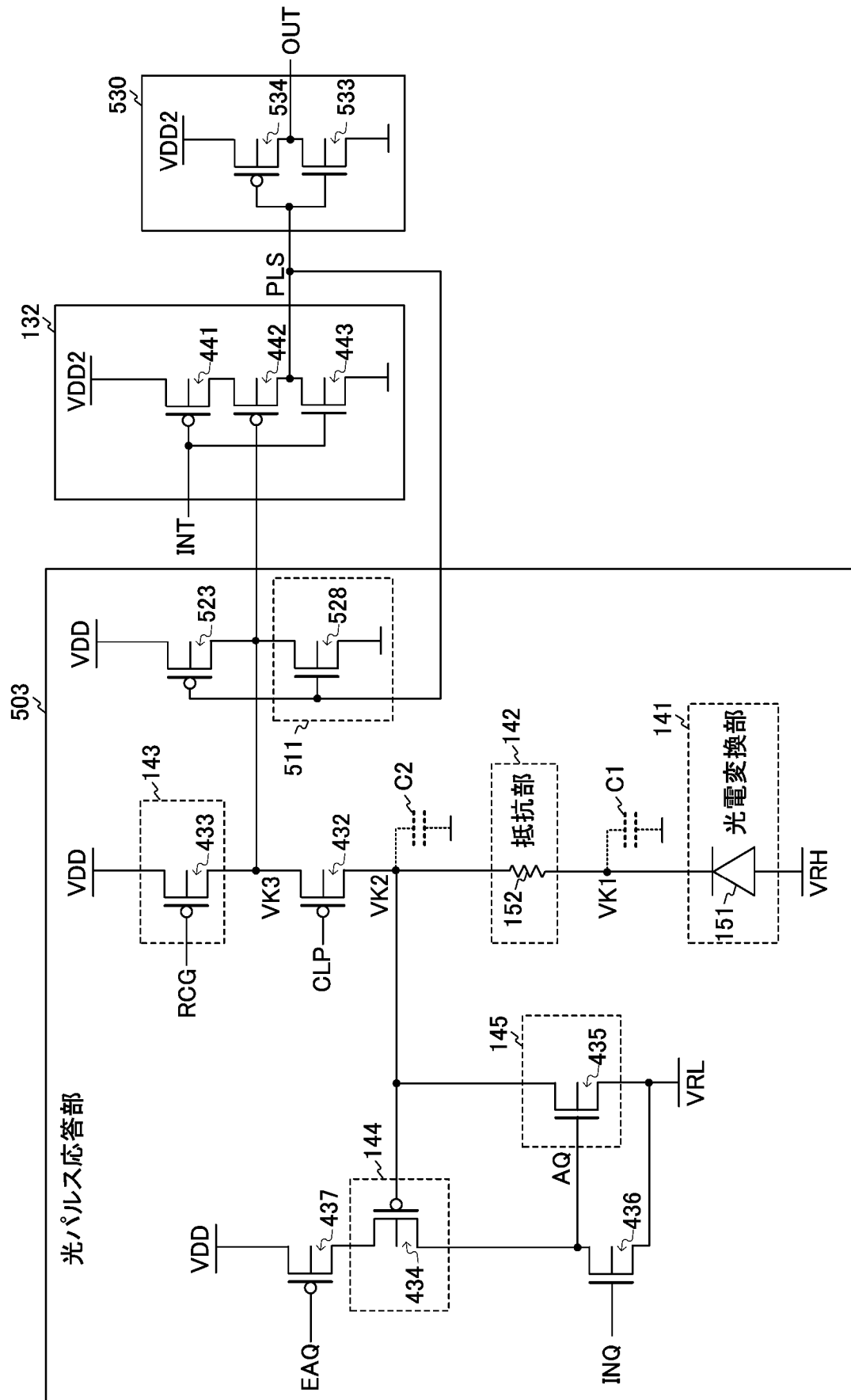


[図45]

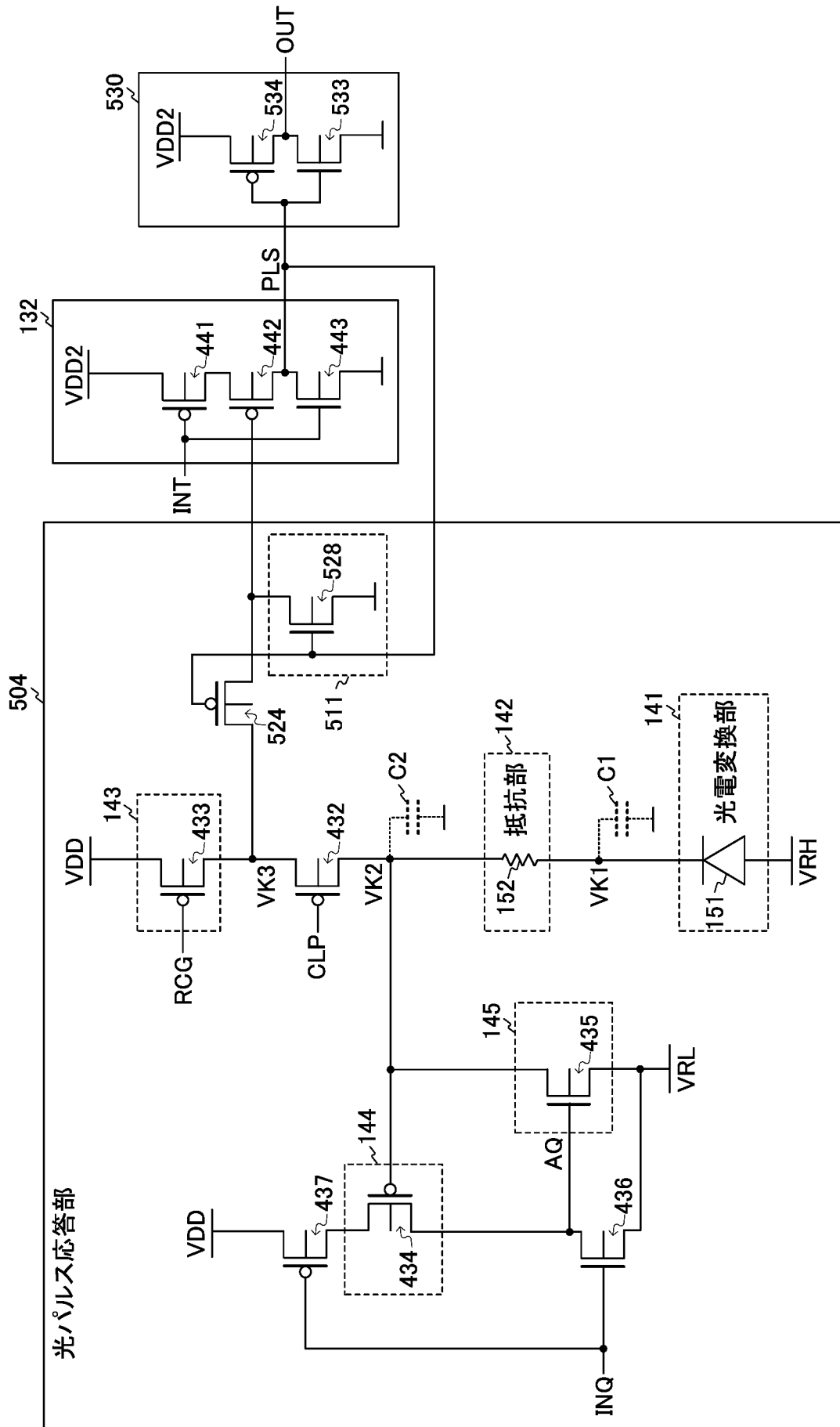


The circuit diagram illustrates a light pulse response unit 440. It is divided into several functional blocks: an input section, a feedback loop, and an output section. The input section includes transistors 433, 432, 437, 434, 435, and 436. The feedback loop consists of transistors 441, 442, 443, 512, and 529. The output section includes transistors 533 and 534. The circuit is powered by VDD and VDD2, and its output is OUT.

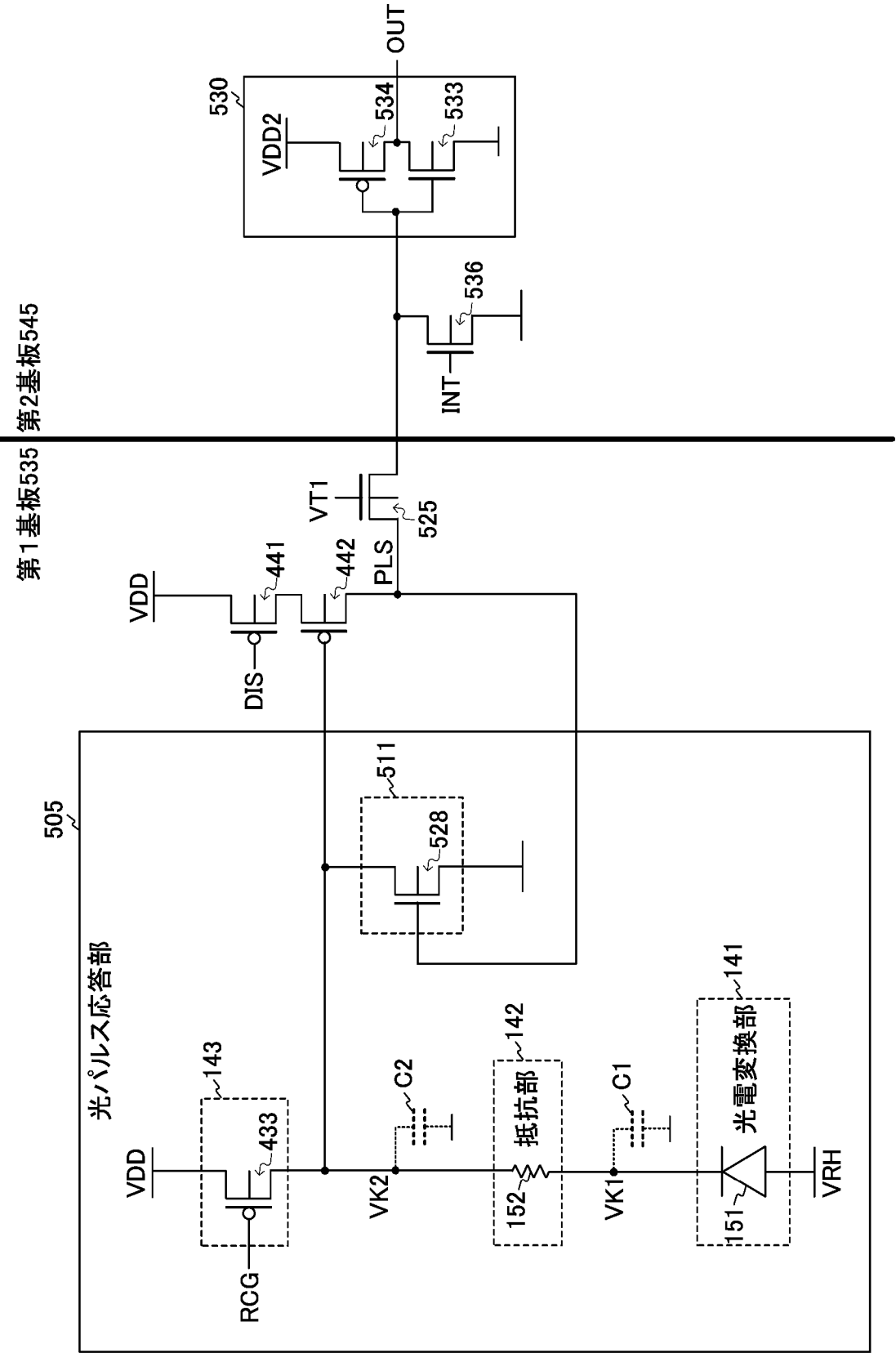
[図47]



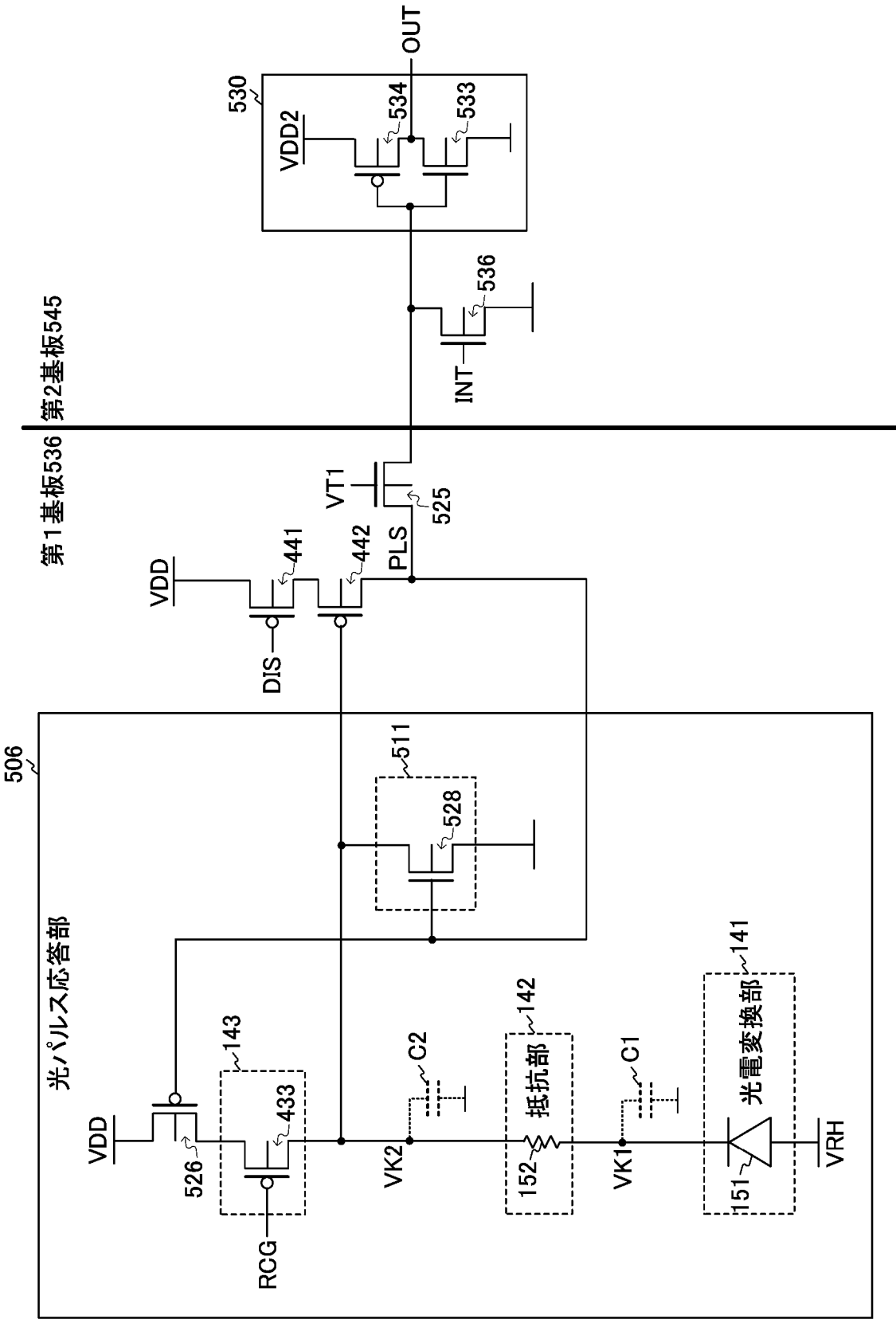
[図48]



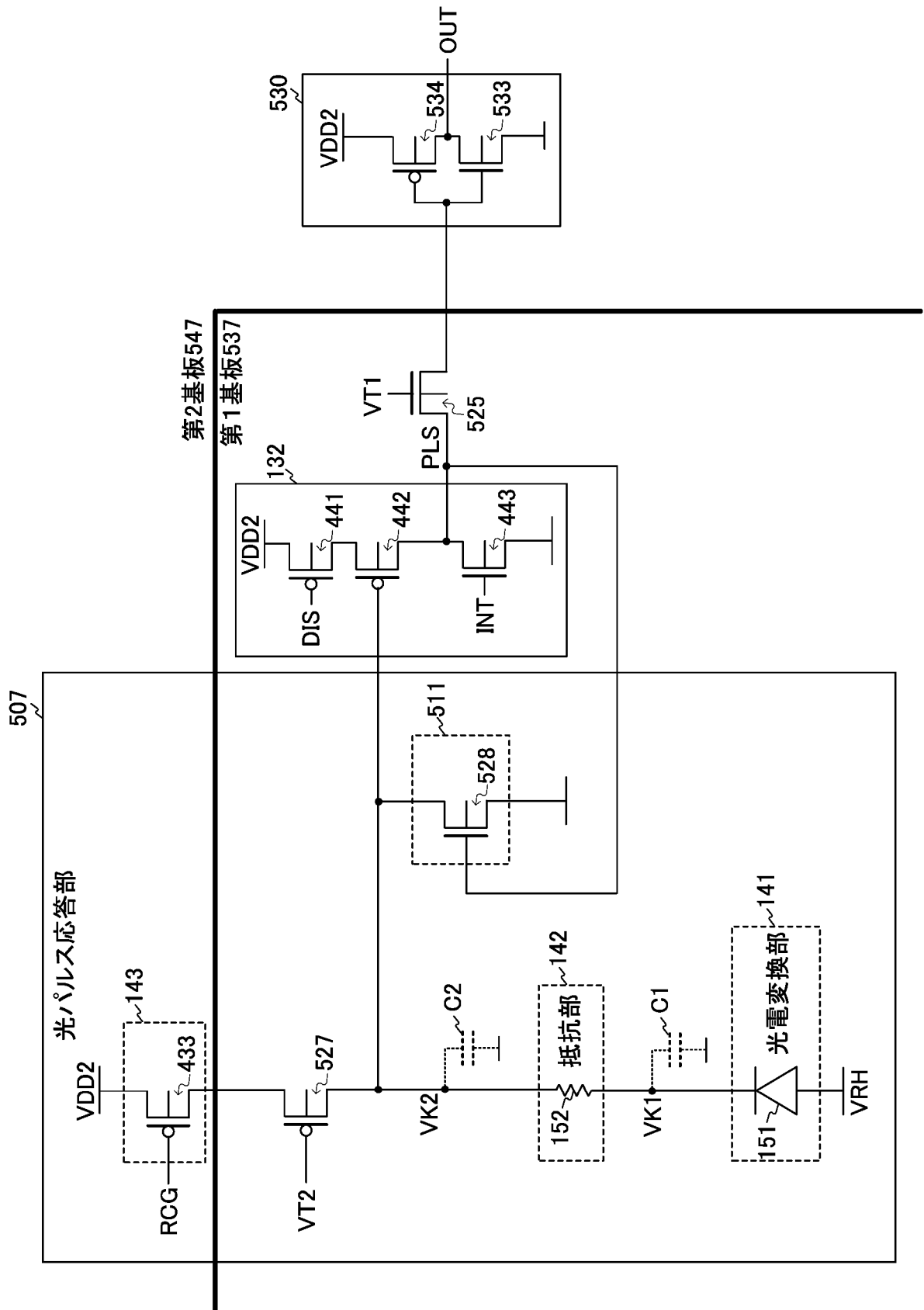
[図49]



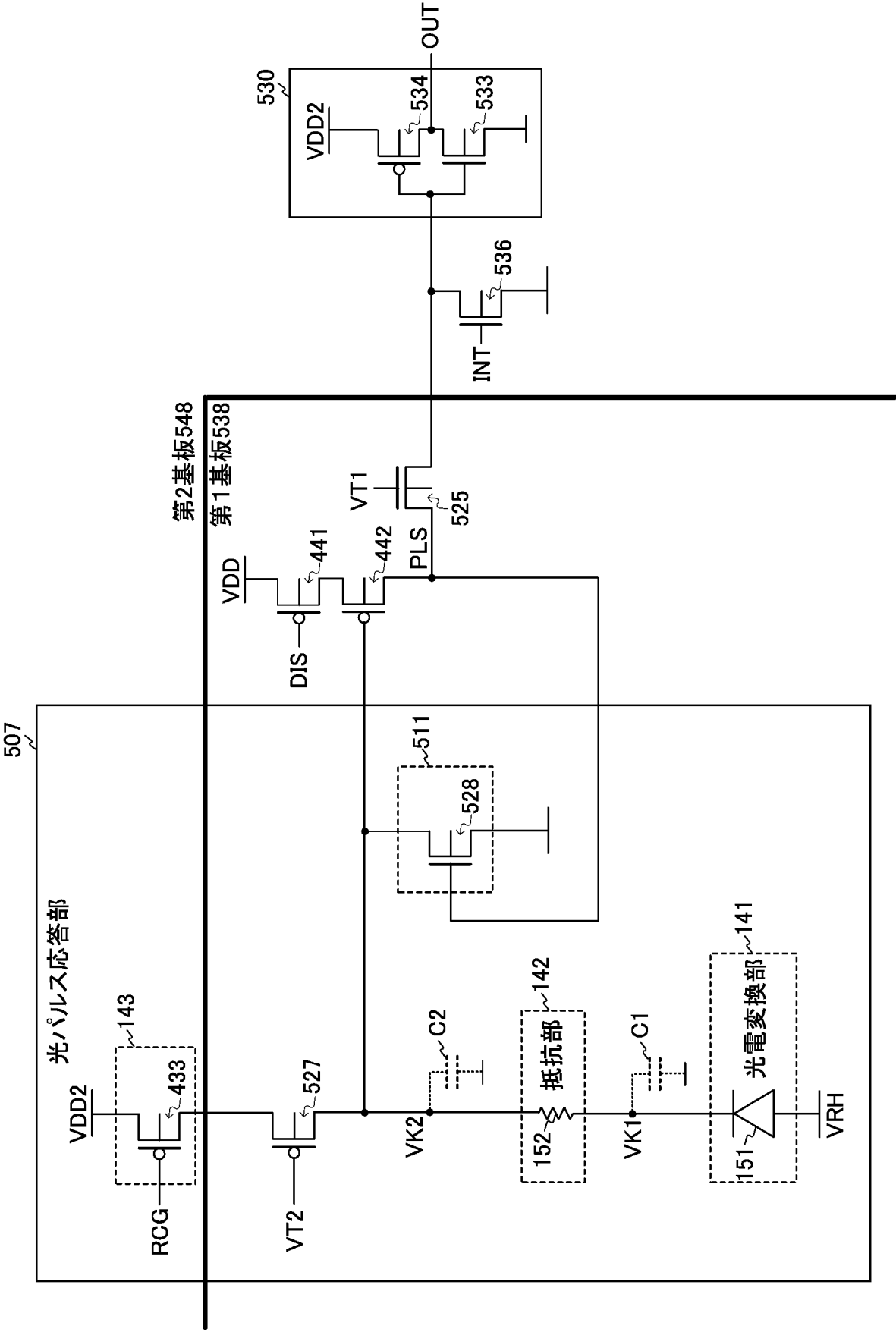
[図50]



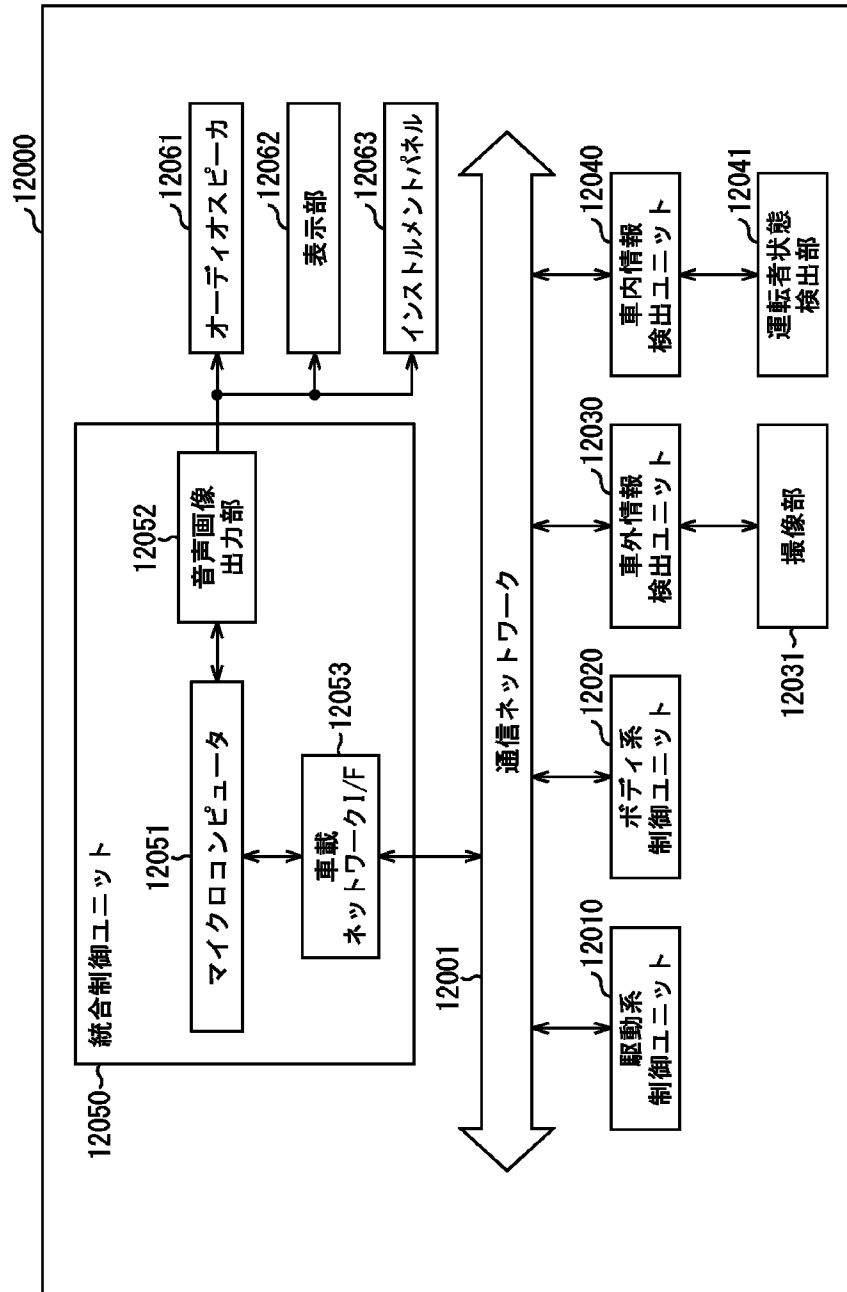
[図51]



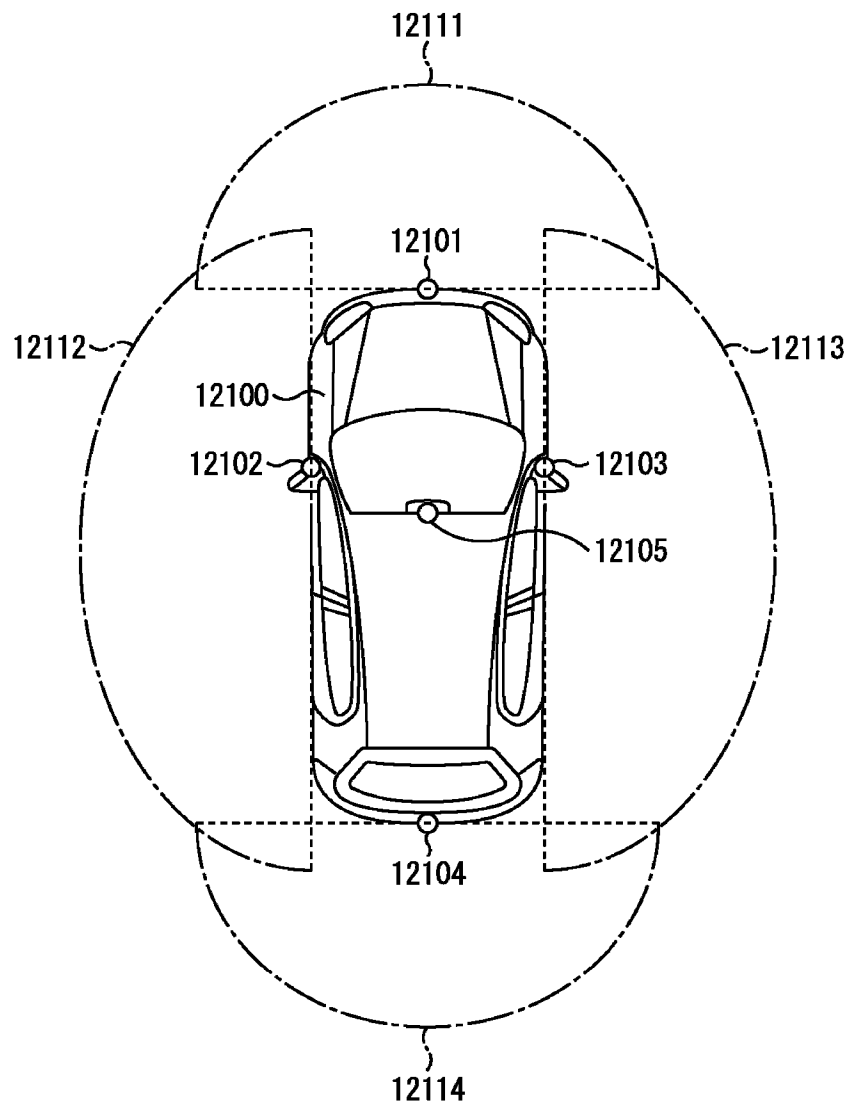
[図52]



[図53]



[図54]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/002200

A. CLASSIFICATION OF SUBJECT MATTER H04N 25/773 (2023.01)i; H01L 27/146 (2006.01)i; H01L 31/107 (2006.01)i FI: H04N25/773; H01L31/10 B; H01L27/146 A; H01L27/146 F According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04N25/773; H01L27/146; H01L31/107 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/172216 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 02 September 2021 (2021-09-02) entire text, all drawings	1-28
A	WO 2022/124019 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 16 June 2022 (2022-06-16) entire text, all drawings	1-28
A	JP 2020-094849 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 18 June 2020 (2020-06-18) entire text, all drawings	1-28
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 19 March 2024		Date of mailing of the international search report 02 April 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/002200

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021/172216	A1	02 September 2021	US	2023/0094219	A1	
				entire text, all drawings			
				EP	4113979	A1	
				CN	115023946	A	
				KR	10-2022-0147588	A	

WO	2022/124019	A1	16 June 2022	US	2023/0299114	A1	
				entire text, all drawings			
				CN	116547821	A	

JP	2020-094849	A	18 June 2020	US	2022/0026541	A1	
				entire text, all drawings			
				WO	2020/121736	A1	
				EP	3896483	A1	
				CN	112997097	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/773(2023.01)i; H01L 27/146(2006.01)i; H01L 31/107(2006.01)i
FI: H04N25/773; H01L31/10 B; H01L27/146 A; H01L27/146 F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H04N25/773; H01L27/146; H01L31/107

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2021/172216 A1（ソニーセミコンダクタソリューションズ株式会社）02.09.2021 (2021 - 09 - 02) 全文, 全図	1-28
A	WO 2022/124019 A1（パナソニックIPマネジメント株式会社）16.06.2022 (2022 - 06 - 16) 全文, 全図	1-28
A	JP 2020-094849 A（ソニーセミコンダクタソリューションズ株式会社）18.06.2020 (2020 - 06 - 18) 全文, 全図	1-28

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

19.03.2024

国際調査報告の発送日

02.04.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

鈴木 明 5V 9185

電話番号 03-3581-1101 内線 3571

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/002200

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/172216	A1	02.09.2021	US	2023/0094219	A1	
				全文, 全図			
				EP	4113979	A1	
				CN	115023946	A	
				KR	10-2022-0147588	A	

WO	2022/124019	A1	16.06.2022	US	2023/0299114	A1	
				全文, 全図			
				CN	116547821	A	

JP	2020-094849	A	18.06.2020	US	2022/0026541	A1	
				全文, 全図			
				WO	2020/121736	A1	
				EP	3896483	A1	
				CN	112997097	A	
