



## (12)发明专利

(10)授权公告号 CN 104735343 B

(45)授权公告日 2017.12.05

(21)申请号 201410790289.1

(22)申请日 2014.12.17

(65)同一申请的已公布的文献号

申请公布号 CN 104735343 A

(43)申请公布日 2015.06.24

(30)优先权数据

2013-261842 2013.12.18 JP

(73)专利权人 佳能株式会社

地址 日本东京都大田区下丸子3-30-2

(72)发明人 前田昌峰

(74)专利代理机构 北京怡丰知识产权代理有限公司

公司 11293

代理人 迟军

(51)Int.Cl.

H04N 5/232(2006.01)

H04N 5/76(2006.01)

H04N 9/04(2006.01)

(56)对比文件

CN 1728630 A, 2006.02.01,

US 7079172 B2, 2006.07.18,

US 2010/0110291 A1, 2010.05.06,

CN 102124451 A, 2011.07.13,

JP 2009205298 A, 2009.09.10,

审查员 石婷婷

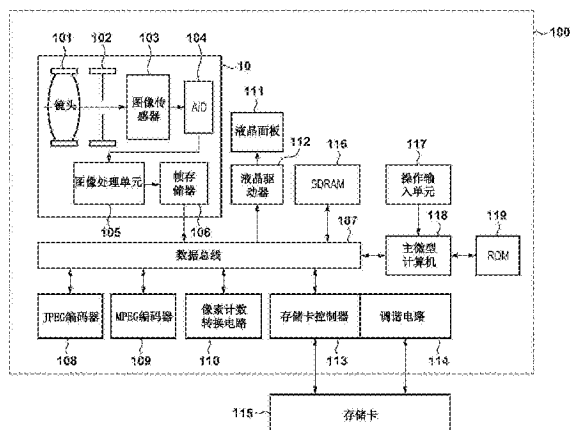
权利要求书2页 说明书9页 附图6页

(54)发明名称

数据处理装置和数据处理方法

(57)摘要

本发明提供数据处理装置和数据处理方法。所述数据处理装置向记录介质发送时钟信号,向所述记录介质发送命令,并且响应于通过将所述时钟信号延迟而获得的定时信号,接收从所述记录介质输出的数据。所述装置向所述记录介质发送包括预定模式的预定数据串中的发送命令,并且接收从所述记录介质输出的预定数据。所述装置基于所述预定数据串接收结果,在第一模式或第二模式下调整所述定时信号的延迟量。所述接收结果基于各自包括在第一模式下在第一范围内并且在第二模式下在比所述第一范围窄的第二范围内的延迟量的定时信号。



1. 一种数据处理装置,其包括:

发送单元,被构造为向记录介质发送时钟信号;

通信单元,被构造为向所述记录介质发送命令,并且响应于通过将所述时钟信号延迟而获得的定时信号,接收从所述记录介质输出的数据;以及

控制单元,被构造为控制所述通信单元发送用于请求所述记录介质发送具有预定模式的预定数据串的发送命令,并且接收从所述记录介质输出的所述预定数据串,并且

其中,所述控制单元基于所述通信单元接收所述预定数据串的结果,进行调整所述定时信号的延迟量的调整处理,并且

所述控制单元具有包括第一模式和第二模式的多个模式,在所述第一模式下,基于所述通信单元响应于各自具有第一范围内的延迟量的多个定时信号而接收所述预定数据串的结果,调整所述定时信号的延迟量;在所述第二模式下,基于所述通信单元响应于各自具有比所述第一范围窄的第二范围内的延迟量的多个定时信号而接收所述预定数据串的结果,调整所述定时信号的延迟量。

2. 根据权利要求1所述的数据处理装置,其中,所述控制单元基于通过在所述第一模式下执行的所述调整处理确定的延迟量,决定所述第二范围。

3. 根据权利要求1所述的数据处理装置,其中,所述控制单元将比从所述记录介质输出的数据的过渡时间段长的时间段,设置为所述第二范围。

4. 根据权利要求1所述的数据处理装置,所述数据处理装置还包括:

获得单元,被构造为获得图像数据,并且

其中,所述控制单元根据所述图像数据的记录指示,控制所述通信单元向所述记录介质发送所述图像数据的记录命令以及所述图像数据,并且

所述控制单元在进行所述记录介质的安装处理与所述图像数据的所述记录指示之间,在所述第一模式下进行所述调整处理,并且在所述第一模式下的所述调整处理之后,在所述第二模式下进行所述调整处理。

5. 根据权利要求4所述的数据处理装置,其中,所述控制单元在所述获得单元进行记录所述图像数据的处理的同时,在所述第二模式下进行所述调整处理。

6. 根据权利要求4所述的数据处理装置,其中,所述控制单元在所述图像数据被发送到所述记录介质之前,在所述第二模式下进行所述调整处理。

7. 根据权利要求4所述的数据处理装置,其中,在通过对用于所述记录指示的操作件进行一个操作而记录一帧的所述图像数据的情况下,所述控制单元根据所述记录指示,在所述第一模式下进行所述调整处理。

8. 根据权利要求4所述的数据处理装置,其中,在通过对用于所述记录指示的操作件进行一个操作而输出多个记录指示,并且记录多帧的所述图像数据的情况下,所述控制单元根据所述多个记录指示中的第一记录指示,在所述第二模式下进行所述调整处理。

9. 根据权利要求8所述的数据处理装置,其中,在通过所述多个记录指示中的第二或后续记录指示来记录所述图像数据的情况下,所述控制单元不在所述第二模式下进行所述调整处理。

10. 根据权利要求1所述的数据处理装置,其中,所述控制单元在电源接通指示与将数据记录到所述记录介质上的记录指示之间,在所述第一模式下进行所述调整处理。

11. 一种数据处理方法,其包括:

向记录介质发送时钟信号;

响应于通过将所述时钟信号延迟而获得的定时信号,接收从所述记录介质输出的数据;

请求所述记录介质发送具有预定模式的预定数据串,并且接收从所述记录介质输出的所述预定数据串;以及

基于接收所述预定数据串的结果,调整所述定时信号的延迟量,

其中,所述调整具有包括第一模式和第二模式的多个模式,在所述第一模式下,基于响应于各自具有第一范围内的延迟量的多个定时信号而接收的所述预定数据串的接收结果,调整所述定时信号的延迟量;在所述第二模式下,基于响应于各自具有比所述第一范围窄的第二范围内的延迟量的多个定时信号而接收的所述预定数据串的接收结果,调整所述定时信号的延迟量。

## 数据处理装置和数据处理方法

### 技术领域

[0001] 本发明涉及数据处理装置和数据处理方法。

### 背景技术

[0002] 传统上,当从诸如SD卡的存储卡中读取数据时,从卡的数据发送相对于由主机对卡给定的时钟的延迟量是标准化的固定值。因此,通过在相对于从卡发送的时钟延迟预定量的定时,锁存从卡发送的数据,主机侧能够成功地从卡接收数据并且访问卡,而不会产生任何问题。

[0003] 然而,近来,因为用于存储卡和主机之间的数据发送/接收的时钟的速度,随着存储卡的访问速度的增加而增加,因此无法将前述延迟量定义为固定值。由于该原因,作为SD存储卡的高速标准的UHS-1(Ultra High Speed-1(超高速-1))定义当使用预定频率的时钟时,需要进行数据锁存定时调整。将这种锁存定时调整操作称为调谐(参见日本特开第2011-134009号公报)。

[0004] 然而,用于锁存数据的时钟的延迟量根据诸如卡温度的外部因素而改变。因此,如果例如当在卡中连续写入数据时,重复进行长时间的卡访问,则延迟量随着卡温度的变化而变化,可能导致数据读取/写入失败。在这种情况下,考虑再次进行调谐处理。然而,由于在进行调谐的同时,无法从卡中读取数据/将数据写入卡中,因此多于所需要的调谐会导致传输速率降低。

### 发明内容

[0005] 考虑到上述问题作出了本发明,即使在延迟量改变的使用条件下,本发明也能够在防止到记录介质上的数据传输速率降低的同时,确保访问可靠性。

[0006] 本发明的实施例的一方面涉及一种数据处理装置,其包括:发送单元,被构造为向记录介质发送时钟信号;通信单元,被构造为向所述记录介质发送命令,并且响应于通过将所述时钟信号延迟而获得的定时信号,接收从所述记录介质输出的数据;以及控制单元,被构造为控制所述通信单元发送用于请求所述记录介质发送具有预定模式的预定数据串的发送命令,并且接收从所述记录介质输出的所述预定数据串,并且其中,所述控制单元基于所述通信单元接收所述预定数据串的结果,进行调整所述定时信号的延迟量的调整处理,并且所述控制单元具有包括第一模式和第二模式的多个模式,在所述第一模式下,基于所述通信单元响应于各自具有第一范围内的延迟量的多个定时信号而接收所述预定数据串的结果,调整所述定时信号的延迟量;在所述第二模式下,基于所述通信单元响应于各自具有比所述第一范围窄的第二范围内的延迟量的多个定时信号而接收所述预定数据串的结果,调整所述定时信号的延迟量。

[0007] 本发明的实施例的另一方面涉及一种数据处理方法,其包括:向记录介质发送时钟信号;响应于通过将所述时钟信号延迟而获得的定时信号,接收从所述记录介质输出的数据;请求所述记录介质发送具有预定模式的预定数据串,并且接收从所述记录介质输出

的所述预定数据串;以及基于接收所述预定数据串的结果,调整所述定时信号的延迟量,其中,所述调整具有包括第一模式和第二模式的多个模式,在所述第一模式下,基于响应于各自具有第一范围内的延迟量的多个定时信号而接收的所述预定数据串的接收结果,调整所述定时信号的延迟量;在所述第二模式下,基于响应于各自具有比所述第一范围窄的第二范围内的延迟量的多个定时信号而接收的所述预定数据串的接收结果,调整所述定时信号的延迟量。

[0008] 通过以下参照附图对示例性实施例的描述,本发明的其他特征将变得清楚。

## 附图说明

[0009] 包含在说明书中并构成说明书的一部分的附图例示了本发明的实施例,并且与文字说明一起用来解释本发明的原理。

[0010] 图1是示出根据本发明的实施例的数字照相机100的功能结构的示例的框图;

[0011] 图2是示出根据本发明的实施例的存储卡控制器113和调谐电路114的内部结构的示例的框图;

[0012] 图3是用于说明根据本发明的实施例的数字照相机100进行的全检查调谐的操作的图;

[0013] 图4是示出根据本发明的实施例的数字照相机100进行的全检查调谐的处理的示例的流程图;

[0014] 图5是示出根据本发明的实施例的数字照相机100进行的部分检查调谐的处理的示例的流程图;以及

[0015] 图6A和6B是用于彼此对照地说明根据本发明的实施例的数字照相机100进行的调谐操作的图。

## 具体实施方式

[0016] 下面将参照附图详细描述本发明的说明性实施例。注意,在下面要描述的实施例中,将描述本发明应用于作为记录/再现装置的示例的能够将数据写入连接的存储卡/从连接的存储卡读取数据的数字照相机的示例。然而,本发明能够应用于能够将数据写入记录介质/从记录介质读取数据的任意设备(主机装置)。设备不限于数字照相机,而是还包括例如个人计算机、便携式电话、智能电话、PDA或者数字视频照相机。

[0017] 图1是示出根据该实施例的数字照相机的结构的示例的框图。主微型计算机118例如是CPU。主微型计算机118对包含在数字照相机100中的各个块的操作进行控制。更具体地说,主微型计算机118通过读取存储在ROM 119中的用于使各个块执行稍后要描述的各种序列的程序,并且将程序加载到SDRAM 116中以执行,来对各个块的操作进行控制。主微型计算机118还对稍后要描述的液晶驱动器112进行控制,以对液晶面板111进行显示控制。

[0018] ROM 119例如是能够电擦除/记录数据的非易失性存储器。ROM 119不仅存储包含在数字照相机100中的各个块的工作程序,还存储诸如在各个块的操作中需要的常数的信息。

[0019] 摄影镜头101捕获被摄体图像,并且在通过光圈102将光量限制为预定量之后,在图像传感器103上形成被摄体图像。图像传感器103例如是CCD传感器或者CMOS传感器,并且

对在成像平面上形成的被摄体图像进行光电转换,并输出模拟图像信号。主微型计算机118通过控制光圈102的打开量,来限制由摄影镜头101形成的被摄体图像的光量。A/D转换器104对从图像传感器103输出的模拟图像信号进行A/D转换处理,并且将其转换为数字图像数据。在图像处理单元105中对所获得的图像数据进行伽马校正、白平衡校正和噪声降低相关的处理,然后将其作为未压缩图像数据存储在帧存储器106中。摄影镜头101、光圈102、图像传感器103、A/D转换器104、图像处理单元105和帧存储器106形成根据该实施例的数字照相机100的图像生成单元(摄像单元)10。

[0020] 在下面的实施例中,描述将在图像生成单元中生成的图像数据写入作为记录介质的存储卡115中的情况,或者从存储卡115中读取写入的图像数据的情况。然而,适用本发明的目标不限于图像数据,而可以是音频数据或者包括运动图像数据和音频数据的多媒体数据。可以将这些种类的数据统称为信息数据。为了生成信息数据,除了图像生成单元10之外,作为本发明的实施例的记录/再现装置还可以包括包含麦克风的音频生成单元、A/D转换器和音频处理单元。

[0021] JPEG编码器108按照由根据该实施例的数字照相机100记录的静止图像的编码格式(JPEG格式),对未压缩图像数据进行压缩编码,由此生成JPEG静止图像数据。另一方面,MPEG编码器109按照由根据该实施例的数字照相机100记录的运动图像的编码格式(MPEG格式),作为帧对未压缩图像数据进行压缩编码,由此生成MPEG运动图像数据。将由JPEG编码器108和MPEG编码器109生成的各种数据经由数据总线107临时写入SDRAM 116中。SDRAM 116是易失性存储器。除了由JPEG编码器108和MPEG编码器109生成的数据之外,SDRAM 116还存储转换为在液晶面板111上显示的图像数据。SDRAM 116还用于根据存储卡115中的数据写入的写入状态读取数据,并且在自身和存储卡115之间仲裁记录速度的缓冲存储器空间。此外,SDRAM 116提供根据拍摄的图像生成用于在再现时进行索引显示的缩略图图像的像素计数转换电路110的工作存储器空间。

[0022] 液晶面板111是包含在数字照相机100中的诸如LCD的显示设备。如上所述,主微型计算机118对液晶面板111进行显示控制。更具体来说,接收到来自主微型计算机118的指示的液晶驱动器112将存储在SDRAM 116中的显示图像数据转换为液晶显示信号,并且将其输出到液晶面板111,由此进行显示控制。液晶面板111通过使用像素计数转换电路110,将改变为具有要在液晶面板111上显示的像素的数量的未压缩图像数据转换为液晶显示信号,并将其输出(现场观看显示),还用作电子取景器。

[0023] 存储卡115是能够通过可拆卸地连接到数字照相机100进行数据写入/读取的记录介质。在该实施例中,存储卡115是由NAND闪存和控制器形成的存储卡。在存储卡115中,以符合PC兼容的FAT(文件分配表)文件系统的格式对数据进行管理。存储卡115经由卡槽(未示出)连接到数字照相机100。卡槽可以包括卡检测开关,并且当检测到将存储卡115插入卡槽时,能够向主微型计算机118输出检测信号。

[0024] 存储卡控制器113进行诸如存储卡115中的数据写入和从存储卡115的数据读取的通信。存储卡控制器113在进行数据写入时从SDRAM 116中读取记录数据,并且将读取的数据写入存储卡115中。此外,存储卡控制器113在进行数据读取时从存储卡115中读取数据,并且将读取的数据存储在SDRAM 116中。

[0025] 调谐电路114与存储卡控制器113协作工作,并且调整相对于卡时钟的用于接收来

自存储卡的针对对存储卡的命令的响应的接收定时,以及相对于卡时钟的用于从存储卡接收数据的接收定时。

[0026] 操作输入单元117是可以是接受来自用户的各种操作的任意种类的开关的用户接口。操作输入单元117包括进行静止图像拍摄操作的快门按钮、指示开始/结束拍摄运动图像的触发按钮以及切换照相机的拍摄模式和再现模式的模式开关。当用户对设置在数字照相机100中的各种操作键进行操作时,操作输入单元117根据操作接收信号,并且向主微型计算机118输出与操作相对应的控制信号。

[0027] 现在,描述根据该实施例的存储卡控制器113和调谐电路114的详细结构。图2是示出图1中的存储卡控制器113和调谐电路114的功能结构的示例的框图。在图2中,虚线框113指示存储卡控制器113,并且虚线框114指示调谐电路114。存储卡115、SDRAM 116和主微型计算机118中的各个也指示与在图1中相同的块。

[0028] 首先,描述存储卡控制器113的详细结构。当在存储卡115中写入数据/从存储卡115中读取数据时,存储卡控制器113经由CLK线路、CMD线路和DAT线路发送/接收信号和数据。

[0029] 主机控制器201经由CMD线路,进行与数据读取/写入相关的命令信号的输出以及向存储卡115输出的命令的响应信号的接收。主机控制器201还对经由DAT线路发送/接收要写入存储卡115中的数据或者从存储卡115中读取的数据进行控制。更具体来说,主机控制器201发出对存储卡115的操作进行控制的命令,并且通过来自主微型计算机118的指示接收来自存储卡115的命令响应。

[0030] 数据发送单元202从SDRAM 116向存储卡115发送记录数据(JPEG静止图像数据和MPEG运动图像数据)。数据获得单元203接收在进行稍后要描述的调谐操作时来自存储卡115的测试数据和记录在存储卡115中的数据,并且向开关215b输出接收到的数据。

[0031] 时钟生成单元204生成用于控制读取和写入定时的由时钟脉冲形成的时钟信号(CLK信号)。时钟生成单元204经由CLK线路输出所生成的时钟信号。时钟信号向存储卡115给予将来自主机(数字照相机100)的数据写到卡中以及将数据从卡中读取到主机中的数据定时。同时,时钟信号向主机控制器201给予发送/接收数据的定时。

[0032] 发送侧的D触发器205锁存从主机控制器201和数据发送单元202输出的数据,将它们与来自时钟生成单元204的时钟信号的定时同步,然后将它们发送到存储卡115。接收侧的D触发器206响应于来自稍后要描述的延迟元件207的定时信号,锁存来自存储卡115的数据。延迟元件207根据来自主微型计算机118的控制,将来自时钟生成单元204的时钟信号的相位延迟,并且生成在从存储卡115中读取数据时用于锁存从存储卡115输出的数据的定时信号。注意,信号分支单元208根据主机控制器201的控制,响应于命令输入/输出和数据发送/接收,在CMD线路和DAT线路之间进行切换。

[0033] 现在,描述调谐电路114的详细结构。调谐电路114是用于进行根据从存储卡115接收到的测试数据的接收结果,确定延迟元件207中的延迟量的确定处理的电路。

[0034] 接收结果表(大)209是表示在稍后要参照图4中的流程图描述的全检查调谐处理中创建的接收使能/失效结果的第一表。接收结果表(小)210是表示在稍后要参照图5中的流程图描述的部分检查调谐处理中创建的接收使能/失效结果的第二表。将这些接收结果表209和210中的各个存储在寄存器(未示出)中并且根据需要进行读取。全范围扫描单元

211定义稍后要描述的图4的流程图的操作中的延迟级的数量的最小值和最大值,并且在进行全检查调谐操作时改变延迟级的数量。部分范围扫描单元212定义稍后要描述的图5的流程图的操作中的延迟级的数量的最小值和最大值,并且在进行部分检查调谐操作时改变延迟级的数量。

[0035] 最佳相位计算单元213根据接收结果表(大)209或者接收结果表(小)210,确定在从存储卡115接收数据或命令时使用的延迟级的数量的最佳值。调谐开关214是用于根据要执行的调谐处理的类型选择信号路径的开关。开关214在进行全检查调谐处理时同时连接到A侧和A'侧,并且在进行部分检查调谐处理时同时连接到B侧和B'侧。卡操作开关215a和215b是各自根据存储卡115的工作状态选择信号路径的开关。开关215a和215b在对存储卡115进行数据访问时同时连接到a侧和a'侧,并且在执行调谐时同时连接到b侧和b'侧。延迟量设置单元216在延迟元件207中设置延迟级的数量作为设置延迟量。

[0036] 现在,描述具有上面的结构的根据该实施例的数字照相机中的调谐处理的概要。当存储卡控制器113向存储卡115发送作为测试数据输出指示的“测试数据发送命令”时,存储卡115与从时钟生成单元204向存储卡115发送的时钟信号同步地发送具有预定模式的64字节数据串。存储卡控制器113响应于从时钟生成单元204提供的锁存定时信号,接收该数据串。注意,锁存定时信号可以通过改变在延迟元件207中设置的延迟级的数量的值,来改变其与时钟信号(CLK)的相位关系。

[0037] 在该实施例中,假设延迟元件207中的每个级的延迟量是比时钟信号的一个周期短的预定时间。在该实施例中,例如基于将来自存储卡115的响应数据在高电平(逻辑1)和低电平(逻辑0)之间反转所需的时间段(反转时间段),来确定延迟元件207中的每个级的延迟量。在该实施例中,将延迟元件207中的每个级的延迟量确定为比反转时间段充分短的时间段(例如大约几十分之一到几百分之一的范围)。然而,延迟量可以是比这短的时间段。如上所述,每个延迟元件的延迟量可能由于温度特性等而改变。反转时间段的长度例如由在存储卡115中写入数据/从存储卡115中读取数据的标准来定义。在该实施例中,如图3所示,可以将延迟元件207中的延迟级的数量设置为覆盖大于卡时钟的一个周期的定时宽度。

[0038] 下面,参照图4中的流程图,详细描述在具有上述结构的根据该实施例的数字照相机100中进行的作为延迟级的数量的调整处理的全检查调谐处理。注意,在正在进行该调谐处理时,即使进行了记录处理的开始指示,主微型计算机118也不需要记录处理。此外,在全检查调谐处理中,主微型计算机118对存储卡控制器113和调谐电路114进行控制,以使各个块进行相应的处理。因此,假设主微型计算机118能够参照在存储卡控制器113和调谐电路114中的处理中获得的数据等,来进行描述。

[0039] 主微型计算机118存储上层程序和驱动器程序。上层程序对驱动器程序,进行执行卡安装的指示、开始运动图像记录、在运动图像记录期间执行卡写入、结束运动图像记录、在进行静止图像拍摄时执行卡写入以及在进行再现时读取卡等的指示。在接收到上述指示时,驱动器程序经由主机控制器201向存储卡115发出命令,由此控制其操作。

[0040] 首先,上层程序指示进行全检查调谐操作。之后,由驱动器程序进行控制。主微型计算机118使存储卡控制器113中的时钟生成单元204开始时钟信号发送。在步骤S401中,主微型计算机118将调谐开关214连接到A侧和A'侧。在后续的步骤S402中,主微型计算机118分别将卡操作开关215a连接到b'侧,并且将卡操作开关215b连接到b侧。在后续的步骤S403



中,主微型计算机118清除在SDRAM 116内保持的调谐标志。此外,在步骤S404中,主微型计算机118经由全范围扫描单元211,将延迟元件207中的时钟信号的延迟级的数量初始化(设置为“1”)。

[0041] 在步骤S405中,主机控制器201向存储卡115发出用于控制存储卡115发送测试数据的测试数据发送命令,并且经由CMD线路发送命令。假设测试数据是存储卡115与向存储卡115发送的时钟信号同步地发送的、具有预定模式的64字节的数据串。接下来,在步骤S406中,主微型计算机118经由主机控制器201接收来自存储卡115的64字节的测试数据。这时,触发器206锁存响应于从延迟元件207提供的定时信号经由DAT线路从存储卡115接收到的数据,并且向主机控制器201提供锁存的数据。延迟元件207根据当前设置的延迟级的数量,延迟时钟信号,由此生成要从延迟元件207提供的定时信号。SDRAM 116存储接收到的数据。

[0042] 在后续的步骤S407中,主微型计算机118确定存储在SDRAM 116中的数据串(通过由触发器206锁存从存储卡115发送的测试数据串而获得的模式),是否与测试数据的预定模式匹配。如果主微型计算机118确定接收到的数据串的所有64个字节与预定模式匹配,则处理转变到步骤S408。如果主微型计算机118确定接收到的数据串的至少一部分与预定模式不匹配,则处理转变到步骤S409。在步骤S408中,主微型计算机118在接收结果表(大) 209中,与延迟级的当前数量相关联地记录接收成功信息。接收结果表(大) 209的示例如图3所示。接收结果表(大) 209是示出与延迟级的数量相对应的测试数据接收使能/失效结果的表。在图3中,○指示接收成功,并且×指示接收失败。另一方面,在步骤S409中,主微型计算机118在接收结果表(大) 209中,与延迟级的当前数量相关联地记录接收失败信息。

[0043] 然后,在步骤S410中,主微型计算机118确定在延迟元件207中设置的延迟级的数量是否是延迟级的最大数量。如果在延迟元件207中设置的延迟级的数量不是延迟级的最大数量,则在步骤S411中,全范围扫描单元211根据来自主微型计算机118的指示,经由延迟量设置单元216在延迟元件207中设置延迟级的次大数量,然后处理返回到步骤S405。另一方面,如果主微型计算机118确定在延迟元件207中设置的延迟级的数量是延迟级的最大数量,则完成接收结果表(大) 209,由此使处理转变到步骤S412。

[0044] 在步骤S412中,根据来自主微型计算机118的指示,最佳相位计算单元213参照接收结果表(大) 209,确定在访问存储卡115时在延迟元件207中应当设置的延迟级的最佳数量。稍后作为设置延迟量在延迟元件207中设置所确定的延迟级的最佳数量。更具体来说,通过上面的处理,全范围扫描单元211逐步在延迟元件207中设置时钟信号的延迟量。基于各个延迟量的接收结果,获得如例如图3所示的接收结果表(大) 209。相应地,最佳相位计算单元213可以在步骤S412中,将接收成功的延迟级的数量组(范围)中的中心值,确定为延迟级的最佳数量。在图3的示例中,在接收成功的延迟级的数量(相位)组中,将作为组中的中间值的141确定为延迟级的最佳数量。

[0045] 然后,在步骤S413中,主微型计算机118在SDRAM 116中设置指示计算了最佳级数的调谐标志。在后续的步骤S414中,主微型计算机118分别将卡操作开关215b连接到a侧,并且将卡操作开关215a连接到a'侧。这使得能够向延迟量设置单元216提供由最佳相位计算单元213确定的最佳级数,并且在延迟元件207中设置最佳级数。从数据获得单元203向SDRAM 116输出从存储卡115中读取的数据。这使一系列处理结束。

[0046] 现在,参照图5中的流程图,详细描述在根据该实施例的数字照相机100中进行的  
部分检查调谐处理。在部分检查调谐中,在以在全检查调谐中确定的最佳级数为中心的具  
有预定延迟级数的范围(检查范围)上再次进行调谐,由此根据时钟和数据之间的偏移,再  
次设置最佳级数。注意,将部分检查调谐的检查范围设置为覆盖在设计时定义的数据过渡  
时间段(数据无效时间段),换句话说,设置为大于该时间段的范围。

[0047] 当主微型计算机118中的上层程序指示进行部分检查调谐操作时,之后,由驱动器  
程序进行控制。在步骤S501中,主微型计算机118将调谐开关连接到B侧和B'侧。在后续的步骤  
S502中,主微型计算机118分别将卡操作开关215b连接到b侧,并且将卡操作开关215a连  
接到b'侧。接下来,在步骤S503中,主微型计算机118参照SDRAM 116中的调谐标志的值,确  
定是否设置了标志。如果主微型计算机118确定设置了标志,则处理转变到步骤S504。另一  
方面,如果主微型计算机118确定未设置标志,则最后进行调谐时的最佳级数是未知的,导  
致在步骤S505中异常终止。注意,在这种情况下,根据来自上层程序的指示,进行全检查调  
谐。在步骤S503中确认设置了调谐标志之后,在步骤S504中,主微型计算机118清除调谐标  
志。

[0048] 在后续的步骤S506中,主微型计算机118从SDRAM 116获得在全检查调谐中计算的  
最佳级数。接下来,在步骤S507中,主微型计算机118计算在部分检查调谐中检查的延迟级  
的数量的范围。如果从SDRAM 116获得的最佳级数例如是141,则可以将以141为中心的附  
近的预定级数设置为检查范围。假设预定级数例如是50,则能够覆盖总共具有101级的数据  
过渡时间段,并且检查是否在91至191级的检查范围内进行了接收。然后,在步骤S508中,部  
分范围扫描单元212根据来自主微型计算机118的指示,将延迟量设置单元216的延迟级  
的数量设置为检查范围内的下限级数。在上面描述的示例中,可以将延迟级的数量设置为  
“91”。

[0049] 从后续的步骤S509至S511的处理与从步骤S405至S407的处理相同。如果在步骤  
S511中,接收到的测试数据与预定模式数据匹配,则在步骤S512中,主微型计算机118在接  
收结果表(小)210中,与延迟级的当前数量相关联地记录接收成功信息。另一方面,如果接  
收到的测试数据与预定模式数据不匹配,则在步骤S513中,主微型计算机118在接收结果表  
(小)210中,与延迟级的当前数量相关联地记录接收失败信息。注意,接收结果表(小)210是  
存储在SDRAM 116中的仅记录延迟级的数量的检查范围内的测试数据的接收结果的表。然  
后,在步骤S514中,主微型计算机118确定延迟级的数量是否达到了检查范围内的上限级  
数。在上面描述的示例中,可以将该上限级数设置为191级。如果延迟级的数量不是上限值,  
则在步骤S515中,部分范围扫描单元212根据来自主微型计算机118的指示,将延迟级  
的数量增加1,并且重复进行从步骤S509开始的处理。另一方面,如果延迟级的数量是最大值,则  
完成接收结果表(小)210,因此使处理转变到步骤S516。在步骤S516中,根据来自主微型计  
算机118的指示,最佳相位计算单元213参照接收结果表(小)210,确定新的最佳级数。稍后  
将参照图6A和6B描述该确定操作的细节。然后,在步骤S517中,主微型计算机118在SDRAM  
116中设置调谐标志。在后续的步骤S518中,主微型计算机118分别将卡操作开关215b连接  
到a侧,并且将卡操作开关215a连接到a'侧。这使得能够向延迟量设置单元216提供由最佳  
相位计算单元213计算的新的最佳级数,并且再次在延迟元件207中设置最佳级数。这使一  
系列处理结束。

[0050] 现在,参照图6A和6B描述在全检查调谐之后进行的部分检查调谐的具体示例。图6A和6B是示出全检查调谐和部分检查调谐之间的关系的图。图6A是示出在进行全检查调谐之后,并且在改变数据输出定时之前进行部分检查调谐的示例的图。在图6A中,接收结果表(大)209中的接收结果603是通过在使用来自时钟信号生成单元204的时钟信号601生成的锁存定时604,接收从存储卡115输出的测试数据波形602,进行全检查调谐的结果。接收结果表(大)209中的内容表示锁存定时604处的接收结果,即在第一级和第88级之间NG,在第89级和第194级之间OK,以及在第195级和具有最大编号的级之间NG。在全检查调谐中,计算接收结果603为OK的作为第89级和第194级之间的中心的第141级,作为最佳相位。

[0051] 注意,在图6A中,接收结果为NG的级数是94,该数量对应于数据的数据过渡时间段(数据无效时间段)。因此,优选将部分检查调谐的检查范围设置为覆盖该级数。这里,针对中心级设置50个在前级和50个在后级,总共产生101个级。接收结果表(小)210中的内容605表示紧接在全检查调谐之后进行的部分相位调谐的结果。这里,以作为最佳级数的141为中心,检查预定级数的检查范围内的接收结果。在所有级中,接收结果表示OK。如果如此在检查范围内获得所有级中的OK的结果,则最佳相位计算单元213不改变最佳级数,因此继续使用141级作为最佳级数。

[0052] 图6B是示出在进行全检查调谐之后,在数据输出定时由于存储卡115中的温度改变而改变的状态下,进行部分相位调谐的示例的图。在图6B中,与在时钟信号601和数据波形602之间的关系相比,在时钟波形606和数据波形607之间的关系中,出现了更大的偏移。更具体来说,数据波形607在时间上从时钟波形606延迟。如果在这种情况下进行部分相位调谐,则接收结果表(小)210中的内容608包括显示NG的级数。更具体来说,接收结果在第91级和第138级之间为NG,并且在第139级和第161级之间为OK。在这种情况下,发现数据输出定时延迟了至少 $(138-91=)$ 47级。相应地,通过将原始最佳级数校正该偏移量,能够再次决定新的最佳级数。更具体来说,通过加上该偏移量 $(141+47)$ ,将188级设置为新的最佳级数。注意,在上述情况下,因为数据波形607在时间上延迟,因此通过加上偏移量来进行校正。另一方面,如果数据波形607在时间上超前,则通过减去偏移量来进行校正。

[0053] 在该实施例中,上层程序能够选择性地使用全检查调谐和部分检查调谐。如果在选择性使用方面关注处理负荷,则在全检查调谐中,设置的延迟级的数量是200,而在部分检查调谐中,设置的延迟级的数量大约是100。相应地,在部分检查调谐中,从存储卡115请求测试数据的命令的发出的次数减少了几近一半。与此一起,调谐花费的总时间也减少了几近一半。在根据该实施例的上层程序中,考虑到该特性,可以在紧接在卡安装之后的记录开始指示之前,或者在电源接通指示和记录开始指示之间,进行全检查调谐,然后可以在任意定时进行部分检查调谐。更具体来说,例如紧接在运动图像记录期间或进行静止图像记录时的卡写入执行之前,或者在该执行之前,进行部分检查调谐的结构是可以的。在这种结构中,紧接在进行卡安装之后,计算准确的延迟级的最佳数量之后的数据写入之前,进行具有短运行时间的部分检查调谐。这使得能够在降低调谐时间对卡性能的影响的同时,确保数据写入可靠性。

[0054] 在进行静止图像拍摄时,存在通过一次快门按钮操作拍摄并记录一帧的静止图像的单拍模式和在按下快门按钮的同时连续拍摄并记录多帧的静止图像的连拍模式。在这种结构中,能够在进行单拍模式时,基于快门按钮操作针对各个摄像指示进行全检查调谐。另

一方面,在进行连拍模式时,能够基于快门按钮操作根据摄像指示进行部分检查调谐。这时,仅当释放第一快门,并且之后再不进行时,可以进行部分检查调谐。在这种结构中,在进行单拍时,不限定静止图像记录的时间间隔,并且能够应对随着时间的经过的温度改变的可能性。在进行连拍时,能够提供能够满足在静止图像记录中具有更短的时间间隔的卡性能要求的调谐系统。

[0055] 作为数字照相机100的工作状态,存在所有块的电力供给都停止或切断的OFF状态(操作停止状态)和虽然电力供给未停止、但是与正常工作状态相比限制电力消耗的等待状态(省电状态)。在等待状态下,例如,能够仅向用于检测按钮操作的块供电,并且断开另一未使用的块的电力。在这种情况下,在从操作停止状态恢复时,特别是紧接在激活时进行卡安装之后,进行全检查调谐,而紧接在从等待状态恢复之后,进行部分检查调谐的结构是可以的。在这种结构中,能够提供能够在特别需要快速启动的从等待状态恢复时,快速地转变到能够进行卡写入的状态的系统。

[0056] 如上所述,能够选择性地使用全检查调谐和部分检查调谐,全检查调谐能够根据装置状态,由没有关于要在延迟元件207中设置的延迟级的数量的信息的状态,检测最佳级数,并且部分检查调谐基于全检查调谐的结果,在短时间内跟随最佳级数的改变。这使得能够在防止由调谐导致的卡性能降低的同时,保持访问可靠性。

[0057] 其他实施例

[0058] 本发明的实施例还能够由系统或装置的计算机以及系统或装置的计算机执行的方法来实现,所述计算机读出并执行记录在存储介质(其还可以被更完整地称为‘非易失性计算机可读存储介质’)上的计算机可执行指令(例如一个或更多个程序),以执行上述实施例中的一个或更多个的功能,和/或所述计算机包括一个或更多个电路(例如专用集成电路(ASIC)),用于执行上述实施例中的一个或更多个的功能,所述方法例如从存储介质中读出并执行计算机可执行指令,以执行上述实施例中的一个或更多个的功能,和/或控制一个或更多个电路,执行上述实施例中的一个或更多个的功能。所述计算机可以包括一个或更多个处理器(例如中央处理单元(CPU)、微处理单元(MPU)),并且可以包括单独的计算机或单独的处理器网络,以读出并执行计算机可执行指令。例如可以从网络或存储介质向计算机提供计算机可执行指令。存储介质例如可以包括硬盘、随机存取存储器(RAM)、只读存储器(ROM)、分布式计算系统的存储设备、光盘(例如紧凑盘(CD)、数字通用盘(DVD)或蓝光盘(BD)<sup>TM</sup>、闪存设备、存储卡等中的一个或更多个。

[0059] 本发明的实施例还可以通过如下的方法来实现,即,通过网络或者各种存储介质将执行上述实施例的功能的软件(程序)提供给系统或装置,该系统或装置的计算机或是中央处理单元(CPU)、微处理单元(MPU)读出并执行程序的方法。

[0060] 虽然参照示例性实施例对本发明进行了说明,但是应当理解,本发明不限于所公开的示例性实施例。所附权利要求的范围符合最宽的解释,以使其涵盖所有这种变型、等同结构及功能。

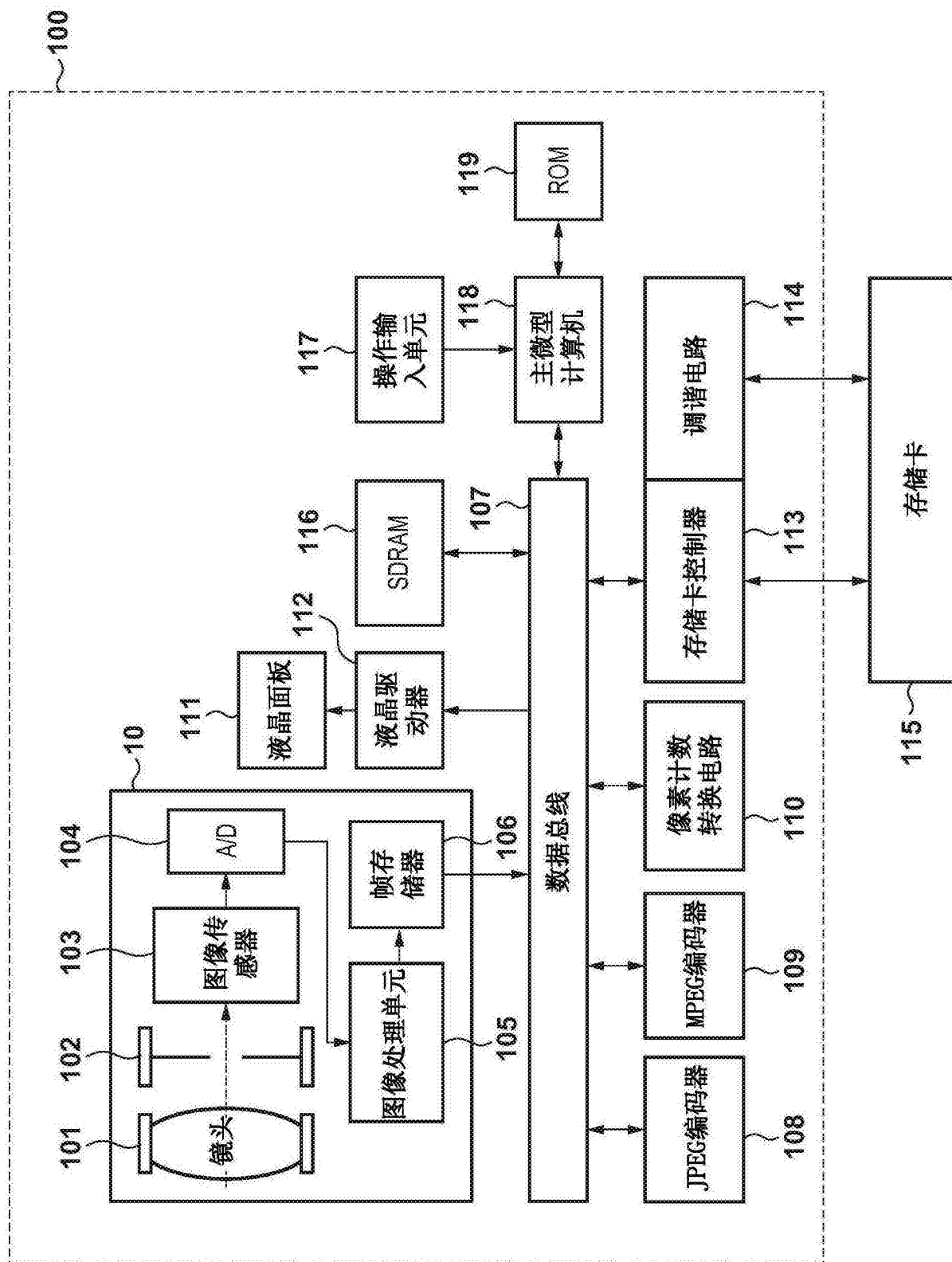


图1

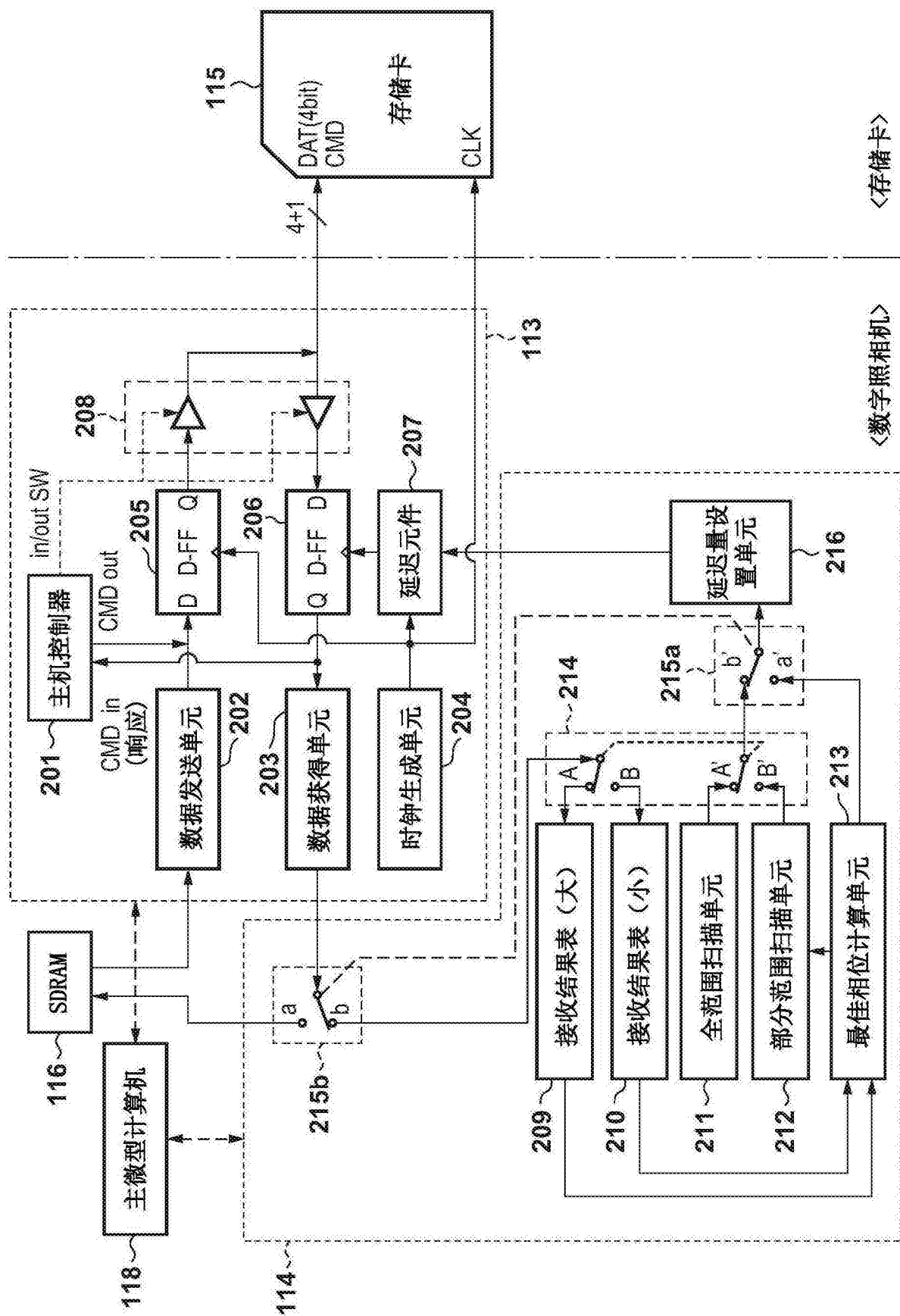


图2

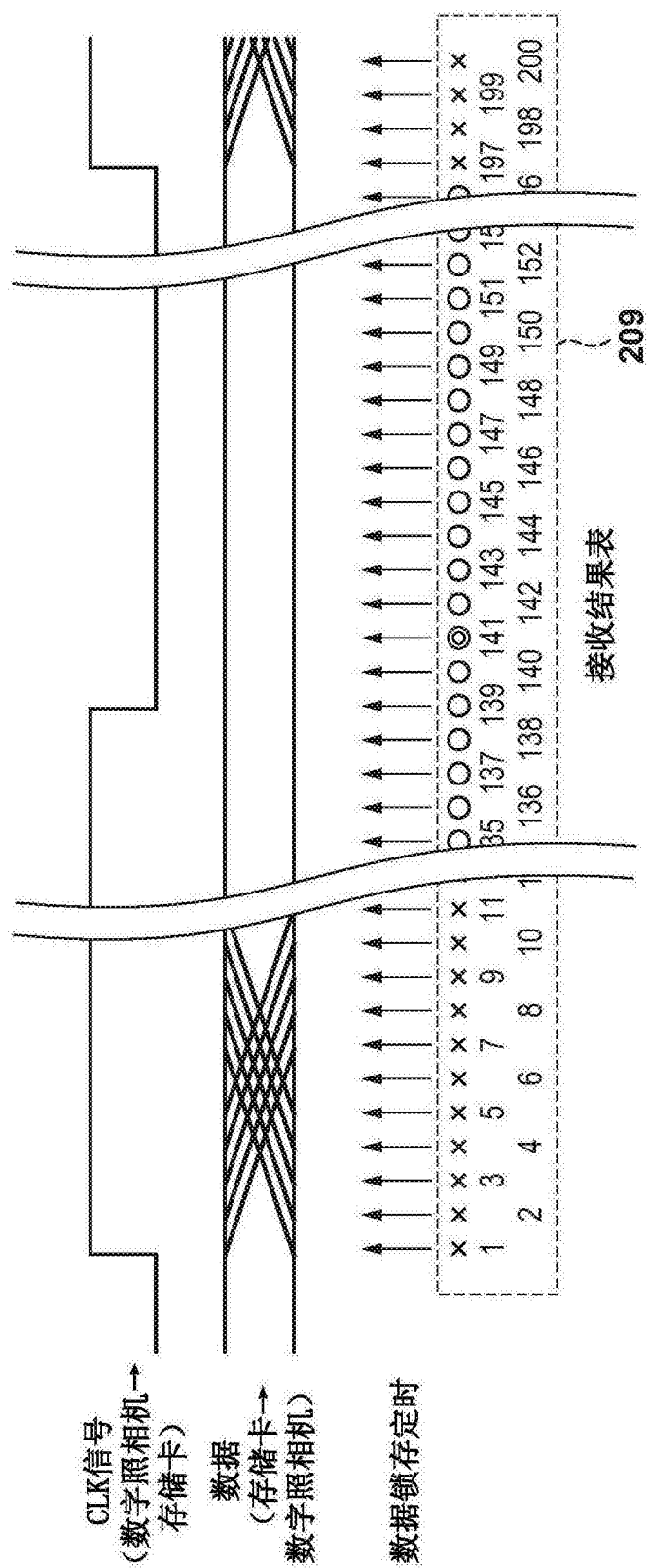


图3

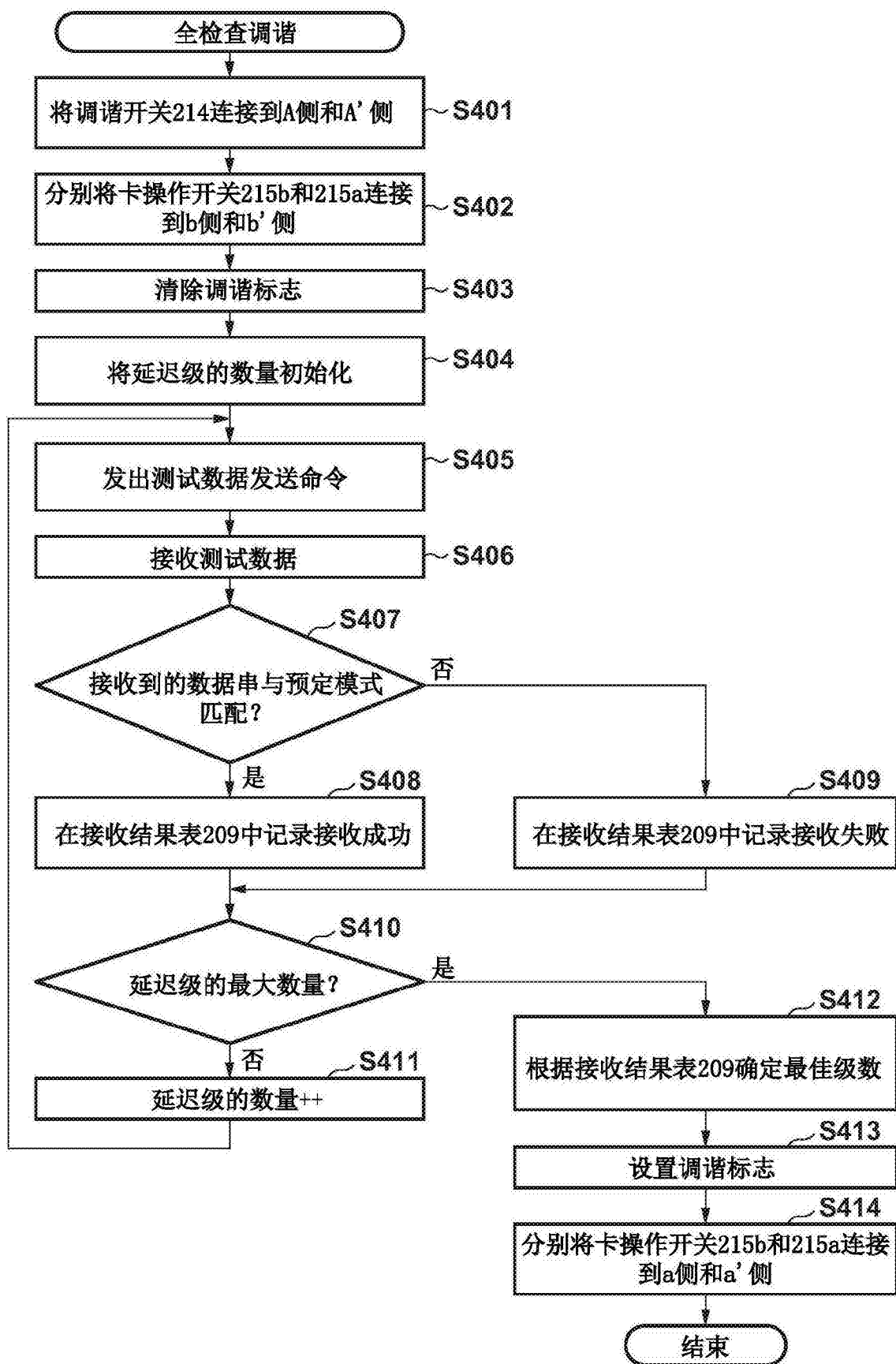


图4



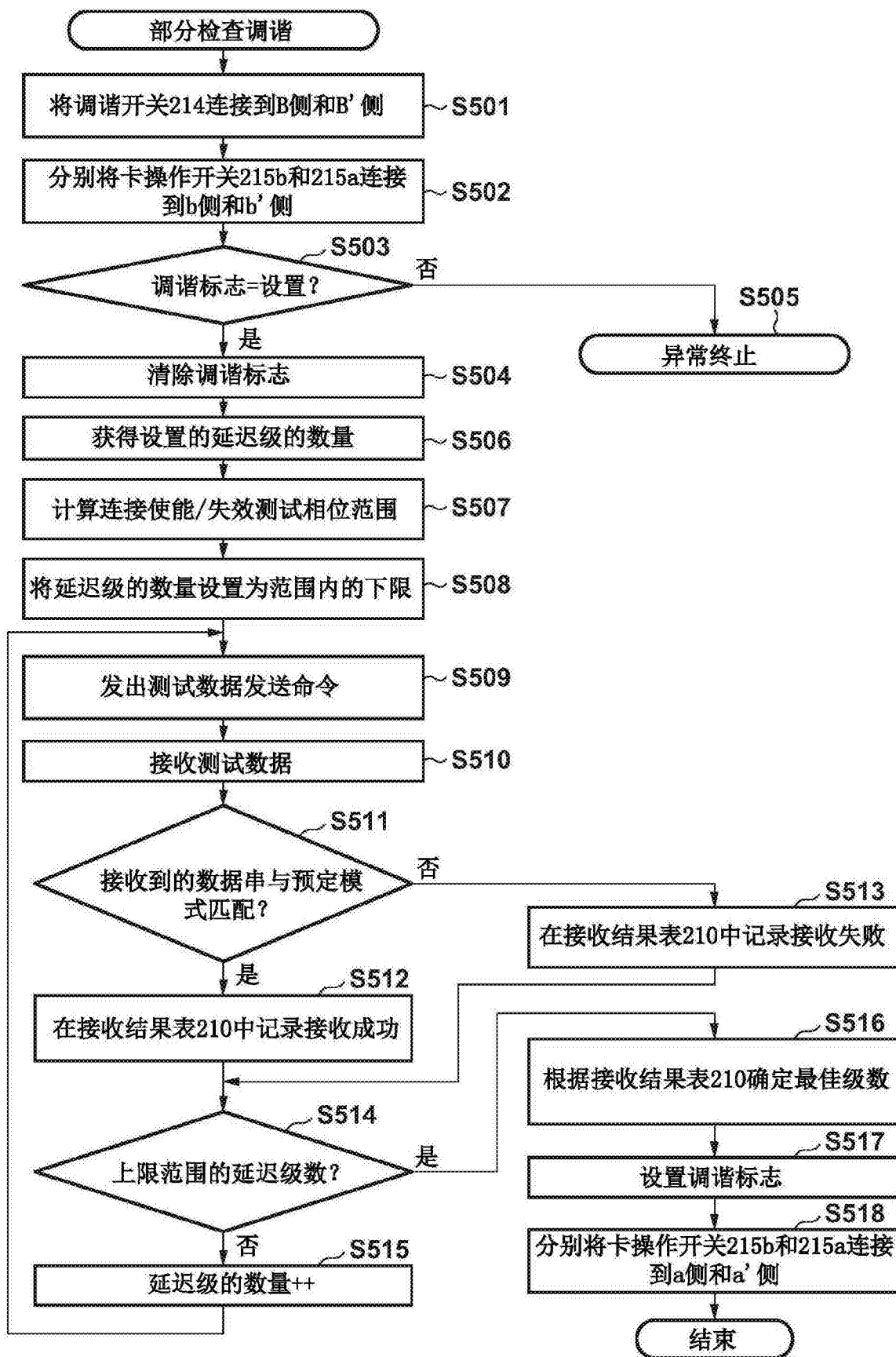


图5

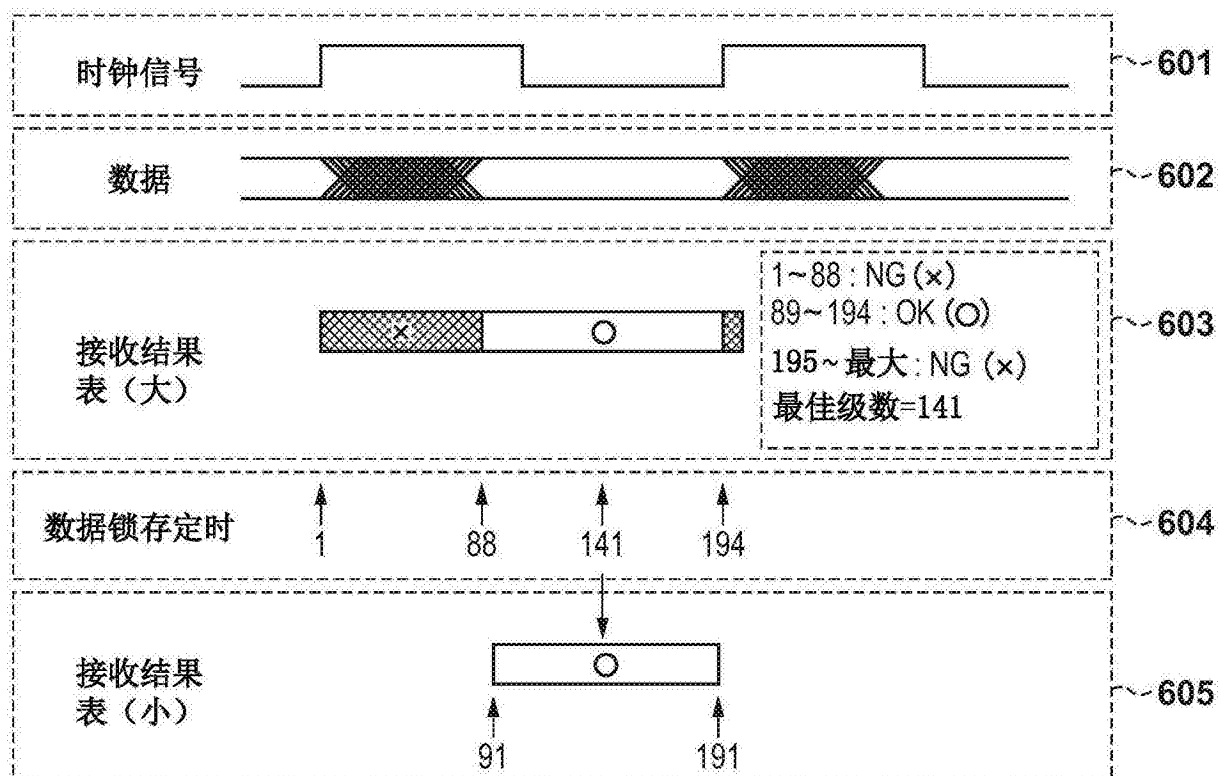


图6A

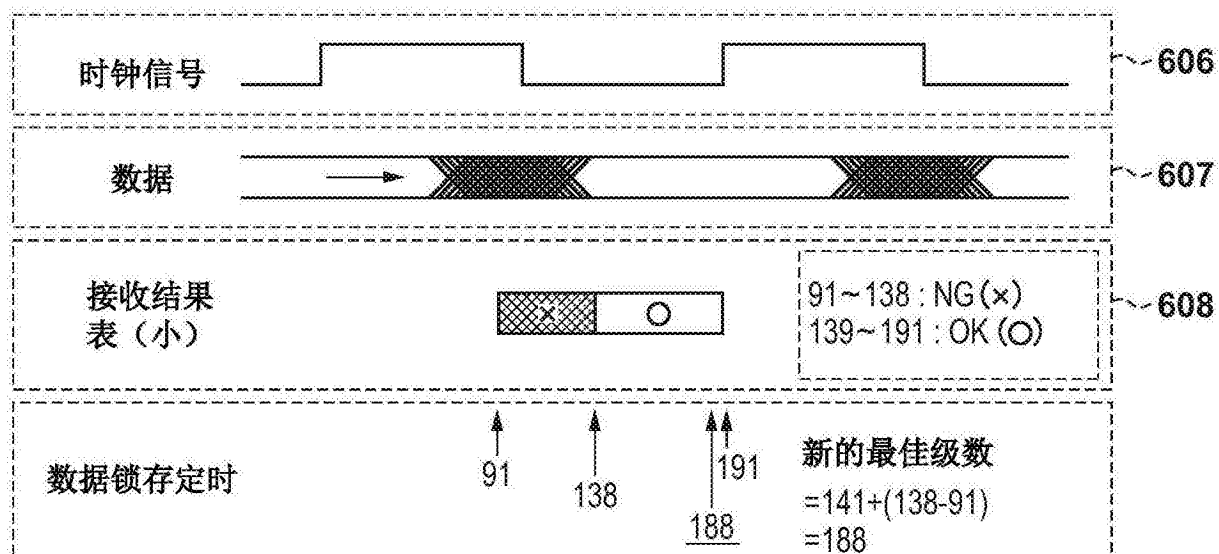


图6B