

①⑨ RÉPUBLIQUE FRANÇAISE
—
**INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE**
—
COURBEVOIE
—

①① N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 091 027

②① N° d'enregistrement national : **18 73944**

⑤① Int Cl⁸ : **H 01 L 33/20** (2019.01)

⑫

BREVET D'INVENTION

B1

⑤④ Dispositif optoélectronique.

②② Date de dépôt : 21.12.18.

③⑦ Priorité :

④③ Date de mise à la disposition du public
de la demande : 26.06.20 Bulletin 20/26.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 18.11.22 Bulletin 22/46.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑥⑦ Références à d'autres documents nationaux
apparentés :

Demande(s) d'extension :

⑦① Demandeur(s) : *ALEDIA Société par actions
simplifiées — FR.*

⑦② Inventeur(s) : *MAYER Frédéric, MERCIER Frédéric,
ROBIN Ivan-Christophe et HUGON Xavier.*

⑦③ Titulaire(s) : *ALEDIA Société par actions simplifiées.*

⑦④ Mandataire(s) : *CABINET BEAUMONT.*

FR 3 091 027 - B1



Description

Titre de l'invention : *Dispositif optoélectronique*

Domaine technique

[0001] La présente description concerne de façon générale les dispositifs optoélectroniques et plus particulièrement les dispositifs à diodes électroluminescentes.

Technique antérieure

[0002] Par dispositifs optoélectroniques à diodes électroluminescentes, on entend des dispositifs adaptés à effectuer la conversion d'un signal électrique en un rayonnement électromagnétique, et notamment des dispositifs dédiés à l'émission d'un rayonnement électromagnétique, notamment de la lumière.

[0003] Généralement, les circuits de commande des diodes électroluminescentes d'un tel dispositif comprennent des transistors à effet de champ à grille isolée, ou transistors MOS, réalisés selon la technologie CMOS, par exemple formés sur une plaque différente de la plaque sur laquelle sont formées les diodes électroluminescentes. Ces deux plaques sont par la suite accolées et connectées électriquement.

[0004] La formation d'une telle structure présente un coût élevé. Cela est partiellement dû aux connections entre les différentes plaques qui peuvent ne pas être optimisées.

Résumé de l'invention

[0005] Un mode de réalisation pallie tout ou partie des inconvénients des dispositifs optoélectroniques connus.

[0006] Un mode de réalisation prévoit un dispositif optoélectronique comprenant un circuit intégré comprenant des diodes électroluminescentes, des transistors en couches minces, et un empilement de couches isolantes électriquement, ledit empilement étant situé entre les diodes électroluminescentes et les transistors, ledit empilement comprenant en outre des éléments conducteurs, entre et à travers lesdites couches isolantes, lesdits éléments conducteurs connectant au moins certains des transistors aux diodes électroluminescentes.

[0007] Selon un mode de réalisation, les diodes électroluminescentes comprennent des éléments semiconducteurs filaires, coniques ou tronconiques.

[0008] Selon un mode de réalisation, chaque transistor comprend un bloc conducteur électriquement formant la grille du transistor, les blocs conducteurs électriquement étant séparés les uns des autres par des régions isolantes électriquement.

[0009] Selon un mode de réalisation, chaque transistor comprend un bloc semiconducteur formant les zones de drain, de source et de canal du transistor, les blocs semiconducteurs étant séparés les uns des autres par des régions isolantes électriquement.

[0010] Selon un mode de réalisation, les transistors sont répartis selon au moins deux étages

de transistors en couches minces.

- [0011] Selon un mode de réalisation, chaque étage comprend une couche isolante formant l'isolant de grille de tous les transistors de cet étage.
- [0012] Selon un mode de réalisation, pour chaque diode électroluminescente, une première extrémité de la diode électroluminescente est connectée à l'un des éléments conducteurs.
- [0013] Selon un mode de réalisation, pour au moins l'un des transistors, les régions de source et de drain et la grille du transistor sont situées dans une même couche isolante.
Un autre mode de réalisation prévoit un procédé de fabrication d'un dispositif opto-électronique comprenant la formation d'un circuit intégré comprenant les étapes suivantes : a) former des diodes électroluminescentes ; b) former un empilement de couches isolantes électriquement, ledit empilement comprenant en outre des éléments conducteurs entre et à travers lesdites couches isolantes ; et c) former des transistors en couches minces, ledit empilement étant situé entre les diodes électroluminescentes et les transistors, lesdits éléments conducteurs connectant au moins certains des transistors aux diodes électroluminescentes.
- [0014] Selon un mode de réalisation, l'étape a) comprend la formation d'éléments semiconducteurs filaires, coniques ou tronconiques.
- [0015] Selon un mode de réalisation, l'étape a) comprend la croissance d'éléments semiconducteurs des diodes électroluminescentes sur des plots de germination conducteurs ou semiconducteurs.
- [0016] Selon un mode de réalisation, le procédé comprend une étape de retrait des plots de germination.
- [0017] Selon un mode de réalisation, l'étape c) comprend la formation de transistors en couches minces répartis sur au moins deux étages.
- [0018] Selon un mode de réalisation, les étapes b) et c) sont effectuées à des températures inférieures à 150 °C.

Brève description des dessins

- [0019] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :
- [0020] [Fig.1] la [Fig.1] est une vue en coupe, partielle et schématique, d'un mode de réalisation d'un dispositif optoélectronique ;
- [0021] [Fig.2] la [Fig.2] est une vue en coupe, partielle et schématique, illustrant le résultat d'une étape de fabrication du dispositif optoélectronique de la [Fig.1] ;
- [0022] [Fig.3] la [Fig.3] est une vue en coupe, partielle et schématique, illustrant le résultat d'une autre étape de fabrication du dispositif optoélectronique de la [Fig.1] ;

- [0023] [Fig.4] la [Fig.4] est une vue en coupe, partielle et schématique, illustrant le résultat d'une autre étape de fabrication du dispositif optoélectronique de la [Fig.1] ;
- [0024] [Fig.5] la [Fig.5] est une vue en coupe, partielle et schématique, d'un autre mode de réalisation d'un dispositif optoélectronique ;
- [0025] [Fig.6] la [Fig.6] est une vue en coupe, partielle et schématique, d'un autre mode de réalisation d'un dispositif optoélectronique ;
- [0026] [Fig.7] la [Fig.7] est une vue en coupe, partielle et schématique, d'un autre mode de réalisation d'un dispositif optoélectronique ; et
- [0027] [Fig.8] la [Fig.8] représente schématiquement une partie d'un autre mode de réalisation d'un dispositif optoélectronique.

Description des modes de réalisation

- [0028] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.
- [0029] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, des connexions électriques entre divers parties conductrices peuvent être présentes, sans être représentées, dans les plans de coupe des figures ou dans des plans parallèles aux plans de coupe des figures.
- [0030] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés ou couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés ou couplés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0031] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.
- [0032] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0033] Les concepts d'isolation et de conduction sont à comprendre respectivement comme l'isolation électrique et la conduction électrique. Les matériaux et éléments isolants sont donc isolants électriquement, et les matériaux et éléments conducteurs sont donc conducteurs électriquement.
- [0034] Dans la suite de la description, des modes de réalisation sont décrits pour des dis-

positifs optoélectroniques à diodes électroluminescentes tridimensionnelles, c'est-à-dire que chaque diode électroluminescente comprend un élément semi-conducteur filaire, conique ou tronconique, par exemple un microfil ou un nanofil. Toutefois, ces modes de réalisation peuvent aussi être mis en oeuvre pour des diodes électroluminescentes planaires, c'est-à-dire des diodes électroluminescentes formées à partir d'un empilement de couches semiconductrices planes.

- [0035] Le terme "microfil" ou "nanofil" désigne une structure tridimensionnelle de forme allongée selon une direction privilégiée dont au moins deux dimensions, appelées dimensions mineures, sont comprises entre 5 nm et 5 μm , de préférence entre 50 nm et 2,5 μm , la troisième dimension, appelée dimension majeure, étant au moins égale à 1 fois, de préférence au moins 5 fois et encore plus préférentiellement au moins 10 fois, la plus grande des dimensions mineures. Dans certains modes de réalisation, les dimensions mineures peuvent être inférieures ou égales à environ 1 μm , de préférence comprises entre 100 nm et 1 μm , plus préférentiellement entre 100 nm et 300 nm. Dans certains modes de réalisation, la hauteur de chaque microfil ou nanofil peut être supérieure ou égale à 500 nm, de préférence comprise entre 1 μm et 50 μm . La base du fil a, par exemple, une forme ovale, circulaire ou polygonale, notamment triangulaire, rectangulaire, carrée ou hexagonale.
- [0036] La [Fig.1] représente schématiquement un mode de réalisation d'un dispositif optoélectronique 100 et plus particulièrement un circuit intégré du dispositif 100.
- [0037] Le dispositif 100 comprend une première partie 100a comprenant les composants optiques du dispositif 100 et une deuxième partie 100b comprenant des composants électroniques adaptés à commander les composants optiques.
- [0038] La première partie 100a comprend :
- une couche de germination 112 isolante ;
 - des plots de germination 114, conducteurs ou semiconducteurs, reposant au moins partiellement sur la couche 112, la couche 112 étant en un matériau favorisant la croissance des plots 114 ;
 - des diodes électroluminescentes 104, quatre diodes électroluminescentes étant représentées en [Fig.1]. Chaque diode électroluminescente 104 repose sur un plot conducteur 114, chaque plot 114 étant en contact avec une extrémité de la diode électroluminescente 104 associée. Les plots conducteurs 114 sont en un matériau favorisant la croissance d'éléments conducteurs des diodes électroluminescentes 104 ;
 - une couche isolante 116, recouvrant la couche isolante 112, et une partie de chaque plot 114 et une partie inférieure de chaque diode électroluminescente 104 ;
 - des plots conducteurs 120 situés entre certaines diodes électroluminescentes

- 104 dans la couche 116 ;
- une couche conductrice 118, transparente aux rayonnements émis par les diodes électroluminescentes 104, recouvrant les parties supérieures des diodes électroluminescentes 104 et la couche isolante 116. La couche conductrice 118 est en contact avec une deuxième extrémité de chaque diode électroluminescentes 104 et avec les plots conducteurs 120. La couche 118 forme ainsi une électrode commune à toutes les diodes électroluminescentes 104 ; et
 - des blocs 122 recouvrant la couche conductrice 118 et entourant chacun au moins une diode électroluminescente 104, quatre blocs 122 recouvrant chacun une diode électroluminescente étant représentée en [Fig.1]. Les blocs 122 sont séparés les uns des autres par des murs 123. Les murs 123 empêchent le rayonnement de chaque diode d'atteindre les blocs 122 voisins. Certains blocs 122, correspondant par exemple aux diodes destinées à fournir des rayonnements bleus hors des blocs 122, peuvent être transparents aux rayonnements émis par les diodes électroluminescentes 104. Les blocs 122 peuvent avoir une structure monocouche ou multicouche. Selon un mode de réalisation, les blocs 122 comprennent au moins une couche déposée par un procédé de dépôt conforme. Selon un mode de réalisation, les blocs 122 comprennent au moins une première couche déposée par un procédé de dépôt conforme et au contact de la couche conductrice 118, et au moins une deuxième couche de remplissage des espaces entre les diodes électroluminescentes de façon à obtenir une face avant sensiblement plane. Chaque bloc 122, ou au moins l'une des couches qui le compose lorsque le bloc 122 a une structure multicouche, peut en outre comprendre un matériau photoluminescent adapté, lorsqu'il est excité par la lumière émise par la ou les diodes électroluminescentes recouvertes par le bloc, à émettre de la lumière à une longueur d'onde différente de la longueur d'onde de la lumière émise par la ou les diodes électroluminescentes. Certains plots conducteurs 120a, parmi les plots conducteurs 120 peuvent être au moins partiellement découverts, un seul plot conducteur 120a étant représenté en [Fig.1]. Les plots 120a peuvent être connectés par exemple par des fils conducteurs 124 à des éléments externes au circuit intégré, notamment une source d'un potentiel de référence haut et une source d'un potentiel de référence bas, par exemple la masse ou une source d'un signal de données.

[0039] Chaque diode électroluminescente 104 peut ainsi être commandée par une tension fournie entre l'électrode 118, connectée à la deuxième extrémité de la diode et le plot 114 connecté à la première extrémité de la diode.

[0040] A titre de variante, la couche de germination 112 et/ou les plots de germination 114

peuvent avoir été retirés.

[0041] La deuxième partie 100b du dispositif 100 comprend :

- un empilement 126 de couches isolantes, représenté en [Fig.1] par un bloc unique 126. L'empilement 126 est situé en contact avec la face de la couche 112 opposée aux plots 114. L'empilement 126 comprend de plus des éléments conducteurs 128, par exemple des pistes conductrices et des vias conducteurs, situés entre et à travers les couches isolantes de l'empilement 126. Les éléments conducteurs 128 forment un réseau d'interconnexion. En particulier, des vias conducteurs 132 du réseau d'interconnexion traversent la couche 112 de manière à être connectés aux plots 114, et donc à être reliés aux premières extrémités des diodes électroluminescentes 104. De préférence, chaque plot 114 est en contact avec un via conducteur 132. De plus, des vias conducteurs 133 du réseau d'interconnexion, un seul via 133 étant représenté, traversent la couche 112 de manière à être connectés aux plots conducteurs 120. Ainsi, les plots 120 sont interconnectés et connectés aux plots 120a de manière à fournir en plusieurs endroits une même tension à la couche conductrice 118 ;
- des transistors 110 situés du côté de l'empilement 126 opposé aux diodes électroluminescentes 104, trois transistors étant représentés en [Fig.1]. Les transistors 110 sont des transistors en couches minces (TFT, sigle anglais pour Thin Film Transistor). Plus précisément, chaque transistor 110 comprend :
 - un bloc 134, semiconducteur ou conducteur, formant la grille du transistor 110. La grille de chaque transistor 110 est connectée, par une première face, au réseau d'interconnexion par des connexions non représentées. Les blocs 134 sont séparés les uns des autres par des régions isolantes 135 ;
 - une couche isolante 136 recouvrant une seconde face, opposée à la première face, du bloc 134, la couche isolante 136 pouvant être commune à tous les transistors 110 ; et
 - un bloc 138 semiconducteur situé en regard du bloc 134, de l'autre côté de la couche isolante 136. Le bloc 138 comprend les zones de source et de drain du transistor 110. La portion de la couche isolante 136 située entre le bloc 134 et le bloc 138 forme l'isolant de grille du transistor 110 ;
- des pistes conductrices 140 s'étendant partiellement sur les blocs semiconducteurs 138, ainsi que sur la couche isolante 136, de manière à connecter les zones de source et de drain des transistors 110 les uns aux autres. Dans l'exemple de la [Fig.1], les pistes conductrices 140 connectent les trois transistors 110 en série. Cependant d'autres agencements sont possibles ;

- une couche isolante 142 recouvrant les pistes conductrices 140, la couche isolante 136 et les blocs semiconducteurs 138 ;
- des vias conducteurs 144, un seul via conducteur 144 étant représenté en [Fig.1], pouvant traverser la couche isolante 112, les couches isolantes de l'empilement 126, et les couches isolantes 135 et 136 de manière à connecter électriquement des pistes conductrices 140 à des plots conducteurs 120 ou 120a, d'autres vias 145 traversent les couches isolantes 126, 135 et 136 de manière à connecter électriquement des pistes conductrices 140 au réseau d'interconnexion ; et
- un support non représenté. Le support est par exemple une poignée fixée à la couche 142, une puce électronique ou un autre type de support.

[0042] Chaque diode électroluminescentes 104 comprend deux éléments semiconducteurs, dont l'un est par exemple un élément tridimensionnel tel que cela a été défini précédemment, par exemple un fil, et une couche active interposée entre les deux éléments semiconducteurs.

[0043] Les plots de germination 114, appelés également îlots de germination, sont en un matériau favorisant la croissance des fils des diodes électroluminescentes 104. A titre d'exemple, le matériau composant les plots de germination 114 peut être un nitrure, un carbure ou un borure d'un métal de transition de la colonne IV, V ou VI du tableau périodique des éléments ou une combinaison de ces composés. A titre d'exemple, les plots de germination 114 peuvent être en nitrure d'aluminium (AlN), en bore (B), en nitrure de bore (BN), en titane (Ti), en nitrure de titane (TiN), en tantale (Ta), en nitrure de tantale (TaN), en hafnium (Hf), en nitrure d'hafnium (HfN), en niobium (Nb), en nitrure de niobium (NbN), en zirconium (Zr), en borate de zirconium (ZrB₂), en nitrure de zirconium (ZrN), en carbure de silicium (SiC), en nitrure et carbure de tantale (TaCN), en nitrure de magnésium sous la forme Mg_xN_y, où x est environ égal à 3 et y est environ égal à 2, par exemple du nitrure de magnésium selon la forme Mg₃N₂ ou du nitrure de gallium et de magnésium (MgGaN), en tungstène (W), en nitrure de tungstène (WN) ou en une combinaison de ceux-ci.

[0044] Les matériaux isolants peuvent être choisis parmi le groupe comprenant l'oxyde de silicium (SiO₂), l'oxynitrure de silicium (SiON), le nitrure de silicium (SiN), le nitrure d'aluminium (AlN), l'oxyde de titane (TiO₂), l'oxyde d'aluminium (Al₂O₃), les matériaux organiques isolants électriquement, par exemple le parylène ou la résine ALX et les mélanges d'au moins deux de ces composés.

[0045] Les éléments semiconducteurs des diodes électroluminescentes 104 sont, au moins en partie, formés à partir d'au moins un matériau semiconducteur. Le matériau semiconducteur peut être du silicium, du germanium, du carbure de silicium, un composé III-V, un composé II-VI ou une combinaison de ces composés.

- [0046] Les éléments semiconducteurs peuvent être, au moins en partie, formés à partir de matériaux semiconducteurs comportant majoritairement un composé III-V, par exemple des composés III-N. Des exemples d'éléments du groupe III comprennent le gallium (Ga), l'indium (In) ou l'aluminium (Al). Des exemples de composés III-N sont GaN, AlN, InN, InGaN, AlGaN ou AlInGaN. D'autres éléments du groupe V peuvent également être utilisés, par exemple, le phosphore ou l'arsenic. De façon générale, les éléments dans le composé III-V peuvent être combinés avec différentes fractions molaires.
- [0047] Les éléments semiconducteurs peuvent être, au moins en partie, formés à partir de matériaux semiconducteurs comportant majoritairement un composé II-VI. Des exemples d'éléments du groupe II comprennent des éléments du groupe IIA, notamment le béryllium (Be) et le magnésium (Mg) et des éléments du groupe IIB, notamment le zinc (Zn) et le cadmium (Cd). Des exemples d'éléments du groupe VI comprennent des éléments du groupe VIA, notamment l'oxygène (O) et le tellure (Te). Des exemples de composés II-VI sont ZnO, ZnMgO, CdZnO ou CdZnMgO. De façon générale, les éléments dans le composé II-VI peuvent être combinés avec différentes fractions molaires.
- [0048] Les éléments semiconducteurs peuvent comprendre un dopant. A titre d'exemple, pour des composés III-V, le dopant peut être choisi parmi le groupe comprenant un dopant de type P du groupe II, par exemple, du magnésium (Mg), du zinc (Zn), du cadmium (Cd) ou du mercure (Hg), un dopant du type P du groupe IV, par exemple du carbone (C) ou un dopant de type N du groupe IV, par exemple du silicium (Si), du germanium (Ge), du sélénium (Se), du soufre (S), du terbium (Tb) ou de l'étain (Sn).
- [0049] La couche active est la couche depuis laquelle est émise la majorité du rayonnement fourni par la diode électroluminescente. Selon un exemple, la couche active peut comporter des moyens de confinement, tels que des puits quantiques multiples. Elle est, par exemple, formée d'une alternance de couches de GaN et de InGaN ayant des épaisseurs respectives de 5 à 20 nm (par exemple 8 nm) et de 1 à 10 nm (par exemple 2,5 nm). Les couches de GaN peuvent être dopées, par exemple de type N ou P. Selon un autre exemple, la couche active peut comprendre une seule couche d'InGaN, par exemple d'épaisseur supérieure à 10 nm.
- [0050] Les figures 2 à 4 sont des vues en coupe, partielles et schématiques, représentant les résultats d'étapes successives d'un mode de réalisation d'un procédé de fabrication du dispositif optoélectronique 100 de la [Fig.1].
- [0051] La [Fig.2] représente schématiquement la structure obtenue après les étapes comprenant :
- la formation de la couche de germination 112 sur un substrat semiconducteur non représenté ;

- la formation des plots de germination 114 sur la couche de germination 112 aux emplacements où l'on souhaite former les diodes électroluminescentes 104 ;
- la formation d'une première partie de la couche isolante 116 recouvrant partiellement les plots 114 et laissant découverts les emplacements des diodes électroluminescentes 104 ;
- la formation des diodes électroluminescentes 104 sur les plots 114 aux emplacements laissés découverts par la première partie de la couche isolante 116 ;
- la formation de la deuxième partie de la couche isolante 116 sur la partie inférieure des diodes électroluminescentes 104 ;
- la formation des plots 120 s'étendant à travers la couche 116 depuis la couche 112 ;
- la formation de la couche conductrice 118 sur les diodes électroluminescentes 104 et sur la couche isolante 116 ;
- la formation des blocs photoluminescents 122 sur la couche conductrice 118 ;
- la formation d'une poignée 200, fixée aux blocs 122, par exemple par une couche de fixation 202 ; et
- le retrait du substrat non représenté.

[0052] A titre de variante, une étape de retrait de la couche de germination 112 et/ou des plots de germination 114 peut être ajoutée. Par exemple, la couche 112 peut être retirée en même temps que le substrat non représenté.

[0053] La [Fig.3] représente schématiquement la structure obtenue après les étapes comprenant :

- la formation sur la couche isolante 112 de l'empilement 126, notamment les éléments conducteurs 128, dont les vias conducteurs 132 qui traversent la couche isolante 112 ;
- la formation des blocs 134, en matériau semiconducteur ou conducteur, par exemple en silicium polycristallin, au contact d'éléments conducteurs 128 ;
- la formation des régions isolantes 135 entre les blocs 134. L'épaisseur des régions 135 est sensiblement égale à l'épaisseur des blocs 134 et permet de laisser découverte la face de chaque bloc 134 opposée à la face en contact avec les éléments conducteurs 128 ;
- la formation de la couche isolante 136 sur les faces découvertes des blocs 134 et sur les régions 135 ;
- la formation des vias conducteurs 144 à travers les couches isolantes 136, 135, les couches isolantes de l'empilement 126 et la couche isolante 112, de manière à atteindre les plots conducteurs 120 ou 120a, un seul via 144 étant

représenté ; et

- la formation des vias 145 à travers les couches isolantes 136, 135, et les couches isolantes de l'empilement 126.

[0054] La [Fig.4] représente schématiquement la structure obtenue après les étapes comprenant :

- la formation des blocs semiconducteurs 138 en regard des blocs 134 sur la couche 136 ;
- la formation des pistes conductrices 140 en contact avec les zones de drain et de source des différents blocs 138 ; et
- la formation de la couche isolante 142 sur les blocs 138, les pistes conductrices 140 et la couche 136.

[0055] Au cours d'une étape suivante, certains blocs photoluminescents 122 peuvent être gravés de manière à découvrir les plots conducteurs 120a.

[0056] Les étapes de fabrication des transistors 110 sont des étapes de fabrication de transistors en couches minces, par exemple de transistors IGZO. Plus précisément, ces étapes sont effectuées à une température maximum inférieure à 150 °C. Ces étapes sont, dans le présent mode de réalisation, effectuées en ordre inverse par rapport à l'ordre habituel des étapes de fabrication d'un transistor en couches minces, c'est-à-dire que la grille est formée avant les zones de source et de drain.

[0057] La [Fig.5] représente schématiquement un autre mode de réalisation d'un dispositif optoélectronique 500. Le dispositif 500 comprend l'ensemble des éléments du dispositif 100 et comprend, de plus, un étage supplémentaire de transistors en couches minces 504, trois transistors étant représentés, situé sur l'étage comprenant les transistors 110. Le dispositif 500 comprend donc :

- des blocs semiconducteurs 502 situés sur la couche isolante 142. Les blocs 502 comprennent les zones de source et de drain des transistors en couches minces 504. Les blocs 502 sont similaires aux blocs semiconducteurs 138 ;
- des pistes conductrices 506, similaires aux pistes conductrices 140, connectant électriquement entre elles les zones de source et de drain des blocs 502. Dans le mode de réalisation de la [Fig.5], les trois transistors sont connectés en série ;
- une couche isolante 508 recouvrant la couche 142, les pistes conductrices 506, et les blocs 502 ;
- des blocs conducteurs 510 formés sur la couche 508, en regard des blocs conducteurs 502. Les blocs 510 forment les grilles des transistors 504, et les portions de la couche 508 situées entre les blocs 504 et 502 forment les isolants de grille ; et
- un empilement 512 de couches isolantes, représenté en [Fig.5] par un bloc

unique 512, recouvrant les transistors 504. Cet empilement 512 comprend en outre des éléments conducteurs 514, par exemple des pistes conductrices et des vias conducteurs, situés entre et à travers les couches isolantes de l'empilement 512. Les éléments conducteurs 514 forment un réseau d'interconnexion. Des éléments conducteurs 514 connectent par exemple certains des blocs 510 et certaines des couches conductrices 506 à des pistes conductrices 140. Les éléments conducteurs 514 traversent donc partiellement la couche isolante 512, la couche isolante 508, et la couche isolante 142 de manière à atteindre les pistes conductrices 140.

- [0058] Le dispositif 500 comprend donc deux étages de transistors en couches minces. À titre de variante, le dispositif optoélectronique peut comprendre plus de deux étages de transistors en couches minces. La présence de plusieurs étages de transistors a pour avantage d'augmenter la densité de transistors.
- [0059] A titre de variante, certains des éléments conducteurs 514 peuvent connecter les pistes conductrices 506 aux pistes conductrices 140.
- [0060] Bien que, dans le mode de réalisation de la [Fig.5], chaque transistor 504 soit en regard d'un transistor 110, les transistors des différents étages peuvent être décalés les uns par rapport aux autres et la densité de transistors peut être différente selon l'étage considéré.
- [0061] La [Fig.6] représente schématiquement un autre mode de réalisation d'un dispositif optoélectronique 600. Le dispositif 600 comprend l'ensemble des éléments du dispositif 500 à la différence que le dispositif 600 ne comprend pas de plots conducteurs 120a, c'est-à-dire de plots conducteurs qui ne sont pas entièrement recouverts par un bloc photoluminescent 122 et que les connexions électriques avec des éléments externes au circuit intégré sont faites par des plots conducteurs 602 situés au niveau de la face libre de l'empilement 512. Les plots 602 sont connectés avec le réseau d'interconnexion de l'empilement 512. Il est donc possible de connectés ces plots 602 à un dispositif extérieur, par exemple à une puce extérieure.
- [0062] La [Fig.7] représente schématiquement un autre mode de réalisation d'un dispositif optoélectronique 700. Le dispositif optoélectronique 700 comprend les diodes électroluminescentes 104, reposant sur des plots de germination 702 et entourées d'une couche isolante 703. Les plots de germination 702 sont similaires aux plots de germination 114 décrits précédemment. Chaque plot 702 est au moins partiellement transparent aux rayonnements émis par la diode électroluminescente formée sur ce plot 702.
- [0063] Les plots de germination 702 reposent sur une couche conductrice 704. La couche 704 est de préférence au moins partiellement transparente transparent aux rayonnements émis par la diode électroluminescente formée sur ce plot 702. Les plots

702 sont en contact avec la couche 704 de manière à former une connexion électrique. La couche 704 forme donc une électrode commune à toutes les diodes électroluminescentes 104.

- [0064] La couche 704 est recouverte de plusieurs blocs photoluminescents 705, les blocs photoluminescents 705 étant similaires aux blocs photoluminescents 122 décrits précédemment. Plus précisément, chaque bloc 705 est situé en regard d'une diode photoluminescente 104. De plus, les blocs 705 sont séparés les uns des autres par des murs 707 similaires aux murs 123 décrits précédemment.
- [0065] Le reste du dispositif 700 est identique au dispositif 100 à la différence que chaque diode électroluminescente 104 est en contact, par le côté opposé au plot de germination 702, à un élément conducteur 132 du réseau d'interconnexion.
- [0066] Ainsi, chaque diode électroluminescente 104 peut être commandée par une tension appliquée entre une première extrémité, par l'intermédiaire d'un plot 702, et une deuxième extrémité, par l'intermédiaire d'un élément conducteur 132.
- [0067] Les blocs conducteurs 134 sont formés sur l'empilement de couches isolantes 126. Chaque bloc 134 est en contact avec un élément conducteur non représenté. Les blocs 134 sont entourés d'une couche isolante 135. L'épaisseur de la couche 135 est égale à l'épaisseur des blocs 134. Chaque bloc 134 a donc un côté non recouvert par la couche 135. Chaque bloc 134 forme la grille d'un transistor 720.
- [0068] Les blocs 134 et la couche isolante 135 sont recouverts d'une couche isolante 136. Des blocs semi-conducteurs 138 sont situés sur la couche 136, chaque bloc 138 étant situé en regard d'un bloc 134. Les blocs 138 comprennent les zones de source et de drain des transistors 720. Les blocs 138 sont, de plus, entourés et recouverts d'une couche isolante 142. Des éléments conducteurs 140, situés partiellement sur les blocs 138, forment des connexions entre les zones de source et de drain des différents transistors 720. Dans l'exemple de la [Fig.7], les trois transistors représentés sont connectés en série. Les transistors 720 sont des transistors en couches minces, similaires aux transistors 110 et 504.
- [0069] La [Fig.8] représente schématiquement une partie d'un autre mode de réalisation d'un dispositif optoélectronique. Plus précisément, la [Fig.8] représente un transistor horizontal 800. Le transistor 800 est, comme les transistors 110, un transistor en couches minces (TFT, sigle anglais pour Thin Film Transistor). Par transistor horizontal, on entend un transistor dont les différentes parties, par exemple les zones de source et drain, la grille et le canal, sont au même niveau, dans une même couche, et sont, de préférence, formée en même temps.
- [0070] Ainsi, le transistor 800 est formé dans une couche isolante 802, par exemple en oxyde de silicium. Le transistor 800 comprend, dans la couche 802 :
- deux blocs semiconducteurs 804, formant les zones de drain et de source ;

- un bloc semiconducteur 806 s'étendant entre, et étant en contact avec, les blocs 804. Le bloc 806 forme le canal du transistor 800 ; et
 - des blocs 808, en matériau semiconducteur ou conducteur, sont situés de part et d'autre du bloc 806 et forment la grille du transistor 800. Les blocs 808 sont séparés du canal 806 par une région de la couche 802.
- [0071] La couche 802, comprenant des transistors 800, peut remplacer les couches, par exemple les couches 135, 136 et 142, comprenant les transistors 110.
- [0072] Un avantage des modes de réalisation décrits précédemment est que la fabrication des niveaux d'interconnexion de l'empilement 126 et des transistors en couches minces 110 a un budget thermique compatible avec les diodes électroluminescentes 104, c'est-à-dire que la fabrication des transistors 110 peut être effectuée sur une structure comprenant déjà les diodes électroluminescentes 104 sans impacter négativement les performances des diodes électroluminescentes 104.
- [0073] Divers modes de réalisation et variantes ont été décrits. L'homme de l'art comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à l'homme de l'art. En particulier, le mode de réalisation de la [Fig.7] peut comprendre, comme cela été décrit en relation avec les figures 5 et 6, plusieurs étages de transistors en couches minces. De plus, le mode de réalisation de la [Fig.7] peut comprendre, comme cela été décrit en relation avec la [Fig.6], des plots conducteurs permettant de connecter le dispositif optoélectronique avec des éléments extérieurs du côté des transistors opposé aux diodes électroluminescentes.
- [0074] De plus, les connexions électriques peuvent être agencées différemment. Ainsi, à titre d'exemple, au moins certaines des premières extrémités des diodes électroluminescentes peuvent être connectées à des zones de source ou de drain et non à des grilles de transistors.
- [0075] En outre, les blocs 122 (respectivement 705) et les murs 123 (respectivement 707) peuvent être formés après la formation des transistors.
- [0076] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

- [Revendication 1] Procédé de fabrication d'un dispositif optoélectronique (100, 500, 600, 700) comprenant la formation d'un circuit intégré comprenant les étapes successives suivantes :
- a) former des diodes électroluminescentes (104) ;
 - b) former, sur les diodes électroluminescentes, un empilement (126) de couches isolantes électriquement, ledit empilement (126) comprenant en outre des éléments conducteurs (128, 132, 514) entre et à travers lesdites couches isolantes ; et
 - c) former, sur l'empilement, des transistors en couches minces (110, 504), ledit empilement (126) étant situé entre les diodes électroluminescentes (104) et les transistors (110, 504), lesdits éléments conducteurs (128, 132, 514) connectant au moins certains des transistors (110, 504) aux diodes électroluminescentes (104).
- [Revendication 2] Procédé selon la revendication 1, dans lequel l'étape a) comprend la formation d'éléments semiconducteurs filaires, coniques ou tronconiques.
- [Revendication 3] Procédé selon la revendication 2, dans lequel l'étape a) comprend la croissance d'éléments semiconducteurs des diodes électroluminescentes (104) sur des plots de germination conducteurs ou semiconducteurs.
- [Revendication 4] Procédé selon la revendication 3, comprenant une étape de retrait des plots de germination.
- [Revendication 5] Procédé selon l'une quelconque des revendications 1 à 4, dans lequel l'étape c) comprend la formation de transistors en couches minces (110, 504) répartis sur au moins deux étages.
- [Revendication 6] Procédé selon l'une quelconque des revendications 1 à 5, dans lequel les étapes b) et c) sont effectuées à des températures inférieures à 150 °C.
- [Revendication 7] Procédé selon la revendication 1, dans lequel chaque transistor (110, 504) comprend un bloc (134, 510) conducteur électriquement formant la grille du transistor (110, 504), les blocs conducteurs électriquement étant séparés les uns des autres par des régions (135, 512) isolantes électriquement.
- [Revendication 8] Procédé selon la revendication 1, dans lequel chaque transistor (110, 504) comprend un bloc semiconducteur (138, 502) formant les zones de drain, de source et de canal du transistor (110, 504), les blocs semiconducteurs étant séparés les uns des autres par des régions (142, 512)

- isolantes électriquement.
- [Revendication 9] Procédé selon la revendication 5, dans lequel chaque étage comprend une couche isolante formant l'isolant de grille de tous les transistors (110, 504) de cet étage.
- [Revendication 10] Procédé selon la revendication 1, dans lequel, pour chaque diode électroluminescente (104), une première extrémité de la diode électroluminescente (104) est connectée à l'un des éléments conducteurs (128, 132, 514).
- [Revendication 11] Procédé selon la revendication 1, dans lequel, pour au moins l'un des transistors, les régions de source et de drain et la grille du transistor sont situées dans une même couche isolante.

[Fig. 1]

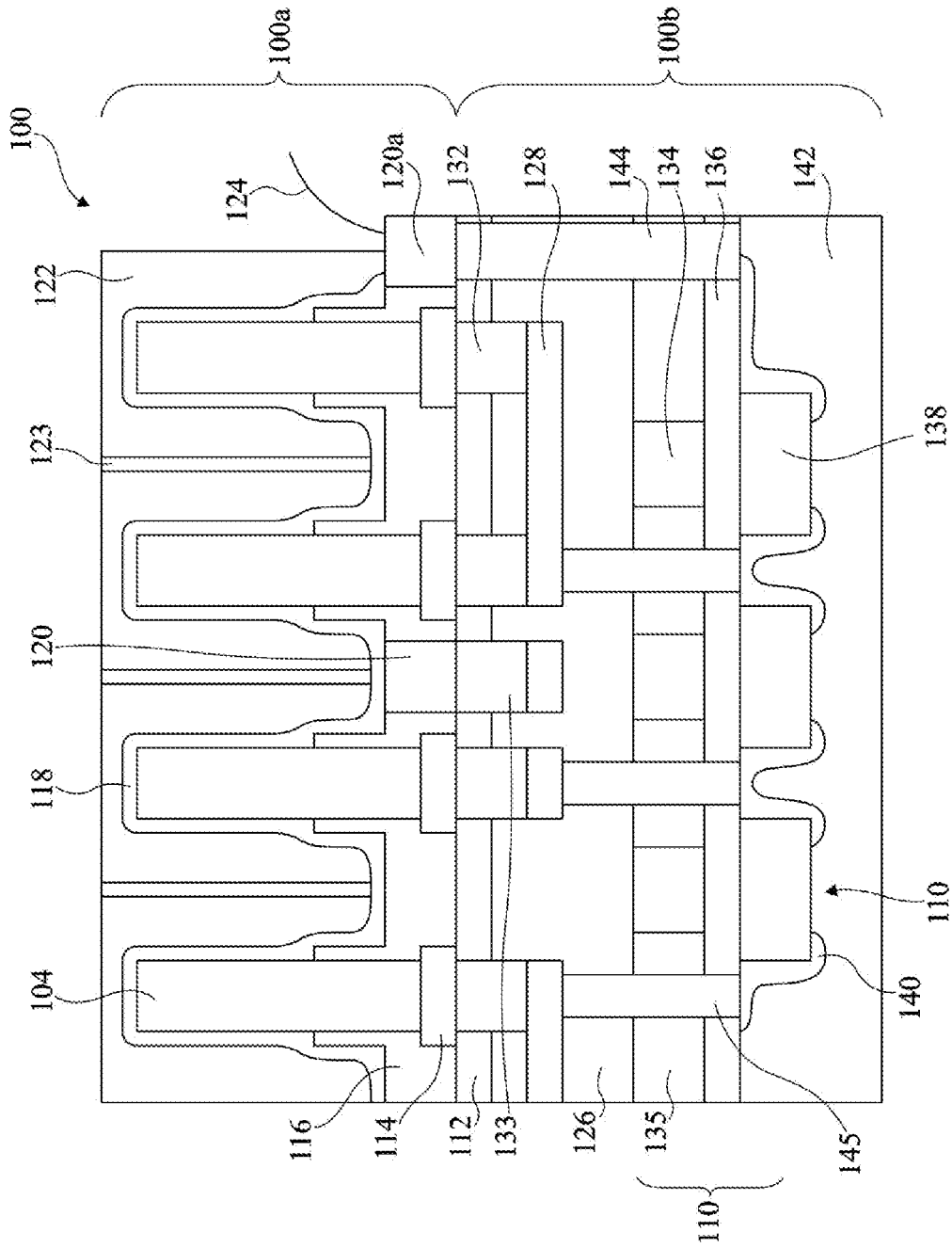


Fig 1

[Fig. 2]

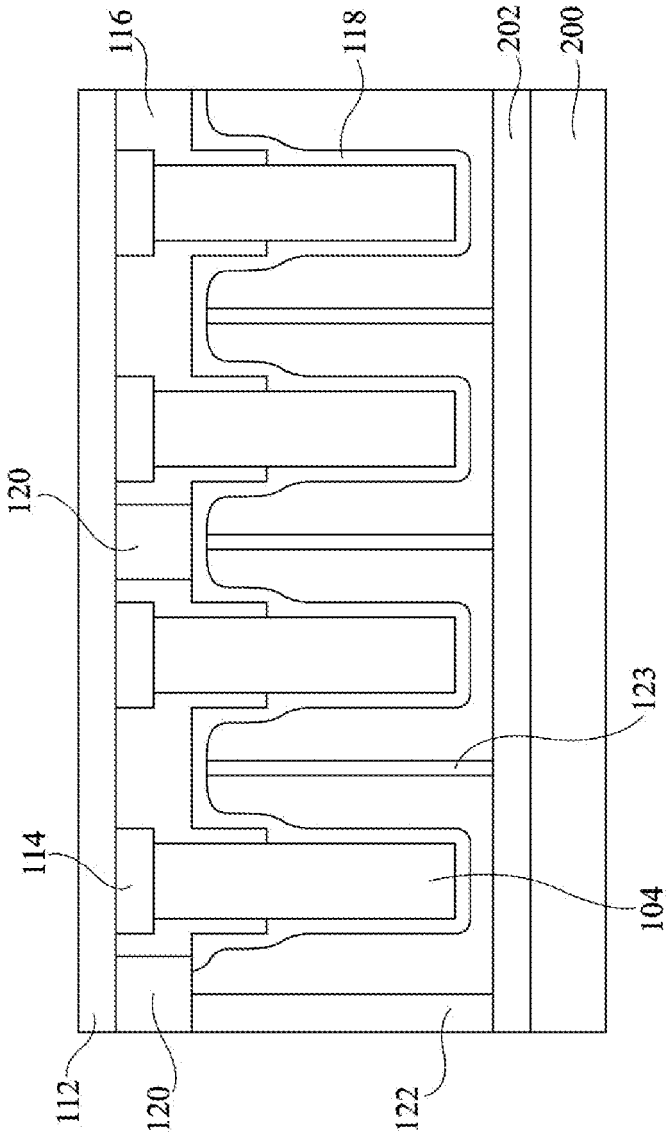


Fig 2

[Fig. 3]

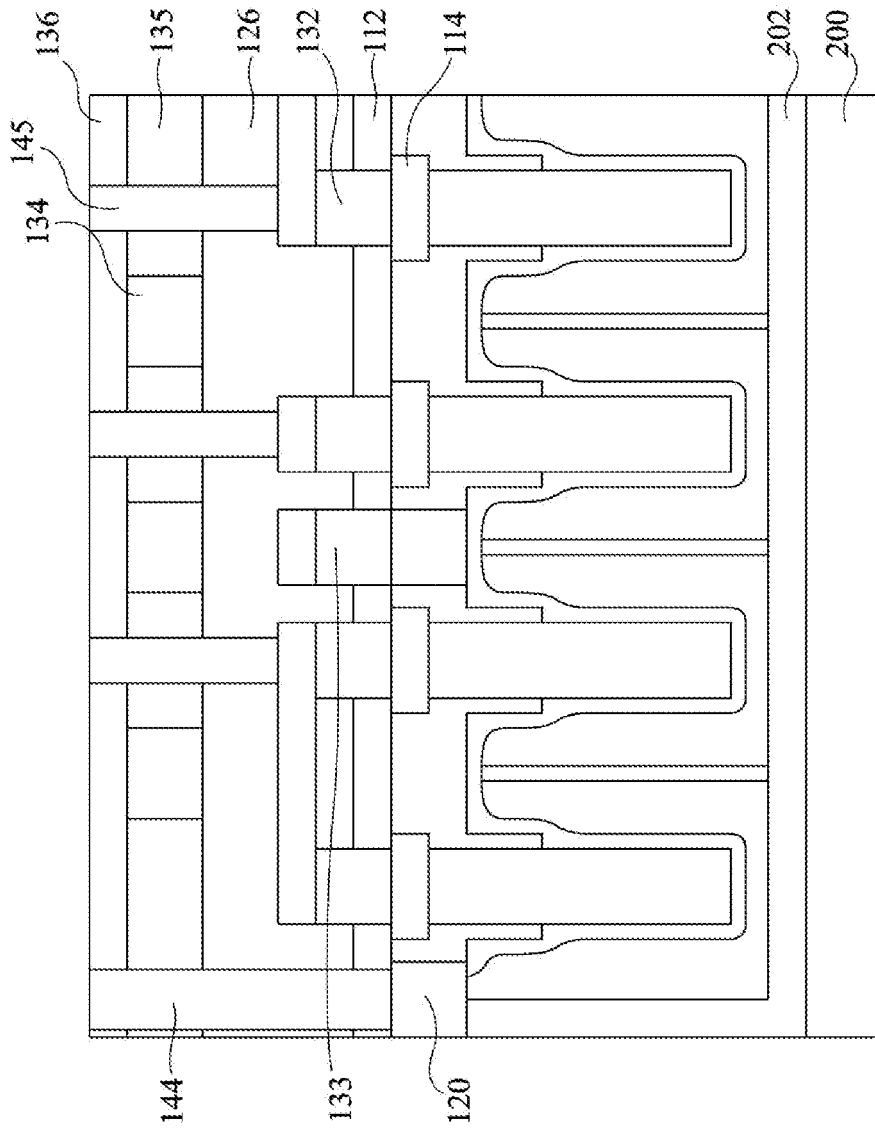


Fig 3

[Fig. 4]

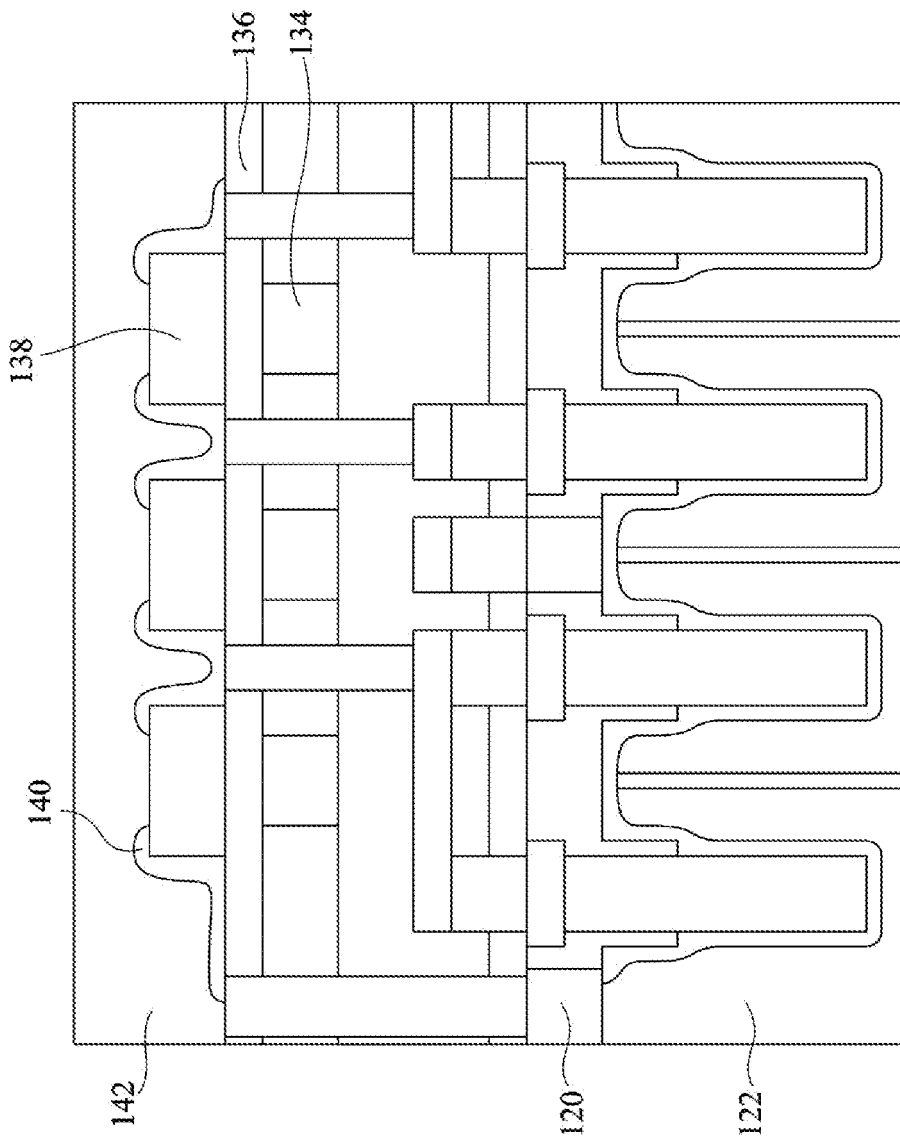


Fig 4

[Fig. 5]

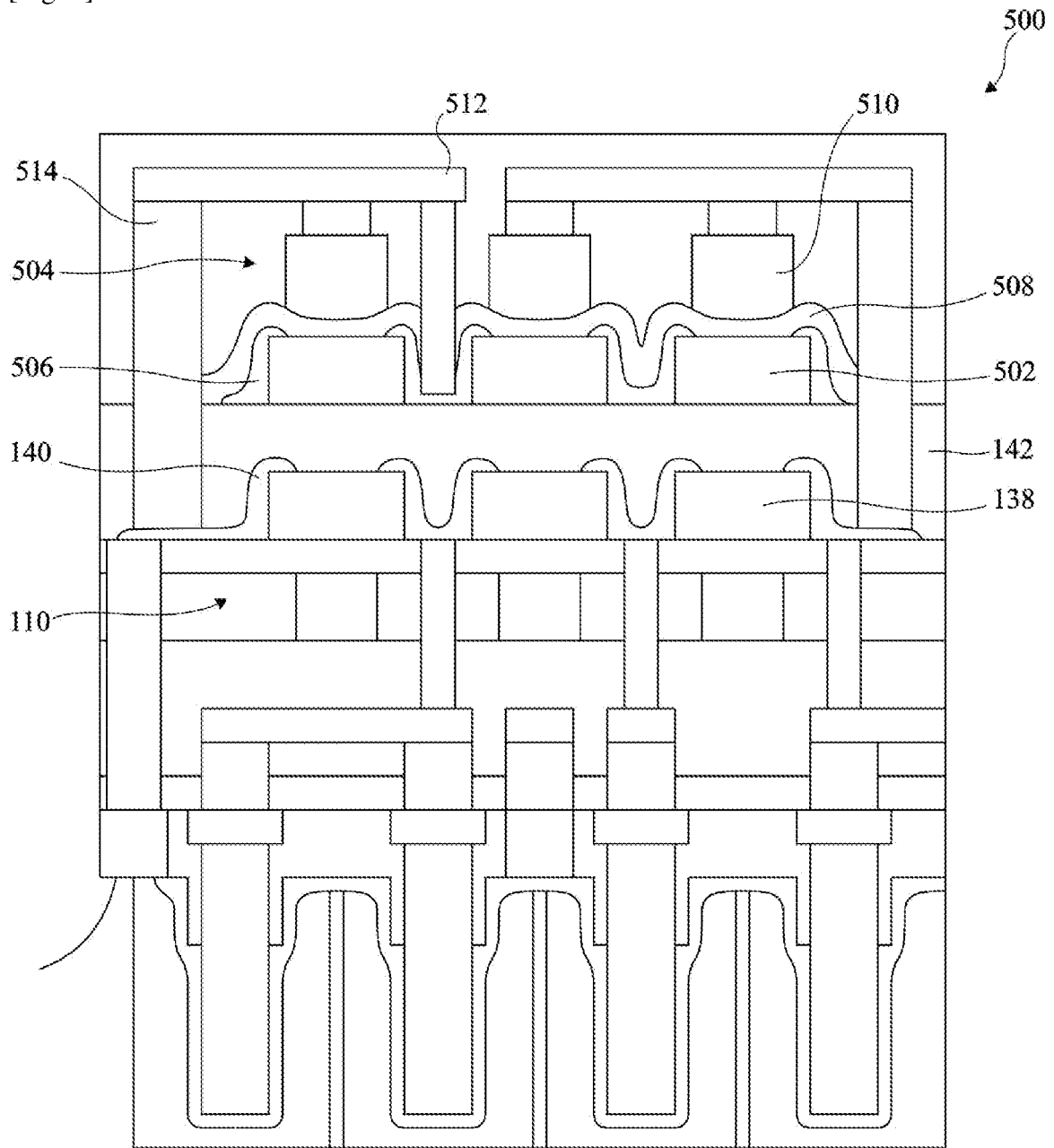


Fig 5

[Fig. 6]

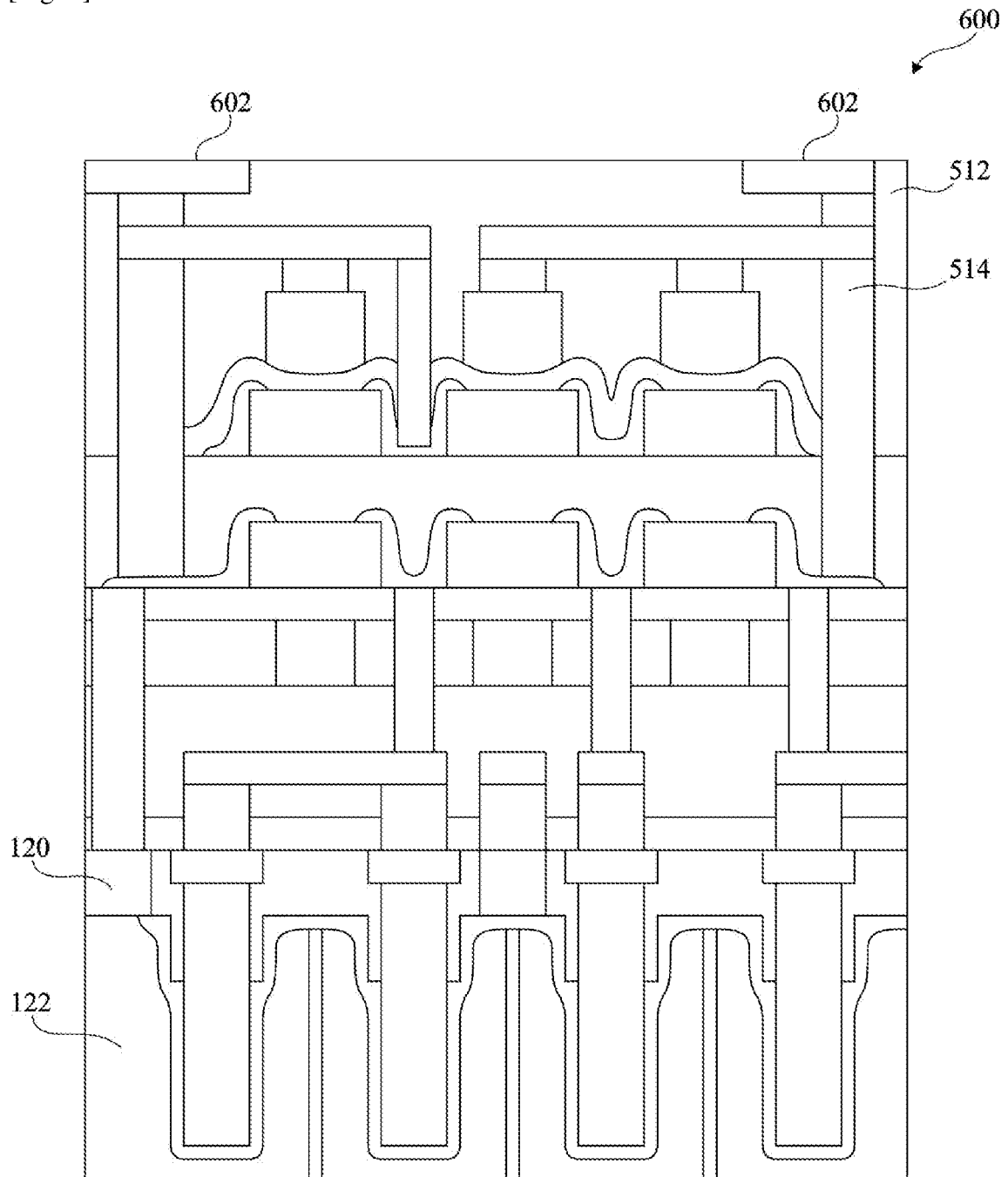


Fig 6

[Fig. 7]

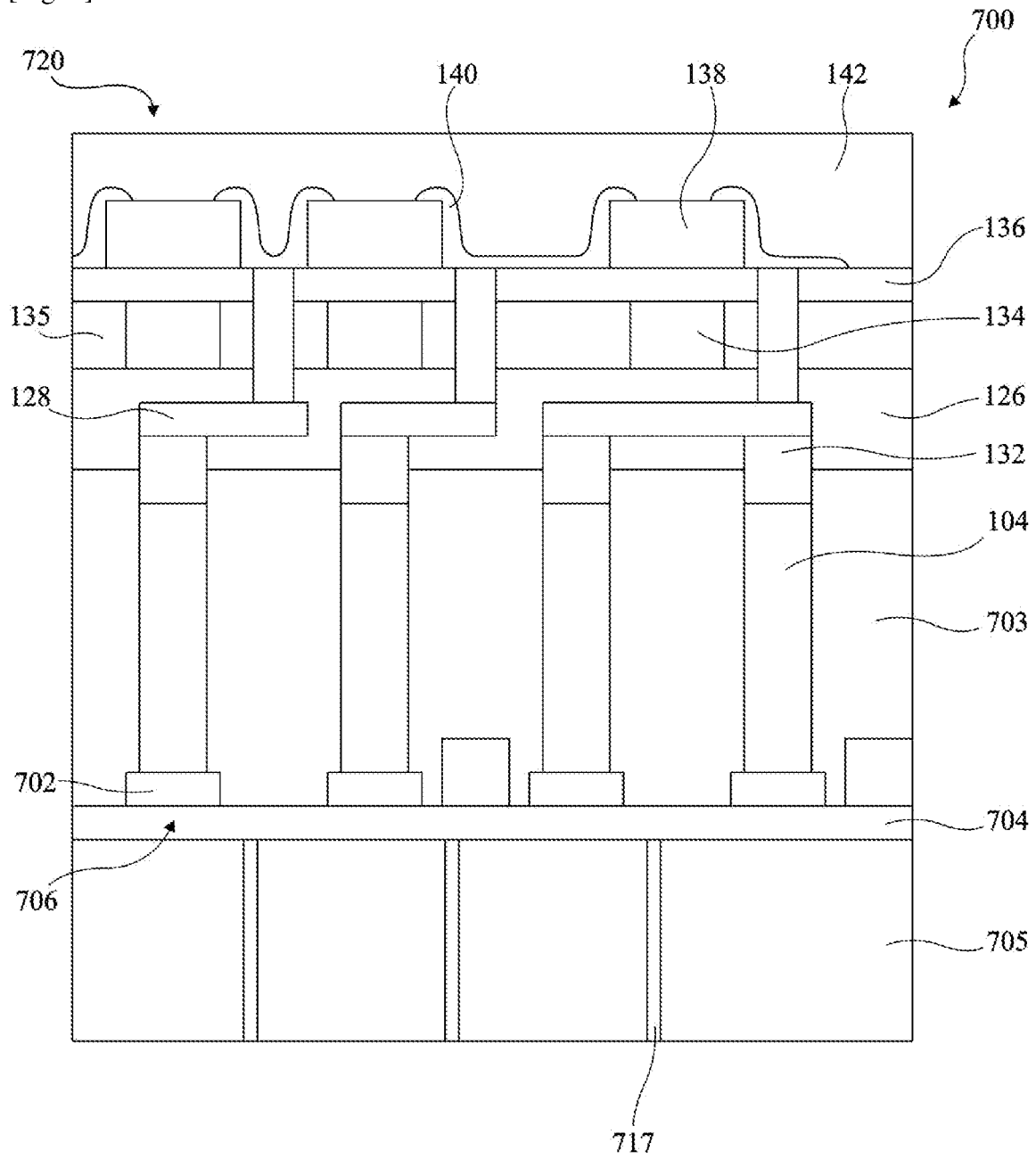


Fig 7

[Fig. 8]

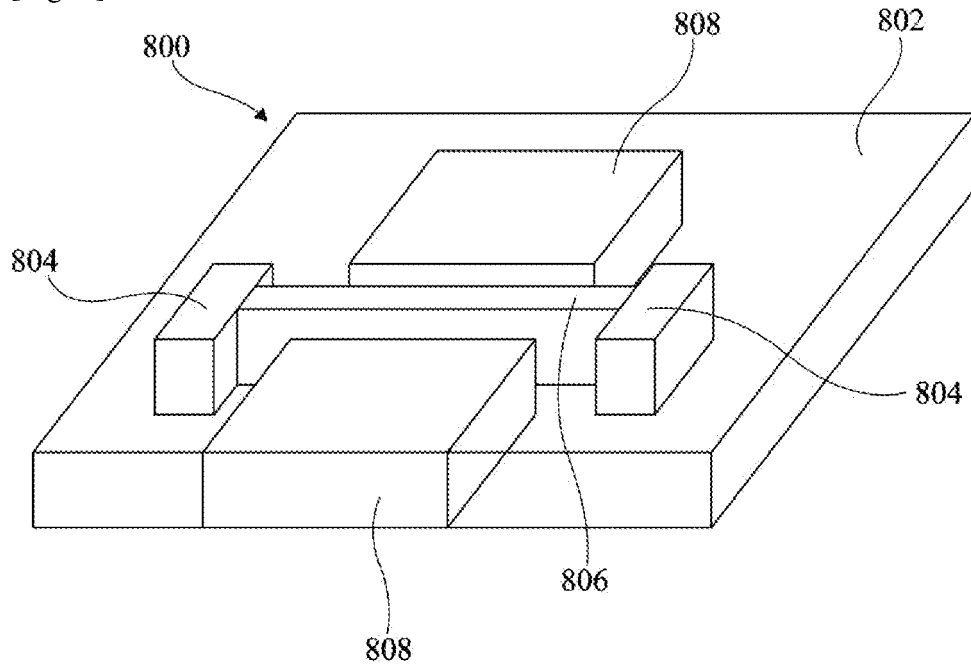


Fig 8

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

US 2017/358562 A1 (BANNA SRINIVASA [US] ET
AL) 14 décembre 2017 (2017-12-14)

US 2018/233575 A1 (KIM JAYBUM [KR] ET AL)
16 août 2018 (2018-08-16)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN
TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND
DE LA VALIDITE DES PRIORITES**

NEANT