

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成27年4月16日(2015.4.16)

【公開番号】特開2014-116401(P2014-116401A)

【公開日】平成26年6月26日(2014.6.26)

【年通号数】公開・登録公報2014-033

【出願番号】特願2012-268315(P2012-268315)

【国際特許分類】

H 01 L	21/338	(2006.01)
H 01 L	29/778	(2006.01)
H 01 L	29/812	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	29/41	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)

【F I】

H 01 L	29/80	H
H 01 L	29/78	3 0 1 B
H 01 L	29/44	S
H 01 L	29/58	G

【手続補正書】

【提出日】平成27年2月26日(2015.2.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

チャネル層と、

前記チャネル層上に設けられ、前記チャネル層を構成する半導体よりも高い伝導帯位置を有する高抵抗の半導体からなる高抵抗層と、

前記高抵抗層の表面層に設けられ、第1導電型不純物を含む半導体からなる第1導電型の低抵抗領域と、

前記低抵抗領域を挟んだ位置において前記高抵抗層に接続されたソース電極及びドレイン電極と、

前記低抵抗領域上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記低抵抗領域上に設けられたゲート電極と、

前記低抵抗領域と前記ソース電極及び前記ドレイン電極との間に形成された電流ブロック領域と、を備える

半導体装置。

【請求項2】

前記電流ブロック領域は、前記高抵抗層と前記ゲート絶縁膜とにおいて形成される界面準位によって、前記高抵抗層の表面に形成される空乏層からなる請求項1に記載の半導体装置。

【請求項3】

前記電流ブロック領域上の前記ゲート絶縁膜内に空隙を有する請求項1又は2に記載の

半導体装置。

【請求項 4】

前記電流ブロック領域上の前記ゲート絶縁膜内に、前記ゲート電極よりも仕事関数の大きい金属層を有する請求項1又は2に記載の半導体装置。

【請求項 5】

前記電流ブロック領域が、第1導電形不純物の拡散領域からなる請求項1に記載の半導体装置。

【請求項 6】

前記電流ブロック領域上に、前記ゲート絶縁膜と異なる絶縁膜が設けられている請求項1に記載の半導体装置。

【請求項 7】

前記電流ブロック領域の表面層が、前記高抵抗層と異なる半導体層により形成されている請求項1から6のいずれかに記載の半導体装置。

【請求項 8】

前記ゲート電極直下を除き、前記高抵抗層と前記ゲート絶縁膜との間にインターレイヤー層を有し、前記ゲート絶縁膜との界面の前記インターレイヤー層の表面から前記電流ブロック領域が形成されている請求項7に記載の半導体装置。

【請求項 9】

チャネル層と、

前記チャネル層上に設けられ、前記チャネル層を構成する半導体よりも高い伝導帯位置を有する高抵抗の半導体からなる高抵抗層と、

前記高抵抗層に接続されたソース電極及びドレイン電極と、

前記高抵抗層上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記ソース電極と前記ドレイン電極との間の前記高抵抗層上に設けられたゲート電極と、

前記ゲート電極直下を除く位置で、前記ソース電極と前記ドレイン電極との間に形成された電流ブロック領域と、を備える

半導体装置。

【請求項 10】

チャネル層上に、前記チャネル層を構成する半導体よりも高い伝導帯位置を有する高抵抗の半導体からなる高抵抗層を形成し、

前記高抵抗層の表面層に、第1導電形不純物を含む半導体からなる第1導電型の低抵抗領域を形成し、

前記低抵抗領域を挟んだ位置において前記高抵抗層に接続されたソース電極及びドレイン電極を形成し、

前記低抵抗領域上にゲート絶縁膜を形成し、

前記ゲート絶縁膜を介して前記低抵抗領域上にゲート電極を形成し、

前記低抵抗領域と前記ソース電極及び前記ドレイン電極との間に電流ブロック領域を形成する

半導体装置の製造方法。

【請求項 11】

チャネル層上に、前記チャネル層を構成する半導体よりも高い伝導帯位置を有する高抵抗の半導体からなる高抵抗層を形成し、

前記高抵抗層に接続されたソース電極及びドレイン電極を形成し、

前記高抵抗層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜を介して、前記ソース電極と前記ドレイン電極との間の前記高抵抗層上にゲート電極を形成し、

前記ゲート電極直下を除く、前記ソース電極と前記ドレイン電極との間に電流ブロック領域を形成する

半導体装置の製造方法。

【手続補正2】**【補正対象書類名】**明細書**【補正対象項目名】**0011**【補正方法】**変更**【補正の内容】****【0011】**

本技術の半導体装置及び半導体装置の製造方法によれば、ゲート電極と半導体層の間にゲート絶縁膜が、また、ソース電極及びドレイン電極とゲート電極の間に電流ブロック領域が形成される。このため、ゲート電極に電圧を印加したときのゲートリーク電流を抑制することができ、ゲート電極に大きな順方向電圧を印加することが可能となる。また、電流ブロック領域を備えることにより、ゲート電極下のMIS部に反転層が形成される場合にも、チャネル層よりも移動度が低い反転層に電流が流れないことから、不要な伝達コンダクタンスのゲート電圧依存性を回避することができ、半導体装置のスイッチ特性を向上させることができる。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0014**【補正方法】**変更**【補正の内容】****【0014】**

以下、本技術を実施するための最良の形態の例を説明するが、本技術は以下の例に限定されるものではない。

なお、説明は以下の順序で行う。

1. 半導体装置の概要
2. 第1実施形態(半導体装置)
3. 第1実施形態(半導体装置の製造方法)
4. 第2実施形態(半導体装置)
5. 第3実施形態(半導体装置)
6. 第4実施形態(半導体装置)
7. 第5実施形態(半導体装置)
8. 第6実施形態(半導体装置)
9. 第7実施形態(半導体装置)
10. 第8実施形態(半導体装置)
11. 第9実施形態(半導体装置)
12. 第10実施形態(半導体装置)
13. 第11実施形態(半導体装置)
14. 第12実施形態(半導体装置)
15. 第13実施形態(半導体装置)

【手続補正4】**【補正対象書類名】**明細書**【補正対象項目名】**0016**【補正方法】**変更**【補正の内容】****【0016】**

図24に示すJPHEMTは、例えば、半絶縁性単結晶GaaS基板101の上に、GaaSよりなるバッファ層102を介して、第2障壁層103と、チャネル層104と、第1障壁層105とが順次積層されている。

第2障壁層103は、2層の高抵抗層103b, 103cの間にキャリア供給層103aが挟まれた構造を有している。また、第1障壁層105は、2層の高抵抗層105b, 105cの間にキャリア供給層105aが挟まれた構造を有する。さらに、第1障壁層1

0 5 内には上層の高抵抗層 1 0 5 b に、 p 型低抵抗領域 1 0 5 d が形成されている。

p 型低抵抗領域 1 0 5 d の上にはゲート電極 1 0 6 が形成されている。 p 型低抵抗領域 1 0 5 d 及びゲート電極 1 0 6 の両脇における障壁層 1 0 5 には、ソース電極 1 0 8 及びドレイン電極 1 0 9 が形成されている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 4

【補正方法】変更

【補正の内容】

【0 0 8 4】

以上のような化合物半導体材料からなる各層の積層体上には、絶縁層 1 7 が設けられている。このゲート絶縁膜 1 7 には、開口 1 7 a , b が設けられている。この開口 1 7 a , b には、キャップ層 2 2 を介して上部障壁層 1 5 に接続されたソース電極 1 8 、ドレイン電極 1 9 が形成されている。

以上の構成については、上述の第 1 実施形態と同様の構成である。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 0

【補正方法】変更

【補正の内容】

【0 0 9 0】

開口 1 7 c には、この底面及び側面に沿って、上部障壁層 1 5 上にゲート絶縁膜 1 6 が形成されている。ゲート絶縁膜 1 6 は、第 1 ゲート絶縁膜 1 6 A と、この第 1 ゲート絶縁膜 1 6 A とは異なる材料からなる第 2 ゲート絶縁膜 1 6 B と、から形成されている。

ゲート絶縁膜 1 6 上にはゲート電極 2 0 が形成されている。 p 型低抵抗領域 1 5 d は 第 1 ゲート絶縁膜 1 6 A を介してゲート電極 2 0 直下に形成されている。さらに、上部障壁層 1 5 の表面であって、 p 型低抵抗領域 1 5 d の両側のゲート絶縁膜 1 6 下に電流ブロック領域 2 1 が形成される。電流ブロック領域 2 1 は、上部障壁層 1 5 の表面であって、第 2 ゲート絶縁膜 1 6 B と接する位置に設けられる。