

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 2 日 (02.02.2023)



(10) 国际公布号
WO 2023/005183 A1

(51) 国际专利分类号:

G11C 8/08 (2006.01) *G11C 5/06* (2006.01)
G11C 16/08 (2006.01)

国安徽省合肥市经济技术开发区空港工业园
兴业大道388号, Anhui 230601 (CN)。

(21) 国际申请号: PCT/CN2022/075238

(22) 国际申请日: 2022 年 1 月 30 日 (30.01.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202110864945.8 2021年7月29日 (29.07.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 杨桂芬 (YANG, Guifen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。池性洙 (CHI, Sungsoo); 中

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: WORD LINE DRIVER CIRCUIT AND MEMORY

(54) 发明名称: 字线驱动器电路及存储器

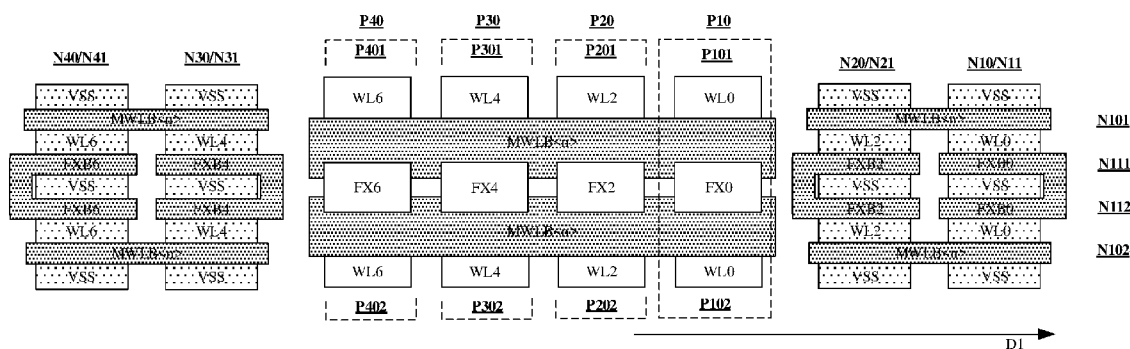


图3

(57) Abstract: The embodiments of the present application relate to the field of semiconductors. Provided are a word line driver circuit and a memory. The word line driver circuit may at least comprise a plurality of word line drivers, wherein each of the word line drivers contains a PMOS transistor and an NMOS transistor, the plurality of word line drivers contain a plurality of PMOS transistors and a plurality of NMOS transistors, the plurality of PMOS transistors are arranged side by side, and in an arrangement direction of the plurality of PMOS transistors, some of the NMOS transistors are located on one side of the plurality of PMOS transistors, and some other NMOS transistors are located on the other opposite side of the plurality of PMOS transistors.

(57) 摘要: 本申请实施例涉及半导体领域, 提供一种字线驱动器电路及存储器, 字线驱动器电路至少可以包括: 多个字线驱动器, 每一所述字线驱动器包含PMOS管和NMOS管, 多个所述字线驱动器包含多个PMOS管和多个NMOS管, 所述多个PMOS管并排设置, 在所述多个PMOS管的排列方向上, 部分所述NMOS管位于所述多个PMOS管的一侧, 另一部分所述NMOS管位于所述多个PMOS管的相对的另一侧。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

字线驱动器电路及存储器

相关申请的交叉引用

本申请基于申请号为 202110864945.8、申请日为 2021 年 07 月 29 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的
5 全部内容在此引入本申请作为参考。

技术领域

本申请实施例涉及但不限于一种字线驱动器电路及存储器。

背景技术

存储器中的各种电路需要使用各种信号，用于将信号施加于信号线的
10 信号驱动器被普遍应用。字线驱动器用于向存储单元阵列中的字线施加电压，字线可以从子字线驱动器（SWD，Sub Wordline Driver）开始延伸并穿过存储单元阵列。子字线驱动器可以响应于存储设备接收到的对应于字线的行地址而选择性地激活对应的字线，与被激活字线连接的每个存储单元可以将数据输出或输入。

发明内容

本申请实施例提供一种新的字线驱动器电路及存储器。

根据本申请一些实施例，本申请实施例提供一种字线驱动器电路，包括：多个字线驱动器，每一所述字线驱动器包含 PMOS 管和 NMOS 管，多个所述字线驱动器包含多个 PMOS 管和多个 NMOS 管，所述多个 PMOS
20 管并排设置，在所述多个 PMOS 管的排列方向上，部分所述多个 NMOS 管位于所述 PMOS 管的一侧，另一部分所述 NMOS 管位于所述多个 PMOS

管的相对的另一侧。

根据本申请一些实施例，本申请实施例还提供一种存储器，包含上述字线驱动器电路。

附图说明

5 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制。

图 1 为本申请实施例提供的存储器的结构示意图；

图 2 为本申请实施例提供的字线驱动器电路的电路结构示意图；

10 图 3 至图 9 为本申请实施例提供的字线驱动器电路的版图结构示意图。

具体实施方式

下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下
15 各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

图 1 为本申请实施例提供的存储器的结构示意图；图 2 为本申请实施例提供的字线驱动器电路的电路结构示意图；图 3 至图 9 为本申请实施例提供的字线驱动器电路的版图结构示意图。

字线驱动器电路包括：多个字线驱动器，每一字线驱动器包含 PMOS
20 管和 NMOS 管，多个字线驱动器包括多个 PMOS 管和多个 NMOS 管，多个 PMOS 管并排设置，在多个 PMOS 管的排列方向上，部分 NMOS 管位于多个 PMOS 管的一侧，另一部分 NMOS 管位于多个 PMOS 管的另一侧。

以下将结合附图对本申请实施例进行更为详细的说明。

参考图 1，根据连接的字线不同，字线驱动器可分为奇数字线驱动器

SWD_ODD 和偶数字线驱动器 SWD_EVEN, 奇数字线驱动器 SWD_ODD 用于连接奇数位字线 (例如 WL1、WL3、WL5 以及 WL7), 偶数字线驱动器 SWD_EVEN 用于连接偶数位字线 (例如 WL0、WL2、WL4 以及 WL6)。在存储设备中, 奇数字线驱动器 SWD_ODD 和偶数字线驱动器 SWD_EVEN 通常间隔设置, 奇数位字线与偶数位字线通常间隔排列。

参考图 1 和图 2, 以每一字线驱动器电路包含四个字线驱动器作为示例进行说明, 根据图示可知, 同一字线驱动器电路中的不同字线驱动器的类型相同, 即均为奇数字线驱动器或偶数字线驱动器; 每一字线驱动器可包含一个 PMOS 管和两个 NMOS 管, 记为第零 PMOS 管、第零 NMOS 管和第一 NMOS 管, 第零 PMOS 管的栅极和第零 NMOS 管的栅极用于接收第一控制信号 MWLB (例如 MWLB<n>), 第零 PMOS 管的源极用于接收第二控制信号 FX (例如 FX0、FX2、FX4 以及 FX6), 第零 PMOS 管的漏极、第零 NMOS 管的漏极以及第一 NMOS 管的漏极用于连接对应的字线 (例如 WL0、WL2、WL4 以及 WL6), 第零 NMOS 管的源极和第一 NMOS 管的源极接地, 第一 NMOS 管的栅极用于接收第二控制互补信号 FXB (例如 FXB0、FXB2、FXB4 以及 FXB6)。在一些实施例, 字线驱动器仅包含一个 PMOS 管和一个 NMOS 管。

其中, 第二控制信号 FX 向高电平跳变的时刻与第二控制互补信号 FXB 向低电平跳变的时刻、第一控制信号 MWLB 向低电平跳变的时刻相同, 第二控制互补信号 FXB 向高电平跳变的时刻晚于第二控制信号 FX 向低电平跳变的时刻, 第一控制信号 MWLB 向高电平跳变的时刻晚于第二控制互补信号 FXB 向高电平跳变的时刻。

示例性地, 字线驱动器电路包括第一字线驱动器 SWD1、第二字线驱动器 SWD2、第三字线驱动器 SWD3 以及第四字线驱动器 SWD4, 第一字线驱动器 SWD1 包括 PMOS 管 P10 与 NMOS 管 N10 和 N11, 第二字线驱

动器 SWD2 包括 PMOS 管 P20 与 NMOS 管 N20 和 N21, 第三字线驱动器 SWD3 包括 PMOS 管 P30 与 NMOS 管 N30 和 N31, 第四字线驱动器 SWD4 包括 PMOS 管 P40 与 NMOS 管 N40 和 N41, 其中, P10、P20、P30 以及 P40 属于第零 PMOS 管, N10、N20、N30 以及 N40 属于第零 NMOS 管, N11、N21、N31 以及 N41 属于第一 NMOS 管。

在一些实施例中, 每一 PMOS 管由至少两个子 PMOS 管构成; 在另一些实施例中, 每一 NMOS 管由至少两个子 NMOS 管构成; 在又一实施例中, 每一 PMOS 管由至少两个子 PMOS 管构成, 且每一 NMOS 管由至少两个子 NMOS 管构成。示例性地, 第零 PMOS 管由第零一 PMOS 管和第零二 PMOS 管构成, 第零 NMOS 管由第零一 NMOS 管和第零二 NMOS 管构成, 第一 NMOS 管由第一一 NMOS 管和第一二 NMOS 管构成。需要说明的是, 本申请实施例中, 第零一 PMOS 管和第零二 PMOS 管为物理特性完全相同的 NMOS 管, 区别仅在于自身的位置不同以及与其他部件的连接关系不同, 同理地, 第一一 NMOS 管和第一二 NMOS 管以及第零一 NMOS 管和第零二 NMOS 管为物理特性完全相同的 NMOS 管, 区别仅在于自身的位置不同以及与其他部件的连接关系不同。设置由两个子 MOS 管共同构成 PMOS 管或 NMOS 管, 有利于调节版图的布局。

为了图示的简洁, 图 3 至图 9 中并未标示每一晶体管或子晶体管, 本领域技术人员可以根据图 2 中不同晶体管的栅源漏所接收的信号, 确定图 3 至图 9 中不同位置的晶体管表征的是哪一晶体管或哪一子晶体管。

在一些实施例中, 参考图 3, 第一字线驱动器中的 P10、第二字线驱动器中的 P20、第三字线驱动器中的 P30 以及第四字线驱动器中的 P40 沿第一方向 D1 并排设置, 在第一方向 D1 上, 第一字线驱动器中的 N10 和 N11 与第二字线驱动器中的 N20 和 N21 位于上述多个 PMOS 管的一侧, 第三字线驱动器中的 N30 和 N31 与第四字线驱动器中的 N40 和 N41 位于上述多个

PMOS 管的相对的另一侧。

在一些实施例中，记字线驱动器中 PMOS 管与 NMOS 管之间的间距为预设间距，不同字线驱动器之间的预设间距相同。其中，参考图 3，在第一方向 D1 上，字线驱动器中第零 PMOS 管与第零 NMOS 管和第一 NMOS 管之间的间距相等，具体地，P10 与 N10 和 N11 之间的间距相等，P20 与 N20 和 N21 之间的间距相等，P30 与 N30 和 N31 之间的间距相等，P40 与 N40 和 N41 之间的间距相等；进一步地，P10 与 N10 之间的第一间距与 P20 与 N20 之间的第二间距、P30 与 N30 之间的第三间距以及 P40 与 N40 之间的第四间距相等。设置不同的预设间距相等，有利于使得不同字线驱动器具有相同或相近的性能，从而使得不同字线驱动器向对应的字线施加电压的时刻相近，保证存储器内部时序的稳定性。

在一些实施例中，两个子 PMOS 管共用同一源极。以第一字线驱动器为例，第一字线驱动器中的 PMOS 管 P10 由 P101 和 P102 两个子 PMOS 管构成，P101 和 P102 共用同一有源区，用于接收第一控制信号 FX，具体为 FX0。

在一些实施例中，多个 PMOS 管的排列方向（即第一方向 D1）垂直于 PMOS 管的沟道长度方向，其中，两个子 PMOS 管的排列方向平行于 PMOS 管的沟道长度方向且垂直于第一方向 D1。继续以第一实施例作为示例，P101 和 P102 的排列方向平行于沟道长度方向且垂直于第一方向 D1。

在一些实施例中，每一 PMOS 管包括第一子 PMOS 管和第二子 PMOS 管，不同 PMOS 管对应的第一子 PMOS 管共用同一栅极，不同 PMOS 管对应的第二子 PMOS 管共用同一栅极。如图 3 所示，PMOS 管 P20 包括 P201 和 P202，PMOS 管 P30 包括 P301 和 P302，PMOS 管 P40 包括 P401 和 P402，P101、P201、P301 以及 P401 沿第一方向 D1 并排设置且共用同一栅极，P102、P202、P302 以及 P402 沿第一方向 D1 并排设置且共用另一栅极。

在一些实施例中，第一一 NMOS 管和第一二 NMOS 管位于第零一 NMOS 管和第零二 NMOS 管之间。参考图 3，不同字线驱动器的 NMOS 管的内部排列方式相同，以第一字线驱动器为例，第一字线驱动器中的第零 NMOS 管 N10 包括第零一 NMOS 管 N101 和第零二 NMOS 管 N102，第一 NMOS 管 N11 包括第一一 NMOS 管 N111 和第一二 NMOS 管 N112，N111 和 N112 位于 N101 和 N102 之间。

在一些实施例中，第一一 NMOS 管和第一二 NMOS 管的排列方向平行于第零一 NMOS 管和第零二 NMOS 管的排列方向。同样地，以第一字线驱动器为例，N111 与 N112 的排列方向平行于 N101 与 N102 的排列方向。

在一些实施例中，不同晶体管及其子晶体管的沟道长度方向相同，如此，有利于实现同一字线驱动器中 PMOS 管与 NMOS 管之间具有唯一的预设间距，如此，有利于使得字线驱动器具有更为稳定和均衡的性能。具体地，以第一字线驱动器为例，在第一方向 D1 上，P101 与 N101 之间的距离等于 P102 和 N102 之间的距离；其中，在第一方向 D1 上，P101 的栅极的水平位置与 N101 的栅极的水平位置至少部分重合，P101 与 N101 之间的距离为 P101 的栅极与 N101 的栅极之间的距离，P102 与 N102 之间同理，在此不再进行赘述。

相应地，在第一方向 D1 上，P101 与 N111 之间的距离等于 P102 与 N112 之间的距离；其中，在第一方向 D1 上，P101 的栅极的水平位置与 N111 的栅极的水平位置至少部分重合，P101 与 N111 之间的距离为 P101 的栅极与 N111 的栅极之间的距离，P102 与 N112 之间同理，在此不再进行赘述。

在一些实施例中，第零一 NMOS 管与第一一 NMOS 管共用同一漏极，第一一 NMOS 管与第一二 NMOS 管共用同一源极，第一二 NMOS 管与第零二 NMOS 管共用同一漏极，不同晶体管共用同一源极或漏极，有利于减小字线驱动器的整体尺寸，进而实现字线驱动器电路以及存储器的小型化

和微型化。以第一字线驱动器为例，N101 和 N111 共用同一有源区，该有源区通过接触孔与第零字线 WL0 连接，N111 和 N112 共用同一有源区，该有源区接地或连接低电平信号，N112 和 N102 共用同一有源区，该有源区同样通过接触孔与第零字线 WL0 连接。

5 其中，第一一 NMOS 管和第一二 NMOS 管共用同一栅极，不同晶体管共用同一栅极有利于降低栅极的制作难度和保证栅极的导电性能，具体来说，有利于降低掩膜的图案化开口的复杂度，避免因图案较为复杂而出现刻蚀缺陷，保证栅极能够有效形成。以第一字线实施例为例，N111 和 N112 共用同一栅极，或者说，N111 的栅极和 N112 的栅极为同一导电层的不同
10 部分，用于连通 N111 的栅极和 N112 的栅极的另一部分导电层位于隔离结构上。隔离结构用于隔离相邻有源区，字线可以采用掺杂多晶硅或金属材料制成，例如钨和钼。

在一些实施例中，第零一 NMOS 管和第零二 NMOS 管位于第一一 NMOS 管和第一二 NMOS 管之间；其中，第零一 NMOS 管和第零二 NMOS
15 管可共用同一栅极。参考图 4，不同字线驱动器的 NMOS 管的内部排列方式相同，以第一字线驱动器为例，N101 和 N102 位于 N111 和 N112 之间，N101 和 N102 共用同一栅极。

与上一实施例类似的是，位于中间位置的第零一 NMOS 管和第零二 NMOS 管的排列方向平行于位于两侧的第一一 NMOS 管和第一二 NMOS
20 管的排列方向，对应图 4，N101 与 N102 的排列方向平行于 N111 与 N112 的排列方向。

相应地，第一一 NMOS 管与第零一 NMOS 管共用同一漏极，第零一 NMOS 管与第零二 NMOS 管共用同一源极，第零二 NMOS 管与第一二 NMOS 管共用同一漏极。对应图 4，N111 和 N101 和共用同一有源区，该
25 有源区通过接触孔与第零字线 WL0 连接，N101 和 N102 共用同一有源区，

该有源区接地或连接低电平信号，N102 和 N112 共用同一有源区，该有源区同样通过接触孔与第零字线 WL0 连接。

在一些实施例中，参考图 4，字线驱动器包括第一字线驱动器和第二字线驱动器，第一字线驱动器中的 NMOS 管 N10 与第二字线驱动器中的 NMOS 管 N20 共用同一源极和同一栅极。其中，N20 由 N201 和 N202 构成，N10 由 N101 和 N102 构成，N201、N202、N101 以及 N102 共用同一连续的有源区和同一连续的导电层。可以理解的是，不同晶体管的栅极为同一导电层的不同部分，连接不同晶体管的栅极的其他部分导电层位于隔离结构上，隔离结构用于隔离相邻有源区；此外，共用的连续导电层可以根据晶体管的排布呈现出各种形状，在一些实施例中，共用的连续导电层呈现环状。

相应地，第一字线驱动器包含的第一 NMOS 管与第二字线驱动器包含的第一 NMOS 管共用源极。其中，第一字线驱动器中的第一 NMOS 管由 N111 和 N112 构成，第二字线驱动器中的第一 NMOS 管由 N111 和 N112 构成，N111 和 N211 共用同一源极，N112 和 N212 共用同一源极。

可以理解的是，不同字线驱动器之间存在多种组合，本申请实施例以第一字线驱动器和第二字线驱动器的 NMOS 管设置在 PMOS 管的同一侧作为示例，并基于该示例说明字线驱动器电路中位于 PMOS 管同一侧的相邻字线驱动器的 NMOS 管的连接关系。可以理解的是，在图 4 所示实施例中，第三字线驱动器的 NMOS 管和第四字线驱动器的 NMOS 管可同样适用上述连接关系；同理，在其他实施例中，若第一字线驱动的 NMOS 管和第三字线驱动器的 NMOS 管位于 PMOS 管的一侧，则上述连接关系的表述还适用于第一字线驱动器的 NMOS 管和第三字线驱动器的 NMOS 管。后续仍以第一字线驱动器和第二字线驱动器作为示例进行说明，关于其适用情况不再赘述。

在一些实施例中，第一一 NMOS 管和第一二 NMOS 管的排列方向平行于第零一 NMOS 管和第零二 NMOS 管的排列方向；其中，第零一 NMOS 管和第零二 NMOS 管共用同一栅极，和/或第一一 NMOS 管和第一二 NMOS 管共用同一栅极。

5 其中，在一些实施例中，参考图 5，字线驱动器包括第一字线驱动器和第二字线驱动器，第一字线驱动器包含的第一 NMOS 管和第二字线驱动器包含的第一 NMOS 管位于第一字线驱动器包含的第零 NMOS 管和第二字线驱动器包含的第零 NMOS 管之间，即 N11 和 N21 位于 N10 和 N20 之间。

10 在另一些实施例中，参考图 6，字线驱动器包括第一字线驱动器和第二字线驱动器，第一字线驱动器包含的第零 NMOS 管和第二字线驱动器包含的第零 NMOS 管位于第一字线驱动器包含的第一 NMOS 管和第二字线驱动器包含的第一 NMOS 管之间，即 N10 和 N20 位于 N11 和 N21 之间；此外，N10 和 N20 共用同一栅极。

15 在一些实施例中，参考图 3 至图 6，字线驱动器中 NMOS 管的沟道长度方向平行于 PMOS 管的沟道长度方向，或者说，PMOS 管的沟道长度方向与 NMOS 管的沟道长度方向相同；在另一些实施例中，参考图 7 至图 9，字线驱动器中 NMOS 管的沟道长度方向垂直于 PMOS 管的沟道长度方向。其中，图 7 所示实施例与图 3 所示实施例的区别在于整体调整字线驱动器电路中 NMOS 管的沟道长度方向，相应地，图 8 所示实施例与图 6 所示实
20 施例以及图 9 和图 5 所示实施例的主要区别特征也在于此。

由于与字线驱动器连接的字线的延伸方向一般平行于字线驱动器中 PMOS 管的栅极的延伸方向，设置 NMOS 管的沟道长度方向垂直于 PMOS 管的沟道长度方向，有利于避免在垂直于第一方向 D1 的第二方向 D2 上并排较多的 NMOS 管，为 NMOS 管的漏极的延伸预留更大的空间，使得 NMOS
25 管的漏极具有较大的宽度，进而有利于使得从 PMOS 管的漏极延伸出来的

字线无需弯折即可直接与对应的 NMOS 管的漏极连接，即使得字线呈现直线，降低字线的电阻和电阻导致的 RC 延迟，保证字线驱动器电路具有良好的电学性能。

本实施例中，多个 PMOS 管并排设置，且在多个 PMOS 管的排列方向上，多个 NMOS 管位于多个 PMOS 管的相对两侧，如此，有利于避免在垂直上述排列方向的方向上 PMOS 管和 NMOS 管并排设置，使得在垂直方向上 PMOS 管和 NMOS 管具有更大的空间，从而有利于延长 PMOS 管和 NMOS 管的沟道长度或栅极宽度，提升字线驱动器电路的电学性能；同时，控制 NMOS 管位于 PMOS 管的相对两侧，有利于使得不同字线驱动器对应的 PMOS 管与 NMOS 管之间的间距较短，从而缩短布线长度、降低导线电阻以及降低信号延迟；此外，将 NMOS 管设置于 PMOS 管的相对两侧，有利于提升字线驱动器电路的对称性，从而字线驱动器电路的电学性能。

本申请实施例还提供一种存储器，包括上述任一项所述的字线驱动器电路。在集成电路的尺寸日益微缩的情况下，采用上述结构的字线驱动器电路，由于其晶体管和字线可具有良好的电学性能，因此字线驱动器电路可具有良好的特性，从而提升存储器的整体性能。

本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权利要求书

1.一种字线驱动器电路，包括：

多个字线驱动器，每一所述字线驱动器包含 PMOS 管和 NMOS 管，多个所述字线驱动器包含多个 PMOS 管和多个 NMOS 管，所述多个 PMOS 管并排设置，在所述多个 PMOS 管的排列方向上，部分所述 NMOS 管位于所述多个 PMOS 管的一侧，另一部分所述 NMOS 管位于所述多个 PMOS 管的相对的另一侧。

2.根据权利要求 1 所述的字线驱动器电路，其中，记所述字线驱动器中所述 PMOS 管与所述 NMOS 管之间的间距为预设间距，不同所述字线驱动器的所述预设间距相同。

3.根据权利要求 1 所述的字线驱动器电路，其中，每一所述 PMOS 管由至少两个子 PMOS 管构成。

4.根据权利要求 1 所述的字线驱动器电路，其中，每一所述 NMOS 管由至少两个子 NMOS 管构成。

5.根据权利要求 1 或 4 所述的字线驱动器电路，其中，所述字线驱动器包括第零 PMOS 管、第零 NMOS 管和第一 NMOS 管，所述第零 PMOS 管的栅极接收第一控制信号，源极接收第二控制信号，漏极连接字线，所述第零 NMOS 管的栅极接收所述第一控制信号，源极接地，漏极连接所述字线，所述第一 NMOS 管的栅极接收第二控制互补信号，源极接地，漏极连接所述字线，所述第零 NMOS 管由第零一 NMOS 管和第零二 NMOS 管构成，所述第一 NMOS 管由第一一 NMOS 管和第一二 NMOS 管构成。

6.根据权利要求 5 所述的字线驱动器电路，其中，所述第一一 NMOS 管和所述第一二 NMOS 管位于所述第零一 NMOS 管和所述第零二 NMOS 管之间。

7.根据权利要求 6 所述的字线驱动器电路,其中,所述第一一 NMOS 管和所述第一二 NMOS 管的排列方向平行于所述第零一 NMOS 管和所述第零二 NMOS 管的排列方向。

8.根据权利要求 6 所述的字线驱动器电路,其中,所述第零一 NMOS 管与所述第一一 NMOS 管共用同一漏极,所述第一一 NMOS 管与所述第一二 NMOS 管共用同一源极,所述第一二 NMOS 管与所述第零二 NMOS 管共用同一漏极。

9.根据权利要求 8 所述的字线驱动器电路,其中,所述第一一 NMOS 管和所述第一二 NMOS 管共用同一栅极。

10.根据权利要求 5 所述的字线驱动器电路,其中,所述第零一 NMOS 管和所述第零二 NMOS 管位于所述第一一 NMOS 管和所述第一二 NMOS 管之间。

11.根据权利要求 10 所述的字线驱动器电路,其中,所述第零一 NMOS 管和所述第零二 NMOS 管共用同一栅极。

12.根据权利要求 10 所述的字线驱动器电路,其中,所述字线驱动器包括第一字线驱动器和第二字线驱动器,所述第一字线驱动器包含的所述第零 NMOS 管与所述第二字线驱动器包含的所述第零 NMOS 管共用同一源极和同一栅极,所述第一字线驱动器包含的所述第一 NMOS 管与所述第二字线驱动器包含的所述第一 NMOS 管共用源极。

13.根据权利要求 5 所述的字线驱动器电路,其中,所述第一一 NMOS 管和所述第一二 NMOS 管的排列方向平行于所述第零一 NMOS 管和所述第零二 NMOS 管的排列方向。

14.根据权利要求 13 所述的字线驱动器电路,其中,所述第零一 NMOS 管和所述第零二 NMOS 管共用同一栅极,所述第一一 NMOS 管和所述第一二 NMOS 管共用同一栅极。

15.根据权利要求 13 所述的字线驱动器电路，其中，所述字线驱动器包括第一字线驱动器和第二字线驱动器，所述第一字线驱动器包含的所述第一 NMOS 管和所述第二字线驱动器包含的所述第一 NMOS 管位于所述第一字线驱动器包含的所述第零 NMOS 管和所述第二字线驱动器包含的所述第零 NMOS 管之间。

16.根据权利要求 13 所述的字线驱动器电路，其中，所述字线驱动器包括第一字线驱动器和第二字线驱动器，所述第一字线驱动器包含的所述第零 NMOS 管和所述第二字线驱动器包含的所述第零 NMOS 管位于所述第一字线驱动器包含的所述第一 NMOS 管和所述第二字线驱动器包含的所述第一 NMOS 管之间。

17.根据权利要求 1 所述的字线驱动器电路，其中，所述 NMOS 管的沟道延伸方向垂直于所述 PMOS 管的沟道延伸方向。

18.一种存储器，包含权利要求 1 至 17 中任一项所述的字线驱动器电路。

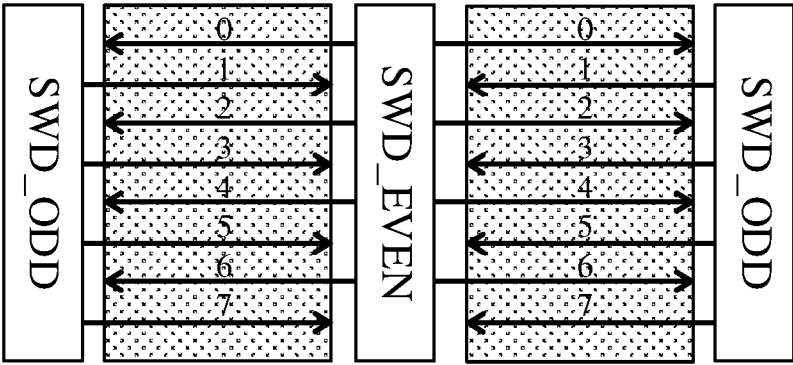


图 1

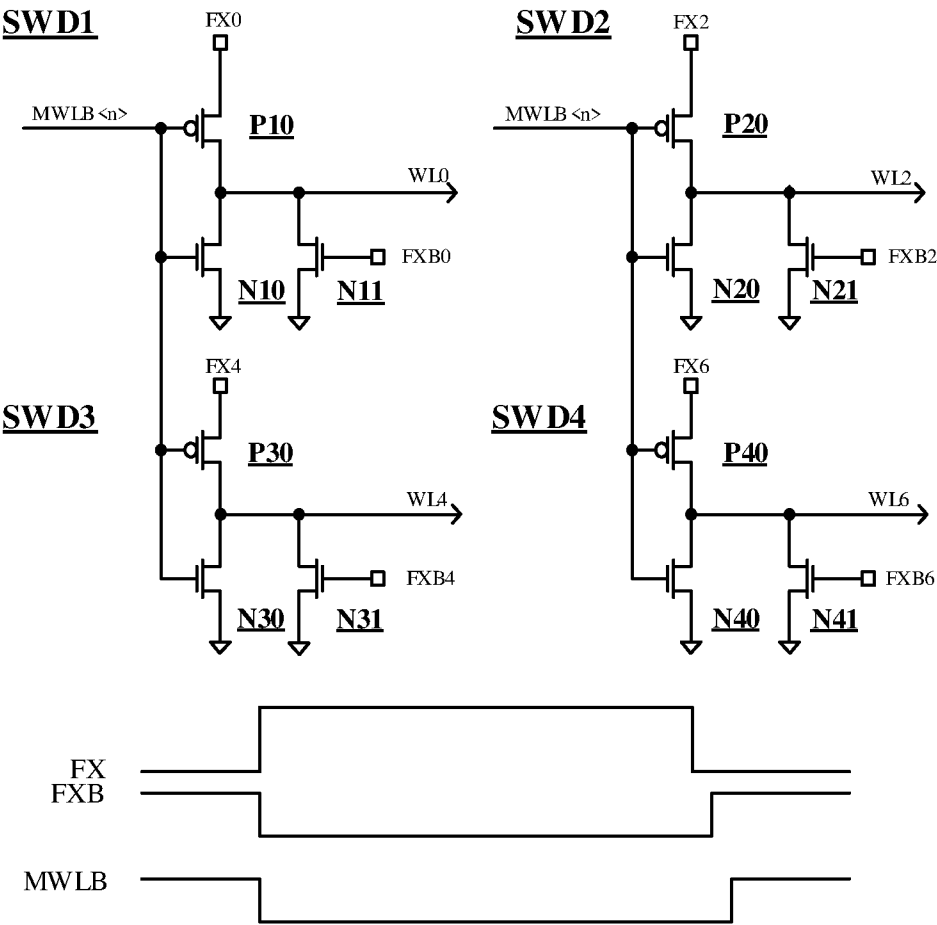


图 2

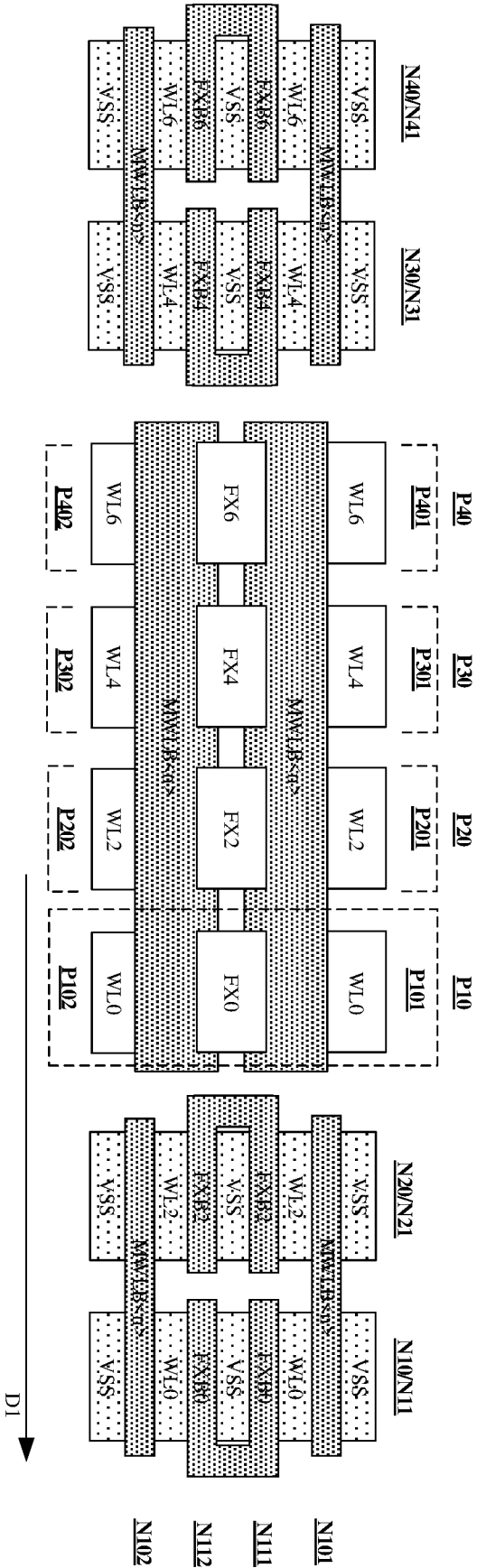


图 3

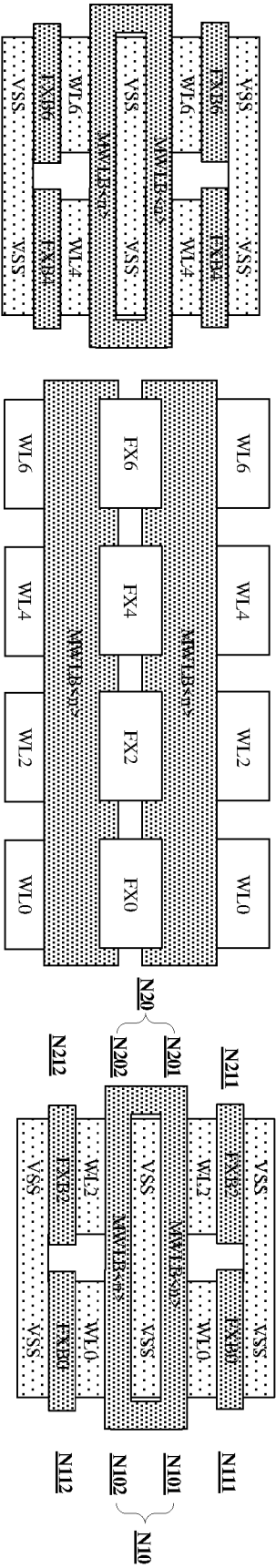


图4

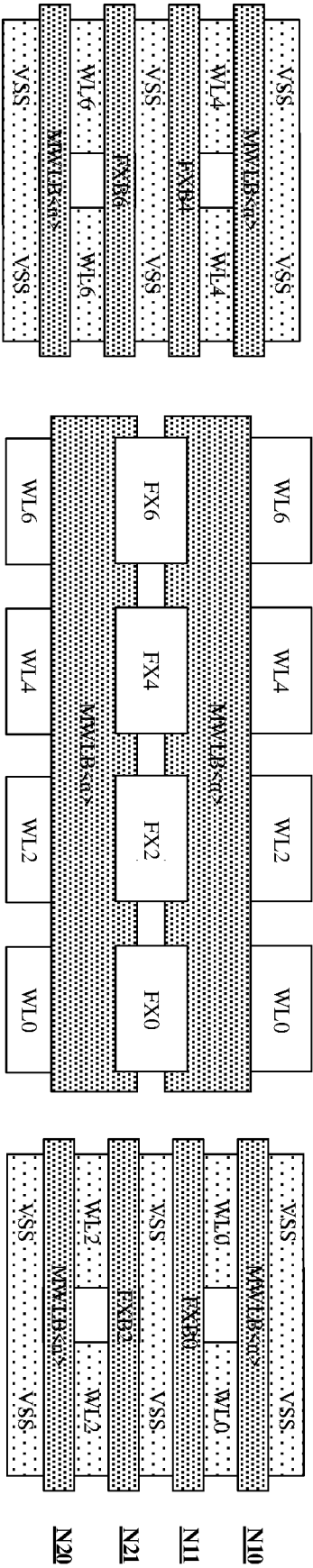


图 5

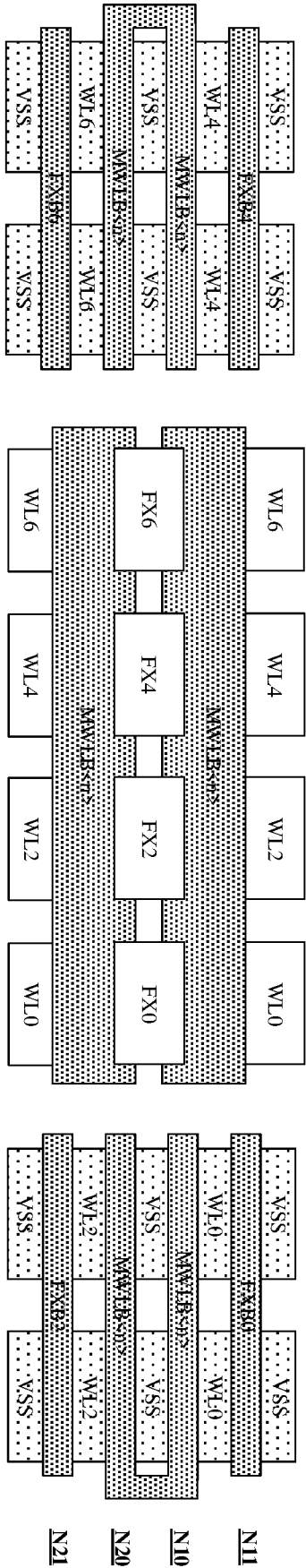
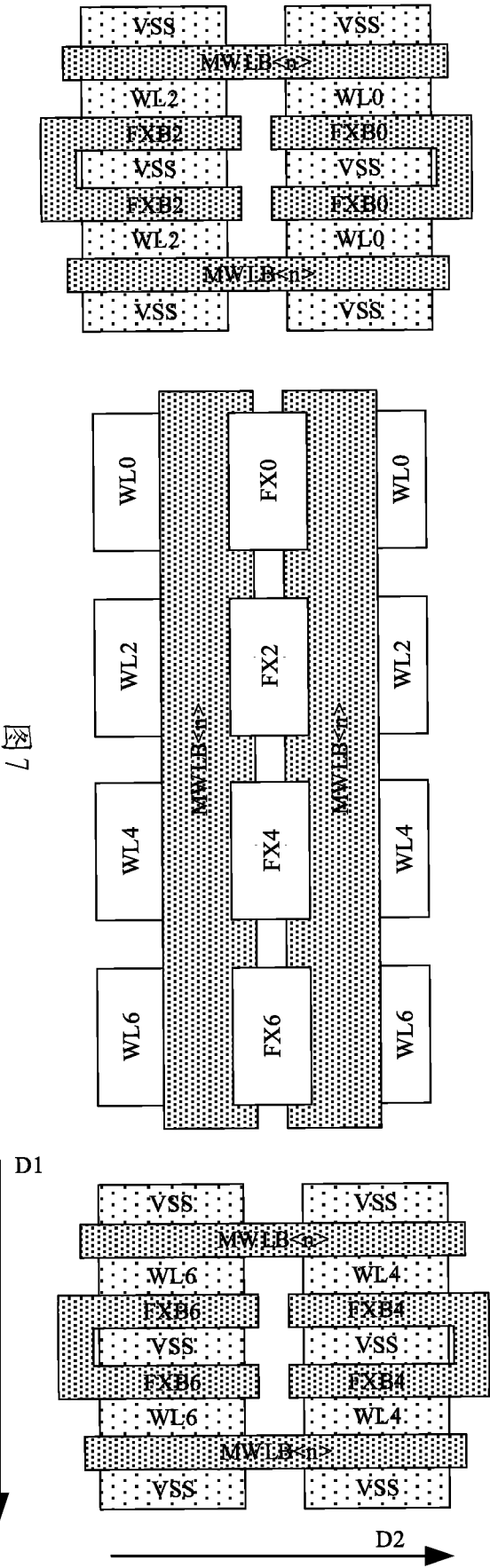


图 6



8 

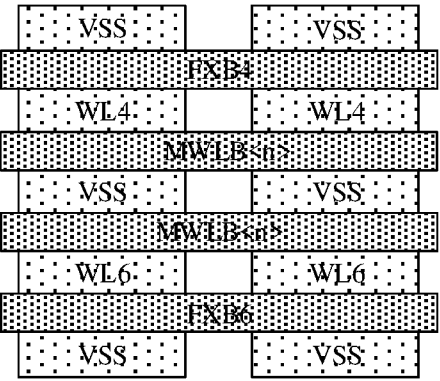
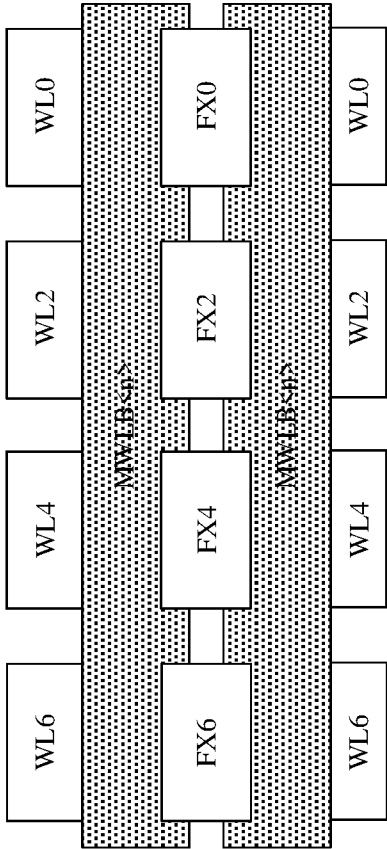
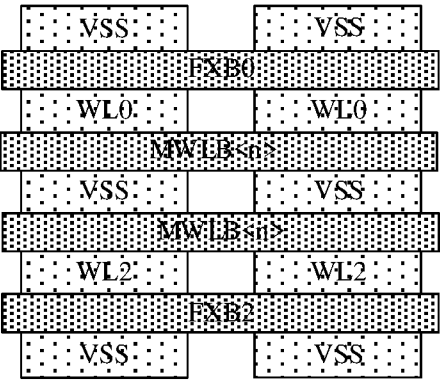
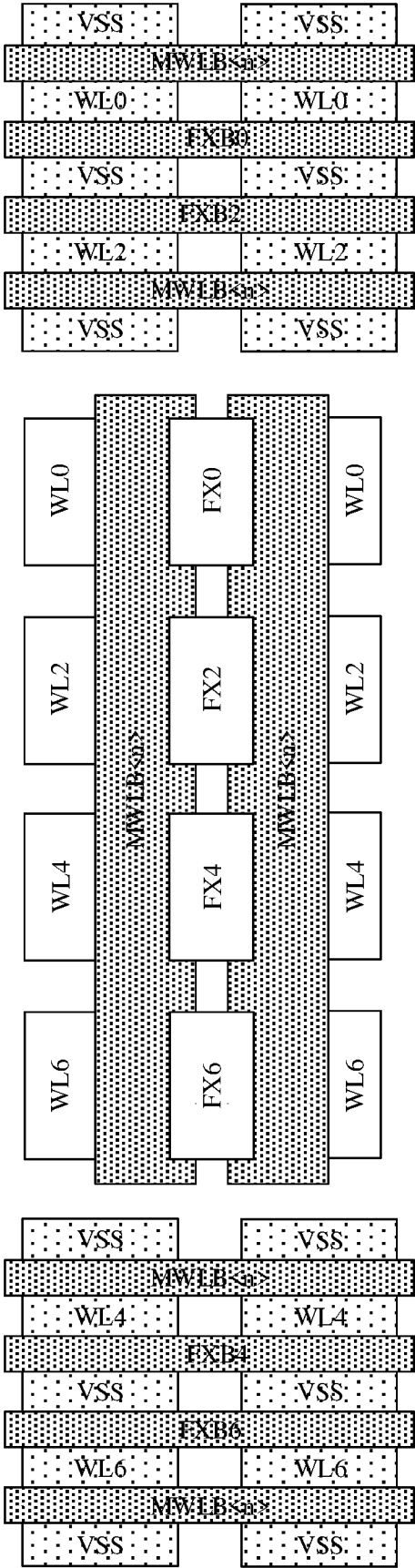


图6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/075238

A. CLASSIFICATION OF SUBJECT MATTER

G11C 8/08(2006.01)i; G11C 16/08(2006.01)i; G11C 5/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: 存储器, 字线, 字节线, 字符线, 字组线, 驱动, 版图, 布局, 布线, 晶体管, memory, word, line, driv+, pmos+, nmos+, layout

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 112216318 A (SK HYNIX INC.) 12 January 2021 (2021-01-12) description, paragraphs [0079], [0136]-[0171], and figures 14-19	1-18
X	CN 113178217 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 27 July 2021 (2021-07-27) description, paragraphs [0092]-[0097], and figure 2	1-18
X	US 2018166119 A1 (SK HYNIX INC.) 14 June 2018 (2018-06-14) description, paragraphs [0004]-[0006] and [0044]-[0061], and figures 1-5	1-18
A	CN 112420094 A (MICRON TECHNOLOGY INC.) 26 February 2021 (2021-02-26) entire document	1-18
A	CN 202076002 U (XI'AN SINOCHIP SEMICONDUCTOR CO., LTD.) 14 December 2011 (2011-12-14) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 April 2022

Date of mailing of the international search report

07 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/075238

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112216318	A	12 January 2021	US	2021012828	A1	14 January 2021
				KR	20210007739	A	20 January 2021
				TW	202103303	A	16 January 2021
CN	113178217	A	27 July 2021	None			
US	2018166119	A1	14 June 2018	US	2020051611	A1	13 February 2020
				KR	20180068701	A	22 June 2018
				US	10490256	B2	26 November 2019
				US	10892004	B2	12 January 2021
CN	112420094	A	26 February 2021	US	2021057008	A1	25 February 2021
				US	10957369	B2	23 March 2021
CN	202076002	U	14 December 2011	None			

国际检索报告

国际申请号

PCT/CN2022/075238

A. 主题的分类

G11C 8/08(2006.01)i; G11C 16/08(2006.01)i; G11C 5/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNPAT, CNKI: 存储器, 字线, 字节线, 字符线, 字组线, 驱动, 版图, 布局, 布线, 晶体管, memory, word, line, driv+, pmos+, nmos+, layout

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 112216318 A (爱思开海力士有限公司) 2021年1月12日 (2021 - 01 - 12) 说明书[0079]段, [0136]段-[0171]段, 附图14-19	1-18
X	CN 113178217 A (长鑫存储技术有限公司) 2021年7月27日 (2021 - 07 - 27) 说明书[0092]段-[0097]段, 附图2	1-18
X	US 2018166119 A1 (SK HYNIX INC.) 2018年6月14日 (2018 - 06 - 14) 说明书[0004]段-[006]段, [0044]段-[0061]段, 附图1-5	1-18
A	CN 112420094 A (美光科技公司) 2021年2月26日 (2021 - 02 - 26) 全文	1-18
A	CN 202076002 U (西安华芯半导体有限公司) 2011年12月14日 (2011 - 12 - 14) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年4月14日

国际检索报告邮寄日期

2022年5月7日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王文娟

电话号码 010-53961212

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/075238

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112216318	A	2021年1月12日	US	2021012828	A1	2021年1月14日
				KR	20210007739	A	2021年1月20日
				TW	202103303	A	2021年1月16日
CN	113178217	A	2021年7月27日	无			
US	2018166119	A1	2018年6月14日	US	2020051611	A1	2020年2月13日
				KR	20180068701	A	2018年6月22日
				US	10490256	B2	2019年11月26日
				US	10892004	B2	2021年1月12日
CN	112420094	A	2021年2月26日	US	2021057008	A1	2021年2月25日
				US	10957369	B2	2021年3月23日
CN	202076002	U	2011年12月14日	无			