

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】令和 1 年 12 月 12 日 (2019.12.12)

【公開番号】特開 2017-117509 (P2017-117509A)

【公開日】平成 29 年 6 月 29 日 (2017.6.29)

【年通号数】公開・登録公報 2017-024

【出願番号】特願 2016-246994 (P2016-246994)

【国際特許分類】

G 1 1 C 16/04 (2006.01)

H 0 1 L 27/115 (2017.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/06 (2006.01)

G 1 1 C 11/22 (2006.01)

【F I】

G 1 1 C 17/00 6 2 3 Z

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 4 4 A

H 0 1 L 27/10 3 2 1

G 1 1 C 17/00 6 1 3

G 1 1 C 17/00 6 2 1 A

G 1 1 C 17/00 6 2 1 Z

G 1 1 C 17/00 6 3 4 D

G 1 1 C 11/22 5 0 3

【手続補正書】

【提出日】令和 1 年 10 月 25 日 (2019.10.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第一のトランジスタ、第二のトランジスタおよび差動センスアンプを含むメモリセルであって、

第一のトランジスタは、制御電極と、第一の主電極と、第二の主電極と、を有する V_t 可変の n チャネルトランジスタであり、

第二のトランジスタは、制御電極と、第一の主電極と、第二の主電極と、を有する V_t 可変の p チャネルトランジスタであり、

第一および第二のトランジスタの制御電極は互いに接続され、

第一および第二のトランジスタの第一の主電極は互いに接続され、

差動センスアンプは、第一および第二のトランジスタの第二の主電極に接続され、この差動センスアンプは、第一のトランジスタと第二のトランジスタとの間の電流差を感知するように構成されるメモリセル。

【請求項 2】

第一のトランジスタおよび第二のトランジスタは、直接トンネルデバイスである、請求項 1 に記載のメモリセル。

【請求項 3】

第一のトランジスタおよび第二のトランジスタは、フローティングゲート型トランジスタである、請求項 2 に記載のメモリセル。

【請求項 4】

第一のトランジスタおよび第二のトランジスタのゲートスタックは、第一の酸化層、第二の金属および / またはドーパされた多結晶層、 HfO_2 層、および金属ゲートを含む、請求項 3 に記載のメモリセル。

【請求項 5】

第一のトランジスタおよび第二のトランジスタは、電荷トラップデバイスである、請求項 2 に記載のメモリセル。

【請求項 6】

第一のトランジスタおよび第二のトランジスタのゲートスタックは、第一の酸化層、 HfO_2 層、および金属ゲートを含む、請求項 5 に記載のメモリセル。

【請求項 7】

ゲートスタックは、窒化層を更に含む、請求項 6 に記載のメモリセル。

【請求項 8】

第一のトランジスタおよび第二のトランジスタは、強誘電体電界効果トランジスタである、請求項 1 に記載のメモリセル。

【請求項 9】

第一のトランジスタおよび第二のトランジスタのゲートスタックは、ドーパされた HfO_2 から成る第一の強誘電体層、第二の HfO_2 層、および金属ゲートを含む、請求項 8 に記載のメモリセル。

【請求項 10】

メモリセルは第三のトランジスタを含み、第三のトランジスタの第一の主電極は、第一のトランジスタおよび第二のトランジスタの第一の主電極に接続されている、請求項 1 に記載のメモリセル。

【請求項 11】

2 つ以上のメモリセルを含み、キャッシュメモリとして使用されるメモリアレイであって、

各メモリセルは、第一のトランジスタ、第二のトランジスタおよび差動センスアンプを含み、

第一のトランジスタは、制御電極と、第一の主電極と、第二の主電極と、を有する V_t 可変の n チャンネルトランジスタであり、

第二のトランジスタは、制御電極と、第一の主電極と、第二の主電極と、を有する V_t 可変の p チャンネルトランジスタであり、

第一および第二のトランジスタの制御電極は互いに接続され、

第一および第二のトランジスタの第一の主電極は互いに接続され、

差動センスアンプは、第一および第二のトランジスタの第二の主電極に接続され、

この差動センスアンプは、第一のトランジスタと第二のトランジスタとの間の電流差を感知するように構成される

メモリアレイ。

【請求項 12】

各メモリセルの第一のトランジスタおよび第二のトランジスタは、直接トンネルデバイスである、請求項 11 に記載のメモリアレイ。

【請求項 13】

各メモリセルの第一のトランジスタおよび第二のトランジスタは、フローティングゲート型トランジスタである、請求項 12 に記載のメモリアレイ。

【請求項 14】

各メモリセルの第一のトランジスタおよび第二のトランジスタは、電荷トラップデバイスである、請求項 12 に記載のメモリアレイ。

【請求項 15】

各メモリセルの第一のトランジスタおよび第二のトランジスタは、強誘電体電界効果トランジスタである、請求項 11 に記載のメモリアレイ。

【請求項 16】

各メモリセルは第三のトランジスタを含み、第三のトランジスタの第一の主電極は、第一のトランジスタおよび第二のトランジスタの第一の主電極に接続されている、請求項 11 に記載のメモリアレイ。

【請求項 17】

メモリセルに書き込むための方法であって、

メモリセルは、第一のトランジスタ、第二のトランジスタおよび差動センスアンプを含み、

第一のトランジスタは、第一の主電極と、第二の主電極と、を有する V_t 可変の n チャネルトランジスタであり、

第二のトランジスタは、第一の主電極と、第二の主電極と、を有する V_t 可変の p チャネルトランジスタであり、

第一および第二のトランジスタの第一の主電極は互いに接続され、

差動センスアンプは、第一および第二のトランジスタの第二の主電極に接続され、

この差動センスアンプは、第一のトランジスタと第二のトランジスタとの間の電流差を感知するように構成され、

前記方法は、

第一のトランジスタの制御電極と第二のトランジスタの制御電極に同じ消去電圧を加えることによってメモリセルを消去する工程と、

第一のトランジスタの制御電極と第二のトランジスタの制御電極に同じ書込電圧を加えることによってメモリセルに書き込む工程と、を含む方法。

【請求項 18】

書込電圧が供給電圧の 2 倍以下である、請求項 17 に記載の方法。

【請求項 19】

第三のトランジスタは、第一のトランジスタの第一の主電極および第二のトランジスタの第一の主電極をメモリセルのビット線に接続する、請求項 10 に記載のメモリセル。

【請求項 20】

第三のトランジスタは、第一のトランジスタの第一の主電極および第二のトランジスタの第一の主電極をメモリセルのビット線に接続する、請求項 16 に記載のメモリアレイ。