

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6429343号
(P6429343)

(45) 発行日 平成30年11月28日(2018.11.28)

(24) 登録日 平成30年11月9日(2018.11.9)

(51) Int.Cl.		F I			
HO 1 L	23/12	(2006.01)	HO 1 L	23/12	J
HO 5 K	3/46	(2006.01)	HO 1 L	23/12	F
			HO 5 K	3/46	Q

請求項の数 13 外国語出願 (全 16 頁)

(21) 出願番号	特願2017-139685 (P2017-139685)	(73) 特許権者	599110599
(22) 出願日	平成29年7月19日(2017.7.19)		旭徳科技股▲ふん▼有限公司
(65) 公開番号	特開2018-74142 (P2018-74142A)		台湾新竹県新竹工業区光復北路8号
(43) 公開日	平成30年5月10日(2018.5.10)	(74) 代理人	100086368
審査請求日	平成29年7月19日(2017.7.19)		弁理士 萩原 誠
(31) 優先権主張番号	105134391	(72) 発明者	王金勝
(32) 優先日	平成28年10月25日(2016.10.25)		台湾新竹県工業区光復北路8号
(33) 優先権主張国	台湾(TW)	(72) 発明者	鄭志賢
			台湾新竹県工業区光復北路8号
		(72) 発明者	孫世豪
			台湾新竹県工業区光復北路8号
		審査官	秋山 直人

最終頁に続く

(54) 【発明の名称】 パッケージキャリアおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

コア層、第1導電層、および第2導電層を含む基板を提供し、前記第1導電層および前記第2導電層が、それぞれ前記コア層の2つの反対側に配置され、前記コア層が、第1厚さを有することと、

前記基板を通過する熱伝導路を形成することと、

前記第2導電層の上に接着層を形成し、前記接着層が、前記熱伝導路の一侧を覆うことと、

前記熱伝導路に導熱素子および前記導熱素子に接続されたバッファ層を配置し、前記バッファ層および前記接着層が、互いに接触しており、前記熱伝導路における前記コア層の内側表面と前記導熱素子の間、および前記熱伝導路における前記コア層の前記内側表面と前記バッファ層の間にギャップを有し、前記導熱素子が、前記第1厚さよりも小さい第2厚さを有することと、

前記導熱素子および前記バッファ層を取り囲む第1絶縁材料で前記ギャップを充填することと、

前記接着層および前記バッファ層を除去し、キャビティを定義する前記導熱素子および前記第1絶縁材料が、前記導熱素子を露出することと、

前記第1導電層および前記第2導電層をパターン化して、それぞれ第1パターン化回路層および第2パターン化回路層を形成することと、

を含むパッケージキャリアの製造方法。

【請求項 2】

前記基板を通過する前記熱伝導路を形成した後、前記熱伝導路の前記内側表面に第 3 導電層を形成し、前記第 3 導電層が、前記第 1 導電層および前記第 2 導電層に接続されること

をさらに含む請求項 1 に記載の製造方法。

【請求項 3】

前記接着層および前記バッファ層を除去して、前記導熱素子および前記第 1 絶縁材料により前記キャピティを定義し、前記導熱素子を露出した後、それぞれ前記基板の 2 つの反対側に第 1 銅キャッピング層および第 2 銅キャッピング層を形成すること

をさらに含む請求項 1 に記載の製造方法。

10

【請求項 4】

前記導熱素子が、互いに面する第 1 表面および第 2 表面を有し、前記第 1 表面および前記第 1 導電層が、同じ側に設置され、前記第 1 銅キャッピング層が、少なくとも前記第 1 表面および前記第 1 導電層を覆い、前記第 2 表面が、前記キャピティによって露出し、前記第 2 表面および前記第 2 導電層が、同じ側に設置され、前記第 2 銅キャッピング層が、少なくとも前記第 2 表面および前記第 2 導電層を覆う請求項 3 に記載の製造方法。

【請求項 5】

前記基板を通過する少なくとも 1 つの導電スルーホールを形成するステップをさらに含み、前記基板を通過する前記少なくとも 1 つの導電スルーホールを形成する前記ステップが、

20

前記基板を通過する少なくとも 1 つのビアホールを形成することと、

前記少なくとも 1 つのビアホールの内側表面に、前記第 1 導電層および前記第 2 導電層に接続された第 4 導電層を形成することと、

前記少なくとも 1 つのビアホールを第 2 絶縁材料で充填し、前記第 4 導電層が、前記第 2 絶縁材料を取り囲むことと、

を含む請求項 1 に記載の製造方法。

【請求項 6】

前記基板を通過する前記少なくとも 1 つの導電スルーホールを形成した後、それぞれ前記基板の 2 つの反対側に第 3 銅キャッピング層および第 4 銅キャッピング層を形成し、前記第 3 銅キャッピング層が、少なくとも前記第 1 導電層および前記第 2 絶縁材料の 1 つの端部を覆い、前記第 4 銅キャッピング層が、少なくとも前記第 2 導電層および前記第 2 絶縁材料の他の端部を覆うこと

30

をさらに含む請求項 5 に記載の製造方法。

【請求項 7】

前記第 1 導電層および前記第 2 導電層をパターン化して、それぞれ前記第 1 パターン化回路層および前記第 2 パターン化回路層を形成した後、前記第 1 パターン化回路層の一部および前記第 2 パターン化回路層の一部に、それぞれ第 1 ソルダレジスタ層および第 2 ソルダレジスタ層を形成すること

をさらに含む請求項 1 に記載の製造方法。

【請求項 8】

40

前記第 1 ソルダレジスタ層が、前記第 1 パターン化回路層によって露出した前記コア層を覆い、前記第 2 ソルダレジスタ層が、前記第 2 パターン化回路層によって露出した前記コア層を覆う請求項 7 に記載の製造方法。

【請求項 9】

前記導熱素子の厚さと前記バッファ層の厚さの合計が、前記熱伝導路の深さよりも大きいか、それに等しい請求項 1 に記載の製造方法。

【請求項 10】

前記導熱素子の材料が、セラミック、シリコン、炭化ケイ素、ダイヤモンドライクカーボン、金属、またはこれらの組み合わせを含む請求項 1 に記載の製造方法。

【請求項 11】

50

前記第1導電層および前記第2導電層をパターン化して、それぞれ前記第1パターン化回路層および前記第2パターン化回路層を形成した後、前記第1パターン化回路層の一部および前記第2パターン化回路層の一部に、それぞれ第1表面処理層および第2表面処理層を形成すること

をさらに含む請求項1に記載の製造方法。

【請求項12】

前記導熱素子が、互いに積み重ねられた少なくとも2つの導熱層を含み、前記2つの導熱層が、異なる材料で作られる請求項1に記載の製造方法。

【請求項13】

前記第1導電層および前記第2導電層をパターン化して、それぞれ前記第1パターン化回路層および前記第2パターン化回路層を形成する前に、前記基板を通過する少なくとも1つの導電スルーホールを形成すること

をさらに含む請求項1に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャリア構造およびその製造方法に係り、特に、パッケージキャリアおよびその製造方法に関するものである。

【背景技術】

【0002】

一般的に、パッケージキャリアは、少なくとも2つのパターン化回路層と少なくとも1つのコア層によって構成され、少なくとも2つのパターン化回路層は、それぞれ少なくとも1つのコア層の2つの反対側に設置される。電子素子(例えば、チップ)の大部分は、パッケージキャリアの上表面に設置される。電子素子の動作中に生成される熱は、電子素子の性能に対して悪影響を与える可能性がある。パッケージキャリアの放熱効果を高めるために、通常、パッケージキャリアの下表面に放熱ブロックを配置するため、電子素子によって生成された熱をパターン化回路層およびコア層を介して放熱ブロックに伝送した後、外に導くことができる。しかしながら、コア層の導熱効果が良くないと、電子素子によって生成された熱がコア層を介して放熱ブロックに伝送された時に熱抵抗(thermal resistance)を増やすため、熱を容易に放出できなくなる可能性がある。また、パッケージキャリアの下表面に放熱ブロックを配置することによって、パッケージキャリアの全体の厚さが増すため、その結果、パッケージキャリアは、小型軽量化の要求を満たすことができない。

【発明の概要】

【発明が解決しようとする課題】

【0003】

先行技術では、パッケージキャリアの全体の厚さを減らすために、放熱ブロックをコア層の中に埋め込む。そして、レーザまたは機械処理によりいくつかの材料を除去し、電子素子を収容することのできるキャビティ(cavity)を形成することによって、パッケージの全体の厚さを減らすことができる。しかしながら、レーザまたは機械処理によりいくつかの材料を除去するプロセスにおいて、キャビティの深さおよび平坦さを正確に制御することができない;つまり、製造プロセスが困難である。その上、不注意があるとすぐに放熱ブロックや半製品を損傷させる可能性がある。

【課題を解決するための手段】

【0004】

本発明は、小型軽量化の設計要求を満たし、優れた放熱効果を達成することのできるパッケージキャリアを提供する。

【0005】

本発明は、優れた処理精度を確保し、製造効果を上げ、製造コストを減らすことのできるパッケージキャリアの製造方法を提供する。

10

20

30

40

50

【0006】

本発明の1つの実施形態において、パッケージキャリアの製造方法は、以下のステップを含む。基板を提供する。基板は、コア層、第1導電層、および第2導電層を含む。第1導電層および第2導電層は、それぞれコア層の2つの反対側に配置され、コア層は、第1厚さを有する。基板を通過する熱伝導路を形成する。第2導電層の上に接着層を形成し、接着層は、熱伝導路の一侧を覆う。熱伝導路に導熱素子および導熱素子に接続されたバッファ層を配置する。ここで、バッファ層および接着層は、互いに接触しており、導熱素子と熱伝導路におけるコア層の内側表面の間、およびバッファ層と熱伝導路におけるコア層の内側表面の間にギャップを有する。導熱素子は、第1厚さよりも小さい第2厚さを有する。導熱素子およびバッファ層を取り囲む第1絶縁材料でギャップを充填する。接着層およびバッファ層を除去してキャビティを形成し、導熱素子を露出する。第1導電層および第2導電層をパターン化して、それぞれ第1パターン化回路層および第2パターン化回路層を形成する。

10

【0007】

本発明の1つの実施形態において、基板を通過する熱伝導路を形成した後、製造方法は、さらに、熱伝導路の内側表面に第3導電層を形成することを含み、第3導電層は、第1導電層および第2導電層に接続される。

【0008】

本発明の1つの実施形態において、接着層およびバッファ層を除去して、キャビティを形成し、導熱素子を露出した後、製造方法は、さらに、基板の2つの反対側に第1銅キャッピング層および第2銅キャッピング層を形成することを含み。

20

【0009】

本発明の1つの実施形態において、導熱素子は、互いに面する第1表面および第2表面を有する。第1表面および第1導電層は、同じ側に設置され、第1銅キャッピング層は、少なくとも第1表面および第1導電層を覆う。第2表面は、キャビティによって露出する。第2表面および第2導電層は、同じ側に設置され、第2銅キャッピング層は、少なくとも第2表面および第2導電層を覆う。

【0010】

本発明の1つの実施形態において、製造方法は、さらに、基板を通過する少なくとも1つの導電スルーホールを形成するステップを含み、基板を通過する少なくとも1つの導電スルーホールを形成するステップは、基板を通過する少なくとも1つのビアホール(via hole)を形成することを含み。少なくとも1つのビアホールの内側表面に、第1導電層および第2導電層に接続された第4導電層を形成する。少なくとも1つのビアホールを第2絶縁材料で充填し、第4導電層は、第2絶縁材料を取り囲む。

30

【0011】

本発明の1つの実施形態において、基板を通過する少なくとも1つの導電スルーホールを形成した後、製造方法は、さらに、基板の2つの反対側に第3銅キャッピング層および第4銅キャッピング層を形成することを含み。第3銅キャッピング層は、少なくとも第1導電層および第2絶縁材料の1つの端部を覆い、第4銅キャッピング層は、少なくとも第2導電層および第2絶縁材料の他の端部を覆う。

40

【0012】

本発明の1つの実施形態において、第1導電層および第2導電層をパターン化して、それぞれ第1パターン化回路層および第2パターン化回路層を形成した後、製造方法は、さらに、第1パターン化回路層の一部および第2パターン化回路層の一部に、それぞれ第1ソルダレジスタ層および第2ソルダレジスタ層を形成することを含み。

【0013】

本発明の1つの実施形態において、第1ソルダレジスタ層は、第1パターン化回路層によって露出したコア層を覆い、第2ソルダレジスタ層は、第2パターン化回路層によって露出したコア層を覆う。

【0014】

50

本発明の1つの実施形態において、導熱素子の厚さとバッファ層の厚さの合計は、熱伝導路の深さよりも大きいか、それに等しい。

【0015】

本発明の1つの実施形態において、導熱素子の材料は、セラミック、シリコン、炭化ケイ素、ダイヤモンドライクカーボン(diamond-like carbon)、金属、またはこれらの組み合わせを含む。

【0016】

本発明の1つの実施形態において、第1導電層および第2導電層をパターン化して、それぞれ第1パターン化回路層および第2パターン化回路層を形成した後、製造方法は、さらに、第1パターン化回路層の一部および第2パターン化回路層の一部に、それぞれ第1表面処理層および第2表面処理層を形成することを含む。

10

【0017】

本発明の1つの実施形態において、導熱素子は、互いに積み重ねられた少なくとも2つの導熱層を含み、2つの導熱層は、異なる材料で作られる。

【0018】

本発明の1つの実施形態において、第1導電層および第2導電層をパターン化して、それぞれ第1パターン化回路層および第2パターン化回路層を形成する前に、製造方法は、さらに、基板を通過する少なくとも1つの導電スルーホールを形成することを含む。

【0019】

本発明の1つの実施形態において、コア層、第1パターン化回路層、第2パターン化回路層、導熱素子、および絶縁材料を含むパッケージキャリアを提供する。コア層は、熱伝導路を有する。また、コア層は、第1厚さを有する。第1パターン化回路層および第2パターン化回路層は、それぞれコア層の2つの反対側に配置される。導熱素子は、熱伝導路に配置され、導熱素子と熱伝導路におけるコア層の内側表面の間にギャップを有する。導熱素子は、第1厚さよりも小さい第2厚さを有する。絶縁材料は、導熱素子とコア層の間のギャップを充填する。ここで、絶縁材料は、導熱素子を取り囲み、導熱素子を露出するキャビティは、導熱素子および絶縁材料で定義される。

20

【発明の効果】

【0020】

以上のように、熱伝導路に導熱素子を固定するプロセスの間、導熱素子に接続されたバッファ層を除去しながら接着層を剥がすため、第1絶縁材料で充填されていないキャビティが熱伝導路に残る。つまり、キャビティを形成している間、レーザまたは機械処理によりいくつかの材料を除去する必要がないため、その結果、キャビティの深さおよび平坦さを正確に制御することができる。そのため、ここで提供するパッケージキャリアの製造方法は、優れた処理精度を確保し、製造効率を上げ、製造コストを減らすことができる。別の局面からみると、パッケージキャリアは、電子素子(例えば、チップ)を保持するように構成され、電子素子は、キャビティ内に固定され、導熱素子と直接または間接的に接触する。そのため、電子素子およびパッケージキャリアを有するパッケージ構造の全体の厚さを減らすことができ、電子素子の動作中に生成される熱を第2パターン化回路層、導熱素子、および第1パターン化回路層を介してパッケージ構造から迅速に放出することができるため、優れた放熱効果を達成することができる。

30

40

【0021】

本発明の上記および他の目的、特徴、および利点をより分かり易くするため、図面と併せた幾つかの実施形態を以下に説明する。

【図面の簡単な説明】

【0022】

添付図面は、本発明の原理がさらに理解されるために含まれており、本明細書に組み込まれかつその一部を構成するものである。図面は、本発明の実施形態を例示しており、説明とともに、本発明の原理を説明する役割を果たしている。

【0023】

50

【図 1】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 2】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 3】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 4】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 5】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 6】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 7】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 8】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 9】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 10】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 11】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 12】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 13】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 14】本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。

【図 15】図 14 に示したパッケージキャリアが電子素子を保持した時の概略的断面図である。

【図 16】本発明の別の実施形態に係るパッケージキャリアが電子素子を保持した時の概略的断面図である。

【発明を実施するための形態】

【0024】

図 1 ~ 図 14 は、本発明の 1 つの実施形態に係るパッケージキャリアの製造方法の概略的断面図である。図 1 を参照すると、基板 110 を提供し、基板 110 は、コア層 111、第 1 導電層 112、および第 2 導電層 113 を含む。第 1 導電層 112 および第 2 導電層 113 は、それぞれコア層 111 の 2 つの反対側に配置される。一般的に、第 1 導電層 112 および第 2 導電層 113 は、銅、アルミニウム、金、ニッケル、他の金属材料、または合金によって構成された導電薄層であってもよく、第 1 導電層 112 および第 2 導電層 113 は、それぞれコア層 111 の第 1 表面 111a および第 1 表面 111a の反対側にあるコア層 111 の第 2 表面 111b を覆う。本実施形態に基づき、コア層 111 は、例えば、誘電体層、あるいは単一層、二重層、または複数層の回路基板である。本実施形態において、基板は、2 つの導電層を備えるが、本発明を限定するものと解釈されるべきではない。本発明の別の実施形態において、基板は、1 つの導電層または少なくとも 3 つの導電層によって構成された回路基板を有してもよい。

【0025】

図 2 を参照すると、コア層 111、第 1 導電層 112、および第 2 導電層 113 の一部をレーザ、機械処理、または異なる方法で除去して、基板 110 を通過する熱伝導路 110a を形成することができる。図 3 を参照すると、電気メッキまたは沈積等により、熱伝

10

20

30

40

50

導路 110a 内のコア層 111 の内側表面 110b に第 3 導電層 114 を形成することができる。ここで、第 3 導電層 114 は、第 1 導電層 112 および第 2 導電層 113 に接続される。本実施形態に基づき、第 3 導電層 114 は、さらに、第 1 導電層 112 および第 2 導電層 113 を覆い、銅、アルミニウム、金、ニッケル、他の金属材料、または合金で作られてもよい。

【0026】

図 4 を参照すると、接着層 120 は、第 2 導電層 113 の上に形成され、接着層 120 は、熱伝導路 110a の一側を覆う。詳しく説明すると、接着層 120 は、接着面が基板 110 の一側に一時的に接着された接着テープであってもよく、接着層 120 は、後に熱伝導路 110a に配置される成分の支持膜層として用いられる。本実施形態において提供 10
する第 2 導電層 113 は、例えば、第 3 導電層 114 によって覆われる；そのため、接着層 120 は、実質的に、第 3 導電層 114 に接着している。図 5 を参照すると、導熱素子 130 および導熱素子 130 に接続されたバッファ層 131 を熱伝導路 110a に配置し、バッファ層 131 は、接着層 120 に面する。そのため、導熱素子 130 およびバッファ層 131 が熱伝導路 110a に配置された後、バッファ層 131 を接着層 120 に接着することによって、熱伝導路 110a における導熱素子 130 とバッファ層 131 の位置を固定することができる。導熱素子 130 は、セラミック、シリコン、炭化ケイ素、ダイヤモンドライクカーボン、金属、またはその組み合わせを含む材料で作られてもよい。

【0027】

本実施形態において、バッファ層 131 は、ゴム、シリカゲル (silica gel)、プラスチック、または他の適切な材料であってもよい。バッファ層 131 は、例えば、接着層 (図示せず) により導熱素子 130 の第 2 表面 130b に一時的に接着される。図 5 に示すように、導熱素子 130 と熱伝導路 110a におけるコア層 111 の内側表面 110b の間、およびバッファ層 131 と熱伝導路 110a におけるコア層 111 の内側表面 110b の間にギャップ G を有し、導熱素子 130 およびバッファ層 131 は、内側表面 110b 20
の上に形成された第 3 導電層 114 と接触していない。導熱素子 130 の厚さ T1 は、コア層 111 の厚さ H よりも小さく、後に必要なキャビティの形成に貢献する。例えば、導熱素子 130 の厚さ T1 は、コア層 111 の厚さ H の 0.1 ~ 0.9 倍であるが、本発明はこれに限定されない。一方、導熱素子 130 の厚さ T1 は、バッファ層 131 の厚さ T2 よりも大きいてもよく、厚さ T1 対厚さ T2 の比率は、約 2 : 1 であるが、本発明を 30
限定するものと解釈されるべきではない。導熱素子 130 の厚さ T1 とバッファ層 131 の厚さ T2 の合計は、熱伝導路 110a の深さ D よりも大きい、それに等しくてもよく、コア層 111 の厚さ H よりも大きい、それに等しくてもよい。そのため、導熱素子 130 およびバッファ層 131 が熱伝導路 110a に配置されて、接着層 120 に固定された後、熱伝導路 110a によって露出した導熱素子 130 の第 1 表面 130a は、コア層 111 の第 1 表面 111a と実質的に同一平面上であっても、またはコア層 111 の第 1 表面 111a よりも水平方向に高くてもよい。

【0028】

図 6 を参照すると、導熱素子 130 およびバッファ層 131 を取り囲む第 1 絶縁材料 140 でギャップ G を充填する。第 1 絶縁材料 140 は、エポキシ樹脂または任意の他の適 40
切な材料であってもよく、熱伝導粒子と混合して放熱効果を高めてもよい。第 1 絶縁材料 140 を硬化して整形した後、導熱素子 130 を熱伝導路 110a に固定することができる。図 7 を参照すると、接着層 120 およびバッファ層 131 を除去することによって、第 1 絶縁材料 140 は、キャビティ 141 を定義し、導熱素子 130 の一部の第 2 表面 130b を露出する。バッファ層 131 および導熱素子 130 を固定する接着層 (図示せず) の粘度は、例えば、接着層 120 の粘度よりも小さい；そのため、接着層 120 を剥がしている間、バッファ層 131 を接着層 120 に接着させて、導熱素子 130 の第 2 表面 130b から剥離するのが好ましい。続いて、洗浄プロセスを選択的に行って、バッファ層 131 の残留物を洗浄してもよい。その後、第 1 導電層 112 上および第 2 導電層 113 上の第 3 導電層 114 を研磨により選択的に除去してもよい。 50

【0029】

図8および図9を参照すると、基板110の2つの反対側に、それぞれ第1銅キャッピング層115および第2銅キャッピング層116を形成する。詳しく説明すると、第1銅キャッピング層115は、第1導電層112、第1導電層112と同じ側に位置する導熱素子130の第1表面130a、および第1表面130aと同一平面上の第1絶縁材料140の表面を覆う。また、第2銅キャッピング層116は、第2導電層113、第2導電層113と同じ側に位置する導熱素子130の第2表面130b、第2導電層113と同一平面上の第1絶縁材料140の表面、およびキャビティ141を定義する第1絶縁層140を覆う。上述した製造ステップが完了した後、図8に示した完成構造を180度回転させて、後続の製造ステップを行う。

10

【0030】

図10および図11を参照すると、少なくとも1つの導電スルーホール117(例として、2つの導電スルーホール117を示す)を選択的に形成することができる。以下、詳しい製造ステップについて説明する。コア層111、第1導電層112、および第2導電層113の一部をレーザ処理、機械処理、または別の方法で除去することにより、基板110を通過する少なくとも1つのビアホール110cを形成することができる。図面では、例として、2つのビアホール110cを示してある。電気メッキまたは沈積等により、ビアホール110c内のコア層111の内側表面110dに第4導電層118を形成してもよい。ここで、第4導電層118は、第1導電層112および第2導電層113に接続される。本実施形態に基づき、第4導電層118は、さらに、第1銅キャッピング層115および第2銅キャッピング層116を覆ってもよく、銅、アルミニウム、金、ニッケル、他の金属材料、または合金で作られてもよい。少なくとも1つのビアホール110cを第2絶縁材料142で充填し、第4導電層118は、第2絶縁材料142を取り囲む。第2絶縁材料142は、互いに向かい合う第1端部142aおよび第2端部142bを有する。第1端部142aは、第1銅キャッピング層115上の第4導電層118と同一平面上にあり、第2端部142bは、第2銅キャッピング層116上の第4導電層118と同一平面上にある。ここまでの、導電スルーホール117の製造が実質的に完了する。

20

【0031】

図12を参照すると、基板110の2つの反対側に、それぞれ第3銅キャッピング層119aおよび第4銅キャッピング層119bを形成する。第3銅キャッピング層119aは、第1導電層112および第2絶縁材料142の第1端部142aを覆うことができる。詳しく説明すると、第3銅キャッピング層119aは、第1銅キャッピング層115上の第4導電層118を覆う。第4銅キャッピング層119bは、第2導電層113および第2絶縁材料142の第2端部142bを覆うことができる。詳しく説明すると、第4銅キャッピング層119bは、第2銅キャッピング層116上の第4導電層118を覆う。

30

【0032】

第1導電層112および第2導電層113は、露光および現像によりパターン化されて、それぞれ第1パターン化回路層112aおよび第2パターン化回路層113aを形成する。第1パターン化回路層112aは、導電スルーホール117を介して第2パターン化回路層113aに接続されてもよい。詳しく説明すると、第1導電層112および第2導電層113のパターン化プロセスにおいて、第3銅キャッピング層119aの一部、第4導電層118の一部、第1銅キャッピング層115の一部、および第1導電層112の一部を除去し、第4銅キャッピング層119bの一部、第4導電層118の一部、第2銅キャッピング層116の一部、および第2導電層113の一部も除去する。それにより、コア層111の一部が露出する。

40

【0033】

図13を参照すると、第1パターン化回路層112aの一部および第2パターン化回路層113aの一部に、第1ソルダレジスト層119cおよび第2ソルダレジスト層119dを形成する。第1ソルダレジスト層119cは、第1パターン化回路層112aによって露出したコア層111を覆い、第2ソルダレジスト層119dは、第2パターン化回路

50

層 1 1 3 a によって露出したコア層 1 1 1 を覆う。図 1 4 を参照すると、第 1 パターン化回路層 1 1 2 a の一部および第 2 パターン化回路層 1 1 3 a の一部に、すなわち、第 1 パターン化回路層 1 1 2 a の第 1 ソルダレジスト層 1 1 9 c によって覆われていない部分および第 2 パターン化回路層 1 1 3 a の第 2 ソルダレジスト層 1 1 9 d によって覆われていない部分に、それぞれ第 1 表面処理層 1 1 9 e および第 2 表面処理層 1 1 9 f を形成する。第 1 表面処理層 1 1 9 e および第 2 表面処理層 1 1 9 f は、パラジウム、金、ニッケル、銀、他の適切な金属材料、または合金で作られてもよい。ここまでで、パッケージキャリア 1 0 0 の製造が実質的に完了する。

【 0 0 3 4 】

本実施形態では、パッケージキャリア 1 0 0 の導熱素子 1 3 0 をコア層 1 1 1 の中に埋め込むため、パッケージキャリア 1 0 0 の全体の厚さを減らすことができる。また、熱伝導路 1 1 0 a に導熱素子 1 3 0 を固定するプロセスの間、導熱素子 1 3 0 に接続されたバッファ層 1 3 1 を除去しながら、接着層 1 2 0 を剥がすことができるため、第 1 絶縁材料 1 4 0 によって充填されていないキャビティ 1 4 1 が熱伝導路 1 1 0 a に残る。つまり、キャビティ 1 4 1 を形成している間、レーザ処理または機械処理により第 1 絶縁材料 1 4 0 の一部を除去する必要がないため、その結果、キャビティ 1 4 1 の深さおよび平坦さを正確に制御することができる。このようにして、ここで提供するパッケージキャリア 1 0 0 の製造方法は、優れた処理精度を確保し、製造効率を上げ、製造コストを下げるができる。注意すべきこととして、図 1 4 に示したキャビティの深さ C は、第 2 導電層 1 1 3 の上の第 2 表面処理層 1 1 9 f の高さおよびキャビティ 1 4 1 内の第 2 表面処理層 1 1 9 f の高さの差であるため、それにより、後に電子素子をその中に埋め込むことができる。

【 0 0 3 5 】

本実施形態では、1つの導熱素子 1 3 0 を埋め込み、導熱素子 1 3 0 に対応する1つのキャビティ 1 4 1 を形成する。しかしながら、言及すべきこととして、導熱素子 1 3 0 の数およびキャビティ 1 4 1 の数は、実際の要求に応じて調整してもよい。

【 0 0 3 6 】

図 1 5 は、図 1 4 に示したパッケージキャリアが電子素子を保持した時の概略的断面図である。図 1 5 を参照すると、電子素子 2 0 0 は、主動表面 2 0 1 および主動表面 2 0 1 の反対側にある背面 2 0 2 を有するチップであってもよい。電子素子 2 0 0 の背面 2 0 2 は、キャビティ 1 4 1 に面し、表面実装装置 (surface mounting device, SMD) 技術により、または熱伝導性接着剤を使用して、キャビティ 1 4 1 内の第 2 パターン化回路層 1 1 3 a に固定してもよい。ここで、キャビティ 1 4 1 内の第 2 表面処理層 1 1 9 f は、選択的に、プリフラックス (organic solderability preservative, OSP) に置き換えてもよい。キャビティ 1 4 1 の底部は、コア層 1 1 1 の第 2 表面 1 1 1 b よりも水平方向に低いいため、キャビティ 1 4 1 に固定された電子素子 2 0 0 は、パッケージキャリア 1 0 0 によって部分的に露出する。本実施形態において、導電スルーホール 1 1 7 上の第 2 パターン化回路層 1 1 3 a は、第 2 ソルダレジスト層 1 1 9 d によって覆われておらず、電子素子 2 0 0 は、ワイヤボンディング (wire bonding) によって主動表面 2 0 1 および導電スルーホール 1 1 7 上の第 2 パターン化回路層 1 1 3 a にワイヤ 2 1 0 で接続してもよい。ここで、導電スルーホール 1 1 7 上の第 2 表面処理層 1 1 9 f は、選択的に、プリフラックス (OSP) に置き換えてもよい。

【 0 0 3 7 】

このようにして、電子素子 2 0 0 およびパッケージキャリア 1 0 0 を有するパッケージ構造の全体の厚さを減らすことができ、電子素子 2 0 0 の動作中に生成される熱を第 2 パターン化回路層 1 1 3 a、導熱素子 1 3 0、第 1 パターン化回路層 1 1 2 a、および第 1 表面処理層 1 1 9 e を介してパッケージ構造から迅速に放出することができるため、優れた放熱効果を達成することができる。

【 0 0 3 8 】

図 1 6 は、本発明の別の実施形態に係るパッケージキャリアが電子素子を保持した時の概略的断面図である。図 1 6 を参照すると、図 1 6 に示したパッケージキャリア 1 0 0 A

10

20

30

40

50

は、図15に示したパッケージキャリア100と類似するが、これら2者間の相違点は、パッケージキャリア100Aの導電素子132が3つの導熱層132a、132b、および132cで構成され、導熱層132bが導熱層132aと132cの間に設置されることである。導熱層132aと132cは、同じ材料、例えば、金属で作られてもよい。導熱層132bは、例えば、セラミックで作られてもよい。導熱層132aおよび132cの材料は、金属に限定されず、セラミック、シリコン、炭化ケイ素、またはダイヤモンドライクカーボンであってもよい。導熱層132bの材料は、セラミックに限定されず、金属、シリコン、炭化ケイ素、またはダイヤモンドライクカーボンであってもよい。また、導電素子132において、2つまたは4つ以上の導熱層があってもよいが、本発明を限定するものと解釈されるべきではない。

10

【0039】

以上のように、ここで提供するパッケージキャリアは、コア層の中に導電素子を埋め込むため、パッケージキャリアの全体の厚さを減らすことができる。また、熱伝導路に導電素子を固定するプロセスの間、導電素子に接続されたバッファ層を除去しながら接着層を剥がすため、第1絶縁材料で充填されていないキャビティが熱伝導路に残る。つまり、キャビティを形成している間、レーザ処理または機械処理により第1絶縁材料の一部を除去する必要がないため、その結果、キャビティの深さおよび平坦さを正確に制御することができる。そのため、ここで提供するパッケージキャリアの製造方法は、優れた処理精度を確保し、製造効率を上げ、製造コストを減らすことができる。

【0040】

20

別の局面からみると、パッケージキャリアは、電子素子（例えば、チップ、能動デバイスチップ、無線周波デバイスチップ、発光ダイオードチップ、またはアナログデバイスチップ）または他の熱発生装置を保持するよう構成されるが、本発明を限定するものと解釈されるべきではない。電子素子は、キャビティ内に埋め込まれ、導電素子と直接または間接的に接触する。そのため、電子素子およびパッケージキャリアを有するパッケージ構造の全体の厚さを減らすことができ、電子素子の動作中に生成される熱を第2パターン化回路層、導電素子、第1パターン化回路層、および第1表面処理層を介してパッケージ構造から迅速に放出することができるため、優れた放熱効果を達成することができる。

【産業上の利用可能性】

【0041】

30

本発明のパッケージキャリアの製造方法は、優れた処理精度を確保し、製造効率を上げ、製造コストを減らすことができる。別の局面において、パッケージキャリアは、電子素子（例えば、チップ）を保持するよう構成され、電子素子は、キャビティ内に固定され、導電素子と直接または間接的に接触する。そのため、電子素子およびパッケージキャリアを有するパッケージ構造の全体の厚さを減らすことができ、電子素子の動作中に生成される熱を第2パターン化回路層、導電素子、および第1パターン化回路層を介してパッケージ構造から迅速に放出することができるため、優れた放熱効果を達成することができる。

【0042】

以上のごとく、この発明を実施形態により開示したが、もとより、この発明を限定するためのものではなく、当業者であれば容易に理解できるように、この発明の技術思想の範囲内において、適当な変更ならびに修正が当然なされるものであるから、その特許権保護の範囲は、特許請求の範囲および、それと均等な領域を基準として定めなければならない。

40

【符号の説明】

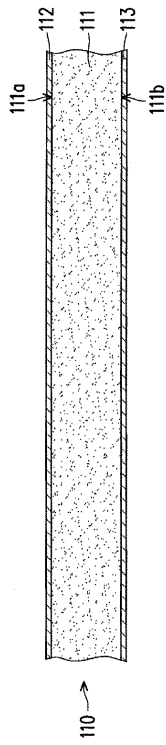
【0043】

- 100、100A パッケージキャリア
- 110 基板
- 110a 熱伝導路
- 110b、110d 内側表面
- 110c ビアホール

50

1 1 1	コア層	
1 1 1 a	第 1 表面	
1 1 1 b	第 2 表面	
1 1 2	第 1 導電層	
1 1 2 a	第 1 パターン化回路層	
1 1 3	第 2 導電層	
1 1 3 a	第 2 パターン回路層	
1 1 4	第 3 導電層	
1 1 5	第 1 銅キャッピング層	
1 1 6	第 2 銅キャッピング層	10
1 1 7	導電スルーホール	
1 1 8	第 4 導電層	
1 1 9 a	第 3 銅キャッピング層	
1 1 9 b	第 4 銅キャッピング層	
1 1 9 c	第 1 ソルダレジスト層	
1 1 9 d	第 2 ソルダレジスト層	
1 1 9 e	第 1 表面処理層	
1 1 9 f	第 2 表面処理層	
1 2 0	接着層	
1 3 0、1 3 2	導熱素子	20
1 3 0 a	第 1 表面	
1 3 0 b	第 2 表面	
1 3 1	バッファ層	
1 3 2 a ~ 1 3 2 c	導熱層	
1 4 0	第 1 絶縁材料	
1 4 1	キャビティ	
1 4 2	第 2 絶縁層	
1 4 2 a	第 1 端部	
1 4 2 b	第 2 端部	
2 0 0	電子素子	30
2 0 1	主動表面	
2 0 2	背面	
2 1 0	ワイヤ	
C、D	深さ	
G	ギャップ	
H、T 1、T 2	厚さ	

【 図 1 】



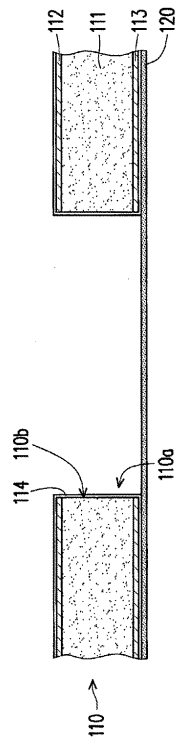
【 図 2 】



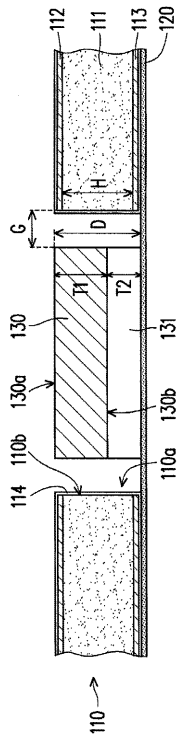
【 図 3 】



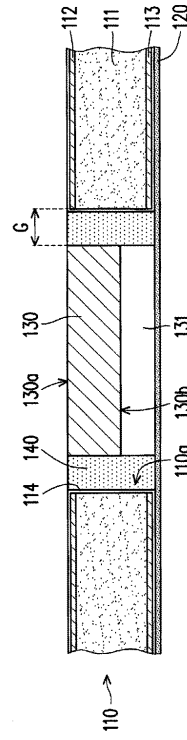
【 図 4 】



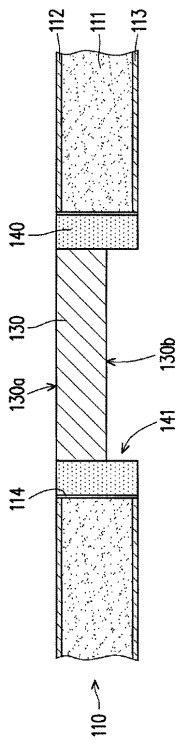
【 図 5 】



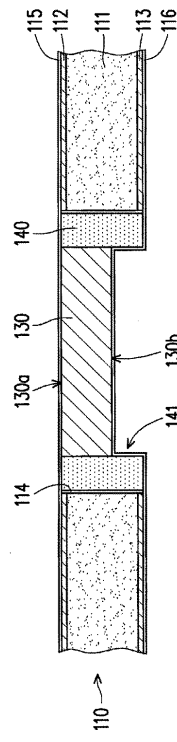
【 図 6 】



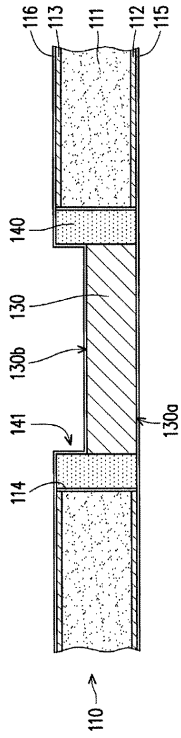
【 図 7 】



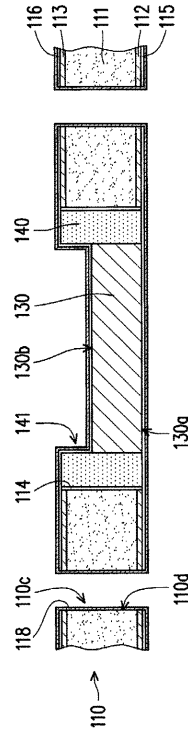
【 図 8 】



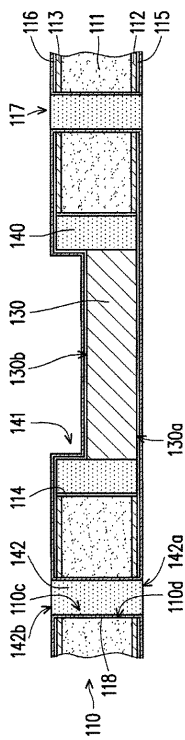
【図 9】



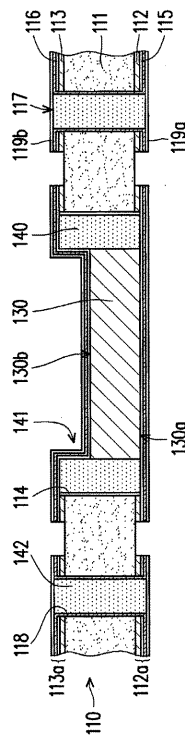
【図 10】



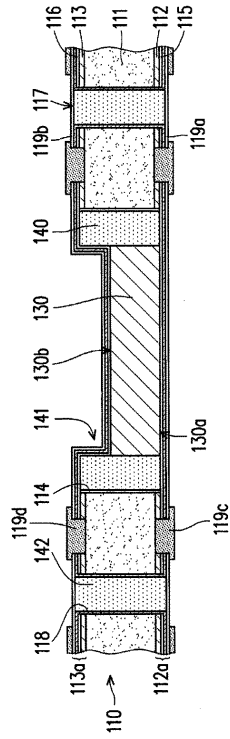
【図 11】



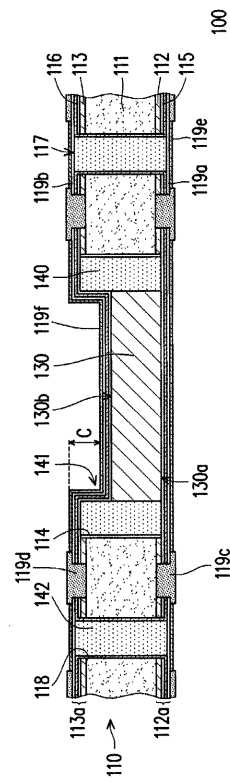
【図 12】



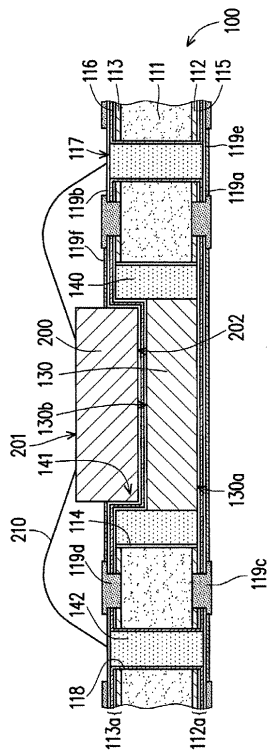
【 図 1 3 】



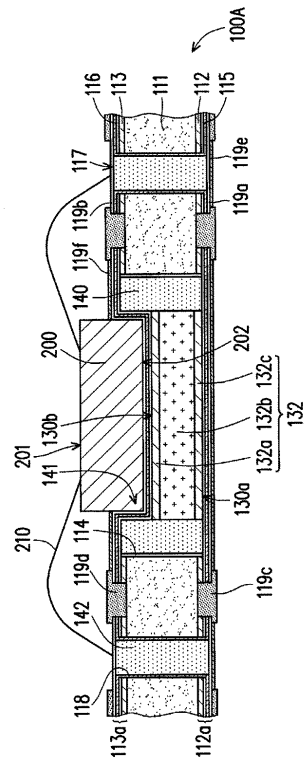
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

- (56)参考文献 特開2016-025143(JP,A)
特開平04-124899(JP,A)
米国特許出願公開第2003/0100197(US,A1)
特開2016-111319(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 23/12
H05K 3/46