

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年12月8日(08.12.2016)



(10) 国際公開番号
WO 2016/194655 A1

- (51) 国際特許分類:
G06F 1/14 (2006.01) *G04G 7/00* (2006.01)
G04G 5/00 (2013.01) *G04G 99/00* (2010.01)
- (21) 国際出願番号: PCT/JP2016/065025
- (22) 国際出願日: 2016年5月20日(20.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-114911 2015年6月5日(05.06.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 大原 壮太郎(OHARA Sotaro); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 田中 勝之(TANAKA Katsuyuki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 高岡 勝美(TAKAOKA Katsumi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 泉 啓

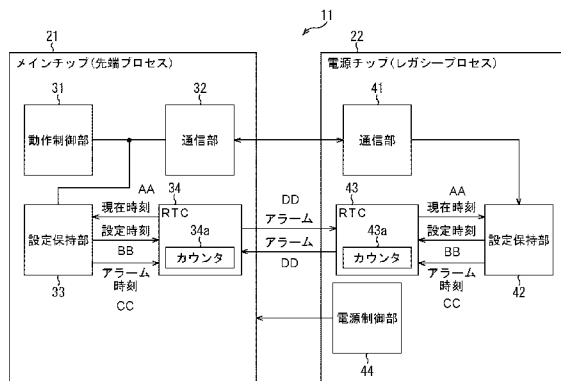
太(IZUMI Keita); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 寶地卓(HOUCHI Suguru); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 干臺 岳(HIDAI Gaku); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 高木 裕(TAKAGI Yutaka); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 高橋 英樹(TAKAHASHI Hideki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 粟田 英樹(AWATA Hideki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 片山 靖(KATAYAMA Yasushi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 吉持 直樹(YOSHIMUCHI Naoki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 清水 俊雅(SHIMIZU Toshimasa); 〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP).

(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

[続葉有]

(54) Title: SIGNAL PROCESSING DEVICE AND METHOD

(54) 発明の名称: 信号処理装置および方法



21 Main chip (lead process)
22 Power supply chip (legacy process)
31 Operation control unit
32, 41 Communication unit
33, 42 Setting holding unit
34a, 43a Counter
44 Power supply control unit
AA Current time
BB Set time
CC Alarm time
DD Alarm

(57) Abstract: The present disclosure pertains to a signal processing device and method with which the required power can be reduced. In this signal processing device a real-time clock (RTC) of a main chip and a RTC of a power supply chip are synchronized before the power to the main chip is stopped, and after the power to the main chip is restored, the RTC of the main chip is again synchronized with the time of the RTC of the power supply chip. Thus, the RTCs are able to handle continuous time information before and after the power is stopped. The present disclosure can be applied to a GPS module in which multiple chips are used to form a digital circuit unit.

(57) 要約: 本開示は、必要な電力を削減することができるようにする信号処理装置および方法に関する。信号処理装置において、メインチップの電源停止前に、メインチップのRTCと電源チップのRTCとを同期しておき、メインチップの電源復帰後に電源チップのRTCの時刻に、再度メインチップのRTCを同期させる。このようにすることで、RTCは、停止前後で連続した時刻情報を扱うことができる。本開示は、例えば、複数のチップでデジタル回路部を構成するようにしたGPSモジュールに適用することができる。



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 信号処理装置および方法

技術分野

[0001] 本開示は、信号処理装置および方法に関し、特に、RTCの分解能が異なる場合でも、高い分解能を保ったまま同期することができるようにした信号処理装置および方法に関する。

背景技術

[0002] 一般的にリアルタイムクロック（以下、RTC）は、チップ内で、メインの機能とは独立した電源を有し、メインの電源を停止させて低消費電力化を図る場合で、電源復帰後にも停止前と連続した時刻情報を使用したい場合に使用される（特許文献1 参照）。

[0003] 近年のCMOS(Complementary Metal Oxide Semiconductor)プロセスの微細化による、デジタル回路の小型化と低消費電力化の進行で、微細プロセスでは、デジタル回路で消費される電力のうち、リーク電流により消費される電力の割合が大きくなってきた。このため、RTCを含むチップ全体の電源を落としたい(以下、ディープスリープ)要求が高まっている。

先行技術文献

特許文献

[0004] 特許文献1：特許第5 6 5 5 4 1 9 号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、RTCの電源を停止すると、時刻情報を消失してしまうため、電源停止前後で連続した時刻情報を使用することができない。

[0006] そこで、複数のRTC間で時刻同期をとる方法がある。

[0007] しかしながら、それぞれのRTCの分解能の差異があり、例えば、分解能の大きなRTCの時刻を分解能の小さなRTCに同期すると、分解能の小さなRTCでは分解能の大きなRTCが保持していた分解能差異分の時刻情報が失われてしまっ

いた。また、例えば、分解能の大きなRTCが電源停止などで時刻情報を失った後に、分解能の小さなRTCと同期し、時刻情報を復帰しても、失われた分解能差異分の情報を復帰することは困難であった。

[0008] 本開示は、このような状況に鑑みてなされたものであり、RTCの分解能が異なる場合でも、高い分解能を保ったまま同期することができるものである。

課題を解決するための手段

[0009] 本開示の一側面の信号処理装置は、クロック信号によるカウント動作で時刻を保持する第1のRTC(リアルタイムクロック)を有し、動作制御を行う第1のチップと、前記第1のRTCとは異なる第2のRTCを有し、電源制御を行う第2のチップとを備え、前記第1のチップは、前記第1のRTCの時刻と、前記第2のRTCの時刻とを同期させる動作制御部を有する。

[0010] 前記動作制御部は、前記第1のチップの電源停止からの復帰時に、前記第2のRTCの時刻を、前記第1のRTCに同期させることができる。

[0011] 前記動作制御部は、前記第1のRTCの分解能が、前記第2のRTCの分解能よりも高い場合、前記第1のチップの電源停止前に、前記第1のRTCのみが保持可能な時刻情報を、前記第1のRTCと前記第2のRTCの時刻の差分情報としてメモリに保持させ、前記第1のチップの電源停止からの復帰時に使用させることができる。

[0012] 前記動作制御部は、前記第1のRTCの時刻情報の更新時に、前記第1のRTCの時刻を、前記第2のRTCに同期させることができる。

[0013] 本開示の一側面の信号処理方法は、クロック信号によるカウント動作で時刻を保持する第1のRTCを有し、動作制御を行う第1のチップと、前記第1のRTCとは異なる第2のRTCを有し、電源制御を行う第2のチップとを備える信号処理装置が、前記第1のRTCの時刻と、前記第2のRTCの時刻とを同期させる。

[0014] 本開示の一側面においては、動作制御を行う第1のチップが有する第1のRTCの時刻と、電源制御を行う第2のチップが有し、前記第1のRTCとは異なる第2のRTCの時刻とが同期される。

発明の効果

[0015] 本技術によれば、複数のRTCを同期することができる。特に、RTCの分解能が異なる場合でも、高い分解能を保ったまま複数のRTCを同期することができる。

[0016] なお、本明細書に記載された効果は、あくまで例示であり、本技術の効果は、本明細書に記載された効果に限定されるものではなく、付加的な効果があってもよい。

図面の簡単な説明

[0017] [図1]RTCの分解能の差異について説明する図である。

[図2]bit境界の時刻情報について説明する図である。

[図3]本技術を適用した信号処理装置の構成例を示すブロック図である。

[図4]信号処理装置の同期処理について説明するフローチャートである。

[図5]信号処理装置の同期処理について説明する図である。

[図6]情報の保持について説明する図である。

[図7]信号処理装置の同期処理の他の例について説明するフローチャートである。

[図8]信号処理装置の同期処理の他の例について説明する図である。

[図9]本技術を適用したGPS(Global Positioning System) モジュールの構成例を示すブロック図である。

発明を実施するための形態

[0018] 以下、本開示を実施するための形態（以下実施の形態とする）について説明する。

[0019] [概要]

一般的にリアルタイムクロック（以下、RTC）は、チップ内で、メインの機能とは独立した電源を有し、メインの電源を停止させて低消費電力化を図る場合で、電源復帰後にも停止前と連続した時刻情報を使用したいときに使用される。

[0020] 近年のCMOS(Complementary Metal Oxide Semiconductor)プロセスの微細化

による、デジタル回路の小型化と低消費電力化の進行で、微細プロセスでは、デジタル回路で消費される電力のうち、リーク電流により消費される電力の割合が大きくなってきた。このため、RTCを含むチップ全体の電源を落としたい(以下、ディープスリープ)要求が高まっている。しかしながら、RTCの電源を停止すると、時刻情報を消失してしまうため、電源停止前後で連続した時刻情報を使用することができない。

[0021] 複数のRTC間で時刻同期をとる場合、それぞれのRTCの分解能の差異があるため工夫が必要である。RTCの分解能の差異について、図1を参照して説明する。図1のAに示されるように、分解能の大きなRTCの時刻を分解能の小さなRTCに同期すると、分解能の小さなRTCでは分解能の大きなRTCが保持していた分解能差異分の時刻情報が失われる。例えば、図1のAの場合、47bitのカウンタAの時刻を、41bitのカウンタBの時刻に同期させると、カウンタAのLSB:6bitの情報が捨てられる。

[0022] なお、同じクロックが使用されているので、分解能の小さなRTCに入力されるクロックは、図1のAにおいては、RTC内で $1/2^6$ 分周されて、カウンタに入力されている例が示されている。分周される場所は、カウンタに入力される前のチップ内であれば、どこでもよい。以下、本開示の実施の形態において、分周については同様である。

[0023] また、例えば、図1のBに示されるように、分解能の大きなRTCが電源停止などで時刻情報を失った後に、分解能の小さなRTC(カウンタB)と同期し、時刻情報を復帰しても、カウンタAの失われた分解能差異分(LSB:6bit分)の情報は復帰できない。

[0024] 例えば、GPS受信機において、エフェメリスとアルマナックが使用可であり、これらを用いるホットスタートを行う場合、受信する各衛星からの50bpsのデータのbit境界の時刻情報を利用し、同一データ区間の20msにおいて相関積分を行う。図2に示されるように、bit境界の時刻情報が Δt (ms)ずれていると加算値 $2\Delta t$ が相殺されて積分値が小さくなるため感度の劣化が生じる。このとき、相関値は、 $10\log((20-2\Delta t)/20)$ dB劣化する。このため十分に分解能

の高いRTCを有する事が求められる。

[0025] GPS受信機が、ディープスリープした後に、外部のRTCとGPS受信機内のRTCを同期し、GPS受信機内のRTCの時刻情報の復帰を行った場合、外部RTCの分解能がGPS受信機のRTCの分解能より低いとき、bit境界の時刻情報に分解能差異分のズレが生じ、感度劣化を引き起こす。

[0026] 例えば、 $\Delta t = \pm 0.5\text{ms}$ の場合、 0.22dB の感度劣化が生じる。例えば、 $\Delta t = \pm 1\text{ms}$ の場合、 0.46dB の感度劣化が生じる。

[0027] そこで、本技術においては、先端プロセスのメインチップと、レガシープロセスの電源チップからなる複数チップ構成のシステムにおいて、それぞれが独立したRTCを有し、それらが相互に同期を行うようにした。

[0028] これにより、メインチップをまるごと電源停止して、低消費電力動作を可能とすることができる。また、高精度な時刻情報をRTC間で共有することができる。さらに、分解能の異なるRTC間での高精度の時刻同期を可能とすることができる。

[0029] [本技術の信号処理装置]

図3は、本技術を適用した信号処理装置の構成例を示すブロック図である。

[0030] 信号処理装置11は、先端プロセスのメインチップ21およびレガシープロセスの電源チップ22を含むように構成されている。

[0031] メインチップ21は、動作制御部31、通信部32、設定保持部33、およびカウンタを有するRTC34で構成されている。電源チップ22は、通信部41、設定保持部42、カウンタ43aを有するRTC43、および電源制御部44で構成されている。

[0032] 動作制御部31は、信号処理装置11の各部の動作を制御する。すなわち、動作制御部31は、メインチップ21の各部と、電源チップ22の各部との動作を制御する。通信部32は、動作制御部31の制御のもと、電源チップ22の通信部32と通信を行う。設定保持部33は、動作制御部31の制御のもと、時刻情報（設定時刻やアラーム時刻）を保持する。RTC34は、動

作制御部 31 の制御のもと、外部からのRTCクロック信号によるカウンタ 34 a のカウント動作で時刻を保持する。

[0033] 通信部 41 は、動作制御部 31 の制御のもと、メインチップ 21 の通信部 41 と通信を行う。設定保持部 42 は、動作制御部 31 の制御のもと、時刻情報（設定時刻やアラーム時刻）を保持する。RTC 43 は、動作制御部 31 の制御のもと、外部からのRTCクロック信号によるカウンタ 43 a のカウント動作で時刻を保持する。電源制御部 44 は、動作制御部 31 の制御のもと、メインチップ 21 への電源を制御する。

[0034] 低消費電力化のために、メインチップ 21 の電源を停止する場合、RTC 34 のカウンタ値もクリアされるため、RTC 34 は、停止前後で連続した時刻を保持することが困難である。そこで、信号処理装置 11 において、メインチップ 21 の電源停止前に、メインチップ 21 のRTC 34 と電源チップ 22 のRTC 43 とを同期しておき、メインチップ 21 の電源復帰後に再度メインチップ 21 のRTC 34 と電源チップ 22 のRTC 43 とを同期する。このようにすることで、RTC 34 は、停止前後で連続した時刻情報を扱うことができる。

[0035] さらに、近年CMOSプロセスの微細化により、リーク電流により消費される電力の割合が大きくなってきたが、本技術により、メインチップ 21 の電源を、RTC 34 の電源含めてまるごと停止することができるので、消費電力の低減が可能となる。

[0036] [同期処理の例]

次に、図 4 のフローチャートと図 5 を参照して、信号処理装置 11 の信号処理としての同期処理について説明する。

[0037] ステップ S 11 において、メインチップ 21 は、電源チップ 22 のRTC 43 の現在の時刻を読み出す。すなわち、RTC 43 は、図 5 の矢印 A 11 に示されるように、動作制御部 31 の制御のもと、カウンタ 43 a が保持する現在時刻を読み出し、読み出した現在時刻を、設定保持部 42、通信部 41、および通信部 32 を介して、動作制御部 31 に供給する。

[0038] ステップ S 12 において、メインチップ 21 は、読み出されたカウンタ 4

3 aの現在時刻よりも未来の時刻を電源チップ22に伝えるとともに、設定保持部33に、設定時刻を保持させる。設定保持部33は、未来の時刻を、設定時刻として保持する。電源チップ22のRTC43は、図5の矢印A12に示されるように、メインチップ21からの未来の時刻を、通信部41および設定保持部42を介して受け、アラーム時刻としてRTC43のカウンタ43aに供給する。

[0039] 電源チップ22のRTC43は、ステップS13において、アラーム時刻とカウンタ43aの現在時刻を比較して、アラーム時刻になったと判定されるまで待機している。ステップS13において、アラーム時刻になったと判定された場合、処理は、ステップS14に進む。

[0040] ステップS14において、電源チップ22のRTC43は、図5の矢印A12に示されるように、RTC34に対して、アラームをあげる。

[0041] ステップS15において、RTC34は、図5の矢印A13に示されるように、アラームを受け取ると、RTC34のカウンタ34aを、設定保持部33に保持された設定時刻から開始する。

[0042] 以上のようにして、電源チップ22のRTC43の時刻を、メインチップ21のRTC34に同期させることができる。

[0043] これにより、メインチップをまるごと電源停止して、低消費電力動作を可能とすることができる。

[0044] なお、メインチップ21の有する機能によっては、RTC34が高い分解能を要することがある。メインチップ21のRTC34の分解能が電源チップ22のRTC43の分解能よりも高い場合にも、メインチップの分解能を保って、電源チップのRTCの時刻をメインチップのRTCに同期するためには、メインチップ21は、図6に示される不揮発性記憶部61を有し、まず、両者が起きている状態で、メインチップ21と電源チップ22とを、次のように同期する。また、図6の例においては、RTC34には、レジスタ71が設けられており、RTC43には、コンパレータ81およびアラーム設定レジスタ82が設けられているが、実際には、レジスタ71は、設定保持部33に、アラーム設定レ

ジスタ 8 2 は、設定保持部 4 2 内に設けられているのが一般的である。

[0045] すなわち、両者が起きて同期している状態で、メインチップ 2 1 は、図 4 のステップ S 1 1 の処理と同様に、電源チップ 2 2 の RTC 4 3 の現在の時刻を読み出し、ステップ S 1 2 の処理と同様に、メインチップ 2 1 は、読み出されたカウンタ 4 3 a の現在時刻よりも未来の時刻を、電源チップ 2 2 に伝えとともに、設定保持部 3 3 に設定時刻として保持させる。このとき、設定保持部 3 3 は、レジスタ 7 1 のレジスタ b に設定時刻を格納する。

[0046] 次に、ステップ S 1 3 および S 1 4 の処理と同様に、電源チップ 2 2 の RTC 4 3 は、メインチップ 2 1 から伝えられる。コンパレータ 8 1 の比較により、設定保持部 4 2 に保持された（実際には、アラーム設定レジスタ 8 2 に設定された）アラーム時刻と、RTC 4 3 のカウンタ 4 3 a にカウントされている現在時刻が一致したときに、RTC 4 3 は、矢印 A 2 1 に示されるように、RTC 3 4 に対してアラームをあげる。

[0047] RTC 3 4 は、アラームを受け取る。これに対応して、メインチップ 2 1 は、矢印 A 2 2 に示されるように、レジスタ 7 1 のレジスタ b に格納されている設定時刻をカウンタの MSB にロードする。また、このとき、メインチップ 2 1 は、電源チップ 2 2 の RTC 3 4 のカウンタ 3 4 a が持たない分解能のカウント値 (LSB: 6bit) を、矢印 A 2 3 に示されるように、レジスタ 7 1 のレジスタ b と不揮発性記憶部 6 1 に保持する。

[0048] このようにして、両者が起きている状態のときに、メインチップ 2 1 と電源チップ 2 2 とが同期される。

[0049] そして、図 4 のフローチャートの同期処理のように、実際に、電源チップ 2 2 の RTC 4 3 の時刻を、メインチップ 2 1 の RTC 3 4 の時刻に同期する際に、レジスタ 7 1 のレジスタ b（不揮発性記憶部 6 1）に保持した値をメインチップ 2 1 の RTC 3 4 のカウンタ 3 4 a の LSB に促すことで、メインチップ 2 1 の RTC 3 4 の高い分解能を保って同期することができる。

[0050] [同期処理の他の例]

次に、図 7 のフローチャートと図 8 を参照して、信号処理装置 1 1 の信号

処理としての同期処理の他の例について説明する。例えば、GPS受信機において、高精度の時刻情報を取得するメインチップ21の機能があり、RTC34の時刻情報が更新され、その時刻情報に、RTC43を同期させる場合の例について説明する。

[0051] ステップS31において、メインチップ21は、自身のRTC34の現在時刻よりも未来の時刻を電源チップ22に伝える。すなわち、矢印A31に示されるように、メインチップ21のRTC34は、動作制御部31の制御のもと、カウンタ34aがカウントする現在時刻を、設定保持部33を介して、動作制御部31に供給する。これに対応して、動作制御部31は、通信部32、電源チップ22の通信部41を介して、設定保持部42に、RTC34の現在時刻よりも未来の時刻を伝える。設定保持部42は、この未来の時刻を、設定時刻として保持する。このとき、動作制御部31は、この未来の時刻を、アラーム時刻として、設定保持部33を介して、RTC34に伝える。

[0052] RTC34は、ステップS32において、アラーム時刻とカウンタ34aの現在時刻を比較して、その時刻（アラーム時刻）になったと判定されるまで待機している。ステップS32において、その時刻になったと判定された場合、処理は、ステップS33に進む。

[0053] ステップS33において、矢印A32に示されるように、RTC34は、電源チップ22のRTC43にアラームを上げる。

[0054] ステップS34において、電源チップ22は、メインチップ21からアラームを受け取り、メインチップ21から予め伝えられていた設定時刻（未来の時刻）を自身のRTC43のカウンタ43aに設定する。すなわち、設定保持部42は、矢印A33に示されるように、保持している設定時刻をRTC43に供給する。RTC43は、設定時刻を、カウンタ43aに設定する。

[0055] 以上のようにして、メインチップ21のRTC34の時刻を、電源チップ22のRTC43に同期させることができる。

[0056] 以上のように、本技術によれば、複数のチップからなる装置（システム）において、それぞれのチップが有するRTCの時刻を双方向に同期することがで

きる。また、RTCの分解能が異なる場合に、高い分解能を保ったまま同期することができる。

[0057] したがって、メインチップをまるごと電源停止して、低消費電力動作を可能とすることができる。

[0058] なお、上記説明においては、2つのチップの例を説明してきたが、チップの数は、複数であれば、3以上であってもよい。

[0059] また、上記説明においては、信号処理装置を例に説明してきたが、本技術は、次のようなGPSモジュールにも適用することができる。

[0060] [本発明を適用したGPSモジュール]

図9は、本技術を適用したGPSモジュールの構成例を示すブロック図である。

[0061] 図9の例においては、GPSモジュール100は、アンテナ112、周波数変換部120、同期捕捉部140、同期保持部150、CPU(Central Processing Unit)160、RTC(Real Time Clock)164、タイマ168、メモリ170、X0(水晶発振器、x'tal Oscillator)172、TCX0(Temperature Compensated X'tal Oscillator)174、及び通倍/分周器176を備える。

[0062] X0172は、所定の周波数(例えば、32.768kHz程度)を有する信号D1を発振させ、発振した信号D1をRTC164へ供給する。TCX0174は、X0172と異なる周波数(例えば、16.368MHz程度)を有する信号D2を発振し、発振した信号D2を通倍/分周器76及び周波数シンセサイザ128へ供給する。

[0063] 通倍/分周器176は、TCX0174から供給された信号D2を、CPU160からの指示に基づいて、通倍若しくは分周、又はそれら双方を行なう。そして、通倍/分周器176は、通倍、分周又はその双方を行った信号D4を、周波数変換部120の周波数シンセサイザ128、ADC136、CPU160、タイマ168、メモリ170、同期捕捉部140、及び同期保持部150へ供給する。

[0064] アンテナ112は、全地球測位システムの衛星であるGPS衛星から送信され

た航法メッセージなどを含む無線信号（例えば、1575.42MHzのキャリアが拡散されたRF信号）を受信し、当該無線信号を電気信号D 5に変換して周波数変換部1 2 0へ供給する。

[0065] 周波数変換部1 2 0は、LNA (Low Noise Amplifier) 1 2 2、BPF (Band Pass Filter) 1 2 4、増幅器1 2 6、周波数シンセサイザ1 2 8、乗算器1 3 0、増幅器1 3 2、LPF (Low Pass Filter) 1 3 4、及びADC (Analog Digital Converter) 1 3 6を備える。この周波数変換部1 2 0は、以下に示すように、アンテナ1 1 2により受信された1575.42MHzの高い周波数を有する信号D 5を、デジタル信号処理の容易化のために、例えば1.023MHz程度の周波数を有する信号D 1 4にダウンコンバージョンする。

[0066] LNA 1 2 2は、アンテナ1 1 2から供給された信号D 5を増幅し、BPF 1 2 4へ供給する。BPF 1 2 4は、SAWフィルタ (Surface Acoustic Wave Filter) から構成され、LNA 1 2 2により増幅された信号D 6の周波数成分のうちで、特定の周波数成分のみを抽出して増幅器1 2 6へ供給する。増幅器1 2 6は、BPF 1 2 4により抽出された周波数成分を有する信号D 7 (周波数FRF)を増幅し、乗算器1 3 0へ供給する。

[0067] 周波数シンセサイザ1 2 8は、TCXO 1 7 4から供給される信号D 2を利用し、CPU 1 6 0からの指示D 9に基づいて周波数FL0を有する信号D 1 0を生成する。そして、周波数シンセサイザ1 2 8は、生成した周波数FL0を有する信号D 1 0を乗算器1 3 0へ供給する。

[0068] 乗算器1 3 0は、増幅器1 2 6から供給される周波数FRFを有する信号D 8と、周波数シンセサイザ1 2 8から供給される周波数FL0を有する信号D 1 0を乗算する。即ち、乗算器1 3 0は、高周波信号をIF (Intermediate Frequency) 信号D 1 1 (例えば、1.023MHz程度の周波数を有する中間周波数信号)にダウンコンバージョンする。

[0069] 増幅器1 3 2は、乗算器1 3 0によりダウンコンバージョンされたIF信号D 1 1を増幅し、LPF 1 3 4へ供給する。

[0070] LPF 1 3 4は、増幅器1 3 2により増幅されたIF信号D 1 2の周波数成分の

うちの低周波成分を抽出し、抽出した低周波成分を有する信号D 1 3をADC 1 3 6へ供給する。なお、図9においては増幅器1 3 2とADC 1 3 6の間にLPF 1 3 4が配置される例を説明しているが、増幅器1 3 2とADC 1 3 6の間にはBPFが配置されてもよい。

[0071] ADC 1 3 6は、LPF 1 3 4から供給されたアナログ形式のIF信号D 1 3をサンプリングすることによりデジタル形式に変換し、デジタル形式に変換したIF信号D 1 4を、1ビットずつ同期捕捉部1 4 0及び同期保持部1 5 0へ供給する。

[0072] 同期捕捉部1 4 0は、CPU 1 6 0による制御に基づき、通倍／分周器1 7 6から供給される信号D 3を利用し、ADC 1 3 6から供給されるIF信号D 1 4の疑似ランダム（PRN：Pseudo-Random Noise）符号での同期捕捉を行う。また、同期捕捉部1 4 0は、IF信号D 1 4のキャリア周波数を検出する。そして、同期捕捉部1 4 0は、PRN符号の位相やIF信号D 1 4のキャリア周波数などを同期保持部1 5 0及びCPU 1 6 0へ供給する。

[0073] 同期保持部1 5 0は、CPU 1 6 0による制御に基づき、通倍／分周器1 7 6から供給される信号D 3を利用し、ADC 1 3 6から供給されるIF信号D 1 4のPRN符号とキャリアの同期を保持する。より詳細には、同期保持部1 5 0は、同期捕捉部1 4 0から供給されるPRN符号の位相やIF信号D 1 4のキャリア周波数を初期値として動作する。そして、同期保持部1 5 0は、ADC 1 3 6から供給されるIF信号D 1 4に含まれる航法メッセージを復調し、復調された航法メッセージ、精度の高いPRN符号の位相及びキャリア周波数をCPU 1 6 0へ供給する。

[0074] CPU 1 6 0は、同期保持部1 5 0から供給される航法メッセージ、PRN符号の位相及びキャリア周波数に基づいて、各GPS衛星の位置や速度を算出し、GPSモジュール1 0 0の位置を計算する。また、CPU 1 6 0は、航法メッセージに基づいてRTC 1 6 4の時間情報を補正してもよい。また、CPU 1 6 0は、制御端子、I/O端子、及び付加機能端子などに接続され、その他の各種制御処理を実行してもよい。

- [0075] RTC 164は、X0172から供給される所定の周波数を有する信号D1を利用して時間を計測する。RTC 164が計測する時間は、CPU 160により適宜補正される。
- [0076] タイマ168は、通倍／分周器176から供給される信号D4を利用して計時する。かかるタイマ168は、CPU 160による各種制御の開始タイミングを決定する際などに参照される。例えば、CPU 160は、同期捕捉部140により捕捉されたPRN符号の位相に基づいて同期保持部150のPRN符号発生器の動作を開始させるタイミングを決定する際に、タイマ168を参照する。
- [0077] メモリ170は、RAM (Random Access Memory) やROM (Read-Only Memory) などからなり、CPU 160による作業空間、プログラムの記憶部、航法メッセージの記憶部などとしての機能を有する。メモリ170においては、CPU 160等による各種処理を行う際のワークエリアとしてRAMが用いられる。また、RAMは、入力された各種データのバッファリング、並びに、同期保持部150より得られたGPS衛星の軌道情報であるエフェメリス及びアルマナック、及び演算過程で生成される中間データ又は演算結果データの保持などのためにも用いられ得る。また、メモリ170においては、各種プログラムや固定データ等を記憶する手段としてROMが用いられる。また、メモリ170においては、GPSモジュール100の電源が切られている間に、GPS衛星の軌道情報であるエフェメリス及びアルマナック、並びに測位結果の位置情報又はTCX01の誤差量などを記憶する手段として、不揮発メモリが用いられる場合がある。
- [0078] なお、図9に示したGPSモジュール100の構成のうち、X0172、TCX0174、アンテナ112及びBPF124を除く各ブロックを、1チップからなる集積回路に実装することも可能である。
- [0079] また、上述した同期捕捉部140は、例えば、拡散符号の同期捕捉を高速に行うために、マッチドフィルタを利用する。具体的には、同期捕捉部140は、マッチドフィルタとして、トランスバーサルフィルタを用いてもよい。その代わりに、同期捕捉部140は、マッチドフィルタとして、高速フー

リエ変換（FFT：Fast Fourier Transform）を利用したデジタルマッチドフィルタを用いてもよい。かかるデジタルマッチドフィルタは、DSP（Digital Signal Processor）を用いて実行するソフトウェアとして実現されてもよい。

[0080] 以上のように構成されるGPSモジュール100において、図3乃至図8を参照して上述した本技術を適用する場合、アンテナ112および周波数変換部120、X0172、TCX0174のアナログ回路部を除く、デジタル回路部121が、上述したように、複数のチップ、すなわち、メインチップ21と電源チップ22で構成される。この場合、CPU160が、メインチップ21の動作制御部31に対応し、RTC164は、メインチップ21のRTC34並びに電源チップ22のRTC43に対応し、メモリ170が、メインチップ21の設定保持部33および電源チップ22の設定保持部42に対応することとなる。例えば、I/O端子が、通信部32および通信部41に対応することとなる。このようにすることで、GPSモジュール100においても、本技術と同様の効果を得ることができる。すなわち、複数のチップで構成され、RTCの分解能が異なる場合に、高い分解能を保ったまま同期することができ、低消費電力化を図ることができる。

[0081] 上述した一連の処理は、ハードウェアにより実行させることもできるし、ソフトウェアにより実行させることもできる。上述した一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、ネットワークや記録媒体からインストールされる。

[0082] この記録媒体は、図示されていないが、装置本体とは別に、ユーザにプログラムを配信するために配布される、プログラムが記録されているリムーバブルメディアにより構成される。このリムーバブルメディアには、磁気ディスク（フレキシブルディスクを含む）や光ディスク（CD-ROMやDVDを含む）が含まれる。さらに、光磁気ディスク（MD（Mini Disc）を含む）や半導体メモリ等も含まれる。

[0083] その場合、プログラムは、それらのリムーバブルメディアをドライブに装着することにより、入出力インタフェースを介して、記憶部にインストール

することができる。

[0084] また、このプログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することもできる。その場合、プログラムは、各装置の通信部（例えば、I/O）にインストールすることができる。

[0085] その他、このプログラムは、各装置のROMや記憶部（例えば、メモリ 170）に、あらかじめインストールしておくこともできる。

[0086] なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

[0087] なお、本明細書において、システムの用語は、複数の装置、ブロック、手段などにより構成される全体的な装置を意味するものである。

[0088] また、本開示における実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0089] また、以上において、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。つまり、本技術は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0090] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、開示はかかる例に限定されない。本開示の属する技術の分野にお

ける通常の知識を有するのであれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例また修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0091] なお、本技術は以下のような構成も取ることができる。

(1) クロック信号によるカウント動作で時刻を保持する第1のRTC(リアルタイムクロック)を有し、動作制御を行う第1のチップと、

前記第1のRTCとは異なる第2のRTCを有し、電源制御を行う第2のチップと

を備え、

前記第1のチップは、前記第1のRTCの時刻と、前記第2のRTCの時刻とを同期させる動作制御部を有する

信号処理装置。

(2) 前記動作制御部は、前記第1のチップの電源停止からの復帰時に、前記第2のRTCの時刻を、前記第1のRTCに同期させる

前記(1)に記載の信号処理装置。

(3) 前記動作制御部は、前記第1のRTCの分解能が、前記第2のRTCの分解能よりも高い場合、前記第1のチップの電源停止前に、前記第1のRTCのみが保持可能な時刻情報を、前記第1のRTCと前記第2のRTCの時刻の差分情報としてメモリに保持させ、前記第1のチップの電源停止からの復帰時に使用させる

前記(2)に記載の信号処理装置。

(4) 前記動作制御部は、前記第1のRTCの分解能が、前記第2のRTCの分解能よりも高い場合、前記第1のチップの電源停止前に、前記第1のRTCのみが保持可能な時刻情報を、前記第1のRTCと前記第2のRTCの時刻の差分情報としてメモリに保持させ、前記第1のチップの電源停止からの復帰時に使用させる

前記(1)乃至(3)のいずれかに記載の信号処理装置。

(5) クロック信号によるカウント動作で時刻を保持する第1のRTCを有し、動作制御を行う第1のチップと、

前記第1のRTCとは異なる第2のRTCを有し、電源制御を行う第2のチップと

を備える信号処理装置が、

前記第1のRTCの時刻と、前記第2のRTCの時刻とを同期させる

信号処理方法。

符号の説明

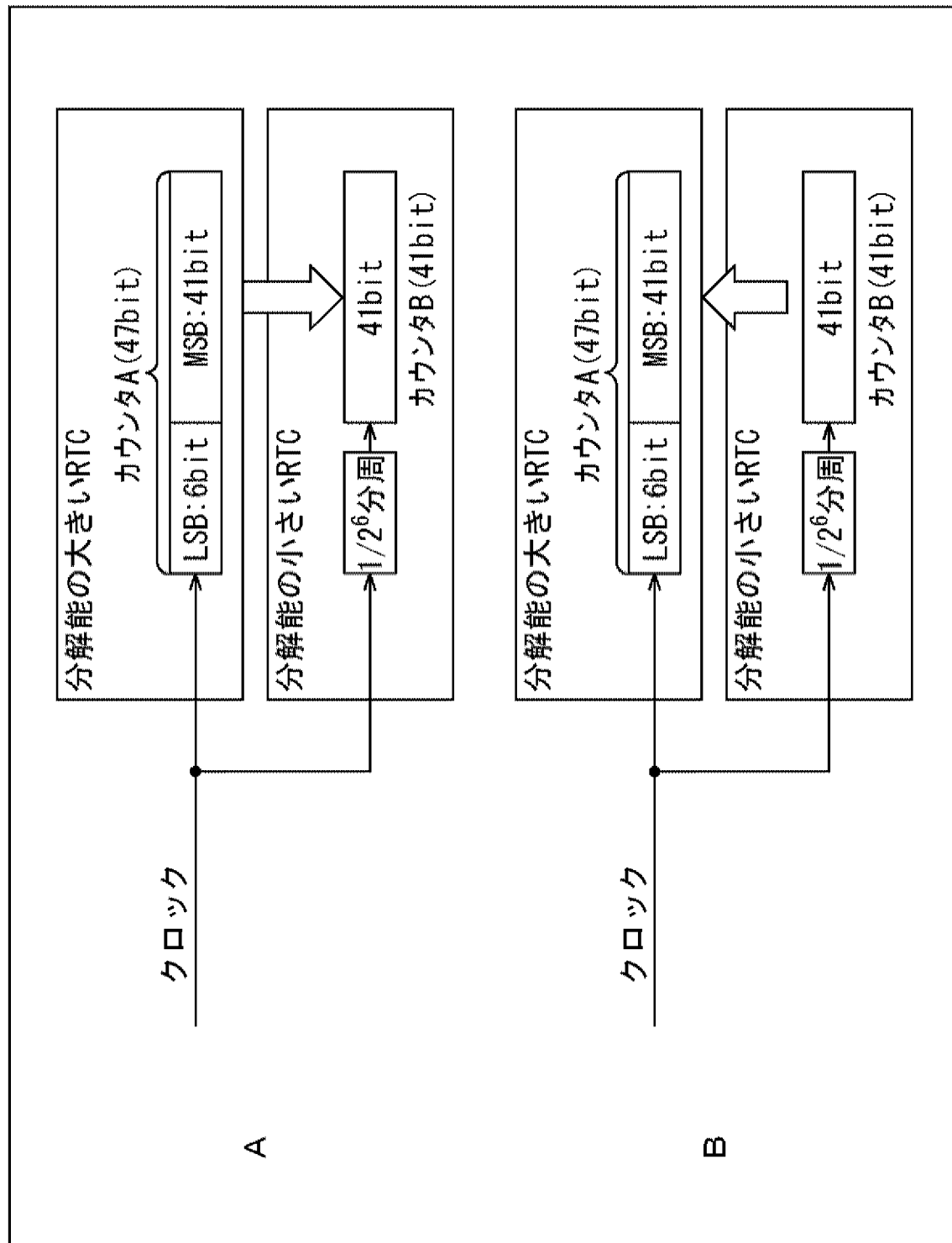
[0092] 11 信号処理装置, 21 メインチップ, 22 電源チップ, 31 動作制御部, 32 通信部, 33 設定保持部, 34 RTC, 34a カウンタ, 41 通信部, 42 設定保持部, 43 RTC, 43a カウンタ, 44 電源保持部, 61 不揮発メモリ, 71 レジスタ, 81 コンパレータ, 82 アラーム設定レジスタ, 100 GPSシステム, 120 周波数変換部, 121 デジタル回路部, 160 CPU, RTC 164, 170 メモリ

請求の範囲

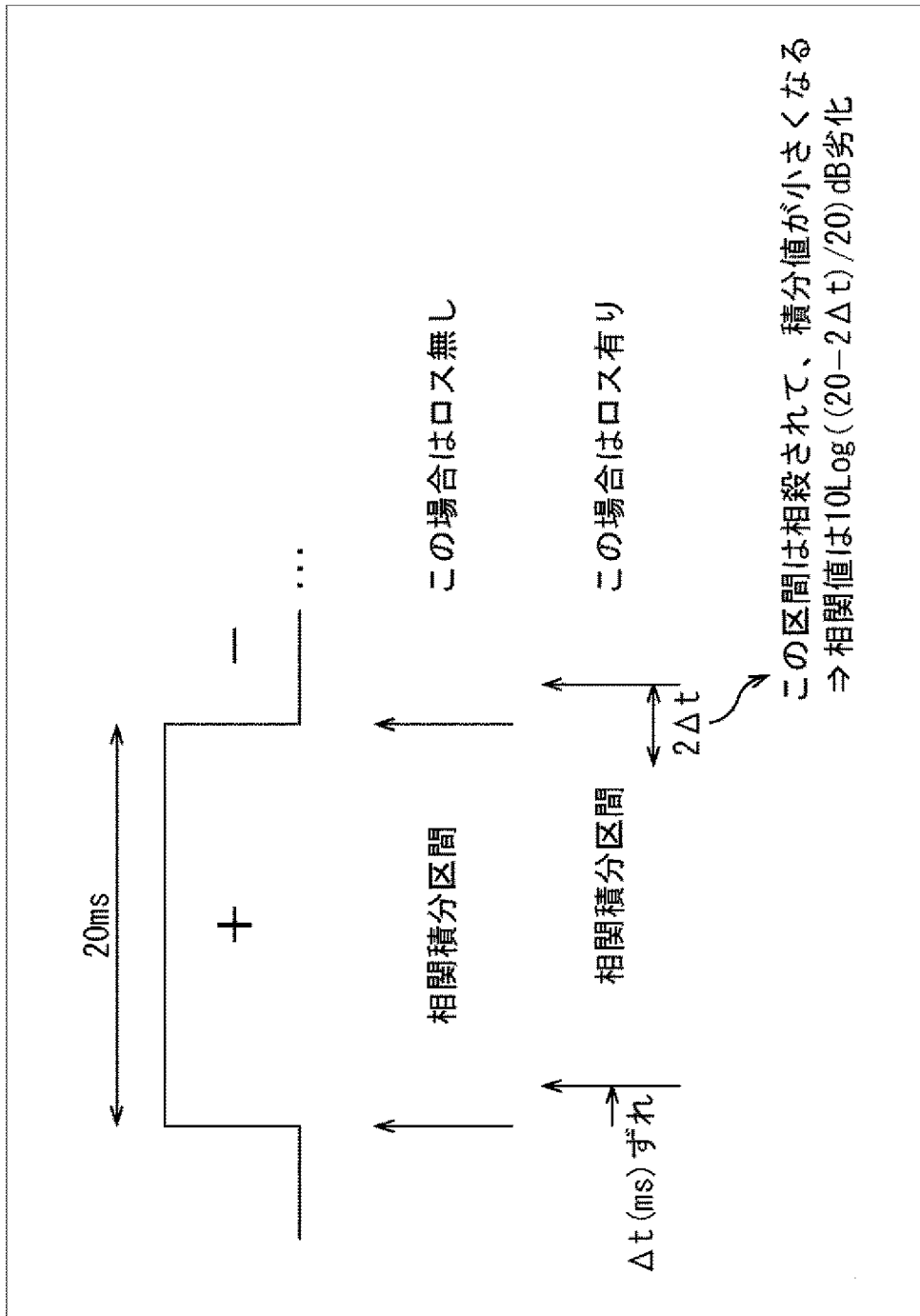
- [請求項1] クロック信号によるカウント動作で時刻を保持する第1のRTC(リアルタイムクロック)を有し、動作制御を行う第1のチップと、
- 前記第1のRTCとは異なる第2のRTCを有し、電源制御を行う第2のチップと
- を備え、
- 前記第1のチップは、前記第1のRTCの時刻と、前記第2のRTCの時刻とを同期させる動作制御部を有する
- 信号処理装置。
- [請求項2] 前記動作制御部は、前記第1のチップの電源停止からの復帰時に、前記第2のRTCの時刻を、前記第1のRTCに同期させる
- 請求項1に記載の信号処理装置。
- [請求項3] 前記動作制御部は、前記第1のRTCの分解能が、前記第2のRTCの分解能よりも高い場合、前記第1のチップの電源停止前に、前記第1のRTCのみが保持可能な時刻情報を、前記第1のRTCと前記第2のRTCの時刻の差分情報としてメモリに保持させ、前記第1のチップの電源停止からの復帰時に使用させる
- 請求項2に記載の信号処理装置。
- [請求項4] 前記動作制御部は、前記第1のRTCの分解能が、前記第2のRTCの分解能よりも高い場合、前記第1のチップの電源停止前に、前記第1のRTCのみが保持可能な時刻情報を、前記第1のRTCと前記第2のRTCの時刻の差分情報としてメモリに保持させ、前記第1のチップの電源停止からの復帰時に使用させる
- 請求項1に記載の信号処理装置。
- [請求項5] クロック信号によるカウント動作で時刻を保持する第1のRTC(リアルタイムクロック)を有し、動作制御を行う第1のチップと、
- 前記第1のRTCとは異なる第2のRTCを有し、電源制御を行う第2のチップと

を備える信号処理装置が、
前記第 1 のRTCの時刻と、前記第 2 のRTCの時刻とを同期させる
信号処理方法。

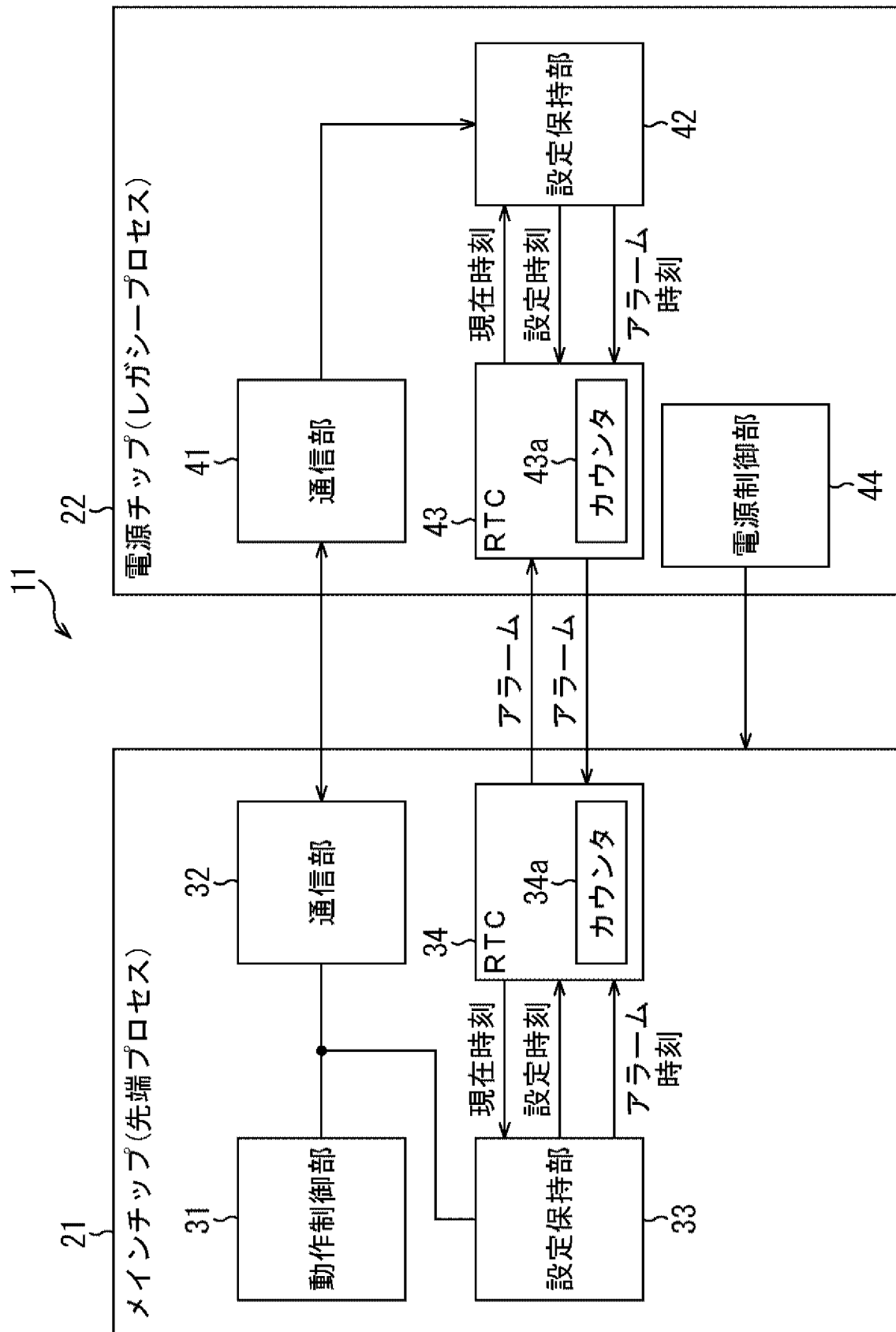
[図1]
FIG. 1



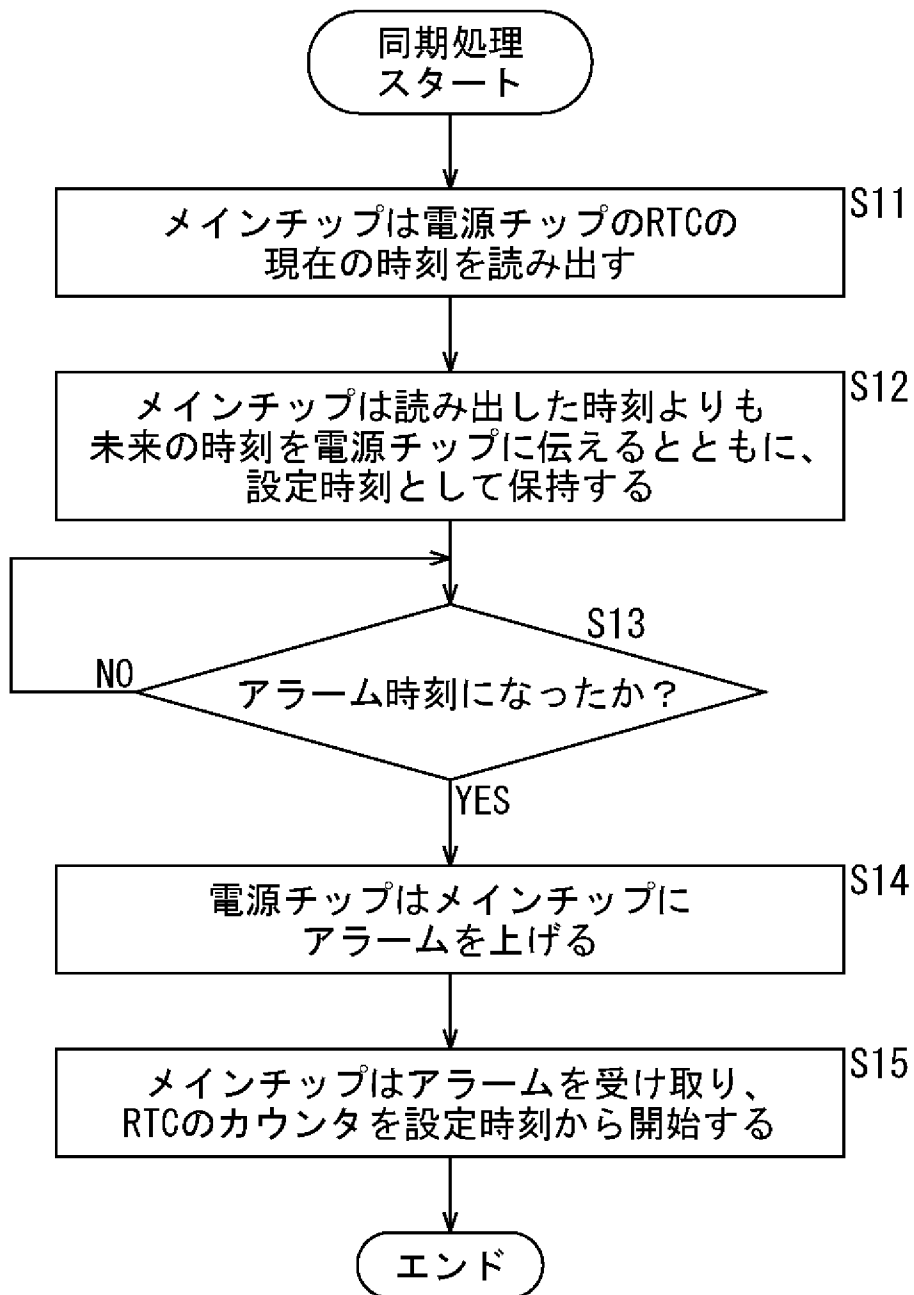
[図2]
FIG. 2



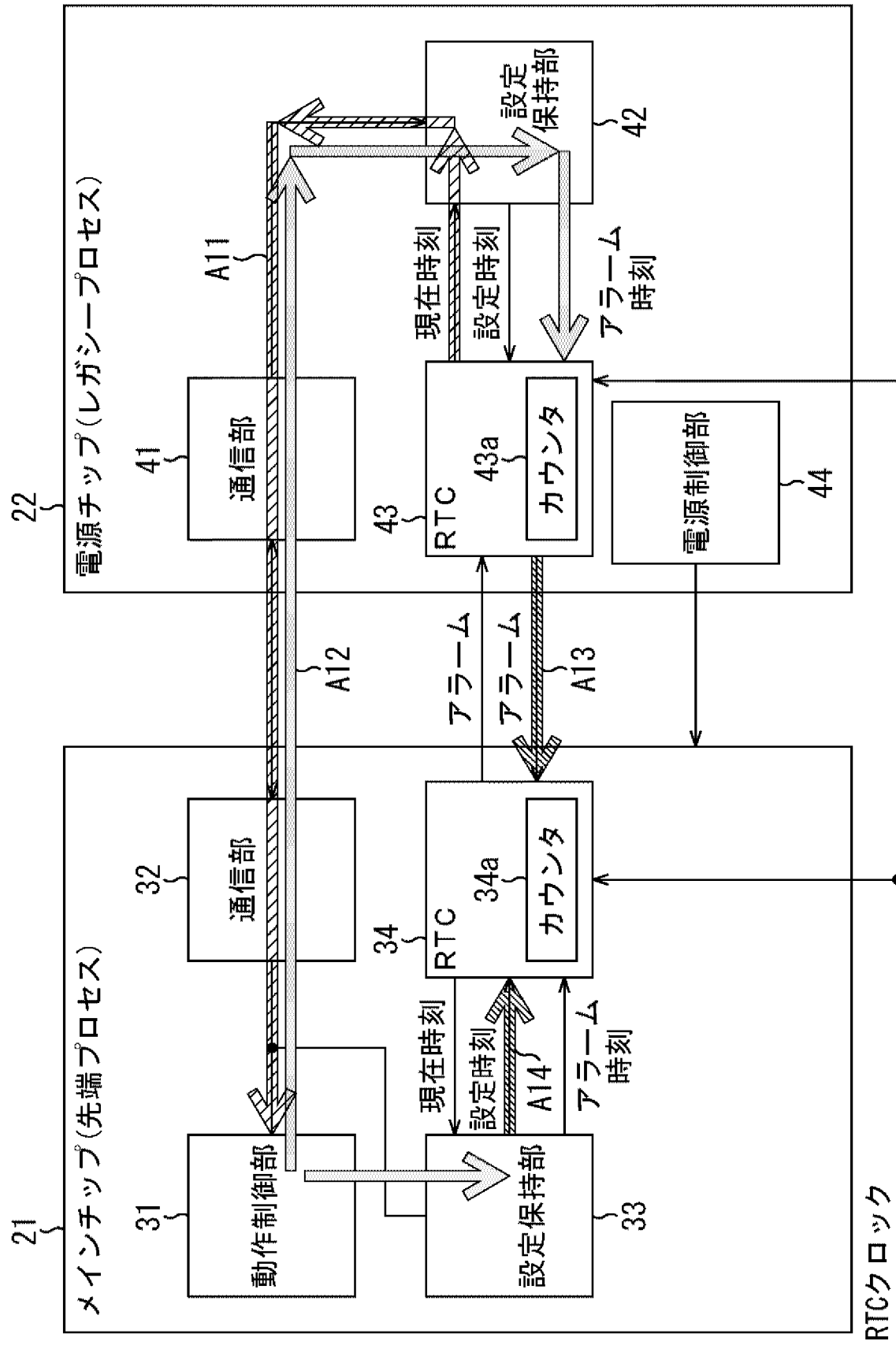
[図3]
FIG. 3



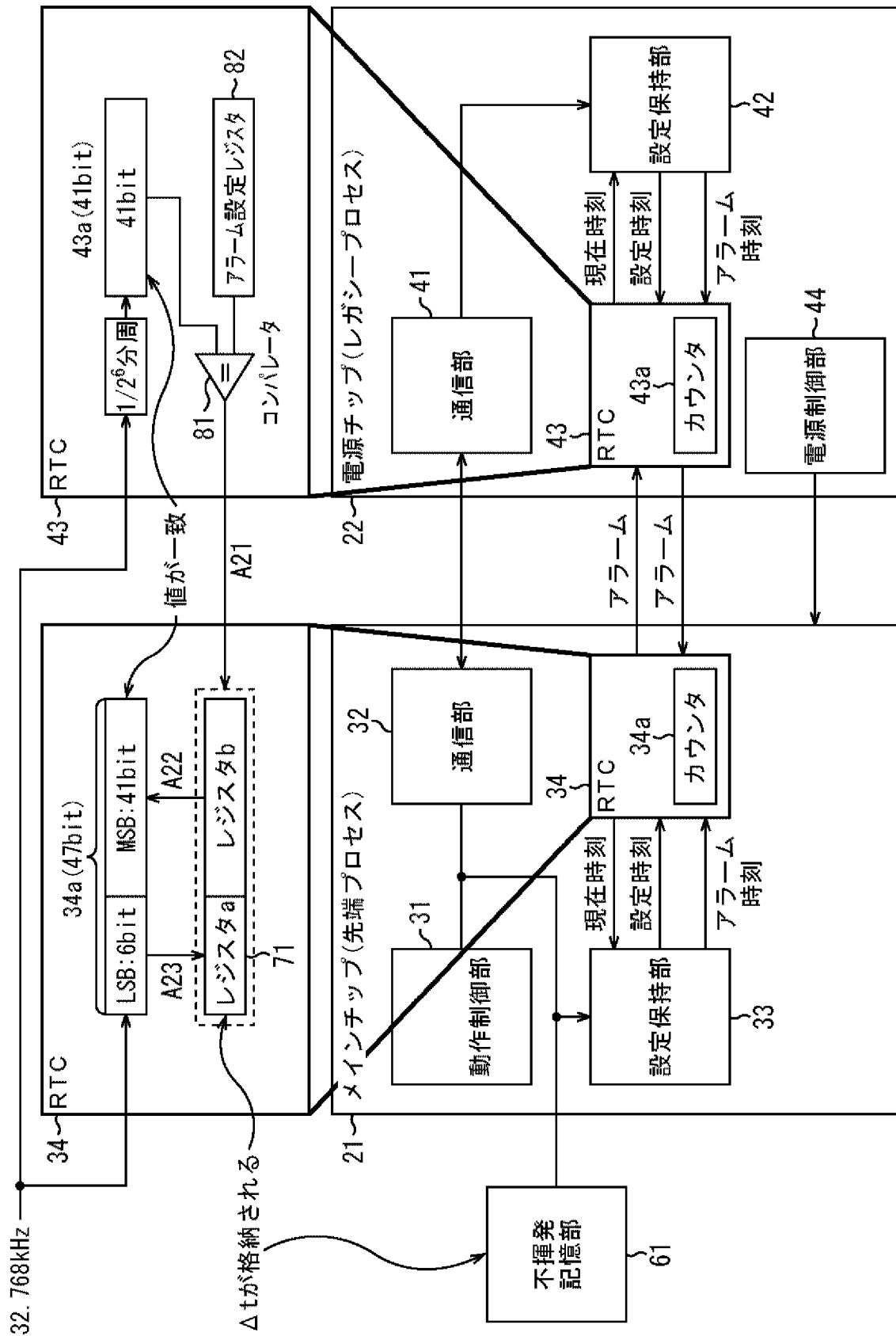
[図4]
FIG. 4



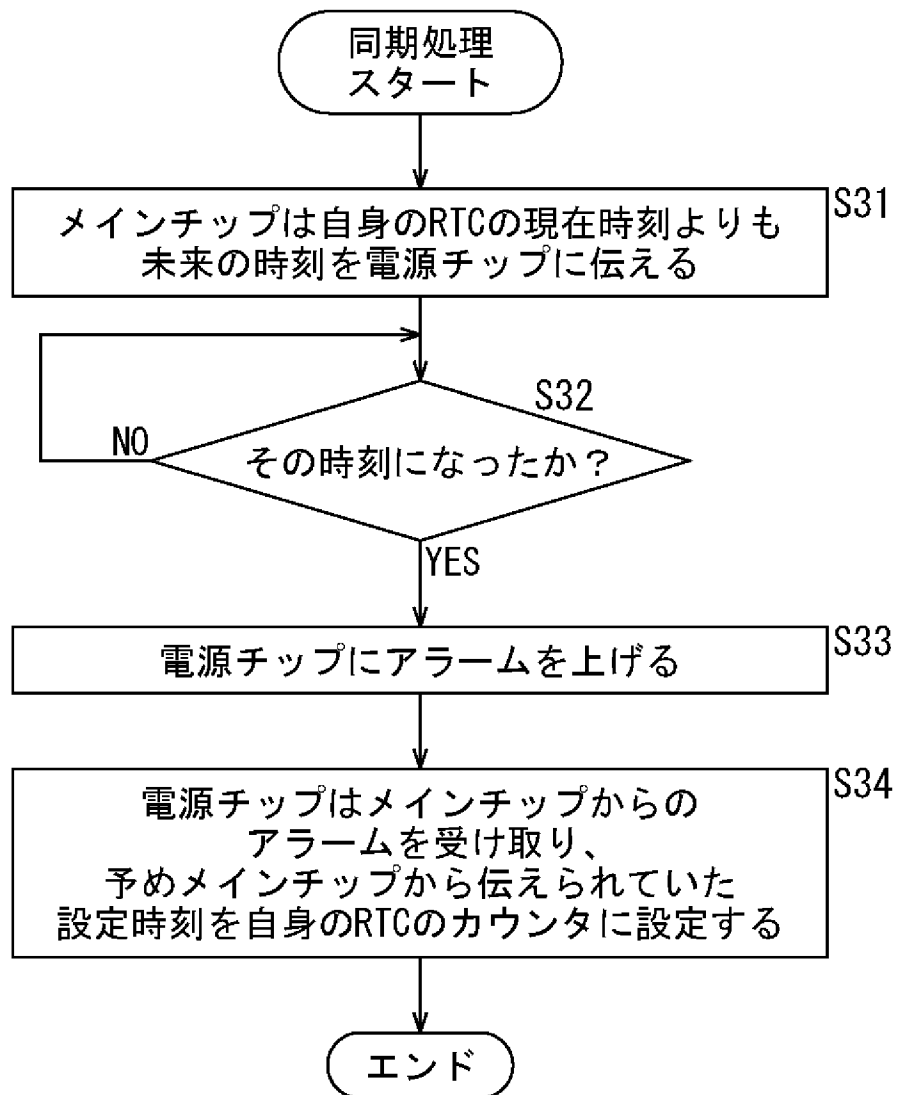
[図5]
FIG. 5



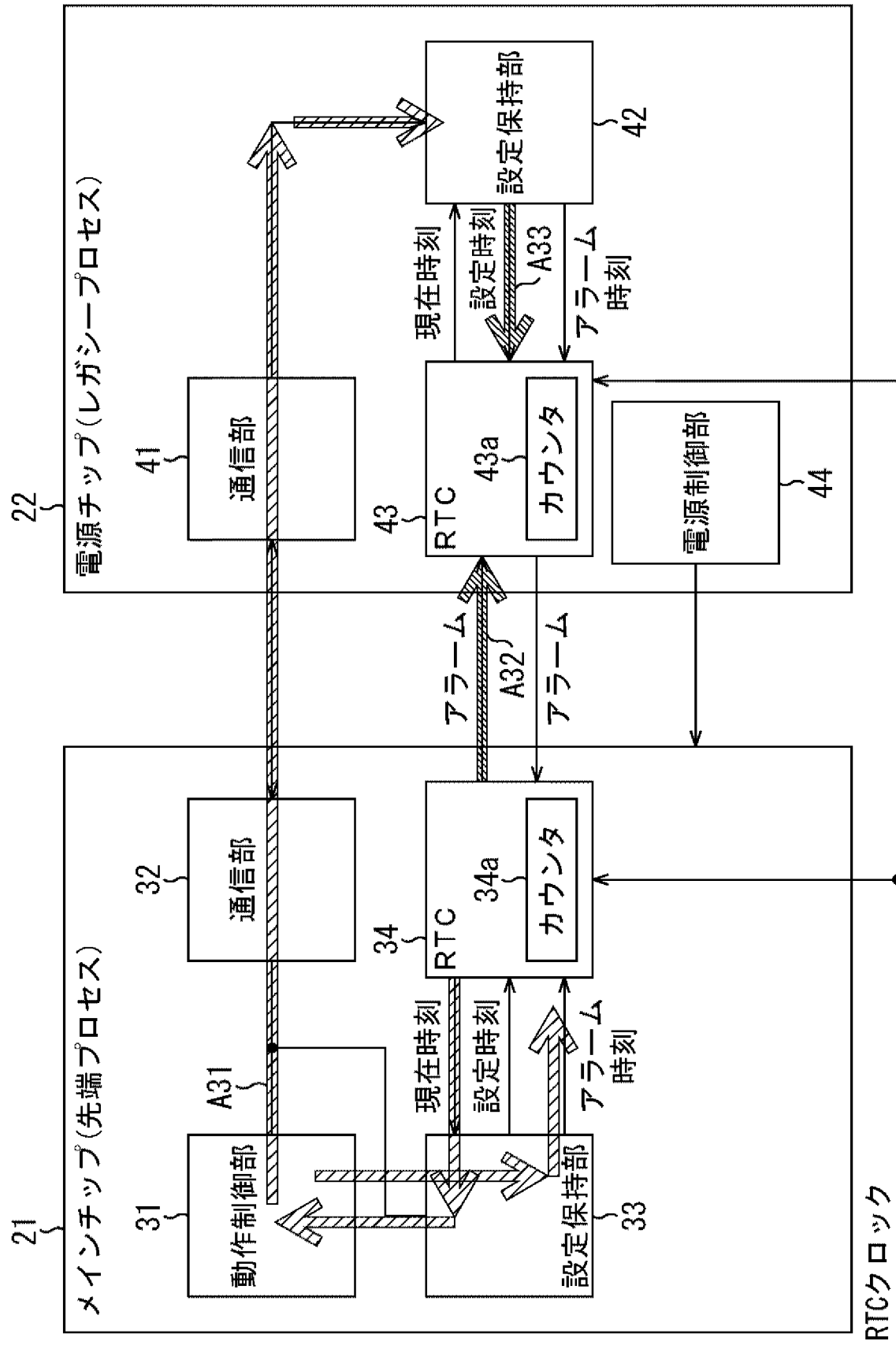
[図6]
FIG. 6



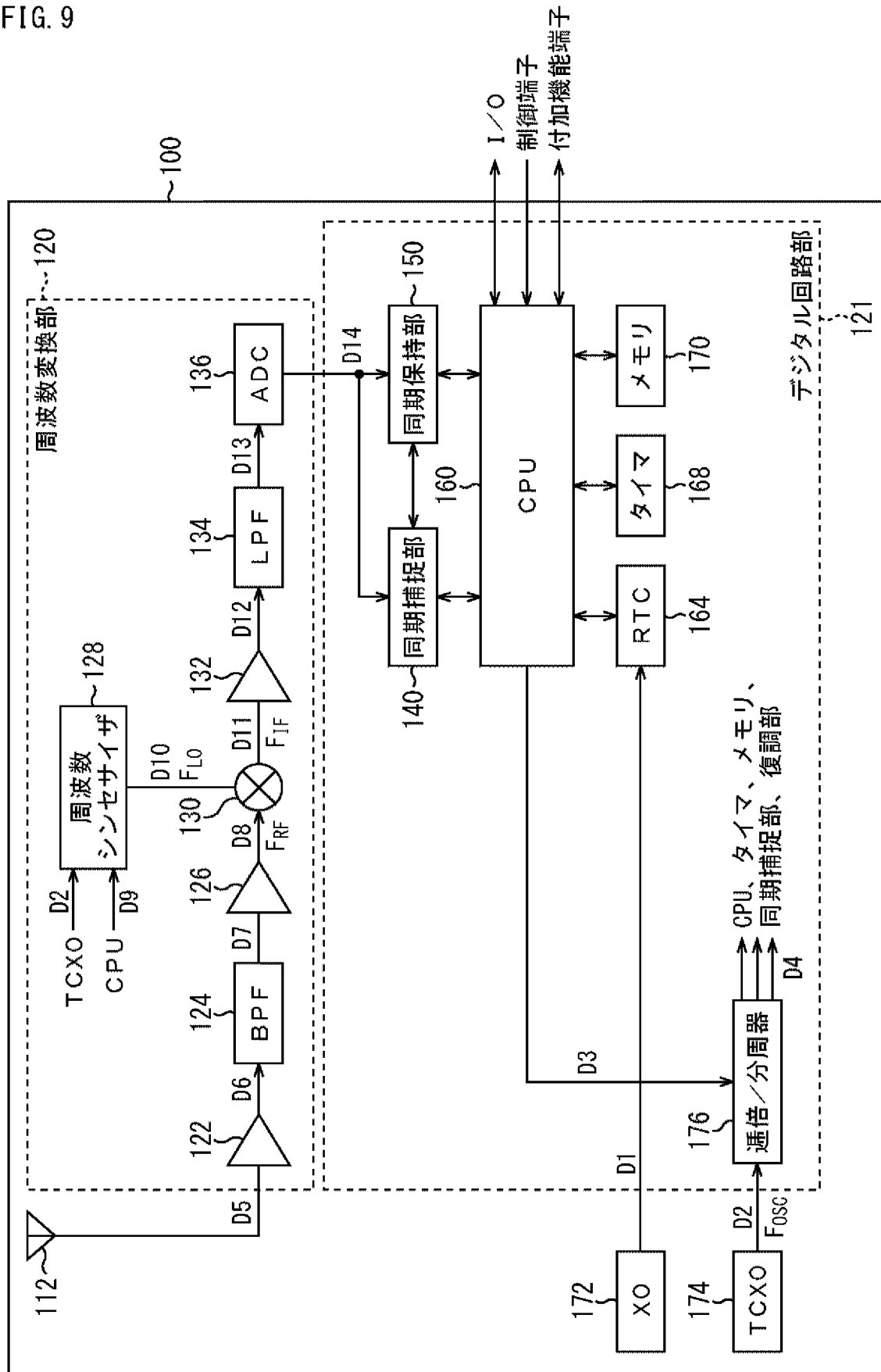
[図7]
FIG. 7



[図8]
FIG. 8



[図9]
FIG. 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/065025

A. CLASSIFICATION OF SUBJECT MATTER

G06F1/14(2006.01)i, G04G5/00(2013.01)i, G04G7/00(2006.01)i, G04G99/00(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F1/14, G04G5/00, G04G7/00, G04G99/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2012/120625 A1 (Fujitsu Ltd.), 13 September 2012 (13.09.2012), paragraphs [0021] to [0031], [0036]; fig. 3 (Family: none)	1-2, 5 3-4
A	JP 2013-205286 A (NEC Corp.), 07 October 2013 (07.10.2013), paragraphs [0021] to [0024]; fig. 1 to 2 & US 2013/0262913 A1 paragraphs [0024] to [0038]; fig. 1 to 2	1-5
A	JP 2009-14393 A (Toyota Motor Corp.), 22 January 2009 (22.01.2009), paragraphs [0013] to [0021]; fig. 1 to 3 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 June 2016 (13.06.16)

Date of mailing of the international search report
21 June 2016 (21.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F1/14(2006.01)i, G04G5/00(2013.01)i, G04G7/00(2006.01)i, G04G99/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F1/14, G04G5/00, G04G7/00, G04G99/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2012/120625 A1（富士通株式会社）2012.09.13, 段落[0021]-[0031], [0036], 第3図（ファミリーなし）	1-2, 5 3-4
A	JP 2013-205286 A（日本電気株式会社）2013.10.07, 段落[0021]-[0024], 第1-2図 & US 2013/0262913 A1, [0024]-[0038], 第1-2図	1-5
A	JP 2009-14393 A（トヨタ自動車株式会社）2009.01.22, 段落[0013]-[0021], 第1-3図（ファミリーなし）	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 6 . 2 0 1 6

国際調査報告の発送日

2 1 . 0 6 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

征矢 崇

電話番号 03-3581-1101 内線 3565

5U

3993