

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5985293号
(P5985293)

(45) 発行日 平成28年9月6日 (2016.9.6)

(24) 登録日 平成28年8月12日 (2016.8.12)

(51) Int. Cl. F I

HO 1 L 21/336 (2006.01)

HO 1 L 29/788 (2006.01)

HO 1 L 29/792 (2006.01)

HO 1 L 21/8247 (2006.01)

HO 1 L 27/115 (2006.01)

HO 1 L 29/78 3 7 1

HO 1 L 27/10 4 3 4

HO 1 L 27/10 4 8 1

請求項の数 9 (全 76 頁) 最終頁に続く

(21) 出願番号	特願2012-172569 (P2012-172569)	(73) 特許権者	302062931
(22) 出願日	平成24年8月3日 (2012.8.3)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2013-93546 (P2013-93546A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成25年5月16日 (2013.5.16)	(74) 代理人	100080001
審査請求日	平成27年2月18日 (2015.2.18)		弁理士 筒井 大和
(31) 優先権主張番号	特願2011-220254 (P2011-220254)	(74) 代理人	100113642
(32) 優先日	平成23年10月4日 (2011.10.4)		弁理士 菅田 篤志
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100117008
			弁理士 筒井 章子
		(74) 代理人	100147430
			弁理士 坂次 哲也
		(72) 発明者	細田 直宏
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板の上方に配置された第1ゲート電極と、
前記半導体基板の上方に、前記第1ゲート電極と隣合うように配置された第2ゲート電極と、
前記第1ゲート電極と前記半導体基板との間に形成された第1絶縁膜と、
前記第2ゲート電極と前記半導体基板との間および前記第1ゲート電極と前記第2ゲート電極との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する前記第2絶縁膜と、を有し、
前記第2絶縁膜は、
第1膜と、
前記第1膜上に配置された前記電荷蓄積部となる第2膜と、
前記第2膜上に配置された第3膜と、を有し、
前記第3膜は、
前記第1ゲート電極と前記第2ゲート電極との間に位置する側壁膜と、
前記第2ゲート電極と前記半導体基板との間に位置する堆積膜とを有し、
前記堆積膜は、前記第2膜の横部上から前記側壁膜の側壁を覆うように延在し、
前記第1ゲート電極上には、第3絶縁膜が配置され、
前記第2ゲート電極の高さは、前記第1ゲート電極の高さより高く、

前記側壁膜の高さは、前記第 1 ゲート電極の高さより高く、
前記第 1 ゲート電極と前記第 2 ゲート電極との間に位置する前記第 3 膜のゲート長方向
の膜厚は、前記第 2 ゲート電極と前記半導体基板との間に位置する前記第 3 膜の膜厚より
大きい

ことを特徴とする半導体装置。

【請求項 2】

前記側壁膜は、その上方から下方にかけてその膜厚が大きくなるテーパー形状を有する請求項 1 記載の半導体装置。

【請求項 3】

前記側壁膜の上部は、前記第 2 ゲート電極の上部より低い位置に配置される請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 ゲート電極上には、第 3 絶縁膜が配置され、

前記側壁膜の上部は、前記第 3 絶縁膜の上部より低い位置に配置される請求項 1 記載の半導体装置。

【請求項 5】

前記側壁膜の側面と、前記第 2 ゲート電極と前記半導体基板との間に位置する前記堆積膜の表面とのなす角は、 90° 以上である請求項 2 記載の半導体装置。

【請求項 6】

前記第 1 ゲート電極と前記第 2 ゲート電極との間に位置する前記第 1 膜の膜厚は、 2 nm 以下である請求項 1 記載の半導体装置。

【請求項 7】

前記電荷蓄積部には、電子が蓄積され、

前記電荷蓄積部に蓄積された電子は、トンネル現象により前記半導体基板に生じた正孔を、前記第 1 ゲート電極と前記第 2 ゲート電極との間に位置する前記第 1 膜を介して、前記電荷蓄積部に注入することにより消去される請求項 1 記載の半導体装置。

【請求項 8】

(a) 半導体基板上に第 1 絶縁膜を介して第 1 ゲート電極を形成する工程と、

(b) 前記半導体基板上および前記第 1 ゲート電極の表面および側面に、内部に電荷蓄積部を有する第 2 絶縁膜を形成する工程と、

(c) 前記第 1 ゲート電極の側壁部に前記第 2 絶縁膜を介して第 2 ゲート電極を形成する工程と、を有し、

前記 (b) 工程は、第 1 膜、第 2 膜および第 3 膜を有する前記第 2 絶縁膜を形成する工程であって、

(b1) 前記半導体基板上および前記第 1 ゲート電極の表面および側面に前記第 1 膜を形成する工程と、

(b2) 前記第 1 膜上に前記電荷蓄積部となる前記第 2 膜を形成する工程と、

(b3) 前記第 2 膜上に第 1 堆積膜を形成する工程と、

(b4) 前記第 1 堆積膜を異方的にエッチングすることにより、前記第 1 ゲート電極の側壁部に、前記第 1 膜および前記第 2 膜を介して、側壁膜を形成する工程と、

(b5) 前記第 2 膜および前記側壁膜上に第 2 堆積膜を形成することにより、前記側壁膜と前記第 2 堆積膜を有する前記第 3 膜を形成する工程と、を有し、

前記 (a) 工程は、第 1 導電性膜と第 3 絶縁膜との積層膜をエッチングする工程を有し、
前記第 1 ゲート電極上には、第 3 絶縁膜が配置され、

前記 (b4) 工程において、前記側壁膜の高さは、前記第 1 ゲート電極の高さより高く形成され、

前記 (c) 工程において、前記第 2 ゲート電極の高さは、前記第 1 ゲート電極の高さより高く形成され、

前記第 2 堆積膜は、前記第 2 膜の横部上から前記側壁膜の側壁を覆うように延在し、

10

20

30

40

50

前記第 1 ゲート電極と前記第 2 ゲート電極との間に位置する前記第 3 膜のゲート長方向の膜厚は、前記第 2 ゲート電極と前記半導体基板との間に位置する前記第 3 膜の膜厚より大きいことを特徴とする半導体装置の製造方法。

【請求項 9】

前記 (c) 工程は、

(c 1) 前記第 2 絶縁膜上に、第 2 導電性膜を形成する工程と、

(c 2) 前記第 2 導電性膜を異方的にエッチングすることにより、前記第 1 ゲート電極の側壁部に前記第 2 絶縁膜を介して前記第 2 導電性膜を残存させることにより、前記第 2 ゲート電極を形成する工程と、

を有する請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関し、特に、不揮発性メモリを有する半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

電氣的に書込・消去が可能な不揮発性半導体記憶装置である E E P R O M (Electrical ly Erasable and Programmable Read Only Memory) の一種としてフラッシュメモリ (flash memory) が、広く使用されている。このフラッシュメモリは、M I S F E T のゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極やトラップ性絶縁膜を有する。この浮遊ゲートやトラップ性絶縁膜中の電荷 (電子またはホール) の有無による M I S F E T の閾値の違いを利用して情報を記憶するものである。

【0003】

例えば、特開 2 0 0 5 - 1 2 3 5 1 8 号公報 (特許文献 1) には、電荷蓄積膜のコーナ一部 (20) の薄膜化を抑制して電荷保持特性を向上するために、選択ゲート電極 (15) の側壁にテーパーを設けることにより、電荷保持特性を向上した不揮発性メモリセルが開示されている。例えば、[0041]および[0042]段落には、選択ゲート電極の形成後に酸化珪素膜のサイドウォールスペース (69) を形成して O N O 膜コーナ部の角度を制御することが開示されている (図 25)。

【0004】

また、特開 2 0 0 1 - 1 4 8 4 3 4 号公報 (特許文献 2) には、低電圧駆動および高速プログラムならびに高密度集積の可能な不揮発性メモリセルが開示されている。例えば、第 1 のゲート電極 (141) と第 2 のゲート電極 (142) との間の結合容量を減少させて駆動速度を改善するために、ゲート電極 (141) の端面を酸化して酸化膜 (141a) を形成し、あるいは酸化膜 (141a) の代わりに、ゲート電極 (141) の側面に絶縁部材としてのサイドウォール (図示せず) を形成することが開示されている ([0108]段落、図 13)。また、ゲート電極 (241) の端面を酸化して酸化膜 (241a) を形成し、あるいは酸化膜 (241a) の代わりにゲート電極 (241) の側面に絶縁部材としてのサイドウォールを形成することで、各ゲート電極間の容量を低下させることが開示されている ([0128]段落、図 18)。

【0005】

また、特開 2 0 1 0 - 1 0 8 9 7 6 号公報 (特許文献 3) には、メモリセルのコントロールゲート電極 (C G) において、ゲート絶縁膜 (G O X) に接する辺の端部に形成される角部を逆テーパー形状に加工することで、ディスタープを抑制した半導体装置が開示されている (図 1)。また、コントロールゲート電極 (C G) の下部における電位障壁膜 (E V 1) の膜厚を厚くする (膜厚 b) ことにより、半導体基板に近い領域において、コントロールゲート電極 (C G) とメモリゲート電極 (M G) との間の距離を大きくし、ディスタープを抑制することが開示されている ([0105]~[0108]、図 14、図 15)。

【0006】

10

20

30

40

50

また、特開 2011-103401 号公報（特許文献 4）には、制御ゲート電極（8）の一方の側壁に形成された積層ゲート絶縁膜（9）とメモリゲート電極（10）との間には、酸化シリコン膜や窒化シリコン膜などからなる側壁絶縁膜（11）が形成されており、メモリゲート電極は、この側壁絶縁膜と積層ゲート絶縁膜とによって制御ゲート電極と電気的に分離されているスプリットゲート型メモリセルが開示されている。このような構成により、制御ゲート電極の表面に形成されているシリサイド層と、メモリゲート電極の表面に形成されているシリサイド層との接触による短絡不良を防止している。なお、（かっこ）内は当該文献に記載の符号である。

【先行技術文献】

【特許文献】

10

【0007】

【特許文献 1】特開 2005-123518 号公報

【特許文献 2】特開 2001-148434 号公報

【特許文献 3】特開 2010-108976 号公報

【特許文献 4】特開 2011-103401 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明者は、不揮発性メモリの研究開発に従事し、不揮発性メモリの特性向上について検討している。

20

【0009】

近年、上記不揮発性メモリを有する半導体装置において、動作特性の向上やデータの保持特性を向上させることはもとより、低消費電流化（低消費電力化）が望まれている。

【0010】

この低消費電流を実現するためには、装置構造や、その動作方法（例えば、消去方法）などを踏まえた検討が必要である。

【0011】

そこで、本発明の目的は、半導体装置の特性を向上させることができる技術を提供することにある。具体的には、上記半導体装置が有するメモリセルの特性（特に、消去特性）を向上させることができる技術を提供することにある。

30

【0012】

また、本発明の他の目的は、特性の良好な半導体装置を製造するための半導体装置の製造方法を提供することにある。

【0013】

本発明の上記目的およびその他の目的と新規な特徴は、本願明細書の記載および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0014】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【0015】

本願において開示される発明のうち、代表的な実施の形態に示される半導体装置は、半導体基板と、上記半導体基板の上方に配置された第 1 ゲート電極と、上記半導体基板の上方に、上記第 1 ゲート電極と隣合うように配置された第 2 ゲート電極と、を有する。さらに、上記第 1 ゲート電極と上記半導体基板との間に形成された第 1 絶縁膜と、上記第 2 ゲート電極と上記半導体基板との間および上記第 1 ゲート電極と上記第 2 ゲート電極との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する上記第 2 絶縁膜と、を有する。上記第 2 絶縁膜は、第 1 膜と、上記第 1 膜上に配置された上記電荷蓄積部となる第 2 膜と、上記第 2 膜上に配置された第 3 膜と、を有する。上記第 3 膜は、上記第 1 ゲート電極と上記第 2 ゲート電極との間に位置する側壁膜と、上記第 2 ゲート電極と上記半導

50

体基板との間に位置する堆積膜とを有する。

【0016】

本願において開示される発明のうち、代表的な実施の形態に示される半導体装置は、半導体基板と、上記半導体基板の上方に配置された第1ゲート電極と、上記半導体基板の上方に、上記第1ゲート電極と隣合うように配置された第2ゲート電極と、を有する。さらに、上記第1ゲート電極と上記半導体基板との間に形成された第1絶縁膜と、上記第2ゲート電極と上記半導体基板との間および上記第1ゲート電極と上記第2ゲート電極との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する上記第2絶縁膜と、を有する。上記第2絶縁膜は、第1膜と、上記第1膜上に配置された上記電荷蓄積部となる第2膜と、上記第2膜上に配置された第3膜と、を有する。上記第1膜は、上記第2ゲート電極と上記半導体基板との間に位置する第1部の膜厚より、上記第1ゲート電極と上記第2ゲート電極との間に位置する第2部であって、その下方に位置する膜の膜厚が大きい。上記電荷蓄積部には、電子が蓄積され、上記電荷蓄積部に蓄積された電子は、トンネル現象により上記半導体基板に生じた正孔を上記第1部を介して上記電荷蓄積部に注入することにより消去される。

10

【0017】

本願において開示される発明のうち、代表的な実施の形態に示される半導体装置の製造方法は、(a)半導体基板上に第1絶縁膜を介して第1ゲート電極を形成する工程と、(b)上記半導体基板上および上記第1ゲート電極の表面および側面に、内部に電荷蓄積部を有する上記第2絶縁膜を形成する工程と、(c)上記第1ゲート電極の側壁部に上記第2絶縁膜を介して第2ゲート電極を形成する工程と、を有する。上記(b)工程は、第1膜、第2膜および第3膜を有する上記第2絶縁膜を形成する工程であって、(b1)上記半導体基板上および上記第1ゲート電極の表面および側面に第1膜を形成する工程と、(b2)上記第1膜上に上記電荷蓄積部となる第2膜を形成する工程と、(b3)上記第2膜上に第1堆積膜を形成する工程と、を有する。さらに、(b4)上記第1堆積膜を異方的にエッチングすることにより、上記第1ゲート電極の側壁部に、上記第1膜および上記第2膜を介して、側壁膜を形成する工程と、(b5)上記第2膜および上記側壁膜上に第2堆積膜を形成することにより、上記側壁膜と上記第2堆積膜を有する第3膜を形成する工程と、を有する。

20

【0018】

本願において開示される発明のうち、代表的な実施の形態に示される半導体装置の製造方法は、(a)半導体基板上に第1絶縁膜を介して第1ゲート電極を形成する工程と、(b)上記半導体基板上および上記第1ゲート電極の表面および側面に、内部に電荷蓄積部を有する上記第2絶縁膜を形成する工程と、(c)上記第1ゲート電極の側壁部に上記第2絶縁膜を介して第2ゲート電極を形成する工程と、を有する。上記(b)工程は、第1膜、第2膜および第3膜を有する上記第2絶縁膜を形成する工程であって、(b1)上記半導体基板上および上記第1ゲート電極の表面および側面に第1堆積膜を形成する工程と、(b2)上記第1堆積膜を異方的にエッチングすることにより、上記第1ゲート電極の側壁部に、側壁膜を形成する工程と、を有する。さらに、(b3)上記半導体基板上、上記第1ゲート電極の表面および上記側壁膜上に第2堆積膜を形成することにより、上記側壁膜と上記第2堆積膜を有する第1膜を形成する工程と、(b4)上記第1膜上に上記電荷蓄積部となる第2膜を形成する工程と、(b5)上記第2膜上に第3膜を形成する工程と、を有する。

30

40

【0019】

本願において開示される発明のうち、代表的な実施の形態に示される半導体装置は、半導体基板と、上記半導体基板の上方に配置された第1ゲート電極と、上記半導体基板の上方に、上記第1ゲート電極と隣り合うように配置された第2ゲート電極と、を有する。さらに、上記第1ゲート電極と上記半導体基板との間に形成された第1絶縁膜と、上記第2ゲート電極と上記半導体基板との間および上記第1ゲート電極と上記第2ゲート電極との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する上記第2絶縁膜と、

50

を有する。上記第2絶縁膜は、第1膜と、上記第1膜上に配置された上記電荷蓄積部となる第2膜と、上記第2膜上に配置された第3膜と、を有する。上記第1膜は、上記第1ゲート電極と上記第2ゲート電極との間に位置する側壁膜と、上記第2ゲート電極と上記半導体基板との間に位置する堆積膜と、を有する。上記電荷蓄積部には、電子が蓄積され、上記電荷蓄積部に蓄積された電子は、トンネル現象により上記第2ゲート電極側から正孔を上記第3膜を介して上記電荷蓄積部に注入することにより消去される。

【発明の効果】

【0020】

本願において開示される発明のうち、以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

10

【0021】

また、本願において開示される発明のうち、以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

【図面の簡単な説明】

【0022】

【図1】実施の形態1の半導体装置を示す要部断面図である。

【図2】実施の形態1の半導体装置を示す要部断面図である。

【図3】図1のメモリセル部の断面図である。

【図4】メモリセルMCの等価回路図である。

【図5】実施の形態1の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

20

【図6】実施の形態1の比較例のメモリセルおよびその印加電圧を示す図である。

【図7】実施の形態1の半導体装置の他のメモリセル部の構成を示す要部断面図である。

【図8】実施の形態1のメモリセルと比較例のメモリセルの消去特性を示すグラフである。

。

【図9】実施の形態1の半導体装置の製造工程を示す要部断面図である。

【図10】実施の形態1の半導体装置の製造工程を示す要部断面図である。

【図11】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図9に続く半導体装置の製造工程を示す要部断面図である。

【図12】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図10に続く半導体装置の製造工程を示す要部断面図である。

30

【図13】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図11に続く半導体装置の製造工程を示す要部断面図である。

【図14】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図12に続く半導体装置の製造工程を示す要部断面図である。

【図15】実施の形態1の半導体装置の製造工程を示す要部断面図である。

【図16】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図15に続く半導体装置の製造工程を示す要部断面図である。

【図17】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図16に続く半導体装置の製造工程を示す要部断面図である。

40

【図18】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図17に続く半導体装置の製造工程を示す要部断面図である。

【図19】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図18に続く半導体装置の製造工程を示す要部断面図である。

【図20】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図19に続く半導体装置の製造工程を示す要部断面図である。

【図21】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図20に続く半導体装置の製造工程を示す要部断面図である。

【図22】実施の形態1の半導体装置の製造工程を示す要部断面図であって、図21に続く半導体装置の製造工程を示す要部断面図である。

50

【図 50】実施の形態 2 の半導体装置の製造工程を示す要部断面図であって、図 49 に続く半導体装置の製造工程を示す要部断面図である。

【図 5 1】実施の形態 2 の半導体装置の製造工程を示す要部断面図であって、図 5 0 に続く半導体装置の製造工程を示す要部断面図である。

【図 5 2】実施の形態 2 の半導体装置の製造工程を示す要部断面図であって、図 5 1 に続く半導体装置の製造工程を示す要部断面図である。

【図 5 3】実施の形態 2 の半導体装置の製造工程を示す要部断面図であって、図 5 2 に続く半導体装置の製造工程を示す要部断面図である。

【図 5 4】実施の形態 2 の半導体装置の他のメモリセル構成を示す要部断面図である。

【図 5 5】実施の形態 2 の半導体装置の変形例 A のメモリセルの構成を示す要部断面図である。

【図 5 6】実施の形態 2 の半導体装置の変形例 B のメモリセルの構成を示す要部断面図である。 10

【図 5 7】実施の形態 3 の半導体装置を示す要部断面図である。

【図 5 8】実施の形態 3 の半導体装置を示す要部断面図である。

【図 5 9】図 5 7 のメモリセル部の断面図である。

【図 6 0】メモリセル MC の等価回路図である。

【図 6 1】実施の形態 3 の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図 6 2】(A) および (B) は、実施の形態 3 および比較例のメモリセル部の消去状態を示す要部断面図である。

【図 6 3】(A) および (B) は、実施の形態 3 および比較例のメモリセル部の消去工程 20
時における正孔の分布を模式的に示す断面図である。

【図 6 4】実施の形態 3 の半導体装置の製造工程を示す要部断面図である。

【図 6 5】実施の形態 3 の半導体装置の製造工程を示す要部断面図である。

【図 6 6】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 6 4 に続く半導体装置の製造工程を示す要部断面図である。

【図 6 7】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 6 5 に続く半導体装置の製造工程を示す要部断面図である。

【図 6 8】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 6 6 に続く半導体装置の製造工程を示す要部断面図である。

【図 6 9】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 6 7 に続く半導体装置の製造工程を示す要部断面図である。 30

【図 7 0】実施の形態 3 の半導体装置の製造工程を示す要部断面図である。

【図 7 1】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 0 に続く半導体装置の製造工程を示す要部断面図である。

【図 7 2】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 1 に続く半導体装置の製造工程を示す要部断面図である。

【図 7 3】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 2 に続く半導体装置の製造工程を示す要部断面図である。

【図 7 4】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 3 に続く半導体装置の製造工程を示す要部断面図である。 40

【図 7 5】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 4 に続く半導体装置の製造工程を示す要部断面図である。

【図 7 6】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 5 に続く半導体装置の製造工程を示す要部断面図である。

【図 7 7】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 6 に続く半導体装置の製造工程を示す要部断面図である。

【図 7 8】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 6 8 に続く半導体装置の製造工程を示す要部断面図である。

【図 7 9】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 6 9 に続く半導体装置の製造工程を示す要部断面図である。 50

【図 8 0】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 8 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 1】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 7 9 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 2】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 0 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 3】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 1 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 4】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 2 に続く半導体装置の製造工程を示す要部断面図である。

10

【図 8 5】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 3 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 6】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 4 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 7】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 5 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 8】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 6 に続く半導体装置の製造工程を示す要部断面図である。

【図 8 9】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 7 に続く半導体装置の製造工程を示す要部断面図である。

20

【図 9 0】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 8 に続く半導体装置の製造工程を示す要部断面図である。

【図 9 1】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 8 9 に続く半導体装置の製造工程を示す要部断面図である。

【図 9 2】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 9 0 に続く半導体装置の製造工程を示す要部断面図である。

【図 9 3】実施の形態 3 の半導体装置の製造工程を示す要部断面図であって、図 9 1 に続く半導体装置の製造工程を示す要部断面図である。

【図 9 4】実施の形態 3 の半導体装置の他のメモリセル構成を示す要部断面図である。

【図 9 5】実施の形態 3 の半導体装置の他のメモリセル構成を示す要部断面図である。

30

【図 9 6】(A) ~ (D) は、実施の形態 3 の半導体装置の他のメモリセル構成を示す要部断面図である。

【発明を実施するための形態】

【 0 0 2 3 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

40

【 0 0 2 4 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【 0 0 2 5 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、

50

その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0026】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0027】

(実施の形態1)

以下、図面を参照しながら本実施の形態の半導体装置(半導体記憶装置)の構造と製造方法について詳細に説明する。

10

【0028】

[構造説明]

図1および図2は、本実施の形態の半導体装置を示す要部断面図であり、図3は、図1のメモリセル部の断面図である。

【0029】

まず、本実施の形態で説明する半導体装置は、不揮発性メモリ(不揮発性半導体記憶装置、EEPROM、フラッシュメモリ、不揮発性記憶素子)および周辺回路を有する。

【0030】

不揮発性メモリは、電荷蓄積部としてトラップ性絶縁膜(電荷を蓄積可能な絶縁膜)を用いたものである。また、メモリセルMCは、スプリットゲート型のメモリセルである。即ち、制御ゲート電極(選択ゲート電極)CGを有する制御トランジスタ(選択トランジスタ)と、メモリゲート電極(メモリ用ゲート電極)MGを有するメモリトランジスタとの2つのMISFETを接続したものである。

20

【0031】

ここで、電荷蓄積部(電荷蓄積層)を含むゲート絶縁膜およびメモリゲート電極MGを備えるMISFET(Metal Insulator Semiconductor Field Effect Transistor)をメモリトランジスタ(記憶用トランジスタ)といい、また、ゲート絶縁膜および制御ゲート電極CGを備えるMISFETを制御トランジスタ(選択トランジスタ、メモリセル選択用トランジスタ)という。

【0032】

周辺回路とは、不揮発性メモリを駆動するための回路であり、例えば、種々の論理回路などにより構成される。種々の論理回路は、例えば、後述するnチャネル型MISFETQnやpチャネル型MISFETなどにより構成される。また、後述する容量素子(ここでは、PIP; Poly-Insulator-Poly)Cなども形成される。

30

【0033】

図1および図2に示すように、本実施の形態の半導体装置は、半導体基板1のメモリセル領域1Aに配置された不揮発性メモリのメモリセルMCと、周辺回路領域2Aに配置されたnチャネル型MISFETQnと、周辺回路領域3Aに配置された容量素子Cとを有している。

【0034】

図1に、ドレイン領域(MD)を共有する2つのメモリセルMCの要部断面図を、図2の左部に、nチャネル型MISFETQnの要部断面図を示し、図2の右部に、容量素子Cの要部断面図を示す。

40

【0035】

図1に示すように、2つのメモリセルは、ドレイン領域(MD(8b))を挟んでほぼ対称に配置される。なお、メモリセル領域1Aには、さらに、複数のメモリセルMCが配置される。例えば、図1に示すメモリセル領域1Aの左側のメモリセルMCのさらに左にはソース領域(MS)および共有されるドレイン領域(MD)が交互に配置されるようにメモリセルMCが、図1中の左右方向(ゲート長方向)に配置され、メモリセル列を構成している。また、図1の紙面に垂直な方向(ゲート幅方向)にも、メモリセル列が複数配

50

置されている。このように、複数のメモリセルMCがアレイ状に形成されている。

【0036】

図2に示すように、半導体基板（半導体ウエハ）1には、素子を分離するための素子分離領域2が形成されており、この素子分離領域2で区画（分離）された活性領域から、p型ウエルPW1、PW2が露出している。

【0037】

なお、メモリセル領域1Aに示される断面部(図1)においては、素子分離領域2は現れないが、メモリセルMCがアレイ状に形成されるメモリセル領域全体は、素子分離領域2で区画されている。さらに、例えば、メモリセル列間（但し、ソース領域（MS）を除く）には、素子分離領域2が配置される等、電氣的な分離が必要な箇所には適宜、素子分離領域2が配置される。また、容量素子Cは、素子分離領域2上に形成される。

10

【0038】

まず、メモリセル領域1AのメモリセルMCの構成について説明する（図1、図3参照）。

【0039】

メモリセルMCは、半導体基板1（p型ウエルPW1）の上方に配置された制御ゲート電極（第1ゲート電極）CGと、半導体基板1（p型ウエルPW1）の上方に配置され、制御ゲート電極CGと隣合うメモリゲート電極（第2ゲート電極）MGとを有する。この制御ゲート電極CGの上部には、薄い酸化シリコン膜CP1および窒化シリコン膜（キャップ絶縁膜）CP2が配置されている。メモリセルMCは、さらに、制御ゲート電極CGおよび半導体基板1（p型ウエルPW1）間に配置された絶縁膜3と、メモリゲート電極MGと半導体基板1（p型ウエルPW1）との間に配置され、メモリゲート電極MGと制御ゲート電極CGとの間に配置された絶縁膜5とを有する。また、メモリセルMCは、さらに、半導体基板1のp型ウエルPW1中に形成されたソース領域MSおよびドレイン領域MDを有する。

20

【0040】

制御ゲート電極CGおよびメモリゲート電極MGは、それらの対向側面（側壁）の間に絶縁膜5を介した状態で、半導体基板1の主面上に図1中の左右方向（ゲート長方向）に並んで配置されている。制御ゲート電極CGおよびメモリゲート電極MGの延在方向は、図1の紙面に垂直な方向（ゲート幅方向）である。制御ゲート電極CGおよびメモリゲート電極MGは、ドレイン領域MDおよびソース領域MS間の半導体基板1（p型ウエルPW1）の上部に絶縁膜3、5を介して（但し、制御ゲート電極CGは絶縁膜3を介し、メモリゲート電極MGは絶縁膜5を介して）形成されている。ソース領域MS側にメモリゲート電極MGが位置し、ドレイン領域MD側に制御ゲート電極CGが位置している。なお、本明細書では、ソース領域MSおよびドレイン領域MDを動作時を基準に定義している。後述する書き込み動作時に高電圧を印加する半導体領域をソース領域MSと、書き込み動作時に低電圧を印加する半導体領域をドレイン領域MDと、統一して呼ぶことにする。

30

【0041】

制御ゲート電極CGとメモリゲート電極MGとは、間に絶縁膜5を介在して互いに隣合っており、メモリゲート電極MGは、制御ゲート電極CGの側壁部に絶縁膜5を介してサイドウォールスペーサ状に配置されている。また、絶縁膜5は、メモリゲート電極MGと半導体基板1（p型ウエルPW1）の間の領域と、メモリゲート電極MGと制御ゲート電極CGの間の領域の、両領域にわたって延在している。この絶縁膜5は、後述するように、複数の絶縁膜の積層膜よりなる。

40

【0042】

制御ゲート電極CGと半導体基板1（p型ウエルPW1）の間に形成された絶縁膜3（すなわち制御ゲート電極CGの下の絶縁膜3）が、制御トランジスタのゲート絶縁膜として機能し、メモリゲート電極MGと半導体基板1（p型ウエルPW1）の間の絶縁膜5（すなわちメモリゲート電極MGの下の絶縁膜5）が、メモリトランジスタのゲート絶縁膜（内部に電荷蓄積部を有するゲート絶縁膜）として機能する。

50

【 0 0 4 3 】

絶縁膜 3 は、例えば酸化シリコン膜または酸窒化シリコン膜などにより形成することができる。また、絶縁膜 3 として、上述の酸化シリコン膜または酸窒化シリコン膜など以外の、酸化ハフニウム膜、酸化アルミニウム膜（アルミナ）または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する金属酸化膜を使用してもよい。

【 0 0 4 4 】

絶縁膜 5 は、電荷障壁膜と電荷蓄積膜とを有する多層絶縁膜である。ここでは、ONO（oxide-nitride-oxide）膜を用いている。具体的には、第 1 膜（下層膜）5 A である酸化シリコン膜と、第 2 膜（中層膜）5 N である窒化シリコン膜と、第 3 膜（上層膜）5 B である酸化シリコン膜よりなる。第 3 膜（上層膜）5 B は、それぞれ酸化シリコン膜よりなるサイドウォール膜（側壁膜）5 s とデポ膜（堆積膜）5 d との積層膜よりなる。第 2 膜 5 N は、電荷蓄積部である。

10

【 0 0 4 5 】

第 1 膜（下層膜）5 A は、制御ゲート電極 C G の側壁とメモリゲート電極 M G の側壁との間に位置する縦部（垂直部）と、半導体基板 1（p 型ウエル P W 1）とメモリゲート電極 M G の底部（底面）との間に位置する横部（水平部）とを有する。言い換えれば、第 1 膜 5 A は、制御ゲート電極 C G の側壁とメモリゲート電極 M G の側壁との間から半導体基板 1 とメモリゲート電極 M G の底部との間にかけて連続的に形成された絶縁膜である。この第 1 膜（トンネル酸化膜）5 A の横部を介してトンネル現象によりホール（正孔）が第 2 膜（電荷蓄積部）5 N に注入され、電荷蓄積部に書き込まれた電子の消去動作が行われる。メモリセルの動作については後述する。よって、少なくともこの横部の膜厚が 2 nm 以下であることが好ましい。なお、縦部の膜厚（ゲート長方向の厚さ）は、2 nm 以上であってよい。

20

【 0 0 4 6 】

また、第 2 膜（中層膜）5 N は、第 1 膜 5 A 上に配置され、制御ゲート電極 C G の側壁とメモリゲート電極 M G の側壁との間に位置する縦部（垂直部）と、半導体基板 1（p 型ウエル P W 1）とメモリゲート電極 M G の底部（底面）との間に位置する横部（水平部）とを有する。言い換えれば、第 2 膜 5 N は、制御ゲート電極 C G の側壁とメモリゲート電極 M G の側壁との間から半導体基板 1 とメモリゲート電極 M G の底部との間にかけて連続的に形成された絶縁膜である。また、別の言い方をすれば、第 2 膜 5 N は、第 1 膜 5 A の縦部とメモリゲート電極 M G の側壁との間に位置する縦部（垂直部）と、第 1 膜 5 A の横部とメモリゲート電極 M G の底部（底面）との間に位置する横部（水平部）とを有する。

30

【 0 0 4 7 】

また、第 3 膜 5 B は、前述したように、サイドウォール膜 5 s とデポ膜 5 d との積層膜よりなる。この第 3 膜 5 B は、制御ゲート電極 C G の側壁とメモリゲート電極 M G の側壁との間に位置する縦部（垂直部）と、半導体基板 1（p 型ウエル P W 1）とメモリゲート電極 M G の底部（底面）との間に位置する横部（水平部）とを有する。言い換えれば、第 3 膜 5 B は、制御ゲート電極 C G の側壁とメモリゲート電極 M G の側壁との間から半導体基板 1 とメモリゲート電極 M G の底部との間にかけて連続的に形成された絶縁膜である。また、別の言い方をすれば、第 3 膜 5 B は、第 2 膜 5 N の縦部とメモリゲート電極 M G の側壁との間に位置する縦部（垂直部）と、第 2 膜 5 N の横部とメモリゲート電極 M G の底部（底面）との間に位置する横部（水平部）とを有する。この第 3 膜 5 B の縦部は、サイドウォール膜 5 s とデポ膜 5 d の縦部との積層部よりなり、横部はデポ膜 5 d の横部よりなる。

40

【 0 0 4 8 】

また、サイドウォール膜（側壁膜）5 s の高さ H 5 s は、メモリゲート電極 M G の高さ H M G より低く設定されている（ $H 5 s < H M G$ ）。言い換えれば、サイドウォール膜（側壁膜）5 s の上部は、メモリゲート電極 M G の上部より低い位置に配置されている。

【 0 0 4 9 】

また、このサイドウォール膜（側壁膜）5 s としては、上記酸化シリコン膜の他、窒化

50

シリコン膜や酸化シリコン膜などの絶縁膜を用いることも可能である。ただし、第2膜（電荷蓄積部）5N以外の箇所に、電荷トラップ性の高い窒化膜を配置した場合、この窒化膜内にも電荷が蓄積され、閾値電位（ V_{th} ）が変動する恐れがある。よって、サイドウォール膜（側壁膜）5sとしては、酸化シリコン膜や酸化シリコン膜を用いることが好ましい。本実施の形態においては、酸化シリコン膜を用いている。

【0050】

よって、デポ膜5dは、第2膜5Nの横部上からサイドウォール膜5sの側壁を覆うように延在し、さらに、第2膜5Nの縦部の側壁に沿うように延在している。

【0051】

第3膜5Bの膜厚について説明する。第3膜の縦部の最大膜厚（ T_1 ）は、サイドウォール膜5sの最大膜厚 T_s と酸化シリコン膜（デポ膜）5dの縦部の膜厚 T_d との和（ $T_s + T_d$ ）となる。また、第3膜の横部の膜厚（ T_2 ）は、酸化シリコン膜（デポ膜）5dの縦部の膜厚 T_d となる。このように、第3膜の縦部の膜厚は、横部の膜厚より大きくなっている（図3参照）。

【0052】

なお、上記においては、絶縁膜5の形状として、図3等に示す側のメモリセルに対応して各積層膜（5A、5N、5B、5d）の形状を説明したが、例えば、図1に示す左側のメモリセルにおいては、各積層膜の形状は、ドレイン領域（MD（8b））を挟んでほぼ線対称な形状となる。

【0053】

このように、窒化シリコン膜（5N）を酸化シリコン膜（5A）および酸化シリコン膜（5B）で挟んだ構造とすることで、窒化シリコン膜（5N）への電荷の蓄積が可能となる。言い換えれば、絶縁膜5のうち、窒化シリコン膜（5N）は、電荷を蓄積するための絶縁膜であり、電荷蓄積層（電荷蓄積部）として機能する。すなわち、窒化シリコン膜（5N）は、絶縁膜5中に形成されたトラップ性絶縁膜であり、窒化シリコン膜（5N）の上下に位置する酸化シリコン膜（5A、5B）は、電荷ブロック層（電荷ブロック膜、電荷閉じ込め層）として機能する。この酸化シリコン膜（5A）、窒化シリコン膜（5N）および酸化シリコン膜（5B）の積層膜は、ONO膜と呼ばれることもある。なお、ここでは、絶縁膜5をONO膜として説明したが、第2膜5Nを電荷蓄積機能を有する絶縁膜で構成し、第1膜5Aおよび第3膜5B（5s、5d）を、第2膜5Nと異なる絶縁膜を用いて構成すれば、他の絶縁膜の組み合わせでもよい。例えば、電荷蓄積機能を有する絶縁膜（電荷蓄積層）としては、例えば、酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜などの絶縁膜を用いてもよい。これらの膜は、窒化シリコン膜よりも高い誘電率を有する高誘電率膜である。また、シリコンナノドットを有する絶縁膜を電荷蓄積層として用いてもよい。

【0054】

上記絶縁膜5のうち、メモリゲート電極MGと半導体基板1（p型ウエルPW1）との間の絶縁膜5は、電荷（電子）を保持した状態または電荷を保持しない状態で、メモリトランジスタのゲート絶縁膜として機能する。また、メモリゲート電極MGと制御ゲート電極CGとの間の絶縁膜5は、メモリゲート電極MGと制御ゲート電極CGとの間を絶縁（電氣的に分離）するための絶縁膜として機能する。

【0055】

メモリゲート電極MG下の絶縁膜5の下にメモリトランジスタのチャネル領域が形成され、制御ゲート電極CG下の絶縁膜3の下に制御トランジスタのチャネル領域が形成される。制御ゲート電極CG下の絶縁膜3の下の制御トランジスタのチャネル形成領域には、制御トランジスタのしきい値調整用の半導体領域（p型半導体領域またはn型半導体領域）が必要に応じて形成されている。メモリゲート電極MG下の絶縁膜5の下のメモリトランジスタのチャネル形成領域には、メモリトランジスタのしきい値調整用の半導体領域（p型半導体領域またはn型半導体領域）が必要に応じて形成されている。

【0056】

前述したとおり、書き込み動作時において、ソース領域MSは、高電圧が印加される半導体領域であり、ドレイン領域MDは低電圧が印加される半導体領域である。これらの領域MS、MDは、n型不純物が導入された半導体領域（n型不純物拡散層）よりなる。

【0057】

ドレイン領域MDは、LDD（lightly doped drain）構造の領域である。すなわち、ドレイン領域MDは、n⁻型半導体領域（低濃度不純物拡散層）7bと、n⁻型半導体領域7bよりも高い不純物濃度を有するn⁺型半導体領域（高濃度不純物拡散層）8bとを有している。n⁺型半導体領域8bは、n⁻型半導体領域7bよりも接合深さが深くかつ不純物濃度が高い。

【0058】

また、ソース領域MSも、LDD構造の領域である。すなわち、ソース領域MSは、n⁻型半導体領域（低濃度不純物拡散層）7aと、n⁻型半導体領域7aよりも高い不純物濃度を有するn⁺型半導体領域（高濃度不純物拡散層）8aとを有している。n⁺型半導体領域8aは、n⁻型半導体領域7aよりも接合深さが深くかつ不純物濃度が高い。

【0059】

メモリゲート電極MGおよび制御ゲート電極CGの合成パターンの側壁部には、酸化シリコンなどの絶縁体（酸化シリコン膜、絶縁膜）からなる側壁絶縁膜（サイドウォール、サイドウォールスペーサ）SWが形成されている。すなわち、絶縁膜5を介して制御ゲート電極CGに隣接する側とは逆側のメモリゲート電極MGの側壁（側面）上と、絶縁膜5を介してメモリゲート電極MGに隣接する側とは逆側の制御ゲート電極CGの側壁（側面）上とに、側壁絶縁膜SWが形成されている。

【0060】

ソース領域MSのn⁻型半導体領域7aはメモリゲート電極MGの側壁に対して自己整合的に形成され、n⁺型半導体領域8aはメモリゲート電極MG側の側壁絶縁膜SWの側面に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域7aはメモリゲート電極MG側の側壁絶縁膜SWの下に形成されている。また、高濃度のn⁺型半導体領域8aは低濃度のn⁻型半導体領域7aの外側に形成されている。したがって、低濃度のn⁻型半導体領域7aはメモリトランジスタのチャネル領域に隣接するように形成され、高濃度のn⁺型半導体領域8aは低濃度のn⁻型半導体領域7aに接し、メモリトランジスタのチャネル領域からn⁻型半導体領域7aの分だけ離間するように形成されている。

【0061】

ドレイン領域MDのn⁻型半導体領域7bは制御ゲート電極CGの側壁に対して自己整合的に形成され、n⁺型半導体領域8bは制御ゲート電極CG側の側壁絶縁膜SWの側面に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域7bは制御ゲート電極CG側の側壁絶縁膜SWの下に形成されている。また、高濃度のn⁺型半導体領域8bは低濃度のn⁻型半導体領域7bの外側に形成されている。したがって、低濃度のn⁻型半導体領域7bは制御トランジスタのチャネル領域に隣接するように形成され、高濃度のn⁺型半導体領域8bは低濃度のn⁻型半導体領域7bに接し、制御トランジスタのチャネル領域からn⁻型半導体領域7bの分だけ離間するように形成されている。

【0062】

制御ゲート電極CGは導電性膜（導電体膜）からなるが、好ましくは多結晶シリコン膜のようなシリコン膜4からなる。シリコン膜4は、例えば、n型のシリコン膜（n型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜）であり、n型不純物が導入されて低抵抗率とされている。

【0063】

メモリゲート電極MGは導電性膜（導電体膜）からなり、図1および図2に示すように、例えば、多結晶シリコン膜のようなシリコン膜6により形成されている。

【0064】

メモリゲート電極MGの上部（上面）とn⁺型半導体領域8aおよびn⁺型半導体領域

10

20

30

40

50

8 bの上面（表面）には、金属シリサイド層（金属シリサイド膜）11が形成されている。金属シリサイド層11は、例えばコバルトシリサイド層またはニッケルシリサイド層などからなる。金属シリサイド層11により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。また、メモリゲート電極MGと制御ゲート電極CGとの間のショートをできるだけ防止するという観点から、メモリゲート電極MGと制御ゲート電極CGの一方または両方の上部に金属シリサイド層11を形成しない場合もあり得る。

【0065】

次いで、周辺回路領域2Aのnチャネル型MISFETQnについて説明する。

【0066】

図2の左側に示すように、nチャネル型MISFETQnは、周辺回路領域2Aに配置される。このnチャネル型MISFETQnは、半導体基板1（p型ウエルPW2）の上方に配置されたゲート電極GEと、ゲート電極GEと半導体基板1（p型ウエルPW2）間に配置された絶縁膜3と、ゲート電極GEの両側の半導体基板1（p型ウエルPW2）中に形成されたソース、ドレイン領域（7、8）を有する。

10

【0067】

ゲート電極GEの延在方向は、図1の紙面に垂直な方向（ゲート幅方向）である。ゲート電極GEと半導体基板1（p型ウエルPW2）間に配置された絶縁膜3が、nチャネル型MISFETQnのゲート絶縁膜として機能する。ゲート電極GE下の絶縁膜3の下にnチャネル型MISFETQnのチャネル領域が形成される。

【0068】

20

ソース、ドレイン領域（7、8）は、LDD構造を有し、n⁺型半導体領域8とn⁻型半導体領域7よりなる。n⁺型半導体領域8は、n⁻型半導体領域7よりも接合深さが深くかつ不純物濃度が高い。

【0069】

ゲート電極GEの側壁部には、酸化シリコンなどの絶縁体（酸化シリコン膜、絶縁膜）からなる側壁絶縁膜（サイドウォール、サイドウォールスペーサ）SWが形成されている。

【0070】

n⁻型半導体領域7はゲート電極GEの側壁に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域7はゲート電極GEの側壁部の側壁絶縁膜SWの下に形成される。したがって、低濃度のn⁻型半導体領域7はMISFETのチャネル領域に隣接するように形成されている。また、n⁺型半導体領域8は側壁絶縁膜SWの側面に対して自己整合的に形成されている。このように、低濃度のn⁻型半導体領域7はMISFETのチャネル領域に隣接するように形成され、高濃度のn⁺型半導体領域8は低濃度のn⁻型半導体領域7に接し、MISFETのチャネル領域からn⁻型半導体領域7の分だけ離間するように形成されている。

30

【0071】

ゲート電極GEは導電性膜（導電体膜）からなるが、例えば、上記制御ゲート電極CGと同様に、n型多結晶シリコン膜（n型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜）のようなシリコン膜4で構成することが好ましい。

40

【0072】

ゲート電極GEの上部（上面）とn⁺型半導体領域8の上面（表面）には、金属シリサイド層11が形成されている。金属シリサイド層11は、例えばコバルトシリサイド層またはニッケルシリサイド層などからなる。金属シリサイド層11により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。

【0073】

次いで、周辺回路領域3Aの容量素子Cについて説明する。図2の右側に示すように、容量素子Cは、周辺回路領域3Aに配置される。この容量素子Cは、ここでは、PIP構成を有している。具体的には、上部電極Paと下部電極Pbとを有し、これらの電極の間に、容量絶縁膜として上記絶縁膜5（5A、5N、5B（5s、5d））が配置されてい

50

る。下部電極 P b は、上記ゲート電極 G E および上記制御ゲート電極 C G と同様に、n 型多結晶シリコン膜（n 型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜）のようなシリコン膜 4 で構成する。また、上部電極 P a は、上記メモリゲート電極 M G と同様に、多結晶シリコン膜のようなシリコン膜 6 で構成する。なお、下部電極 P b の下層には、絶縁膜（3）が配置されている。また、上部電極 P a の表面には、金属シリサイド層 1 1 が配置されている。

【0074】

下部電極 P b の上面には、絶縁膜 5（5 A、5 N、5 B（5 d））が配置され、下部電極 P b の側面には、絶縁膜 5（5 A、5 N、5 B（5 s、5 d））が配置されている。ここで、下部電極 P b の側面には、絶縁膜 5 を覆うように上部電極 P a が配置され、上部電極 P a に下部電極 P b の側面から半導体基板 1 上に延在する部分に角部を有することになり、この部分で電界が集中し易くなるため容量素子 C の信頼性が低下する恐れがある。しかし、本実施の形態の容量素子 C のように、下部電極 P b の側面に絶縁膜 5 が配置されることで、下部電極の角部における電界を緩和することができ、容量素子 C の信頼性を向上させることが可能となる。さらに、下部電極 P b の側面に絶縁膜 5 が配置されることで、容量素子 C の側面における容量値が小さくなり、下部電極 P b と上部電極 P a が平面的に重なる領域のみが容量として寄与するため、容量素子 C の容量の設計値における誤差が小さくなり、半導体装置の歩留まりを向上させることが可能となる。

【0075】

〔動作説明〕

図 4 は、メモリセル M C の等価回路図である。図示するように、ドレイン領域（M D）とソース領域（M S）との間に、メモリトランジスタと制御トランジスタとが直列に接続され一つのメモリセルを構成する。図 5 は、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。図 5 の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、メモリゲート電極 M G に印加する電圧 V_{mg} 、ソース領域（ソース領域 M S）に印加する電圧 V_s 、制御ゲート電極 C G に印加する電圧 V_{cg} 、ドレイン領域（ドレイン領域 M D）に印加する電圧 V_d （例えば、 $V_{dd} = 1.5V$ ）、および p 型ウエル P W 1 に印加される電圧 V_b が記載されている。なお、図 5 の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、本実施の形態では、メモリトランジスタの絶縁膜 5 中の電荷蓄積層（電荷蓄積部）である窒化シリコン膜（5 N）への電子の注入を「書込」、ホール（hole：正孔）の注入を「消去」と定義する。

【0076】

書込み方式は、いわゆる S S I（Source Side Injection：ソースサイド注入）方式と呼ばれるホットエレクトロン書込みを用いることができる。例えば図 5 の「書込」の欄に示されるような電圧を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルの絶縁膜 5 中の窒化シリコン膜（5 N）中に電子（エレクトロン）を注入する。ホットエレクトロンは、2 つのゲート電極（メモリゲート電極 M G および制御ゲート電極 C G）間の下のチャネル領域（ソース、ドレイン間）で発生し、メモリゲート電極 M G の下の絶縁膜 5 中の電荷蓄積層（電荷蓄積部）である窒化シリコン膜（5 N）にホットエレクトロンが注入される。注入されたホットエレクトロン（電子）は、絶縁膜 5 中の窒化シリコン膜（5 N）中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。

【0077】

消去方法は、直接トンネル現象を利用したホール注入による消去方式を用いることができる。すなわち、直接トンネル現象によりホールを電荷蓄積部（絶縁膜 5 中の窒化シリコン膜（5 N））に注入することにより消去を行う。例えば図 5 の「消去」の欄に示すように、メモリゲート電極 M G（ V_{mg} ）に、例えば、 $-11V$ の負電位を印加し、p 型ウエル P W 1（ V_b ）を、例えば、 $0V$ とする。これにより、窒化シリコン膜（5 N）を介し

て直接トンネル現象により生じたホールが電荷蓄積部（絶縁膜 5 中の窒化シリコン膜（5 N））に注入され、窒化シリコン膜（5 N）中のエレクトロン（電子）を相殺する、もしくは注入されたホールが窒化シリコン膜（5 N）中のトラップ準位に捕獲されることにより消去動作を行う。これによりメモリトランジスタのしきい値電圧が低下する（消去状態となる）。直接トンネル現象を利用するためには、窒化シリコン膜（5 N）の下層の酸化シリコン膜（5 A）の膜厚を 2 nm 以下とし、 V_{mg} と V_b との電位差を $-8 \sim -14$ V とすることが好ましい。このような消去方法を用いた場合には、いわゆる B T B T（Band-To-Band Tunneling：バンド間トンネル現象）消去を用いた場合（図 6（B）参照）と比較し、消費電流を低減することができる。

【0078】

10

読出し時には、例えば図 5 の「読出」の欄に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極 M G に印加する電圧 V_{mg} を、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるメモリトランジスタのしきい値電圧との間の値にすることで、メモリセルに電流が流れるか否かで、書込み状態と消去状態とを判別することができる。

【0079】

< 1 > このように、本実施の形態によれば、絶縁膜（ONO 膜）5 を構成する第 3 膜（酸化シリコン膜）5 B を、サイドウォール膜（側壁膜）5 s とデポ膜（堆積膜）5 d との積層膜で構成したので、メモリゲート電極 M G の角部と半導体基板（P W 1）間において、絶縁膜 5 の角部における上面と下面との距離 D 1 を大きくすることができる（図 3 参照）。その結果、当該部位における電界集中を緩和でき、消去特性を向上させることができる。

20

【0080】

図 6 は、本実施の形態の比較例のメモリセルおよびその印加電圧を示す図である。図 6（A）は、比較例のメモリセル部の構成を示す要部断面図で、図 6（B）は、B T B T 消去を用いた場合の印加電圧の一例である。図 6（A）に示すように、サイドウォール膜 5 s を省略した比較例のメモリセルにおいては、メモリゲート電極 M G の角部と半導体基板（P W 1）間において、絶縁膜 5 の角部における上面と下面との距離 D 2 が小さく（ $D_2 < D_1$ ）、当該部位において、電界集中が生じ、消去特性が劣化する。

【0081】

30

即ち、メモリゲート電極 M G の角部において、電界集中が生じ、メモリゲート電極 M G から酸化シリコン膜を介して F N（Fowler Nordheim）トンネル現象により、窒化シリコン膜（5 N）中に電子（エレクトロン）が注入される。その結果、消去動作（ホール注入）が抑制され、消去特性が悪くなる。また、電子（エレクトロン）の注入量が多くなれば、消去ができず、メモリトランジスタのしきい値電圧を上昇させ、書込み状態が保持される恐れもある。

【0082】

これに対し、本実施の形態によれば、サイドウォール膜 5 s を形成したので、メモリゲート電極 M G の側面の底部と半導体基板（P W 1）との距離 D 1 を比較例の距離 D 2 より大きくでき、当該部位における F N トンネル現象の発生を抑制することができる。これにより、消去（ホール注入）を効率的に行うことができ、消去特性を向上させることができる。特に、図 3 に示すように、本実施の形態の構造においては、サイドウォール膜 5 s をメモリゲート電極 M G と窒化シリコン膜（5 N）との間に形成しているため、消去動作時におけるメモリゲート電極 M G 側からの電子の注入をより効果的に抑制することが可能となる。

40

【0083】

図 8 は、本実施の形態のメモリセルと比較例のメモリセルの消去特性を示すグラフである。横軸は、消去電位の印加時間 [Time (s)] を、縦軸は、閾値電位 [V t h (a . u .)] を示す。なお、 $1 \cdot E - 0 n$ (n ; 整数) は、 1×10^{-n} [s] を示す。

【0084】

50

グラフ (a) は、比較例のメモリセルの場合を示す。この場合、しきい値電圧の低下が緩やかなグラフとなっている。これに対し、グラフ (b) に示す本実施の形態の場合は、消去電位の印加時間に応じて急速にしきい値電圧が低下しており、消去動作 (ホール注入) が効率的に行われていることが分かる。

【 0 0 8 5 】

また、直接トンネル現象を利用したホール注入による消去方式を用いることで、上記 B T B T 消去を用いた場合と比較し、消費電流 1 0 万分の 1 ($1 / 1 0^5$) ~ 1 0 0 万分の 1 ($1 / 1 0^6$) まで低下させることができた。前述したように、図 6 (B) に、B T B T 消去を用いた場合の印加電圧の一例を示す。

【 0 0 8 6 】

< 2 > また、サイドウォール膜 (側壁膜) 5 s の高さ H 5 s を、メモリゲート電極 M G の高さ H M G より低く設定した ($H 5 s < H M G$)。即ち、半導体基板 1 の上面とメモリゲート電極 M G の下面との間に形成された絶縁膜 5 の膜厚が、金属シリサイド層 1 1 と窒化シリコン膜 C P 2 との間に形成された絶縁膜 5 の膜厚と実質的に等しくなるようにした。このとき、サイドウォール膜 (側壁膜) 5 s の上方にもメモリゲート電極 M G が延在し、サイドウォール膜 5 s の側壁がメモリゲート電極 M G を形成するシリコン膜 6 で覆われることとなる。図 7 は、本実施の形態の半導体装置の他のメモリセル部の構成を示す要部断面図である。図 7 に示すメモリセルにおいては、図 3 に示すメモリセルと等しいメモリゲート電極 M G のゲート長を有するメモリセルであって、サイドウォール膜 (側壁膜) 5 s の高さ H 5 s をメモリゲート電極 M G の高さ H M G と同じにしてある ($H 5 s = H M G$)。このような形状のメモリセルに対し、図 3 に示すメモリセルにおいては、サイドウォール膜 (側壁膜) 5 s の上方にもメモリゲート電極 M G が延在している分、メモリゲート電極 M G の断面積を増加させることが可能となる。これにより、メモリゲート電極 M G の抵抗を低減することができ、メモリセルの動作を高速化させ、メモリ動作特性を向上させることができる。さらに、サイドウォール膜 (側壁膜) 5 s の上方にもメモリゲート電極 M G が延在していることにより、その表面の金属シリサイド層 1 1 の形成領域を、サイドウォール膜 5 s の膜厚 (ゲート長方向の膜厚) に対応する分だけ、大きく確保することができる。即ち、メモリゲート電極のサイドウォール膜 5 s と平面的に重なる領域にも金属シリサイド層 1 1 を形成することが可能となる。これにより、メモリゲート電極 M G の抵抗をさらに低減することができ、メモリセルの動作を高速化させ、メモリ動作特性を向上させることができる。なお、サイドウォール膜 (側壁膜) 5 s の高さ H 5 s は、後述のエッチバック工程のエッチング制御性を考慮すれば、制御ゲート電極 C G の高さ H C G より高く設定することが好ましい ($H 5 s > H C G$ 、図 3 参照)。また、メモリゲート電極 M G と制御ゲート電極 C G との耐圧を確保するという点からも、制御ゲート電極 C G の高さ H C G より高く設定することが好ましい。

【 0 0 8 7 】

上記のように、制御ゲート電極 C G 上に絶縁膜となる酸化シリコン膜 C P 1 と窒化シリコン膜 C P 2 を形成している場合には、制御ゲート電極 C G 上にシリサイド膜が形成されない。よって、酸化シリコン膜 C P 1 と窒化シリコン膜 C P 2 を形成せず、制御ゲート電極 C G 上にシリサイド膜 1 1 を形成する場合 (図 3 9 参照) と異なり、メモリゲート電極 M G 上のシリサイド膜と制御ゲート電極 C G 上のシリサイド膜とのショート (短絡) を考慮する必要がない。そのため、上記のとおり、サイドウォール膜 (側壁膜) 5 s の上方にもメモリゲート電極 M G を延在させることができ、メモリゲート電極 M G の抵抗を低減することができる。このように、制御ゲート電極 C G の高さ H C G より高くする構成は、酸化シリコン膜 C P 1 と窒化シリコン膜 C P 2 を用いる構成に適用して有用である。

【 0 0 8 8 】

< 3 > また、サイドウォール膜 (側壁膜) 5 s の高さ H 5 s を低くするようにエッチバックする際、エッチバック量 (サイドウォール膜 5 s の後退量) を大きくすることで、サイドウォール膜 5 s の側面をテーパ形状とすることができる。言い換えれば、サイドウォール膜 5 s の側面と、窒化シリコン膜 (5 N) とのなす角を 90° より大きくすること

10

20

30

40

50

ができる。これに対応して、デポ膜 5 d およびメモリゲート電極 M G が形成されるため、メモリゲート電極 M G の角部の角度も 90°より大きくなる（図 3、図 3 9 および図 4 0 等参照）。なお、かかるテーパ形状については、後述の変形例 1 においてさらに詳細に説明する。

【0089】

このように、メモリゲート電極 M G の角部を 90°より大きくする（ラウンド化させる）ことで、メモリゲート電極 M G の角部における電界集中を緩和し、F N トンネル現象の発生を抑制することができる。これにより、消去（ホール注入）を効率的に行うことができ、消去特性を向上させることができる。なお、上記エッチバック工程については、後述の「製法説明」の欄において詳細に説明する。

10

【0090】

〔製法説明〕

次いで、図 9 ~ 図 3 8 を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図 9 ~ 図 3 8 は、本実施の形態の半導体装置の製造工程を示す要部断面図である。このうち、図 1 5 ~ 図 2 2 は、メモリセル領域の要部断面図である。なお、前述したように、1 A は、メモリセル領域を、2 A および 3 A は、周辺回路領域を示し、2 A には、n チャネル型 M I S F E T Q n が、3 A には、容量素子 C が形成される。

【0091】

まず、図 9 および図 1 0 に示すように、半導体基板（半導体ウエハ）1 として、例えば 1 ~ 10 c m 程度の比抵抗を有する p 型の単結晶シリコンからなるシリコン基板を準備する。なお、シリコン基板以外の半導体基板 1 を用いてもよい。

20

【0092】

次いで、半導体基板 1 の主面に素子分離領域 2 を形成する。例えば、半導体基板 1 中に素子分離溝を形成し、この素子分離溝の内部に絶縁膜を埋め込むことにより、素子分離領域 2 を形成する（図 1 0）。このような素子分離法は、S T I（Shallow Trench Isolation）法と呼ばれる。この他、L O C O S（Local Oxidization of Silicon）法などを用いて素子分離領域 2 を形成してもよい。なお、メモリセル領域 1 A に示される断面部（図 9）においては、素子分離領域 2 は現れないが、前述したように素子分離領域 2 が配置される等、電気的な分離が必要な箇所には適宜、素子分離領域 2 が配置される。

30

【0093】

次いで、半導体基板 1 のメモリセル領域 1 A に p 型ウエル P W 1 を、半導体基板 1 の周辺回路領域 2 A に p 型ウエル P W 2 を、それぞれ形成する。p 型ウエル P W 1、P W 2 は、p 型不純物（例えばホウ素（B）など）をイオン注入することによって形成する。なお、ここでは、図 1 0 に示すように、周辺回路領域 3 A に形成された素子分離領域 2 の下部にも p 型ウエル P W 2 が薄く配置されている。

【0094】

次いで、希釈フッ酸洗浄などによって半導体基板 1（p 型ウエル P W 1、P W 2）の表面を清浄化した後、図 1 1 および図 1 2 に示すように、半導体基板 1 の主面（p 型ウエル P W 1、P W 2 の表面）に、絶縁膜（ゲート絶縁膜）3 として、例えば、酸化シリコン膜を熱酸化法により、2 ~ 3 n m 程度の膜厚で形成する。絶縁膜 3 としては、酸化シリコン膜の他、酸窒化シリコン膜などの他の絶縁膜を用いてもよい。また、この他、酸化ハフニウム膜、酸化アルミニウム膜（アルミナ）または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する金属酸化膜、および酸化膜等と金属酸化膜との積層膜を形成してもよい。また、熱酸化法のほか、C V D（Chemical Vapor Deposition：化学的気相成長）法を用いて形成してもよい。また、メモリセル領域 1 A 上の絶縁膜（ゲート絶縁膜）3 と周辺回路領域 2 A 上の絶縁膜（ゲート絶縁膜）3 を異なる膜厚とし、また、異なる膜種で構成してもよい。

40

【0095】

次に、半導体基板 1 の全面上に、導電性膜（導電体膜）としてシリコン膜 4 を形成する

50

。このシリコン膜 4 として、例えば、多結晶シリコン膜を CVD 法などを用いて、100 ~ 200 nm 程度の膜厚で形成する。シリコン膜 4 として、非晶質シリコン膜を堆積し、熱処理を施すことにより結晶化させてもよい。このシリコン膜 4 は、メモリセル領域 1 A において制御ゲート電極 CG となり、周辺回路領域 2 A において n チャネル型 MISFET Qn のゲート電極 GE となり、周辺回路領域 3 A において容量素子 C の下部電極 Pb となる。

【0096】

次いで、メモリセル領域 1 A のシリコン膜 4 中に、n 型不純物（例えばヒ素（As）またはリン（P）など）を注入する。

【0097】

次いで、シリコン膜 4 の表面を例えば 6 nm 程度、熱酸化することにより、薄い酸化シリコン膜 CP1 を形成する。なお、この酸化シリコン膜 CP1 を CVD 法を用いて形成してもよい。次いで、酸化シリコン膜 CP1 の上部に、CVD 法などを用いて、80 ~ 90 nm 程度の窒化シリコン膜（キャップ絶縁膜）CP2 を形成する。

【0098】

次いで、制御ゲート電極 CG の形成予定領域に、フォトリソグラフィ法を用いてフォトレジスト膜（図示せず）を形成し、このフォトレジスト膜をマスクとして用いて、窒化シリコン膜 CP2、酸化シリコン膜 CP1 およびシリコン膜 4 をエッチングする。この後、フォトレジスト膜をアッシングなどにより除去することにより、制御ゲート電極 CG（例えば、ゲート長が 80 nm 程度）を形成する。このような、フォトリソグラフィからフォトレジスト膜の除去までの一連の工程をパターニングという。なお、ここでは、制御ゲート電極 CG の上部に、窒化シリコン膜 CP2 および酸化シリコン膜 CP1 を形成したが、これらの膜を省略することも可能である（図 39 参照）。この場合、制御ゲート電極 CG の高さは適宜調整可能であり、制御ゲート電極 CG の高さを窒化シリコン膜 CP2 を設けた場合の窒化シリコン膜 CP2 の高さと同程度としてもよい。

【0099】

ここで、メモリセル領域 1 A において、制御ゲート電極 CG の下に残存する絶縁膜 3 が、制御トランジスタのゲート絶縁膜となる。なお、制御ゲート電極 CG で覆われた部分以外の絶縁膜 3 は、以降のパターニング工程などにより除去され得る。

【0100】

次いで、周辺回路領域 2 A 及び周辺回路領域 3 A の窒化シリコン膜 CP2 および酸化シリコン膜 CP1 をエッチングにより除去する（図 14 参照）。

【0101】

次いで、図 13 および図 14 に示すように、制御ゲート電極 CG（4）の表面（上面および側面）上を含む半導体基板 1 上に、絶縁膜 5（5A、5N、5B）を形成する。この絶縁膜 5 の形成工程については、メモリセル領域 1 A の要部断面図である図 15 ~ 図 22 を参照しながら詳細に説明する。なお、図 15 ~ 図 22 においては、図面を解かりやすくするため、制御ゲート電極 CG の幅（ゲート長）を他の部位に比べ短く表示してある。

【0102】

まず、半導体基板 1 の主面を清浄化処理した後、図 15 に示すように、制御ゲート電極 CG の上面および側面上を含む半導体基板 1（p 型ウエル PW1）上に酸化シリコン膜 5A を形成する。この酸化シリコン膜 5A は、例えば、熱酸化法（好ましくは ISSG（In Situ Steam Generation）酸化）により例えば 1.6 nm 程度の膜厚で形成する。なお、酸化シリコン膜 5A を CVD 法を用いて形成してもよい。図においては、CVD 法で形成した場合の酸化シリコン膜 5A の形状を示してある。前述したように、直接トンネル消去方法を用いるためには、絶縁膜（ONO 膜）5 を構成する第 1 膜（下層膜）である酸化シリコン膜 5A の膜厚は、2 nm 以下が好ましい。次いで、図 16 に示すように、酸化シリコン膜 5A 上に、窒化シリコン膜 5N を CVD 法で例えば 16 nm 程度の膜厚で堆積する。この窒化シリコン膜 5N は、酸化シリコン膜 5A を介して、制御ゲート電極 CG の上面および側面の上部および半導体基板 1（p 型ウエル PW1）の上部に位置する。前述した

10

20

30

40

50

ように、この窒化シリコン膜 5 N が、メモリセルの電荷蓄積部となり、絶縁膜 (ONO 膜) 5 を構成する第 2 膜 (中層膜) となる。

【0103】

次いで、図 17 に示すように、窒化シリコン膜 5 N 上に、酸化シリコン膜 (5 s) を CVD 法により例えば 5 nm ~ 10 nm 程度の膜厚で堆積する。この酸化シリコン膜 (5 s) は、酸化シリコン膜 5 A および窒化シリコン膜 5 N を介して、制御ゲート電極 CG の上面および側面の上部および半導体基板 1 (p 型ウエル PW1) の上部に位置する。次いで、酸化シリコン膜 (5 s) をその表面から異方的にエッチング (エッチバック) する。この工程により、図 18 に示すように、制御ゲート電極 CG の両側の側壁部に、酸化シリコン膜 5 A および窒化シリコン膜 5 N を介して、酸化シリコン膜 (5 s) よりなるサイドウォール膜 5 s を残存させることができる。酸化シリコン膜 (5 s) のゲート長方向の膜厚 (最大膜厚) は、例えば、5 nm ~ 10 nm 程度である。

10

【0104】

上記異方的なエッチングとしては、例えば、 CF_4 および CHF_3 の混合ガスをエッチングガスとして、プラズマ下でドライエッチングすることができる。

【0105】

この際、エッチバック量を多くし、サイドウォール膜 (側壁膜) 5 s の上部が、窒化シリコン膜 (キャップ絶縁膜) CP2 の上部 (上面) より低くなるまでエッチバックする。このように、サイドウォール膜 (側壁膜) 5 s の高さ H_{5s} を調整することで、サイドウォール膜 (側壁膜) 5 s の高さ H_{5s} が、メモリゲート電極 MG の高さ H_{MG} より低くなる ($H_{5s} < H_{MG}$ 、図 3 等参照)。なお、この際、周辺回路領域 3 A において、容量素子 C を構成する下部電極 Pb の側壁部にもサイドウォール膜 (側壁膜) 5 s が形成される。ここでも、サイドウォール膜 (側壁膜) 5 s の高さ H_{5s} は、下部電極 Pb の高さ H_{Pb} より低くなる ($H_{5s} < H_{Pb}$ 、図 2 参照)。

20

【0106】

また、エッチバック量が大きくなりすぎると、サイドウォール膜 5 s の膜厚が小さくなりすぎる恐れがあるため、このエッチバック工程のエッチング制御性を考慮し、制御ゲート電極 CG の高さ H_{CG} より高くなる程度に、サイドウォール膜 (側壁膜) 5 s の高さ H_{5s} を設定することが好ましい ($H_{5s} > H_{CG}$)。

【0107】

また、窒化シリコン膜 CP2 および酸化シリコン膜 CP1 を形成しない場合においては、これらの膜の代わりに制御ゲート電極 CG が配置される構成となる。即ち、窒化シリコン膜 CP2 の上面の高さが、制御ゲート電極 CG の高さ H_{CG} と対応する。この場合、メモリゲート電極 MG の高さ H_{MG} は制御ゲート電極 CG の高さ H_{CG} とほぼ同じとなる。かかる場合においても、サイドウォール膜 (側壁膜) 5 s の高さ H_{5s} をメモリゲート電極 MG の高さ H_{MG} より低く設定する。また、エッチバック工程のエッチング制御性を考慮し、サイドウォール膜 (側壁膜) 5 s の高さ H_{5s} を制御ゲート電極 CG の高さ H_{CG} の 90% 以上に設定することが好ましい ($H_{5s} > 0.9 \times H_{CG}$ 、図 39 参照)。

30

【0108】

次いで、図 19 に示すように、窒化シリコン膜 5 N およびサイドウォール膜 5 s 上に、酸化シリコン膜 (デポ膜) 5 d を CVD 法により例えば 3 nm 程度の膜厚で形成する。このサイドウォール膜 5 s および酸化シリコン膜 5 d により、絶縁膜 (ONO 膜) 5 を構成する第 3 膜 (上層膜) が構成される。

40

【0109】

以上の工程により、第 1 膜 (酸化シリコン膜 5 A)、第 2 膜 (窒化シリコン膜 5 N) および第 3 膜 (サイドウォール膜 5 s および酸化シリコン膜 5 d、酸化シリコン膜 (5 B)) からなる絶縁膜 (ONO 膜) 5 を形成することができる。

【0110】

なお、本実施の形態においては、後述する実施の形態 2 の場合と比較し、酸化シリコン膜 (5 s) よりなるサイドウォール膜 5 s の形成の際に、半導体基板 1 が露出しないので

50

、半導体基板 1 へのエッチングダメージを低減することができる。よって、トンネル酸化膜となる酸化シリコン膜 5 A の特性を容易に維持することができ、装置の信頼性を向上させることができる。

【 0 1 1 1 】

また、サイドウォール膜 5 s の形成の際の下層の窒化シリコン膜 5 N に対するエッチングダメージを除去するため、サイドウォール膜 5 s の形成後に、犠牲酸化および犠牲酸化膜のエッチングを行ってもよい。

【 0 1 1 2 】

また、本実施の形態においては、絶縁膜 5 の内部の電荷蓄積部（電荷蓄積層、トラップ準位を有する絶縁膜）として、窒化シリコン膜 5 N を形成しているが、例えば酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜などの他の絶縁膜を用いてもよい。これらの膜は、窒化シリコン膜よりも高い誘電率を有する高誘電率膜である。また、シリコンナノドットを有する絶縁膜を用いて電荷蓄積層を形成してもよい。

【 0 1 1 3 】

また、メモリセル領域 1 A に形成された絶縁膜 5 は、メモリゲート電極 M G のゲート絶縁膜として機能し、電荷保持（電荷蓄積）機能を有する。したがって、少なくとも 3 層の積層構造を有し、外側の層（酸化シリコン膜 5 A、5 B）のポテンシャル障壁高さに比べ、内側の層（窒化シリコン膜 5 N）のポテンシャル障壁高さが低くなるよう構成する。

【 0 1 1 4 】

次いで、図 2 0 に示すように、導電性膜（導電体膜）としてシリコン膜 6 を形成する。このシリコン膜 6 として、例えば、多結晶シリコン膜を C V D 法などを用いて、5 0 ~ 2 0 0 n m 程度の膜厚で形成する。シリコン膜 6 として、非晶質シリコン膜を堆積し、熱処理を施すことにより結晶化させてもよい。なお、このシリコン膜 6 に必要に応じて不純物を導入してもよい。

【 0 1 1 5 】

次いで、メモリセル領域 1 A のシリコン膜 6 をエッチバックする（図 2 1）。その後、制御ゲート電極 C G の上部等の絶縁膜 5 をエッチングによって除去する（図 2 2）のであるが、上記シリコン膜 6 の形成工程以降の工程については、図 2 3 ~ 図 3 8 を参照しながらさらに詳細に説明する。

【 0 1 1 6 】

図 2 3 および図 2 4 に示すように、絶縁膜 5 の上部に、シリコン膜 6 として、例えば、多結晶シリコン膜を C V D 法などを用いて、5 0 ~ 2 0 0 n m 程度の膜厚で形成する。シリコン膜 6 として、非晶質シリコン膜を堆積し、熱処理を施すことにより結晶化させてもよい。なお、このシリコン膜 6 に必要に応じて不純物を導入してもよい。また、このシリコン膜 6 は、後述するように、メモリセル領域 1 A においてメモリゲート電極 M G（例えば、ゲート長が 5 0 n m 程度）となり、周辺回路領域 3 A において容量素子 C の上部電極 P a となる。

【 0 1 1 7 】

次いで、図 2 5 および図 2 6 に示すように、メモリセル領域 1 A のシリコン膜 6 をエッチバックする（選択的に除去する）。このエッチバック工程では、シリコン膜 6 をその表面から所定の膜厚分だけ異方性のドライエッチングにより除去する。この工程により、制御ゲート電極 C G の両側の側壁部に、絶縁膜 5 を介して、シリコン膜 6 を、サイドウォールスペース状に残存させることができる（図 2 5、図 2 1 参照）。この際、周辺回路領域 2 A においては、シリコン膜 6 がエッチングされ、シリコン膜 4 の上部の窒化シリコン膜 C P 2 が露出する（図 2 6）。なお、周辺回路領域 3 A は、フォトレジスト膜（図示せず）などで覆い、シリコン膜 6 のエッチングは行わない。もちろん、上部電極 P a を所望の形状にパターニングしたい場合には、この工程を利用してパターニングを行ってもよい。

【 0 1 1 8 】

上記制御ゲート電極 C G の両方の側壁部のうち、一方の側壁部に残存したシリコン膜 6 により、メモリゲート電極 M G が形成される。また、他方の側壁部に残存したシリコン膜

10

20

30

40

50

6により、シリコンスペーサSP1が形成される(図25)。メモリゲート電極MGとシリコンスペーサSP1とは、制御ゲート電極CGの互いに反対側となる側壁部に形成されており、制御ゲート電極CGを挟んでほぼ対称な構造となる。

【0119】

上記メモリゲート電極MGの下に絶縁膜5が、メモリトランジスタのゲート絶縁膜となる。シリコン膜6の堆積膜厚に対応してメモリゲート長(メモリゲート電極MGのゲート長)が決まる。

【0120】

次いで、図27および図28に示すように、制御ゲート電極CGの上部の絶縁膜5をエッチングによって除去する。これにより、制御ゲート電極CGの上部の窒化シリコン膜CP2が露出し、p型ウエルPW1が露出する(図27、図22参照)。この際、周辺回路領域2Aにおいて、絶縁膜5がエッチングされ、シリコン膜4が露出する。

【0121】

次いで、周辺回路領域2Aにおいて、シリコン膜4に不純物を導入する。例えば、nチャネル型MISFETQnの形成予定領域のシリコン膜4には、リンなどのn型不純物を注入する。なお、図示していないが、pチャネル型MISFETの形成予定領域には逆導電型(p型)の不純物を注入する。

【0122】

次いで、シリコン膜4のnチャネル型MISFETQnのゲート電極GEの形成予定領域に、フォトリソグラフィ法を用いてフォトレジスト膜(図示せず)を形成し、このフォトレジスト膜をマスクとして用いて、シリコン膜4をエッチングする。その後、フォトレジスト膜をアッシングなどにより除去し、さらに、シリコン膜4の上部の絶縁膜(CP1、CP2)を除去することにより、ゲート電極GEを形成する(図28)。ゲート電極GEの下に残存する絶縁膜3が、nチャネル型MISFETQnのゲート絶縁膜となる。なお、ゲート電極GEで覆われた部分以外の絶縁膜3は、上記ゲート電極GEの形成時に除去してもよいし、また、以降のパターニング工程などにより除去してもよい。

【0123】

次いで、図29および図30に示すように、メモリセル領域1Aにおいて、制御ゲート電極CG側の半導体基板1(p型ウエルPW1)中に、ヒ素(As)またはリン(P)などのn型不純物を注入することで、n⁺型半導体領域7a及びn⁺型半導体領域7bを形成する。この際、n⁺型半導体領域7aは、メモリゲート電極MGの側壁(絶縁膜5を介して制御ゲート電極CGと隣合う側とは反対側の側壁)に自己整合して形成される。また、n⁺型半導体領域7bは、制御ゲート電極CGの側壁(絶縁膜5を介してメモリゲート電極MGと隣合う側とは反対側の側壁)に自己整合して形成される。また、周辺回路領域2Aにおいて、ゲート電極GEの両側の半導体基板1(p型ウエルPW2)中に、ヒ素(As)またはリン(P)などのn型不純物を注入することで、n⁺型半導体領域7を形成する。この際、n⁺型半導体領域7は、ゲート電極GEの側壁に自己整合して形成される。

【0124】

n⁺型半導体領域7aとn⁺型半導体領域7bとn⁺型半導体領域7とは、同じイオン注入工程で形成してもよいが、ここでは、異なるイオン注入工程で形成している。このように、異なるイオン注入工程で形成することにより、n⁺型半導体領域7a、n⁺型半導体領域7b及びn⁺型半導体領域7をそれぞれ所望の不純物濃度及び所望の接合の深さで形成することが可能となる。

【0125】

次いで、図31および図32に示すように、メモリセル領域1Aにおいて、制御ゲート電極CGおよびメモリゲート電極MGが絶縁膜5を介して隣り合ったパターン(合成パターン)の側壁部に、例えば酸化シリコンなどの絶縁膜からなる側壁絶縁膜SWを形成する。また、周辺回路領域2Aにおいて、ゲート電極GEの側壁部に、側壁絶縁膜SWを形成する。例えば、半導体基板1の主面全面上に酸化シリコン膜などの絶縁膜を堆積し、この

10

20

30

40

50

絶縁膜をエッチバックすることによって、上記合成パターン（CG、MG）の側壁部およびゲート電極GEの側壁部に側壁絶縁膜SWを形成する。側壁絶縁膜SWとしては、酸化シリコン膜の他、窒化シリコン膜または酸化シリコン膜と窒化シリコン膜との積層膜などを用いて形成してもよい。

【0126】

次いで、図33および図34に示すように、制御ゲート電極CG、メモリゲート電極MGおよび側壁絶縁膜SWをマスクとして、ヒ素（As）またはリン（P）などのn型不純物を、半導体基板1（p型ウエルPW1）に注入することで、高不純物濃度のn⁺型半導体領域8a及びn⁺型半導体領域8bを形成する。この際、n⁺型半導体領域8aは、メモリセル領域1Aにおいて、メモリゲート電極MG側の側壁絶縁膜SWに自己整合して形成される。また、n⁺型半導体領域8bは、メモリセル領域1Aにおいて、制御ゲート電極CG側の側壁絶縁膜SWに自己整合して形成される。n⁺型半導体領域8aは、n⁻型半導体領域7aよりも不純物濃度が高く、接合の深さが深い半導体領域として形成される。n⁺型半導体領域8bは、n⁻型半導体領域7bよりも不純物濃度が高く、接合の深さが深い半導体領域として形成される。また、周辺回路領域2Aにおいて、ゲート電極GEの両側の半導体基板1（p型ウエルPW2）中に、ヒ素（As）またはリン（P）などのn型不純物を注入することで、n⁺型半導体領域8を形成する。この際、n⁺型半導体領域8は、周辺回路領域2Aにおいて、ゲート電極GEの側壁部の側壁絶縁膜SWに自己整合して形成される。これにより、周辺回路領域2Aにおいて、ゲート電極GEの両側にLDD構造のソース、ドレイン領域（7、8）が形成される。

【0127】

上記工程により、n⁻型半導体領域7bとそれよりも高不純物濃度のn⁺型半導体領域8bとにより、メモリトランジスタのドレイン領域として機能するn型のドレイン領域MDが構成され、n⁻型半導体領域7aとそれよりも高不純物濃度のn⁺型半導体領域8aとにより、メモリトランジスタのソース領域として機能するn型のソース領域MSが構成される。

【0128】

次に、ソース領域MS（n⁻型半導体領域7aおよびn⁺型半導体領域8a）、ドレイン領域MD（n⁻型半導体領域7bおよびn⁺型半導体領域8b）およびソース、ドレイン領域（7、8）に導入された不純物を活性化するための熱処理を行う。

【0129】

以上の工程により、メモリセル領域1Aに不揮発性メモリのメモリセルMCが、周辺回路領域2Aにnチャネル型MISFETQnが形成される。また、周辺回路領域3Aには、容量素子Cが形成される。

【0130】

次いで、必要に応じて、例えば希フッ酸などを用いたウェットエッチングを行って、半導体基板1の主表面を清浄化する。これにより、n⁺型半導体領域8aの上面とn⁺型半導体領域8bの上面と制御ゲート電極CGの上面とメモリゲート電極MGの上面とが清浄化され、自然酸化膜などの不要物が除去される。また、n⁺型半導体領域8の上面とゲート電極GEの上面とが清浄化され、自然酸化膜などの不要物が除去される。

【0131】

次いで、図35および図36に示すように、サリサイド技術を用いて、メモリゲート電極MG、n⁺型半導体領域8aおよびn⁺型半導体領域8bの上部に、それぞれ金属シリサイド層（金属シリサイド膜）11を形成する。また、ゲート電極GEおよびn⁺型半導体領域8の上部に、それぞれ金属シリサイド層11を形成する。また、容量素子Cの上部電極Paの上部に、金属シリサイド層11を形成する。

【0132】

この金属シリサイド層11により、拡散抵抗やコンタクト抵抗などを低抵抗化することができる。この金属シリサイド層11は、次のようにして形成することができる。

【0133】

例えば、半導体基板 1 の主面全面上に、金属膜（図示せず）を形成し、半導体基板 1 に対して熱処理を施すことによって、メモリゲート電極 M G、ゲート電極 G E、 n^+ 型半導体領域 8、8 a、8 b および上部電極 P a の上層部分と上記金属膜とを反応させる。これにより、メモリゲート電極 M G、ゲート電極 G E、 n^+ 型半導体領域 8、8 a、8 b および上部電極 P a の上部に、それぞれ金属シリサイド層 1 1 が形成される。上記金属膜は、例えばコバルト（C o）膜またはニッケル（N i）膜などからなり、スパッタリング法などを用いて形成することができる。

【 0 1 3 4 】

ここで、前述したように、サイドウォール膜（側壁膜）5 s の高さ H 5 s を、メモリゲート電極 M G の高さ H M G より低く設定した（ $H 5 s < H M G$ 、図 3 参照）ので、サイドウォール膜（側壁膜）5 s の上方にもメモリゲート電極 M G が延在し、サイドウォール膜 5 s の側壁および上部がメモリゲート電極 M G を形成するシリコン膜 6 で覆われることとなる。その結果、メモリゲート電極 M G の表面の金属シリサイド層 1 1 の形成領域を、サイドウォール膜 5 s の膜厚（ゲート長方向の膜厚）に対応する分だけ、大きく確保することができる。

【 0 1 3 5 】

次いで、未反応の金属膜を除去した後、半導体基板 1 の主面全面上に、絶縁膜（層間絶縁膜）1 2 として、例えば、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と該窒化シリコン膜上に該窒化シリコン膜よりも厚く形成された酸化シリコン膜との積層膜を、例えば C V D 法などを用いて形成する。この絶縁膜 1 2 の形成後、必要に応じて C M P （Chemical Mechanical Polishing）法などを用いて絶縁膜 1 2 の上面を平坦化する。

【 0 1 3 6 】

次いで、絶縁膜 1 2 をドライエッチングすることにより、絶縁膜 1 2 にコンタクトホール（開口部、貫通孔）を形成する。次いで、コンタクトホール内に、バリア導体膜 1 3 a および主導体膜 1 3 b の積層膜を形成する。次いで、絶縁膜 1 2 上の不要な主導体膜 1 3 b およびバリア導体膜 1 3 a を C M P 法またはエッチバック法などによって除去することにより、プラグ P G を形成する。このプラグ P G は、例えば、 n^+ 型半導体領域 8、8 a、8 b の上部に形成される。また、図 3 5 および図 3 6 に示す断面には現れないが、プラグ P G は、例えば制御ゲート電極 C G、メモリゲート電極 M G およびゲート電極 G E の上部などにも形成される。なお、バリア導体膜 1 3 a としては、例えば、チタン膜、窒化チタン膜、あるいはこれらの積層膜を用いることができる。また、主導体膜 1 3 b としては、タングステン膜などを用いることができる。

【 0 1 3 7 】

次いで、図 3 7 および図 3 8 に示すように、プラグ P G が埋め込まれた絶縁膜 1 2 上に第 1 層配線（M 1）を形成する。第 1 層配線は、例えば、ダマシン技術（ここではシングルダマシン技術）を用いて形成する。まず、プラグ P G が埋め込まれた絶縁膜上に溝用絶縁膜 1 4 を形成し、この溝用絶縁膜 1 4 に、フォトリソグラフィ技術およびドライエッチング技術を用いて配線溝を形成する。次いで、配線溝の内部を含む半導体基板 1 の主面上にバリア導体膜（図示せず）を形成し、続いて、C V D 法またはスパッタリング法などによりバリア導体膜上に銅のシード層（図示せず）を形成する。次いで、電解めっき法などを用いてシード層上に銅めっき膜を形成し、銅めっき膜により配線溝の内部を埋め込む。その後、配線溝内以外の領域の銅めっき膜、シード層およびバリアメタル膜を C M P 法により除去して、銅を主導電材料とする第 1 層配線を形成する。なお、バリア導体膜としては、例えば、窒化チタン膜、タンタル膜または窒化タンタル膜などを用いることができる。

【 0 1 3 8 】

その後、デュアルダマシン法などにより 2 層目以降の配線を形成するが、ここではその説明を省略する。なお、各配線は、上記ダマシン技術の他、配線用の導電性膜をパターンニングすることにより形成することもできる。この場合、導電性膜としては、例えばタングステンまたはアルミニウムなどを用いることができる。

【 0 1 3 9 】

(変形例の説明)

前述したように、制御ゲート電極 C G 上に、窒化シリコン膜 C P 2 および酸化シリコン膜 C P 1 を有する図 3 の構成に対し、図 3 9 に示すように、窒化シリコン膜 C P 2 および酸化シリコン膜 C P 1 を省略した構成としてもよい。図 3 9 は、本実施の形態の半導体装置の他のメモリセル構成を示す要部断面図である。

【 0 1 4 0 】

この場合、制御ゲート電極 C G の高さは適宜調整可能であり、制御ゲート電極 C G の高さを窒化シリコン膜 C P 2 を設けた場合の窒化シリコン膜 C P 2 の高さと同程度としてもよい。

10

【 0 1 4 1 】

また、サイドウォール膜 (側壁膜) 5 s の高さ H 5 s については、制御ゲート電極 C G の高さ H C G の 9 0 % 以上に設定することが好ましい ($H 5 s > 0.9 \times H C G$) 。

【 0 1 4 2 】

また、図 3 に示す構成においては、サイドウォール膜 (側壁膜) 5 s の高さ H 5 s を、メモリゲート電極 M G の高さ H M G より低く設定した ($H 5 s < H M G$ 、図 3 参照) が、前述の図 7 に示すように、サイドウォール膜 (側壁膜) 5 s の高さ H 5 s をメモリゲート電極 M G の高さ H M G と同程度としてもよい ($H 5 s = H M G$) 。かかる形状のメモリセルにおいても、上記 < 1 > の欄で説明した、消去特性の向上効果を奏することができ、有用である。

20

【 0 1 4 3 】

次いで、上記形態 (図 3 等参照) のサイドウォール膜 5 s の形状の変形例について以下に説明する。

【 0 1 4 4 】

(変形例 1)

図 4 0 (A) および (B) は、本実施の形態の変形例 1 の半導体装置のメモリセルの構成を示す要部断面図である。サイドウォール膜 5 s の構成以外は、上記形態 (図 3 等参照) と同様であるため、その詳細な説明を省略する。

【 0 1 4 5 】

図 4 0 (A) に示す絶縁膜 5 は、いわゆる多層絶縁膜 (O N O 膜) である。具体的には、第 1 膜 (下層膜) 5 A である酸化シリコン膜と、第 2 膜 (中層膜) 5 N である窒化シリコン膜と、第 3 膜 (上層膜) 5 B である酸化シリコン膜よりなる。第 3 膜 (上層膜) 5 B は、それぞれ酸化シリコン膜よりなるサイドウォール膜 (側壁膜) 5 s とデポ膜 (堆積膜) 5 d との積層膜よりなる。第 2 膜 5 N は、電荷蓄積部である。

30

【 0 1 4 6 】

ここで、本実施の形態においては、サイドウォール膜 5 s の側面が、テーパ形状となっており。言い換えれば、サイドウォール膜 5 s の膜厚が、その上方から下方にかけて大きくなり、サイドウォール膜 5 s の側面とデポ膜 5 d (窒化シリコン膜 (5 N)) とのなす角 (1) が 9 0 ° より大きくなっている。

【 0 1 4 7 】

図 3 に示す構成においては、模式的にサイドウォール膜 5 s の側面を垂直に記載したが、完全な異方性エッチングを行うことは困難であり、僅かに等方性エッチングの成分も含まれるため、エッチング時間が長くなる程、横方向 (ゲート長方向) のエッチングが進行する。その結果、図 3 に示す形態においても、エッチング時間が長くなれば、図 4 0 (B) に示すように、サイドウォール膜 5 s の側面とデポ膜 5 d (窒化シリコン膜 (5 N)) とのなす角 (2) が 9 0 ° より大きくなる。

40

【 0 1 4 8 】

この図 4 0 (B) に対し、図 4 0 (A) においては、テーパ形状が緩やかであり、なす角が図 4 0 (B) の場合より大きくなっている (1 > 2) 。言い換えれば、メモリゲート電極 M G の角部が図 4 0 (B) の場合より、より大きくラウンド化している。

50

【0149】

上記構成とすることで、メモリゲート電極MGの角部における電界集中を緩和し、FNトンネル現象の発生を抑制することができる。これにより、消去（ホール注入）を効率的に行うことができ、消去特性を向上させることができる。

【0150】

テーパ角度を緩やかにするため、言い換えれば、上部と下部の膜厚差を大きくする方法について以下に説明する。

【0151】

上記形態（図3等参照）においては、酸化シリコン膜（5s）のエッチバック工程において、酸化シリコン膜（5s）をその表面から異方的にエッチングした（図18）が、このエッチング工程においてエッチング条件を調整することでテーパ角度を緩やかにすることができる。例えば、等方的なエッチング条件を加味することでテーパ角度を緩やかにすることができる。

10

【0152】

例えば、上記形態（図3等参照）で説明したエッチングガスである CF_4 および CHF_3 の混合ガスのうち、 CHF_3 の流量を CF_4 の流量より多くすることで、等方的なエッチング成分が大きくなり、テーパ角度を緩やかにすることができる。

【0153】

（変形例2）

図41は、本実施の形態の変形例2の半導体装置のメモリセルの構成を示す要部断面図である。

20

【0154】

上記形態（図3等参照）においては、サイドウォール膜（側壁膜）5sの高さH5sが、メモリゲート電極MGの高さHMGより低く、また、制御ゲート電極CGの高さHCGより高くなるように設定した（ $HMG > H5s > HCG$ ）が、制御ゲート電極CGの高さHCGより低くなるように設定してもよい（ $H5s < HCG$ 、図41）。なお、サイドウォール膜5sの構成以外は、上記形態（図3等参照）と同様であるため、その詳細な説明を省略する。

【0155】

図41に示す絶縁膜5は、いわゆる多層絶縁膜（ONO膜）である。具体的には、第1膜（下層膜）5Aである酸化シリコン膜と、第2膜（中層膜）5Nである窒化シリコン膜と、第3膜（上層膜）5Bである酸化シリコン膜よりなる。第3膜（上層膜）5Bは、それぞれ酸化シリコン膜よりなるサイドウォール膜（側壁膜）5sとデポ膜（堆積膜）5dとの積層膜よりなる。第2膜5Nは、電荷蓄積部である。

30

【0156】

ここで、本実施の形態においては、サイドウォール膜（側壁膜）5sの高さH5sが、制御ゲート電極CGの高さHCGより低くなるように設定されている（ $H5s < HCG$ ）。具体的には、サイドウォール膜（側壁膜）5sが、制御ゲート電極CGの高さHCGの30%程度以下で、メモリゲート電極MGの角部にのみサイドウォール膜（側壁膜）5sが配置されている。

40

【0157】

かかる構成によっても、メモリゲート電極MGの角部が、サイドウォール膜（側壁膜）5sにより直接的にラウンド化され、当該部位における電界集中を緩和することができる。よって、FNトンネル現象の発生を抑制ことができ、消去特性を向上させることができる。

【0158】

このように、サイドウォール膜（側壁膜）5sの高さH5sを低くするためには、エッチバック量を多くする必要がある、エッチングの制御性が困難となり得る。

【0159】

そこで、酸化シリコン膜（5s）の膜厚を予め厚く、例えば、メモリゲート電極MGの

50

膜厚の15%以上程度とすることで、メモリゲート電極MGの角部にのみサイドウォール膜(側壁膜)5sを残存させることができる。残存するサイドウォール膜(側壁膜)5sの膜厚(ゲート長方向の膜厚)は、例えば、メモリゲート電極MGの膜厚の10%以上とする。

【0160】

(変形例3)

上記形態(図3等参照)においては、図面を簡易にするため、メモリゲート電極MGのソース領域(MS)側の端部(側面)をほぼ垂直に記載している。しかしながら、図42中の矢印で示すように、メモリゲート電極MGの端部が、サイドウォール膜(側壁膜)5sの形状に対応してソース領域(MS)側に突出していてもよい(図中の矢印部参照)。図42は、本実施の形態の半導体装置の他の構成(変形例3)を示す要部断面図である。

10

【0161】

(実施の形態2)

実施の形態1においては、絶縁膜(ONO膜)5を構成する、第1膜(下層膜)5A、第2膜(中層膜)5Nおよび第3膜(上層膜)5Bのうち、第3膜をサイドウォール膜(側壁膜)5sとデポ膜(堆積膜)5dとの積層膜で構成したが、第1膜5Aをサイドウォール膜(側壁膜)5sとデポ膜(堆積膜)5dとの積層膜で構成してもよい。言い換えれば、実施の形態1においては、絶縁膜(ONO膜)5のメモリゲート電極MG側(外側、上層側)にサイドウォール膜(側壁膜)5sを設けたが、絶縁膜(ONO膜)5の制御ゲート電極CG側(内側、下層側)にサイドウォール膜(側壁膜)5sを設けてもよい。

20

【0162】

図43および図44は、本実施の形態の半導体装置を示す要部断面図であり、図45は、図43のメモリセル部の断面図である。

【0163】

図43に、ドレイン領域(MD)を共有する2つのメモリセルMCの要部断面図を、図44の左部に、nチャネル型MISFETQnの要部断面図を示し、図44の右部に、容量素子Cの要部断面図を示す。

【0164】

なお、絶縁膜5の構成(サイドウォール膜5sの位置)以外は、実施の形態1(図1~3等参照)と同様であるため、その詳細な説明を省略する。

30

【0165】

図45に示す絶縁膜5は、いわゆる多層絶縁膜(ONO膜)である。具体的には、第1膜(下層膜)5Aである酸化シリコン膜と、第2膜(中層膜)5Nである窒化シリコン膜と、第3膜(上層膜)5Bである酸化シリコン膜よりなる。第1膜(下層膜)5Aは、それぞれ酸化シリコン膜よりなるサイドウォール膜(側壁膜)5sとデポ膜(堆積膜)5dとの積層膜よりなる。第2膜5Nは、電荷蓄積部である。

【0166】

第1膜5Aは、前述したように、サイドウォール膜5sとデポ膜5dとの積層膜よりなる。この第1膜5Aは、制御ゲート電極CGの側壁とメモリゲート電極MGの側壁との間に位置する縦部(垂直部)と、半導体基板1(p型ウエルPW1)とメモリゲート電極MGの底部(底面)との間に位置する横部(水平部)とを有する。また、別の言い方をすれば、第1膜5Aは、第2膜5Nの縦部と制御ゲート電極CGの側壁との間に位置する縦部(垂直部)と、第2膜5Nの横部と半導体基板1(p型ウエルPW1)との間に位置する横部(水平部)とを有する。この第1膜5Aの縦部は、サイドウォール膜5sとデポ膜5dの縦部との積層部よりなり、横部はデポ膜5dの横部よりなる。

40

【0167】

ここでは、サイドウォール膜(側壁膜)5sの高さH5sが、メモリゲート電極MGの高さHMGより低く設定されている($HMG > H5s$)。

【0168】

50

このように、サイドウォール膜（側壁膜）5 s の高さ H_{5s} を、メモリゲート電極 M G の高さ H_{MG} より低く設定（ $H_{5s} < H_{MG}$ ）することで、サイドウォール膜（側壁膜）5 s の上方にもメモリゲート電極 M G が延在することとなる。その結果、メモリゲート電極 M G の形成領域およびその表面に形成される金属シリサイド層（11）の形成領域を、サイドウォール膜 5 s の膜厚（ゲート長方向の膜厚）に対応する分だけ、大きく確保することができる。これにより、メモリゲート電極 M G の抵抗を低減することができ、メモリ動作特性を向上させることができる。なお、サイドウォール膜（側壁膜）5 s の高さ H_{5s} は、エッチバック工程のエッチング制御性を考慮すれば、制御ゲート電極 C G の高さ H_{CG} より高く設定することが好ましい（ $H_{5s} > H_{CG}$ ）。

【0169】

10

第1膜5 Aの膜厚について説明する。第1膜の縦部の最大膜厚（ T_1 ）は、サイドウォール膜 5 s の最大膜厚 T_s と酸化シリコン膜（デポ膜）5 d の縦部の膜厚 T_d との和（ $T_s + T_d$ ）となる。また、第1膜の横部の膜厚（ T_2 ）は、酸化シリコン膜（デポ膜）5 d の縦部の膜厚 T_d となる。このように、第1膜の縦部の膜厚は、横部の膜厚より大きくなっている。

【0170】

この第1膜5 Aの横部を介してトンネル現象によりホール（正孔）が第2膜（電荷蓄積部）5 Nに注入され、電荷蓄積部に書き込まれた電子の消去動作が行われる。メモリセルの動作については実施の形態1で説明したとおりである。よって、少なくともこの横部（デポ膜 5 d、トンネル酸化膜）の膜厚が2 nm以下であることが好ましい。なお、縦部の膜厚（ゲート長方向の厚さ）は、2 nm以上であってもよい。

20

【0171】

また、第2膜（中層膜）5 Nは、第1膜5 A上に配置され、制御ゲート電極 C Gの側壁とメモリゲート電極 M Gの側壁との間に位置する縦部（垂直部）と、半導体基板1（p型ウエルPW1）とメモリゲート電極 M Gの底部（底面）との間に位置する横部（水平部）とを有する。また、別の言い方をすれば、第2膜5 Nは、第1膜5 Aの縦部とメモリゲート電極 M Gの側壁との間に位置する縦部（垂直部）と、第1膜5 Aの横部とメモリゲート電極 M Gの底部（底面）との間に位置する横部（水平部）とを有する。

【0172】

第3膜（下層膜）5 Bは、制御ゲート電極 C Gの側壁とメモリゲート電極 M Gの側壁との間に位置する縦部（垂直部）と、半導体基板1（p型ウエルPW1）とメモリゲート電極 M Gの底部（底面）との間に位置する横部（水平部）とを有する。

30

【0173】

本実施の形態のメモリセルの「書込」、「消去」および「読出」動作は、実施の形態1の「動作説明」の欄で説明したとおりである。即ち、書込みは、いわゆるSSI方式と呼ばれるホットエレクトロン書込みを用い、消去は、直接トンネル現象を利用したホール注入による消去方式を用いる。

【0174】

本実施の形態においても、実施の形態1の<1>の欄で説明したように、消去特性を向上させることができる。また、実施の形態1の<2>の欄で説明したように、メモリゲート電極 M Gの抵抗を低減することができ、金属シリサイド層11の形成領域を大きく確保することができる。

40

【0175】

本実施の形態のメモリセルの製法工程については、絶縁膜5の形成工程以外は、実施の形態1（図9～図14、図23～図38等参照）において説明した工程と同様である。

【0176】

次いで、図46～図53を参照しながら、本実施の形態の半導体装置の製造方法、特に、絶縁膜5の形成工程を説明するとともに、当該半導体装置の構成をより明確にする。図46～図53は、本実施の形態の半導体装置のメモリセルの製造工程を示す要部断面図である。

50

【0177】

実施の形態1と同様に、半導体基板1の主面(p型ウエルPW1、PW2の表面)に、絶縁膜(ゲート絶縁膜)3および制御ゲート電極CG等を形成する(図9~図12参照)。なお、制御ゲート電極CG上の窒化シリコン膜CP2および酸化シリコン膜CP1については省略することも可能である(図54参照)。

【0178】

次いで、制御ゲート電極CG(4)の表面(上面および側面)上を含む半導体基板1上に、絶縁膜5(5A、5N、5B)を形成する。この絶縁膜5の形成工程について、図44~図51を参照しながら詳細に説明する。なお、これらの図においては、図面を解かりやすくするため、制御ゲート電極CGの幅(ゲート長)を他の部位に比べ短く表示してある。

10

【0179】

まず、半導体基板1の主面を清浄化処理した後、図46に示すように、制御ゲート電極CGの上面および側面上を含む半導体基板1(p型ウエルPW1)上に酸化シリコン膜(5s)をCVD法により例えば10nm程度の膜厚で堆積する。次いで、酸化シリコン膜(5s)をその表面から異方的にエッチング(エッチバック)する。この工程により、図47に示すように、制御ゲート電極CGの両側の側壁部に、酸化シリコン膜(5s)よりなるサイドウォール膜5sを残存させることができる。上記異方的なエッチングとしては、例えば、 CF_4 および CHF_3 の混合ガスをエッチングガスとして、プラズマ下でドライエッチングすることができる。この際、エッチバック量を多くし、サイドウォール膜(側壁膜)5sの上部が、窒化シリコン膜(キャップ絶縁膜)CP2の上部(上面)より低くなるまでエッチバックする。このように、サイドウォール膜(側壁膜)5sの高さH5sを調整することで、サイドウォール膜(側壁膜)5sの高さH5sが、メモリゲート電極MGの高さHMGより低くなる($H5s < HMG$ 、図45等参照)。なお、この際、周辺回路領域3Aにおいて、容量素子Cを構成する下部電極Pbの側壁部にもサイドウォール膜(側壁膜)5sが形成される。ここでも、サイドウォール膜(側壁膜)5sの高さH5sは、下部電極Pbの高さHPbより低くなる($H5s < HPb$ 、図44参照)。

20

【0180】

このように、サイドウォール膜(側壁膜)5sの高さH5sを調整することで、サイドウォール膜(側壁膜)5sの高さH5sが、メモリゲート電極MGの高さHMGより低くなる($H5s < HMG$)。

30

【0181】

なお、サイドウォール膜5sの形成の際の半導体基板1に対するエッチングダメージを除去するため、サイドウォール膜5sの形成後に、犠牲酸化および犠牲酸化膜のエッチングを行ってもよい。

【0182】

次いで、図48に示すように、サイドウォール膜5s上に、酸化シリコン膜(デポ膜)5dをCVD法により例えば1.6nm程度の膜厚で形成する。このサイドウォール膜5sおよび酸化シリコン膜5dにより、絶縁膜(ONO膜)5を構成する第1膜(下層膜)5Aが構成される。

40

【0183】

前述したように、直接トンネル消去方法を用いるためには、絶縁膜(ONO膜)5を構成する第1膜(下層膜)の横部(酸化シリコン膜5d)の膜厚は、2nm以下が好ましい。

【0184】

次いで、図49に示すように、酸化シリコン膜(酸化シリコン膜5d)5A上に、窒化シリコン膜5NをCVD法で例えば16nm程度の膜厚で堆積する。この窒化シリコン膜5Nは、酸化シリコン膜5Aを介して、制御ゲート電極CGの上面および側面の上部および半導体基板1(p型ウエルPW1)の上部に位置する。前述したように、この窒化シリコン膜5Nが、メモリセルの電荷蓄積部となり、絶縁膜(ONO膜)5を構成する第2膜

50

(中層膜)となる。

【0185】

次いで、図50に示すように、窒化シリコン膜5N上に、酸化シリコン膜5BをCVD法により例えば3nm程度の膜厚で堆積する。この酸化シリコン膜5Bは、酸化シリコン膜5Aおよび窒化シリコン膜5Nを介して、制御ゲート電極CGの上面および側面の上部および半導体基板1(p型ウエルPW1)の上部に位置する。

【0186】

以上の工程により、第1膜(サイドウォール膜5sおよび酸化シリコン膜5d、酸化シリコン膜5A)、第2膜(窒化シリコン膜5N)および第3膜(酸化シリコン膜5B)からなる絶縁膜(ONO膜)5を形成することができる。

10

【0187】

なお、本実施の形態においては、絶縁膜5の内部の電荷蓄積部(電荷蓄積層、トラップ準位を有する絶縁膜)として、窒化シリコン膜5Nを形成しているが、例えば酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜などの他の絶縁膜を用いてもよい。これらの膜は、窒化シリコン膜よりも高い誘電率を有する高誘電率膜である。また、シリコンナノドットを有する絶縁膜を用いて電荷蓄積層を形成してもよい。

【0188】

また、メモリセル領域1Aに形成された絶縁膜5は、メモリゲート電極MGのゲート絶縁膜として機能し、電荷保持(電荷蓄積)機能を有する。したがって、少なくとも3層の積層構造を有し、外側の層(酸化シリコン膜5A、5B)のポテンシャル障壁高さに比べ、内側の層(窒化シリコン膜5N)のポテンシャル障壁高さが低くなるよう構成する。

20

【0189】

次いで、図51に示すように、導電性膜(導電体膜)としてシリコン膜6を形成する。このシリコン膜6として、例えば、多結晶シリコン膜をCVD法などを用いて、50~200nm程度の膜厚で形成する。シリコン膜6として、非晶質シリコン膜を堆積し、熱処理を施すことにより結晶化させてもよい。なお、このシリコン膜6に必要な応じて不純物を導入してもよい。

【0190】

次いで、メモリセル領域1Aのシリコン膜6をエッチバックする(図52)。その後、制御ゲート電極CGの上部の絶縁膜5をエッチングによって除去する(図53)のであるが、上記絶縁膜5の形成工程以降の工程については、実施の形態1において、図23~図38を参照しながら説明した工程と同様であるため、ここではその説明を省略する。

30

【0191】

(変形例の説明)

前述したように、制御ゲート電極CG上に、窒化シリコン膜CP2および酸化シリコン膜CP1を有する図45の構成に対し、図54に示すように、窒化シリコン膜CP2および酸化シリコン膜CP1を省略した構成としてもよい。

【0192】

この場合、制御ゲート電極CGの高さは適宜調整可能であり、制御ゲート電極CGの高さを窒化シリコン膜CP2を設けた場合の窒化シリコン膜CP2の高さと同程度としてもよい。

40

【0193】

また、サイドウォール膜(側壁膜)5sの高さH5sについては、制御ゲート電極CGの高さHCGの90%以上に設定することが好ましい($H5s > 0.9 \times HCG$)。

【0194】

次いで、上記形態(図45等参照)のサイドウォール膜5sの形状の変形例について以下に説明する。

【0195】

(変形例A)

図55は、本実施の形態の変形例Aの半導体装置のメモリセルの構成を示す要部断面図

50

である。サイドウォール膜 5 s の構成以外は、上記形態（図 4 5 等参照）と同様であるため、その詳細な説明を省略する。

【 0 1 9 6 】

図 5 5 に示す絶縁膜 5 は、いわゆる多層絶縁膜（ONO 膜）である。具体的には、第 1 膜（下層膜）5 A である酸化シリコン膜と、第 2 膜（中層膜）5 N である窒化シリコン膜と、第 3 膜（上層膜）5 B である酸化シリコン膜よりなる。第 1 膜（上層膜）5 A は、それぞれ酸化シリコン膜よりなるサイドウォール膜（側壁膜）5 s とデポ膜（堆積膜）5 d との積層膜よりなる。第 2 膜 5 N は、電荷蓄積部である。

【 0 1 9 7 】

ここで、本変形例 A においては、サイドウォール膜 5 s の側面が、テーパ形状となっており、言い換えれば、サイドウォール膜 5 s の膜厚が、上部から下部に沿って大きくなり、サイドウォール膜 5 s の側面とデポ膜 5 d（窒化シリコン膜（5 N））とのなす角（3）が 90°より大きくなっている。言い換えれば、メモリゲート電極 MG の角部が図 4 3 および図 4 5 等に示す場合より、より大きくラウンド化している。

【 0 1 9 8 】

上記構成とすることで、メモリゲート電極 MG の角部における電界集中を緩和し、F N トンネル現象の発生を抑制することができる。これにより、消去（ホール注入）を効率的に行うことができ、消去特性を向上させることができる。

【 0 1 9 9 】

テーパ角度を緩やかにするため、言い換えれば、上部と下部の膜厚差を大きくする方法について以下に説明する。

【 0 2 0 0 】

上記形態においては、酸化シリコン膜（5 s）のエッチバック工程において、酸化シリコン膜（5 s）をその表面から異方的にエッチングした（図 4 5）が、このエッチング工程において等方的なエッチング条件を加味することでテーパ角度をより緩やかにすることができる。

【 0 2 0 1 】

例えば、上記形態（図 4 5 参照）で説明したエッチングガスである CF_4 および CHF_3 の混合ガスのうち、 CHF_3 の流量を CF_4 の流量より多くすることで、等方的なエッチング成分が大きくなり、テーパ角度を緩やかにすることができる。

【 0 2 0 2 】

（変形例 B）

図 5 6 は、本実施の形態の変形例 B の半導体装置のメモリセルの構成を示す要部断面図である。サイドウォール膜 5 s の構成以外は、上記形態（図 4 5 等参照）と同様であるため、その詳細な説明を省略する。

【 0 2 0 3 】

上記形態、即ち、図 4 5 に示す構成においては、サイドウォール膜（側壁膜）5 s の高さ H_{5s} を、メモリゲート電極 MG の高さ H_{MG} より低く設定した（ $H_{5s} < H_{MG}$ 、図 4 5 参照）が、図 5 6 に示すように、サイドウォール膜（側壁膜）5 s の高さ H_{5s} をメモリゲート電極 MG の高さ H_{MG} と同程度としてもよい（ $H_{5s} = H_{MG}$ ）。かかる形状のメモリセルにおいても、上記＜1＞の欄で説明した、消去特性の向上効果を奏することができ有用である。

【 0 2 0 4 】

この場合、制御ゲート電極 CG の上部に形成した酸化シリコン膜（5 s）を、窒化シリコン膜（キャップ絶縁膜）CP2 の上部（上面）と同程度となるまでエッチバックする。異方的なエッチング条件としては、例えば、 CF_4 および CHF_3 の混合ガスをエッチングガスとして、プラズマ下でドライエッチングすることができる。

【 0 2 0 5 】

この後、デポ膜（堆積膜）5 d を形成することで、サイドウォール膜（側壁膜）5 s とデポ膜（堆積膜）5 d との積層膜よりなる第 1 膜（下層膜）5 A が形成される。この第 1

10

20

30

40

50

膜 5 A は、その上方よりその下方に位置する膜の膜厚が、サイドウォール膜（側壁膜）5 s の膜厚分だけ大きくなっている。

【0206】

（実施の形態 3）

以下、図面を参照しながら本実施の形態の半導体装置（半導体記憶装置）の構造と製造方法について詳細に説明する。

【0207】

〔構造説明〕

図 5 7 および図 5 8 は、本実施の形態の半導体装置を示す要部断面図であり、図 5 9 は、図 5 7 のメモリセル部の断面図である。

10

【0208】

まず、本実施の形態で説明する半導体装置は、不揮発性メモリ（不揮発性半導体記憶装置、EEPROM、フラッシュメモリ、不揮発性記憶素子）および周辺回路を有する。

【0209】

不揮発性メモリは、電荷蓄積部としてトラップ性絶縁膜（電荷を蓄積可能な絶縁膜）を用いたものである。また、メモリセル MC は、スプリットゲート型のメモリセルである。即ち、制御ゲート電極（選択ゲート電極）CG を有する制御トランジスタ（選択トランジスタ）と、メモリゲート電極（メモリ用ゲート電極）MG を有するメモリトランジスタとの 2 つの MISFET を接続したものである。

20

【0210】

ここで、電荷蓄積部（電荷蓄積層）を含むゲート絶縁膜およびメモリゲート電極 MG を備える MISFET（Metal Insulator Semiconductor Field Effect Transistor）をメモリトランジスタ（記憶用トランジスタ）といい、また、ゲート絶縁膜および制御ゲート電極 CG を備える MISFET を制御トランジスタ（選択トランジスタ、メモリセル選択用トランジスタ）という。

【0211】

周辺回路とは、不揮発性メモリを駆動するための回路であり、例えば、種々の論理回路などにより構成される。種々の論理回路は、例えば、後述する n チャネル型 MISFET Qn や p チャネル型 MISFET などにより構成される。また、後述する容量素子（ここでは、PIP；Poly-Insulator-Poly）C なども形成される。

30

【0212】

図 5 7 および図 5 8 に示すように、本実施の形態の半導体装置は、半導体基板 1 のメモリセル領域 1 A に配置された不揮発性メモリのメモリセル MC と、周辺回路領域 2 A に配置された n チャネル型 MISFET Qn と、周辺回路領域 3 A に配置された容量素子 C とを有している。

【0213】

図 5 7 に、ドレイン領域（MD）を共有する 2 つのメモリセル MC の要部断面図を、図 5 8 の左部に、n チャネル型 MISFET Qn の要部断面図を示し、図 5 8 の右部に、容量素子 C の要部断面図を示す。

【0214】

40

図 5 7 に示すように、2 つのメモリセルは、ドレイン領域（MD（8b））を挟んでほぼ対称に配置される。なお、メモリセル領域 1 A には、さらに、複数のメモリセル MC が配置される。例えば、図 5 7 に示すメモリセル領域 1 A の左側のメモリセル MC のさらに左にはソース領域（MS）および共有されるドレイン領域（MD）が交互に配置されるようにメモリセル MC が、図 5 7 中の左右方向（ゲート長方向）に配置され、メモリセル列を構成している。また、図 5 7 の紙面に垂直な方向（ゲート幅方向）にも、メモリセル列が複数配置されている。このように、複数のメモリセル MC がアレイ状に形成されている。

【0215】

図 5 8 に示すように、半導体基板（半導体ウエハ）1 には、素子を分離するための素子

50

分離領域 2 が形成されており、この素子分離領域 2 で区画（分離）された活性領域から、p 型ウエル P W 2 が露出している。

【 0 2 1 6 】

なお、メモリセル領域 1 A に示される断面部（図 5 7）においては、素子分離領域 2 は現れないが、メモリセル M C がアレイ状に形成されるメモリセル領域全体（p 型ウエル P W 1）は、素子分離領域 2 で区画されている。さらに、例えば、メモリセル列間（但し、ソース領域（M S）を除く）には、素子分離領域 2 が配置される等、電気的な分離が必要な箇所には適宜、素子分離領域 2 が配置される。また、容量素子 C は、素子分離領域 2 上に形成される。

【 0 2 1 7 】

まず、メモリセル領域 1 A のメモリセル M C の構成について説明する（図 5 7、図 5 9 参照）。

【 0 2 1 8 】

メモリセル M C は、半導体基板 1（p 型ウエル P W 1）の上方に配置された制御ゲート電極（第 1 ゲート電極）C G と、半導体基板 1（p 型ウエル P W 1）の上方に配置され、制御ゲート電極 C G と隣り合うメモリゲート電極（第 2 ゲート電極）M G とを有する。この制御ゲート電極 C G の上部には、薄い酸化シリコン膜 C P 1 および窒化シリコン膜（キャップ絶縁膜）C P 2 が配置されている。メモリセル M C は、さらに、制御ゲート電極 C G および半導体基板 1（p 型ウエル P W 1）間に配置された絶縁膜 3 と、メモリゲート電極 M G と半導体基板 1（p 型ウエル P W 1）との間に配置され、メモリゲート電極 M G と制御ゲート電極 C G との間に配置された絶縁膜 5 とを有する。また、メモリセル M C は、さらに、半導体基板 1 の p 型ウエル P W 1 中に形成されたソース領域 M S およびドレイン領域 M D を有する。

【 0 2 1 9 】

制御ゲート電極 C G およびメモリゲート電極 M G は、それらの対向側面（側壁）の間に絶縁膜 5 を介した状態で、半導体基板 1 の主面上に図 5 7 中の左右方向（ゲート長方向）に並んで配置されている。制御ゲート電極 C G およびメモリゲート電極 M G の延在方向は、図 5 7 の紙面に垂直な方向（ゲート幅方向）である。制御ゲート電極 C G およびメモリゲート電極 M G は、ドレイン領域 M D およびソース領域 M S 間の半導体基板 1（p 型ウエル P W 1）の上部に絶縁膜 3、5 を介して（但し、制御ゲート電極 C G は絶縁膜 3 を介し、メモリゲート電極 M G は絶縁膜 5 を介して）形成されている。ソース領域 M S 側にメモリゲート電極 M G が位置し、ドレイン領域 M D 側に制御ゲート電極 C G が位置している。なお、本明細書では、ソース領域 M S およびドレイン領域 M D を動作時を基準に定義している。後述する書込み動作時に高電圧を印加する半導体領域をソース領域 M S と、書込み動作時に低電圧を印加する半導体領域をドレイン領域 M D と、統一して呼ぶことにする。

【 0 2 2 0 】

制御ゲート電極 C G とメモリゲート電極 M G とは、間に絶縁膜 5 を介在して互いに隣り合っており、メモリゲート電極 M G は、制御ゲート電極 C G の側壁部に絶縁膜 5 を介してサイドウォールスペーサ状に配置されている。また、絶縁膜 5 は、メモリゲート電極 M G と半導体基板 1（p 型ウエル P W 1）の間の領域と、メモリゲート電極 M G と制御ゲート電極 C G の間の領域の、両領域にわたって延在している。この絶縁膜 5 は、後述するように、複数の絶縁膜の積層膜よりなる。

【 0 2 2 1 】

制御ゲート電極 C G と半導体基板 1（p 型ウエル P W 1）の間に形成された絶縁膜 3（すなわち制御ゲート電極 C G の下の絶縁膜 3）が、制御トランジスタのゲート絶縁膜として機能し、メモリゲート電極 M G と半導体基板 1（p 型ウエル P W 1）の間の絶縁膜 5（すなわちメモリゲート電極 M G の下の絶縁膜 5）が、メモリトランジスタのゲート絶縁膜（内部に電荷蓄積部を有するゲート絶縁膜）として機能する。

【 0 2 2 2 】

絶縁膜 3 は、例えば酸化シリコン膜または酸窒化シリコン膜などにより形成することが

10

20

30

40

50

できる。また、絶縁膜 3 として、上述の酸化シリコン膜または酸窒化シリコン膜など以外の、酸化ハフニウム膜、酸化アルミニウム膜（アルミナ）または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する金属酸化膜を使用してもよい。

【0223】

絶縁膜 5 は、電荷障壁膜と電荷蓄積膜とを有する多層絶縁膜である。ここでは、ONO (oxide-nitride-oxide) 膜を用いている。具体的には、第 1 膜（下層膜）5 A である酸化シリコン膜と、第 2 膜（中層膜）5 N である窒化シリコン膜と、第 3 膜（上層膜）5 B である酸窒化シリコン膜（SiON 膜）よりなる。第 1 膜（下層膜）5 A は、それぞれ酸化シリコン膜よりなるサイドウォール膜（側壁膜）5 s とデポ膜（堆積膜）5 d との積層膜よりなる。第 2 膜 5 N は、電荷蓄積部である。

10

【0224】

第 1 膜（下層膜）5 A は、制御ゲート電極 CG の側壁とメモリゲート電極 MG の側壁との間に位置する縦部（垂直部）と、半導体基板 1（p 型ウエル PW1）とメモリゲート電極 MG の底部（底面）との間に位置する横部（水平部）とを有する。言い換えれば、第 1 膜 5 A は、制御ゲート電極 CG の側壁とメモリゲート電極 MG の側壁との間から半導体基板 1 とメモリゲート電極 MG の底部との間にかけて連続的に形成された絶縁膜である。この第 1 膜 5 A の縦部は、サイドウォール膜 5 s とデポ膜 5 d の縦部との積層部よりなり、横部はデポ膜 5 d の横部よりなる。

【0225】

また、第 2 膜（中層膜）5 N は、第 1 膜 5 A 上に配置され、制御ゲート電極 CG の側壁とメモリゲート電極 MG の側壁との間に位置する縦部（垂直部）と、半導体基板 1（p 型ウエル PW1）とメモリゲート電極 MG の底部（底面）との間に位置する横部（水平部）とを有する。言い換えれば、第 2 膜 5 N は、制御ゲート電極 CG の側壁とメモリゲート電極 MG の側壁との間から半導体基板 1 とメモリゲート電極 MG の底部との間にかけて連続的に形成された絶縁膜である。また、別の言い方をすれば、第 2 膜 5 N は、第 1 膜 5 A の縦部とメモリゲート電極 MG の側壁との間に位置する縦部（垂直部）と、第 1 膜 5 A の横部とメモリゲート電極 MG の底部（底面）との間に位置する横部（水平部）とを有する。

20

【0226】

また、第 3 膜 5 B は、制御ゲート電極 CG の側壁とメモリゲート電極 MG の側壁との間に位置する縦部（垂直部）と、半導体基板 1（p 型ウエル PW1）とメモリゲート電極 MG の底部（底面）との間に位置する横部（水平部）とを有する。言い換えれば、第 3 膜 5 B は、制御ゲート電極 CG の側壁とメモリゲート電極 MG の側壁との間から半導体基板 1 とメモリゲート電極 MG の底部との間にかけて連続的に形成された絶縁膜である。また、別の言い方をすれば、第 3 膜 5 B は、第 2 膜 5 N の縦部とメモリゲート電極 MG の側壁との間に位置する縦部（垂直部）と、第 2 膜 5 N の横部とメモリゲート電極 MG の底部（底面）との間に位置する横部（水平部）とを有する。

30

【0227】

メモリゲート電極 MG から上記第 3 膜（トンネル膜）5 B の角部を介して FN トンネル現象によりホール（正孔）が第 2 膜（電荷蓄積部）5 N に注入され、電荷蓄積部に書き込まれた電子の消去動作が行われる。メモリセルの動作については後述する。よって、第 3 膜（トンネル膜）5 B の膜厚は 5 nm 以上 15 nm 以下であることが好ましい。この第 3 膜（トンネル膜）5 B として酸化シリコン膜を用いても良いが、酸窒化シリコン膜を用いることで、バリアハイトが小さくなる。このように、電氣的膜厚を小さくすることで、正孔の注入（透過）がし易くなり、消去特性を向上させることができる。

40

【0228】

また、消去動作時において、半導体基板 1（p 型ウエル PW1）からの電子の注入を阻止するため、第 1 膜（デポ膜 5 d）5 A の膜厚は、2 nm 以上であることが好ましい。また、動作電圧の低電圧化の観点から、第 1 膜（デポ膜 5 d）5 A の膜厚は、6 nm 以下であることが好ましい。

【0229】

50

また、サイドウォール膜（側壁膜）5 s の高さ H 5 s は、メモリゲート電極 M G の高さ H M G より低く設定されている。サイドウォール膜（側壁膜）5 s の高さ H 5 s は、第 1 膜 5 A のデポ膜 5 d の膜厚以上の膜厚であって、絶縁膜 5 の膜厚（サイドウォール膜 5 s 部を除く O N O の総膜厚）以下の膜厚であることが好ましい。具体的には、10 nm 以上 20 nm 以下が好ましい。また、サイドウォール膜（側壁膜）5 s の幅 W 5 s は、第 1 膜 5 A のデポ膜 5 d の膜厚以上の膜厚であって、絶縁膜 5 の膜厚（O N O の総膜厚）以下の膜厚であることが好ましい。具体的には、10 nm 以上 20 nm 以下が好ましい。

【0230】

このように、サイドウォール膜（側壁膜）5 s の高さ H 5 s および幅 W 5 s を、第 1 膜 5 A のデポ膜 5 d の膜厚以上、例えば、10 nm 以上とすることで、精度よく、サイドウォール膜（側壁膜）5 s を加工することができる。また、サイドウォール膜（側壁膜）5 s の高さ H 5 s および幅 W 5 s を、絶縁膜 5 の膜厚（O N O の総膜厚）以下の膜厚、例えば、20 nm 以下とすることで、書込み動作（電子の注入）と上記消去動作（正孔の注入）の双方の特性をバランス良く向上させることができる。

【0231】

なお、上記においては、絶縁膜 5 の形状として、図 5 9 等 に示す側のメモリセルに対応して各積層膜（5 A、5 N、5 B）の形状を説明したが、例えば、図 5 7 に示す左側のメモリセルにおいては、各積層膜の形状は、ドレイン領域（M D（8 b））を挟んでほぼ線対称な形状となる。

【0232】

このように、窒化シリコン膜（5 N）を酸化シリコン膜（5 A）および酸化シリコン膜（5 B）で挟んだ構造とすることで、窒化シリコン膜（5 N）への電荷の蓄積が可能となる。言い換えれば、絶縁膜 5 のうち、窒化シリコン膜（5 N）は、電荷を蓄積するための絶縁膜であり、電荷蓄積層（電荷蓄積部）として機能する。すなわち、窒化シリコン膜（5 N）は、絶縁膜 5 中に形成されたトラップ性絶縁膜であり、窒化シリコン膜（5 N）の上下に位置する酸化シリコン膜（5 A、5 B）は、電荷ブロック層（電荷ブロック膜、電荷閉じ込め層）として機能する。この酸化シリコン膜（5 A）、窒化シリコン膜（5 N）および酸化シリコン膜（5 B）の積層膜は、O N O 膜と呼ばれることもある。なお、ここでは、絶縁膜 5 を O N O 膜として説明したが、第 2 膜 5 N を電荷蓄積機能を有する絶縁膜で構成し、第 1 膜 5 A および第 3 膜 5 B（5 s、5 d）を、第 2 膜 5 N と異なる絶縁膜を用いて構成すれば、他の絶縁膜の組み合わせでもよい。例えば、電荷蓄積機能を有する絶縁膜（電荷蓄積層）としては、例えば、酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜などの絶縁膜を用いてもよい。これらの膜は、窒化シリコン膜よりも高い誘電率を有する高誘電率膜である。また、シリコンナノドットを有する絶縁膜を電荷蓄積層として用いてもよい。

【0233】

上記絶縁膜 5 のうち、メモリゲート電極 M G と半導体基板 1（p 型ウエル P W 1）との間の絶縁膜 5 は、電荷（電子）を保持した状態または電荷を保持しない状態で、メモリトランジスタのゲート絶縁膜として機能する。また、メモリゲート電極 M G と制御ゲート電極 C G との間の絶縁膜 5 は、メモリゲート電極 M G と制御ゲート電極 C G との間を絶縁（電氣的に分離）するための絶縁膜として機能する。

【0234】

メモリゲート電極 M G 下の絶縁膜 5 の下にメモリトランジスタのチャネル領域が形成され、制御ゲート電極 C G 下の絶縁膜 3 の下に制御トランジスタのチャネル領域が形成される。制御ゲート電極 C G 下の絶縁膜 3 の下の制御トランジスタのチャネル形成領域には、制御トランジスタのしきい値調整用の半導体領域（p 型半導体領域または n 型半導体領域）が必要に応じて形成されている。メモリゲート電極 M G 下の絶縁膜 5 の下のメモリトランジスタのチャネル形成領域には、メモリトランジスタのしきい値調整用の半導体領域（p 型半導体領域または n 型半導体領域）が必要に応じて形成されている。

【0235】

前述したとおり、書込み動作時において、ソース領域MSは、高電圧が印加される半導体領域であり、ドレイン領域MDは低電圧が印加される半導体領域である。これらの領域MS、MDは、n型不純物が導入された半導体領域（n型不純物拡散層）よりなる。

【0236】

ドレイン領域MDは、LDD（lightly doped drain）構造の領域である。すなわち、ドレイン領域MDは、n⁻型半導体領域（低濃度不純物拡散層）7bと、n⁻型半導体領域7bよりも高い不純物濃度を有するn⁺型半導体領域（高濃度不純物拡散層）8bとを有している。n⁺型半導体領域8bは、n⁻型半導体領域7bよりも接合深さが深くかつ不純物濃度が高い。

【0237】

また、ソース領域MSも、LDD構造の領域である。すなわち、ソース領域MSは、n⁻型半導体領域（低濃度不純物拡散層）7aと、n⁻型半導体領域7aよりも高い不純物濃度を有するn⁺型半導体領域（高濃度不純物拡散層）8aとを有している。n⁺型半導体領域8aは、n⁻型半導体領域7aよりも接合深さが深くかつ不純物濃度が高い。

【0238】

メモリゲート電極MGおよび制御ゲート電極CGの合成パターンの側壁部には、酸化シリコンなどの絶縁体（酸化シリコン膜、絶縁膜）からなる側壁絶縁膜（サイドウォール、サイドウォールスペーサ）SWが形成されている。すなわち、絶縁膜5を介して制御ゲート電極CGに隣接する側とは逆側のメモリゲート電極MGの側壁（側面）上と、絶縁膜5を介してメモリゲート電極MGに隣接する側とは逆側の制御ゲート電極CGの側壁（側面）上とに、側壁絶縁膜SWが形成されている。

【0239】

ソース領域MSのn⁻型半導体領域7aはメモリゲート電極MGの側壁に対して自己整合的に形成され、n⁺型半導体領域8aはメモリゲート電極MG側の側壁絶縁膜SWの側面に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域7aはメモリゲート電極MG側の側壁絶縁膜SWの下に形成されている。また、高濃度のn⁺型半導体領域8aは低濃度のn⁻型半導体領域7aの外側に形成されている。したがって、低濃度のn⁻型半導体領域7aはメモリトランジスタのチャネル領域に隣接するように形成され、高濃度のn⁺型半導体領域8aは低濃度のn⁻型半導体領域7aに接し、メモリトランジスタのチャネル領域からn⁻型半導体領域7aの分だけ離間するように形成されている。

【0240】

ドレイン領域MDのn⁻型半導体領域7bは制御ゲート電極CGの側壁に対して自己整合的に形成され、n⁺型半導体領域8bは制御ゲート電極CG側の側壁絶縁膜SWの側面に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域7bは制御ゲート電極CG側の側壁絶縁膜SWの下に形成されている。また、高濃度のn⁺型半導体領域8bは低濃度のn⁻型半導体領域7bの外側に形成されている。したがって、低濃度のn⁻型半導体領域7bは制御トランジスタのチャネル領域に隣接するように形成され、高濃度のn⁺型半導体領域8bは低濃度のn⁻型半導体領域7bに接し、制御トランジスタのチャネル領域からn⁻型半導体領域7bの分だけ離間するように形成されている。

【0241】

制御ゲート電極CGは導電性膜（導電体膜）からなるが、好ましくは多結晶シリコン膜のようなシリコン膜4からなる。シリコン膜4は、例えば、n型のシリコン膜（n型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜）であり、n型不純物が導入されて低抵抗率とされている。

【0242】

メモリゲート電極MGは導電性膜（導電体膜）からなり、図57および図58に示すように、例えば、多結晶シリコン膜のようなシリコン膜6により形成されている。このメモリゲート電極MGに、不純物、例えば、n型不純物が含有していてもよい。但し、メモリゲート電極MGの下部においては、n型不純物の濃度が小さい方が好ましく、真性半導体

10

20

30

40

50

(不純物濃度が極めて小さい半導体、ノンドープの半導体)であることがより好ましい。このように、メモリゲート電極MGの下部のn型不純物の濃度を小さくすることで、消去動作時において、正孔をn型不純物から生じた電子と再結合させることなく、効率的に第2膜(電荷蓄積部)5Nに注入され、電荷蓄積部に注入することができる。

【0243】

メモリゲート電極MGの上部(上面)と n^+ 型半導体領域8aおよび n^+ 型半導体領域8bの上面(表面)には、金属シリサイド層(金属シリサイド膜)11が形成されている。金属シリサイド層11は、例えばコバルトシリサイド層またはニッケルシリサイド層などからなる。金属シリサイド層11により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。また、メモリゲート電極MGと制御ゲート電極CGとの間のショートをするだけ防止するという観点から、メモリゲート電極MGと制御ゲート電極CGの一方または両方の上部に金属シリサイド層11を形成しない場合もあり得る。

10

【0244】

次いで、周辺回路領域2Aのnチャネル型MISFETQnについて説明する。

【0245】

図58の左側に示すように、nチャネル型MISFETQnは、周辺回路領域2Aに配置される。このnチャネル型MISFETQnは、半導体基板1(p型ウエルPW2)の上方に配置されたゲート電極GEと、ゲート電極GEと半導体基板1(p型ウエルPW2)間に配置された絶縁膜3と、ゲート電極GEの両側の半導体基板1(p型ウエルPW2)中に形成されたソース、ドレイン領域(7、8)を有する。

20

【0246】

ゲート電極GEの延在方向は、図57の紙面に垂直な方向(ゲート幅方向)である。ゲート電極GEと半導体基板1(p型ウエルPW2)間に配置された絶縁膜3が、nチャネル型MISFETQnのゲート絶縁膜として機能する。ゲート電極GE下の絶縁膜3の下にnチャネル型MISFETQnのチャネル領域が形成される。

【0247】

ソース、ドレイン領域(7、8)は、LDD構造を有し、 n^+ 型半導体領域8と n^- 型半導体領域7よりなる。 n^+ 型半導体領域8は、 n^- 型半導体領域7よりも接合深さが深くかつ不純物濃度が高い。

【0248】

ゲート電極GEの側壁部には、酸化シリコンなどの絶縁体(酸化シリコン膜、絶縁膜)からなる側壁絶縁膜(サイドウォール、サイドウォールスペーサ)SWが形成されている。

30

【0249】

n^- 型半導体領域7はゲート電極GEの側壁に対して自己整合的に形成されている。このため、低濃度の n^- 型半導体領域7はゲート電極GEの側壁部の側壁絶縁膜SWの下に形成される。したがって、低濃度の n^- 型半導体領域7はMISFETのチャネル領域に隣接するように形成されている。また、 n^+ 型半導体領域8は側壁絶縁膜SWの側面に対して自己整合的に形成されている。このように、低濃度の n^- 型半導体領域7はMISFETのチャネル領域に隣接するように形成され、高濃度の n^+ 型半導体領域8は低濃度の n^- 型半導体領域7に接し、MISFETのチャネル領域から n^- 型半導体領域7の分だけ離間するように形成されている。

40

【0250】

ゲート電極GEは導電性膜(導電体膜)からなるが、例えば、上記制御ゲート電極CGと同様に、n型多結晶シリコン膜(n型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜)のようなシリコン膜4で構成することが好ましい。

【0251】

ゲート電極GEの上部(上面)と n^+ 型半導体領域8の上面(表面)には、金属シリサイド層11が形成されている。金属シリサイド層11は、例えばコバルトシリサイド層またはニッケルシリサイド層などからなる。金属シリサイド層11により、拡散抵抗やコン

50

タクト抵抗を低抵抗化することができる。

【 0 2 5 2 】

次いで、周辺回路領域 3 A の容量素子 C について説明する。図 5 8 の右側に示すように、容量素子 C は、周辺回路領域 3 A に配置される。この容量素子 C は、ここでは、P I P 構成を有している。具体的には、上部電極 P a と下部電極 P b とを有し、これらの電極の間に、容量絶縁膜として上記絶縁膜 5 (5 A (5 s 、 5 d) 、 5 N 、 5 B) が配置されている。下部電極 P b は、上記ゲート電極 G E および上記制御ゲート電極 C G と同様に、n 型多結晶シリコン膜 (n 型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜) のようなシリコン膜 4 で構成する。また、上部電極 P a は、上記メモリゲート電極 M G と同様に、多結晶シリコン膜のようなシリコン膜 6 で構成する。なお、下部電極 P b の下層には、絶縁膜 (3) が配置されている。また、上部電極 P a の表面には、金属シリサイド層 1 1 が配置されている。

10

【 0 2 5 3 】

下部電極 P b の上面には、絶縁膜 5 (5 A (5 d) 、 5 N 、 5 B) が配置され、下部電極 P b の側面には、絶縁膜 5 (5 A (5 s 、 5 d) 、 5 N 、 5 B) が配置されている。ここで、下部電極 P b の側面には、絶縁膜 5 を覆うように上部電極 P a が配置され、上部電極 P a に下部電極 P b の側面から半導体基板 1 上に延在する部分に角部を有することになり、この部分で電界が集中し易くなるため容量素子 C の信頼性が低下する恐れがある。しかし、本実施の形態の容量素子 C のように、下部電極 P b の側面に絶縁膜 5 (5 s) が配置されることで、下部電極の角部における電界を緩和することができ、容量素子 C の信頼性を向上させることが可能となる。さらに、下部電極 P b の側面に絶縁膜 5 が配置されることで、容量素子 C の側面における容量値が小さくなり、下部電極 P b と上部電極 P a が平面的に重なる領域のみが容量として寄与するため、容量素子 C の容量の設計値における誤差が小さくなり、半導体装置の歩留まりを向上させることが可能となる。

20

【 0 2 5 4 】

[動作説明]

図 6 0 は、メモリセル M C の等価回路図である。図示するように、ドレイン領域 (M D) とソース領域 (M S) との間に、メモリトランジスタと制御トランジスタとが直列に接続され一つのメモリセルを構成する。図 6 1 は、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。図 6 1 の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、メモリゲート電極 M G に印加する電圧 V_{mg} 、ソース領域 (ソース領域 M S) に印加する電圧 V_s 、制御ゲート電極 C G に印加する電圧 V_{cg} 、ドレイン領域 (ドレイン領域 M D) に印加する電圧 V_d (例えば、 $V_{dd} = 1.5V$)、および p 型ウエル P W 1 に印加される電圧 V_b が記載されている。なお、図 6 1 の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、本実施の形態では、メモリトランジスタの絶縁膜 5 中の電荷蓄積層 (電荷蓄積部) である窒化シリコン膜 (5 N) への電子の注入を「書込」、ホール (hole : 正孔) の注入を「消去」と定義する。

30

【 0 2 5 5 】

書込み方式は、いわゆる S S I (Source Side Injection : ソースサイド注入) 方式と呼ばれるホットエレクトロン書込みを用いることができる。例えば図 6 1 「書込」の欄に示されるような電圧を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルの絶縁膜 5 中の窒化シリコン膜 (5 N) 中に電子 (エレクトロン) を注入する。ホットエレクトロンは、2つのゲート電極 (メモリゲート電極 M G および制御ゲート電極 C G) 間の下のチャネル領域 (ソース、ドレイン間) で発生し、メモリゲート電極 M G の下の絶縁膜 5 中の電荷蓄積層 (電荷蓄積部) である窒化シリコン膜 (5 N) にホットエレクトロンが注入される。注入されたホットエレクトロン (電子) は、絶縁膜 5 中の窒化シリコン膜 (5 N) 中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。

40

50

【0256】

消去方法は、F Nトンネル現象を利用したメモリゲート電極M G側からのホール注入による消去方式を用いることができる。詳細は後述する。このような消去方式を用いた場合には、いわゆるB T B T (Band-To-Band Tunneling: バンド間トンネル現象) 消去を用いた場合(図6 (B) 参照)と比較し、消費電流を低減することができる。

【0257】

読出し時には、例えば図6 1の「読出し」の欄に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極M Gに印加する電圧 V_{mg} を、書き込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるメモリトランジスタのしきい値電圧との間の値にすることで、メモリセルに電流が流れるか否かで、書き込み状態と消去状態とを判別することができる。

10

【0258】

図6 2は、本実施の形態および比較例のメモリセル部の消去状態を示す要部断面図であり、図6 3は、本実施の形態および比較例のメモリセル部の消去工程時における正孔の分布を模式的に示す断面図である。

【0259】

図6 2 (A) は、本実施の形態の比較例のメモリセル部の消去状態を示す。この比較例においては、図示するように、サイドウォール膜5 sを省略した構造となっている。この比較例のメモリセルにおいて、半導体基板側からのホール注入による消去方式(第1トンネル消去方式)を用いた場合について説明する。

20

【0260】

この場合、メモリゲート電極M G (V_{mg}) に、例えば、 $-11V$ の負電位を印加し、p型ウエルPW1 (V_b) を、例えば、 $0V$ とする(図5参照)。これにより、窒化シリコン膜(5 N)を介して直接トンネル現象により生じたホール(h)が電荷蓄積部(絶縁膜5中の窒化シリコン膜(5 N))に注入され、窒化シリコン膜(5 N)中のエレクトロン(電子)を相殺する、もしくは注入されたホールが窒化シリコン膜(5 N)中のトラップ準位に捕獲される。これによりメモリトランジスタのしきい値電圧が低下する(消去状態となる)。この際、実施の形態1および2では、メモリゲート電極M G側からの電子(e)の注入を抑制するためにサイドウォール膜5 sを設けている(図7、図4 5等参照)。

30

【0261】

一方、本実施の形態のメモリセル部においては、メモリゲート電極M G側からのホール注入による消去方式(第2トンネル消去方式)を用いることができる。この場合、例えば、メモリゲート電極M G (V_{mg}) に、 $+12V$ の正電位を印加し、p型ウエルPW1 (V_b) を、例えば、 $0V$ とする(図6 1参照)。これにより、窒化シリコン膜(5 N)を介してF Nトンネル現象により生じたホール(h)が電荷蓄積部(絶縁膜5中の窒化シリコン膜(5 N))に注入され、窒化シリコン膜(5 N)中のエレクトロン(電子)を相殺する、もしくは注入されたホールが窒化シリコン膜(5 N)中のトラップ準位に捕獲される。これによりメモリトランジスタのしきい値電圧が低下する(消去状態となる)。この際、半導体基板側からの電子(e)のF Nトンネルによる注入を抑制するために、窒化シリコン膜(5 N)の下層の酸化シリコン膜(5 A)の膜厚を $2nm$ 以上 $6nm$ 以下とし、 V_{mg} と V_b との電位差を $8 \sim 16V$ とすることが好ましい。

40

【0262】

さらに、本実施の形態のメモリセル部においては、サイドウォール膜5 sを設けることにより、電界の集中箇所の分散化が可能となり、より広いチャネル領域(幅 D_b)においてホールが注入され、消去特性が向上する。

【0263】

即ち、本実施の形態および比較例のメモリセル部の消去工程時における正孔の分布を模式的に示す図6 3に示すように、比較例のメモリセル部においては、窒化シリコン膜(5 N)の角部(図中の破線丸部)が、1箇所であり、その角度 α が 90° 程度となる。一

50

方、サイドウォール膜 5 s を設けた本実施の形態においては、窒化シリコン膜 (5 N) の角部 (図中の破線丸部) が、2 箇所分散し、その角度 b が 90° より大きくなる。

【 0 2 6 4 】

よって、比較例のメモリセル部においては、正孔分布領域 hA が狭く、正孔が集中して注入されている。正孔分布領域 hA のゲート長方向 (図の左右方向) の幅を Da とする。即ち、正孔分布領域 hA 中の単位体積当たりの正孔の量 (正孔濃度) が大きくなる。また、この正孔濃度は、角部において大きく、角部から遠ざかるにつれて小さくなる。

【 0 2 6 5 】

一方、本実施の形態のメモリセル部においては、正孔分布領域 hA が上記比較例の場合より広くなる ($Db > Da$)。言い換えれば、より広いチャネル領域で消去 (FN 消去) が生じる。また、正孔濃度は小さくなるものの、窒化シリコン膜 (5 N) の角部 (図中の破線丸部) が、2 箇所分散することにより、チャネル領域において正孔濃度の濃度差が緩和され、比較例の場合より、正孔濃度の分布がより均一化する。よって、より広いチャネル領域でより均一的な正孔の注入が可能となり、消去特性を向上させることができる。

【 0 2 6 6 】

特に、メモリセル部の微細化に伴い、メモリゲート電極 MG のゲート長は縮小する傾向にある。このように、メモリゲート電極 MG のゲート長が微細化する場合においても、より広いチャネル領域でより均一的な正孔の注入により、メモリセル部の消去特性を向上させることができる。

【 0 2 6 7 】

このように、本実施の形態においては、上記第 2 トンネル消去方式を採用した場合において、上記サイドウォール膜 5 s を有する構造とすることで、その消去特性を向上させることができる。

【 0 2 6 8 】

もちろん、本実施の形態の構成においては、サイドウォール膜 5 s を設けることにより、メモリゲート電極 MG の角部と半導体基板 (PW1) 間において、絶縁膜 5 の角部における上面と下面との距離 $D1$ を大きくすることができる (図 5 9 参照)。よって、上記第 1 トンネル消去方式を用いた場合においても、実施の形態 1 および 2 で詳細に説明したように、角部における電界集中を緩和でき、消去特性を向上させることができる。

【 0 2 6 9 】

[製法説明]

次いで、図 6 4 ~ 図 9 3 を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図 6 4 ~ 図 9 3 は、本実施の形態の半導体装置の製造工程を示す要部断面図である。このうち、図 7 0 ~ 図 7 7 は、メモリセル領域の要部断面図である。なお、前述したように、1 A は、メモリセル領域を、2 A および 3 A は、周辺回路領域を示し、2 A には、 n チャネル型 MISFET Qn が、3 A には、容量素子 C が形成される。

【 0 2 7 0 】

まず、図 6 4 および図 6 5 に示すように、半導体基板 (半導体ウエハ) 1 として、例えば $1 \sim 10$ cm 程度の比抵抗を有する p 型の単結晶シリコンからなるシリコン基板を準備する。なお、シリコン基板以外の半導体基板 1 を用いてもよい。

【 0 2 7 1 】

次いで、半導体基板 1 の主面に素子分離領域 2 を形成する。例えば、半導体基板 1 中に素子分離溝を形成し、この素子分離溝の内部に絶縁膜を埋め込むことにより、素子分離領域 2 を形成する (図 6 5)。このような素子分離法は、STI (Shallow Trench Isolation) 法と呼ばれる。この他、LOCOS (Local Oxidization of Silicon) 法などを用いて素子分離領域 2 を形成してもよい。なお、メモリセル領域 1 A に示される断面部 (図 6 4) においては、素子分離領域 2 は現れないが、前述したように素子分離領域 2 が配置される等、電気的な分離が必要な箇所には適宜、素子分離領域 2 が配置される。

【 0 2 7 2 】

次いで、半導体基板 1 のメモリセル領域 1 A に p 型ウエル P W 1 を、半導体基板 1 の周辺回路領域 2 A に p 型ウエル P W 2 を、それぞれ形成する。p 型ウエル P W 1、P W 2 は、p 型不純物（例えばホウ素（B）など）をイオン注入することによって形成する。なお、ここでは、図 6 5 に示すように、周辺回路領域 3 A に形成された素子分離領域 2 の下部にも p 型ウエル P W 2 が薄く配置されている。

【0273】

次いで、希釈フッ酸洗浄などによって半導体基板 1（p 型ウエル P W 1、P W 2）の表面を清浄化した後、図 6 6 および図 6 7 に示すように、半導体基板 1 の主面（p 型ウエル P W 1、P W 2 の表面）に、絶縁膜（ゲート絶縁膜）3 として、例えば、酸化シリコン膜を熱酸化法により、2 ~ 3 nm 程度の膜厚で形成する。絶縁膜 3 としては、酸化シリコン膜の他、酸化窒化シリコン膜などの他の絶縁膜を用いてもよい。また、この他、酸化ハフニウム膜、酸化アルミニウム膜（アルミナ）または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する金属酸化膜、および酸化膜等と金属酸化膜との積層膜を形成してもよい。また、熱酸化法その他、C V D（Chemical Vapor Deposition：化学的気相成長）法を用いて形成してもよい。また、メモリセル領域 1 A 上の絶縁膜（ゲート絶縁膜）3 と周辺回路領域 2 A 上の絶縁膜（ゲート絶縁膜）3 を異なる膜厚とし、また、異なる膜種で構成してもよい。

【0274】

次に、半導体基板 1 の全面上に、導電性膜（導電体膜）としてシリコン膜 4 を形成する。このシリコン膜 4 として、例えば、多結晶シリコン膜を C V D 法などを用いて、100 ~ 200 nm 程度の膜厚で形成する。シリコン膜 4 として、非晶質シリコン膜を堆積し、熱処理を施すことにより結晶化させてもよい。このシリコン膜 4 は、メモリセル領域 1 A において制御ゲート電極 C G となり、周辺回路領域 2 A において n チャネル型 M I S F E T Q n のゲート電極 G E となり、周辺回路領域 3 A において容量素子 C の下部電極 P b となる。

【0275】

次いで、メモリセル領域 1 A のシリコン膜 4 中に、n 型不純物（例えばヒ素（As）またはリン（P）など）を注入する。

【0276】

次いで、シリコン膜 4 の表面を例えば 6 nm 程度、熱酸化することにより、薄い酸化シリコン膜 C P 1 を形成する。なお、この酸化シリコン膜 C P 1 を C V D 法を用いて形成してもよい。次いで、酸化シリコン膜 C P 1 の上部に、C V D 法などを用いて、80 ~ 90 nm 程度の窒化シリコン膜（キャップ絶縁膜）C P 2 を形成する。

【0277】

次いで、制御ゲート電極 C G の形成予定領域に、フォトリソグラフィ法を用いてフォトレジスト膜（図示せず）を形成し、このフォトレジスト膜をマスクとして用いて、窒化シリコン膜 C P 2、酸化シリコン膜 C P 1 およびシリコン膜 4 をエッチングする。この後、フォトレジスト膜をアッシングなどにより除去することにより、制御ゲート電極 C G（例えば、ゲート長が 80 nm 程度）を形成する。このような、フォトリソグラフィからフォトレジスト膜の除去までの一連の工程をパターニングという。なお、ここでは、制御ゲート電極 C G の上部に、窒化シリコン膜 C P 2 および酸化シリコン膜 C P 1 を形成したが、これらの膜を省略することも可能である（図 9 5 参照）。この場合、制御ゲート電極 C G の高さは適宜調整可能であり、制御ゲート電極 C G の高さを窒化シリコン膜 C P 2 を設けた場合の窒化シリコン膜 C P 2 の高さと同程度としてもよい。

【0278】

ここで、メモリセル領域 1 A において、制御ゲート電極 C G の下に残存する絶縁膜 3 が、制御トランジスタのゲート絶縁膜となる。なお、制御ゲート電極 C G で覆われた部分以外の絶縁膜 3 は、以降のパターニング工程などにより除去され得る。

【0279】

次いで、周辺回路領域 3 A の窒化シリコン膜 C P 2 および酸化シリコン膜 C P 1 をエッ

10

20

30

40

50

チングにより除去する（図 6 9 参照）。

【 0 2 8 0 】

次いで、図 6 8 および図 6 9 に示すように、制御ゲート電極 C G (4) の表面（上面および側面）上を含む半導体基板 1 上に、絶縁膜 5 (5 A、5 N、5 B) を形成する。この絶縁膜 5 の形成工程については、メモリセル領域 1 A の要部断面図である図 7 0 ~ 図 7 7 を参照しながら詳細に説明する。なお、図 7 0 ~ 図 7 7 においては、図面を解かりやすくするため、制御ゲート電極 C G の幅（ゲート長）を他の部位に比べ短く表示してある。

【 0 2 8 1 】

まず、半導体基板 1 の主面を清浄化処理した後、図 7 0 に示すように、制御ゲート電極 C G の上面および側面上を含む半導体基板 1 (p 型ウエル P W 1) 上に、酸化シリコン膜 (5 s) を C V D 法により例えば 1 0 n m ~ 3 0 n m 程度の膜厚で堆積する。次いで、酸化シリコン膜 (5 s) をその表面から異方的にエッチング（エッチバック）する。この工程により、図 7 1 に示すように、制御ゲート電極 C G の両側の側壁部に、酸化シリコン膜 (5 s) よりなるサイドウォール膜 5 s を残存させることができる。サイドウォール膜（側壁膜）5 s の高さ H 5 s および幅 W 5 s は、具体的には、1 0 n m 以上 2 0 m 以下が好ましい。上記異方的なエッチングとしては、例えば、C F ₄ および C H F ₃ の混合ガスをエッチングガスとして、プラズマ下でドライエッチングすることができる。

【 0 2 8 2 】

次いで、図 7 2 に示すように、制御ゲート電極 C G の上面および側面上を含む半導体基板 1 (p 型ウエル P W 1) およびサイドウォール膜 5 s 上に、酸化シリコン膜（デポ膜）5 d を C V D 法により例えば 4 n m 程度の膜厚で形成する。このサイドウォール膜 5 s および酸化シリコン膜 5 d により、絶縁膜（O N O 膜）5 を構成する第 1 膜（下層膜）が構成される。

【 0 2 8 3 】

この酸化シリコン膜（デポ膜）5 d を、熱酸化法（好ましくは I S S G (In Situ Steam Generation) 酸化）により形成してもよい（図 9 4 参照）。なお、図 7 2 においては、C V D 法で形成した場合の酸化シリコン膜 5 A (5 s、5 d) の形状を示してある。

【 0 2 8 4 】

前述したように、消去特性を良好とするためには、絶縁膜（O N O 膜）5 を構成する第 1 膜（下層膜）の酸化シリコン膜（デポ膜）5 d の膜厚は、2 n m 以上 6 n m 以下とすることが好ましい。

【 0 2 8 5 】

次いで、図 7 3 に示すように、酸化シリコン膜（デポ膜 5 d）5 A 上に、窒化シリコン膜 5 N を C V D 法で例えば 7 n m 程度の膜厚で堆積する。この窒化シリコン膜 5 N は、酸化シリコン膜 5 A を介して、制御ゲート電極 C G の上面および側面の上部および半導体基板 1 (p 型ウエル P W 1) の上部に位置する。前述したように、この窒化シリコン膜 5 N が、メモリセルの電荷蓄積部となり、絶縁膜（O N O 膜）5 を構成する第 2 膜（中層膜）となる。

【 0 2 8 6 】

次いで、図 7 4 に示すように、窒化シリコン膜 5 N 上に、第 3 膜 5 B として酸窒化シリコン膜を C V D 法により例えば 5 n m ~ 1 5 n m 程度の膜厚で堆積する。この第 3 膜（酸窒化シリコン膜）5 B は、酸化シリコン膜 5 A および窒化シリコン膜 5 N を介して、制御ゲート電極 C G の上面および側面の上部および半導体基板 1 (p 型ウエル P W 1) の上部に位置する。前述したように、メモリゲート電極 M G からこの第 3 膜（トンネル膜）5 B を介して F N トンネル現象によりホール（正孔）を第 2 膜（電荷蓄積部）5 N に効率的に注入するには、第 3 膜のバリアハイトがより小さい方が好ましい。よって、第 3 膜 5 B として、酸窒化膜を用いることで、消去特性を向上させることができる。

【 0 2 8 7 】

以上の工程により、第 1 膜（サイドウォール膜 5 s および酸化シリコン膜 5 d、酸化シリコン膜 5 A）、第 2 膜（窒化シリコン膜 5 N）および第 3 膜（酸化シリコン膜 5 B）が

らなる絶縁膜（ONO膜）5を形成することができる。

【0288】

なお、上記工程においては、サイドウォール膜5sを形成した後、酸化シリコン膜5dを形成したが、酸化シリコン膜5dを形成した後、その上部にサイドウォール膜5sを形成してもよい。但し、サイドウォール膜5sを形成した後、酸化シリコン膜5dを形成する方が、サイドウォール膜5sの形成時のエッチングの制御性が良好である。

【0289】

また、本実施の形態においては、絶縁膜5の内部の電荷蓄積部（電荷蓄積層、トラップ準位を有する絶縁膜）として、窒化シリコン膜5Nを形成しているが、例えば酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜などの他の絶縁膜を用いてもよい。これらの膜は、窒化シリコン膜よりも高い誘電率を有する高誘電率膜である。また、シリコンナノドットを有する絶縁膜を用いて電荷蓄積層を形成してもよい。

10

【0290】

また、メモリセル領域1Aに形成された絶縁膜5は、メモリゲート電極MGのゲート絶縁膜として機能し、電荷保持（電荷蓄積）機能を有する。したがって、少なくとも3層の積層構造を有し、外側の層（酸化シリコン膜5A、5B）のポテンシャル障壁高さに比べ、内側の層（窒化シリコン膜5N）のポテンシャル障壁高さが低くなるよう構成する。

【0291】

次いで、図75に示すように、導電性膜（導電体膜）としてシリコン膜6を形成する。このシリコン膜6として、例えば、ソンドープの多結晶シリコン膜をCVD法などを用いて、50～200nm程度の膜厚で形成する。シリコン膜6として、非晶質シリコン膜を堆積し、熱処理を施すことにより結晶化させてもよい。

20

【0292】

次いで、メモリセル領域1Aのシリコン膜6をエッチバックする（図76）。その後、制御ゲート電極CGの上部等の絶縁膜5をエッチングによって除去する（図77）のであるが、上記シリコン膜6の形成工程以降の工程については、図78～図93を参照しながらさらに詳細に説明する。

【0293】

図78および図79に示すように、絶縁膜5の上部に、シリコン膜6として、例えば、多結晶シリコン膜をCVD法などを用いて、50～200nm程度の膜厚で形成する。シリコン膜6として、非晶質シリコン膜を堆積し、熱処理を施すことにより結晶化させてもよい。また、このシリコン膜6は、後述するように、メモリセル領域1Aにおいてメモリゲート電極MG（例えば、ゲート長が50nm程度）となり、周辺回路領域3Aにおいて容量素子Cの上部電極Paとなる。

30

【0294】

次いで、図80および図81に示すように、メモリセル領域1Aのシリコン膜6をエッチバックする（選択的に除去する）。このエッチバック工程では、シリコン膜6をその表面から所定の膜厚分だけ異方性のドライエッチングにより除去する。この工程により、制御ゲート電極CGの両側の側壁部に、絶縁膜5を介して、シリコン膜6を、サイドウォールスペーサ状に残存させることができる（図80、図76参照）。この際、周辺回路領域2Aにおいては、シリコン膜6がエッチングされ、シリコン膜4の上部の窒化シリコン膜CP2が露出する（図81）。なお、周辺回路領域3Aは、フォトレジスト膜（図示せず）などで覆い、シリコン膜6のエッチングは行わない。もちろん、上部電極Paを所望の形状にパターニングしたい場合には、この工程を利用してパターニングを行ってもよい。

40

【0295】

上記制御ゲート電極CGの両方の側壁部のうち、一方の側壁部に残存したシリコン膜6により、メモリゲート電極MGが形成される。また、他方の側壁部に残存したシリコン膜6により、シリコンスペーサSP1が形成される（図80）。メモリゲート電極MGとシリコンスペーサSP1とは、制御ゲート電極CGの互いに反対側となる側壁部に形成されており、制御ゲート電極CGを挟んでほぼ対称な構造となる。

50

【0296】

上記メモリゲート電極MGの下に絶縁膜5が、メモリトランジスタのゲート絶縁膜となる。シリコン膜6の堆積膜厚に対応してメモリゲート長（メモリゲート電極MGのゲート長）が決まる。

【0297】

次いで、図82および図83に示すように、制御ゲート電極CGの上部の絶縁膜5をエッチングによって除去する。これにより、制御ゲート電極CGの上部の窒化シリコン膜CP2が露出し、p型ウエルPW1が露出する（図82、図77参照）。この際、周辺回路領域2Aにおいて、絶縁膜5がエッチングされ、シリコン膜4が露出する。

【0298】

次いで、周辺回路領域2Aにおいて、シリコン膜4に不純物を導入する。例えば、nチャネル型MISFETQnの形成予定領域のシリコン膜4には、リンなどのn型不純物を注入する。なお、図示していないが、pチャネル型MISFETの形成予定領域には逆導電型（p型）の不純物を注入する。

【0299】

次いで、シリコン膜4のnチャネル型MISFETQnのゲート電極GEの形成予定領域に、フォトリソグラフィ法を用いてフォトレジスト膜（図示せず）を形成し、このフォトレジスト膜をマスクとして用いて、シリコン膜4をエッチングする。その後、フォトレジスト膜をアッシングなどにより除去することにより、ゲート電極GEを形成する（図83）。ゲート電極GEの下に残存する絶縁膜3が、nチャネル型MISFETQnのゲート絶縁膜となる。なお、ゲート電極GEで覆われた部分以外の絶縁膜3は、上記ゲート電極GEの形成時に除去してもよいし、また、以降のパターニング工程などにより除去してもよい。

【0300】

次いで、図84および図85に示すように、メモリセル領域1Aにおいて、制御ゲート電極CG側の半導体基板1（p型ウエルPW1）中に、ヒ素（As）またはリン（P）などのn型不純物を注入することで、n⁻型半導体領域7aおよびn⁻型半導体領域7bを形成する。この際、n⁻型半導体領域7aは、メモリゲート電極MGの側壁（絶縁膜5を介して制御ゲート電極CGと隣り合う側とは反対側の側壁）に自己整合して形成される。また、n⁻型半導体領域7bは、制御ゲート電極CGの側壁（絶縁膜5を介してメモリゲート電極MGと隣り合う側とは反対側の側壁）に自己整合して形成される。また、周辺回路領域2Aにおいて、ゲート電極GEの両側の半導体基板1（p型ウエルPW2）中に、ヒ素（As）またはリン（P）などのn型不純物を注入することで、n⁻型半導体領域7を形成する。この際、n⁻型半導体領域7は、ゲート電極GEの側壁に自己整合して形成される。

【0301】

n⁻型半導体領域7aとn⁻型半導体領域7bとn⁻型半導体領域7とは、同じイオン注入工程で形成してもよいが、ここでは、異なるイオン注入工程で形成している。このように、異なるイオン注入工程で形成することにより、n⁻型半導体領域7a、n⁻型半導体領域7bおよびn⁻型半導体領域7をそれぞれ所望の不純物濃度および所望の接合の深さで形成することが可能となる。

【0302】

次いで、図86および図87に示すように、メモリセル領域1Aにおいて、制御ゲート電極CGおよびメモリゲート電極MGが絶縁膜5を介して隣り合ったパターン（合成パターン）の側壁部に、例えば酸化シリコンなどの絶縁膜からなる側壁絶縁膜SWを形成する。また、周辺回路領域2Aにおいて、ゲート電極GEの側壁部に、側壁絶縁膜SWを形成する。例えば、半導体基板1の主面全面上に酸化シリコン膜などの絶縁膜を堆積し、この絶縁膜をエッチバックすることによって、上記合成パターン（CG、MG）の側壁部およびゲート電極GEの側壁部に側壁絶縁膜SWを形成する。側壁絶縁膜SWとしては、酸化シリコン膜の他、窒化シリコン膜または酸化シリコン膜と窒化シリコン膜との積層膜など

10

20

30

40

50

を用いて形成してもよい。

【0303】

次いで、図88および図89に示すように、制御ゲート電極CG、メモリゲート電極MGおよび側壁絶縁膜SWをマスクとして、ヒ素(As)またはリン(P)などのn型不純物を、半導体基板1(p型ウエルPW1)に注入することで、高不純物濃度のn⁺型半導体領域8aおよびn⁺型半導体領域8bを形成する。この際、n⁺型半導体領域8aは、メモリセル領域1Aにおいて、メモリゲート電極MG側の側壁絶縁膜SWに自己整合して形成される。また、n⁺型半導体領域8bは、メモリセル領域1Aにおいて、制御ゲート電極CG側の側壁絶縁膜SWに自己整合して形成される。n⁺型半導体領域8aは、n⁻型半導体領域7aよりも不純物濃度が高く、接合の深さが深い半導体領域として形成される。n⁺型半導体領域8bは、n⁻型半導体領域7bよりも不純物濃度が高く、接合の深さが深い半導体領域として形成される。

10

【0304】

また、この際、メモリゲート電極MGが露出しているため、メモリゲート電極MGの上部にもn型不純物が注入される。しかしながら、メモリゲート電極MGの下部においては、n型不純物の拡散量が少なく、好ましくは、真性半導体(ノンドープの半導体)である。このように、メモリゲート電極MGの下部のn型不純物の濃度を小さくすることで、消去動作時において、正孔をn型不純物から生じた電子と再結合させることなく、効率的に第2膜(電荷蓄積部)5Nに注入され、電荷蓄積部に注入することができる。

20

【0305】

また、周辺回路領域2Aにおいて、ゲート電極GEの両側の半導体基板1(p型ウエルPW2)中に、ヒ素(As)またはリン(P)などのn型不純物を注入することで、n⁺型半導体領域8を形成する。この際、n⁺型半導体領域8は、周辺回路領域2Aにおいて、ゲート電極GEの側壁部の側壁絶縁膜SWに自己整合して形成される。これにより、周辺回路領域2Aにおいて、ゲート電極GEの両側にLDD構造のソース、ドレイン領域(7、8)が形成される。

【0306】

上記工程により、n⁻型半導体領域7bとそれよりも高不純物濃度のn⁺型半導体領域8bとにより、メモリトランジスタのドレイン領域として機能するn型のドレイン領域MDが構成され、n⁻型半導体領域7aとそれよりも高不純物濃度のn⁺型半導体領域8aとにより、メモリトランジスタのソース領域として機能するn型のソース領域MSが構成される。

30

【0307】

次に、ソース領域MS(n⁻型半導体領域7aおよびn⁺型半導体領域8a)、ドレイン領域MD(n⁻型半導体領域7bおよびn⁺型半導体領域8b)およびソース、ドレイン領域(7、8)に導入された不純物を活性化するための熱処理を行う。

【0308】

以上の工程により、メモリセル領域1Aに不揮発性メモリのメモリセルMCが、周辺回路領域2Aにnチャネル型MISFETQnが形成される。また、周辺回路領域3Aには、容量素子Cが形成される。

40

【0309】

次いで、必要に応じて、例えば希フッ酸などを用いたウェットエッチングを行って、半導体基板1の主表面を清浄化する。これにより、n⁺型半導体領域8aの上面とn⁺型半導体領域8bの上面と制御ゲート電極CGの上面とメモリゲート電極MGの上面とが清浄化され、自然酸化膜などの不要物が除去される。また、n⁺型半導体領域8の上面とゲート電極GEの上面とが清浄化され、自然酸化膜などの不要物が除去される。

【0310】

次いで、図90および図91に示すように、サリサイド技術を用いて、メモリゲート電極MG、n⁺型半導体領域8aおよびn⁺型半導体領域8bの上部に、それぞれ金属シリサイド層(金属シリサイド膜)11を形成する。また、ゲート電極GEおよびn⁺型半導

50

体領域 8 の上部に、それぞれ金属シリサイド層 11 を形成する。また、容量素子 C の上部電極 P a の上部に、金属シリサイド層 11 を形成する。

【 0 3 1 1 】

この金属シリサイド層 11 により、拡散抵抗やコンタクト抵抗などを低抵抗化することができる。この金属シリサイド層 11 は、次のようにして形成することができる。

【 0 3 1 2 】

例えば、半導体基板 1 の主面全面上に、金属膜（図示せず）を形成し、半導体基板 1 に対して熱処理を施すことによって、メモリゲート電極 M G、ゲート電極 G E、 n^+ 型半導体領域 8、8 a、8 b および上部電極 P a の上層部分と上記金属膜とを反応させる。これにより、メモリゲート電極 M G、ゲート電極 G E、 n^+ 型半導体領域 8、8 a、8 b および上部電極 P a の上部に、それぞれ金属シリサイド層 11 が形成される。上記金属膜は、例えばコバルト（C o）膜またはニッケル（N i）膜などからなり、スパッタリング法などを用いて形成することができる。

10

【 0 3 1 3 】

次いで、未反応の金属膜を除去した後、半導体基板 1 の主面全面上に、絶縁膜（層間絶縁膜）12 として、例えば、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と該窒化シリコン膜上に該窒化シリコン膜よりも厚く形成された酸化シリコン膜との積層膜を、例えば C V D 法などを用いて形成する。この絶縁膜 12 の形成後、必要に応じて C M P（Chemical Mechanical Polishing）法などを用いて絶縁膜 12 の上面を平坦化する。

【 0 3 1 4 】

20

次いで、絶縁膜 12 をドライエッチングすることにより、絶縁膜 12 にコンタクトホール（開口部、貫通孔）を形成する。次いで、コンタクトホール内に、バリア導体膜 13 a および主導体膜 13 b の積層膜を形成する。次いで、絶縁膜 12 上の不要な主導体膜 13 b およびバリア導体膜 13 a を C M P 法またはエッチバック法などによって除去することにより、プラグ P G を形成する。このプラグ P G は、例えば、 n^+ 型半導体領域 8、8 a、8 b の上部に形成される。また、図 9 0 および図 9 1 に示す断面には現れないが、プラグ P G は、例えば制御ゲート電極 C G、メモリゲート電極 M G およびゲート電極 G E の上部などにも形成される。なお、バリア導体膜 13 a としては、例えば、チタン膜、窒化チタン膜、あるいはこれらの積層膜を用いることができる。また、主導体膜 13 b としては、タンゲステン膜などを用いることができる。

30

【 0 3 1 5 】

次いで、図 9 2 および図 9 3 に示すように、プラグ P G が埋め込まれた絶縁膜 12 上に第 1 層配線（M 1）を形成する。第 1 層配線は、例えば、ダマシン技術（ここではシングルダマシン技術）を用いて形成する。まず、プラグ P G が埋め込まれた絶縁膜上に溝用絶縁膜 14 を形成し、この溝用絶縁膜 14 に、フォトリソグラフィ技術およびドライエッチング技術を用いて配線溝を形成する。次いで、配線溝の内部を含む半導体基板 1 の主面上にバリア導体膜（図示せず）を形成し、続いて、C V D 法またはスパッタリング法などによりバリア導体膜上に銅のシード層（図示せず）を形成する。次いで、電解めっき法などを用いてシード層上に銅めっき膜を形成し、銅めっき膜により配線溝の内部を埋め込む。その後、配線溝内以外の領域の銅めっき膜、シード層およびバリアメタル膜を C M P 法により除去して、銅を主導電材料とする第 1 層配線を形成する。なお、バリア導体膜としては、例えば、窒化チタン膜、タンタル膜または窒化タンタル膜などを用いることができる。

40

【 0 3 1 6 】

その後、デュアルダマシン法などにより 2 層目以降の配線を形成するが、ここではその説明を省略する。なお、各配線は、上記ダマシン技術の他、配線用の導電性膜をパターンニングすることにより形成することもできる。この場合、導電性膜としては、例えばタンゲステンまたはアルミニウムなどを用いることができる。

【 0 3 1 7 】

（変形例の説明）

50

図 9 4 ~ 図 9 6 は、本実施の形態の半導体装置の他のメモリセル構成を示す要部断面図である。

【 0 3 1 8 】

<第 1 例>

前述したように、絶縁膜（ONO 膜）5 を構成する第 1 膜（下層膜）のうち、酸化シリコン膜（デポ膜）5 d は、熱酸化法または C V D 法で形成することができる。図 7 2 等においては、C V D 法で形成した場合の酸化シリコン膜（デポ膜）5 d の形状を示してあるが、熱酸化法で酸化シリコン膜（デポ膜）5 d を形成した場合には、図 9 4 に示す構成となる。

【 0 3 1 9 】

この場合、図示するように、制御ゲート電極 C G の側面および半導体基板 1（p 型ウェル P W 1）上に、酸化シリコン膜（デポ膜）5 d が形成される。

【 0 3 2 0 】

この図 9 4 に示す構成においても、実施の形態 3 で説明した効果と同様の効果を奏することができる。

【 0 3 2 1 】

<第 2 例>

前述したように、制御ゲート電極 C G 上に、窒化シリコン膜 C P 2 および酸化シリコン膜 C P 1 を有する図 5 9 の構成に対し、図 9 5 に示すように、窒化シリコン膜 C P 2 および酸化シリコン膜 C P 1 を省略した構成としてもよい。

【 0 3 2 2 】

<第 3 例>

図 5 9 等においては、サイドウォール膜 5 s を曲面状（その断面図においては円弧状）に記載したが、サイドウォール膜 5 s の形状については、当該形状に限定されるものではない。図 9 6 を参照しながら、サイドウォール膜 5 s の形状例について説明する。

【 0 3 2 3 】

図 9 6（A）は、図 5 9 等と同様に、サイドウォール膜 5 s の断面形状を円弧状としたものの、言い換えれば、サイドウォール膜 5 s の側面をラウンド化したものである。

【 0 3 2 4 】

また、図 9 6（B）は、サイドウォール膜 5 s の断面形状をテーパ状としたもの（図 6 3 参照）、言い換えれば、サイドウォール膜 5 s の側面を傾斜させたものである。

【 0 3 2 5 】

上記図 9 6（A）および（B）の形状においては、前述したように、窒化シリコン膜（5 N）の角部（図中の破線丸部）が、2 箇所分散し、チャンネル領域において正孔濃度の濃度差が緩和される。よって、より広いチャンネル領域でより均一的な正孔の注入が可能となり、消去特性を向上させることができる。

【 0 3 2 6 】

また、図 9 6（C）に示すように、サイドウォール膜 5 s の断面形状をテーパ状とし、サイドウォール膜 5 s の幅 W 5 s を高さ H 5 s より大きくしてもよい。また、図 9 6（D）に示すように、サイドウォール膜 5 s の断面形状を 180°以上の角度を有する略四角形状としてもよい。この場合、サイドウォール膜 5 s の側面が窪む形状となる。

【 0 3 2 7 】

上記図 9 6（C）および（D）の形状においても、窒化シリコン膜（5 N）の角部（図中の破線丸部）が、2 箇所以上に分散し、チャンネル領域において正孔濃度の濃度差が緩和される。よって、より広いチャンネル領域でより均一的な正孔の注入が可能となり、消去特性を向上させることができる。

【 0 3 2 8 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

10

20

30

40

50

【 0 3 2 9 】

また、上記実施の形態において説明した半導体装置（不揮発性メモリ）を組み込む電子機器に制限はないが、例えば、非接触ＩＣカードは、低消費電力化の要求が大きく、上記実施の形態の半導体装置を用いて好適である。

〔 付 記 １ 〕

（ a ）半導体基板上に第 1 絶縁膜を介して第 1 ゲート電極を形成する工程と、
（ b ）前記半導体基板上および前記第 1 ゲート電極の表面および側面に、内部に電荷蓄積部を有する前記第 2 絶縁膜を形成する工程と、
（ c ）前記第 1 ゲート電極の側壁部に前記第 2 絶縁膜を介して第 2 ゲート電極を形成する工程と、を有し、

10

前記（ b ）工程は、第 1 膜、第 2 膜および第 3 膜を有する前記第 2 絶縁膜を形成する工程であって、

（ b 1 ）前記半導体基板上および前記第 1 ゲート電極の表面および側面に第 1 膜を形成する工程と、

（ b 2 ）前記第 1 膜上に前記電荷蓄積部となる第 2 膜を形成する工程と、

（ b 3 ）前記第 2 膜上に第 1 堆積膜を形成する工程と、

（ b 4 ）前記第 1 堆積膜を異方的にエッチングすることにより、前記第 1 ゲート電極の側壁部に、前記第 1 膜および前記第 2 膜を介して、側壁膜を形成する工程と、

（ b 5 ）前記第 2 膜および前記側壁膜上に第 2 堆積膜を形成することにより、前記側壁膜と前記第 2 堆積膜を有する第 3 膜を形成する工程と、
を有する半導体装置の製造方法。

20

〔 付 記 ２ 〕

前記第 1 膜の膜厚は、 2 nm 以下である付記 1 記載の半導体装置の製造方法。

〔 付 記 ３ 〕

（ a ）半導体基板上に第 1 絶縁膜を介して第 1 ゲート電極を形成する工程と、
（ b ）前記半導体基板上および前記第 1 ゲート電極の表面および側面に、内部に電荷蓄積部を有する前記第 2 絶縁膜を形成する工程と、
（ c ）前記第 1 ゲート電極の側壁部に前記第 2 絶縁膜を介して第 2 ゲート電極を形成する工程と、を有し、

前記（ b ）工程は、第 1 膜、第 2 膜および第 3 膜を有する前記第 2 絶縁膜を形成する工程であって、

30

（ b 1 ）前記半導体基板上および前記第 1 ゲート電極の表面および側面に第 1 堆積膜を形成する工程と、

（ b 2 ）前記第 1 堆積膜を異方的にエッチングすることにより、前記第 1 ゲート電極の側壁部に、側壁膜を形成する工程と、

（ b 3 ）前記半導体基板上、前記第 1 ゲート電極の表面および前記側壁膜上に第 2 堆積膜を形成することにより、前記側壁膜と前記第 2 堆積膜を有する第 1 膜を形成する工程と、

（ b 4 ）前記第 1 膜上に前記電荷蓄積部となる第 2 膜を形成する工程と、

（ b 5 ）前記第 2 膜上に第 3 膜を形成する工程と、
を有する半導体装置の製造方法。

40

〔 付 記 ４ 〕

前記第 2 堆積膜の膜厚は、 2 nm 以下である付記 3 記載の半導体装置の製造方法。

〔 付 記 ５ 〕

半導体基板と、

前記半導体基板の上方に配置された第 1 ゲート電極と、

前記半導体基板の上方に、前記第 1 ゲート電極と隣り合うように配置された第 2 ゲート電極と、

前記第 1 ゲート電極と前記半導体基板との間に形成された第 1 絶縁膜と、

前記第 2 ゲート電極と前記半導体基板との間および前記第 1 ゲート電極と前記第 2 ゲー

50

ト電極との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する前記第 2 絶縁膜と、を有し、

前記第 2 絶縁膜は、

第 1 膜と、

前記第 1 膜上に配置された前記電荷蓄積部となる第 2 膜と、

前記第 2 膜上に配置された第 3 膜と、を有し、

前記第 1 膜は、

前記第 1 ゲート電極と前記第 2 ゲート電極との間に位置する側壁膜と、

前記第 2 ゲート電極と前記半導体基板との間に位置する堆積膜と、を有し、

前記電荷蓄積部には、電子が蓄積され、

前記電荷蓄積部に蓄積された電子は、トンネル現象により前記第 2 ゲート電極側から正孔を前記第 3 膜を介して前記電荷蓄積部に注入することにより消去される半導体装置。

[付記 6]

前記堆積膜は、前記側壁膜と前記第 2 ゲート電極との間にも延在している付記 5 記載の半導体装置。

[付記 7]

前記側壁膜の高さおよび幅は、10 nm 以上 20 nm 以下である付記 5 記載の半導体装置。

[付記 8]

前記第 2 ゲート電極と前記半導体基板との間に位置する前記堆積膜の膜厚は、6 nm 以下である付記 5 記載の半導体装置。

[付記 9]

前記第 2 ゲート電極と前記半導体基板との間に位置する前記堆積膜の膜厚は、2 nm 以上である付記 8 記載の半導体装置。

[付記 10]

前記第 3 膜は、酸化シリコン膜である付記 5 記載の半導体装置。

[付記 11]

前記第 1 膜の前記堆積膜は、酸化シリコン膜である付記 10 記載の半導体装置。

[付記 12]

前記第 2 ゲート電極は不純物イオンを含有し、前記第 2 ゲート電極の下部の不純物濃度は、前記第 2 ゲート電極の上部の不純物濃度より低い付記 5 記載の半導体装置。

[付記 13]

前記不純物イオンは、n 型の不純物イオンである付記 12 記載の半導体装置。

[付記 14]

前記第 2 ゲート電極の下部は、真性半導体である付記 13 記載の半導体装置。

【符号の説明】

【 0 3 3 0 】

1 半導体基板

1 A メモリセル領域

2 素子分離領域

2 A 周辺回路領域

3 絶縁膜

3 A 周辺回路領域

4 シリコン膜

5 絶縁膜

5 A 酸化シリコン膜（酸化シリコン膜、第 1 膜）

5 B 酸化シリコン膜（第 3 膜）

5 N 窒化シリコン膜（第 2 膜）

5 d デポ膜（酸化シリコン膜）

5 s サイドウォール膜

10

20

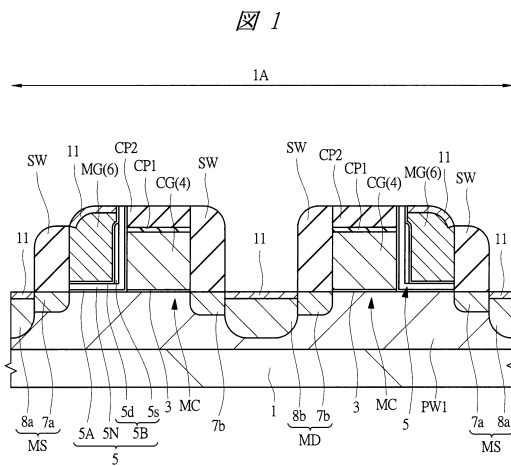
30

40

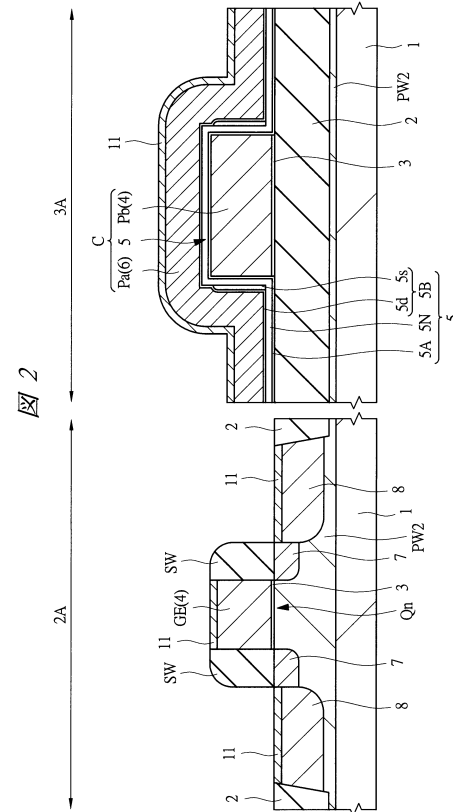
50

6	シリコン膜	
7	n ⁻ 型半導体領域	
7 a	n ⁻ 型半導体領域	
7 b	n ⁻ 型半導体領域	
8	n ⁺ 型半導体領域	
8 a	n ⁺ 型半導体領域	
8 b	n ⁺ 型半導体領域	
1 1	金属シリサイド層	
1 2	絶縁膜	
1 3 a	バリア導体膜	10
1 3 b	主導体膜	
1 4	溝用絶縁膜	
C	容量素子	
C G	制御ゲート電極	
C P 1	酸化シリコン膜	
C P 2	窒化シリコン膜	
G E	ゲート電極	
M 1	第1層配線	
M C	メモリセル	
M D	ドレイン領域	20
M G	メモリゲート電極	
M S	ソース領域	
P G	プラグ	
P W 1	p型ウエル	
P W 2	p型ウエル	
P a	上部電極	
P b	下部電極	
Q n	nチャネル型M I S F E T	
S P 1	シリコンスペーサ	
S W	側壁絶縁膜	30
h A	正孔分布領域	
a	角度	
b	角度	

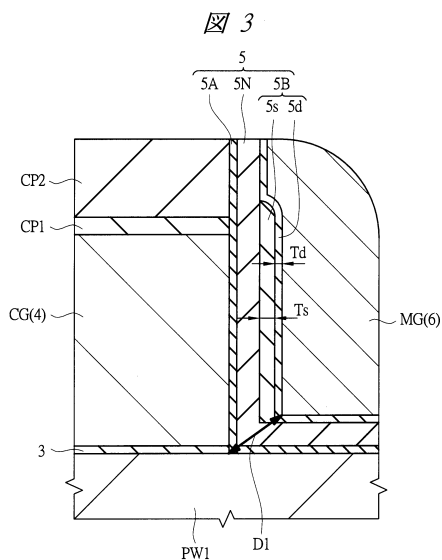
【図 1】



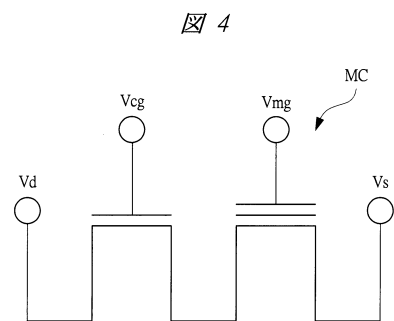
【図 2】



【図 3】



【図 4】



【図 5】

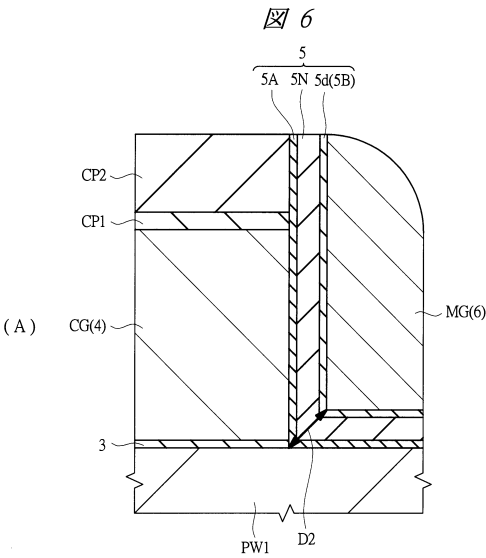
図 5

動作	印加電圧	Vd	Vcg	Vmg	Vs	Vb
書込		0.3V	1V	8V	6V	0
消去		0	0	-11V	0	0
読出		Vdd	Vdd	0	0	0

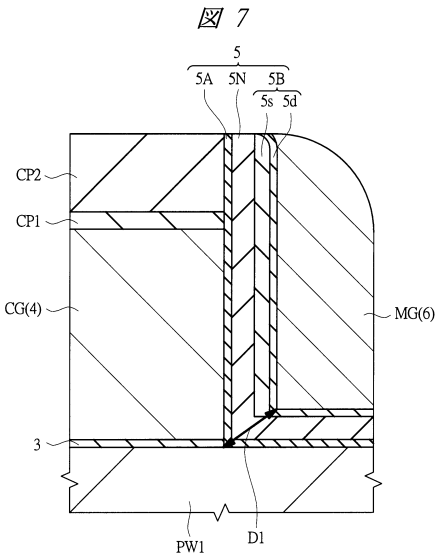
Vdd = 1.5V

3: 絶縁膜
5: 絶縁膜
5A: 酸化シリコン膜(第1膜)
5B: 酸化シリコン膜(第3膜)
5N: 窒化シリコン膜(第2膜)
5d: デポ膜(酸化シリコン膜)
5s: サイドウォール膜
CG: 制御ゲート電極
MG: メモリゲート電極

【図 6】

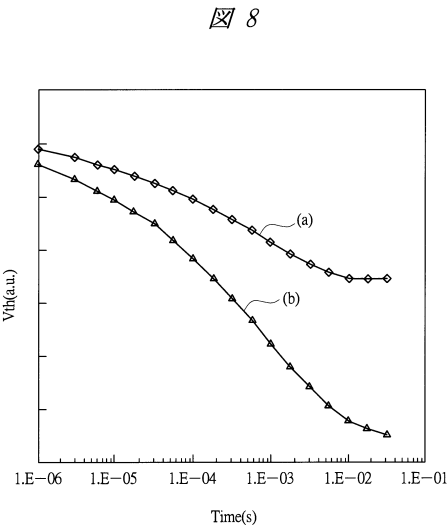


【図 7】

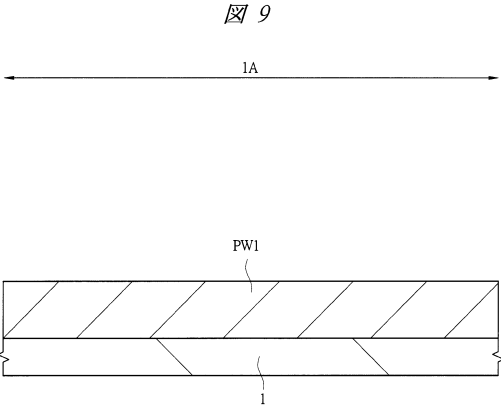


動作	印加電圧				
	Vd	Vcg	Vmg	Vs	Vb
消去	0	0	-6V	6V	0

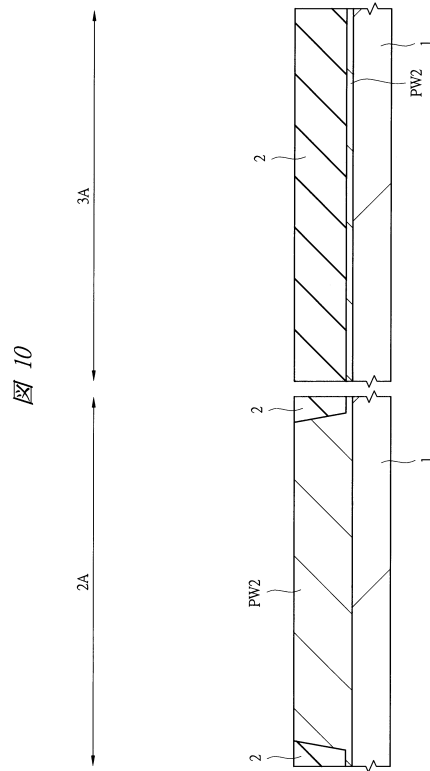
【図 8】



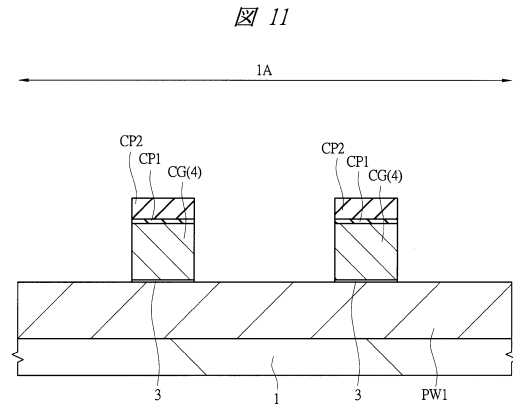
【図 9】



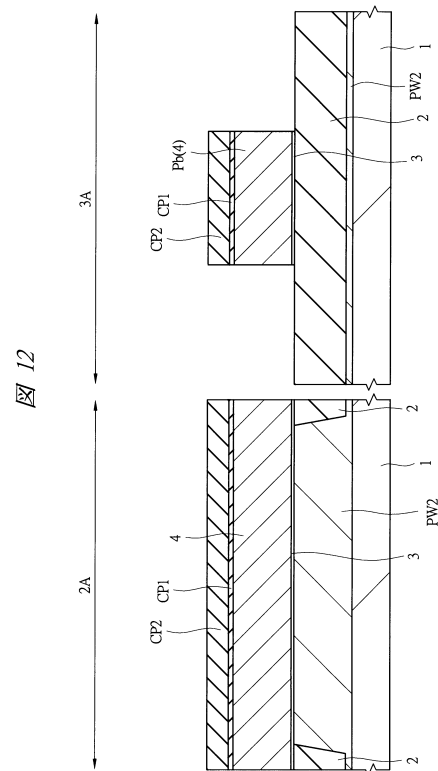
【図 10】



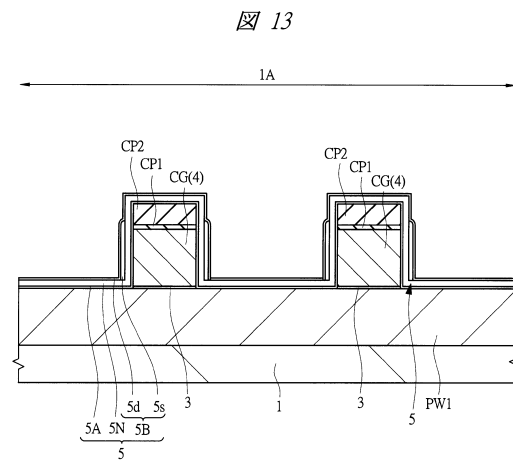
【図 11】



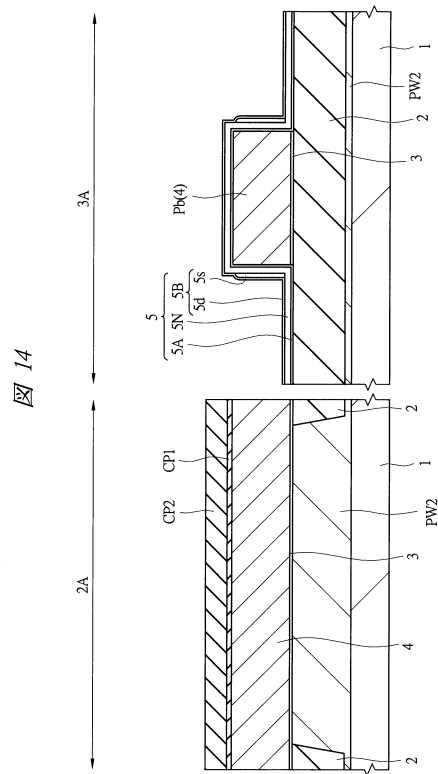
【図 12】



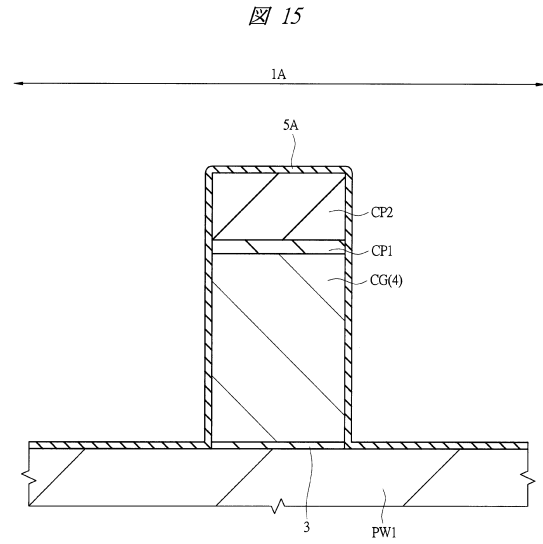
【図 13】



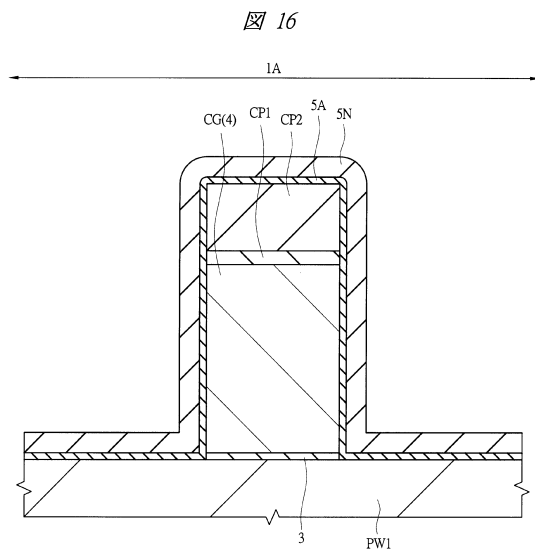
【図 14】



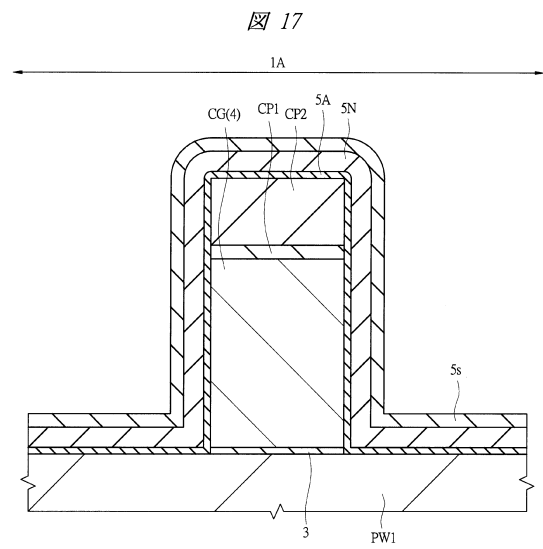
【図 15】



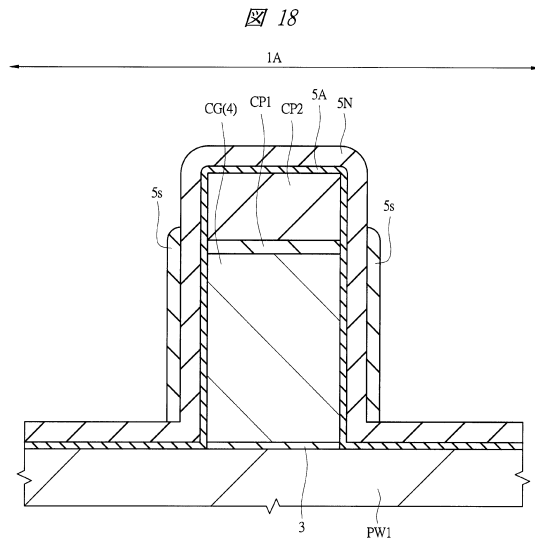
【図 16】



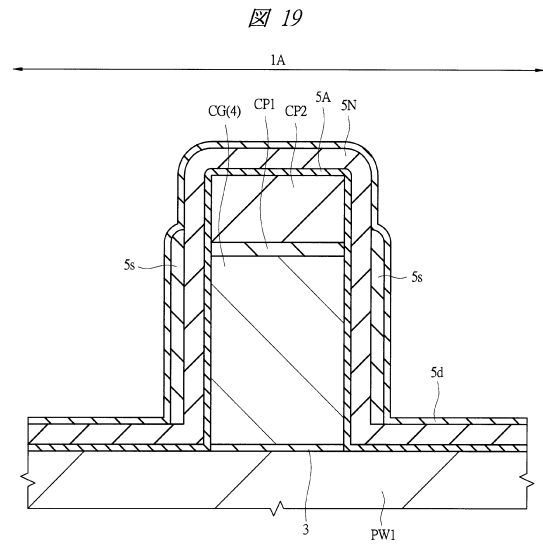
【図 17】



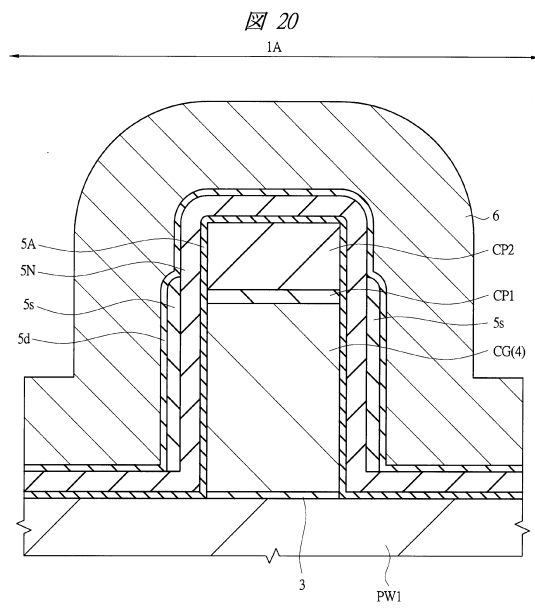
【図 18】



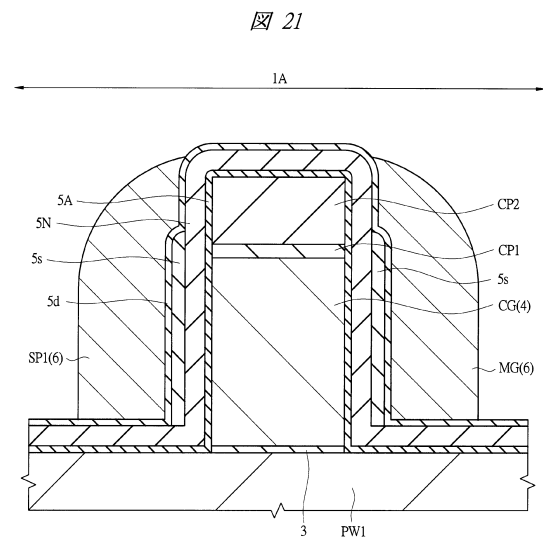
【図 19】



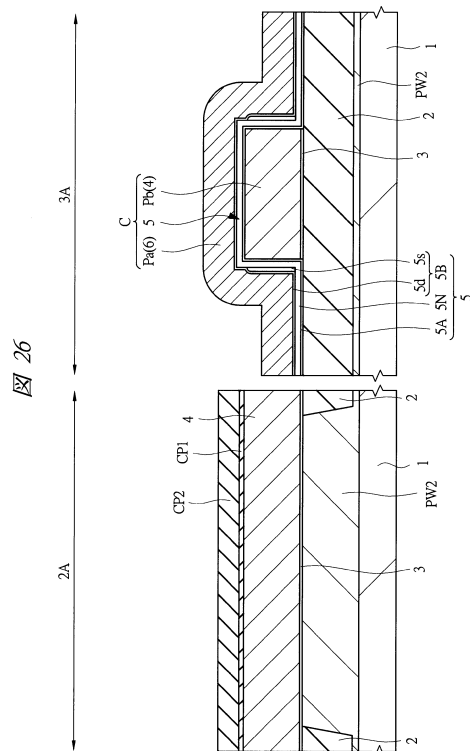
【図 20】



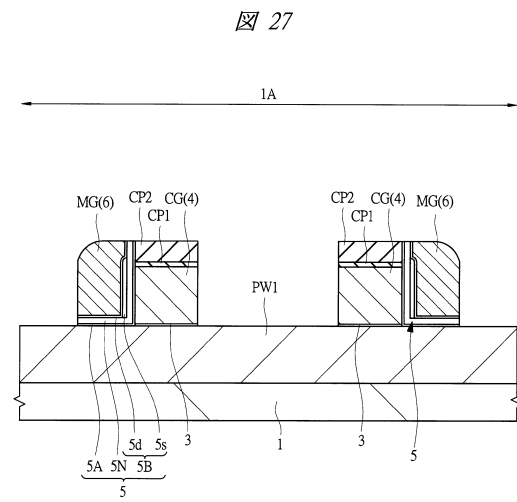
【図 21】



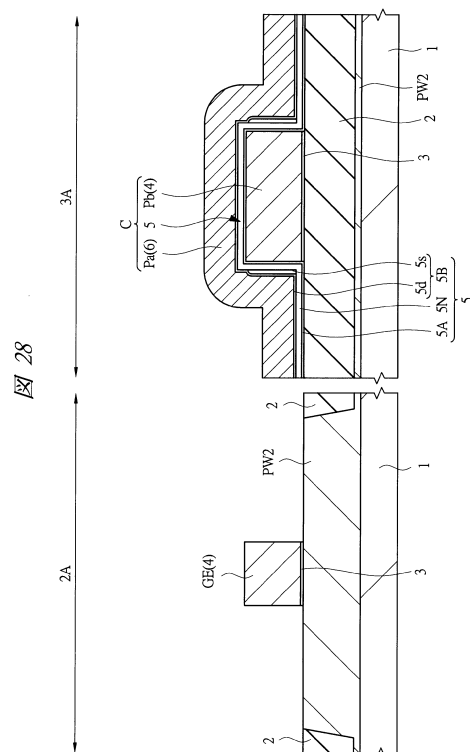
【図 26】



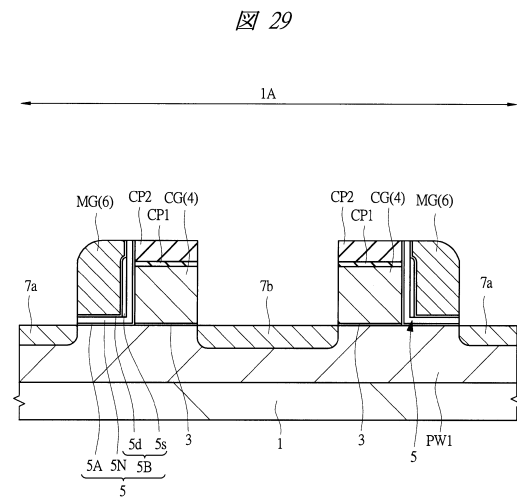
【図 27】



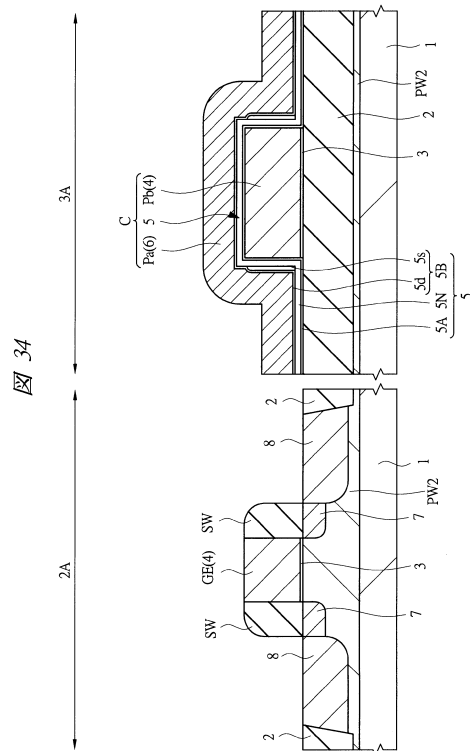
【図 28】



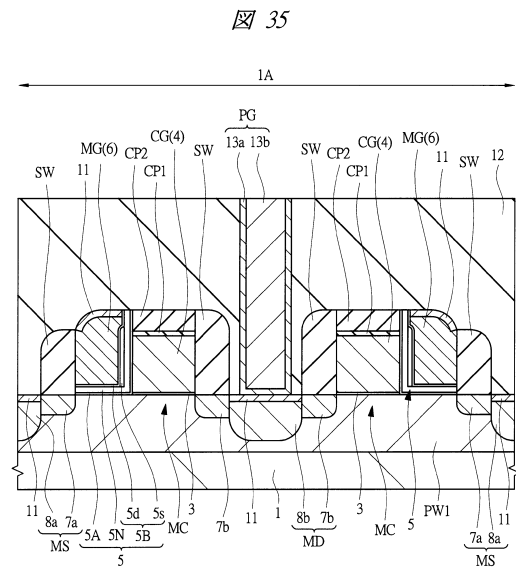
【図 29】



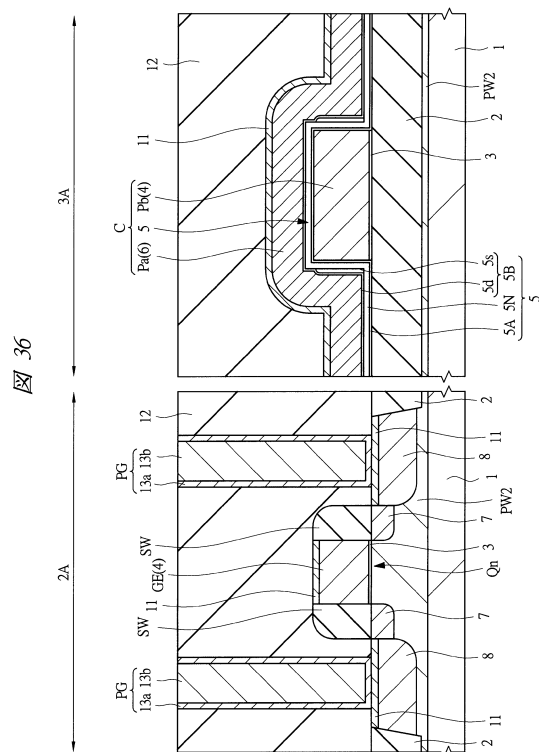
【図 34】



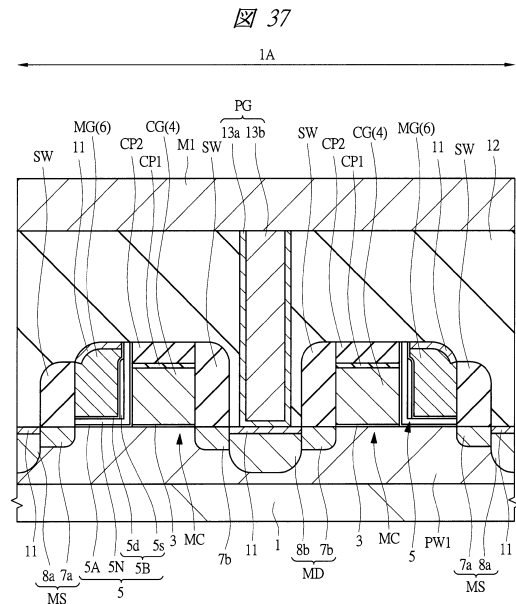
【図 35】



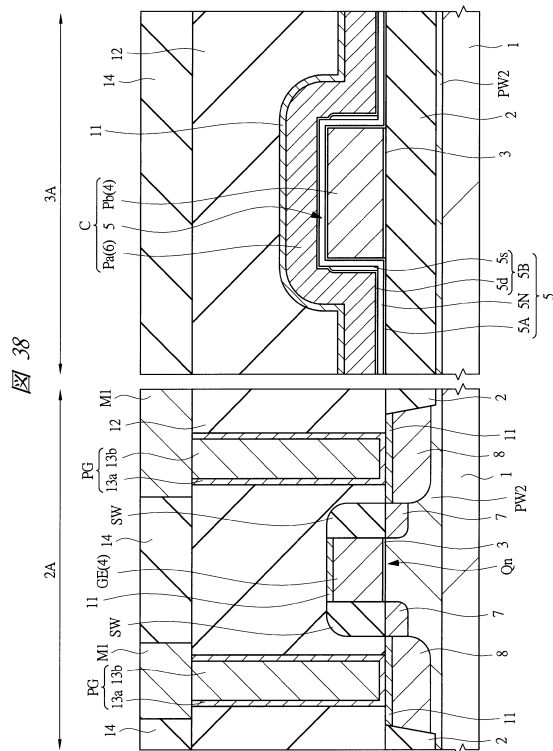
【図 36】



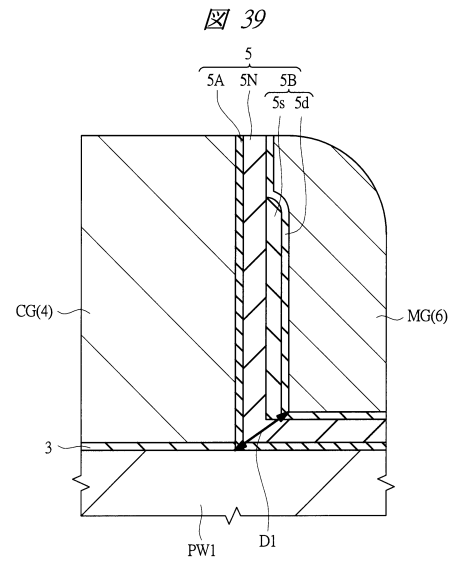
【図 37】



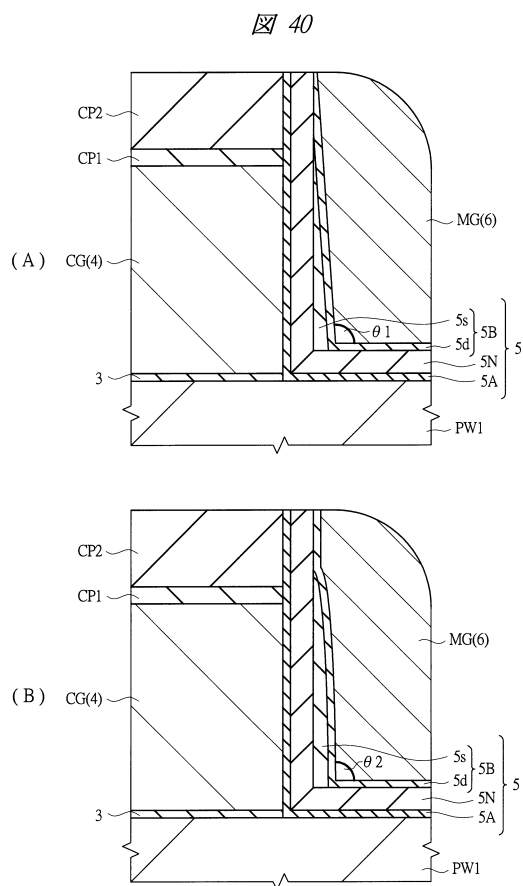
【図 38】



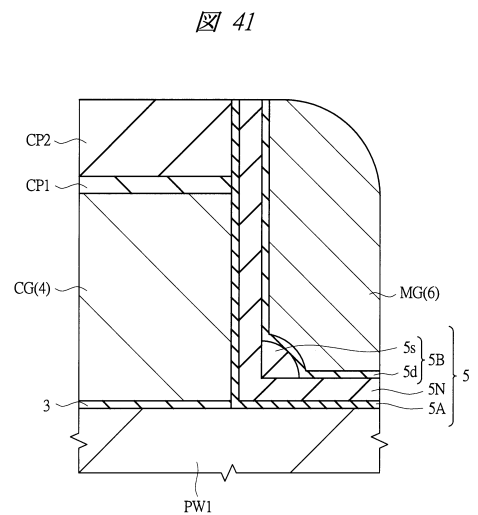
【図 39】



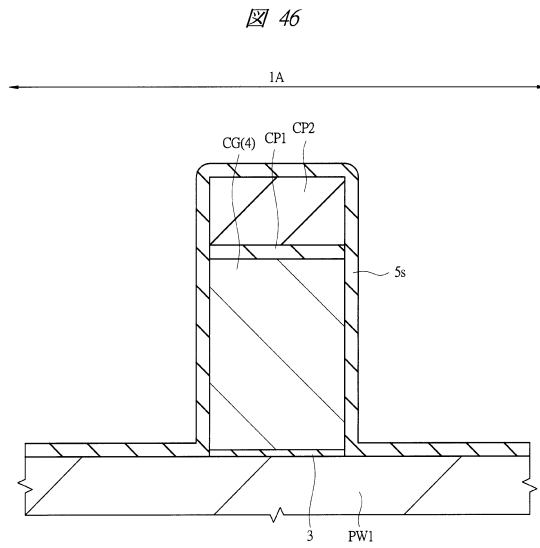
【図 40】



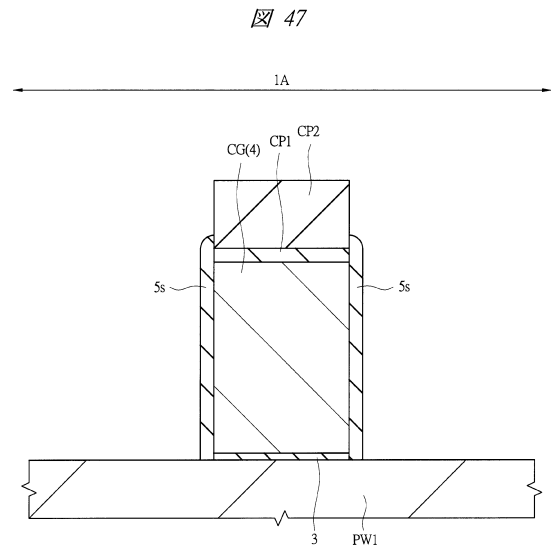
【図 41】



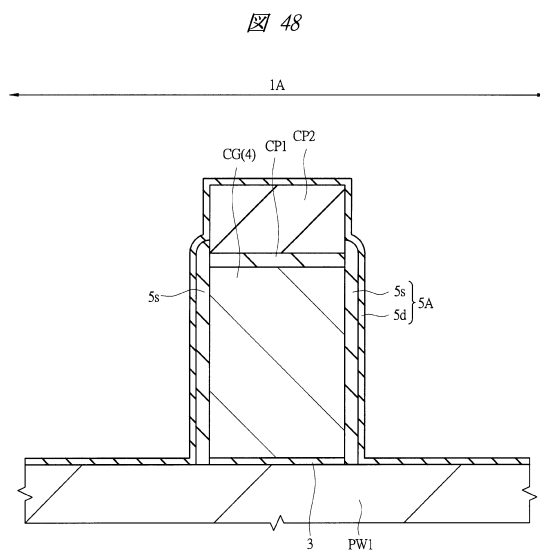
【図 46】



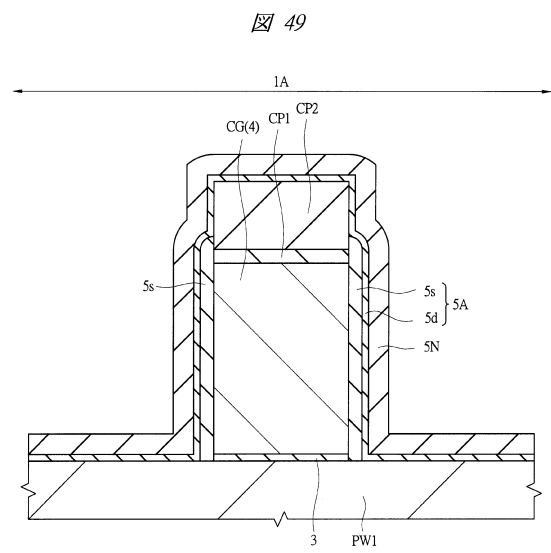
【図 47】



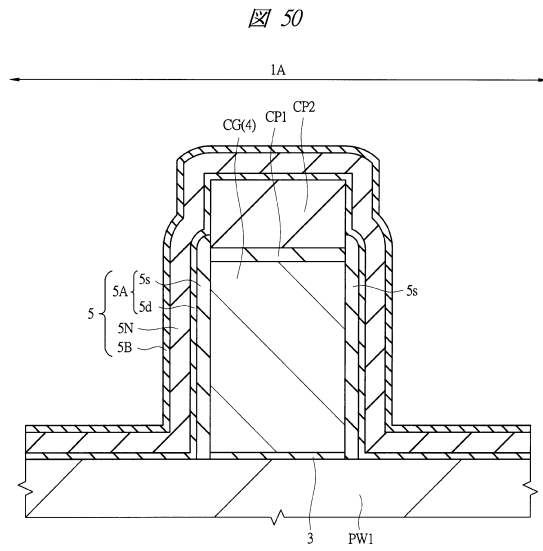
【図 48】



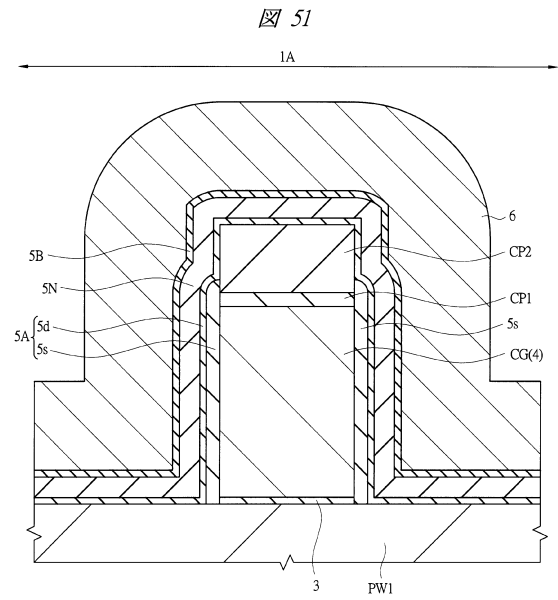
【図 49】



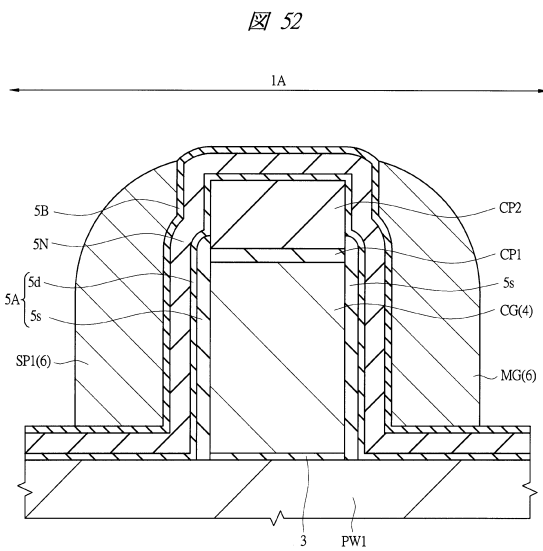
【図 50】



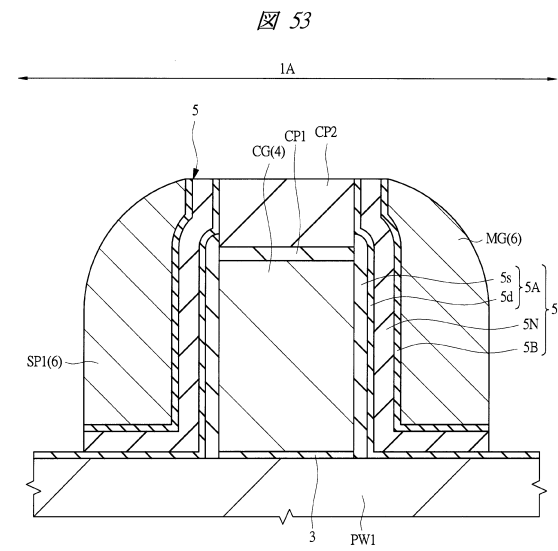
【図 51】



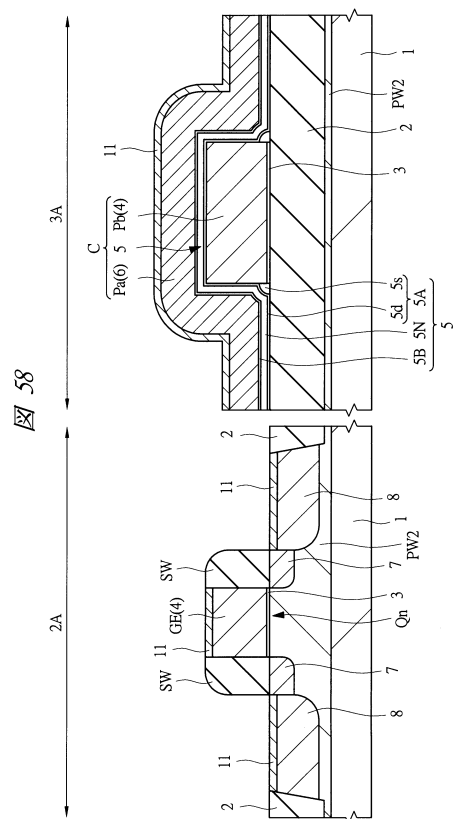
【図 52】



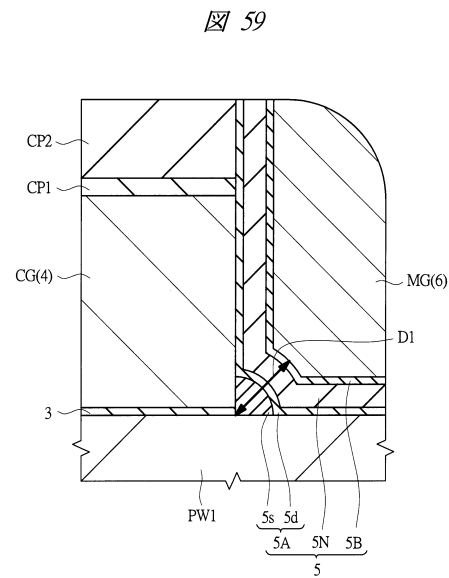
【図 53】



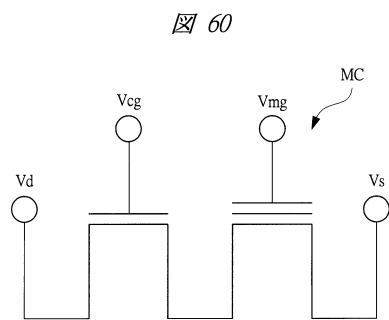
【図 58】



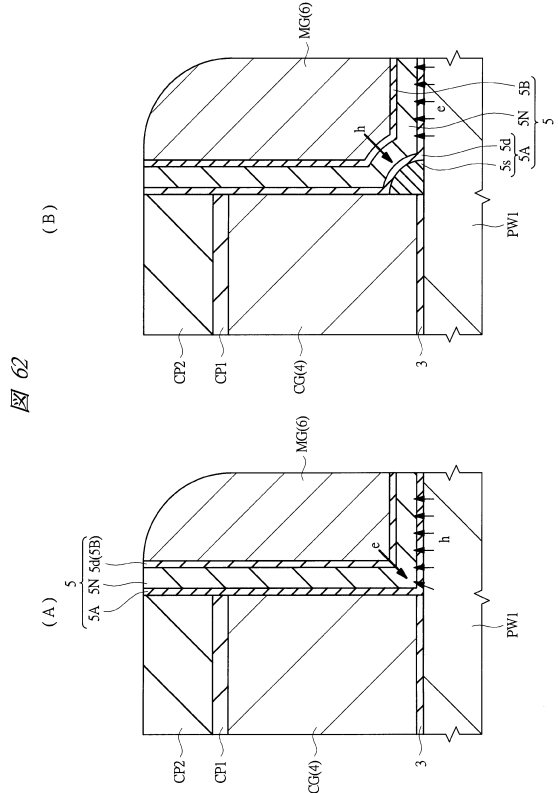
【図 59】



【図 60】



【図 62】



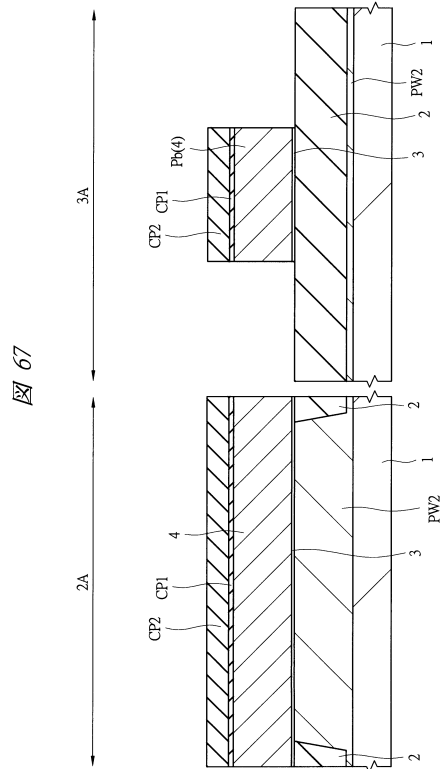
【図 61】

図 61

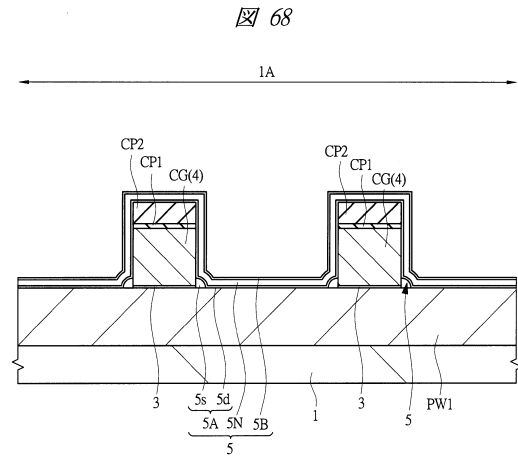
動作	印加電圧	Vd	Vcg	Vmg	Vs	Vb
書込		0.3V	1V	8V	6V	0
消去		0	0	+12V	0	0
読出		Vdd	Vdd	0	0	0

Vdd = 1.5V

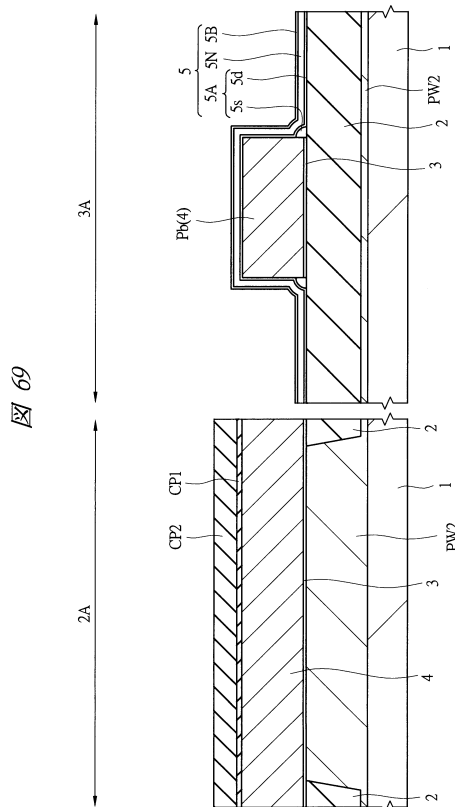
【図 67】



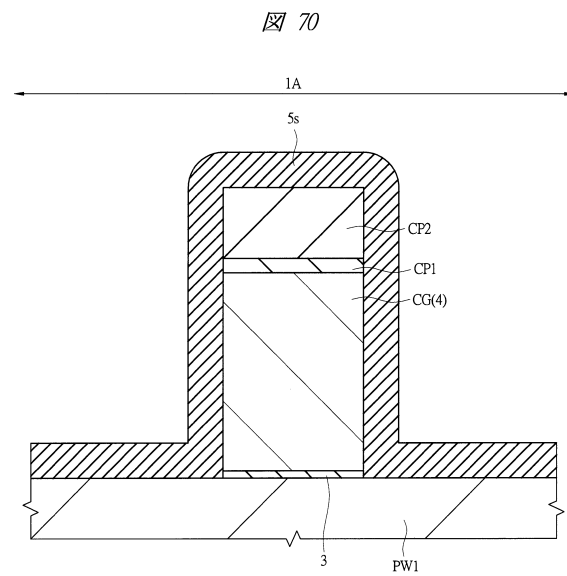
【図 68】



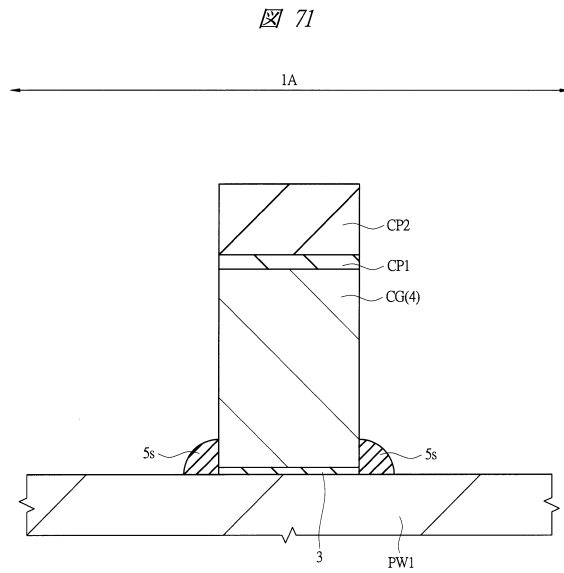
【図 69】



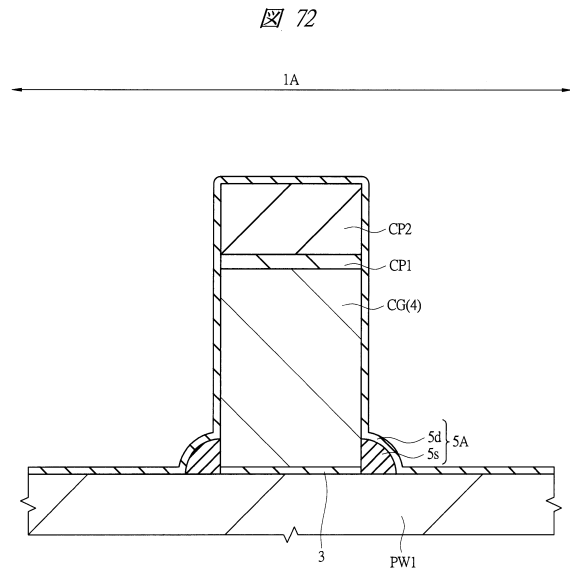
【図 70】



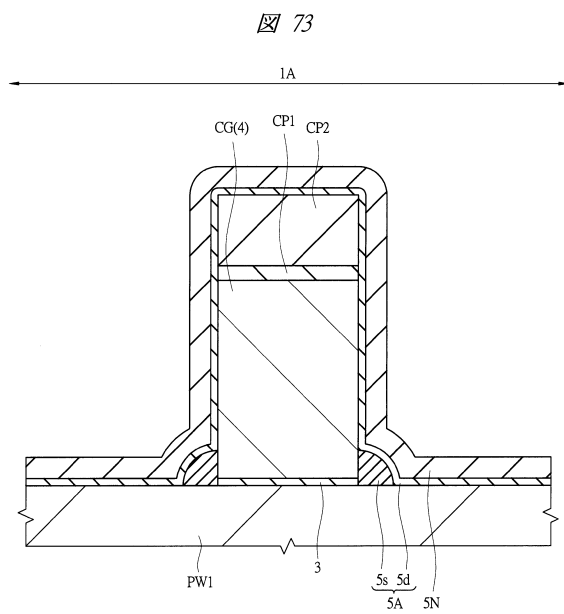
【図 7 1】



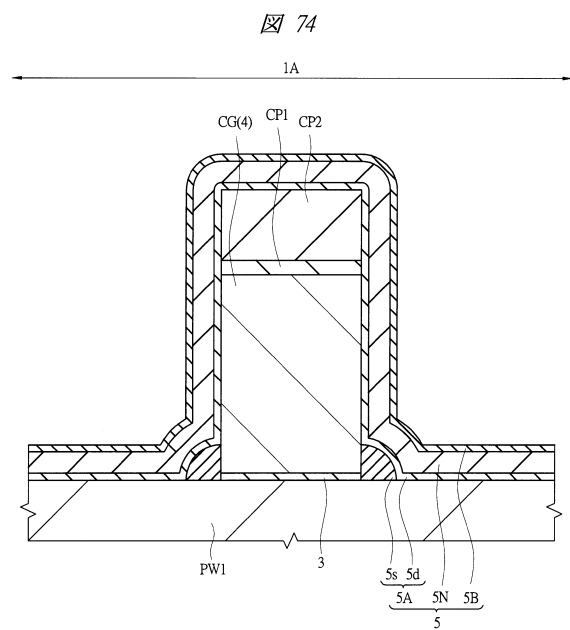
【図 7 2】



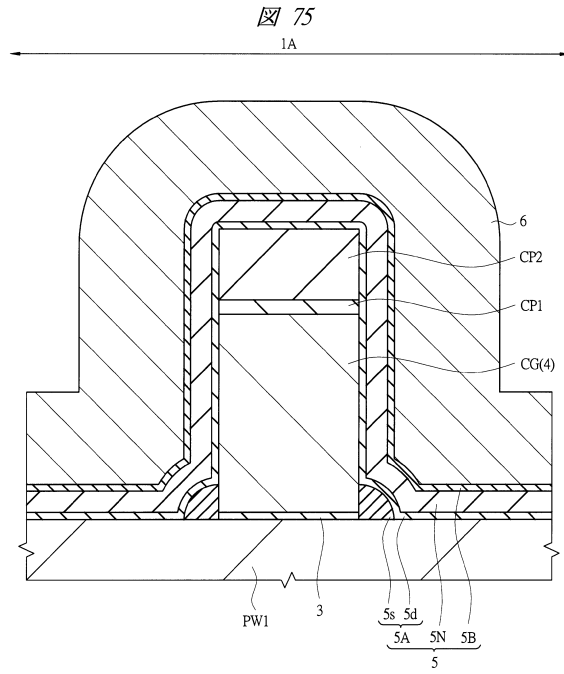
【図 7 3】



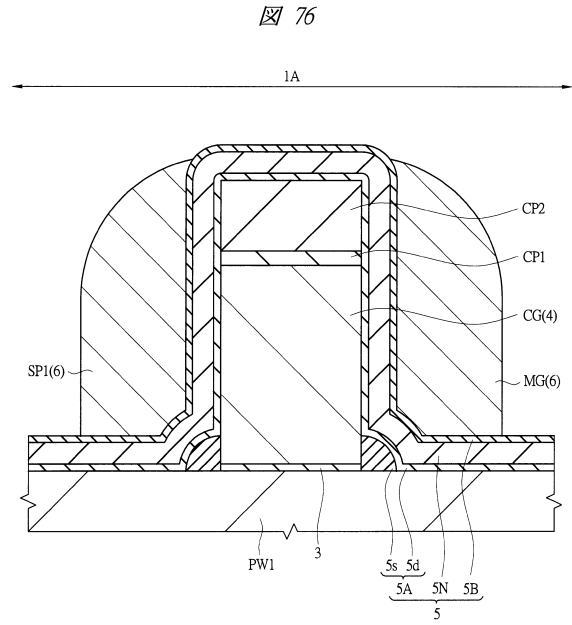
【図 7 4】



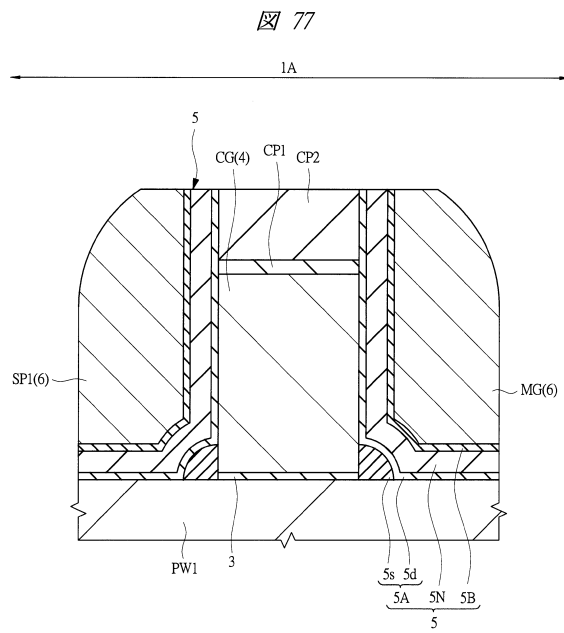
【図 75】



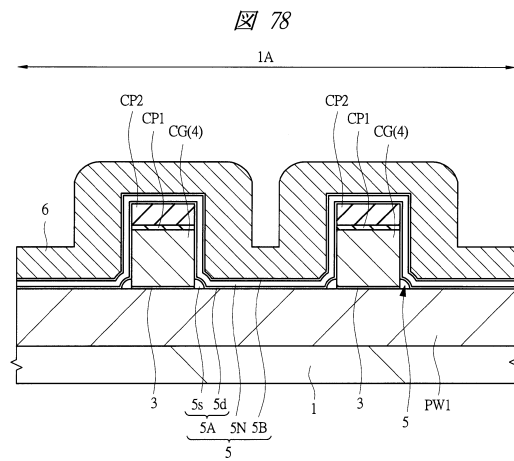
【図 76】



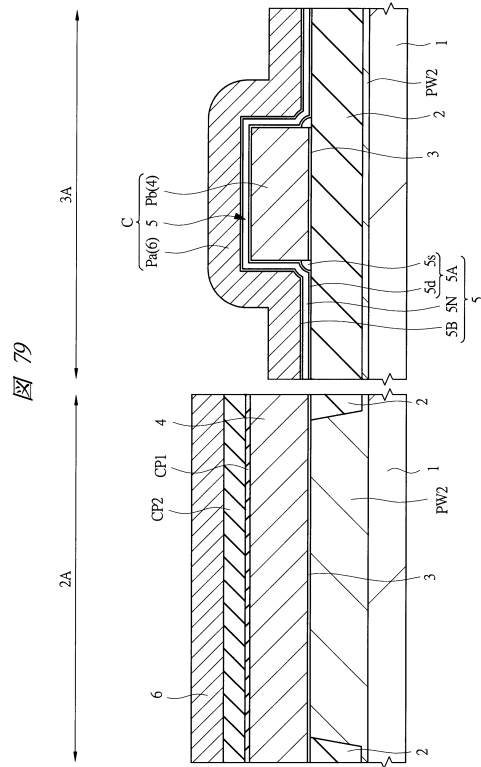
【図 77】



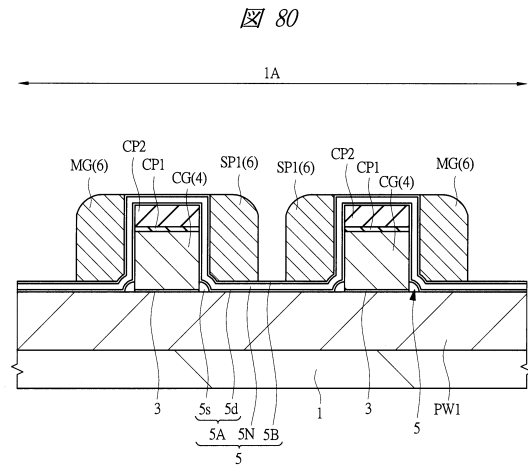
【図 78】



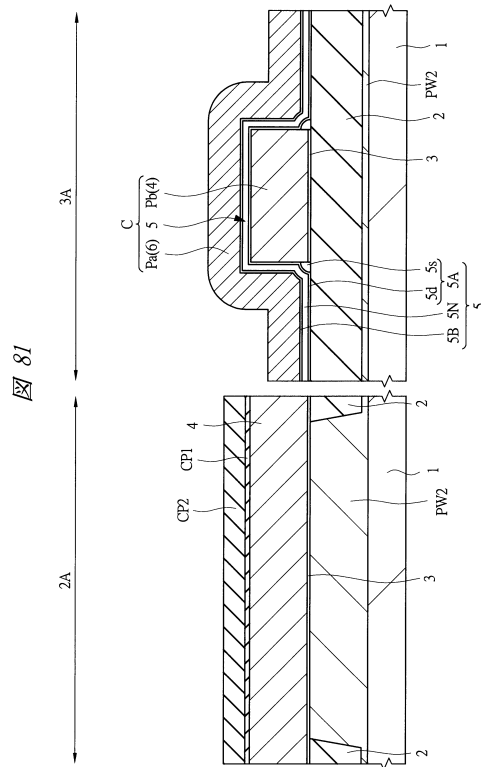
【図 79】



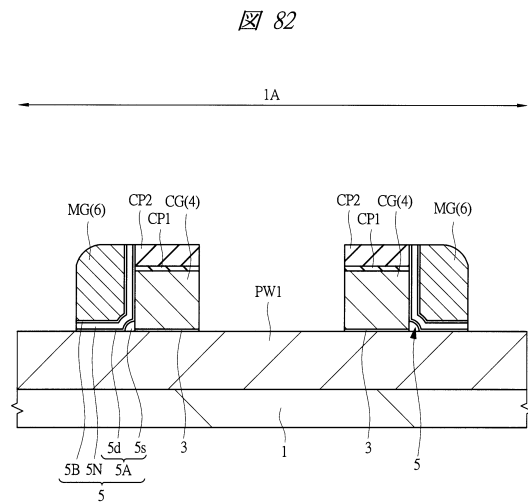
【図 80】



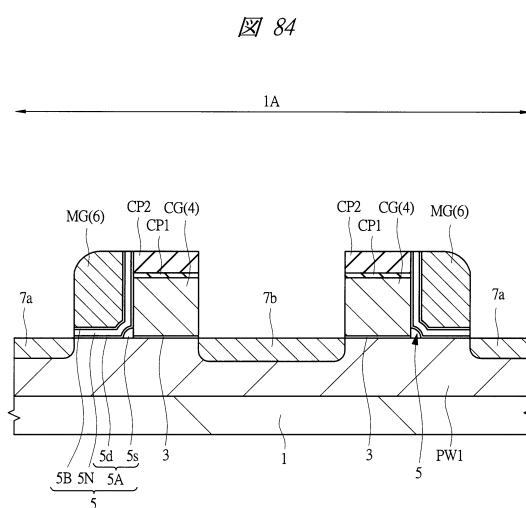
【図 81】



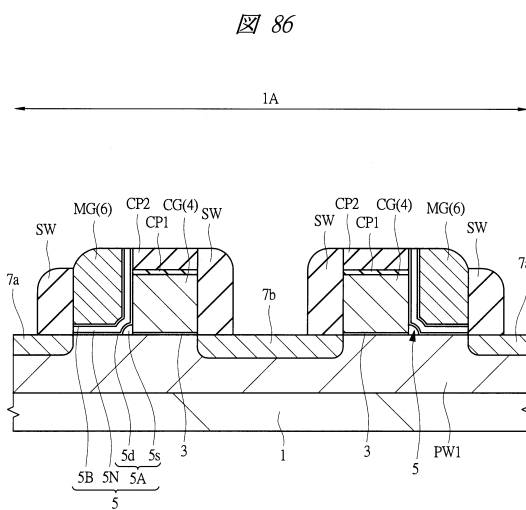
【図 82】



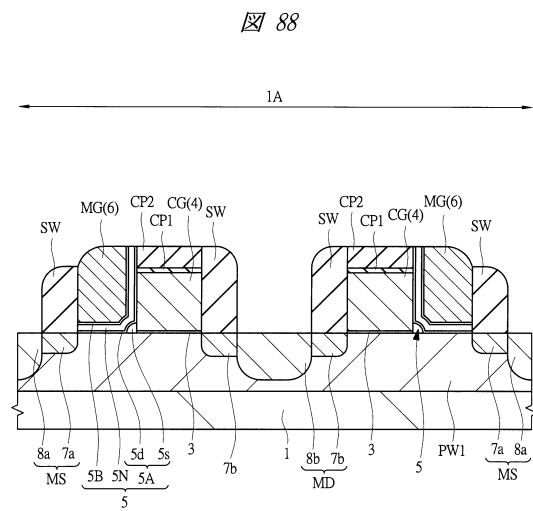
【 図 8 4 】



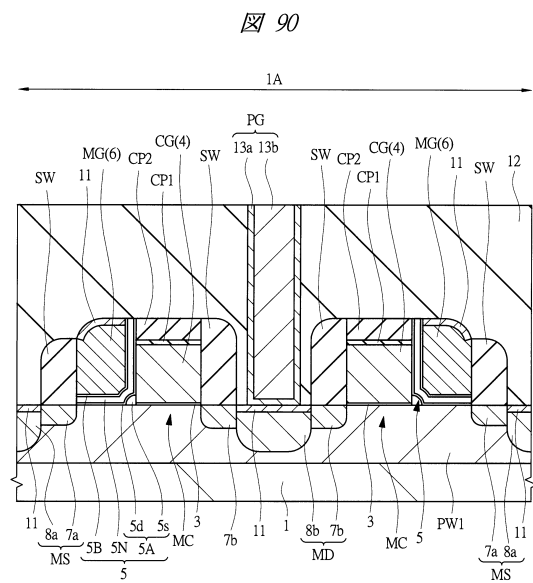
【 ㄨ 8 6 】



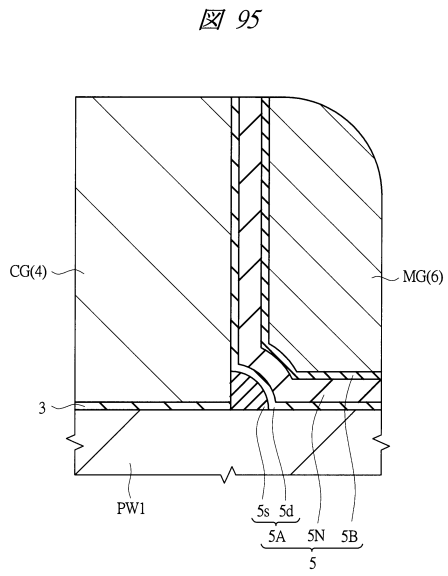
【 図 8 8 】



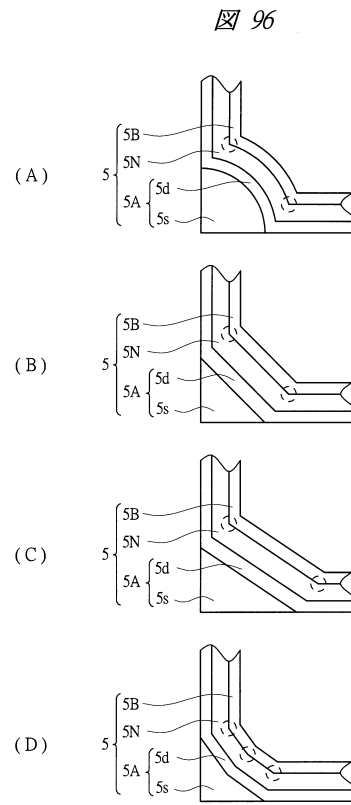
【 図 9 0 】



【図 95】



【図 96】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/10 (2006.01)

(72)発明者 岡田 大介

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 片山 弘造

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 小山 満

(56)参考文献 特開 2 0 1 1 - 1 4 6 6 1 2 (J P , A)

米国特許出願公開第 2 0 1 1 / 0 1 7 5 1 5 6 (U S , A 1)

特開 2 0 0 5 - 1 2 3 5 1 8 (J P , A)

特開 2 0 0 9 - 0 5 4 7 0 7 (J P , A)

特開 2 0 1 2 - 2 4 8 6 5 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 8 2 4 7

H 0 1 L 2 7 / 1 0

H 0 1 L 2 7 / 1 1 5

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2