

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일

2022년 1월 13일 (13.01.2022)



(10) 국제공개번호

WO 2022/010174 A1

(51) 국제특허분류:

<i>H05K 1/03</i> (2006.01)	<i>H01L 23/48</i> (2006.01)
<i>H05K 1/02</i> (2006.01)	<i>H01L 23/522</i> (2006.01)
<i>H05K 3/06</i> (2006.01)	<i>H01L 23/15</i> (2006.01)
<i>H01L 23/373</i> (2006.01)	<i>H01L 23/50</i> (2006.01)
<i>H01L 23/498</i> (2006.01)	<i>H01L 23/367</i> (2006.01)

(71) 출원인: 주식회사 아모센스 (AMONSENSE CO., LTD.) [KR/KR]; 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

(72) 발명자: 여인태 (YEO, Intae); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 조태호 (CHO, Taeho); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 빈진혁 (BIN, Jinhyuck); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 박승곤 (PARK, Seunggon); 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 나원산 (NA, Wonsan); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지

(21) 국제출원번호: PCT/KR2021/008324

(22) 국제출원일: 2021년 7월 1일 (01.07.2021)

(25) 출원언어: 한국어

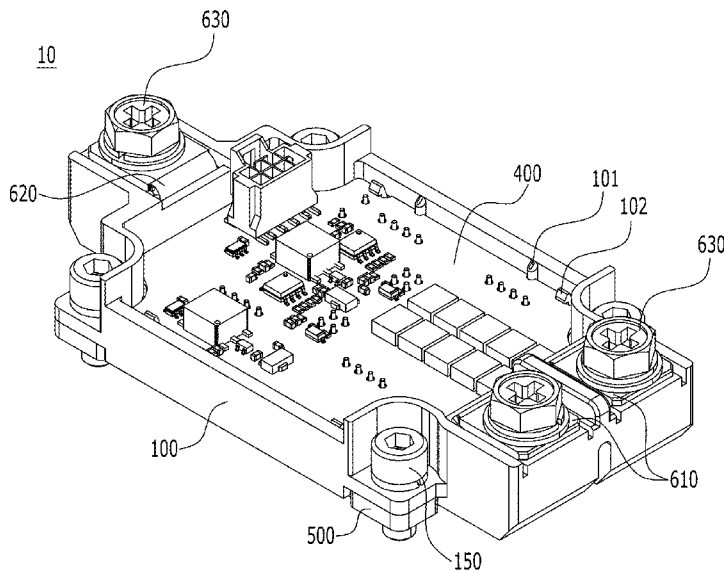
(26) 공개언어: 한국어

(30) 우선권정보:

10-2020-0082529	2020년 7월 6일 (06.07.2020)	KR
10-2020-0088754	2020년 7월 17일 (17.07.2020)	KR
10-2020-0088755	2020년 7월 17일 (17.07.2020)	KR
10-2020-0092878	2020년 7월 27일 (27.07.2020)	KR

(54) Title: POWER MODULE

(54) 발명의 명칭: 파워모듈



(57) Abstract: The present invention relates to a power module comprising: a lower ceramic substrate (200); an upper ceramic substrate (300) which is disposed above the lower ceramic substrate (200) and has a semiconductor chip (G) mounted on the lower surface thereof; a PCB substrate (400) disposed above the upper ceramic substrate (300); and a connection pin (800) which extends through through holes (320 and 420) formed in the upper ceramic substrate (300) and the PCB substrate (400), and vertically connects electrode patterns (a, b, c, and d) formed on the upper ceramic substrate (300) and the PCB substrate (400). The present invention provides a shortened electrical connection distance between the upper ceramic substrate and the PCB substrate, and thus can minimize a current path and enhance the moving efficiency of a high-speed current.



WO 2022/010174 A1

지 19-1블럭, Chungcheongnam-do (KR). 김태정 (**KIM, Taejung**); 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 이지형 (**LEE, Jihyung**); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

(74) 대리인: 김철진 (**KIM, Churchill**); 06038 서울시 강남구 강남대로146길 25 전원빌딩 2층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 파워모듈에 관한 것으로, 하부 세라믹기판(200)과 상기 하부 세라믹기판(200)의 상부에 배치되며 하면에 반도체 칩(G)이 실장되는 상부 세라믹기판(300)과 상기 상부 세라믹기판(300)의 상부에 배치되는 PCB 기판(400)과 상기 상부 세라믹기판(300)과 상기 PCB 기판(400)에 형성된 쓰루홀(320,420)에 관통 설치되고 상기 상부 세라믹기판(300)과 상기 PCB 기판(400)에 형성된 전극 패턴(a,b,c,d) 간을 수직으로 연결하는 연결핀(800)을 포함한다. 본 발명은 상부 세라믹기판과 PCB 기판 간의 전기적 연결 거리를 짧게하여 전류 경로를 최소화하고 고속 전류의 이동 효율을 높일 수 있는 이점이 있다.

# 명세서

## 발명의 명칭: 파워모듈

### 기술분야

- [1] 본 발명은 파워모듈에 관한 것으로, 더욱 상세하게는 고출력 전력 반도체 칩을 적용하여 성능을 개선한 파워모듈에 관한 것이다.

### 배경기술

- [2] 파워모듈은 하이브리드 자동차, 전기차 등의 모터 구동을 위해 고전압 전류를 공급하기 위해 사용된다.
- [3] 파워모듈 중 양면 냉각 파워모듈은 반도체 칩의 상, 하부에 각각 기판을 설치하고 그 기판의 외측면에 각각 방열판을 구비한다. 양면 냉각 파워모듈은 단면에 방열판을 구비하는 단면 냉각 파워모듈에 비해 냉각 성능이 우수하여 점차 그 사용이 증가하는 추세이다.
- [4] 전기차 등에 사용되는 양면 냉각 파워모듈은 두 기판의 사이에 탄화규소(SiC), 질화갈륨(GaN) 등의 전력 반도체 칩이 실장되므로 고전압으로 인해 높은 발열과 주행 중 진동이 발생하기 때문에 이를 해결하기 위해 고강도와 고방열 특성을 동시에 만족시키는 것이 중요하다.

### 발명의 상세한 설명

#### 기술적 과제

- [5] 본 발명의 목적은 고강도와 고방열 특성을 가지고, 접합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 효율 및 성능을 향상시킬 수 있는 파워모듈을 제공하는 것이다.
- [6] 또한, 본 발명의 목적은 하부 세라믹기판, 상부 세라믹기판 및 PCB 기판의 3층 구조를 적용하고, 상부 세라믹기판과 PCB 기판 간의 전기적 연결 거리를 짧게하여 전류 경로를 최소화하고 고속 전류의 이동 효율을 높일 수 있도록 한 파워모듈을 제공하는 것이다.
- [7] 또한, 본 발명의 목적은 면적 및 부피에 제약을 받지 않으면서 성능을 구현할 수 있는 파워모듈을 제공하는 것이다.
- [8] 또한, 본 발명의 목적은 세라믹기판의 가장자리에 곡률 경사부를 형성하여 응력 집중을 완화함으로써 장수명과 신뢰성을 확보하도록 한 파워모듈을 제공하는 것이다.

#### 기술적 해결방법

- [9] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명의 파워모듈은 하부 세라믹기판과 하부 세라믹기판의 상부에 배치되며 하면에 반도체 칩이 플립칩 형태로 실장되는 상부 세라믹기판과 상부 세라믹기판의 상부에 배치되는 PCB 기판을 포함한다.
- [10] 상부 세라믹기판과 PCB 기판에 대응되게 형성된 복수의 쓰루홀과, 상부

세라믹기판의 쓰루홀과 상기 PCB 기판의 쓰루홀에 관통 설치되어 세라믹기판의 전극 패턴과 PCB 기판의 전극 패턴을 수직으로 연결하는 연결핀을 포함할 수 있다.

- [11] 쓰루홀에 관통 설치된 연결핀은 상기 쓰루홀의 가장자리의 전극 패턴과 레이저 웰딩에 의해 접합될 수 있다.
- [12] 쓰루홀의 가장자리에 도포되고 레이저 웰딩시 녹아 연결핀을 쓰루홀의 가장자리의 전극 패턴에 접합하는 솔더층을 포함할 수 있다.
- [13] 상부 세라믹기판은 세라믹기재와, 세라믹기재의 상면과 하면에 형성되는 전극 패턴과, 상부 세라믹기판 또는 세라믹기재를 상하로 관통하여 형성된 복수 개의 비아홀과, 비아홀에 충전되어 세라믹기재의 상면과 하면의 전극 패턴을 연결하는 금속충진재를 포함할 수 있다.
- [14] 비아홀은 직경이 0.05mm~0.3mm이다.
- [15] 금속충진재는 Ag합금계, Ag-Pd계, Ag-Ceramic계, Cu합금계 중 하나 또는 이들의 혼합 페이스트로 이루어질 수 있다.
- [16] 비아홀은 상부 세라믹기판 또는 세라믹기재의 전체면에 균일하게 분포한다.
- [17] 하부 세라믹기판의 하면에 솔더링 접합되는 방열판을 포함한다.
- [18] 상부 세라믹기판과 상기 하부 세라믹기판은 AMB(Active Metal Brazing) 기판, DBC(Direct Bonding Copper) 기판, DBA 기판(Direct Brazed Aluminum), TPC(Thick Printing Copper) 기판 중 하나일 수 있다.
- [19] 중앙에 상하로 개구되는 빈 공간이 형성되고 사출 재질로 형성되는 하우징을 더 포함하고, 하우징의 빈 공간에 하부 세라믹기판, 상부 세라믹기판 및 PCB 기판이 순차적으로 적층 설치된다.
- [20] 하부 세라믹기판과 상부 세라믹기판의 사이에 다수 개가 배치되어 하부 세라믹기판과 상부 세라믹기판의 이격 거리를 규정하는 스페이서를 포함한다.
- [21] 상부 세라믹기판은 세라믹기재와 세라믹기재의 적어도 일면에 접합되어 전극 패턴을 형성하는 금속층을 포함하며, 금속층은 가장자리에 곡률 경사부가 형성되고, 곡률 경사부는 세라믹기재의 외주 방향으로 돌출된다.
- [22] 곡률 경사부는 세라믹기재 방향으로 오목한 형상으로 형성되고 세라믹기재 방향으로 갈수록 돌출 길이가 증가하는 형상이다.
- [23] 곡률 경사부는 복수의 오목부가 형성되고 오목부와 오목부가 만나는 부분에 돌출부가 형성되는 다단 구조일 수 있다.
- [24] 돌출부는 뾰족한 형상일 수 있다.
- [25] 곡률 경사부는 2개의 오목부가 형성되고 오목부와 오목부가 만나는 부분에 돌출부가 형성되는 2단 구조일 수 있다.
- [26] 금속층의 가장자리에 형성된 곡률 경사부는 세라믹기재 방향으로 오목한 형상으로 형성된 1단 구조와 세라믹기재 방향으로 2개 이상의 오목부가 형성된 다단 구조가 혼용되어 있을 수 있다.
- [27] 곡률 경사부는 금속층의 일면에 포토마스크를 배치하고 포토마스크에 의해

노출된 금속층을 식각하여 형성한 것일 수 있다.

- [28] 다단 구조의 곡률 경사부는 금속층의 일면에 2개 이상의 구멍이 연속 형성된 포토마스크를 배치하고 포토마스크에 의해 노출된 금속층을 식각하여 형성한 것일 수 있다.

### 발명의 효과

- [29] 본 발명은 고강도와 고방열 특성을 가지고, 접합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 고속 스위칭에 최적화되어 효율 및 성능을 향상시킬 수 있는 효과가 있다.
- [30] 또한, 본 발명은 하부 세라믹기판, 상부 세라믹기판, 및 PCB 기판을 3층 일체형 구성으로 제작하고, 상부 세라믹기판과 PCB 기판의 전기적 연결을 연결편을 사용하여 수직 연결하므로 전류 경로를 최소화하여 다양한 출력 손실을 제거할 수 있고 파워모듈의 소형화가 가능하게 하며 방열에도 유리한 효과가 있다.
- [31] 또한, 본 발명은 상부 세라믹기판에 비아홀을 복수 개 형성하여 상면과 하면의 전극 패턴을 연결하므로 대전류의 분산 및 대전류의 통전을 용이하게 하여 쇼트 및 과열 등의 문제를 방지하고 고속 전류의 이동 효율을 높일 수 있는 효과가 있다.
- [32] 또한, 본 발명은 하부 세라믹기판, 상부 세라믹기판의 상하 복층 구조로 형성하고 그 사이에 반도체 칩을 실장하여 보호할 수 있으며, 상부 세라믹기판의 상부에 PCB 기판을 배치하여 반도체 칩을 동작시키는 구동소자를 실장하므로 한 개의 파워모듈의 제조 면적 및 부피의 제약을 받지 않고 성능을 구현할 수 있는 효과가 있다.
- [33] 또한, 본 발명은 상부 세라믹기판에 비아홀을 형성하고 비아홀에 금속충진재를 충전하여 상부 세라믹기판의 상면과 하면의 전극 패턴을 연결하므로 대전류의 분산 및 대전류의 통전을 용이하게 하여 쇼트 및 과열 등의 문제를 방지하고 고속 전류의 이동을 효율을 높일 수 있는 효과가 있다.
- [34] 또한, 본 발명은 세라믹기판의 가장자리에 1단 구조 또는 다단 구조의 곡률 경사부를 형성하여 열에 의한 응력 집중 및 전기적 충격에 의한 응력 집중을 완화하므로 세라믹기판의 장기 수명을 확보하고 나아가 파워모듈의 신뢰성을 향상시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

- [35] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이다.
- [36] 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.
- [37] 도 3은 본 발명의 실시예에 의한 파워모듈의 측단면도이다.
- [38] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.
- [39] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
- [40] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.

- [41] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이다.
- [42] 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.
- [43] 도 9는 본 발명의 실시예에 의한 상부 세라믹기판에 연결편이 결합된 상태를 보인 사시도이다.
- [44] 도 10은 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
- [45] 도 11은 본 발명의 실시예에 의한 파워모듈 구조를 설명하기 위한 내부 구성도이다.
- [46] 도 12는 본 발명의 실시예로 상부 세라믹기판의 세라믹기재에 비아홀이 형성된 모습을 보인 사시도이다.
- [47] 도 13은 본 발명의 도 12의 변형예로 상부 세라믹기판에 비아홀이 형성된 모습을 보인 사시도이다.
- [48] 도 14는 본 발명의 실시예에 의한 파워모듈 구조를 설명하기 위한 내부 구성도로, 하우징이 더 포함된 도면이다.
- [49] 도 15은 본 발명의 다른 실시예에 의한 파워모듈 구조를 설명하기 위한 내부 구성도이다.
- [50] 도 16은 본 발명의 다른 실시예에 의한 파워모듈 구조에서 상부 세라믹기판을 보인 단면도이다.
- [51] 도 17 및 도 18은 본 발명의 다른 실시예에 의한 상부 세라믹기판 제조방법을 설명하기 위한 과정도이다.
- [52] \* 부호의 설명 \*
- [53] 10: 파워모듈 100: 하우징
- [54] 101: 안내리브 102: 걸림턱
- [55] 103: 체결공 104: 지지공
- [56] 200: 하부 세라믹기판 201: 세라믹기재
- [57] 202,203: 금속층 210: NTC 온도센서
- [58] 220: 절연 스페이서 230: 인터커넥션 스페이서
- [59] 300,300',300": 상부 세라믹기판 301: 세라믹기재
- [60] 302,303,302",303": 금속층 310: 커팅부
- [61] 320,420: 쓰루홀 330: 비아홀
- [62] 350,350',350": 곡률 경사부 m: 포토마스크
- [63] 400: PCB 기판 401: 안내홈
- [64] 410: 캐패시터 420: 쓰루홀
- [65] 500: 방열판 501: 연통공
- [66] 610: 제1 단자 620: 제2 단자
- [67] 630: 지지볼트 700: 버스바
- [68] G: 반도체 칩(GaN 칩) 800: 연결편
- [69] 850: 솔더층 S: 실리콘액

- [70] P: 금속충진재 h: 구멍  
**발명의 실시를 위한 최선의 형태**
- [71] 이하 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명하기로 한다.
- [72] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이고, 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.
- [73] 도 1 및 도 2에 도시된 바에 의하면, 본 발명의 실시예에 따른 파워모듈(10)은 하우징(100)에 파워모듈을 이루는 각종 구성품을 수용하여 형성한 패키지 형태의 전자부품이다. 파워모듈(10)은 하우징(100) 안에 기관 및 소자를 배치하여 보호하는 형태로 형성된다.
- [74] 파워모듈(10)은 다수의 기관 및 다수의 반도체 칩을 포함할 수 있다. 실시예에 따른 파워모듈(10)은 하우징(100), 하부 세라믹기관(200), 상부 세라믹기관(300), PCB 기관(400) 및 방열판(500)을 포함한다.
- [75] 하우징(100)은 중앙에 상하로 개구되는 빈 공간이 형성되며 양측에 제1 단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 중앙의 빈 공간에 방열판(500), 하부 세라믹기관(200), 상부 세라믹기관(300) 및 PCB 기관(400)이 상하 일정 간격을 두고 순차적으로 적층되며, 양측의 제1 단자(610)와 제2 단자(620)에 외부 단자를 연결하기 위한 지지볼트(630)가 체결된다. 제1 단자(610)와 제2 단자(620)는 전원의 입출력단으로 사용된다.
- [76] 도 2에 도시된 바에 의하면, 파워모듈(10)은 하우징(100)의 중앙의 빈 공간에 하부 세라믹기관(200), 상부 세라믹기관(300), PCB 기관(400)이 순차적으로 수용된다. 구체적으로, 하우징(100)의 하면에 방열판(500)이 배치되고, 방열판(500)의 상면에 하부 세라믹기관(200)이 부착되고, 하부 세라믹기관(200)의 상부에 상부 세라믹기관(300)이 일정 간격을 두고 배치되며, 상부 세라믹기관(300)의 상부에 PCB 기관(400)이 일정 간격을 두고 배치된다.
- [77] 하우징(100)에 PCB 기관(400)이 배치된 상태는 PCB 기관(400)의 가장자리에 요입되게 형성된 안내홈(401,402)과 안내홈(401,402)에 대응되게 하우징(100)에 형성된 안내리브(101) 및 걸림턱(102)에 의해 고정될 수 있다. 실시예에 따른 PCB 기관(400)은 가장자리를 둘러 다수 개의 안내홈(401,402)이 형성되고, 이들 중 일부의 안내홈(401)은 하우징(100)의 내측면에 형성된 안내리브(101)가 안내되고 이들 중 나머지 일부의 안내홈(402)은 하우징(100)의 내측면에 형성된 걸림턱(102)이 통과되어 걸어진다.
- [78] 또는, 하우징(100)의 중앙의 빈 공간에 방열판(500), 하부 세라믹기관(200), 상부 세라믹기관(300)이 수용되고, 그 상면에 PCB 기관(400)이 배치된 상태는 체결볼트(미도시)로 고정될 수도 있다. 그러나, 하우징(100)에 PCB 기관(400)을 안내홈과 걸림턱 구조로 고정하는 것이 체결볼트로 고정하는 경우 대비 조립 시간을 줄이고 조립 공정이 간편하다.
- [79] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은

방열판(500)에 형성된 연통공(501)과 연통된다. 체결공(103)과 연통공(501)을 관통하여 고정볼트(150)가 체결되고, 체결공(103)과 연통공(501)을 관통한 고정볼트(150)의 단부는 방열판(500)의 하면에 배치될 고정지그의 고정공에 체결될 수 있다.

- [80] 제1 단자(610)와 제2 단자(620)에 버스바(700)가 연결된다. 버스바(700)는 제1 단자(610)와 제2 단자(620)를 상부 세라믹기판(300)과 연결한다. 버스바(700)는 3개가 구비된다. 버스바(700) 중 하나는 제1 단자(610) 중 +단자를 상부 세라믹기판(300)의 제1 전극 패턴(a)과 연결하고, 다른 하나는 제1 단자(610) 중 -단자를 제3 전극 패턴(c)과 연결하며, 나머지 하나는 제2 단자(620)를 제2 전극 패턴(b)과 연결한다. 제1 전극 패턴(a), 제2 전극 패턴(b) 및 제3 전극 패턴(c)은 후술할 도 7 및 도 10을 참조한다.
- [81] 도 3은 본 발명의 실시예에 의한 파워모듈의 측면면도이다.
- [82] 도 3에 도시된 바에 의하면, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)의 복층 구조이며, 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 반도체 칩(G)이 위치된다. 반도체 칩(G)은 GaN(Gallium Nitride) 칩, MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGBT(Insulated Gate Bipolar Transistor), JFET(Junction Field Effect Transistor), HEMT(High Electric Mobility Transistor) 중 어느 하나일 수 있으나, 바람직하게는 반도체 칩(G)은 GaN 칩을 사용한다. GaN(Gallium Nitride) 칩(G)은 대전력(300A) 스위치 및 고속(~1MHz) 스위치로 기능하는 반도체 칩이다. GaN 칩은 기존의 실리콘 기반 반도체 칩보다 열에 강하면서 칩의 크기도 줄일 수 있는 장점이 있다.
- [83] 하부 세라믹기판(200)과 상부 세라믹기판(300)은 반도체 칩(G)으로부터 발생하는 열의 방열 효율을 높일 수 있도록, 세라믹기재와 세라믹기재의 적어도 일면에 브레이징 접합된 금속층을 포함하는 세라믹기판으로 형성된다.
- [84] 세라믹기재는 알루미늄( $Al_2O_3$ ), AlN, SiN,  $Si_3N_4$  중 어느 하나인 것을 일 예로 할 수 있다. 금속층은 세라믹기재 상에 브레이징 접합된 금속박으로 반도체 칩(G)을 실장하는 전극 패턴 및 구동소자를 실장하는 전극 패턴으로 각각 형성된다. 예컨대, 금속층은 반도체 칩 또는 주변 부품이 실장될 영역에 전극 패턴으로 형성된다. 금속박은 알루미늄박 또는 동박인 것을 일 예로 한다. 금속박은 세라믹기재 상에 780°C~1100°C로 소성되어 세라믹기재와 브레이징 접합된 것을 일 예로 한다. 이러한 세라믹기판을 AMB 기판이라 한다. 실시예는 AMB 기판을 예로 들어 설명하나 DBC 기판, TPC 기판, DBA 기판을 적용할 수도 있다. 그러나 내구성 및 방열 효율면에서 AMB 기판이 가장 적합하다. 상기한 이유로, 하부 세라믹기판(200)과 상부 세라믹기판(300)은 AMB 기판임을 일 예로 한다.
- [85] PCB 기판(400)은 상부 세라믹기판(300)의 상부에 배치된다. 즉, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)과 PCB 기판(400)의 3층 구조로 구성된다. 고전력용 제어를 위한 반도체 칩(G)을 상부 세라믹기판(200)과 하부

세라믹기판(300)의 사이에 배치하여 방열 효율을 높이고, 저전력용 제어를 위한 PCB 기판(400)을 최상부에 배치하여 반도체 칩(G)에서 발생하는 열로 인한 PCB 기판(400)의 손상을 방지한다. 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400)은 핀으로 연결 또는 고정될 수 있다.

- [86] 방열판(500)은 하부 세라믹기판(200)의 하부에 배치된다. 방열판(500)은 반도체 칩(G)에서 발생하는 열의 방열을 위한 것이다. 방열판(500)은 소정의 두께를 가지는 사각 플레이트 형상으로 형성된다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 또는 알루미늄 재질로 형성될 수 있다.
- [87] 이하에서는 본 발명의 파워모듈의 각 구성별 특징을 더욱 상세하게 설명하기로 한다. 파워모듈의 각 구성별 특징을 설명하는 도면에서는 각 구성별 특징을 강조하기 위해 도면을 확대하거나 과장하여 표현한 부분이 있으므로 도 1에 도시된 기본 도면과 일부 일치하지 않는 부분이 있을 수 있다.
- [88] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.
- [89] 도 4에 도시된 바에 의하면, 하우징(100)은 중앙에 빈 공간이 형성되며, 양단에 제1 단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 양단에 제1 단자(610)와 제2 단자(620)가 일체로 고정되게 인서트 사출 방식으로 형성될 수 있다.
- [90] 기존의 파워모듈은 이격된 회로를 연결하기 위해 하우징에 연결핀을 인서트 사출하여 적용하고 있으나, 본 실시예는 하우징(100)의 제조시 연결핀을 제외하여 제조한 형상을 갖는다. 이는 하우징(100)의 내부에 연결핀이 위치하지 않음으로써 형상을 단순화하여 파워모듈의 비틀림 모멘트에 유연성을 향상시킨다.
- [91] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은 방열판(500)에 형성된 연통공(501)과 연통된다. 제1 단자(610)와 제2 단자(620)에는 지지공(104)이 형성된다. 지지공(104)에는 제1 단자(610) 및 제2 단자(620)를 모터 등의 외부 단자와 연결하기 위한 지지볼트(630)가 체결된다(도 9 참조).
- [92] 하우징(100)은 단열 재질로 형성된다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 상부의 PCB 기판(400)에 전달되지 않도록 단열 재질로 형성될 수 있다.
- [93] 또는 하우징(100)은 방열 플라스틱 재질을 적용할 수 있다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 외부로 방열될 수 있도록 방열 플라스틱 재질을 적용할 수 있다. 일 예로, 하우징(100)은 엔지니어링 플라스틱으로 형성될 수 있다. 엔지니어링 플라스틱은 높은 내열성과 뛰어난 강도, 내약품성, 내마모성을 가지며 150°C 이상에서 장시간 사용 가능하다. 엔지니어링 플라스틱은 폴리아미드, 폴리카보네이트, 폴리에스테르, 변성 폴리페닐렌옥사이드 중 하나의 재료로 된 것일 수 있다.

- [94] 반도체 칩(G)은 스위치로서 반복 동작을 하는데 그로 인해 하우징(100)은 고온과 온도변화에 스트레스를 받게 되나, 엔지니어링 플라스틱은 고온 안정성이 우수하므로 일반 플라스틱에 비해 고온과 온도변화에 상대적으로 안정적이고 방열 특성도 우수하다.
- [95] 실시예는 엔지니어링 플라스틱 소재에 알루미늄 또는 구리로 된 단자를 인서트사출 적용하여 하우징(100)을 제조한 것일 수 있다. 엔지니어링 플라스틱 소재로 된 하우징(100)은 열을 전파시켜 외부로 방열시킨다. 하우징(100)은 수지에 고열 전도율 필러를 충전함으로써 일반 엔지니어링 플라스틱 소재보다 열전도성을 더 높일 수 있고 알루미늄에 비해 경량인 고방열 엔지니어링 플라스틱으로 될 수 있다.
- [96] 또는, 하우징(100)은 엔지니어링 플라스틱 또는 고강도 플라스틱 소재의 내외부에 그래핀 방열코팅제를 도포하여 방열 특성을 가지도록 한 것일 수 있다.
- [97] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
- [98] 도 3 및 도 5에 도시된 바에 의하면, 하부 세라믹기판(200)은 방열판(500)의 상면에 부착된다. 구체적으로, 하부 세라믹기판(200)은 반도체 칩(G)과 방열판(500)의 사이에 배치된다. 하부 세라믹기판(200)은 반도체 칩(G)에서 발생하는 열을 방열판(500)으로 전달하고, 반도체 칩(G)과 방열판(500)의 사이를 절연하여 쇼트를 방지하는 역할을 한다.
- [99] 하부 세라믹기판(200)은 방열판(500)의 상면에 솔더링 접합될 수 있다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 재질로 형성될 수 있다. 솔더링 접합을 위한 솔더는 SnAg, SnAgCu 등이 사용될 수 있다.
- [100] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.
- [101] 도 5 및 도 6에 도시된 바에 의하면, 하부 세라믹기판(200)은 세라믹기재(201)와 세라믹기재(201)의 상하면에 브레이징 접합된 금속층(202,203)을 포함한다. 하부 세라믹기판(200)은 세라믹기재(201)의 두께가 0.68t이고, 세라믹기재(201)의 상면과 하면에 형성한 금속층(202,203)의 두께가 0.8t인 것을 일 예로 할 수 있다.
- [102] 하부 세라믹기판(200)의 상면(200a)의 금속층(202)은 구동소자를 실장하는 전극 패턴일 수 있다. 하부 세라믹기판(200)에 실장되는 구동소자는 NTC 온도센서(210)일 수 있다. NTC 온도센서(210)는 하부 세라믹기판(200)의 상면에 실장된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 하부 세라믹기판(200)의 하면(200b)의 금속층(203)은 방열판(500)에 열전달을 용이하게 하기 위해 하부 세라믹기판(200)의 하면 전체에 형성될 수 있다.
- [103] 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상면에 접합되며 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정한다.

- [104] 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정하여 상부 세라믹기판(300)의 하면에 실장된 반도체 칩(G)에서 발생하는 열의 방열 효율을 높이고, 반도체 칩(G) 간의 간섭을 방지하여 쇼트와 같은 전기적 충격을 방지한다.
- [105] 절연 스페이서(220)는 하부 세라믹기판(200)의 상면 가장자리를 둘러 소정 간격을 두고 다수 개가 접합된다. 절연 스페이서(220) 간의 간격은 방열 효율을 높이는 공간으로 활용된다. 도면상 절연 스페이서(220)는 하부 세라믹기판(200)을 기준으로 할 때 가장자리를 둘러 배치되며, 일 예로 8개가 일정 간격을 두고 배치된다.
- [106] 절연 스페이서(220)는 하부 세라믹기판(200)에 일체로 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상부에 상부 세라믹기판(300)을 배치할 때 얼라인을 확인하는 용도로 적용될 수도 있다. 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된 상태에서 그 상부에 반도체 칩(G)이 실장된 상부 세라믹기판(300)을 배치할 때, 절연 스페이서(220)가 상부 세라믹기판(300)의 얼라인을 확인하는 용도로 적용될 수 있다. 또한, 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)을 지지하여 하부 세라믹기판(200)과 상부 세라믹기판(300)의 휨을 방지하는데 기여한다.
- [107] 절연 스페이서(220)는 하부 세라믹기판(200)에 실장된 칩과 상부 세라믹기판(300)에 실장된 칩 및 부품 간의 절연을 위해 세라믹 소재로 형성될 수 있다. 일 예로, 절연 스페이서는  $Al_2O_3$ , ZTA,  $Si_3N_4$ , AlN 중 선택된 1종 또는 이들 중 둘 이상이 혼합된 합금으로 형성될 수 있다.  $Al_2O_3$ , ZTA,  $Si_3N_4$ , AlN는 기계적 강도, 내열성이 우수한 절연성 재료이다.
- [108] 절연 스페이서(220)는 하부 세라믹기판(200)에 브레이징 접합된다. 절연 스페이서(220)를 하부 세라믹기판(200)에 솔더링 접합하면 솔더링 또는 가압 소성시 열적 기계적 충격으로 인해 기판이 파손될 수 있으므로 브레이징 접합한다. 브레이징 접합은 AgCu층과 Ti층을 포함한 브레이징 접합층을 이용할 수 있다. 브레이징을 위한 열처리는  $780^{\circ}C \sim 900^{\circ}C$ 에서 수행할 수 있다. 브레이징 후, 절연 스페이서(220)는 하부 세라믹기판(200)의 금속층(202)과 일체로 형성된다. 브레이징 접합층의 두께는  $0.005mm \sim 0.08mm$ 로 절연 스페이서의 높이에 영향을 미치지 않을 만큼 얇고 접합 강도는 높다.
- [109] 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 인터커넥션 스페이서(230)가 설치된다. 인터커넥션 스페이서(230)는 상하 복층 구조의 기판에서 연결핀을 대신하여 전극 패턴 간 전기적 연결을 수행할 수 있다. 인터커넥션 스페이서(230)는 전기적 로스(loss) 및 쇼트(shot)를 방지하면서 기판 간을 직접 연결하고 접합 강도를 높이며 전기적 특성도 개선할 수 있다. 인터커넥션 스페이서(230)는 일단이 브레이징 접합 방식으로 하부 세라믹기판(200)의 전극 패턴에 접합될 수 있다. 또한, 인터커넥션 스페이서(230)는 반대되는 타단이 브레이징 접합 방식 또는 솔더링 접합

방식으로 상부 세라믹기판(300)의 전극 패턴에 접합될 수 있다. 인터커넥션 스페이서(230)는 Cu 또는 Cu+CuMo 합금일 수 있다.

- [110] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이고, 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.
- [111] 도 7 및 도 8에 도시된 바에 의하면, 상부 세라믹기판(300)은 하부 세라믹기판(200)의 상부에 배치된다.
- [112] 상부 세라믹기판(300)은 적층 구조의 중간 기판이다. 상부 세라믹기판(300)은 하면에 반도체 칩(G)을 실장하고, 고속 스위칭을 위한 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로를 구성한다.
- [113] 상부 세라믹기판(300)은 세라믹기재(301)와 세라믹기재(301)의 상하면에 브레이징 접합된 금속층(302,303)을 포함한다. 상부 세라믹기판(300)은 세라믹기재의 두께가 0.38t이고 세라믹기재의 상면(300a)과 하면(300b)에 전극 패턴의 두께가 0.3t인 것을 일 예로 한다. 세라믹기판은 상면과 하면의 패턴 두께가 동일해야 브레이징시 틀어지지 않는다.
- [114] 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴은 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분된다. 상부 세라믹기판(300)의 하면의 금속층(303)이 형성하는 전극 패턴은 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴과 대응된다. 상부 세라믹기판(300)의 상면의 전극 패턴을 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분한 것은 고속 스위칭을 위해 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로로 분리하기 위함이다.
- [115] 반도체 칩(G)은 상부 세라믹기판(300)의 하면(300b)에 솔더(Solder), 은 페이스트(Ag Paste) 등의 접착층에 의해 플립칩(flip chip) 형태로 구비된다. 반도체 칩(G)이 상부 세라믹기판(300)의 하면에 플립칩 형태로 구비됨에 따라 와이어 본딩이 생략되어 인덕턴스 값을 최대한 낮출 수가 있게 되어, 이에 의해 방열 성능 또한 개선시킬 수 있다.
- [116] 도 8에 도시된 바와 같이, 반도체 칩(G)은 고속 스위칭을 위해 2개씩 병렬로 연결될 수 있다. 반도체 칩(G)은 2개가 상부 세라믹기판(300)의 전극 패턴 중 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하는 위치에 배치되고, 나머지 2개가 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하는 위치에 병렬로 배치된다. 일 예로 반도체 칩(G) 하나의 용량은 150A이다. 따라서 반도체 칩(G) 2개를 병렬 연결하여 용량이 300A가 되도록 한다. 반도체 칩(G)은 GaN 칩이다.
- [117] 반도체 칩(G)을 사용하는 파워모듈의 목적은 고속 스위칭에 있다. 고속 스위칭을 위해서는 Gate drive IC 단자에서 반도체 칩(G)의 Gate 단자 간이 매우 짧은 거리로 연결되는 것이 중요하다. 따라서 반도체 칩(G) 간을 병렬로 연결하여 Gate drive IC와 Gate 단자 간 연결 거리를 최소화한다. 또한, 반도체 칩(G)이 고속으로 스위칭하기 위해서는 반도체 칩(G)의 Gate 단자와 Source 단자가 동일한 간격을 유지하는 것이 중요하다. 이를 위해 반도체 칩(G)과

반도체 칩(G)의 사이의 중심에 연결핀이 연결되도록 Gate 단자와 Source 단자를 배치할 수 있다. Gate 단자와 Source 단자가 동일한 간격을 유지하지 않거나 패턴의 길이가 달라지면 문제가 발생한다.

- [118] Gate 단자는 낮은 전압을 이용하여 반도체 칩(G)을 온오프(on/off)시키는 단자이다. Gate 단자는 연결핀을 통해 PCB 기판(400)과 연결될 수 있다. Source 단자는 고전류가 들어오고 나가는 단자이다. 반도체 칩(G)은 Drain 단자를 포함하며, Source 단자와 Drain 단자는 N형과 P형으로 구분되어 전류의 방향을 바꿀 수 있다. Source 단자와 Drain 단자는 반도체 칩(G)을 실장하는 전극 패턴인 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)을 통해 전류의 입출력을 담당한다. Source 단자와 Drain 단자는 전원의 입출력을 담당하는 도 1의 제1 단자(610) 및 제2 단자(620)와 연결된다.
- [119] 도 1 및 도 8을 참조하면, 도 1에 도시된 제1 단자(610)는 +단자와 -단자를 포함하며, 제1 단자(610)에서 +단자로 유입된 전원은 도 8에 도시된 상부 세라믹기판(300)의 제1 전극 패턴(a), 제1 전극 패턴(a)과 제2 전극 패턴(b)의 사이에 배치된 반도체 칩(G) 및 제2 전극 패턴(b)을 통해 제2 단자(620)로 출력된다. 그리고 도 1에 도시된 제2 단자(620)로 유입된 전원은 도 8에 도시된 제2 전극 패턴(b), 제2 전극 패턴(b)과 제3 전극 패턴(c)의 사이에 배치된 반도체 칩(G) 및 제3 전극 패턴(c)을 통해 제1 단자(610)의 -단자로 출력된다. 예컨대, 제1 단자(610)에서 유입되고 반도체 칩(G)을 통과하여 제2 단자(620)로 출력되는 전원을 하이 사이드(High Side), 제2 단자(620)에서 유입되고 반도체 칩(G)을 통과하여 제1 단자(610)로 출력되는 전원을 로우 사이드(Low Side)가 된다.
- [120] 도 7에 도시된 바에 의하면, 상부 세라믹기판(300)은 NTC 온도센서(210)에 대응하는 부분에 커팅부(310)가 형성될 수 있다. 하부 세라믹기판(200)의 상면에 NTC 온도센서(210)가 장착된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 그런데 NTC 온도센서(210)의 두께가 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이의 간격에 비해 두꺼워 NTC 온도센서(210)와 상부 세라믹기판(300)의 간섭이 발생한다. 이를 해결하기 위해 NTC 온도센서(210)와 간섭되는 부분의 상부 세라믹기판(300)을 커팅하여 커팅부(310)를 형성한다.
- [121] 커팅부(310)를 통해 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이 공간에 몰딩을 위한 실리콘액 또는 에폭시를 주입할 수 있다. 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이를 절연하기 위해 실리콘액 또는 에폭시를 주입해야 한다. 상부 세라믹기판(300)과 하부 세라믹기판(200)에 실리콘액 또는 에폭시를 주입하기 위해 상부 세라믹기판(300)의 한쪽면을 커팅하여 커팅부(310)를 형성할 수 있으며, 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 형성하여 상부 세라믹기판(300)과 NTC 온도센서(210)의 간섭도 방지할 수 있다. 실리콘액 또는 에폭시는 반도체 칩(G)의 보호, 진동의 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의

- 공간과 상부 세라믹기판(300)과 PCB 기판(400) 사이의 공간에 충전할 수 있다.
- [122] 상부 세라믹기판(300)에 쓰루홀(Through Hole)(320)이 형성된다. 쓰루홀(320)은 상하 복층의 기판 구조에서 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하고, 하부 세라믹기판(200)에 실장된 NTC 온도센서(210)를 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하기 위한 것이다.
- [123] 쓰루홀(320)은 반도체 칩이 설치되는 위치에 2개씩 8개가 형성되고, NTC 온도센서가 설치되는 위치에 2개가 설치되어 총 10개가 형성될 수 있다. 또한, 쓰루홀(320)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)이 형성된 부분에 다수 개가 형성될 수 있다.
- [124] 제1 전극 패턴(a)에 형성된 다수 개의 쓰루홀(320)은 상부 세라믹기판(300)의 상면의 제1 전극 패턴(a)으로 유입된 전류가 상부 세라믹기판(300)의 하면에 형성된 제1 전극 패턴(a)으로 이동하고 반도체 칩(G)으로 유입되도록 한다. 제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)은 반도체 칩(G)으로 유입된 전류가 상부 세라믹기판(300)의 하면의 제3 전극 패턴(c)을 통해 상부 세라믹기판(300)의 상면의 제3 전극 패턴(c)으로 이동하도록 한다.
- [125] 쓰루홀(320)의 직경은 0.5mm~5.0mm일 수 있다. 쓰루홀(320)에는 연결핀이 설치되어 PCB 기판의 전극 패턴과 연결되고 이를 통해 PCB 기판(400)에 실장되는 구동소자와 연결될 수 있다. 상하 복층의 기판 구조에서 쓰루홀(320) 및 쓰루홀(320)에 설치되는 연결핀을 통한 전극 패턴 간 연결은 최단 거리 연결을 통해 다양한 출력 손실을 제거하여 파워모듈의 크기에 따른 제약을 개선하는데 기여할 수 있다.
- [126] 상부 세라믹기판(300)의 전극 패턴에는 복수 개의 비아홀(330)이 형성될 수 있다. 비아홀(330)은 기판 면적 대비 최소 50% 이상 가공될 수 있다. 상술한 비아홀(330)의 면적은 기판 면적 대비 최소 50% 이상 적용되는 예로 들어 설명하였으나, 이에 한정되는 것은 아니며 50% 이하로 가공될 수도 있다.
- [127] 일 예로 제1 전극 패턴(a)에는 152개의 비아홀이 형성되고 제2 전극 패턴(b)에는 207개의 비아홀이 형성되고 제3 전극 패턴(c)에는 154개의 비아홀이 형성될 수 있다. 각 전극 패턴에 형성되는 복수 개의 비아홀(330)은 대전류 통전 및 대전류 분산을 위한 것이다. 하나의 슬롯 형태로 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 도통시키면 한쪽으로만 고전류가 흘러 쇼트, 과열 등의 문제가 발생할 수 있다.
- [128] 비아홀(330)에는 전도성 물질이 충전된다. 전도성 물질은 Ag 또는 Ag 합금일 수 있다. Ag 합금은 Ag-Pd 페이스트일 수 있다. 비아홀(330)에 충전된 전도성 물질은 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 전기적으로 연결한다. 비아홀(330)은 레이저 가공하여 형성할 수 있다. 비아홀(330)은 도 8의 확대도에서 확인할 수 있다.
- [129] 도 9는 본 발명의 실시예에 의한 상부 세라믹기판에 연결핀이 결합된 상태를

보인 사시도이다.

- [130] 도 9에 도시된 바에 의하면, 연결핀(800)은 상부 세라믹기판(300)에서 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(Through Hole)(도 7의 도면부호 320)에 끼워진다. 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(도 10의 도면부호 400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 실장하는 게이트(Gate) 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [131] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진다. NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응되는 위치에 형성된 쓰루홀(420)에 끼워져 NTC 온도센서(210)의 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [132] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)에 일렬로 형성된 다수 개의 쓰루홀(320)에 끼워진다. 제1 전극 패턴(a)과 제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 PCB 기판(400)의 캐패시터(410)와 연결할 수 있다.
- [133] 연결핀(800)은 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하여 다양한 출력 손실을 제거하고 고속 스위칭이 가능하게 한다.
- [134] 도 10은 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
- [135] 도 10에 도시된 바에 의하면, PCB 기판(400)은 반도체 칩(G)을 스위칭하거나 NTC 온도센서(도 7의 도면부호 210)가 감지한 정보를 이용하여 GaN 칩(반도체 칩)을 스위칭하기 위한 구동소자가 실장된다. 구동소자는 Gate Drive IC를 포함한다.
- [136] PCB 기판(400)은 상면에 캐패시터(410)가 장착된다. 캐패시터(410)는 상부 세라믹기판(300)의 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 배치된 반도체 칩(G)과 상부 세라믹기판(300)의 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하도록 배치된 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 장착된다.
- [137] 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 캐패시터(410)가 장착되면, 연결핀(도 9의 도면부호 800)을 이용하여 반도체 칩(G)과 Drive IC 회로를 최단거리로 연결할 수 있으므로 고속 스위칭에 보다 유리하다. 일 예로, 캐패시터(410)는 용량을 맞추기 위해 10개가 병렬로 연결될 수 있다. 입력단에 디커플링용도로 2.5 $\mu$ F 이상을 확보하기 위해서 고전압의 캐패시터 10개를 연결하여 용량을 확보할 수 있다. Gate Drive IC 회로는 High side gate drive IC와 Low side gate drive IC를 포함한다.

## 발명의 실시를 위한 형태

- [138] 도 11은 본 발명의 실시예에 의한 파워모듈 구조를 설명하기 위한 내부 구성도이다. 도 11의 내부 구성도는 도 3에서 보여지는 실제 파워모듈의 내부 구조를 식별이 용이하도록 주요 부분만 과장하여 도시한 것이다. 따라서 도 3의 실제 측면도와 도 11의 구성도는 일부 일치하지 않는 부분이 있을 수 있다.
- [139] 도 11에 도시된 바에 의하면, 파워모듈(10)은 하부 세라믹기판(200), 상부 세라믹기판(300) 및 PCB 기판(400)의 3층 일체형 구조로 된다.
- [140] 상부 세라믹기판(300)은 하부 세라믹기판(200)의 상부에 이격되게 배치된다. 반도체 칩(G)은 상부 세라믹기판(300)의 하면에 실장되고 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 배치된다. 고전력용 제어를 위한 반도체 칩(G)은 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 배치하여 방열 효율을 높인다. 또한, 하부 세라믹기판(200)과 상부 세라믹기판(300)을 상하 복층 구조로 형성하고, 그 사이에 고출력 반도체 칩(G)을 배치하면 반도체 칩(G)이 외부 환경으로부터 보호되므로 파워모듈(10)의 면적 및 부피에 제약을 받지 않으면서 성능을 구현할 수 있다.
- [141] 상부 세라믹기판(300)의 상부에 PCB 기판(400)이 배치된다. 저전력용 제어를 위한 PCB 기판(400)은 상부 세라믹기판(300)의 상부에 이격되게 배치하여 반도체 칩(G)에서 발생하는 열로 인한 PCB 기판(400)의 손상을 방지한다.
- [142] PCB 기판(400)의 상면에는 반도체 칩(G)의 스위칭하기 위한 구동소자, 전압을 연속적이게 하기 위한 캐패시터, 커넥터 등이 실장된다. 구동소자는 Gate Drive IC 회로를 포함한다. Gate Drive IC 회로는 High side gate drive IC와 Low side gate drive IC를 포함한다. PCB 기판(400)은 복수의 절연층의 사이에 내부 전극 패턴이 형성되고 최상층에 상부 전극 패턴이 형성된 다층 구조로 될 수 있다.
- [143] 상부 세라믹기판(300)과 PCB 기판(400)에 쓰루홀(320,420)이 형성된다. 상부 세라믹기판(300)과 PCB 기판(400)에 형성된 쓰루홀(320,420)에 연결핀(800)이 관통 설치된다. 연결핀(800)은 상부 세라믹기판(300)과 PCB 기판(400)에 형성된 전극 패턴(a,b,c,d) 간을 수직으로 연결한다.
- [144] 상부 세라믹기판(300)의 쓰루홀(320)과 PCB 기판(400)의 쓰루홀(420)을 관통하여 설치된 연결핀(800)은 상부 세라믹기판(300)의 전극 패턴(a,b,c)과 PCB 기판(400)의 전극 패턴(d)을 최단 거리로 연결하여 다양한 출력 손실을 제거하고 임피던스와 인덕턴스를 낮춤으로써 대전력을 고속으로 제어하기 용이하도록 한다.
- [145] 전압이 일정하다는 가정하에 임피던스가 낮으면 전류의 이동이 용이하므로 전류를 고속으로 제어하기 용이하다. 그리고 인덕턴스가 높으면 저항이 증가하고 열이 증가하므로 고속 스위칭 및 방열을 위해서는 인덕턴스를 낮추는 것이 중요하다. 임피던스와 인덕턴스는 전극 패턴의 연결 거리가 길수록 높아진다.

- [146] 만약, 하부 세라믹기판(200), 상부 세라믹기판(300) 및 PCB 기판(400)을 별도로 제작하고 필요에 따라서 조립하여 사용하면, 전극 패턴 간을 최단 거리로 연결하기 어렵고 와이어 등을 이용하여 연결해야 하므로 다양한 출력 손실이 발생하고, 높은 임피던스와 인덕턴스로 인해 전류를 고속으로 제어하기 어려운 한계가 있다.
- [147] 따라서, 실시예의 파워모듈은 고출력 전력 반도체 칩 모듈과 Drive PCBA(Print Circuit Board Assembly)를 일체형으로 구성하여 전류 경로를 최소화하고 임피던스와 인덕턴스를 낮춘다. 고출력 전력 반도체 칩 모듈은 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 고출력 반도체 칩(G)을 배치한 구조의 모듈이고, Drive PCBA는 PCB 기판(400)에 구동소자 및 전극 패턴 등을 포함한 PCB 조립품을 의미한다.
- [148] 반도체 칩(G)은 SiC 칩, GaN 칩, MOSFET, IGBT, JFET, HEMT 중 어느 하나일 수 있다. 바람직하게는 반도체 칩(G)은 GaN 칩이며, 상부 세라믹기판(300)의 하면에 플립칩 형태로 고정한다. 실시예에서 반도체 칩(G)은 상면의 표면 전극이 상부 세라믹기판(300)의 하면의 금속층(303)에 접합되고 하면이 하부 세라믹기판(200)의 상면의 금속층(202)에 접합된다. 상기와 같이, 반도체 칩(G)을 상부 세라믹기판(300)에 플립칩 형태로 고정하면 반도체 칩(G)과 Gate drive IC 단자 간의 거리를 최대한 짧게 설계할 수 있어 반도체 칩(G)의 성능을 최대한 발휘하도록 할 수 있다.
- [149] 연결핀(800)은 상부 세라믹기판(300)에 실장되는 반도체 칩(G)의 게이트 단자와 PCB 기판(400)에 실장되는 드라이브 IC를 연결할 수 있다. 드라이브 IC는 하이 게이트 드라이브 IC(HS gate drive IC)와 로우 게이트 드라이브 IC(LS gate drive IC)를 포함한다. 또한, 연결핀(800)은 상부 세라믹기판(300)의 전극 패턴을 PCB 기판(400)에 실장되는 캐패시터와 연결할 수 있다.
- [150] 연결핀(800)은 상부 세라믹기판(300)과 PCB 기판(400)을 수직으로 연결하되, 쇼트 방지를 위하여 상부 세라믹기판(300)의 하부에 배치되는 하부 세라믹기판(200)과는 접촉하지 않는다.
- [151] 쓰루홀(320,420)에 관통 설치된 연결핀(800)은 상부 세라믹기판(300)의 쓰루홀(320)의 가장자리의 전극 패턴(a,b,c)과 레이저 웰딩에 의해 접합될 수 있다. 연결핀(800)을 쓰루홀(320)에 끼움 결합하고 레이저 웰딩으로 접합하면 연결핀(800)을 상부 세라믹기판(300)에 고정하기 용이하고 위치의 정밀도가 향상된다. 이는 연결핀(800)이 상부 세라믹기판(300)의 전극 패턴(a,b,c)에 안정적으로 연결되게 하므로 파워모듈의 작동 신뢰성 확보에 유리하다.
- [152] 레이저 웰딩시 연결핀(800)을 상부 세라믹기판(300)의 전극 패턴(a,b,c)에 접합하는 솔더층(850)을 포함할 수 있다. 솔더층(850)은 상부 세라믹기판(300)의 쓰루홀(320)의 가장자리에 도포되고 레이저 웰딩시 녹아 연결핀(800)을 전극 패턴(a,b,c)에 접합할 수 있다. 연결핀(800)은 전도성이 있는 구리 또는 구리합금으로 형성될 수 있다. 연결핀(800)은 쓰루홀(320,420)의 직경에

대응되는 원기둥 형상으로 형성될 수도 있고 제작의 용이성을 위해 사각 기둥 형상으로 형성될 수도 있다. 또는, 연결핀(800)은 묶음 형태로 제작되어 상부 세라믹기판(300)의 쓰루홀(320)에 끼움 결합될 수 있다.

- [153] 쓰루홀(320,420)의 직경은 0.5mm~5.0mm이다. 쓰루홀(320,420)의 직경은 0.5mm 미만이면 연결핀(800)을 끼움 결합하기 어렵고 레이저 웰딩이 어려우며 안정적인 고정이 어려울 수 있다. 쓰루홀(320,420)의 직경은 5.0mm를 초과하면 이웃하는 전극 패턴 간의 간섭으로 인해 파워모듈(10)의 크기가 커져야 하므로 소형화에 장애가 된다.
- [154] 하부 세라믹기판(200)의 하면에 부착된 방열판(500)을 포함한다. 방열판(500)은 하부 세라믹기판(200)의 하면에 솔더링 접합될 수 있다.
- [155] 하부 세라믹기판(200)과 상부 세라믹기판(300)은 세라믹기재(201,301)와 세라믹기재(201,301)의 상면과 하면에 브레이징 접합된 금속층(202,203,302,303)을 포함한다. 세라믹기재(201,301)는 알루미나( $Al_2O_3$ ), ZTA, AlN, SiN,  $Si_3N_4$  중 하나로 형성되고, 금속층(202,203,302,303)은 구리 또는 구리합금 재질로 형성된다.
- [156] 하부 세라믹기판(200)은 AMB(Active Metal Brazing) 기판이고, AMB 기판을 형성하는 세라믹기재(201)의 두께가 0.635mm이고 세라믹기재(201)의 상부와 하부의 금속층(202,203)의 두께가 각각 0.8mm인 것을 일 예로 할 수 있다.
- [157] 상부 세라믹기판(300)은 AMB(Active Metal Brazing) 기판이고, AMB 기판을 형성하는 세라믹기재(301)의 두께가 0.38mm이고 세라믹기재(301)의 상부와 하부의 금속층(302,303)의 두께가 각각 0.3mm인 것을 일 예로 할 수 있다. 또한 금속층은 동박인 것을 일 예로 한다. 금속층(302,303)이 전극 패턴(a,b,c)을 형성한다.
- [158] PCB 기판(400)은 다층 구조의 FR4 기판이고, 두께가 0.9mm인 것을 일 예로 할 수 있다. 방열판(500)은 구리 재질, 구리합금 재질, Cu-Mo-Cu 3층 구조 및 Cu-CuMo-Cu 3층 구조 중 어느 하나 형성되며 두께가 4mm인 것을 일 예로 할 수 있다.
- [159] 상부 세라믹기판(300)에는 비아홀(330)이 형성될 수 있다.
- [160] 도 12는 본 발명의 실시예로 상부 세라믹기판의 세라믹기재에 비아홀이 형성된 모습을 보인 사시도이고, 도 13은 본 발명의 도 12의 변형예로 상부 세라믹기판에 비아홀이 형성된 모습을 보인 사시도이다.
- [161] 도 12에 도시된 바에 의하면, 비아홀(330)은 상부 세라믹기판(300)을 상하로 관통하도록 형성되고, 금속충진재(P)는 비아홀(330)에 충전되어 세라믹기재(301)의 상면과 하면의 전극 패턴(a,b,c)을 연결할 수 있다.
- [162] 또는, 도 13에 도시된 바와 같이, 비아홀(330)은 상부 세라믹기판(300)의 세라믹기재(301)를 상하로 관통하도록 형성된다. 비아홀(330)은 복수 개가 형성되며, 비아홀(330)에는 금속충진재(P)가 충전된다. 비아홀(330)에 충전된 금속충진재(P)는 세라믹기재(301)의 상면과 하면의 전극 패턴(a,b,c)을 수직으로

- 연결한다. 비아홀(330)에 충전된 금속충진재(P)는 비아홀(330)의 상부와 하부로 돌출되어 세라믹기재(301)의 상면과 하면의 전극 패턴(a,b,c)과 접합될 수 있다.
- [163] 상부 세라믹기판(300,300')의 세라믹기재(301)는 알루미나( $Al_2O_3$ ), ZTA, AlN, SiN,  $Si_3N_4$  중 하나로 형성될 수 있다. 금속층(302,303)은 구리 또는 구리합금 재질로 형성된다. 상부 세라믹기판(300,300')의 금속층(302,303)은 전극 패턴(a,b,c)을 형성한다.
- [164] 이와 같이, 세라믹기재(301)는 절연재질로 형성되므로 상면과 하면의 전극 패턴(a,b,c)의 전기적 연결이 불가능한 구조이다. 파워모듈에서 반도체 칩을 통한 루프 연결 및 전기적 회로 연결이 필요한데, 전기적 루프 길이가 길어지면 인덕턴스 값이 증가한다. 인덕턴스 값이 증가하면 전류의 고속 이동에 불리하다.
- [165] 따라서 인덕턴스 값을 낮추어 전류의 고속 이동에 유리하도록 세라믹기재(301)의 상면과 하면의 전극 패턴(a,b,c)을 비아홀(330)에 충전한 금속충진재(P)로 연결하여 전류의 이동 효율을 높이고, 파워모듈의 소형화가 가능하게 할 수 있다.
- [166] 비아홀(330)은 금속충진재(P)의 충진이 용이하도록 직경이 0.05mm~0.3mm 범위이다. 금속충진재(P)는 전도성 금속으로 이루어진다. 일 예로, 금속충진재(P)는 Ag합금계, Ag-Pd계, Ag-Ceramic계, Cu합금계 중 하나 또는 이들의 혼합 페이스트로 이루어진다. 상기한 금속충진재(P)는 저항이 낮아 세라믹기재(301)의 상면과 하면의 전극 패턴(a,b,c)을 연결하여 전류의 이동 효율을 높인다.
- [167] 바람직하게는 비아홀(330)의 직경은 0.1mm~0.3mm 범위이다. 비아홀(330)의 직경 0.1mm~0.3mm 범위에서 금속충진재(P)가 비아홀(330)에 충전될 수 있고 양호한 통전성을 얻을 수 있다. 비아홀(330)의 직경이 0.05mm 이만이면 비아홀(330)에 금속충진재(P)가 채워지기 어려워 세라믹기재(301)의 상면과 하면의 전극 패턴(a,b,c)을 통전시키기 어렵다. 비아홀(330)은 상부 세라믹기판(300)을 관통하여 형성할 수도 있는데, 비아홀(330)의 직경이 0.3mm를 초과하면 소성 후 금속충진재(P)가 비아홀(330)에서 빠지는 문제가 발생할 수 있다.
- [168] 비아홀(330)의 면적은 상부 세라믹기판(300)의 면적 대비 10% 이상일 수 있다. 비아홀(330)의 면적은 세라믹기재(301)의 상면과 하면의 전극 패턴(a,b,c)을 연결하여 전류의 이동 효율을 높이기 위한 최소 면적이다. 비아홀(330)의 면적은 상부 세라믹기판(300)의 면적 대비 10% 미만이면 전류 이동 부하가 커져 전류의 고속 이동에 문제가 발생할 수 있다. 또한, 비아홀(330)은 대전류의 분산을 위해 상부 세라믹기판(300,300')의 전체면에 균일하게 분포하는 것이 바람직하다.
- [169] 상술한 실시예는 하부 세라믹기판(200), 상부 세라믹기판(300) 및 PCB 기판(400)을 3층 일체형 구성으로 제작하여 전류 경로를 최소화하고 임피던스와 인덕턴스를 낮춤으로써 대전력을 고속으로 제어하기 용이하도록 할 수 있다.
- [170] 또한, 상부 세라믹기판(300,300')에 복수 개의 비아홀(330)을 형성하여 상면과

하면의 전극 패턴(a,b,c)을 연결함으로써 대전류의 분산 및 대전류의 통전을 용이하게 하여 쇼트 및 과열 등의 문제를 방지하고 고속 전류의 이동을 효율을 높일 수 있다.

[171] 도 14는 본 발명의 실시예에 의한 파워모듈 구조를 설명하기 위한 내부 구성도로, 하우징이 더 포함된 도면이다.

[172] 도 14에 도시된 바에 의하면, 상술한 파워모듈(10)은 방열판(500)의 상면에 하부 세라믹기판(200)이 접합되고, 하부 세라믹기판(200)의 상부에 절연 스페이서(220)를 매개로 상부 세라믹기판(300)이 이격되게 배치되며, 상부 세라믹기판(300)의 상부에 연결핀(800)을 매개로 PCB 기판(400)이 이격되게 배치되며, 하부 세라믹기판(200), 상부 세라믹기판(300) 및 PCB 기판(400)이 하우징(100)에 의해 패키징되어 모듈 형태로 제조된다.

[173] 하우징(100)은 사출 재질로 형성되며 중앙에 상하로 개구되는 빈 공간이 형성된다. 하우징(100)의 하면에 방열판(500)이 접합되며 하우징(100)의 빈 공간으로 노출된 방열판(500)의 상면에 하부 세라믹기판(200)이 접합되고, 그 상부에 상부 세라믹기판(300) 및 PCB 기판(400)이 순차적으로 설치된다. 상부 세라믹기판(300)과 PCB 기판(400)의 이격 거리는 PCB 기판에 소장된 소자의 손상을 방지하도록 최소 0.5mm를 유지하도록 한다.

[174] 또한, 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에는 실리콘액(S) 또는 에폭시를 충전한다. 실리콘액(S) 또는 에폭시는 하부 세라믹기판(200)과 상부 세라믹기판(300)의 전극 패턴 간을 절연한다.

[175] 상술한 파워모듈(10)은 하부 세라믹기판(200), 상부 세라믹기판(300)의 복층 구조로 형성하고, 그 사이에 반도체 칩(G)을 실장하여 보호하며, 상부 세라믹기판(300)의 상부에 PCB 기판(400)을 배치하는 복층 구조로 형성하고 실리콘액(S) 또는 에폭시를 사용한 패키징 형태이므로 파워모듈의 면적 및 부피의 제약을 받지 않으면서 성능을 구현할 수 있다.

[176] 또한, 상술한 파워모듈(10)은 상부 세라믹기판(300)과 PCB 기판(400)에 형성한 쓰루홀(320,420)에 연결핀(800)을 끼움 결합하여 전극 패턴 간을 연결하므로 다양한 출력 손실을 제거할 수 있고 파워모듈(10)의 소형화가 가능하게 할 수 있다.

[177] 또한, 상술한 파워모듈(10)은 상부 세라믹기판(300,300')에 비아홀(330)을 형성하고 비아홀(330)에 금속충진재(P)를 충전하여 대전류의 분산 및 대전류의 통전을 용이하게 하므로 쇼트 및 과열 등의 문제를 방지하고 고속 전류의 이동을 효율을 높일 수 있다.

[178] 상기한 바와 같이 상술한 실시예는 쓰루홀과 비아홀을 통한 전기적 연결을 통해 다양한 출력 손실을 제거하여 고속 전류의 이동 효율을 높일 수 있고, 파워모듈의 크기에 대한 제약을 개선하여 소형화가 가능한 이점이 있다.

[179]

[180] 한편, 다른 실시예로 파워모듈은 세라믹기판의 가장자리에 곡률 경사부를

형성하여 응력 집중을 완화함으로써 장수명을 확보하고 나아가 파워모듈의 신뢰성을 향상시킬 수 있다.

- [181] 도 15은 본 발명의 다른 실시예에 의한 파워모듈 구조를 설명하기 위한 내부 구성도이고, 도 16은 본 발명의 다른 실시예에 의한 파워모듈 구조에서 상부 세라믹기판을 보인 단면도이다.
- [182] 다른 실시예의 파워모듈(10)은 상부 세라믹기판의 형상이 실시예와 차이가 있다.
- [183] 도 15 및 도 16에 도시된 바에 의하면, 다른 실시예의 세라믹기판(300)은 금속층(302',303")의 가장자리에 응력 집중을 완화하기 위한 곡률 경사부(350,350',350")가 형성된다. 세라믹기판의 수명은 세라믹기재의 재료와 전극 패턴을 형성하는 금속층(302',303")의 형상에 따라 결정된다.
- [184] 세라믹기재(301)의 재료는 고강도를 갖는 알루미늄( $Al_2O_3$ ), AlN, SiN 및  $Si_3N_4$  중 어느 하나로 형성하여 장기 수명이 길도록 한다. 금속층(302',303")의 가장자리의 두께가 증가할 수로 응력 집중으로 인한 세라믹기재(301)와의 접합 스트레스가 증가한다. 접합 스트레스가 증가하면 급격한 온도 변화에서 금속층(302',303")이 세라믹기재(301)로부터 분리될 수 있다.
- [185] 금속층(302',303")이 세라믹기재(301)로부터 분리되는 것을 방지하기 위해서는 접합 강도를 유지하면서 접합 스트레스를 최소화해야 한다. 따라서 금속층(302',303")은 가장자리에 라운드진 곡률 경사부(350,350',350")를 형성하여 두께를 점차적으로 줄임으로써 응력 집중을 완화한다.
- [186] 곡률 경사부(350,350',350")는 세라믹기재(301)의 외주 방향으로 돌출된 형상을 갖는다. 일 예로, 곡률 경사부(350,350',350")는 세라믹기재 방향으로 오목한 형상으로 형성되고 세라믹기재 방향으로 갈수록 돌출 길이가 증가한다. 또는 곡률 경사부(350',350")는 복수의 오목부(351,352,351',352')가 형성되고 오목부(351,352)와 오목부(351',352')가 만나는 부분에 돌출부(353,353')가 형성되는 다단 구조일 수 있다. 돌출부(353,353')는 뾰족한 형상이다.
- [187] 또는 곡률 경사부(350',350")는 2개의 오목부(351,352,351',352')가 형성되고 오목부(351,352)와 오목부(351',352')가 만나는 부분에 돌출부(353,353')가 형성되는 2단 구조일 수 있다.
- [188] 금속층(302',303")의 가장자리에 형성된 곡률 경사부(350,350',350")는 1단 구조와 다단 구조가 혼용되어 있을 수 있다. 일 예로, 금속층(302',303")의 가장자리 중 일측 가장자리에는 1단 구조의 곡률 경사부(350)가 형성하고 다른 일측에는 다단 구조의 곡률 경사부(350',350")가 형성될 수 있다. 또는 금속층(302',303")의 가장자리를 따라 전체가 다단 구조의 곡률 경사부(350',350")로 형성될 수 있다.
- [189] 1단 구조의 곡률 경사부(350)의 길이는 금속층(302',303")의 두께에 비해 상대적으로 작게 형성하여 응력 완화 기능을 하면서 접합 강도는 강하게 유지할 수 있도록 한다.

- [190] 1단 구조의 곡률 경사부(350)의 다단 구조의 곡률 경사부(350',350")에 비해 세라믹기재(301)에 접합되는 면적이 상대적으로 좁기 때문에 금속층(302",303") 간의 간격이 좁은 경우에도 접합 강도를 유지할 수 있다.
- [191] 다단 구조의 곡률 경사부(350',350")가 1단 구조의 곡률 경사부(350)에 비해 세라믹기재(301)에 접합되는 면적이 상대적으로 넓기 때문에 접합 강도를 강하게 유지할 수 있는 대신 외주 방향으로 돌출되는 면적이 넓기 때문에 이웃하는 금속층(302",303") 간의 간격이 좁은 경우에는 적용이 어려울 수 있다.
- [192] 금속층(302",303")은 이웃하는 다른 금속층(302",303")과의 간격에 따라 다른 금속층(302",303")과 인접한 외주에 서로 다른 형상의 곡률 경사부(350',350")가 형성될 수 있다.
- [193] 곡률 경사부(350,350',350")는 금속층(302",303")의 가장자리에 응력 집중을 방지하여 열적, 전기적 충격을 완화함으로써 세라믹기판(300")의 2~3배 이상의 장수명을 확보하고 신뢰성을 확보한다.
- [194] 도 16에 도시된 세라믹기판(300")은 반도체 칩이 실장되는 상부 세라믹기판이다. 다른 실시예에서는 상기한 곡률 경사부(350,350',350")를 상부 세라믹기판(300")의 가장자리에 적용한 것을 예로 들어 설명하였으나 곡률 경사부(350,350',350")를 하부 세라믹기판에도 적용할 수 있다.
- [195] 세라믹기판(300")은 AMB(Active Metal Brazing) 기판, DBC(Direct Bonding Copper) 기판, DBA 기판(Direct Braze Aluminum), TPC(Thick Printing Copper) 기판 중 하나이다. 세라믹기판(300")은 반도체 칩(G)이 실장되는 상부 세라믹기판(300")을 예로 들어 설명하였다.
- [196] 도 17 및 도 18은 본 발명의 다른 실시예에 의한 상부 세라믹기판 제조방법을 설명하기 위한 과정도이다.
- [197] 도 17에 도시된 바에 의하면, 곡률 경사부(350,350',350")는 금속층(302",303")의 일면에 포토마스크(m)를 배치하고 포토마스크(m)에 의해 노출된 금속층(302",303")을 식각하여 형성한다.
- [198] 또한, 다단 구조의 곡률 경사부(350',350")는 금속층(302",303")의 일면에 2개 이상의 구멍이 연속 형성된 포토마스크(m) 배치하고 포토마스크(m)에 의해 노출된 금속층(302",303")을 식각하여 형성한다. 2개 이상의 구멍이 일정 간격을 두고 연속 형성된 포토마스크(m)를 사용하면 1번의 에칭으로 다단 구조의 곡률 경사부(350',350")를 형성할 수 있다.
- [199] 그 과정은 세라믹기판을 준비하는 단계(S10), 포토마스크를 형성하는 단계(S20), 곡률 경사부를 형성하는 단계(S30) 및 포토마스크를 제거하는 단계(S40)를 포함한다.
- [200] 세라믹기판을 준비하는 단계(S10)는 세라믹기재(301)와 세라믹기재(301)의 적어도 일면에 브레이징 접합된 금속층(302",303")을 포함하는 세라믹기판(300)을 준비한다. 세라믹기판(300)은 세라믹기재(301)의 두께가 0.3mm~0.4mm이고, 금속층(302",303")의 두께가 0.3mm인 것을 준비할 수 있다.

- [201] 포토마스크를 형성하는 단계(S20)는 금속층(302",303")의 일면에 2개 이상의 구멍(h)이 연속 형성된 포토마스크(m)를 형성할 수 있다. 2개 이상의 연속 형성된 구멍(h)은 다단 구조의 곡률 경사부(350',350")를 형성하기 위한 것이다.
- [202] 또한, 포토마스크(m)는 금속층(302",303")의 면적보다 좁은 면적을 갖는 복수의 포토마스크(m)를 형성할 수도 있다.
- [203] 곡률 경사부를 형성하는 단계(S30)는 포토마스크(m)에 의해 노출된 금속층(302",303")을 에칭액으로 식각하여, 금속층(302",303")의 하부로 갈수록 세라믹기재(301)의 외주 방향으로 라운드진 경사를 갖는 곡률 경사부(350') 또는 2개 이상의 라운드진 오목부(351,352,351',352')를 갖는 다단 곡률 경사부(350',350")를 형성한다. 에칭액은 염화제이철을 사용할 수 있다.
- [204] 2개의 연속된 구멍(h)에 에칭액이 유입되면 에칭이 80% 정도 이루어지면서 1번의 에칭으로 에칭 정도가 다른 2단 구조의 곡률 경사부(350',350")가 형성될 수 있다. 2단 구조에서 오목부의 형상 및 길이는 이웃하는 구멍의 크기, 구멍의 간의 간격으로 조절 가능하다.
- [205] 또한, 에칭액의 농도, 에칭 시간을 조절하여 오목부의 형상 및 길이를 조절할 수 있다.
- [206] 포토마스크를 제거하는 단계(S40)는 금속층(302",303")에 곡률 경사부(350,350',350")를 형성한 다음 에칭액을 통해 금속층(302",303")의 일면에 형성된 포토마스크(m)를 식각한다. 포토마스크(m)가 식각에 의해 제거되면 최종 상태의 세라믹기판(300")이 제작된다. 세라믹기판(300")은 상부 세라믹기판으로 사용하여 가장자리 응력 집중을 방지함으로써 기판의 수명을 향상시킬 수 있다.
- [207] 도 17에 도시된 세라믹기판(300")은 설명의 편의를 위해 1단 구조와 다단 구조가 혼용된 곡률 경사부(350,350',350")를 도시하였다. 그러나 세라믹기판(300")의 가장자리에는 1단 구조의 곡률 경사부(350)만 형성하거나, 2단 구조의 곡률 경사부(350',350")만 형성할 수도 있다.
- [208] 일 예로, 도 18에 도시된 바와 같이, 다단 구조의 곡률 경사부(350")는 금속층(302')의 가장자리에 형성할 수 있다.
- [209] 상술한 방법으로 제조된 세라믹기판(300")은 실시예의 상부 세라믹기판(300)에 비해 가장자리에 열에 의한 응력 집중 및 전기적 충격에 의한 응력 집중이 완화되므로 장수명이 확보되고 파워모듈에 적용되어 파워모듈의 신뢰성을 높이는 데 기여하게 된다.
- [210] 본 발명은 도면과 명세서에 최적의 실시예들이 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 발명은 기술분야의 통상의 지식을 가진 자라면, 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 권리범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

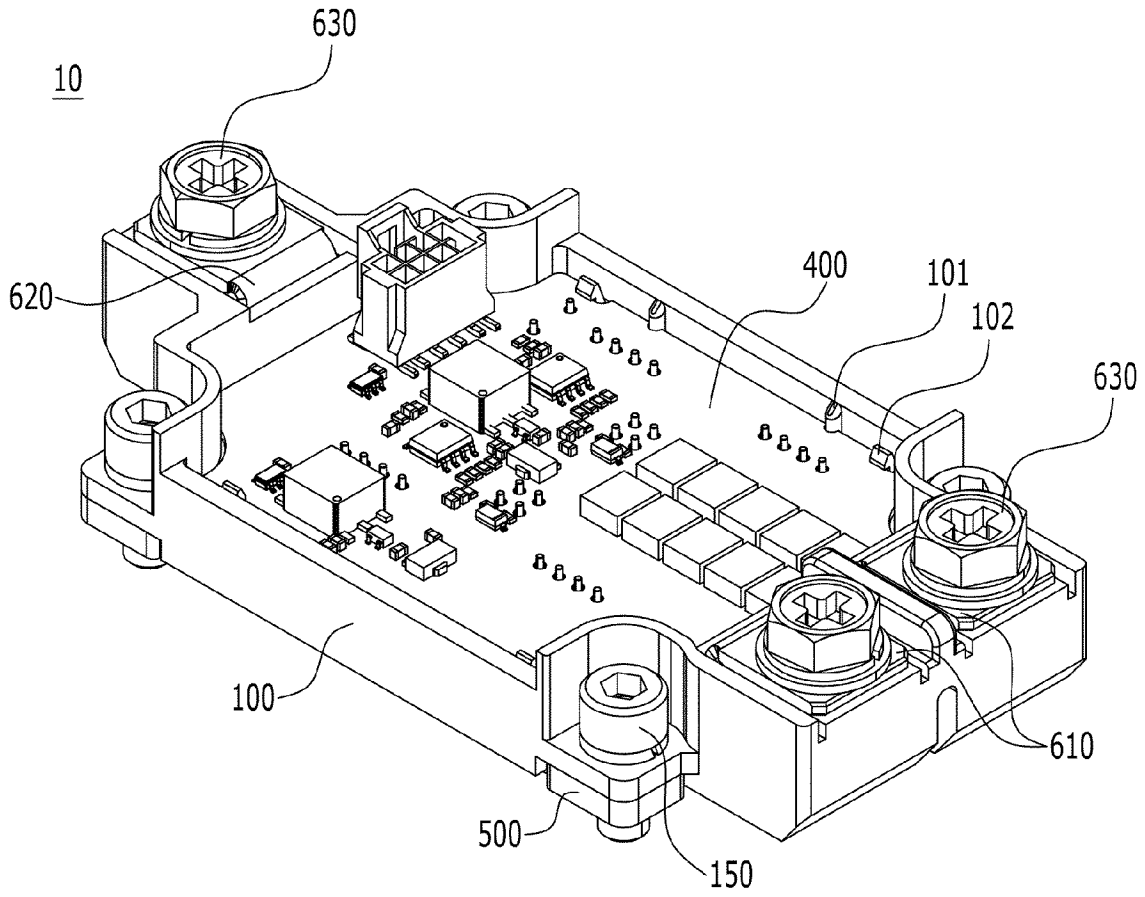
## 청구범위

- [청구항 1] 하부 세라믹기판;  
상기 하부 세라믹기판의 상부에 배치되며 하면에 반도체 칩이 플립칩 형태로 실장되는 상부 세라믹기판; 및  
상기 상부 세라믹기판의 상부에 배치되는 PCB 기판;  
을 포함하는 파워모듈.
- [청구항 2] 제1항에 있어서,  
상기 상부 세라믹기판과 상기 PCB 기판에 대응되게 형성된 복수의 쓰루홀; 및  
상기 상부 세라믹기판의 쓰루홀과 상기 PCB 기판의 쓰루홀에 관통 설치되어 상기 세라믹기판의 전극 패턴과 상기 PCB 기판의 전극 패턴을 수직으로 연결하는 연결핀;  
을 포함하는 파워모듈.
- [청구항 3] 제2항에 있어서,  
상기 쓰루홀에 관통 설치된 상기 연결핀은 상기 쓰루홀의 가장자리의 전극 패턴과 레이저 웰딩에 의해 접합된 파워모듈.
- [청구항 4] 제3항에 있어서,  
상기 쓰루홀의 가장자리에 도포되고 상기 레이저 웰딩시 녹아 상기 연결핀을 상기 쓰루홀의 가장자리의 전극 패턴에 접합하는 솔더층을 포함하는 파워모듈.
- [청구항 5] 제1항에 있어서,  
상기 상부 세라믹기판은 세라믹기재;  
상기 세라믹기재의 상면과 하면에 형성되는 전극 패턴;  
상기 상부 세라믹기판 또는 상기 세라믹기재를 상하로 관통하여 형성된 복수 개의 비아홀; 및  
상기 비아홀에 충전되어 상기 세라믹기재의 상면과 하면의 전극 패턴을 연결하는 금속충진재;  
를 포함하는 파워모듈.
- [청구항 6] 제5항에 있어서,  
상기 비아홀은 직경이 0.05mm~0.3mm인 파워모듈.
- [청구항 7] 제5항에 있어서,  
상기 금속충진재는 Ag합금계, Ag-Pd계, Ag-Ceramic계, Cu합금계 중 하나 또는 이들의 혼합 페이스트로 이루어진 파워모듈.
- [청구항 8] 제5항에 있어서,  
상기 비아홀은 상기 상부 세라믹기판 또는 상기 세라믹기재의 전체면에

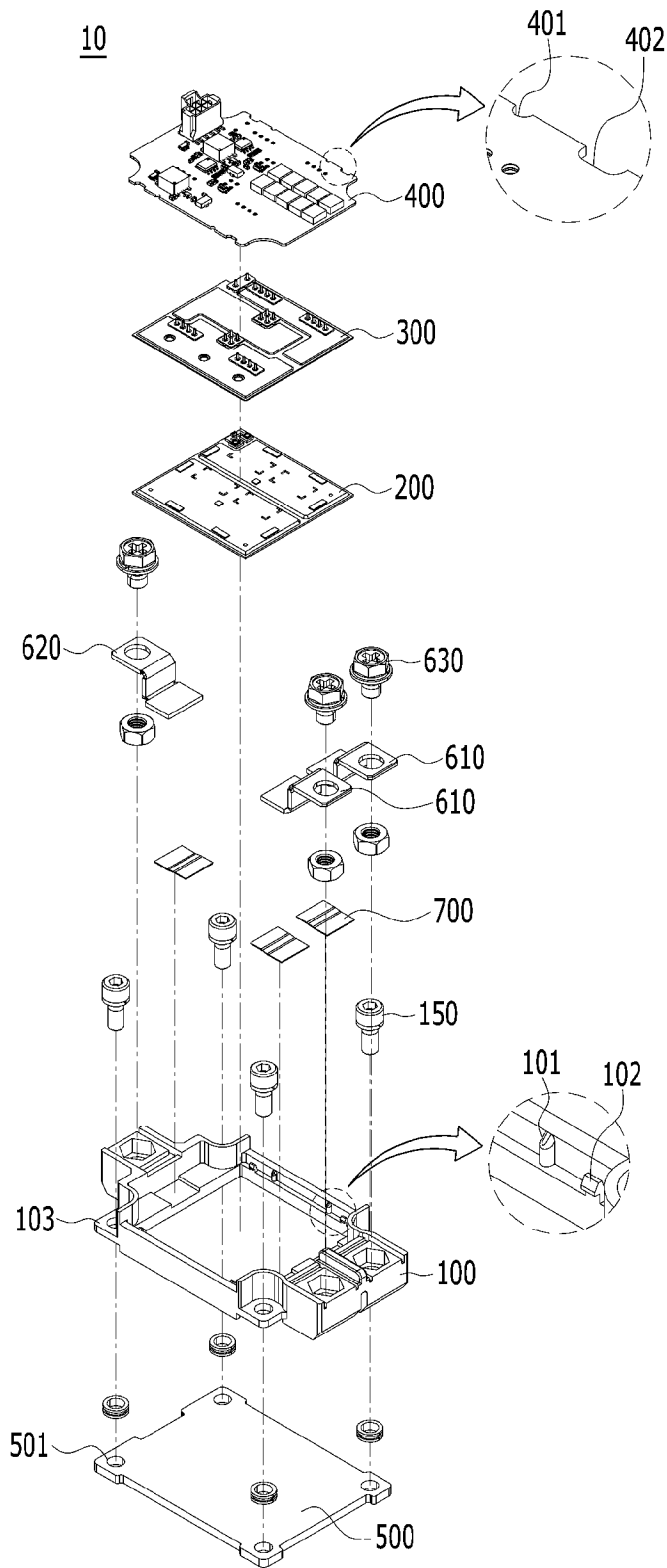
- 균일하게 분포하는 파워모듈.
- [청구항 9] 제1항에 있어서,  
상기 하부 세라믹기판의 하면에 솔더링 접합되는 방열판을 포함하는 파워모듈.
- [청구항 10] 제1항에 있어서,  
상기 상부 세라믹기판과 상기 하부 세라믹기판은  
AMB(Active Metal Brazing) 기판, DBC(Direct Bonding Copper) 기판, DBA 기판(Direct Brazed Aluminum), TPC(Thick Printing Copper) 기판 중 하나인 파워모듈.
- [청구항 11] 제1항에 있어서,  
중앙에 상하로 개구되는 빈 공간이 형성되고 사출 재질로 형성되는 하우징을 더 포함하고,  
상기 하우징의 빈 공간에 상기 하부 세라믹기판, 상기 상부 세라믹기판 및 상기 PCB 기판이 순차적으로 설치된 파워모듈.
- [청구항 12] 제1항에 있어서,  
상기 하부 세라믹기판과 상기 상부 세라믹기판의 사이에 다수 개가 배치되어 상기 하부 세라믹기판과 상기 상부 세라믹기판의 이격 거리를 규정하는 스페이서를 포함하는 파워모듈.
- [청구항 13] 제1항에 있어서,  
상기 상부 세라믹기판은  
세라믹기재와 상기 세라믹기재의 적어도 일면에 접합되어 전극 패턴을 형성하는 금속층을 포함하며,  
상기 금속층은 가장자리에 곡률 경사부가 형성되고,  
상기 곡률 경사부는 상기 세라믹기재의 외주 방향으로 돌출된 파워모듈.
- [청구항 14] 제13항에 있어서,  
상기 곡률 경사부는 상기 세라믹기재 방향으로 오목한 형상으로 형성되고 상기 세라믹기재 방향으로 갈수록 돌출 길이가 증가하는 파워모듈.
- [청구항 15] 제13항에 있어서,  
상기 곡률 경사부는  
복수의 오목부가 형성되고 상기 오목부와 오목부가 만나는 부분에 돌출부가 형성되는 다단 구조인 파워모듈.
- [청구항 16] 제15항에 있어서,  
상기 돌출부는 뾰족한 형상인 파워모듈.
- [청구항 17] 제13항에 있어서,  
상기 곡률 경사부는  
2개의 오목부가 형성되고 상기 오목부와 오목부가 만나는 부분에 돌출부가 형성되는 2단 구조인 파워모듈.

- [청구항 18] 제13항에 있어서,  
상기 금속층의 가장자리에 형성된 곡률 경사부는  
상기 세라믹기재 방향으로 오목한 형상으로 형성된 1단 구조와 상기  
세라믹기재 방향으로 2개 이상의 오목부가 형성된 다단 구조가 혼용되어  
있는 파워모듈.
- [청구항 19] 제18항에 있어서,  
상기 곡률 경사부는  
상기 금속층의 일면에 포토마스크를 배치하고 상기 포토마스크에 의해  
노출된 금속층을 식각하여 형성한 것인 파워모듈.
- [청구항 20] 제18항에 있어서,  
상기 다단 구조의 곡률 경사부는  
상기 금속층의 일면에 2개 이상의 구멍이 연속 형성된 포토마스크를  
배치하고 상기 포토마스크에 의해 노출된 금속층을 식각하여 형성한  
것인 파워모듈.

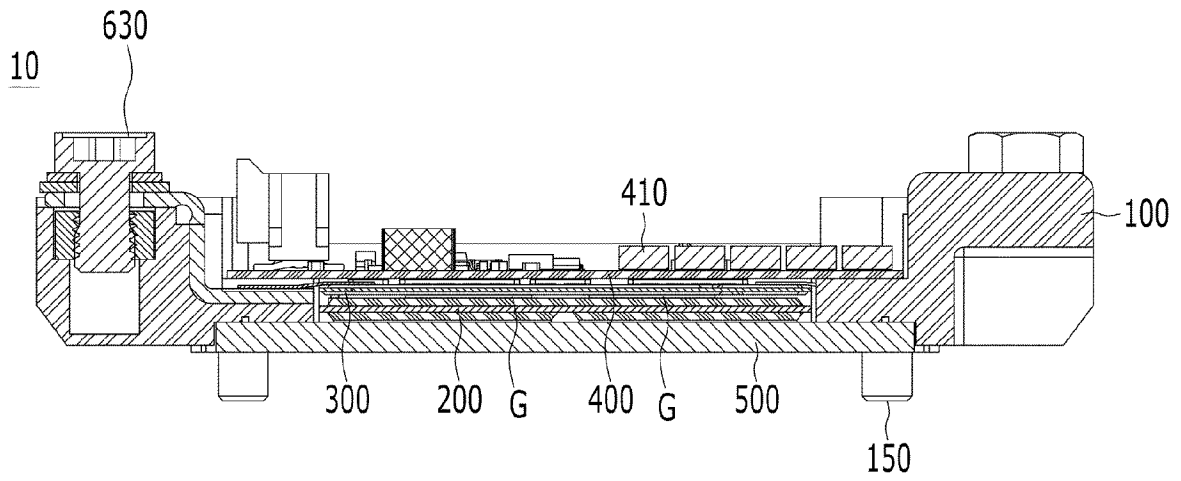
[도 1]



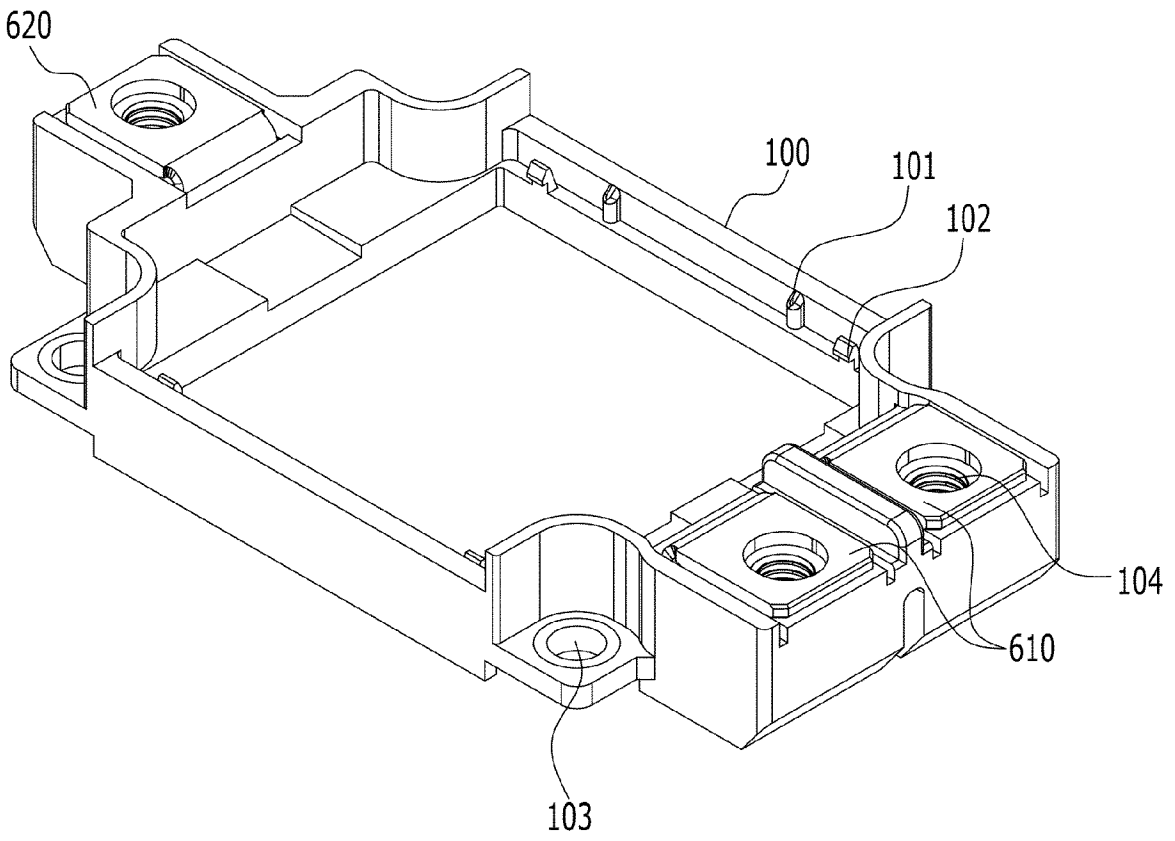
[도2]



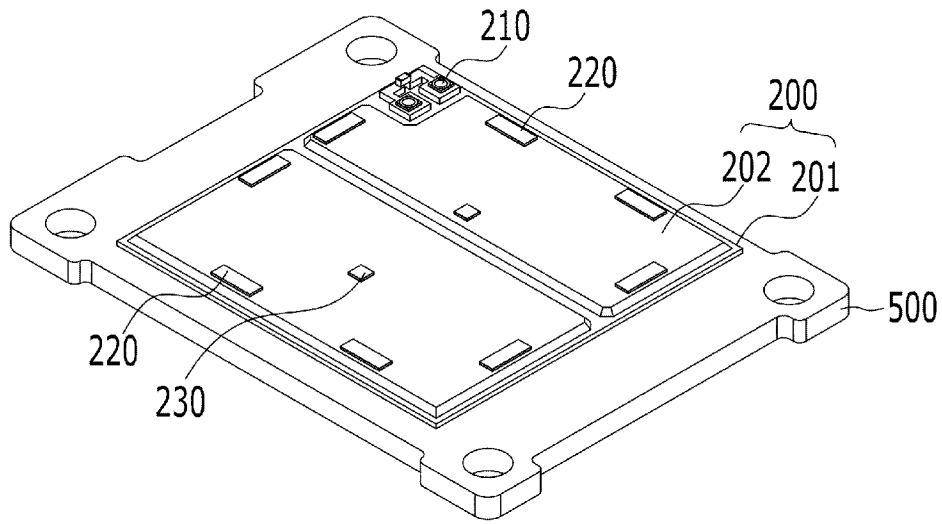
[도3]



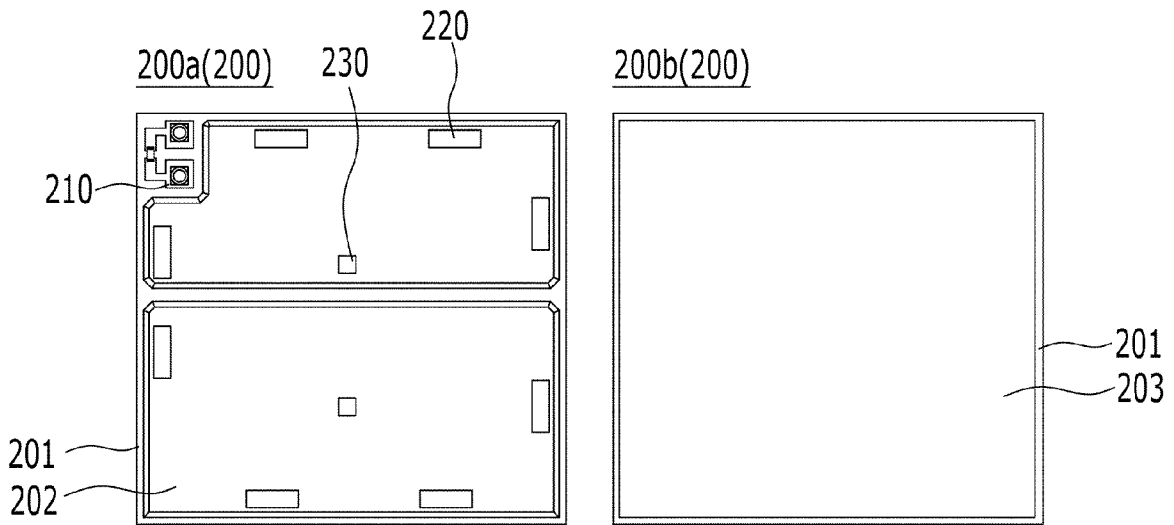
[도4]



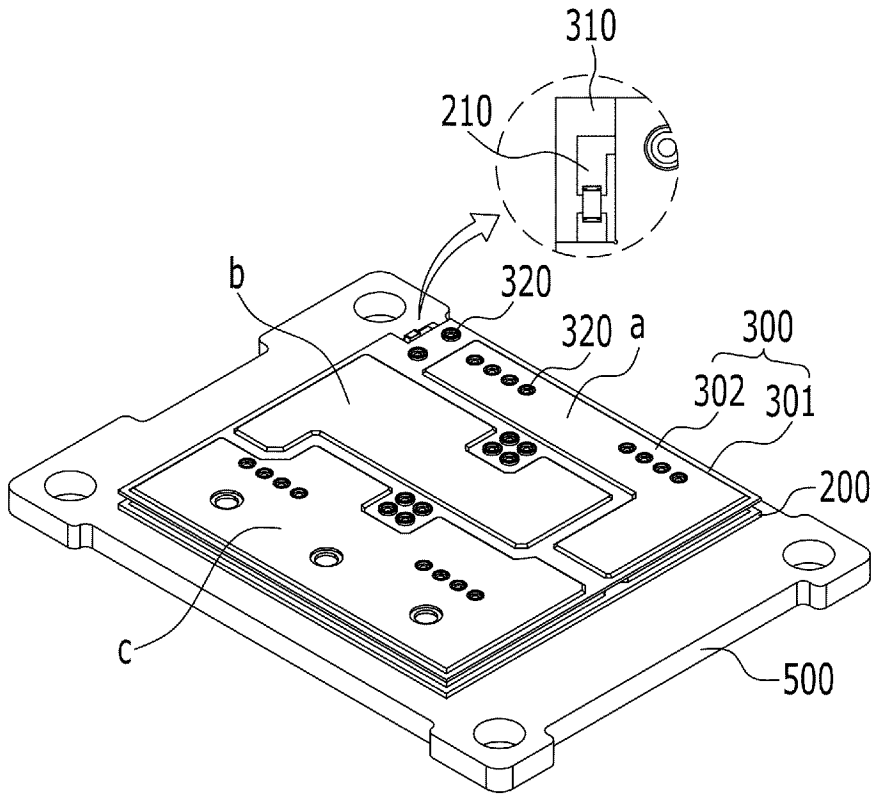
[도5]



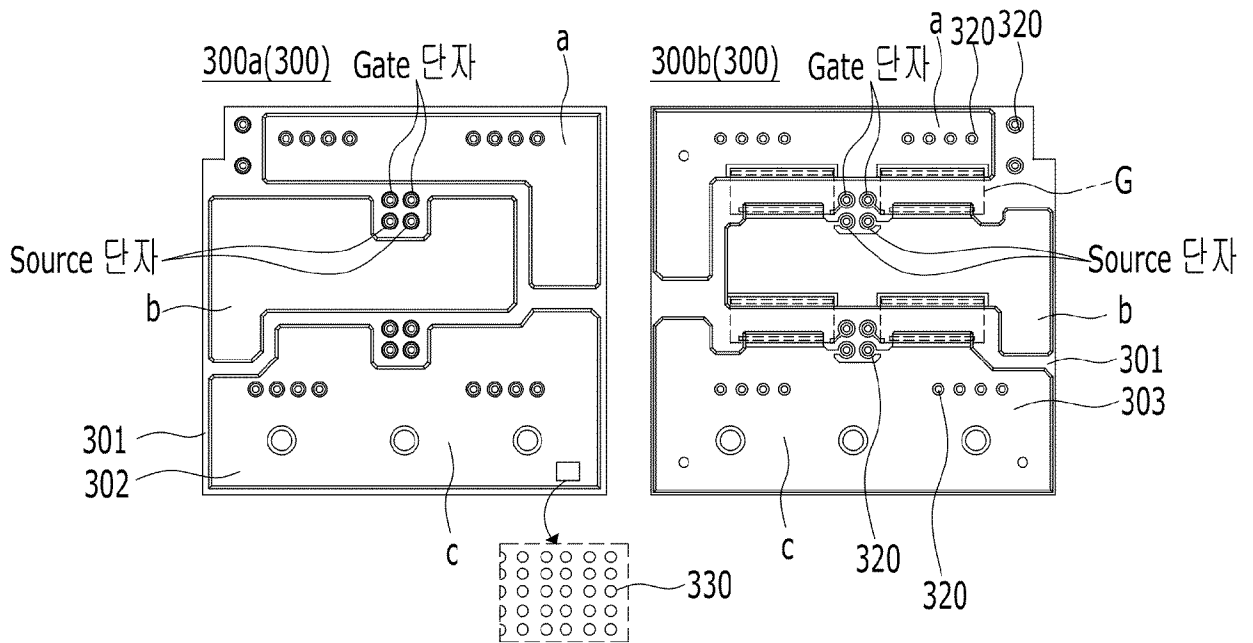
[도6]



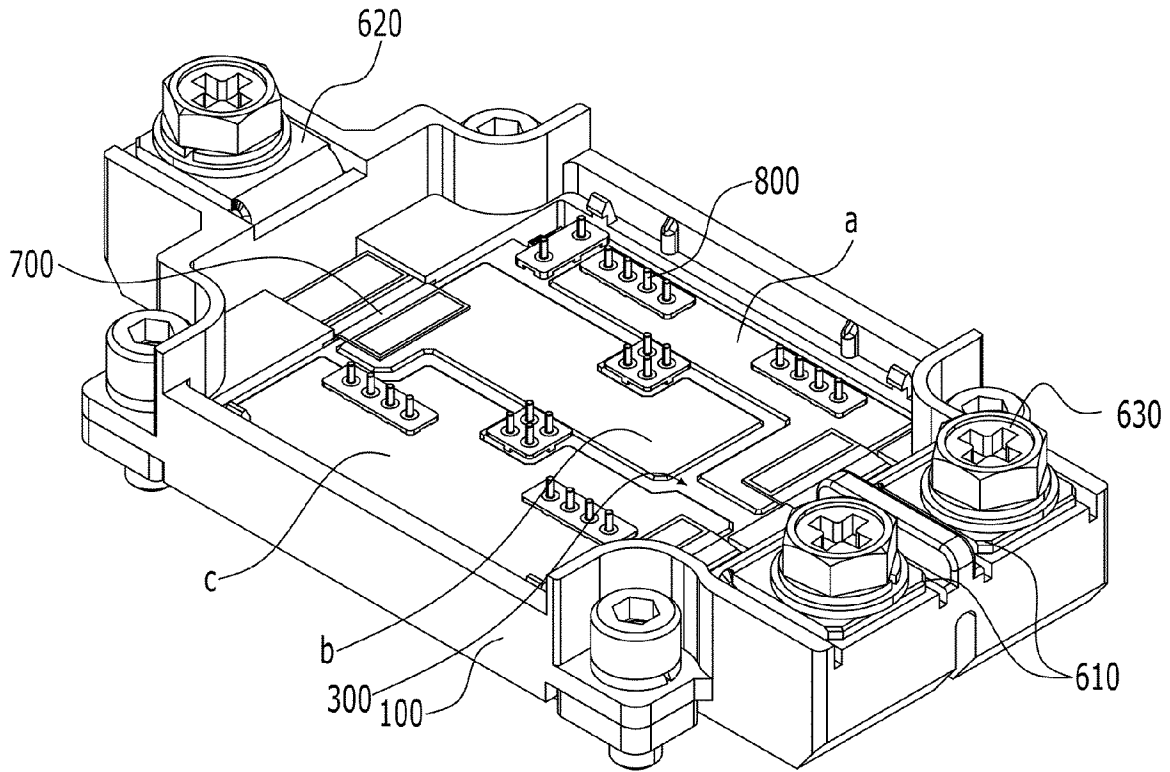
[도7]



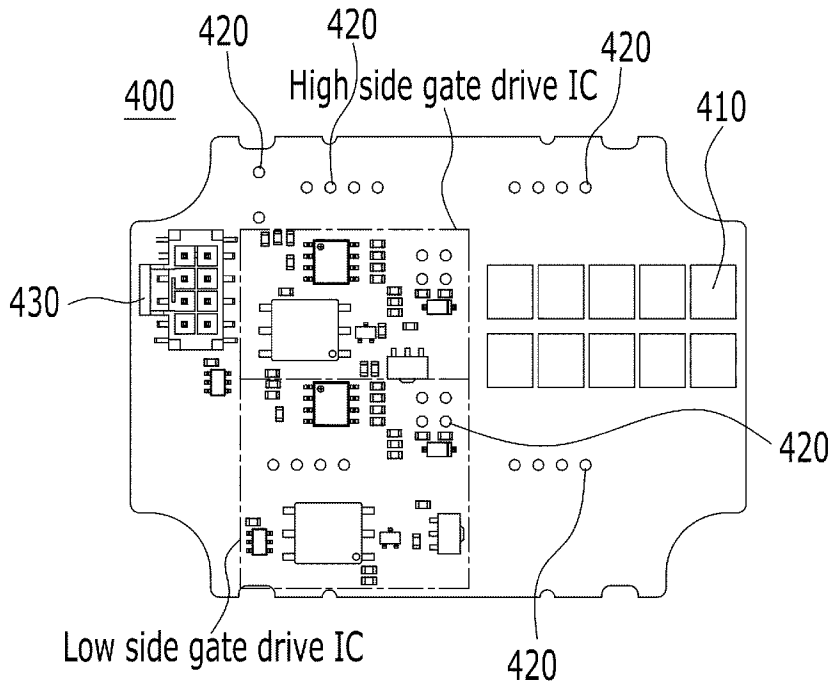
[도8]



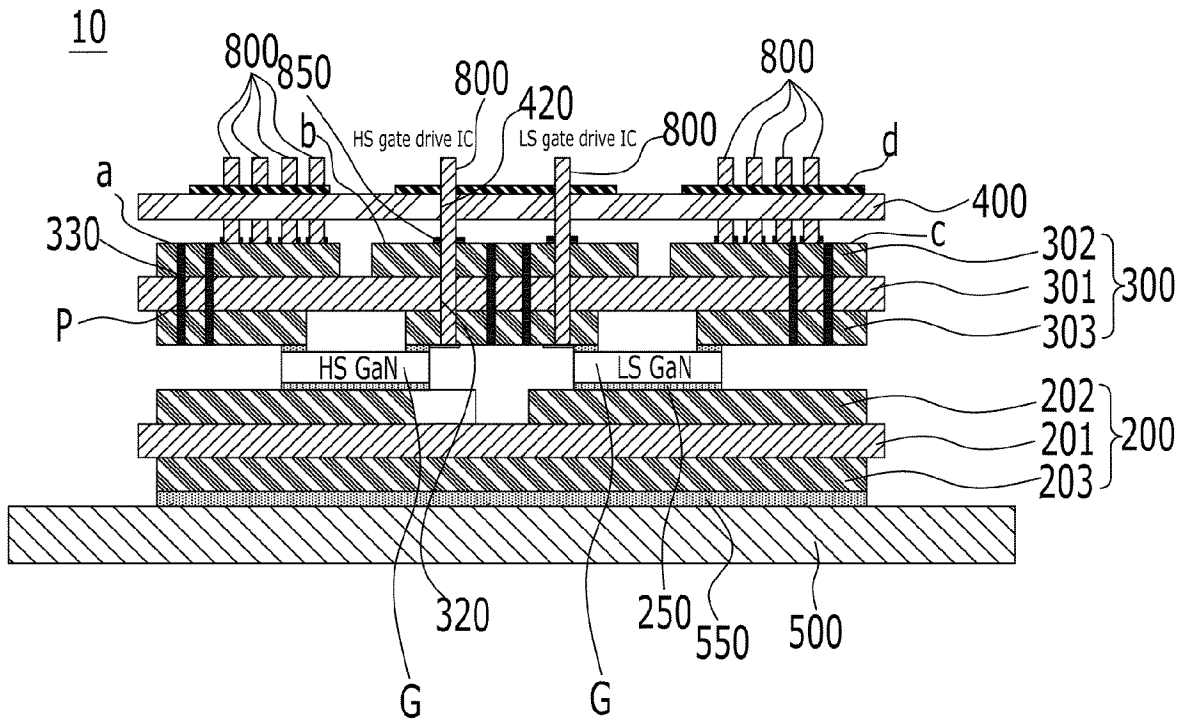
[도9]



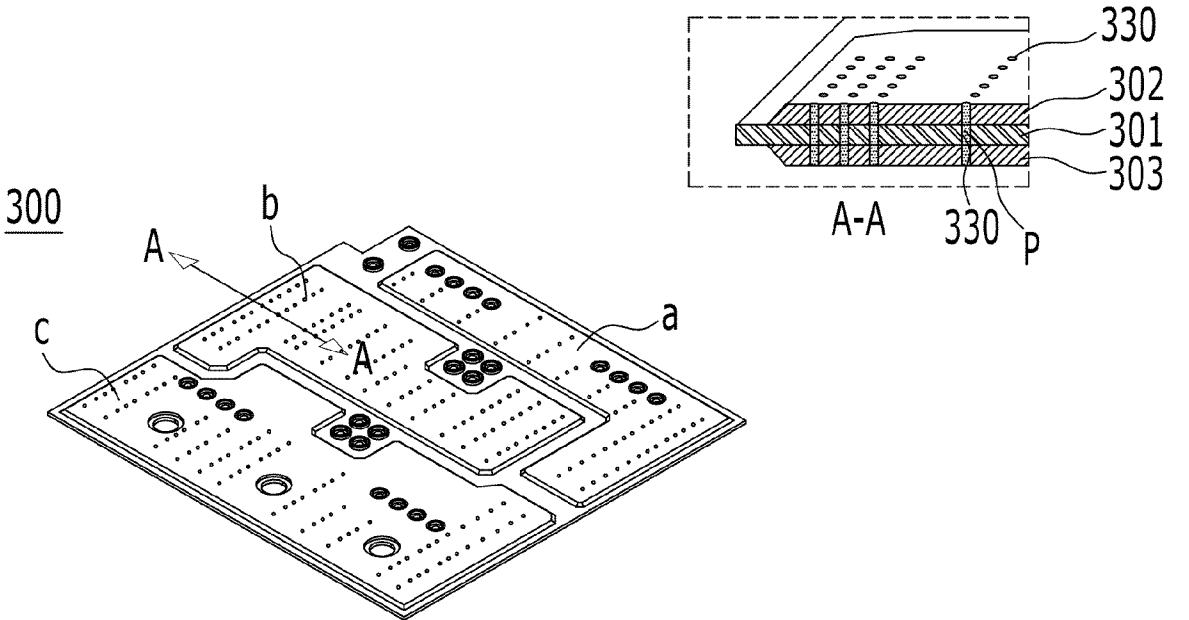
[도10]



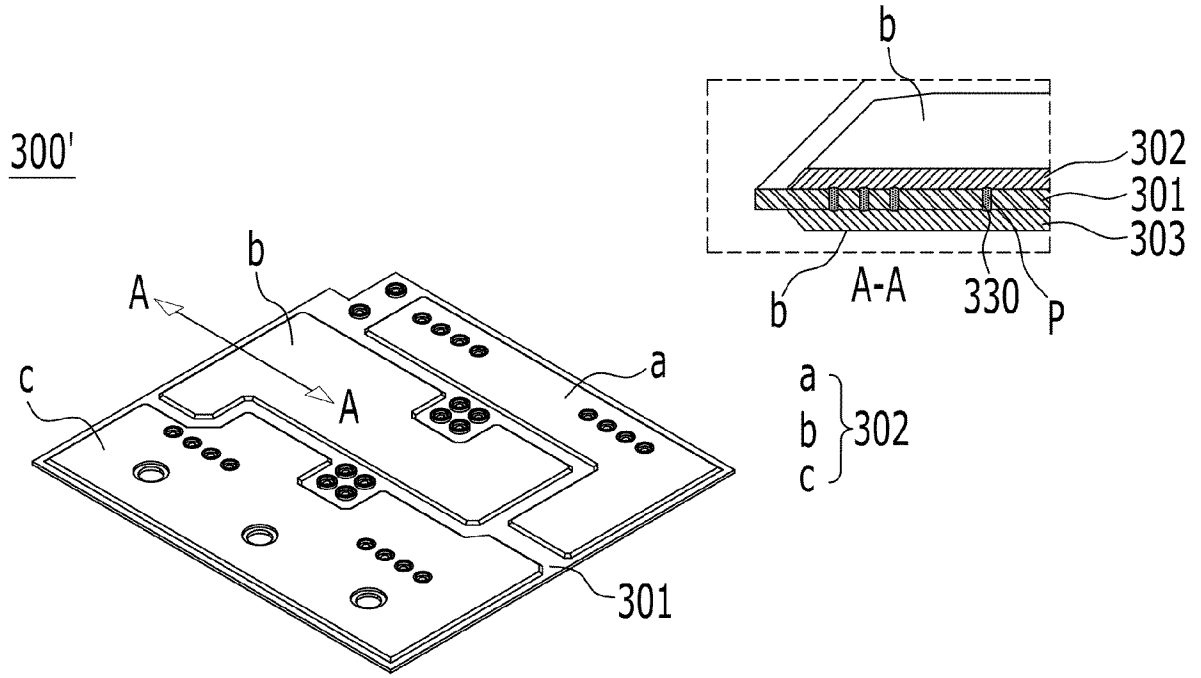
[도11]



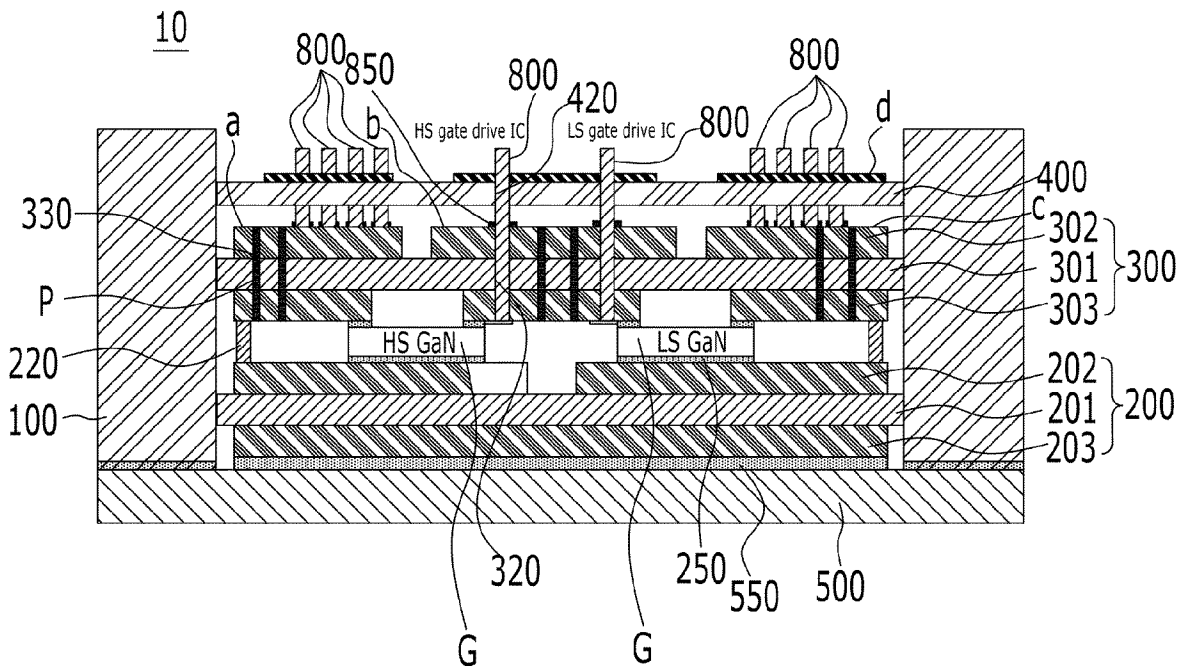
[도12]



[도13]

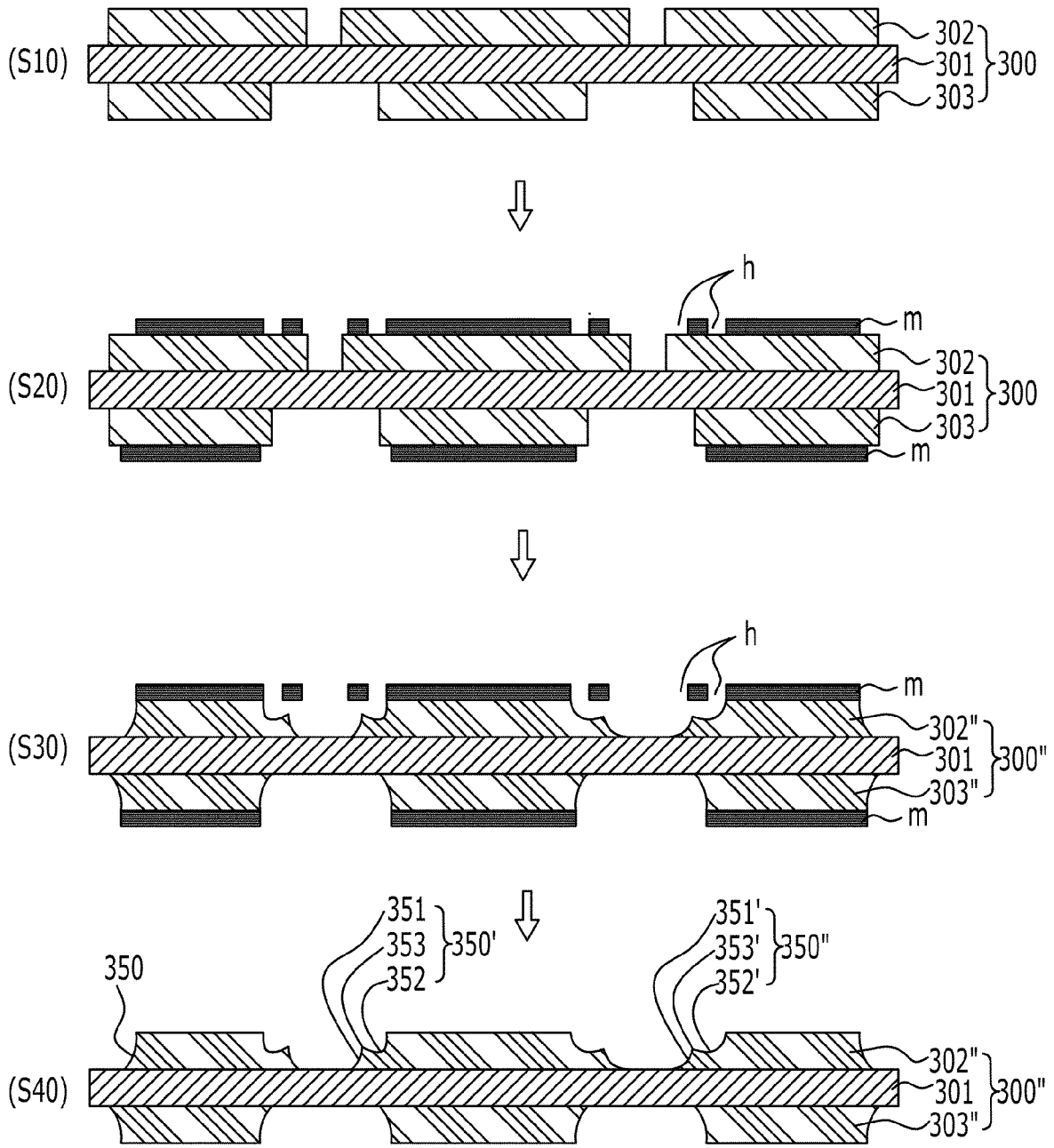


[도14]

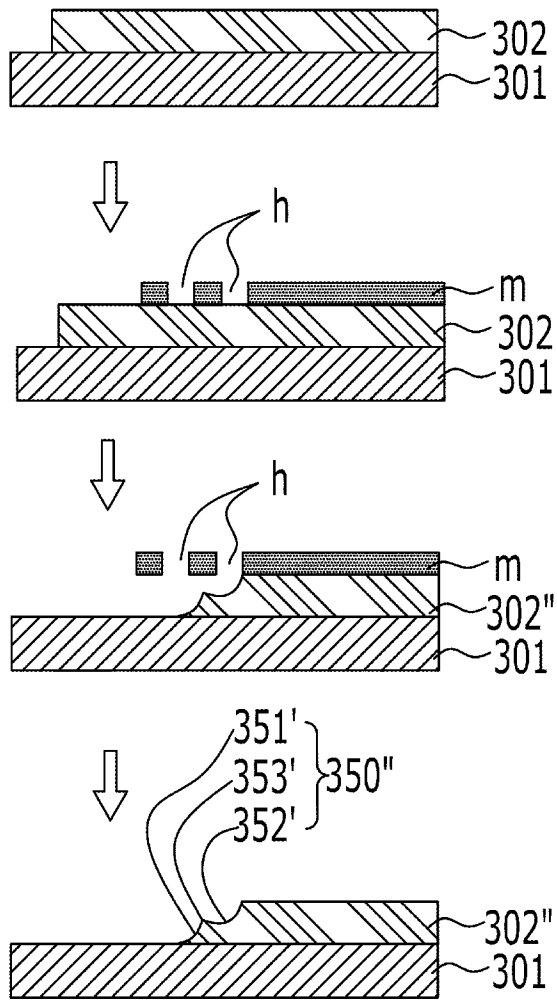




[도 17]



[도 18]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/KR2021/008324**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H05K 1/03</b> (2006.01)i; <b>H05K 1/02</b> (2006.01)i; <b>H05K 3/06</b> (2006.01)i; <b>H01L 23/373</b> (2006.01)i; <b>H01L 23/498</b> (2006.01)i; <b>H01L 23/48</b> (2006.01)i; <b>H01L 23/522</b> (2006.01)i; <b>H01L 23/15</b> (2006.01)i; <b>H01L 23/50</b> (2006.01)i; <b>H01L 23/367</b> (2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H05K 1/03(2006.01); H01L 21/3205(2006.01); H01L 23/057(2006.01); H01L 23/12(2006.01); H01L 23/373(2006.01); H01L 23/522(2006.01); H01L 25/07(2006.01); H01L 29/78(2006.01); H05K 1/18(2006.01); H05K 7/14(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 세라믹 기판(ceramic substrate), 반도체 칩(semiconductor chip), PCB 기판(PCB substrate), 파워 모듈(power module)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2017-0118858 A1 (DELTA ELECTRONICS, INC.) 27 April 2017 (2017-04-27) See paragraphs [0026]-[0031] and figures 3-4.	1-20
Y	US 2013-0075932 A1 (INFINEON TECHNOLOGIES AG) 28 March 2013 (2013-03-28) See paragraphs [0032]-[0047] and figures 3A-5B.	1-20
Y	US 2019-0148163 A1 (MITSUBISHI ELECTRIC CORPORATION) 16 May 2019 (2019-05-16) See paragraphs [0042]-[0072] and figures 1 and 5-11.	13-20
A	KR 10-2018-0030298 A (HYUNDAI MOTOR COMPANY) 22 March 2018 (2018-03-22) See paragraphs [0035]-[0066] and figures 3 and 5.	1-20
A	JP 2011-077224 A (HITACHI LTD.) 14 April 2011 (2011-04-14) See paragraphs [0022]-[0031] and figure 6.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>08 October 2021</b>		Date of mailing of the international search report <b>08 October 2021</b>
Name and mailing address of the ISA/KR <b>Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208</b> Facsimile No. +82-42-481-8578		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/KR2021/008324**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2017-0118858	A1	27 April 2017	TW	201715328	A	01 May 2017
				TW	I550391	B	21 September 2016
				US	9756754	B2	05 September 2017
US	2013-0075932	A1	28 March 2013	CN	103021967	A	03 April 2013
				CN	103021967	B	08 July 2015
				DE	102011083223	A1	28 March 2013
				DE	102011083223	A8	25 April 2013
				DE	102011083223	B4	22 August 2019
				US	8981553	B2	17 March 2015
US	2019-0148163	A1	16 May 2019	CN	109219868	A	15 January 2019
				DE	112017002888	T5	21 February 2019
				JP	6359207	B2	18 July 2018
				US	10529587	B2	07 January 2020
				WO	2017-212873	A1	14 December 2017
KR	10-2018-0030298	A	22 March 2018	None			
JP	2011-077224	A	14 April 2011	CN	102473688	A	23 May 2012
				CN	102473688	B	01 July 2015
				EP	2485254	A1	08 August 2012
				JP	5542399	B2	09 July 2014
				US	2012-0127684	A1	24 May 2012
				US	8853559	B2	07 October 2014
				WO	2011-040054	A1	07 April 2011

<b>A. 발명이 속하는 기술분류(국제특허분류(IPC))</b> <b>H05K 1/03(2006.01)i; H05K 1/02(2006.01)i; H05K 3/06(2006.01)i; H01L 23/373(2006.01)i; H01L 23/498(2006.01)i; H01L 23/48(2006.01)i; H01L 23/522(2006.01)i; H01L 23/15(2006.01)i; H01L 23/50(2006.01)i; H01L 23/367(2006.01)i</b>		
<b>B. 조사된 분야</b> 조사된 최소문헌(국제특허분류를 기재) H05K 1/03(2006.01); H01L 21/3205(2006.01); H01L 23/057(2006.01); H01L 23/12(2006.01); H01L 23/373(2006.01); H01L 23/522(2006.01); H01L 25/07(2006.01); H01L 29/78(2006.01); H05K 1/18(2006.01); H05K 7/14(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 세라믹 기판(ceramic substrate), 반도체 칩(semiconductor chip), PCB 기판(PCB substrate), 파워모듈(power module)		
<b>C. 관련 문헌</b>		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2017-0118858 A1 (DELTA ELECTRONICS, INC.) 2017.04.27 단락 [0026]-[0031] 및 도면 3-4 참조.	1-20
Y	US 2013-0075932 A1 (INFINEON TECHNOLOGIES AG) 2013.03.28 단락 [0032]-[0047] 및 도면 3A-5B 참조.	1-20
Y	US 2019-0148163 A1 (MITSUBISHI ELECTRIC CORPORATION) 2019.05.16 단락 [0042]-[0072] 및 도면 1, 5-11 참조.	13-20
A	KR 10-2018-0030298 A (현대자동차주식회사) 2018.03.22 단락 [0035]-[0066] 및 도면 3, 5 참조.	1-20
A	JP 2011-077224 A (HITACHI LTD.) 2011.04.14 단락 [0022]-[0031] 및 도면 6 참조.	1-20
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일	국제조사보고서 발송일	
2021년10월08일(08.10.2021)	2021년10월08일(08.10.2021)	
ISA/KR의 명칭 및 우편주소	심사관	
대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)	박혜련	
팩스 번호 +82-42-481-8578	전화번호 +82-42-481-3463	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2017-0118858 A1	2017/04/27	TW 201715328 A	2017/05/01
		TW I550391 B	2016/09/21
		US 9756754 B2	2017/09/05
US 2013-0075932 A1	2013/03/28	CN 103021967 A	2013/04/03
		CN 103021967 B	2015/07/08
		DE 102011083223 A1	2013/03/28
		DE 102011083223 A8	2013/04/25
		DE 102011083223 B4	2019/08/22
		US 8981553 B2	2015/03/17
US 2019-0148163 A1	2019/05/16	CN 109219868 A	2019/01/15
		DE 112017002888 T5	2019/02/21
		JP 6359207 B2	2018/07/18
		US 10529587 B2	2020/01/07
		WO 2017-212873 A1	2017/12/14
KR 10-2018-0030298 A	2018/03/22	없음	
JP 2011-077224 A	2011/04/14	CN 102473688 A	2012/05/23
		CN 102473688 B	2015/07/01
		EP 2485254 A1	2012/08/08
		JP 5542399 B2	2014/07/09
		US 2012-0127684 A1	2012/05/24
		US 8853559 B2	2014/10/07
		WO 2011-040054 A1	2011/04/07