

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2009-501434

(P2009-501434A)

(43) 公表日 平成21年1月15日 (2009.1.15)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/20 (2006.01)	H O 1 L 21/20	5 F 0 4 8
H O 1 L 21/338 (2006.01)	H O 1 L 29/80 H	5 F 1 0 2
H O 1 L 29/778 (2006.01)	H O 1 L 21/304 6 2 2 W	5 F 1 1 0
H O 1 L 29/812 (2006.01)	H O 1 L 29/78 6 2 7 D	5 F 1 5 2
H O 1 L 21/304 (2006.01)	H O 1 L 29/78 6 2 6 C	
審査請求 未請求 予備審査請求 未請求 (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2008-517091 (P2008-517091)	(71) 出願人	397036181
(86) (22) 出願日	平成18年6月14日 (2006.6.14)		ノースロップ グルマン コーポレーション
(85) 翻訳文提出日	平成20年2月13日 (2008.2.13)		アメリカ合衆国 カリフォルニア州 90
(86) 国際出願番号	PCT/US2006/023244		067-2199, ロサンジェルス, 9
(87) 国際公開番号	W02006/138422		0/110/シーシーセンチュリー パーク イースト 1840
(87) 国際公開日	平成18年12月28日 (2006.12.28)	(74) 代理人	100065248
(31) 優先権主張番号	60/691, 235		弁理士 野河 信太郎
(32) 優先日	平成17年6月17日 (2005.6.17)	(72) 発明者	オーガスティン, ゴッドフリー
(33) 優先権主張国	米国 (US)		アメリカ合衆国、メリーランド 2072
(31) 優先権主張番号	11/326, 439		3、ローレル、ディーブ スキーズ ドライブ 10213
(32) 優先日	平成18年1月6日 (2006.1.6)		
(33) 優先権主張国	米国 (US)		

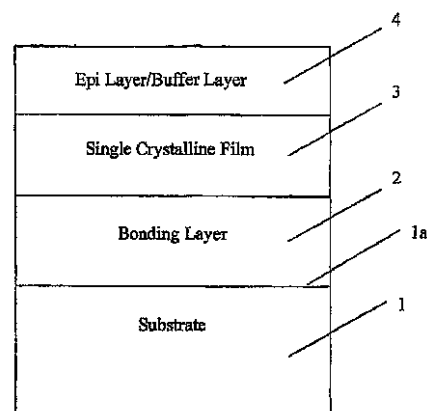
最終頁に続く

(54) 【発明の名称】 電力用途へのウェハーボンディングを介して得られた多層基板

(57) 【要約】

多層半導体装置は、ウェハーボンディングを介して移行させた単結晶膜の電気的特性を有する多結晶基板の良好な熱的及び電気的特性を利用している。装置構造は、研磨された多結晶、例えば炭化シリコン基板を含む。シリコンの平坦化層が表面に形成され、続いて化学的機械研磨される。次いで、基板は、バルクリシコンウェハー又はsilicon-on-insulator (SOI) ウェハーに結合される。シリコン (SOI) ウェハーは所望厚さに薄肉化される。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

研磨された表面を有する基板；
前記基板の研磨された表面上に形成された平坦化層；
前記平坦化層に結合した単結晶層
を含む半導体装置。

【請求項 2】

前記研磨された表面が、 10 nm 以下の2乗平均表面粗さ値を有する請求項1の半導体装置。

【請求項 3】

少なくとも1つのトレンチが、少なくとも1つの平坦化層又は単結晶層に形成される請求項1の半導体装置。

【請求項 4】

前記トレンチが、 $2000\text{ }\mu\text{m}$ まで離れたピッチを有する請求項3の半導体装置。

【請求項 5】

前記トレンチが、約 $1500\sim 1700\text{ }\mu\text{m}$ のピッチを有する請求項3の半導体装置。

【請求項 6】

前記基板が、SiC、グラファイト、ダイヤモンド、AlN、ZnSe、BN、GaN又はこれらの混合物からなる群から選択されるアモルファス、単結晶又は多結晶材料を含む請求項1の半導体装置。

【請求項 7】

前記基板が、多結晶SiCを含む請求項1の半導体装置。

【請求項 8】

前記平坦化層が、Siを含む請求項1の半導体装置。

【請求項 9】

前記単結晶層が、Siを含む請求項1の半導体装置。

【請求項 10】

前記単結晶層上にエピタキシャル層を更に含む請求項1の半導体装置。

【請求項 11】

基板を提供し；
前記基板表面を研磨し；
前記基板の表面上に平坦化層を形成し；
前記平坦化層に単結晶層をボンディングすることを含む半導体装置の製造方法。

【請求項 12】

前記単結晶層を前記平坦化層にボンディングする段階の前に、少なくとも1つの前記平坦化層又は前記単結晶層に少なくとも1つのトレンチを形成することを更に含む請求項11の方法。

【請求項 13】

前記研磨が、ダイヤモンドベース機械研磨を使用して行われる請求項11の方法。

【請求項 14】

前記単結晶層の前記平坦化層へのボンディングが、真空下、約 $20\sim 50$ の温度で、前記平坦化層に前記単結晶層を加圧することにより行われる請求項11の方法。

【請求項 15】

前記平坦化層の前記単結晶層へのボンディング工程の後、約 1150 までの温度でのアニールを更に含む請求項11の方法。

【請求項 16】

前記研磨された表面が、 10 nm 以下の2乗平均表面粗さ値を有する請求項11の方法。

【請求項 17】

前記トレンチが、 $2000\text{ }\mu\text{m}$ まで離れたピッチを有する請求項12の方法。

10

20

30

40

50

【請求項 18】

前記基板が、SiC、グラファイト、ダイヤモンド、AlN、ZnSe、BN、GaN又はこれらの混合物からなる群から選択されるアモルファス、単結晶又は多結晶材料を含む請求項 11 の方法。

【請求項 19】

前記基板が多結晶SiCを含み、前記平坦化層がSiを含み、前記単結晶層がSiを含む請求項 1 の方法。

【請求項 20】

単結晶層上にエピタキシャル層を形成することを更に含む請求項 1 の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

この出願は、2005年6月17日に提出された35U.S.C. § 119の仮出願番号60/691,230の優先権を主張し、その全内容をここで参照として導入する。

発明の背景

発明の分野

多層装置構造は、広い格子不整合を有する材料から製造される。

【背景技術】

【0002】

関連技術の記載

20

窒化ガリウム(GaN)は、ワイドバンドギャップ半導体材料であり、高速、高電力(high power)トランジスタ装置での潜在用途を有している。これら装置の製造における主な欠点の1つは、エピタキシャル成長用に好適な基板の入手可能性が限定されることである。大きな面積を有する低コストである高品質バルク単結晶基板が、装置製造用に窒化ガリウムエピタキシャル層の成長に望まれている。関連技術の一例において、GaNエピタキシャル層は、単結晶GaN基板上に、ホモエピタキシャル成長させている。しかし、これらのウェハーのコストが極めて高く、入手可能性が極めて低い。

【0003】

現在、GaN膜は、単結晶炭化シリコン(SiC)又はサファイヤのいずれかの上へのヘテロエピタキシャル成長により製造されている。GaN(4.8)とサファイヤ(4.763)又は4H-炭化シリコン(3.0730)との間の格子不整合により、 10^8 cm^{-3} のオーダーで有意な数のらせん(threading)転移が、製造プロセスの間に形成される。

30

【0004】

興味のある他の基板は単結晶シリコンであり、直径12インチまでのサイズで容易に入手可能である。しかし、シリコンは、高電力、高速装置に必要とされる熱分散性を有していない。加えて、SiとGaNとは、熱膨張が有意に不整合である。コストを低減し及び基板の性質を改良する1つの可能な方法は、ウェハーボンディングを介した3次元集積を利用して、多結晶基板上に装置を製造することである。

【0005】

40

ウェハーボンディングによれば、200以下の温度で異質な基板を互いに結合させる。低温ボンディングは、金属の化学反応及び、熱膨張係数不整合により生じるストレスを最小にするために重要である。ウェハーボンディングは、原子的に平滑な表面を備えたウェハーが接触し、水素結合により初期接着する場合に生じ、水素結合は、ウェハー基板上に存在する水分子とヒドロキシル基との間の反応の結果である。続くアニールにより、界面から水を遠ざけるように移動させる、又は水を反応させて、界面にまたがるシロキサン結合を生成させる。

【0006】

シロキサン結合、Si-O-Siは、共有結合である。シロキサン結合が望まれていないシリコン対シリコン結合の場合、高温アニールにより、界面から酸素を拡散させること

50

で、 $\text{Si}-\text{Si}$ 共有結合を生じさせる。

【0007】

多層基板を形成する従来のアプローチは、F. J. Kub 等の研究（米国特許 6,328,796 及び 6,497,763）で代表される。この従来技術は、多結晶層、アモルファス層及び単結晶層を含む複合基板を形成する。しかし、従来の技術では、多結晶基板構造に単結晶シリコン結合を付与するために、酸化物結合層が要求される。代わって、従来の技術では、接着を促進するために、炭化を使用している（不純物を生じうる）。

従って、高電力半導体装置の開発には、良好な熱伝導性と優れた電気特性を有する、新規で、低コストの基板が要求されている。

【発明の開示】

【発明が解決しようとする課題】

【0008】

発明の開示

従って、本発明の1つの観点は、関連技術の制限と欠点による1つ以上の問題を実質的に除去する多層基板を提供することに関する。

【課題を解決するための手段】

【0009】

本発明の観点は、単結晶シリコン層を、 $\text{Si}-\text{Si}$ 結合を生成することにより、silicon-on-insulator (SOI) ウェハから多結晶炭化ケイ素基板に移行 (transferred) させるボンディング方法を提供することである。

1つの技術の観点は、研磨された表面を有する基板、研磨された基板の表面上に形成された平坦化層、及び平坦化層上に形成された単結晶層を含む半導体装置に関する。

【0010】

また、研磨された表面は、任意に、10nm以下、好ましくは5nm以下の二乗平均表面粗さを有しうる。トレンチを、任意に、平坦化層と単結晶層の少なくとも一方に形成でき、トレンチは、2000 μm まで、好ましくは約1500~1700 μm 離れたピッチを有しうる。基板は、 SiC 、グラファイト、ダイヤモンド、 ZnSe 、 AlN 、 BN 、 GaN 又はこれらの混合物から選択されるアモルファス、単結晶又は多結晶材料であることができる。好ましくは基板を多結晶 SiC とでき、平坦化層を Si とでき、単結晶層は Si を含む。また、エピタキシャル層は単結晶層上に形成できる。

【0011】

別の技術の観点は、基板を提供し、基板の表面を研磨し、基板の表面上に平坦化層を形成し、平坦化層に単結晶層をボンディングすることを含む半導体装置の製造に関する。平坦化層に単結晶層をボンディングする工程の前に、平坦化層又は単結晶層の少なくとも一方に少なくとも1つのトレンチを任意に形成してもよい。

【0012】

他の観点は、化学的機械平坦化 (CMP) を使用する、任意に行いうる研磨を含む。また、単結晶層の平坦化層へのボンディングは、減圧下、約20~50、好ましくは25~35の温度で、単結晶層を平坦化層に接触させることにより行いうる。方法には、単結晶層に平坦化層をボンディングする工程の後において、約1150までの温度でのアニールも含むことができる。

【0013】

更なる本発明の特徴と利点は、以下の記述中で述べられ、ある部分は記述から明らかとなり、発明の実行により学習可能である。本発明の目的及び他の利点は、成文の記述及び請求の範囲と共に添付の図面に特に指摘された構造により、認識されかつ達成されるであろう。

先の一般的な記述及び以下の発明の詳細な記述の両方が、代表的でありかつ説明的であり、請求したように発明の更なる説明を提供しうることを理解されるべきである。

【0014】

図面の簡単な説明

10

20

30

40

50

添付された図面は、発明の更なる理解を提供するために含まれ、この出願に含まれ、この出願の一部を構成し、発明の主要な説明を果たす記述と共に発明の実施の形態を説明している。

【0015】

図において、

図1は、本発明の実施の形態により形成された多層装置を示す、

図2は、本発明の実施の形態により多層装置を形成する方法のフロー図を示す、

図3aは、本発明の代表的な実施の形態による、研磨前のSiCウェハの原子間力顕微鏡(AFM)の顕微鏡写真である、

図3bは、本発明の代表的な実施の形態による、研磨後のSiCウェハの顕微鏡写真である、

図3cは、本発明の代表的な実施の形態による、化学的機械研磨(CMP)後のSiで被覆されたSiCウェハを示す、

図4は、平坦化層の上面に形成されたトレンチを示す。

【0016】

図5aは、本発明の代表的な実施の形態による、トレンチ及び除外領域の初期効果を示すソノスキャン(sonoscan)を示す、

図5bは、本発明の代表的な実施の形態による、約1500~1700μm離れた間隔を有するトレンチを備えた結合基板を示す、

図6は、本発明の実施の形態による代表的なボンディングプロフィールを示す、

図7は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

図8は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

【0017】

図9は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

図10は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

図11は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

図12は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

図13は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

【0018】

図14は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

図15は、本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す、

図16aは、本発明の実施の形態による、細線化処理(thinning)前の多結晶SiCに結合させたバルクウェハの一例の音波顕微鏡ソノスキャン像を示す、

図16bは、本発明の実施の形態による、多結晶炭化ケイ素基板に結合させたsilicon on insulator(SOI)の一例の音波顕微鏡ソノスキャン像を示す、

図17は、図7bに示された一対のウェハの断面図を示す。

【発明を実施するための最良の形態】

【0019】

詳細な説明

ここに、本発明の好ましい実施の形態、添付された図面で説明された実施例について、詳細に言及がなされるであろう。

多層半導体は、ボンディングするウェハを介して移行した単結晶膜の電気的特性を備えた多結晶基板の良好な熱及び電気的特性を利用している。その構造には、例えば炭化ケイ素基板のような、研磨された多結晶基板が含まれる。シリコン(Si)、窒化シリコン(SiN)又は酸化シリコン(SiO₂)の平坦化層が、スパッタリング、CVD又は他の適切な方法を使用し、続いて研磨されることにより表面に適用される。基板は、バルクシリコンウェハ又はsilicon on insulator(SOI)ウェハのいずれかに結合される。シリコン(SOI)ウェハは、所望の厚さに薄肉化される。

【0020】

多層装置構造は、新規なボンディング工程を利用しており、続くエピタキシャル成長及

び / 又は装置製造のための単結晶シリコン層の移行を生じる。この用途に選択しうる基板は、多結晶炭化ケイ素であるが、単結晶又は多結晶 AlN、GaN、SiC、ZnSe、グラファイト、ダイヤモンド、BN 又はそれらの混合物を含んでもよい。多結晶 SiC は、その優れた熱散逸性及び低コストにより好ましい基板材料として選択される。

【0021】

図 1 は、本発明の好ましい実施の形態による多層装置の一般的な断面図を示している。多層構造は、アモルファス、単結晶又は多結晶基板 1 を含む。基板 1 は、SiC から形成されていてもよく、AlN、ZnSe、GaN、グラファイト、ダイヤモンド及び BN のような他の好適な材料から形成されていてもよい。基板 1 は、100 ~ 700 μm の厚さ、好ましくは 400 ~ 600 μm の厚さを有していてもよい。密着焼付け法が使用される場合、基板 1 は約 1500 μm までの厚さを有していてもよい。

10

【0022】

基板 1 の表面 1a 上に、平坦化（ボンディング）層 2 が形成されており、層 2 は典型的にはスパッタによるアモルファス又は多結晶シリコンでありうる。平坦化層 2 は、窒化物、酸化物又はベンゾシクロブテン（BCB）のようなアモルファス又は多結晶材料から形成することも可能である。平坦化層 2 は、CMP による研磨前に 1 ~ 4 μm の厚さを有していてもよく、CMP による研磨後に約 0.5 ~ 2 μm の厚さを有していてもよい。

【0023】

平坦化層 2 の上に、シリコン又は他の好適な単結晶材料の単結晶層 3 を形成する。単結晶膜は、1000 ~ 2 μm の厚さを有してもよく、1000 ~ 5000 の範囲が好ましい。典型的には、単結晶膜 3 は約 2000 の厚さを有する。最後に、所望のエピタキシャル及び / 又はバッファ層 4 が、単結晶膜 3 の上に堆積される。エピタキシャル / バッファ層 4 は、0.5 μm ~ 3 μm の厚さを有しうる。この範囲において、エピタキシャル / バッファ層 4 の厚さは、分子線ビームエピタキシー（MBE）により形成される場合、より薄くなり、有機金属化学気相蒸着（MOCVD）により形成される場合、より厚くなる。

20

【0024】

本発明の利点の 1 つは、平坦化（ボンディング）層 2 と単結晶層 3 との間に、接着を促進する酸化物層が要求されないことにある。酸化物層は熱伝導性が貧弱である。酸化物層が存在するなら、その場合、半導体装置の熱効率は低下する。結果として、Si 及び SiN が好適な材料である。

30

【0025】

多層装置を得る方法が図 2 で概略的に示されている。初期工程 10 は、基板（例えば、多結晶 SiC からなる基板）の提供を伴い、基板は 10 nm 以下、好ましくは 5 nm 以下の 2 乗平均（RMS）粗さに研磨工程 12 で研磨されていてもよい。次いで、研磨された基板は、平坦化工程 14 で平坦化層を形成するための支持体として使用され、平坦化工程は Si をスパッタリングすることにより行ってもよい。平坦化層を形成するために、化学気相蒸着（CVD）を含む、他の方法を使用してもよい。適切な CVD 法としては、常圧 CVD（APCVD）、半常圧（sub-atmospheric pressure）CVD（SACVD）、減圧 CVD（LPCVD）、プラズマ（plasma enhanced）CVD（PECVD）、高密度プラズマ CVD（HDP-CVD）、有機金属 CVD（MOCVD）、気相エピタキシー（VPE）を含みうる。この後、研磨段階 16 を、機械研磨又は化学的機械研磨（CMP）16 のような何らかの好適な研磨方法を使用して実施できる。研磨工程 16 の後、平坦化層にトレンチを形成するために、任意のパターニング工程 18 を使用しうる。表面調製工程 20 により、単結晶層とボンディングするために平坦化された基板が、清浄化しかつ用意される。

40

【0026】

図 2 は、単結晶層の調製をも示しており、単結晶基板（バルクシリコン、silicon on insulator（SOI）、又は他の好適な材料でありうる基板）22 を提供することも含まれている。任意に、パターニング工程 24 は、単結晶層にトレンチを形成するために使用で

50

きる。次いで、表面調製工程 26 は、平坦化層とボンディングする前の単結晶層を清浄にしかつ調子を整えるために使用できる。ボンディングは、半導体構造 28 の半分と整合させる工程、典型的には、減圧炉の内側で、半分の半導体と共に加圧され、続いてボンディング工程 30 を実施することにより行われる。典型的な圧力は、4 インチのウェハー全面に 300 ~ 400 ポンドの範囲内であり、いずれかの適切な圧力が使用される。次いで、単結晶層は、作業用の半導体装置を形成するために続くエピタキシャル層 34 を堆積する工程の前に、薄肉化 32 してもよい。しかしながら、薄肉化工程は、バルク単結晶層を利用する用途があるのであれば、省略してもよい。

【0027】

基板（多結晶炭化シリコンであってもよい基板）1 の表面 1a は、約 10 nm 以下、好ましくは約 5 nm 以下の表面粗さを生じるように研磨され、かつ平坦化される。表面 1a の 2 乗平均（RMS）粗さ値は、直接ウェハーをボンディングするために、明らかに高いこと、2 μ m 平方走査で、3 nm でありうる。本発明の好適な実施の形態において、約 5 nm 以下の RMS 粗さ値が望ましい。現時点で、約 1 ~ 2 nm の範囲以下の RMS 値は、得ることが困難であるが、0.1 nm により近い RMS 粗さ、即ち、0.1 nm が好適に使用できる。

【0028】

研磨は種々の方法を使用することにより実施できる。例えば、ダイヤモンドベース機械研磨が使用できる。化学的機械平坦化（CMP）は、セリア、混合希土類金属酸化物又はアルミナのスラリーを使用することにより実施できる。スラリーの平均粒子径は、100 nm 以下が好ましい。CMP において、ウェハーは、ウェハーホルダーやキャリアに設置され、プラテンのような公知の平坦な表面上で研磨パッドに対して保持される。ウェハーと研磨パッドとの動作は、軌道又は回転動作のいずれかを使用するように制御できる。

【0029】

図 3a 及び 3b は、研磨前後の多結晶炭化シリコン基板の原子間力顕微鏡像を示している。基板の研磨は、関連技術で観察される基板材料（SiC、グラファイト、ダイヤモンド、AlN、ZnSe、BN 及びそれらの混合物）の多結晶層の成長を妨げる。結果として、酸化物接着層を利用する必要性が除かれる。

【0030】

次いで、研磨後、平坦化層（好ましくは Si から形成され、SiN 及び SiO₂ を含む他の材料が使用できる）2 が、基板 1 の表面 1a 上に堆積される。しかしながら、平坦化層の材料は、シリコンに限定されず、いかなる好適な材料も使用できる。1 ~ 4 μ m の間の厚さのシリコン膜を、スパッタリングや CVD のような何らかの適切な方法を使用して、炭化シリコンの表面に堆積できる。しかし、これらの厚さは減らさう。次に、膜は CMP 又は機械研磨を使用して研磨される。研磨後、厚さは約 0.5 μ m ~ 2 μ m の範囲とできる。

【0031】

図 3c は、7 のオーダーとなる研磨後の基板 1 の表面粗さ（RMS）の一例を示す。RMS 粗さ値が好適な 5 nm よりわずかに大きいにもかかわらず、結果は、より低い粗さ値に改善するであろう方法を示す。

【0032】

従来の技術によりウェハーをボンディングした場合、接着問題が生じる。すなわち、良好な接着が、ウェハーエッジ近傍で度々観察されるが、不十分な不純物の脱ガスがウェハー表面の内部で不十分な接着を生じさせる。本発明において、低温ボンディング法をウェハーを結合させるために使用してもよい。低温でシリコン表面を結合するために、水蒸気、窒素、炭化水素及び水素のような過剰ガスを、界面から除去する必要がある。ボンディングは、ウェハーのエッジで発生する強固な結合を示すシリコン対シリコン結合を生じるが、ウェハーの中心では非常に弱い。それゆえ、ウェハーの中心で、脱ガスによる過剰ガス材料を効果的に除去できるエッジ効果はない。この課題を解決するために、好適なボンディング方法は、界面から残留するガスを除去するためにトレンチを使用することである。

【 0 0 3 3 】

図 2 に示すように、本発明の代替の好適な実施の形態として、トレンチの形成と、続く平坦化層の CMP を伴う。図 4 は、基板 1 上にわたる平坦化（ボンディング）層 2 の上部表面に形成されたトレンチ 5 を示す。トレンチは、あらゆる適切なドライ又はウェットエッチ法を使用して形成してもよい。例えば、化学エッチ、プラズマエッチ、反応性イオンエッチ（RIE）、イオンスパッタリング又は電子ビームエッチングを使用できる。一旦形成されたトレンチは、装置の内部に、脱ガスを生じうるボイドを提供する。例えば、後のアニール工程の間の Si-OH 結合の Si-O-Si 結合への変換は、酸素の脱離を生じる。水素と残留炭化水素も存在する。トレンチは、ガスが移動しうるボイドを提供する。トレンチ構造がない場合、この未脱ガス材料が、マイクロボイドの形成に寄与し、マイクロボイドが単結晶層 3 への平坦化層 2 の接着を害する効果を有する。トレンチは、単結晶層 3 に形成されていてもよい。図 2 に示す本発明の実施の形態において、トレンチは、表面平坦化前に SOI 層にパターニングされていてもよい。加えて、トレンチは、平坦化層 2 と単結晶層 3 の両方に形成しうる。

10

【 0 0 3 4 】

トレンチのピッチ（間隔）は限定されないが、200 ポンドで加圧された 6 インチウェハーに基づく場合、約 1500 ~ 1700 μm の範囲が好適である。好適なトレンチの深さは、約 250 μm である。トレンチは、レチクル近傍で約 1 μm の幅を有し、レチクル内でわずかに広い（約 5 μm ）ことが好ましい。

【 0 0 3 5 】

トレンチは、平坦化（ボンディング）層 2 又は単結晶層 3 のいずれか、あるいは平坦化層 2 と単結晶層 3 の両方に形成されていてもよい。トレンチは互いに平行であってもよく、他のトレンチからある角度で形成されていてもよい。トレンチは、互いに 90° 又は他の角度で交差していてもよい。トレンチのピッチ、即ち間隔は変動してもよい。ピッチは、ウェハーの中心近傍で短くなってもよく（それによりより多くのトレンチを備える）、この場合接着性の減少が観察され、ピッチは、ウェハーのエッジ近傍で長くなってもよく、この場合より小さな接着性の問題が観察される。トレンチはパターンを形成しうる。トレンチが平坦化層 2 と単結晶層 3 の両方に形成される場合、異なる層のトレンチは、脱ガス用の単一ボイド配置を形成するために互いに交差してもよい。一方、2 層のトレンチは、それらが相互接続しないように配置されていてもよい。

20

30

【 0 0 3 6 】

図 5 a 及び 5 b は、追加されたトレンチの効果のソノスキャン像を示す。最初にトレンチなしの場合（図示せず）、ウェハーの中心の大きな領域で弱く結合し、その結果、更なる加工が妨げられる。ウェハーの中心の大きな弱い領域の代わりに、トレンチをレチクル周囲に追加した場合、図 5 a に示すように、マイクロボイドがレチクルの中心に形成される。図 5 a の差込図には、排除ゾーンがトレンチの周囲に形成されており、ガスが界面から逃げることが示されている。このゾーンの距離は 1500 ~ 1700 μm と測定されていた。図 5 b は、マイクロボイドを依然として示すテストパターン領域を除き、1500 ~ 1700 μm でトレンチが配置された結合基板を示している。ウェハーの中心の大きな円は、非結合領域である。それゆえ、ボンディング工程は、界面からガスの除去を促進するために、このトレンチ構造を利用している。

40

【 0 0 3 7 】

今一度、トレンチは、ウェハーのいずれか又はウェハーが既にボンディングされている場合、両ウェハーに形成される。ウェハーは、一連の洗浄、即ち、ウェット化学洗浄、プラズマ洗浄及び脱イオン水リンスからなる洗浄工程を介して処理される。化学洗浄の目的は、粒子、炭化水素又は金属汚染物を表面から除去するためである。1つの特定の洗浄は、水酸化アンモニウム / 過酸化物、塩酸 / 過酸化物及び硫酸 / 過酸化物洗浄からなる。しかしながら、洗浄工程は、上記洗浄溶媒に限定されず、いかなる好適な洗浄溶媒及び順序も使用しうる。しかし、硫酸 / 過酸化物を除くことは、時々矛盾する結果に直面する。

【 0 0 3 8 】

50

次いで、ウェハーは直ちに酸素プラズマ中に置かれ、化学洗浄から生じるあらゆる残留炭化水素が除去される。化学洗浄に使用される化学種がキャリアを攻撃し、炭化水素の再堆積を生じることがあるため、これは重要なプロセス段階の1つであることを見い出している。

【0039】

今一度、ウェハーは酸素プラズマを介して処理され、ウェハーは脱イオン水でリンスされる。この工程は、初期水素結合を生じる必要があるウェハー表面に水酸化物基を再形成するために使用される。ウェハーはスパンドライされ、次いで直ちに整合され、結合される。ボンディング工程は、初期ボンディングのために、真空及びツール圧を利用する。

【0040】

2つの表面、すなわち平坦化（ボンディング）層2と単結晶層3の表面のボンディングは、通常、わずかに室温以上である温度で、系中でスルーアライン（through aligning）している。次いで、ウェハーは整合器と接触させるか、真空を示しうるボンディングチャンバーに移送できる。真空下でのボンディングは好適であるが、ボンディングは大気圧で空気又は不活性ガス下で行われてもよい。ボンディングは、高められた圧力及び温度で行われてもよい。ボンディングは、典型的には、50で行われるが、より高い温度で行うことができる。

【0041】

トップ及びボトムプレート温度、チャンバー圧及びツール圧を強調表示するサンプルプロファイルを図6に示す。このプロファイルの全ボンディング時間を、およそ15分（900秒）とした。チャンバーのトップ及びボトムの両温度を約50に維持した。ボンディング圧、即ち機械的接触圧を、ボンディング工程の間、約 $1.5 \times 10^3 \text{ mbar}$ までに近づけ、次いでボンディング工程の終わりに約0に減少させた。チャンバー圧を、ボンディング工程の間、 $1 \times 10^{-4} \text{ mbar}$ に近づけ、ボンディングが完了した後、 $1 \times 10^3 \text{ mbar}$ （およそ大気圧）に平準化した。

【0042】

ソノスキャンによりボイドの不在を確認した後、ウェハー対をアニール処理に進める。このアニール工程は、水素を拡散させ、Si-O-Si共有結合性の結合を生じさせるために必要なエネルギーを供給する。低すぎる温度は後の加工工程の間に破損しうる弱い結合を生じるため、この工程で有用な許容しうる温度範囲が規定される。緩やかな傾斜（例えば、約25/時間）が、熱膨張不整合の効果を最小化するために使用される。しかしながら、他の温度傾斜を使用できる。

【0043】

アニール温度は4インチウェハーについて約175としうる。しかしながら、1150と同等に高いアニール温度を使用しうる。典型的なアニール条件は、24～100時間で、175である。アニールは、真空又は非真空で行ってもよい。

【0044】

移行を完了させるために、SOIのハンドルウェハーを薄肉化してもよい。典型的には、この方法はバルク除去工程から開始される。研削、ラッピング加工及び化学エッチが使用しうるバルク除去工程の例である。バルク除去は、研削を使用して実証された。バルクウェハーが使用された場合、ウェハー対は更なる材料を除去するために化学的薄肉化又はラップ化のいずれかに付してもよく、化学的機械平坦化（CMP）を使用して研磨してもよい。

【0045】

SOIウェハーにおいて、バルク除去は、高い酸化物に対するシリコン選択性を有する化学エッチのような、より緩やかな除去工程を許容するために、酸化物に達する前に停止すべきである。選択的エッチは、酸化物をエッチングが停止される部位で露出させるまで、続けられるべきである。酸化物層は、ウェットエッチを使用することで除去でき、SOIのデバイス層のみを残し、続く層移行を生じさせうる。最後に、ウェハーを高温アニールしてもよい。この高温アニールはSi-O-Si結合を分解し、Si-Si結合を形成

10

20

30

40

50

する。

【0046】

また、単結晶層30の材料は、Siに限定されず、MgO、SiC、InP、GaSb、GaAs、CaF₂、AlN、GaN及びこれらの組み合わせのような他の材料を使用できる。

【0047】

記述した多層基板は、半導体装置を形成するための基礎として好適な半導体（シリコンであってもよい）の単結晶層と組み合わせることで高い熱効率を有する。このユニークな構成は、効率的なスイッチングと高電力増幅とを両立した技術、及び単一のチップで集積する技術を可能とする。それゆえ、高い熱効率は、高電力増幅器により生じる熱を基板を介して半導体から離れて容易に伝達することを許容する。加えて、単結晶半導体層は、高速スイッチング回路を形成するために使用できる。関連技術において、これら2つの機能は、分離チップの利用を必要とし、次いで互いに結合することを必要としていた。しかし、適切な単結晶半導体と熱効率を組み合わせた複合基板は、関連技術の課題を解決するために使用できる。

【0048】

上記した多層基板は、発明の実施の形態で説明されており、広範な用途を有する。これら用途は、高熱効率を要求される環境において、高速スイッチングCMOS技術が望まれる場合はいずれも見い出される。1つの好適な用途を下記し、多層基板は、同一の回路上における電力増幅器と高速スイッチングCMOS回路とを組み合わせうる技術の基礎として使用されうる。しかし、多層基板は以下の用途に限定されない。また、下記の半導体装置は、上記基板上に製造することには限定されない。

【0049】

図7～15は、本発明の好適な実施の形態による半導体装置の製造工程を説明している。図7～15に示す工程は、その順に示すように実行する必要はなく、工程のいかなる適切な順序も使用できる。更なる工程は、図7～15に示す工程間で使用してもよい。

【0050】

図7（工程1）は、高熱効率の特徴と単結晶表面を有する「複合基板」又は「加工基板」の提供を示している。典型的には、高熱伝導基板100が使用され、その上に単結晶層102が形成される。基板はSiCとすることができ、好ましくは3C-SiCである。しかしながら、グラファイト、ダイヤモンド、AlN、ZnSe、BN及びそれらの混合物を含む他の材料を基板として使用できる。単結晶層102はSi又は他の好適な半導体材料から形成しうる。基板100は、アモルファス、単結晶又は多結晶であってもよい。本発明の好適な実施の形態において、多結晶3C-SiC基板が使用され、その上に<111>-Si層が形成される。好ましくは、図1～6、16及び17に示した基板及び上記基板を使用しうる。しかしながら、回路は図1～6、16及び17に示した基板及び上記基板を形成するためには限定されず、あらゆる適切な基板を使用できる。一方、上記高熱効率の多層基板は、図1～15に示す半導体装置の性能を相乗的に高める。

【0051】

図8（工程2）において、高電子移動トランジスタ（HEMT）層104は、単結晶層102上に形成される。高電子移動トランジスタ（HEMT）は、マイクロ波回路用途にそれらの使用が見い出されている。トランジスタは、公知の電界効果トランジスタ（FET）のようにほぼ振舞う。ドレイン及びソース電極間の導通チャンネルは、ゲート電極に電圧を印加することにより影響を受ける。これはドレイン-ソース電流の変調を生じる。HEMTにおいて、導通チャンネルはヘテロ構造により生じ、薄層に電荷キャリアが閉じ込められる。この層でのキャリアの濃度及びそれらの速度は、非常に高い周波数で高い利得を維持するトランジスタの提供を可能とする。

【0052】

HEMT構造104は、化学気相堆積（CVD）、分子ビームエピタキシー（MBE）又は有機金属分子気相エピタキシー（OMVPE）を使用して、AlGaN/GaNから

10

20

30

40

50

形成できる。AlGa_N/Ga_N材料は、高トランスコンダクタンス（直線性を補助する）、良好な熱制御及び高遮断周波数を有する。HEMT構造は、CVD又は有機金属CVD（MOCVD）を使用して成長できる。他のCVD法には大気圧CVD（APCVD）、低圧CVD（LPCVD）、プラズマCVD（PECVD）、MBE及びOMVPEが含まれる。

【0053】

図9（工程3）は、HEMT層を封止するために形成されるパッシベーション層106を示している。パッシベーション層は、SiNxのような窒化物やSiO_xのような酸化物とできる。また、パッシベーション層106は、ベンゾシクロブテン（BCB）のような有機材料とできる。パッシベーション層は、PECVDやLPCVDを含むCVD法を使用して形成できる。

10

【0054】

図10（工程4）において、ウェハーボンディング工程は、単結晶膜108とパッシベーション層106とを結合する。あらゆる好適な単結晶材料が使用できるが、<100>Si層を代表的な材料として使用する。単結晶層108は、ウェハーボンディング工程を使用するパッシベーション層106に機械的に適用される。ウェハーボンディング工程のパラメーターは、後に薄肉化されるSOIを使用する場合、上記されている。

【0055】

図11（工程5）において、相補型金属酸化物半導体（CMOS）装置を規定している。これは酸化物層を形成し、次いでCMOS装置が形成されうる場所の酸化物層を除去することにより達成される。この工程において、マスク、フォトレジスト及びウェット又はドライエッチ法の使用を含む従来のフォトリソグラフィ法を使用できる。エッチングの後、島110がCMOS構造を含みうるように規定される。好ましくは、層108が<100>シリコンである場合、島110は<100>SOI CMOS島である。この工程は、シリコン製CMOS回路を含む島110を有する領域及びAlGa_N/Ga_N増幅器を位置させうる島110が存在しない領域に半導体装置を区画する。

20

【0056】

図12（工程6）は、CMOS島110の少なくとも1つを覆う、ソース/ゲート/ドレイン構造112を有するすくなくとも1つのCMOS FET形成を示す。このFET構造112は、SOI CMOS FETに関連しうる。これらのFETは従来公知の半導体製造技術を使用して形成できる。これにはマスク、フォトレジスト、CVD、スパッタリング、UVリソグラフィー、e-ビームリソグラフィ、ウェット及びドライエッチ等が含まれていてもよい。

30

【0057】

CMOS回路構造をウェハーにボンディングするか形成する代替経路は、「スマート・カット」技術に基づいている。スマート・カット技術は、Siウェハーを被覆する酸化物上へのH⁺又はH^{e+}の注入を必要とする。注入されたイオンは、高温アニールに付したときに、ピーク濃度ゾーンに沿ってシリコンウェハーにスプリットを生じさせうる微細空洞（micro-cavities）を導入する。それゆえ、イオン注入されたウェハーを第2ウェハーと結合した後、更なる工程の準備のために露出した単結晶シリコン層を残すために、高温アニールがイオン注入ウェハーにスプリットを生じさせうる。典型的なスマート・カット製造工程が、J. Du等のSensors and Actuators A, 112(2004) p.116-121に記載されている。

40

【0058】

図13（工程7）は、高電力用途に好適なAlGa_N/Ga_N高電子移動トランジスタ（HEMT）114の形成を示している。本発明の好適な実施の形態として、HEMT 114は、モノリシックマイクロ波積層回路を形成してもよい。HEMTはパッシベーション層106上に形成され、AlGa_N/Ga_N層104と接触する。それゆえ、本発明の半導体装置の新規な構造は、1つのチップ上で、CMOS回路とAlGa_N/Ga_NMMICとの並列形成を許容しうる構造である。

50

【 0 0 5 9 】

A l G a N / G a N H E M Tの形成は、種々の方法により達成されうる。例えば、A l N、G a N及びA l G a N膜を、アンモニアを使用するガス源分子ビームエビタキシー (G S M B E) を介して成長させてもよく、その方法はG. Kipshidze等のJ. Electronic materials, Vol.30, No.7(2001), p.825に記載されている。

【 0 0 6 0 】

図 1 4 (工程 8) は、半導体装置の全表面を覆いうるC M O S 及びH E M Tトランジスタの両方の上を覆う絶縁層 1 1 6 の形成を示す。絶縁体 1 1 6 は、金属層を分離するために適切な絶縁材料である層間誘電体 (I L D) からなっているもよい。絶縁層 1 2 6 の形成後、C M P や機械研磨のような従来の方法を使用して絶縁層を研磨してもよい。

10

【 0 0 6 1 】

図 1 5 (工程 9) は、相互接続子 1 1 8 とプラグ 1 2 0 を使用する最終回路の形成を示す。相互接続子 1 1 8 の材料は、限定されないが、アルミニウム、アルミニウム - 銅合金及び銅が挙げられる。プラグ 1 2 0 は、典型的にはタングステン又はタングステン合金から形成される。相互接続のために使用する技術の説明は、M. Quirk等のSemiconductor Manufacturing Technology, Prentice Hall(2001), Chapter 12: Metallizationに見い出される。

【 実施例 】

【 0 0 6 2 】

実施例

炭化シリコンへのシリコンの良好な結果の移行、(1) バルクシリコンウェハーから炭化シリコンへのシリコン層の移行、及び(2) S O I から炭化シリコンへのシリコン層の移行、を2つの実施例で示す。2つのソノスキャン像を図 1 6 a と 1 6 b に示す。図 1 6 a に示すバルクシリコンは、研磨された多結晶炭化シリコンウェハーを使用するボンディング工程をテストするための第 1 の試験用に使用される。中心領域は、シリコン層の平坦化に起因しうる小さなボイドを示している。この特定のウェハーのセットは、ほぼ 1 0 0 μ m に薄肉化された。

20

【 0 0 6 3 】

ボンディングの第 2 の実施例は、S O I ウェハーを多結晶炭化シリコンにボンディングすることを必要としていた。図 1 6 b のソノスキャンは、ボイドなしの均一な結合を示している。このウェハーは、1 7 5 でアニールされ、埋め込み酸化層まで薄肉化された。図 1 7 は、図 1 6 b に示すウェハー対の断面図を示す。図 1 7 において、いくつかの層、多結晶炭化シリコン基板、シリコン平坦化層、単結晶シリコン層及び埋め込み酸化物、を区別できる。

30

【 0 0 6 4 】

結果として、明確な利点が、酸化物ボンディング層の利用から生じる熱伝導度不足を有する従来技術の装置を超えて証明されている。単結晶半導体 (S i) は、簡単で、コスト効果のある方法で熱的に伝導性の基板 (S i C 等) に結合し、それにより高電圧半導体装置に必要な電氣的性質及び熱的性質の両方を有する多層装置を達成しうる。

【 0 0 6 5 】

高速シリコンC M O S 回路及び高電力A l G a N / G a N 増幅器は、同じウェハー上に集積されていてもよい。多結晶炭化シリコン基板の高温伝導性及び高抵抗性は、高電力及び高周波数装置を製造するために有利である。例えば、高抵抗 < 1 1 1 > シリコンの薄層は、多結晶 - S i C 基板上に結合しうる。ボンディングに続いて、A l G a N / G a N 構造をボンディングしたシリコン層上に成長させる。次いで、窒化シリコン又は酸化シリコン層をA l G a N / G a N 構造上に堆積させる。これに続いて、< 1 0 0 > シリコンの薄層を窒化シリコン / 酸化シリコン層に結合させてもよい。A l G a N / G a N 装置の形成用のこの領域が規定され、< 1 0 0 > シリコンがこれらの領域を離れてエッチングされる。これに続いて、C M O S 装置をシリコン層上に形成し、A l G a N / G a N 装置をA l G a N / G a N 表面上に形成する。最後に、ウェハーを平坦化し、多階層相互接続子を形

40

50

成する。

【 0 0 6 6 】

本発明の精神又は範囲から離れることなく本発明の２つの簡便な単位を使用する半導体装置において種々の改良及び変更をなしうることが、当業者に明らかである。それゆえ、本発明は、本発明の改良及び変更を、それらが添付された請求の範囲及びそれらの均等物の範囲内である条件で、カバーすることを意図している。

【図面の簡単な説明】

【 0 0 6 7 】

【図 1】本発明の実施の形態により形成された多層装置を示す。

【図 2】本発明の実施の形態により多層装置を形成する方法のフロー図を示す。

10

【図 3 a】本発明の代表的な実施の形態による、研磨前の S i C ウェハ－の原子間力顕微鏡 (A F M) の顕微鏡写真である。

【図 3 b】本発明の代表的な実施の形態による、研磨後の S i C ウェハ－の顕微鏡写真である。

【図 3 c】本発明の代表的な実施の形態による、化学的機械研磨 (C M P) 後の S i で被覆された S i C ウェハ－を示す。

【図 4】平坦化層の上面に形成されたトレンチを示す。

【図 5 a】本発明の代表的な実施の形態による、トレンチ及び除外領域の初期効果を示すソノスキャン (sonoscan) を示す。

【図 5 b】本発明の代表的な実施の形態による、約 1 5 0 0 ~ 1 7 0 0 μ m 離れた間隔を有するトレンチを備えた結合基板を示す。

20

【図 6】本発明の実施の形態による代表的なボンディングプロフィールを示す。

【図 7】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 8】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 9】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 1 0】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 1 1】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 1 2】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 1 3】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 1 4】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

30

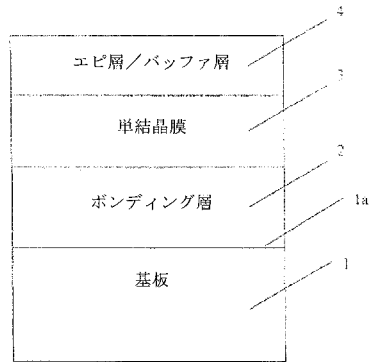
【図 1 5】本発明の好ましい実施の形態による半導体装置を製造する工程段階を示す。

【図 1 6 a】本発明の実施の形態による、細線化処理 (thinning) 前の多結晶 S i C に結合させたバルクウェハ－の一例の音波顕微鏡ソノスキャン像を示す。

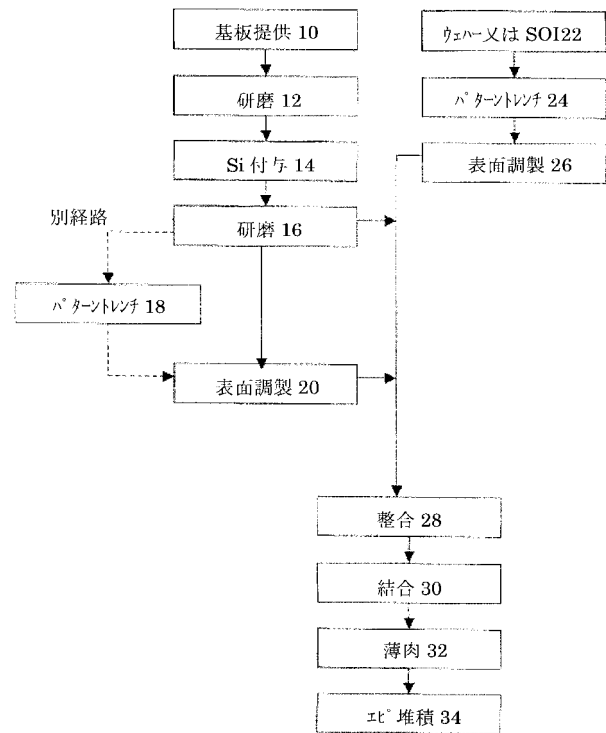
【図 1 6 b】本発明の実施の形態による、多結晶炭化ケイ素基板に結合させた silicon on insulator (SOI) の一例の音波顕微鏡ソノスキャン像を示す。

【図 1 7】図 7 b に示された一対のウェハ－の断面図を示す。

【図 1】



【図 2】



【図 3 a】

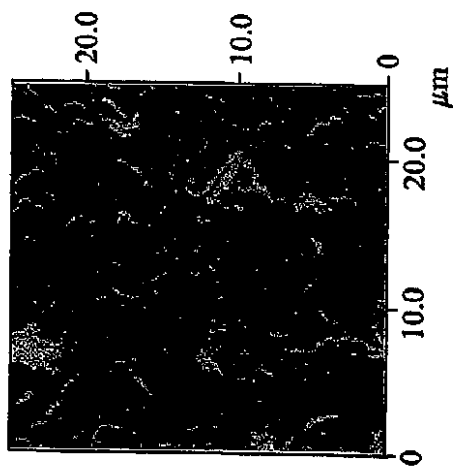


Fig. 3a

【図 3 b】

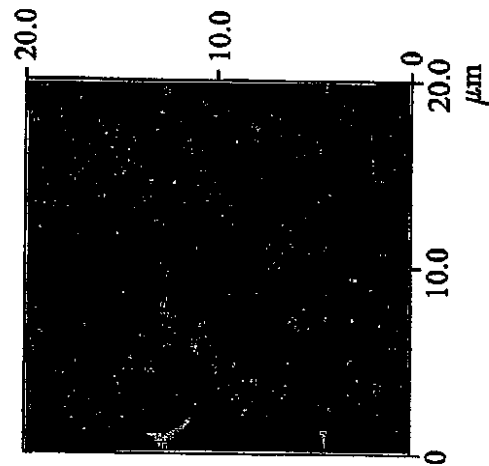


Fig. 3b

【図 3 c】

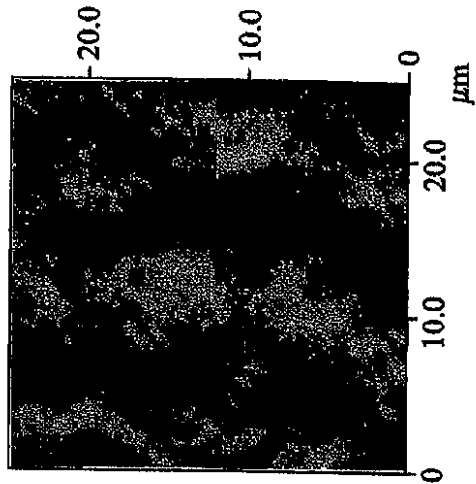


Fig. 3c

【図 5 a】

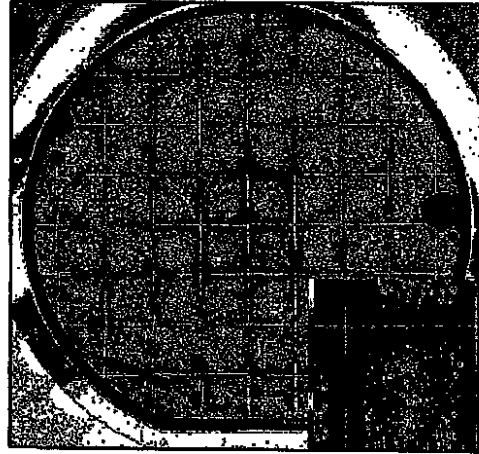


Fig. 5a

【図 4】

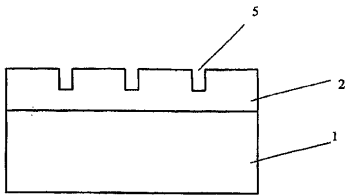


Fig. 4

【図 5 b】

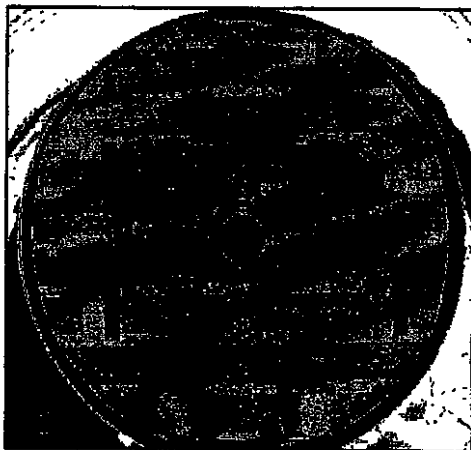
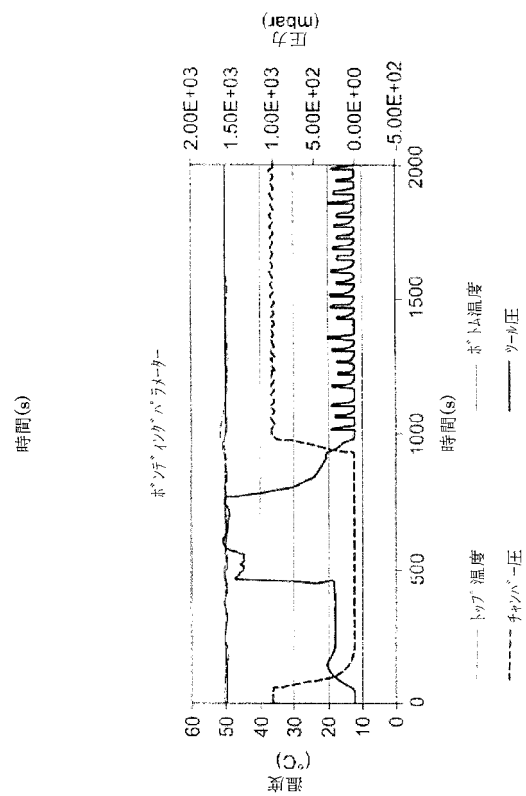
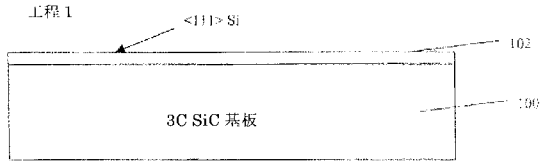


Fig. 5b

【図 6】

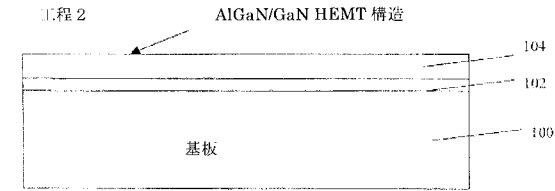


【図 7】



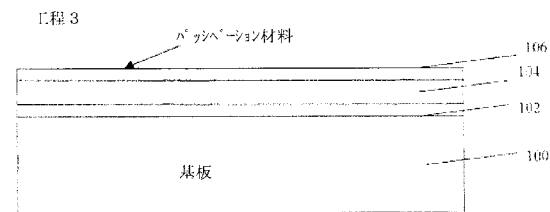
ポリ-SiC への<111>シリコン層の結合

【図 8】



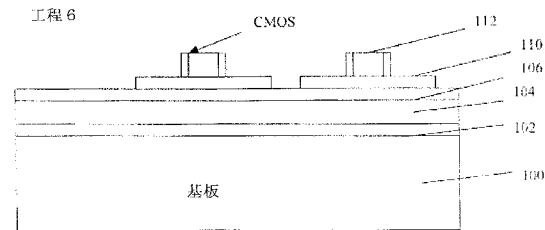
シリコン膜上への AlGaIn/GaN 装置層の成長

【図 9】



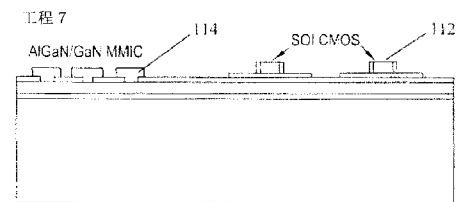
シリコンパッシベーション層の堆積で GaN 装置層を閉じ込め

【図 12】



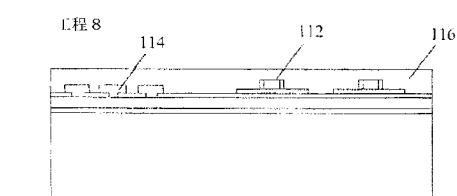
ポリシリコン SOI CMOS 構造形成

【図 13】



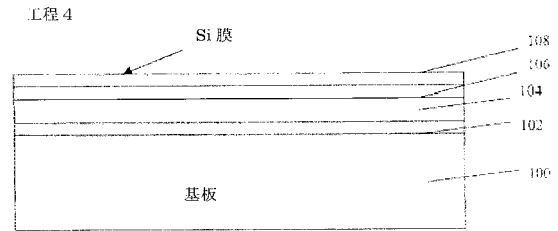
AlGaIn/GaN MMIC(ソースゲートドレイン)形成

【図 14】



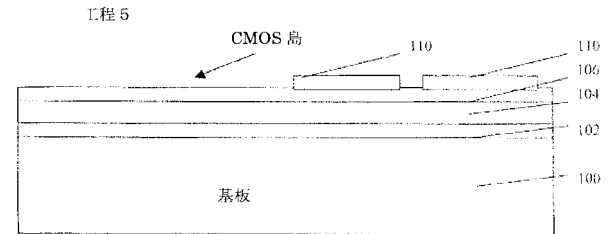
絶縁体の堆積及び平坦化

【図 10】



ウェーボンディング工程を介してパッシベーション膜表面にシリコン層を付与

【図 11】

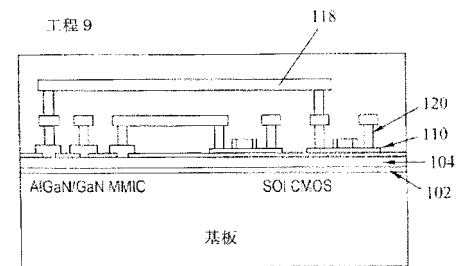


増幅器領域

CMOS 領域

SOI CMOS 領域用シリコン層パターン化

【図 15】



多階層相互接続形成

【図 16 a】

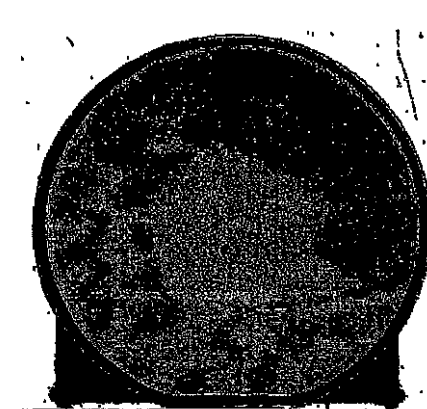
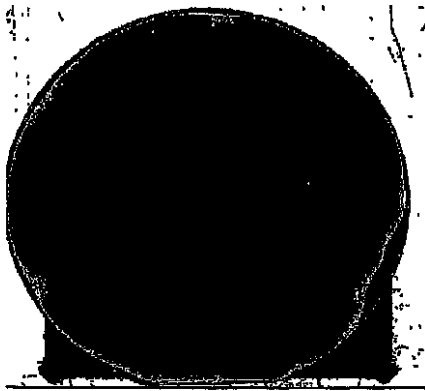
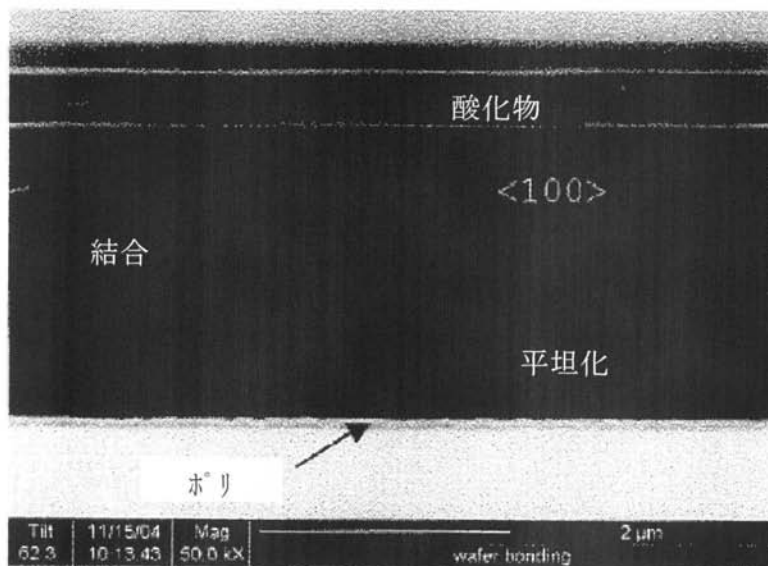


Fig. 16a

【図 16 b】

*Fig. 16b*

【図 17】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2006/023244

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y E	WO 2005/041287 A (SUMITOMO CHEMICAL CO [JP]; HATA MASAHICO [JP]; ONO YOSHINOBU [JP]; UED) 6 May 2005 (2005-05-06) page 3, line 6 - page 7, line 7 -& GB 2 422 489 A (SUMITOMO CHEMICAL CO [JP]) 26 July 2006 (2006-07-26) page 4, line 16 - page 8, line 15; figure 1	1,2, 6-11, 13-20 3-5,12 1,2, 6-11, 13-20
Y	US 2004/235210 A1 (TAMURA SATOSHI [JP] ET AL) 25 November 2004 (2004-11-25) page 8, paragraph 112 - page 9, paragraph 120; figures 5a-5g; example 5 -/-	3-5,12

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

G document member of the same patent family

Date of the actual completion of the international search

12 October 2006

Date of mailing of the international search report

19/10/2006

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Hedouin, Mathias

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/023244

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/087503 A1 (SAKAGUCHI KIIYOFUMI [JP] ET AL) 8 May 2003 (2003-05-08) paragraph [0599] - paragraph [0604]; example 25	1,11-20
X	WO 00/44966 A2 (US NAVY [US] NASA [US]) 3 August 2000 (2000-08-03) page 5, line 6 - page 6, line 3 page 10, line 31 - page 11, line 29	1,2, 6-11, 13-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2006/023244

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 2005041287	A	06-05-2005	DE 112004002033 T5 GB 2422489 A JP 2005129825 A	21-09-2006 26-07-2006 19-05-2005
GB 2422489	A	26-07-2006	DE 112004002033 T5 JP 2005129825 A WO 2005041287 A1	21-09-2006 19-05-2005 06-05-2005
US 2004235210	A1	25-11-2004	NONE	
US 2003087503	A1	08-05-2003	NONE	
WO 0044966	A2	03-08-2000	AU 3213100 A US 6328796 B1	18-08-2000 11-12-2001

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
H 0 1 L 21/336 (2006.01)	H 0 1 L 27/12 B	
H 0 1 L 29/786 (2006.01)	H 0 1 L 21/02 B	
H 0 1 L 21/02 (2006.01)	H 0 1 L 27/12 L	
H 0 1 L 27/12 (2006.01)	H 0 1 L 27/06 1 0 2 A	
H 0 1 L 21/8234 (2006.01)	H 0 1 L 27/08 3 3 1 E	
H 0 1 L 27/06 (2006.01)		
H 0 1 L 27/08 (2006.01)		

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ハートマン, ジェフリー, ディー

アメリカ合衆国、メリーランド 2 1 1 4 4、セバーン、ウッドラフ コート 1 6 0 7

(72)発明者 エルヴィー, エリカ, シー.

アメリカ合衆国、メリーランド 2 1 1 1 7、オウイングス ミルズ、ミル センター ドライブ
1 1 0 0 0

(72)発明者 ティッテル, ポール, エー.

アメリカ合衆国、メリーランド 2 1 0 4 5、コロンビア、エマーソンズ リーチ 9 1 3 6

F ターム(参考) 5F048 AA07 AC04 BA10 BA16 BC15 BF01 BF02 BF07 BF11
5F102 FA08 GA03 GJ01 GJ02 GJ04 GJ10 GL03 GL04 GM04 GQ01
GV05 GV08 HC01 HC21
5F110 AA04 AA23 BB04 BB12 DD01 GG02 NN71 QQ16
5F152 LL03 LL04 LL05 LL09 LL10 LM09 LN08 LN15 LN28 LP01
MM04 MM05 MM18 NN02 NN05 NN09 NN10 NN22 NN23 NP01
NP02 NP03 NP05 NP06 NP09 NP12 NP19 NP22 NP23 NQ09